

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 3 年 11 月 11 日 (2021.11.11)

【公表番号】特表 2020-537343 (P2020-537343A)

【公表日】令和 2 年 12 月 17 日 (2020.12.17)

【年通号数】公開・登録公報 2020-051

【出願番号】特願 2020-519728 (P2020-519728)

【国際特許分類】

H 0 1 L 21/52 (2006.01)

H 0 1 L 23/36 (2006.01)

【F I】

H 0 1 L 21/52 B

H 0 1 L 23/36 D

【手続補正書】

【提出日】令和 3 年 9 月 29 日 (2021.9.29)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

マイクロ電子デバイスであって、
構成要素表面と、前記構成要素表面の反対側に位置するダイ取り付け表面とを有する基板と、

前記構成要素表面に近接して位置する構成要素と、
前記ダイ取り付け表面上の銅含有層であって、前記ダイ取り付け表面の横方向外周から窪んでいる、前記銅含有層と、
前記銅含有層上のダイ取り付け材料と、
を含み、
前記銅含有層が前記ダイ取り付け材料によってパッケージ部材に取り付けられる、マイクロ電子デバイス。

【請求項 2】

請求項 1 に記載のマイクロ電子デバイスであって、
前記銅含有層が 5 ミクロン～10 ミクロンの厚みである、マイクロ電子デバイス。

【請求項 3】

請求項 1 に記載のマイクロ電子デバイスであって、
前記銅含有層と前記ダイ取り付け表面との間に中間層を更に含む、マイクロ電子デバイス。

【請求項 4】

請求項 3 に記載のマイクロ電子デバイスであって、
前記中間層がチタンを含む、マイクロ電子デバイス。

【請求項 5】

請求項 1 に記載のマイクロ電子デバイスであって、
前記銅含有層と前記ダイ取り付け材料との間の保護金属層を更に含み、
前記保護金属層が、錫と銀とニッケルとからなる群から選択される少なくとも 1 つの金属を含む、マイクロ電子デバイス。

【請求項 6】

請求項 1 に記載のマイクロ電子デバイスであって、
前記ダイ取り付け材料がはんだを含む、マイクロ電子デバイス。

【請求項 7】

請求項 1 に記載のマイクロ電子デバイスであって、
前記基板が 15 ミクロン～300 ミクロンの厚みである、マイクロ電子デバイス。

【請求項 8】

マイクロ電子デバイスを形成する方法であって、
構成要素面と、前記構成要素面の反対側に位置するダイ取り付け面とを有する基板ウェハであって、前記基板が、前記構成要素面に近接する前記マイクロ電子デバイスの構成要素を含む、前記基板ウェハを提供することと、
前記ダイ取り付け面において前記基板ウェハから材料を除去することと、
前記ダイ取り付け面上に銅含有層を形成することであって、前記銅含有層が前記マイクロ電子デバイスのためのエリアの横方向外周から窪まされている、前記銅含有層を形成することと、
めっきプロセスによって前記銅含有層上に保護金属層を形成することと、
を含む、方法。

【請求項 9】

請求項 8 に記載の方法であって、
前記保護金属層が、錫と銀とニッケルとからなる群から選択される少なくとも 1 つの金属を含む、方法。

【請求項 10】

請求項 8 に記載の方法であって、
前記基板ウェハから材料を除去することの前の前記基板ウェハの厚みが 300 ミクロンより大きく、前記基板ウェハから材料を除去することの後の前記基板ウェハの厚みが 300 ミクロン未満である、方法。

【請求項 11】

請求項 8 に記載の方法であって、
前記銅含有層を形成することが、
前記ダイ取り付け面にシード層を形成することと、
前記シード層上にめっきマスクを形成することであって、前記シード層が前記銅含有層のためのエリアを露出させる、前記めっきマスクを形成することと、
めっきプロセスによって前記めっきマスクにより露出された箇所の前記シード層上の銅をめっきすることと、
前記めっきマスクを除去することと、
を含む、方法。

【請求項 12】

請求項 11 に記載の方法であって、
前記銅含有層が 5 ミクロン～10 ミクロンの厚みである、方法。

【請求項 13】

請求項 11 に記載の方法であって、
前記銅含有層を形成することと同時に、前記構成要素面上に銅含有ピラーの少なくとも一部を形成することを更に含む、方法。

【請求項 14】

請求項 8 に記載の方法であって、
前記銅含有層を形成することが、前記ダイ取り付け面上に銅含有材料を堆積させるアディティブ法を含む、方法。

【請求項 15】

請求項 8 に記載の方法であって、
前記基板ウェハから材料を除去することの後であり前記銅含有層を形成することの前に、前記ダイ取り付け面上に中間層を形成することを更に含む、

前記銅含有層が前記中間層上に形成される、方法。

【請求項 16】

マイクロ電子デバイスを形成する方法であって、

構成要素表面と、前記構成要素表面と反対側に位置するダイ取り付け表面とを有する、
300ミクロン未満の厚みの基板を提供することであって、前記基板が、前記構成要素表面に近接する構成要素を含み、前記基板が、前記ダイ取り付け表面上に銅含有層を有し、
前記銅含有層が、前記ダイ取り付け表面の横方向外周から窪んでおり、前記基板が、前記銅含有層上に保護金属層を有し、前記銅含有層が、前記ダイ取り付け表面と前記保護金属層との間にある、前記基板を提供することと、

ダイ取り付け材料でパッケージ部材に前記基板を取り付けることと、
を含み、

前記銅含有層が前記ダイ取り付け材料によって前記パッケージ部材に取り付けられる、
方法。

【請求項 17】

請求項 16 に記載の方法であって、

前記基板をパッケージ部材に取り付けることの前に、前記保護金属層を取り除くことを更に含む、方法。

【請求項 18】

請求項 16 に記載の方法であって、

前記銅含有層が 5 ミクロン～10 ミクロンの厚みである、方法。

【請求項 19】

請求項 16 に記載の方法であって、

前記ダイ取り付け材料がはんだを含む、方法。

【請求項 20】

請求項 19 に記載の方法であって、

前記基板をパッケージ部材に取り付けることが、はんだリフロープロセスを含む、方法

。