

(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) Numéro de publication:

0 331 253 B1

(12)

FASCICULE DE BREVET EUROPEEN

(45) Date de publication de fascicule du brevet: **28.07.93** (51) Int. Cl.⁵: **G05F 1/595**

(21) Numéro de dépôt: **89200468.0**

(22) Date de dépôt: **27.02.89**

(54) **Source de courant à gamme étendue de tensions de sortie.**

(30) Priorité: **04.03.88 FR 8802772**

(43) Date de publication de la demande:
06.09.89 Bulletin 89/36

(45) Mention de la délivrance du brevet:
28.07.93 Bulletin 93/30

(84) Etats contractants désignés:
DE FR GB IT NL

(56) Documents cités:
DE-A- 2 256 603
DE-B- 1 226 193
GB-A- 937 506
US-A- 3 181 010

ELECTRONICS vol. 52, no. 19, 13 septembre 1979, page 148 - 149; C. TOCCI: "CASCADED REGULATORS PREVENT PASS TRANSISTOR'S BURNOUT"

(73) Titulaire: **PHILIPS COMPOSANTS**
4, rue du Port aux Vins
F-92150 Suresnes(FR)

(84) Etats contractants désignés:
FR

(73) Titulaire: **N.V. Philips' Gloeilampenfabrieken**
Groenewoudseweg 1
NL-5621 BA Eindhoven(NL)

(84) Etats contractants désignés:
DE GB IT NL

(72) Inventeur: **Simon, Marc**
SOCIETE CIVILE S.P.I.D. 209, rue de l'Université
F-75007 Paris(FR)

(74) Mandataire: **Charpail, François et al**
Société Civile S.P.I.D. 156, Boulevard Hausmann
F-75008 Paris (FR)

Il est rappelé que: Dans un délai de neuf mois à compter de la date de publication de la mention de la délivrance du brevet européen, toute personne peut faire opposition au brevet européen délivré, auprès de l'Office européen des brevets. L'opposition doit être formée par écrit et motivée. Elle n'est réputée formée qu'après paiement de la taxe d'opposition (art. 99(1) Convention sur le brevet européen).

Description

La présente invention a pour objet une source de courant à gamme étendue de tensions de sorties, dans lequel le trajet émetteur-collecteur d'un transistor principal agencé de manière à définir la valeur du courant de la source de courant est disposé en série avec le trajet émetteur-collecteur d'au moins un transistor de sortie.

La disposition en série d'au moins un transistor de sortie permet d'atteindre des tensions de sortie supérieures à celles que permet normalement le procédé de fabrication du circuit intégré pour un transistor, mais dans ce cas, la tension de sortie maximale diffère notablement de la tension d'alimentation disponible, et ce d'autant plus que le nombre de transistors de sortie est élevé.

L'invention propose une source de courant du type précité, ayant une valeur de courant relativement élevée, et susceptible de fonctionner pour des tensions de sortie évoluant entre une tension collecteur-émetteur d'un transistor de sortie en mode saturation V_{CEsat} et une valeur aussi voisine que possible de la tension d'alimentation.

Le principe de base de l'invention consiste à associer à chaque transistor de sortie un transistor de commande du type opposé ayant un potentiel d'émetteur fixé par bouclage sur un étage différent, et à faire fonctionner les transistors de sortie en BV_{CEO} pour les faibles tensions de sortie.

La source de courant selon l'invention est ainsi caractérisée en ce qu'elle comporte n transistors de sortie avec $n \geq 2$, le premier transistor de sortie ayant son collecteur connecté à l'émetteur du transistor principal, le $p^{\text{ème}}$ transistor, avec $1 < p \leq n$, ayant son collecteur connecté à l'émetteur du $(p-1)^{\text{ème}}$ transistor, l'émetteur du $n^{\text{ème}}$ transistor constituant la sortie de la source de courant et en ce qu'à chaque $q^{\text{ème}}$ transistor de sortie est associé un $q^{\text{ème}}$ transistor de commande du type opposé dont la base comporte au moins une diode dans le sens direct et référencée à un $q^{\text{ème}}$ potentiel de référence, dont le collecteur est connecté à la base du $q^{\text{ème}}$ transistor de sortie correspondant, et dont l'émetteur est connecté au collecteur du $(q-r)^{\text{ème}}$ transistor de sortie pour $q > r$, et au collecteur du transistor principal ainsi qu'à une source de tension d'alimentation pour $q \leq r$, avec $r \geq 1$.

Selon un mode de réalisation préféré, r est inférieur ou égal à la partie entière de b diminuée d'une unité, b désignant le rapport entre les BV_{CEO} des transistors npn et pnp, par exemple $r = 2$ et $p = 5$.

Selon une variante avantageuse, lesdits potentiels de référence sont fixés chacun à la valeur maximale correspondant à la valeur minimale possible pour les tensions collecteur-émetteur des transistors de sortie en régime de saturation V_{CEsat} .

L'invention sera mieux comprise à la lecture de la description qui va suivre, donnée à titre d'exemple non limitatif, en liaison avec les dessins qui représentent :

- les figures 1 à 3, des montages d'essai non publiés de la Demanderesse donnés à titre d'illustration,
- la figure 4, un mode de réalisation de l'invention.

Selon la figure 1, un transistor principal T_0 de type pnp a son émetteur relié à une source de tension d'alimentation V_c à travers une résistance R_0 , et son collecteur connecté à l'émetteur d'un transistor T_1 dont le collecteur est lui-même connecté à l'émetteur d'un transistor T_2 . La base des transistors T_1 et T_2 est connectée à deux diodes en série et dans le sens direct (D_1 , D'_1) et (D_2 , D'_2) et dont la fonction est de forcer le fonctionnement des transistors T_1 et T_2 en BV_{CEO} pour des faibles niveaux de tension de sortie V_s .

On remarquera que le brevet US 3 940 683 divulgue un circuit de conception différente, et consistant en une source de courant présentant des transistors en cascade, dont seul le transistor principal a une diode en direct dans la base.

Le nombre de diodes nécessaire est dicté par les valeurs des tensions qu'elles doivent supporter. Dans ce but, la cathode des diodes D'_1 et D'_2 - (point A et B respectivement) sont portées à des potentiels fixés par des sources de courant (T''_1 , R''_1) et (T''_2 , R''_2) respectivement et la valeur de résistances R_1 et R_2 disposées respectivement entre les points A et B et le pôle de mode commun.

Un transistor T_3 dont la base et le collecteur sont court-circuités et coopérant avec une source de courant I_3 , forme un miroir de courant de manière classique avec les transistors T_0 , T''_1 et T''_2 . La tension de sortie V_s est disponible au collecteur du transistor T_2 . Cette tension de sortie évolue suivant la charge appliquée au collecteur du transistor T_2 .

Lorsque la tension de sortie V_s est faible (par exemple de l'ordre de 0,7V), les transistors T_1 et T_2 travaillent dans le mode BV_{CEO} , le transistor T_0 restant dans un mode de fonctionnement classique. Lorsque la tension de sortie V_s approche de la valeur de la tension d'alimentation V_c (par exemple 30V), les transistors T_1 , T_2 et T_3 travaillent en saturation.

Le problème de ce montage est la difficulté de réaliser des transistors pnp intégrés fournissant un courant collecteur suffisant pour certaines applications, par exemple 1mA pour alimenter une diode Varicap d'un tuner de récepteur radio ou TV.

Selon la figure 2, ce problème de courant est solutionné en mettant en oeuvre des cellules comportant un transistor pnp et un transistor npn. Le courant de collecteur du transistor pnp est divisé

par le gain en courant β du transistor npn associé, qui peut quant à lui fournir un courant suffisant.

Selon la figure 2, chaque cellule se compose d'un transistor npn ($T_{10} \dots T_{15}$) et d'un transistor pnp ($T'_{10} \dots T'_{15}$) le collecteur du transistor pnp étant connecté à la base du transistor npn, et l'émetteur du transistor pnp, au collecteur des transistors npn. Ce type de cellule est connu en soi, pour des sources de courant, du brevet GB 1 285 621 (fig.9) ou des demandes de brevet allemandes DE-OS 2 157 626 ou DE-OS 2 738 205. Les transistors T'_{11} à T'_{13} présentent des diodes en direct respectivement D_{11} , D_{12} , D_{13} , D_{14} et D'_{14} , D_{15} et D'_{15} connectées à leur base et référencées chacune à un potentiel fixe donné. Des transistors T_{16} et T_{17} sont agencés de manière à former avec le transistor T_{10} un miroir de courant.

On a ainsi remplacé trois transistors pnp par six cellules en raison du fait que le BV_{CEO} d'un npn est inférieur à celui d'un pnp, dans le cas d'espèce d'un facteur d'environ 3.

Le problème de ce montage est que, lorsque V_s , tension de sortie disponible sur l'émetteur de T_{15} , augmente, sa valeur maximale V_{smax} se trouve limitée à

$$V_c - 6V_{BE npn} - 6V_{CEsat pnp} \text{ avec}$$

$V_{BE npn}$ = tension base-émetteur d'un transistor npn $\approx 0,8V$

$V_p = V_{CEsat pnp}$ = tension collecteur-émetteur d'un transistor pnp saturé $\approx 0,1V$

soit

$$V_{smax} = V_c - 5,4V$$

La figure 3 correspond à un montage permettant de diminuer cet écart et de le ramener à environ $6V_{CEsat npn}$. Pour ce faire, des émetteurs des transistors T'_{10} à T'_{15} ne sont plus connectés aux collecteurs des transistors T_{10} à T_{15} , mais référencés à des potentiels fixes à travers des résistances R'_{10} à R'_{15} .

Pour des faibles niveaux de sortie, le transistor T'_{15} doit fonctionner au maximum en BV_{CEO} , et la tension d'émetteur du transistor T'_{15} doit être fixée à environ $V_{s(min)} + V_{BE npn} + BV_{CEO}$, $V_{s(min)}$ désignant la valeur minimale de la tension V_s .

Par contre, pour des forts niveaux de sortie, la tension de collecteur du transistor T'_{15} doit être très voisine de V_c . Ceci implique un fonctionnement en inverse de ce transistor et donc les limitations de l'utilisation de ce montage en ce qui concerne les niveaux de sortie.

Selon la figure 4, le montage suivant l'invention comporte des transistors T_{30} à T_{35} de type npn dont les trajets collecteur-émetteur sont connectés en série comme ceux des transistors T_{10} à T_{15} .

Un transistor T'_{30} dont le collecteur est connecté à la base du transistor T_{30} , et dont l'émetteur est connecté à la source de tension

d'alimentation V_c est monté de manière classique en miroir de courant avec des transistors T_{36} et T_{37} . Des transistors T'_{31} à T'_{35} constituant des transistors de commande associés respectivement aux transistors de sortie T_{31} à T_{35} ont leur collecteur connecté à la base respectivement des transistors T_{31} à T_{35} . L'émetteur des transistors T'_{31} et T'_{32} est connecté à la source de tension d'alimentation V_c , alors que celui des transistors T'_{33} à T'_{35} est connecté au collecteur des transistors respectivement T_{31} à T_{33} . Les bases des transistors T'_{31} à T'_{35} sont connectées à des diodes en direct respectivement D_{31} , D_{32} , D_{33} et D'_{33} , D_{34} et D'_{34} , D_{35} et D'_{35} , qui ont pour fonction de permettre le fonctionnement en BV_{CEO} aux faibles tensions de sortie V_s à l'émetteur du transistor T_{35} . Le potentiel de référence de base des transistors T'_{31} à T'_{35} est déterminé par des sources de courant constituées par des transistors T''_{31} à T''_{35} montés en miroir de courant avec les transistors T_{36} et T_{37} , et par quatre résistances disposées en série R_{32} à R_{35} . Les résistances R_{32} à R_{34} sont connectées en parallèle entre les cathodes des diodes respectivement D_{32} et D'_{33} (points A' et B'), D'_{33} et D'_{34} (points B' et C'), D'_{34} et D'_{35} (points C' et D'). La résistance R_{35} est connectée entre la cathode de la diode D'_{35} et le pôle de mode commun. Ce montage correspond à un cas où $V_c \leq 6 BV_{CEO}(\text{nnp})$ pour assurer la tenue en tension, et pour lequel on a :

$$3BV_{CEO}(\text{nnp}) = BV_{CEO}(\text{pnp})$$

A faible tension de sortie V_s , c'est le rapport b entre les BV_{CEO} des transistors npn et pnp qui permet de connecter le collecteur d'un transistor de commande avec celui d'un transistor de sortie décalé de $b-1 = 2$ rangs. D'une manière générale, on peut réaliser un décalage d'un nombre de rangs égal au maximum, à (partie entière de b)-1, soit $E-(b)-1$.

Aux tensions de sortie élevées, le potentiel émetteur par exemple du transistor T'_{35} est le même que celui du collecteur du transistor T_{33} ce qui évite l'inconvénient du montage expérimental de la figure 3, puisque la tension d'émetteur des transistors T'_{33} , T'_{34} et T'_{35} évolue en fonction de la tension de sortie V_s .

En outre, et comme on va le montrer maintenant, la tension maximale disponible en sortie est plus proche de V_c que dans le cas du montage expérimental de la figure 2

Soit V_{BE} la tension base-émetteur d'un transistor (environ $0,7V$)

Soit V_n la tension collecteur-émetteur d'un transistor npn saturé

Soit V_p la tension collecteur-émetteur d'un transistor pnp saturé.

Pour les tensions de sortie V_s élevée, les transistors T_{30} à T_{35} et T'_{30} à T'_{35} sont saturés.

La tension d'émetteur de T_{30} peut atteindre la valeur

$$V_C - V_P - V_{BE}$$

La tension d'émetteur de T_{31} peut atteindre la valeur

$$V_C - V_P - V_N - V_{BE}$$

La tension d'émetteur de T_{32} peut atteindre la valeur

$$V_C - V_P - 2V_N - V_{BE}$$

La tension d'émetteur de T_{33} peut atteindre la valeur

$$V_C - 2V_P - 2V_{BE}$$

La tension d'émetteur de T_{34} peut atteindre la valeur

$$V_C - 2V_P - V_N - 2V_{BE}$$

La tension maximale de sortie V_s disponible à l'émetteur du transistor T_{35} , peut atteindre la valeur

$$V_C - 2V_P - 2V_N - 2V_{BE}$$

A titre d'exemple, un procédé de fabrication de circuits intégrés bipolaires permettant l'intégration simultanée de circuits analogiques et numériques, présente les valeurs caractéristiques suivantes :

$$V_N = 0,1V \quad V_P = 0,1V \quad V_{BE} \approx 0,8V$$

$$BV_{CEO \text{ npn}} = 5V \quad BV_{CEO \text{ pnp}} = 15V$$

La tension maximale admissible est alors :

$$V_s = V_C - 1,8V$$

Avec le nombre de transistors en cascade de la figure 4, on peut alimenter le circuit sous 30V, ce qui permet par exemple de faire fonctionner une diode Varicap entre environ 0,7 et 28V. Les diodes étant réalisées à partir de transistors npn, supportant une tension maximale de 20V (fonctionnement en BV_{CBO}), et les tensions à supporter étant supérieures à cette valeur pour les bases des transistors T'_{33} à T'_{35} , deux diodes sont nécessaires pour ces transistors.

Une condition à respecter est que les transistors T_{30} et T'_{30} ne partent pas en avalanche car ce sont les deux transistors qui limitent le courant.

Le pont de résistances R_{32} à R_{35} est avantageusement prévu pour que le potentiel de base des transistors T'_{33} à T'_{35} ait la valeur maximale correspondant à la valeur minimale possible pour les tensions collecteur-émetteur des transistors T_{30} à T_{32} . En effet, la tension collecteur du transistor T_{31} par exemple vaut $V_{B'} + 3V_{BE}$, $V_{B'}$ désignant la tension au point B' .

Soient $V_{A'}$, $V_{C'}$ et $V_{D'}$ les potentiels des points A' , C' et D' .

On peut par exemple utiliser la relation :

$$V_C - V_{A'} = V_{D_{31}} + V_{BE}(T'_{31})$$

avec

$$V_{D_{31}} = \text{tension aux bornes de la diode } D_{31}$$

$$V_{BE}(T'_{31}) = \text{tension base-émetteur du transistor}$$

T'_{31} en région BV_{CEO} .

Les tensions des points B' , C' et D' résultent alors de la condition imposée par la relation précédente.

Le schéma de la figure 4 permet donc d'obtenir les avantages procurés par ceux des figures 2 et 3 sans présenter leurs défauts. Le schéma de la figure 4 présente un avantage supplémentaire, en ce sens que la différence entre les courants collecteur des transistors T_{30} et T_{35} est faible, contrairement au cas de la figure 3, car les courants consommés par les transistors pnp sont réinjectés sur les transistors npn.

Un autre avantage de ce montage est qu'il peut fonctionner même dans le cas où les transistors T'_{33} à T'_{35} sont dans le mode BV_{CEO} , étant donné que le courant principal est limité par le transistor T_{30} .

Revendications

1. Source de courant à gamme étendue de tensions de sortie, dans lequel le trajet émetteur-collecteur d'un transistor principal agencé de manière à définir la valeur du courant de la source de courant est disposé en série avec le trajet émetteur-collecteur d'au moins un transistor de sortie caractérisée en ce qu'elle comporte n transistors de sortie du type npn (T_{31} - T_{35}) avec $n \geq 2$, le premier transistor de sortie (T_{31}) ayant son collecteur connecté à l'émetteur du transistor principal également du type npn (T_{30}), le $p^{\text{ième}}$ transistor de sortie avec $1 < p \leq n$ ayant son collecteur connecté à l'émetteur du $(p-1)^{\text{ième}}$ transistor de sortie, l'émetteur du $n^{\text{ième}}$ transistor de sortie constituant la sortie de la source de courant et en ce qu'à chaque $q^{\text{ième}}$ transistor de sortie (T_{31} - T_{35}) est associé un $q^{\text{ième}}$ transistor de commande du type opposé (T'_{31} ... T'_{35}) dont la base comporte au moins une diode dans le sens direct et référencée à un $q^{\text{ième}}$ potentiel de référence, dont le collecteur est connecté à la base du $q^{\text{ième}}$ transistor de sortie (T_{31} ... T_{35}) et dont l'émetteur est connecté au collecteur du $(q-r)^{\text{ième}}$ transistor de sortie pour $q > r$, et au collecteur du transistor principal (T_{30}) ainsi qu'à une source de tension d'alimentation pour $q \leq r$, avec $r \geq 1$.
2. Source de courant selon la revendication 1 caractérisée en ce que $r \leq E(b)-1$, $E(b)$ désignant la partie entière du rapport entre les BV_{CEO} des transistors npn et pnp.
3. Source de courant selon la revendication 2 caractérisée en ce que $r = 2$ et $p = 5$.
4. Source de courant selon une des revendications 1 à 3 caractérisée en ce que ledit poten-

tiel de référence est fixé à la valeur maximale correspondant à la valeur minimale possible pour les tensions collecteur-émetteur des transistors de sortie en régime de saturation.

Claims

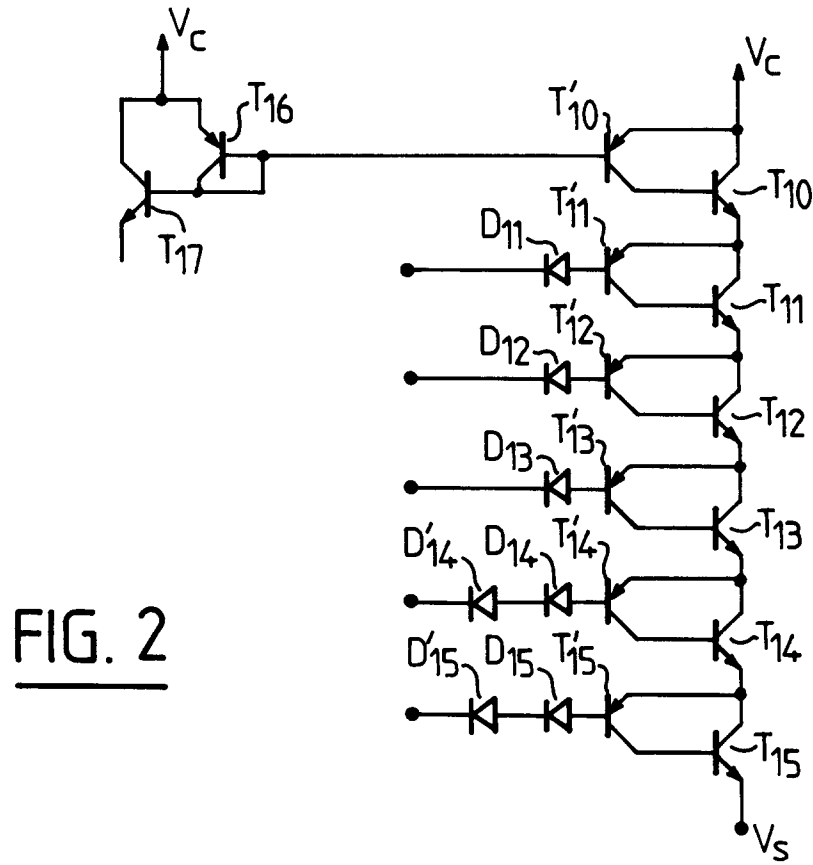
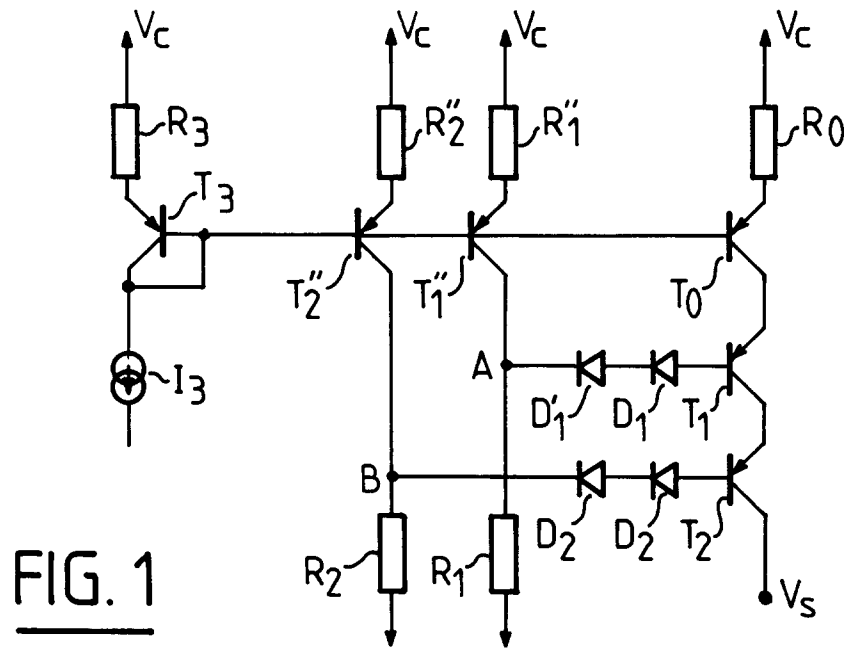
1. A current source having a wide range of output voltages, in which source the emitter-collector path of a main transistor, arranged to define the value of the current of the current source, is arranged in series with the emitter-collector path of at least one output transistor, characterized in that it comprises n output transistors (T_{31} - T_{35}) of the npn type, where $n \geq 2$, the first output transistor (T_{31}) having its collector connected to the emitter of the main transistor (T_{30}), which is also of the npn type, the p^{th} output transistor, where $1 < p \leq n$, having its collector connected to the emitter of the $(p-1)^{\text{th}}$ output transistor, the emitter of the n^{th} output transistor constituting the output of the current source, and in that every q^{th} output transistor (T_{31} - T_{35}) is associated with a q^{th} control transistor (T'_{31} ... T'_{35}) of the opposite type, whose base includes at least one diode poled in the forward direction and referred to a q^{th} reference potential, whose collector is connected to the base of the q^{th} output transistor (T_{31} ... T_{35}), and whose emitter is connected to the collector of the $(q-r)^{\text{th}}$ output transistor if $q > r$ and to the collector of the main transistor (T_{30}) as well as to a supply voltage source if $q \leq r$, where $r \geq 1$.
2. A current source as claimed in Claim 1, characterized in that $r \leq E(b)-1$. $E(b)$ being the whole part of the ratio between the BV_{CE0} values of the npn and pnp transistors.
3. A current source as claimed in Claim 2, characterized in that $r = 2$ and $p = 5$.
4. A current source as claimed in any one of the Claims 1 to 3, characterized in that said reference potential is fixed at the maximum value corresponding to the minimum possible values for the collector-emitter voltages of the output transistors in the saturation mode.

Patentansprüche

1. Stromquelle mit breitem Ausgangsspannungsbereich, in der die EmitterKollektor-Strecke eines Haupttransistors, der so beschaffen ist, daß er die Stromstärke der Stromquelle definiert, mit der Emitter-Kollektor-Strecke mindestens eines Ausgangstransistors in Reihe ge-

schaltet ist, dadurch gekennzeichnet, daß sie n Ausgangstransistoren vom npn-Typ (T_{31} - T_{35}) hat, mit $n \geq 2$, wobei der Kollektor des ersten Ausgangstransistors (T_{31}) mit dem Emitter des Haupttransistors (T_{30}), der ebenfalls vom npn-Typ ist, verbunden ist, der Kollektor des p -ten Ausgangstransistors, mit $1 < p \leq n$, mit dem Emitter des $(p-1)$ -ten Ausgangstransistors verbunden ist, wobei der Emitter des n -ten Ausgangstransistors den Ausgang der Stromquelle bildet, und daß jedem q -ten Ausgangstransistor (T_{31} - T_{35}) ein q -ter Steuertransistor vom entgegengesetzten Typ (T'_{31} ... T'_{35}) zugeordnet ist, dessen Basis mindestens eine auf ein q -tes Bezugspotential bezogene, in Vorwärtsrichtung geschaltete Diode enthält, dessen Kollektor mit der Basis des q -ten Ausgangstransistors (T_{31} ... T_{35}) verbunden und dessen Emitter fuhr $q > r$ mit dem Kollektor des $(q-r)$ -ten Ausgangstransistors und für $q \leq r$ mit dem Kollektor des Haupttransistors (T_{30}) sowie mit einer Speisespannungsquelle verbunden ist, mit $r > 1$.

2. Stromquelle nach Anspruch 1, dadurch gekennzeichnet, daß $r < E(b)-1$, wobei $E(b)$ den ganzzahligen Teil des Verhältnisses zwischen den BV_{CE0} -Werten der npn- und pnp-Transistoren angibt.
3. Stromquelle nach Anspruch 2, dadurch gekennzeichnet, daß $r = 2$ und $p = 5$.
4. Stromquelle einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß das genannte Bezugspotential auf den Maximalwert festgelegt ist, der dem minimal möglichen Wert für die Kollektor-Emitter-Spannungen der Ausgangstransistoren im Sättigungsbetrieb entspricht.



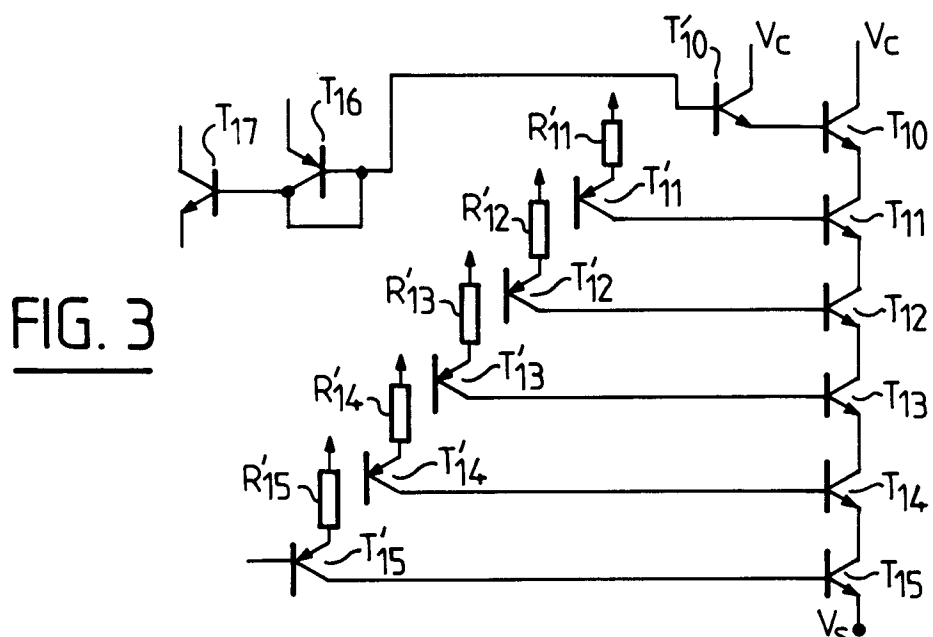


FIG. 3

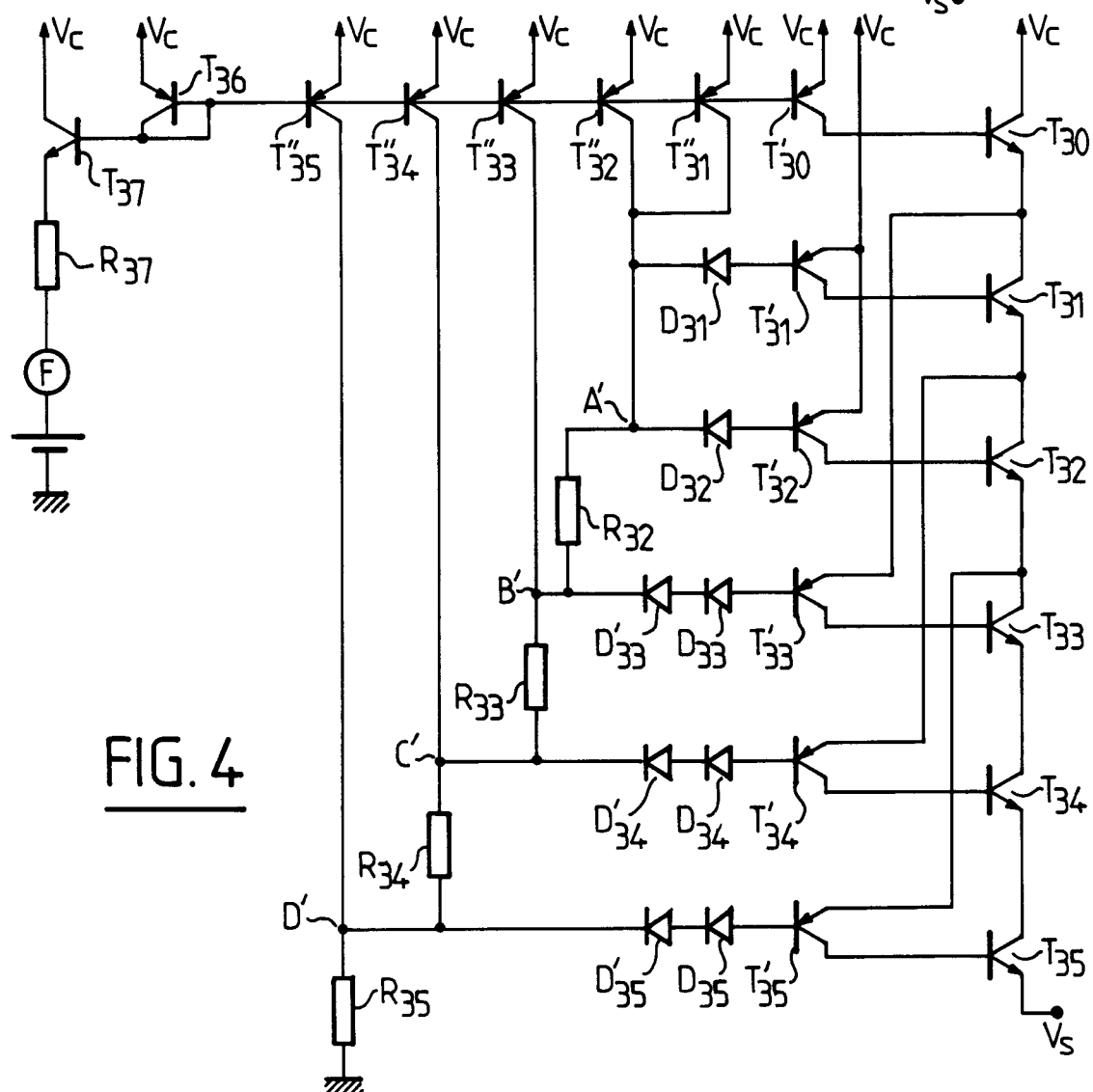


FIG. 4