



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

201455
(11) (B1)

(51) Int. Cl.³
H 03 K 23/08

(22) Přihlášeno 20 02 79
(21) (PV 1112-79)

(40) Zveřejněno 29 02 80

(45) Vydáno 31 05 82

(75)

Autor vynálezu

FEBER STANISLAV ing., BYSTRICE NAD OLŠÍ

(54) Zapojení k odměřování časových úseků

Vynález se týká zapojení k odměřování časových úseků, zejména v oblasti jednoúčelových řídicích automatů.

Jsou známa zapojení k odměřování časových úseků založená na čítání impulsů konstantní frekvence pomocí čítače impulsů volitelné kapacity dosahované například změnou předvolby tohoto čítače.

Nevýhodou známých zapojení je nepřesnost odměřování časových úseků v rozmezí jedné periody měrných impulsů.

Tyto nevýhody odstraňuje zapojení k odměřování časových úseků složené z čítače a přídavných logických obvodů podle vynálezu, jehož podstata spočívá v tom, že povelový vstup je spojen se záznamovým vstupem prvního paměťového obvodu, impulsní vstup je spojen se vstupem hradla, jehož řídicí vstup je spojen s výstupem prvního paměťového obvodu a jehož výstup je spojen se vstupem čítače a se záznamovým vstupem druhého paměťového obvodu, jehož výstup je spojen s výstupem zapojení, přičemž výstup čítače je spojen s mazacím vstupem prvního paměťového obvodu a s mazacím vstupem druhého paměťového obvodu.

Výstup druhého paměťového obvodu je dále spojen s vedlejším vstupem čítače.

Předností zapojení k odměřování časových úseků podle vynálezu je skutečnost, že odměřovaný časový úsek je přesným celistvým

násobkem periody měrných impulsů, nezávisle na náhodilé poloze náběžné hrany povelového signálu vzhledem k posloupnosti měrných impulsů.

Zapojení k odměřování časových úseků podle vynálezu je v příkladném provedení znázorněno na přiloženém výkrese.

Povelový vstup **S** je spojený se záznamovým vstupem **p₁** prvního paměťového obvodu **P**, impulsní vstup **G** je spojen se vstupem **h** hradla **H**, jehož řídicí vstup **x** je spojen s výstupem **P₁** prvního paměťového obvodu **P** a jehož výstup **H₁** je spojen se vstupem **n** čítače **N** a se záznamovým vstupem **r₁** druhého paměťového obvodu **R**, jehož výstup **R₁** je spojen s výstupem **X** zapojení. Výstup **N₁** čítače **N** je spojen s mazacím vstupem **p₂** prvního paměťového obvodu **P** a s mazacím vstupem **r₂** druhého paměťového obvodu **R**.

Jako paměťový obvod se uvažuje sekvenční logický obvod se záznamovým vstupem, s mazacím vstupem, s výstupem, kde signál zvolené logické úrovně přivedený na záznamový vstup způsobuje vybuzení signálu zvolené logické úrovně na výstupu tohoto obvodu, a signál zvolené logické úrovně přivedený na mazací vstup tohoto obvodu způsobuje vymazání signálu na výstupu tohoto obvodu.

Jako hradlo se uvažuje kombinační logický obvod se vstupem, s řídicím vstupem, s výstupem, kde signál zvolené logické úrovně na řídicím vstupu uvolňuje průchod signálu ze vstupu na výstup tohoto obvodu.

Funkce zapojení k odměřování časových úseků podle vynálezu je taková, že ve výchozím postavení je na povelovém vstupu S signál opačné logické úrovně než je logická úroveň povelového signálu, například nulový logický signál a oba paměťové obvody P , R jsou vymazány. Impulsní vstup je spojen se zdrojem měrných impulsů konstantní frekvence, například s oscilátorem.

Přivedením povelového signálu zvolené logické úrovně například jedničkového logického signálu na povelový vstup S přechází tento signál na záznamový vstup p_1 prvního paměťového obvodu P a způsobuje vybuzení signálu na výstupu P_1 tohoto paměťového obvodu P .

Signál vybuzený na výstupu P_1 prvního paměťového obvodu P přechází na řídicí vstup x hradla H a otevírá průchod měrných impulsů ze vstupu h na výstup H_1 tohoto hradla H a dále na záznamový vstup r_1 druhého paměťového obvodu R a na vstup n čítače N .

První impuls, který přechází na záznamový vstup r_1 druhého paměťového obvodu R způsobuje vybuzení signálu na výstupu R_1 tohoto paměťového obvodu R .

Signál vybuzený na výstupu R_1 druhého paměťového obvodu R přechází na výstup X zapojení a jeho časové trvání představuje odměřovaný časový úsek.

Posloupnost měrných impulsů přechází z výstupu H_1 hradla H na vstup n čítače N

a způsobuje postupné načítávání v tomto čítači. Při dočítání do předem stanoveného počtu impulsů, zadaného například kapacitou tohoto čítače, předvolbou stavu a podobně se vyhodnotí zaplněný stav tohoto čítače a na výstupu N_1 tohoto čítače se objeví výstupní signál dočítání. Tento signál přechází na mazací vstup p_2 prvního paměťového obvodu P a způsobuje vymazání signálu na výstupu P_1 tohoto obvodu P a zánik signálu na řídicím vstupu x hradla H , čímž se toto hradlo uzavírá, a dále přechází na mazací vstup r_2 druhého paměťového obvodu R a způsobuje vymazání signálu na výstupu R_1 tohoto obvodu R a zánik signálu na výstupu X zapojení.

Tento zánik signálu na výstupu X zapojení představuje konec odměřovaného časového úseku.

Další modifikace zapojení záleží v tom, že vedlejší vstup π čítače N je spojen s výstupem R_1 druhého paměťového obvodu R , a při vymazání signálu na tomto výstupu R_1 se zároveň nastavuje výchozí stav čítače N , například nuluje se tento čítač N a v tomto stavu se udržuje po celou dobu vymazaného stavu druhého paměťového obvodu R . Toto nulování se přerušuje po dobu vybuzeného stavu druhého paměťového obvodu R , tj. po dobu odměřování předmětného časového úseku.

Zapojení podle vynálezu se uplatňuje při logické stavbě číslicových obvodů, v měřicí technice k přesnému odměřování času měření a podobně všude tam, kde jsou kladeny vysoké nároky na přesné dodržování konstantní hodnoty odměřovaného časového úseku.

PŘEDMĚT VYNÁLEZU

1. Zapojení k odměřování časových úseků složené z čítače a přídavných logických obvodů, vyznačené tím, že povelový vstup (S) je spojen se záznamovým vstupem (p_1) prvního paměťového obvodu (P), impulsní vstup (G) je spojen se vstupem (h) hradla (H), jehož řídicí vstup (x) je spojen s výstupem (P_1) prvního paměťového obvodu (P) a jehož výstup (H_1) je spojen se vstupem (n) čítače (N) a se záznamovým vstupem (r_1) druhého paměťového obvodu

(R), jehož výstup (R_1) je spojen s výstupem (X) zapojení, přičemž výstup (N_1) čítače (N) je spojen s mazacím vstupem (p_2) prvního paměťového obvodu (P) a s mazacím vstupem (r_2) druhého paměťového obvodu (R).

2. Zapojení podle bodu 1, vyznačené tím, že výstup (R_1) druhého paměťového obvodu (R) je dále spojen s vedlejším vstupem (π) čítače (N).

