



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202343584 A

(43)公開日：中華民國 112 (2023) 年 11 月 01 日

(21)申請案號：112105094

(22)申請日：中華民國 112 (2023) 年 02 月 14 日

(51)Int. Cl.：

*H01L21/336 (2006.01)**H01L21/768 (2006.01)**H01L27/12 (2006.01)**H01L29/786 (2006.01)**H01L29/78 (2006.01)*

(30)優先權：2022/02/18

日本

2022-023822

2022/03/08

日本

2022-035017

2022/09/02

日本

2022-140309

(71)申請人：日商半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；大貫達也 ONUKI, TATSUYA (JP)；國武  
寬司 KUNITAKE, HITOSHI (JP)；方堂涼太 HODO, RYOTA (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：10 項 圖式數：30 共 180 頁

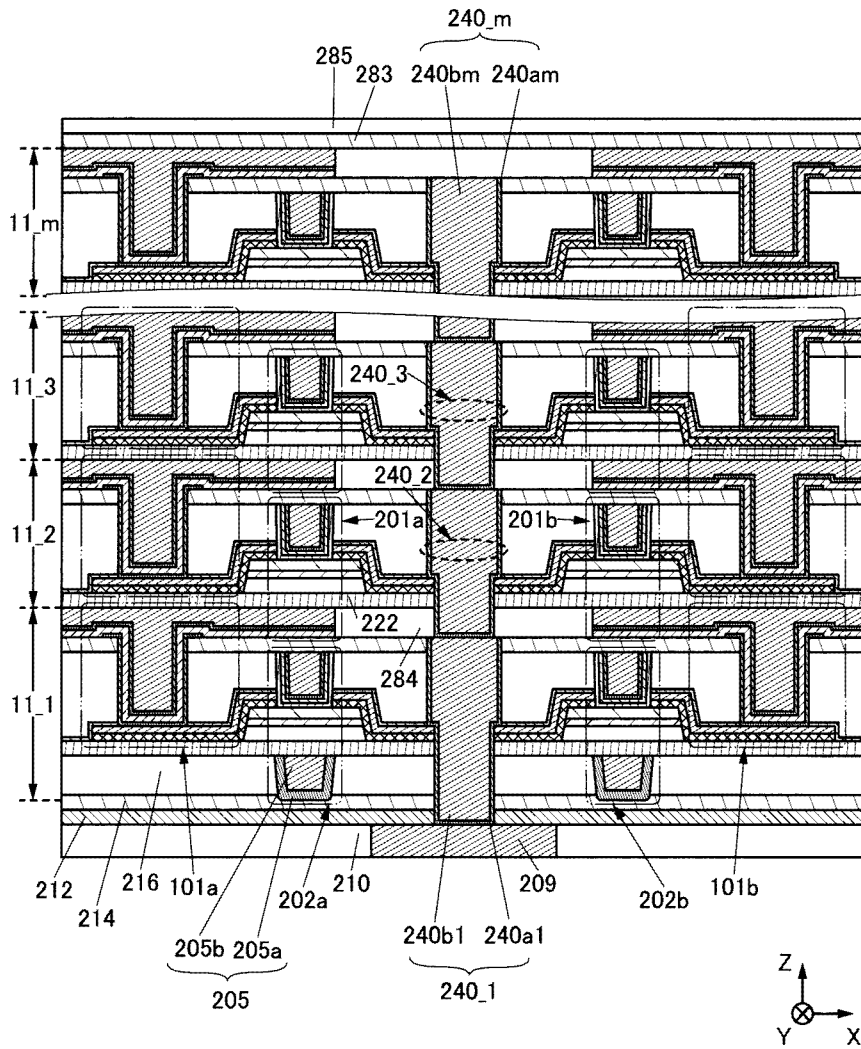
(54)名稱

半導體裝置

(57)摘要

提供一種能夠實現微型化或高積體化的半導體裝置。該半導體裝置包括第一記憶單元、第一記憶單元上的第二記憶單元、第一導電體、第一導電體上的第二導電體。第一記憶單元及第二記憶單元分別包括電晶體及電容器。電晶體的源極和汲極中的一個與電容器的下部電極電連接。第一導電體具有與第一記憶單元中的電晶體的源極和汲極中的另一個接觸的部分，第一導電體的頂面具有與第二導電體的底面接觸的部分，第二導電體具有與第二記憶單元中的電晶體的源極和汲極中的另一個接觸的部分。

指定代表圖：



【圖1】

符號簡單說明：

- 11\_1:第一層
- 11\_2:第二層
- 11\_3:第三層
- 11\_m:第 m 層
- 101a:電容器
- 101b:電容器
- 201a:電晶體
- 201b:電晶體
- 202a:電晶體
- 202b:電晶體
- 205a:導電體
- 205b:導電體
- 205:導電體
- 209:導電體
- 210:絕緣體
- 212:絕緣體
- 214:絕緣體
- 216:絕緣體
- 222:絕緣體
- 240\_1:導電體
- 240\_2:導電體
- 240\_3:導電體
- 240a1:導電體
- 240b1:導電體
- 240\_m:導電體
- 240am:導電體
- 240bm:導電體
- 283:絕緣體
- 284:絕緣體
- 285:絕緣體

## 【發明摘要】

### 【中文發明名稱】

半導體裝置

### 【中文】

提供一種能夠實現微型化或高積體化的半導體裝置。該半導體裝置包括第一記憶單元、第一記憶單元上的第二記憶單元、第一導電體、第一導電體上的第二導電體。第一記憶單元及第二記憶單元分別包括電晶體及電容器。電晶體的源極和汲極中的一個與電容器的下部電極電連接。第一導電體具有與第一記憶單元中的電晶體的源極和汲極中的另一個接觸的部分，第一導電體的頂面具有與第二導電體的底面接觸的部分，第二導電體具有與第二記憶單元中的電晶體的源極和汲極中的另一個接觸的部分。

【指定代表圖】圖 1

【代表圖之符號簡單說明】

11\_1:第一層

11\_2:第二層

11\_3:第三層

11\_m:第 m 層

101a:電容器

101b:電容器

201a:電晶體

201b:電晶體

202a:電晶體

202b:電晶體

205a:導電體

205b:導電體

205:導電體

209:導電體

210:絕緣體

212:絕緣體

214:絕緣體

216:絕緣體

222:絕緣體

240\_1:導電體

240\_2:導電體

240\_3:導電體

240a1:導電體

240b1:導電體

240\_m:導電體

240am:導電體

240bm:導電體

283:絕緣體

284:絕緣體

285:絕緣體

【特徵化學式】無

# 【發明說明書】

## 【中文發明名稱】

半導體裝置

## 【技術領域】

【0001】本發明的一個實施方式係關於一種半導體裝置、記憶體裝置及電子裝置。另外，本發明的一個實施方式係關於一種半導體裝置的製造方法。

【0002】注意，本發明的一個實施方式不侷限於上述技術領域。作為本發明的一個實施方式的技術領域的一個例子，可以舉出半導體裝置、顯示裝置、發光裝置、蓄電裝置、記憶體裝置、電子裝置、照明設備、輸入裝置(例如，觸控感測器)、輸入輸出裝置(例如，觸控面板)、其驅動方法或其製造方法。

【0003】注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。除了電晶體等的半導體元件之外，半導體電路、運算裝置或記憶體裝置也是半導體裝置的一個實施方式。顯示裝置(液晶顯示裝置、發光顯示裝置等)、投影裝置、照明設備、電光裝置、蓄電裝置、記憶體裝置、半導體電路、攝像裝置、電子裝置等有時包括半導體裝置。

## 【先前技術】

【0004】近年來，對LSI(Large Scale Integration)、

CPU(Central Processing Unit)、GPU(Graphic Processing Unit)、記憶體(記憶體裝置)等半導體裝置進行開發。這些半導體裝置用於電腦、可攜式資訊終端等各種電子裝置。此外，運算處理執行時的暫時儲存、資料的長期存儲等，根據用途開發各種存儲方式的記憶體。作為典型的存儲方式的記憶體，例如可以舉出DRAM(Dynamic Random Access Memory)、SRAM(Static Random Access Memory)及快閃記憶體。

【0005】此外，隨著使用資料量的增大，需要具有更大的記憶容量的半導體裝置。專利文獻1及非專利文獻1公開了層疊電晶體來形成的記憶單元。

【0006】

[專利文獻1] 日本專利申請公開第2021-053473號公報

【0007】

[非專利文獻1] M.Oota et.al, “3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm”, IEDM Tech. Dig., 2019, pp.50-53

【發明內容】

【0008】本發明的一個實施方式的目的是提供一種能夠實現微型化或高積體化的半導體裝置。本發明的一個實施方式的目的是提供一種工作速度快的半導體裝置。本發明的一個實施方式的目的是提供一種具有良

好的電特性的半導體裝置。本發明的一個實施方式的目的之一是提供一種電晶體的電特性不均勻小的半導體裝置。本發明的一個實施方式的目的是提供一種可靠性高的半導體裝置。本發明的一個實施方式的目的是提供一種通態電流大的半導體裝置。本發明的一個實施方式的目的是提供一種功耗低的半導體裝置。本發明的一個實施方式的目的是提供一種新穎的半導體裝置。

**【0009】** 本發明的一個實施方式的目的是提供一種記憶容量大的記憶體裝置。本發明的一個實施方式的目的是提供一種佔有面積小的記憶體裝置。本發明的一個實施方式的目的是提供一種可靠性高的記憶體裝置。本發明的一個實施方式的目的是提供一種功耗低的記憶體裝置。本發明的一個實施方式的目的是提供一種新穎的記憶體裝置。

**【0010】** 注意，這些目的的記載不妨礙其他目的的存在。本發明的一個實施方式並不需要實現所有上述目的。除上述目的外的目的可以從說明書、圖式、申請專利範圍等的描述中抽出。

**【0011】** 本發明的一個實施方式是一種半導體裝置，包括：第一記憶單元、第一記憶單元上的第二記憶單元、第一導電體及第一導電體上的第二導電體，其中第一記憶單元及第二記憶單元分別包括電晶體、電容器、第一絕緣體及第二絕緣體，電晶體包括第一絕緣體上的金屬氧化物、金屬氧化物上的第三導電體、第四導電體、第三絕緣

體及第三絕緣體上的第五導電體，電容器包括第六導電體、第六導電體上的第四絕緣體及第四絕緣體上的第七導電體，第二絕緣體位於電晶體上，第六導電體、第四絕緣體和第七導電體重疊的部分位於第二絕緣體上，藉由設置在第二絕緣體中的開口，第三導電體與第六導電體電連接，第一導電體具有與第一記憶單元中的第四導電體接觸的部分，第一導電體的頂面具有與第二導電體的底面接觸的部分，第二導電體具有與第二記憶單元中的第四導電體接觸的部分。

**【0012】** 第一導電體較佳為接觸於第一記憶單元中的第四導電體的頂面的一部分及側面的一部分。

**【0013】** 第一導電體較佳為接觸於第一記憶單元中的第四導電體的頂面的一部分、側面的一部分及底面的一部分。

**【0014】** 第四導電體較佳為具有位於第一絕緣體的端部的外側的部分。

**【0015】** 較佳的是，第二記憶單元中的第一絕緣體、金屬氧化物、第三絕緣體和第五導電體重疊的部分位於第一記憶單元中的第七導電體上。

**【0016】** 第四絕緣體較佳為包含氧化鋅及氧化鋁中的一者或兩者。

**【0017】** 第七導電體的一部分較佳為位於設置在第二絕緣體中的開口。

**【0018】** 第二記憶單元中的電晶體較佳為包括第八導

電體。第八導電體較佳為位於第一記憶單元中的第二絕緣體上且包含與第七導電體相同的材料。較佳的是，第二記憶單元中的第一絕緣體、金屬氧化物、第三絕緣體及第五導電體重疊的部分位於第八導電體上。

【0019】第六導電體的端部較佳為被第四絕緣體覆蓋。

【0020】第六導電體的端部較佳為與第七導電體的端部對齊或大致對齊。

【0021】根據本發明的一個實施方式，可以提供一種能夠實現微型化或高積體化的半導體裝置。根據本發明的一個實施方式，可以提供一種工作速度快的半導體裝置。根據本發明的一個實施方式，可以提供一種具有良好的電特性的半導體裝置。根據本發明的一個實施方式，可以提供一種電晶體的電特性不均勻小的半導體裝置。根據本發明的一個實施方式，可以提供一種可靠性高的半導體裝置。根據本發明的一個實施方式，可以提供一種通態電流大的半導體裝置。根據本發明的一個實施方式，可以提供一種功耗低的半導體裝置。根據本發明的一個實施方式，可以提供一種新穎的半導體裝置。

【0022】根據本發明的一個實施方式，可以提供一種記憶容量大的記憶體裝置。根據本發明的一個實施方式，可以提供一種佔有面積小的記憶體裝置。根據本發明的一個實施方式，可以提供一種可靠性高的記憶體裝置。根據本發明的一個實施方式，可以提供一種功耗低的記憶體裝

置。根據本發明的一個實施方式，可以提供一種新穎的記憶體裝置。

**【0023】** 注意，這些效果的記載不妨礙其他效果的存在。注意，本發明的一個實施方式並不需要實現所有上述效果。除上述效果外的效果可以從說明書、圖式、申請專利範圍等的描述中抽出。

### **【圖式簡單說明】**

#### **【0024】**

[圖 1]是示出半導體裝置的一個例子的剖面圖；

[圖 2]是示出半導體裝置的一個例子的剖面圖；

[圖 3]是示出半導體裝置的一個例子的剖面圖；

[圖 4A]及[圖 4B]是示出半導體裝置的一個例子的剖面圖；

[圖 5A]及[圖 5B]是示出半導體裝置的一個例子的剖面圖；

[圖 6A]及[圖 6B]是示出半導體裝置的一個例子的剖面圖；

[圖 7]是示出半導體裝置的一個例子的剖面圖；

[圖 8A]及[圖 8B]是示出半導體裝置的一個例子的俯視圖；

[圖 9A]及[圖 9B]是示出半導體裝置的一個例子的俯視圖；

[圖 10A]至[圖 10C]是示出半導體裝置的製造方法的一

個例子的圖；

[圖 11A]及[圖 11B]是示出半導體裝置的製造方法的一個例子的圖；

[圖 12A]至[圖 12C]是示出半導體裝置的製造方法的一個例子的圖；

[圖 13A]及[圖 13B]是示出半導體裝置的製造方法的一個例子的圖；

[圖 14A]至[圖 14C]是示出半導體裝置的製造方法的一個例子的圖；

[圖 15A]至[圖 15C]是示出半導體裝置的製造方法的一個例子的圖；

[圖 16A]至[圖 16C]是示出半導體裝置的製造方法的一個例子的圖；

[圖 17A]及[圖 17B]是示出半導體裝置的一個例子的立體圖；

[圖 18]是示出記憶體裝置的一個例子的方塊圖；

[圖 19A]是示出記憶體裝置的一個例子的示意圖；[圖 19B]是示出記憶體裝置的一個例子的示意圖及電路圖；

[圖 20A]及[圖 20B]是示出記憶體裝置的一個例子的示意圖；

[圖 21]是示出記憶體裝置的一個例子的電路圖；

[圖 22]是說明記憶體裝置的工作例子的時序圖；

[圖 23A]及[圖 23B]是示出記憶體裝置的一個例子的電路圖；

[圖 24A]及[圖 24B]是示出記憶體裝置的一個例子的電路圖；

[圖 25A]及[圖 25B]是示出半導體裝置的一個例子的圖；

[圖 26A]及[圖 26B]是示出電子構件的一個例子的圖；

[圖 27A]至[圖 27J]是示出電子裝置的一個例子的圖；

[圖 28A]至[圖 28E]是示出電子裝置的一個例子的圖；

[圖 29A]至[圖 29C]是示出電子裝置的一個例子的圖；

[圖 30]是示出太空設備的一個例子的圖。

### 【實施方式】

【0025】參照圖式對實施方式進行詳細地說明。但是，所屬技術領域的通常知識者可以很容易地理解一個事實，就是本發明不侷限於下面說明，可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在下面所示的實施方式所記載的內容中。

【0026】另外，在下面說明的發明結構中，在不同的圖式之間共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

【0027】另外，為了便於理解，有時圖式中示出的各構成的位置、大小及範圍等並不表示其實際的位置、大小

及範圍等。因此，所公開的發明不一定侷限於圖式所公開的位置、大小及範圍等。

**【0028】** 注意，在本說明書等中，為了方便起見，附加了“第一”、“第二”等序數詞，而其並不限制結構要素的個數或結構要素的順序(例如，製程順序或疊層順序)。此外，在本說明書中的某一部分對結構要素附加的序數詞與在本說明書中的其他部分或申請專利範圍對該結構要素附加的序數詞有時不一致。

**【0029】** 另外，根據情況或狀態，可以互相調換“膜”和“層”。例如，可以將“導電層”變換為“導電膜”。此外，可以將“絕緣膜”變換為“絕緣層”。

**【0030】** 開口例如包括槽、狹縫等。有時將形成有開口的區域稱為開口部。

**【0031】** 此外，本實施方式中使用的圖式示出絕緣體的開口部的絕緣體的側壁大致垂直於基板面或被形成面的情況，但是也可以為錐形形狀。

**【0032】** 注意，在本說明書等中，錐形形狀是指組件的側面的至少一部分相對於基板面或被形成面傾斜地設置的形狀。例如，較佳為包括傾斜的側面和基板面或被形成面所形成的角度(以下，有時稱為錐角)小於 $90^\circ$ 的區域。在此，結構的側面及基板面不一定必須完全平坦，也可以是具有微小曲率的近似平面狀或具有微細凹凸的近似平面狀。

**【0033】**

## 實施方式 1

在本實施方式中，參照圖 1 至圖 17 說明本發明的一個實施方式的半導體裝置。

【0034】本發明的一個實施方式是一種半導體裝置，包括：第一記憶單元、第一記憶單元上的第二記憶單元、第一導電體及第一導電體上的第二導電體，其中第一記憶單元及第二記憶單元分別包括電晶體、電容器、第一絕緣體及第二絕緣體，電晶體包括第一絕緣體上的金屬氧化物、金屬氧化物上的第三導電體、第四導電體、第三絕緣體及第三絕緣體上的第五導電體，電容器包括第六導電體、第六導電體上的第四絕緣體及第四絕緣體上的第七導電體，第二絕緣體位於電晶體上，第六導電體、第四絕緣體和第七導電體重疊的部分位於第二絕緣體上，藉由設置在第二絕緣體中的開口，第三導電體與第六導電體電連接，第一導電體具有與第一記憶單元中的第四導電體接觸的部分，第一導電體的頂面具有與第二導電體的底面接觸的部分，第二導電體具有與第二記憶單元中的第四導電體接觸的部分。

【0035】本發明的一個實施方式的半導體裝置包括在通道形成區域中包含金屬氧化物的電晶體(OS電晶體)。因為 OS 電晶體的關態電流小，所以藉由將其用於記憶體裝置，可以長期保持存儲內容。換言之，由於不需要更新工作或更新工作的頻率極低，所以可以充分降低記憶體裝置的功耗。此外，OS 電晶體的頻率特性高，所以可以高速

地進行記憶體裝置的讀出及寫入。

**【0036】**此外，本發明的一個實施方式的半導體裝置所包括的第一導電體及第二導電體可以被用作記憶體裝置中的寫入及讀出位元線(也簡單地稱為位元線)的一部分。也就是說，採用本發明的一個實施方式的記憶體裝置中，可以採用第四導電體與位元線直接接觸的結構。藉由採用這種結構，在第四導電體與位元線之間不需要另行設置連接用的電極，可以提高記憶單元的積體度。

**【0037】**此外，採用本發明的一個實施方式的記憶體裝置中，多個記憶單元層疊地設置，多個導電體的疊層結構適用於位元線。第一導電體具有與第一記憶單元中的第四導電體接觸的部分，第二導電體具有與第二記憶單元中的第四導電體接觸的部分。於是，第一導電體的頂面具有與第二導電體的底面接觸的部分。如此，藉由用作位元線的導電體具有多個導電體的疊層結構，與位元線使用一個導電體的情況相比，可以提高本發明的一個實施方式的半導體裝置或記憶體裝置的製造良率。

### **【0038】**

<半導體裝置的剖面結構例子1>

參照圖1至圖6說明本發明的一個實施方式的半導體裝置的剖面結構例子。

**【0039】**注意，在圖1至圖6中，X方向平行於電晶體的通道長度方向，Y方向垂直於X方向，Z方向垂直於X方向及Y方向。

【0040】圖1所示的半導體裝置包括絕緣體210、嵌入絕緣體210中的導電體209、絕緣體210上的絕緣體212、絕緣體212上的絕緣體214、絕緣體214上的 $m$ 個( $m$ 為1以上的整數)層11(第一層11\_1至第 $m$ 層11\_ $m$ )、以穿過 $m$ 個層11的方式在 $Z$ 方向上延伸地設置且與導電體209電連接的 $m$ 個導電體240(導電體240\_1至導電體240\_ $m$ )、第 $m$ 層11\_ $m$ 上的絕緣體283以及絕緣體283上的絕緣體285。此外，本實施方式的半導體裝置所包含的結構要素既可以具有單層結構，又可以具有疊層結構。

【0041】此外，導電體240較佳為包括導電體240a及導電體240b。如圖1所示，例如，導電體240\_1包括導電體240a1及導電體240b1，導電體240\_ $m$ 包括導電體240am及導電體240bm。

【0042】導電體209被用作開關、電晶體、電容器、電感器、電阻器及二極體等的電路元件的一部分、佈線、電極或端子。

【0043】圖1中示出 $m$ 個層11中最下層的第一層11\_1、第一層11\_1上的第二層11\_2、第二層11\_2上的第三層11\_3、最上層的第 $m$ 層11\_ $m$ 。此外，圖1中示出 $m$ 個導電體240中最下層的導電體240\_1、導電體240\_1上的導電體240\_2、導電體240\_2上的導電體240\_3、最上層的導電體240\_ $m$ 。

【0044】本實施方式中，示出具有 $m$ 個層11及 $m$ 個導電體240的例子，但是不侷限於此。例如，導電體240可以

為2個以上且 $m$ 個以下。由此，與導電體240為一個的情況(包括一個導電體240a及一個導電體240b的情況)相比，可以提高半導體裝置的良率。

【0045】本實施方式的半導體裝置可以被用作記憶體裝置的記憶單元(或者記憶體陣列)。  $m$ 個層11的各層相當於在實施方式2說明的記憶體裝置的記憶體陣列20[i]。在  $m$ 個層11的各層設置多個記憶單元。導電體209電連接於在比導電體209下方設置的用來驅動該記憶單元的驅動電路。藉由增加記憶體陣列的疊層數(增大 $m$ 值)，可以增大記憶體裝置的記憶容量而無需增大記憶單元的佔有面積。因此，每1位元的佔有面積得到減小，可以實現尺寸小、記憶容量大的記憶體裝置。

【0046】因為  $m$ 個層11中的第二層11\_2以上的各層具有同樣的結構，所以主要本實施方式中以第二層11\_2為例進行說明。此外，主要說明第一層11\_1的與第二層11\_2不同的部分而省略說明第一層11\_1的與第二層11\_2同樣的部分。

【0047】第一層11\_1包括電晶體202a、202b及電容器101a、101b。

【0048】第二層11\_2包括電晶體201a、201b及電容器101a、101b。第三層11\_3至第 $m$ 層11\_m的各層也包括電晶體201a、201b及電容器101a、101b。

【0049】第一層11\_1及第二層11\_2各自的右側結構與左側結構是以導電體240為界對稱。就是說，在圖1中，電

晶體 201a 與電晶體 201b 為對稱，電晶體 202a 與電晶體 202b 為對稱，電容器 101a 與電容器 101b 為對稱。本實施方式中，主要以第一層 11\_1 及第二層 11\_2 的左側結構(電晶體 201a、202a 及電容器 101a) 為例進行說明。

【0050】第一層 11\_1 中的電晶體 202a 設置在絕緣體 214 上。作為電晶體 202a 的下側的閘極電極設置有導電體 205(導電體 205a 及導電體 205b)。在電晶體 202a 的源極和汲極中的一個上，電容器 101a 的一個電極(下部電極)物理連接及電連接。此外，第一層 11\_1 中的電容器 101a 的另一個電極(上部電極)可以被用作第二層 11\_2 中的電晶體 201a 的下側的閘極電極。

【0051】第二層 11\_2 中的電晶體 201a 的源極和汲極中的一個與電容器 101a 的一個電極(下部電極)物理連接及電連接。此外，第二層 11\_2 中的電容器 101a 的另一個電極(上部電極)可以被用作第三層 11\_3 中的電晶體 201a 的下側的閘極電極。

【0052】如此，第一層 11\_1 與第二層 11\_2 以上的層彼此不同之處在於：在電晶體 202a 中作為下側的閘極電極包括導電體 205，而在電晶體 201a 中其下一個層的電容器 101a 的上部電極兼用下側的閘極電極。

【0053】此外，第一層 11\_1 中的電晶體 202a 的源極和汲極中的另一個與導電體 240\_1 連接，第二層 11\_2 中的電晶體 201a 的源極和汲極中的另一個與導電體 240\_2 連接。

【0054】在此，層疊 m 個記憶單元之後，在將用來設

置導電體 240 的開口部設置在絕緣體的疊層結構的情況下，需要使開口深，因此有時加工的難易度變高或者有時製造良率降低。明確而言，有時難以保持開口部的寬度(也可以稱為開口徑。在圖 1 等中相當於 X 軸方向的長度。)為一定。例如，開口部的上側(第 m 層側)的寬度容易變寬，開口部的下側(第一層側)的寬度容易變窄。

【0055】在此，本實施方式的半導體裝置的製造方法中，形成第一層 11\_1 中的電晶體 202a、202b 之後，用來設置導電體 240\_1 的開口部設置在絕緣體的疊層結構中，並且在該開口部嵌入導電體 240\_1。然後，形成第一層 11\_1 中的電容器 101a、101b 及第二層 11\_2 中的電晶體 201a、201b，用來設置導電體 240\_2 的開口部設置在絕緣體的疊層結構中，在該開口部嵌入導電體 240\_2。藉由反復這種製程，可以將 m 個層與 m 個導電體電連接。藉由使用多個導電體，可以使一個開口的深度變淺，容易加工，因此可以提高製造良率。

【0056】圖 2 及圖 3 所示的半導體裝置都是圖 1 所示的半導體裝置的變形例子。圖 1 示出絕緣體 284、絕緣體 222 及電晶體的源極和汲極中的另一個各自的導電體 240 側的端部大致對齊的例子。本發明的一個實施方式不侷限於此，例如，如圖 2 及圖 3 所示，絕緣體 284 及電晶體的源極和汲極中的另一個各自的端部也可以位於絕緣體 222 的端部的外側(導電體 240 側)。此外，圖 2 示出絕緣體 284 及電晶體的源極和汲極中的另一個各自的導電體 240 側的端部

大致對齊的例子。此外，圖3示出電晶體的源極和汲極中的另一個的各端部位於絕緣體284的端部的外側(導電體240側)的例子。

**【0057】** 注意，在剖面中，在端部對齊或大致對齊的情況以及頂面形狀一致或大致一致的情況下，可以說在俯視(也可以稱為平面視)時至少其輪廓的一部分在層疊的各層間彼此重疊。在這種情況下，例如，包括上層與下層由同一遮罩圖案或其一部分相同的遮罩圖案加工而成的情況。但是，實際上有輪廓不重疊的情況，有時上層的一部分位於下層的內側或者上層的一部分位於下層的外側，這種情況也可以說“端部大致對齊”或“頂面形狀大致一致”。在本說明書等中，頂面形狀是指在平面視時的形狀。

**【0058】** 此外，圖2及圖3中在絕緣體284的不與絕緣體222重疊的區域設置有凹部。根據絕緣體222的蝕刻條件，當加工絕緣體222時有時絕緣體284的一部分被除去而形成凹部。注意，絕緣體284也可以不具有凹部。

**【0059】** 圖4A示出圖1中的第二層11\_2與其附近的左側一半的結構(導電體240\_2及導電體240\_2的左側示出的結構)的放大圖。此外，圖4B、圖5A及圖5B示出圖4A的變形例子。

**【0060】** 如圖4A所示，第二層11\_2包括電晶體201a及電容器101a。

**【0061】** 電晶體201a包括絕緣體222、絕緣體222上的絕緣體224、絕緣體224上的氧化物230(氧化物230a及氧化

物 230b)、分別覆蓋絕緣體 224 的側面的一部分和氧化物 230 的頂面的一部分及側面的一部分的導電體 242a(導電體 242a1 及導電體 242a2)及導電體 242b(導電體 242b1 及導電體 242b2)、氧化物 230 上的絕緣體 253、絕緣體 253 上的絕緣體 254、絕緣體 254 上的導電體 260(導電體 260a 及導電體 260b)。

【0062】導電體 242a、242b 上設置有絕緣體 275，絕緣體 275 上設置有絕緣體 280。絕緣體 253、254 及導電體 260 嵌入絕緣體 280 及絕緣體 275 中的開口的內部。絕緣體 280 上及導電體 260 上設置有絕緣體 282。

【0063】氧化物 230 包括被用作電晶體 201a 的通道形成區域的區域。

【0064】導電體 242a 包括被用作電晶體 201a 的源極電極和汲極電極中的一個的區域。導電體 242b 包括被用作電晶體 201a 和源極電極和汲極電極中的另一個的區域。

【0065】導電體 260 包括被用作電晶體 201a 的第一閘極電極(上側的閘極電極)的區域。絕緣體 253、254 分別包括被用作電晶體 201a 的第一閘極絕緣體的區域。

【0066】此外，第一層 11\_1 中的導電體 160 重疊於第二層 11\_2 中的氧化物 230 及導電體 260 且包括被用作電晶體 201a 的第二閘極電極(下側的閘極電極)的區域。絕緣體 222、224 分別包括被用作電晶體 201a 的第二閘極絕緣體的區域。

【0067】電容器 101a 包括導電體 242b 上的導電體

153、導電體 153 上的絕緣體 154、絕緣體 154 上的導電體 160(導電體 160a 及導電體 160b)。

【0068】導電體 153、絕緣體 154 及導電體 160 各自的至少一部分配置在絕緣體 275、絕緣體 280 及絕緣體 282 中的開口的內部。導電體 153、絕緣體 154 及導電體 160 的各端部位於絕緣體 282 上。絕緣體 154 以覆蓋導電體 153 的端部的方式設置。由此，可以將導電體 153 與導電體 160 電絕緣。絕緣體 275、絕緣體 280 及絕緣體 282 中的開口的深度越深(也就是說，絕緣體 275、280、282 中的一個或多個的厚度越厚)，電容器 101a 的靜電電容可以越大。藉由使電容器 101a 的單位面積的靜電電容大，可以實現半導體裝置的微型化或高積體化。

【0069】導電體 153 包括被用作電容器 101a 的一個電極(下部電極)的區域。絕緣體 154 包括被用作電容器 101a 的介電體的區域。導電體 160 包括被用作電容器 101a 的另一個電極(上部電極)的區域。電容器 101a 具有 MIM(Metal-Insulator-Metal)電容結構。

【0070】圖 4A 示出導電體 160 兼用作電容器 101a 的上部電極及電晶體 201a 的第二閘極電極的結構，但是本發明不侷限於此。如圖 4B 所示，被用作電容器 101a 的上部電極的導電體 160 以外，也可以另行設置被用作電晶體 201a 的第二閘極電極的導電體 161(導電體 160c、160d)。由此，導電體 160 的電位與導電體 161 的電位可以為彼此不同之值。藉由加工一個導電膜，可以形成導電體 160a 及導電體

160c。藉由加工一個導電膜，可以形成導電體 160b 及導電體 160d。由此，與製造圖 4A 所示的結構的情況相比，可以以不增加製程數的方式製造圖 4B 所示的結構。

【0071】圖 4A 示出絕緣體 154 覆蓋導電體 153 的端部的例子，但是本發明不侷限於此。如圖 5A 所示，在剖面中導電體 153、絕緣體 154、導電體 160a 及導電體 160b 的端部也可以對齊或者大致對齊。

【0072】在形成具有圖 5A 所示的剖面結構的電容器 101a 的情況下，導電體 153、絕緣體 154 及導電體 160 可以使用同一遮罩形成，因此可以減少遮罩數。

【0073】同樣地，圖 4B 示出絕緣體 154a 覆蓋導電體 153a 的端部的例子，但是本發明不侷限於此。如圖 5B 所示，在剖面中導電體 153a、絕緣體 154a、導電體 160a 及導電體 160b 的端部也可以對齊或者大致對齊。此外，在導電體 161 的下方除了絕緣體 154b 以外還可以形成導電體 153b。

【0074】包括被用作電晶體 201a 的源極電極和汲極電極中的一個的區域的導電體 242a 超過被用作半導體層的氧化物 230 延伸。因此，導電體 242a 也被用作佈線。例如，在圖 4A 中，導電體 242a 的頂面及側面各自的一部分與在 Z 方向上延伸的導電體 240\_2 電連接。

【0075】藉由導電體 240\_2 與導電體 242a 的頂面、側面及底面中的至少一個直接接觸，不需另行設置連接用電極，因此可以減少記憶體陣列的佔有面積。此外，記憶單

元的積體度提高，可以增大記憶容量。導電體 240\_2 較佳為與導電體 242a 的頂面、側面及底面中的兩個以上接觸。藉由導電體 240\_2 與導電體 242a 的多個面接觸，可以降低導電體 240\_2 與導電體 242a 的接觸電阻。

【0076】圖 6A 示出圖 1 所示的結構中的導電體 240\_2 與導電體 242a 接觸的區域及其附近的放大圖。此外，圖 6B 示出圖 3 所示的結構中的導電體 240\_2 與導電體 242a 接觸的區域及其附近的放大圖。

【0077】如圖 6A 及圖 6B 所示，導電體 240\_2 包括具有寬度  $W1$  的區域以及具有寬度  $W2$  的區域。寬度  $W1$  對應於電晶體 201a 中的導電體 242a 與電晶體 201b 中的導電體 242a 之間的最短距離。寬度  $W2$  對應於例如絕緣體 280 和導電體 240a2 的電晶體 201a 側的介面與絕緣體 280 和導電體 240a2 的電晶體 201b 側的介面之間的最短距離。

【0078】如圖 6A 及圖 6B 所示，寬度  $W2$  較佳為比寬度  $W1$  大。在該結構中，導電體 240\_2 至少與導電體 242a 的頂面的一部分及側面的一部分接觸。因此，可以增大導電體 240\_2 和導電體 242a 的接觸區域的面積。在本說明書等中，有時將圖 6A 及圖 6B 等所示的導電體 240\_2 和導電體 242a 的接觸稱為頂側接觸 (Top Side Contact)。另外，如圖 3 及圖 6B 所示，導電體 240\_2 也可以與導電體 242a 的底面的一部分接觸。藉由採用該結構，可以進一步增大導電體 240\_2 和導電體 242a 的接觸區域的面積。

【0079】接著，對本實施方式的半導體裝置所包括的

電晶體詳細地說明。

【0080】注意，以下主要以電晶體201a的結構要素為例進行說明，也可以適用於電晶體202a的結構要素。

【0081】氧化物230較佳為包括絕緣體224上的氧化物230a及氧化物230a上的氧化物230b。當在氧化物230b下包括氧化物230a時，可以抑制雜質從形成在氧化物230a的下方的結構物向氧化物230b擴散。

【0082】在本實施方式中，示出氧化物230具有氧化物230a及氧化物230b的兩層結構的例子，但是不侷限於此。例如，氧化物230既可以具有氧化物230b的單層結構，又可以具有三層以上的疊層結構。

【0083】氧化物230b包括電晶體201a中的通道形成區域及以夾持通道形成區域的方式設置的源極區域及汲極區域。通道形成區域的至少一部分重疊於導電體260。源極區域和汲極區域中的一方重疊於導電體242a，另一方重疊於導電體242b。

【0084】與源極區域及汲極區域相比，其氧空位少或雜質濃度低，所以通道形成區域是載子濃度低的高電阻區域。因此，通道形成區域可以說是i型(本質)或實質上i型的區域。

【0085】此外，源極區域及汲極區域的氧空位多或氫、氮、金屬元素等雜質濃度高，所以是載子濃度高的低電阻區域。也就是說，與通道形成區域相比，源極區域及汲極區域是載子濃度高的n型區域(低電阻區域)。

【0086】此外，通道形成區域的載子濃度較佳為  $1 \times 10^{18} \text{cm}^{-3}$  以下，低於  $1 \times 10^{17} \text{cm}^{-3}$ ，低於  $1 \times 10^{16} \text{cm}^{-3}$ ，低於  $1 \times 10^{15} \text{cm}^{-3}$ ，低於  $1 \times 10^{14} \text{cm}^{-3}$ ，低於  $1 \times 10^{13} \text{cm}^{-3}$ ，低於  $1 \times 10^{12} \text{cm}^{-3}$ ，低於  $1 \times 10^{11} \text{cm}^{-3}$  或低於  $1 \times 10^{10} \text{cm}^{-3}$ 。此外，對通道形成區域的載子濃度的下限值沒有特別的限定，例如，可以將其設定為  $1 \times 10^{-9} \text{cm}^{-3}$ 。

【0087】在以降低氧化物 230b 的載子濃度為目的的情況下，降低氧化物 230b 中的雜質濃度以降低缺陷態密度。在本說明書等中，將雜質濃度低且缺陷態密度低的狀態稱為“高純度本質”或“實質上高純度本質”。此外，有時將載子濃度低的氧化物半導體(或金屬氧化物)稱為“高純度本質的氧化物半導體”或“實質上高純度本質的氧化物半導體(或金屬氧化物)”。

【0088】為了使電晶體 201a 的電特性穩定，降低氧化物 230b 中的雜質濃度是有效的。為了降低氧化物 230b 中的雜質濃度，較佳為還降低附近膜中的雜質濃度。作為雜質有氫、氮、鹼金屬、鹼土金屬、鐵、鎳、矽等。注意，氧化物 230b 中的雜質是指例如構成氧化物 230b 的主要成分以外。例如，濃度低於 0.1 原子% 的元素可以說為雜質。

【0089】注意，通道形成區域、源極區域及汲極區域也可以分別形成在氧化物 230b 和氧化物 230a 中。

【0090】在氧化物 230 中，有時難以明確地檢測出各區域的邊界。在各區域中檢測出的金屬元素和氫及氮等雜質元素的濃度並不需要按每區域分階段地變化，也可以在

各區域中逐漸地變化。就是說，也可以越接近通道形成區域，金屬元素和氫及氮等雜質元素的濃度越低。

【0091】較佳為將被用作半導體的金屬氧化物(以下，有時稱為氧化物半導體)用於氧化物230(氧化物230a及氧化物230b)。

【0092】被用作半導體的金屬氧化物的能帶間隙較佳為 $2\text{eV}$ 以上，更佳為 $2.5\text{eV}$ 以上。藉由使用能帶間隙較寬的金屬氧化物，可以減小電晶體的關態電流。

【0093】作為氧化物230，例如，較佳為使用銦氧化物、鎵氧化物及鋅氧化物等金屬氧化物。此外，作為氧化物230，例如，較佳為使用包含選自銦、元素M、鋅中的兩個或三個的金屬氧化物。在此，元素M為選自鎵、鋁、砒、硼、釷、錫、銅、釩、鈹、鈦、鐵、鎳、鋳、鋳、鋁、鏷、銻、鈳、鉛、鉍、鎢及鎂中的一種或多種。尤其是，元素M較佳為選自鋁、鎵、釷及錫的一種或多種。注意，有時將包含銦、元素M及鋅的金屬氧化物記為In-M-Zn氧化物。

【0094】氧化物230較佳為具有化學組成互不相同的多個氧化物層的疊層結構。例如，用於氧化物230a的金屬氧化物中的相對於主要成分的金屬元素的元素M的原子個數比較佳為大於用於氧化物230b的金屬氧化物中的相對於主要成分的金屬元素的元素M的原子個數比。此外，用於氧化物230a的金屬氧化物中的In與元素M的原子個數比較佳為大於用於氧化物230b的金屬氧化物中的In與元素M的

原子個數比。藉由採用該結構，可以抑制雜質及氧從形成在氧化物230a的下方的結構物向氧化物230b擴散。

【0095】此外，較佳的是，用於氧化物230b的金屬氧化物中的In與元素M的原子個數比大於用於氧化物230a的金屬氧化物中的In與元素M的原子個數比。藉由採用該結構，電晶體201a可以得到高通態電流及高頻率特性。

【0096】此外，氧化物230a及氧化物230b除了氧以外還包含共同元素作為主要成分，所以可以降低氧化物230a與氧化物230b的介面的缺陷態密度。由此介面散射給載子傳導帶來的影響變小，從而電晶體201a可以得到高通態電流及高頻率特性。

【0097】明確而言，作為氧化物230a可以使用In:M:Zn=1:3:4[原子個數比]或其附近的組成或者In:M:Zn=1:1:0.5[原子個數比]或其附近的組成的金屬氧化物。此外，作為氧化物230b，可以使用In:M:Zn=1:1:1[原子個數比]或其附近的組成、In:M:Zn=1:1:1.2[原子個數比]或其附近的組成、In:M:Zn=1:1:2[原子個數比]或其附近的組成、In:M:Zn=4:2:3[原子個數比]或其附近的組成的金屬氧化物。注意，附近的組成包括所希望的原子個數比的 $\pm 30\%$ 的範圍。此外，作為元素M較佳為使用鎵。此外，作為氧化物230設置氧化物230b的單層的情況下，作為氧化物230b也可以適用可用於氧化物230a的金屬氧化物。此外，可用於氧化物230a及氧化物230b的金屬氧化物的組成不侷限於此。例如，可用於氧化物230a的金屬氧化物的組

成也可以適用於氧化物 230b。同樣地，可用於氧化物 230b 的金屬氧化物的組成也可以適用於氧化物 230a。

【0098】此外，在藉由濺射法形成金屬氧化物時，上述原子個數比不侷限於所形成的金屬氧化物的原子個數比，而也可以是用於金屬氧化物的形成的濺射靶材的原子個數比。

【0099】氧化物 230b 較佳為具有結晶性。尤其是，較佳為使用 CAAC-OS (c-axis aligned crystalline oxide semiconductor：c 軸配向結晶氧化物半導體) 作為氧化物 230b。

【0100】CAAC-OS 具有結晶性高的緻密結構且是雜質、缺陷(例如，氧空位)少的金屬氧化物。尤其是，藉由在形成金屬氧化物後以金屬氧化物不被多晶化的溫度(例如，400℃ 以上且 600℃ 以下)進行熱處理，可以使 CAAC-OS 具有結晶性更高的緻密結構。如此，藉由進一步提高 CAAC-OS 的密度，可以進一步降低該 CAAC-OS 中的雜質或氧的擴散。

【0101】此外，在 CAAC-OS 中不容易觀察明確的晶界，因此不容易發生起因於晶界的電子移動率的下降。因此，包含 CAAC-OS 的金屬氧化物的物理性質穩定。因此，具有 CAAC-OS 的金屬氧化物具有耐熱性且可靠性高。

【0102】此外，藉由作為氧化物 230b 使用 CAAC-OS 等具有結晶性的氧化物，可以抑制源極電極或汲極電極從氧化物 230b 抽出氧。因此，即使進行熱處理也可以減少氧從

氧化物 230b 被抽出，所以電晶體 201a 對製程中的高溫度 (所謂熱積存：thermal budget) 也很穩定。

【0103】在使用氧化物半導體的電晶體中，如果在氧化物半導體的形成通道的區域中存在雜質及氧空位，電特性則容易變動，有時降低可靠性。此外，氧空位附近的氫形成氫進入氧空位中的缺陷 (下面有時稱為  $V_{oH}$ ) 而可能會產生成為載子的電子。因此，當在氧化物半導體的形成通道的區域中包含氧空位時，電晶體會具有常開啟特性 (即使不對閘極電極施加電壓也存在通道而在電晶體中電流流過的特性)。由此，在氧化物半導體的形成通道的區域中，較佳為儘量減少雜質、氧空位及  $V_{oH}$ 。換言之，較佳的是，氧化物半導體中的形成通道的區域的載子濃度降低且被 i 型化 (本質化) 或實質上被 i 型化。

【0104】相對於此，藉由在氧化物半導體附近設置包含藉由加熱脫離的氧 (以下，有時稱為過量氧) 的絕緣體而進行熱處理，可以從該絕緣體向氧化物半導體供應氧而減少氧空位及  $V_{oH}$ 。注意，在對源極區域或汲極區域供應過多的氧時，有可能引起電晶體 201a 的通態電流下降或者場效移動率的下降。並且，在供應到源極區域或汲極區域的氧量在基板面內有不均勻時，包括電晶體的半導體裝置特性發生不均勻。此外，在從該絕緣體供應給氧化物半導體的氧擴散到閘極電極、源極電極及汲極電極等導電體時，有時該導電體被氧化，這導致導電性的損失，因此對電晶體的電特性及可靠性帶來負面影響。

【0105】因此，較佳的是，在氧化物半導體中，通道形成區域的載子濃度得到降低且被i型化或實質上被i型化，另一方面，較佳的是，源極區域及汲極區域的載子濃度高且被n型化。換言之，較佳為減少氧化物半導體的通道形成區域的氧空位及 $V_{OH}$ 。此外，較佳的是，源極區域及汲極區域不被供應過多的氧以及不被降低過剩的源極區域及汲極區域的 $V_{OH}$ 量。此外，較佳為具有抑制導電體260、導電體242a及導電體242b等的導電率的降低的結構。例如，較佳為具有抑制導電體260、導電體242a及導電體242b等的氧化的結構。注意，氧化物半導體中的氫可能會形成 $V_{OH}$ ，因此為了降低 $V_{OH}$ 量，需要降低氫濃度。

【0106】在此，本實施方式中半導體裝置具有如下結構：降低通道形成區域的氫濃度；抑制導電體242a、導電體242b及導電體260的氧化；以及抑制源極區域及汲極區域中的氫濃度的降低。

【0107】接觸於氧化物230b中的通道形成區域的絕緣體253較佳為具有俘獲氫並固定氫的功能。由此，可以降低氧化物230b的通道形成區域中的氫濃度。因此，可以降低通道形成區域中的 $V_{OH}$ 而通道形成區域被i型化或實質上的i型化。

【0108】作為具有俘獲氫並固定氫的功能的絕緣體，可以舉出具有非晶結構的金屬氧化物。作為絕緣體253，例如，較佳為使用氧化鎂或者包含鋁和鉛中的一者或兩者的氧化物等金屬氧化物。上述具有非晶結構的金屬氧化物

有時具有如下性質：氧原子具有懸空鍵而由該懸空鍵俘獲或固定氫。就是說，可以說具有非晶結構的金屬氧化物的俘獲或固定氫的能力高。

【0109】另外，絕緣體 253 較佳為使用高介電常數 (high-k) 材料。作為 high-k 材料的一個例子，有包含鋁和鉛中的一者或兩者的氧化物。當作為絕緣體 253 使用 high-k 材料時，可以在保持閘極絕緣體的物理厚度的同時降低在電晶體工作時施加的閘極電位。此外，可以減少用作閘極絕緣體的絕緣體的等效氧化物厚度 (EOT)。

【0110】由此，作為絕緣體 253，較佳為使用包含鋁和鉛中的一者或兩者的氧化物，更佳為使用具有非晶結構並包含鋁和鉛中的一者或兩者的氧化物，進一步較佳為使用具有非晶結構的氧化鉛。在本實施方式中，作為絕緣體 253，使用氧化鉛。此時，絕緣體 253 為至少包含氧及鉛的絕緣體。另外，該氧化鉛具有非晶結構。此時，絕緣體 253 具有非晶結構。

【0111】除此之外，絕緣體 253 也可以使用氧化矽或氧氮化矽等對熱具有穩定性的結構的絕緣體。例如，作為絕緣體 253 也可以採用包含氧化鋁、氧化鋁上的氧化矽或氧氮化矽的疊層結構。此外，例如，作為絕緣體 253 也可以採用包含氧化鋁、氧化鋁上的氧化矽或氧氮化矽、氧化矽或氧氮化矽上的氧化鉛的疊層結構。

【0112】注意，在本說明書等中，“氧氮化物”是指在其組成中氧含量多於氮含量的材料，而“氮氧化物”是指在

其組成中氮含量多於氧含量的材料。例如，在記載為“氧氮化矽”是指在其組成中氧含量多於氮含量的材料，而在記載為“氮氧化矽”是指在其組成中氮含量多於氧含量的材料。

【0113】再者，為了抑制導電體 242a、導電體 242b 及導電體 260 的氧化，較佳為在導電體 242a、導電體 242b 及導電體 260 的每一個附近設置氧阻擋絕緣體。在本實施方式所說明的半導體裝置中，該絕緣體例如為絕緣體 253、絕緣體 254 及絕緣體 275。

【0114】此外，在本說明書等中，阻擋絕緣體是指具有阻擋性的絕緣體。在本說明書等中，阻擋性是指抑制所對應的物質的擴散的功能(也可以說透過性低)。或者，是指俘獲並固定所對應的物質(也稱為吸雜)的功能。

【0115】作為氧阻擋絕緣體，例如可以舉出包含鋁和鉛中的一者或兩者的氧化物、氧化鎂、氧化鎵、銻鎵鋅氧化物、氮化矽及氮氧化矽。另外，作為包含鋁和鉛中的一者或兩者的氧化物，例如可以舉出氧化鋁、氧化鉛、包含鋁及鉛的氧化物(鋁酸鉛)、包含鉛及矽的氧化物(矽酸鉛)。例如，絕緣體 253、絕緣體 254 及絕緣體 275 較佳為採用上述氧阻擋絕緣體的單層或疊層。

【0116】絕緣體 253 較佳為具有氧阻擋性。絕緣體 253 較佳為至少比絕緣體 280 不容易使氧透過。絕緣體 253 具有與導電體 242a 的側面及導電體 242b 的側面接觸的區域。當絕緣體 253 具有氧阻擋性時，可以抑制導電體 242a 及導電

體 242b 的側面被氧化而在該側面上形成氧化膜。因此，可以抑制導致電晶體 201a 的通態電流的下降或場效移動率的下降。

【0117】絕緣體 253 以與氧化物 230b 的頂面及側面、氧化物 230a 的側面、絕緣體 224 的側面及絕緣體 222 的頂面接觸的方式設置。當絕緣體 253 具有氧阻擋性時，可以抑制在進行熱處理等時氧從氧化物 230b 的通道形成區域脫離。因此，可以減少在氧化物 230a 及氧化物 230b 中形成氧空位。

【0118】另外，反之，即使絕緣體 280 包含過多的氧，也可以抑制該氧過度供應到氧化物 230a 及氧化物 230b。因此，可以抑制源極區域及汲極區域被過度氧化而導致電晶體 201a 的通態電流的下降或場效移動率的下降。

【0119】因為包含鋁和鉛中的一者或兩者的氧化物具有氧阻擋性，所以可以適當地用作絕緣體 253。

【0120】絕緣體 254 較佳為具有氧阻擋性。絕緣體 254 設置在氧化物 230 的通道形成區域與導電體 260 之間以及絕緣體 280 與導電體 260 之間。藉由採用該結構，可以抑制氧化物 230 的通道形成區域中的氧擴散到導電體 260 而在氧化物 230 的通道形成區域中形成氧空位。另外，可以抑制氧化物 230 中的氧及絕緣體 280 中的氧擴散到導電體 260 而導致導電體 260 的氧化。絕緣體 254 較佳為至少比絕緣體 280 不容易使氧透過。例如，作為絕緣體 254 較佳為使用氮化矽。此時，絕緣體 254 為至少包含氮及矽的絕緣體。

【0121】此外，絕緣體 254 較佳為具有氫阻擋性。由此，可以防止包含在導電體 260 中的氫等雜質擴散到氧化物 230b。

【0122】絕緣體 275 較佳為具有氧阻擋性。絕緣體 275 設置在絕緣體 280 與導電體 242a 之間以及絕緣體 280 與導電體 242b 之間。藉由採用該結構，可以抑制包含在絕緣體 280 中的氧擴散到導電體 242a 及導電體 242b。因此，可以抑制包含在絕緣體 280 中的氧導致導電體 242a 及導電體 242b 被氧化使得電阻率增大而通態電流減少。絕緣體 275 較佳為至少比絕緣體 280 不容易使氧透過。例如，作為絕緣體 275 較佳為使用氮化矽。此時，絕緣體 275 為至少包含氮及矽的絕緣體。

【0123】為了抑制氧化物 230 中的源極區域及汲極區域中的氫濃度降低，較佳為在源極區域的附近及汲極區域的附近設置氫阻擋絕緣體。在本實施方式所說明的半導體裝置中，該氫阻擋絕緣體例如是絕緣體 275。

【0124】作為氫阻擋絕緣體，可以舉出氧化鋁、氧化鉛、氧化鉍等氧化物、以及氮化矽等氮化物。例如，作為絕緣體 275 較佳為採用上述氫阻擋絕緣體的單層結構或疊層結構。

【0125】絕緣體 275 較佳為具有氫阻擋性。當絕緣體 275 具有氫阻擋性時，可以防止絕緣體 253 俘獲和固定源極區域及汲極區域中的氫。因此，源極區域及汲極區域可以被 n 型化。

【0126】藉由採用上述結構，通道形成區域可以被i型化或實質上被i型化且源極區域或汲極區域可以被n型化，可以提供一種具有良好的電特性的半導體裝置。藉由採用上述結構，即便使半導體裝置微型化或高積體化也可以使其具有良好的電特性。此外，藉由使電晶體201a微型化可以提高高頻特性。明確而言，可以提高截止頻率。

【0127】絕緣體253及絕緣體254各自被用作閘極絕緣體的一部分。絕緣體253及絕緣體254與導電體260一起設置在形成於絕緣體280等中的開口中。為了實現電晶體201a的微型化，絕緣體253的厚度及絕緣體254的厚度較佳為小。絕緣體253的厚度較佳為0.1nm以上且5.0nm以下，更佳為0.5nm以上且5.0nm以下，更佳為1.0nm以上且小於5.0nm，進一步較佳為1.0nm以上且3.0nm以下。絕緣體254的厚度較佳為0.1nm以上且5.0nm以下，更佳為0.5nm以上且3.0nm以下，進一步較佳為1.0nm以上且3.0nm以下。此時，絕緣體253及絕緣體254各自的至少一部分是包括上述厚度的區域即可。

【0128】為了如上所述地減小絕緣體253的厚度，較佳為利用原子層堆積(ALD: Atomic Layer Deposition)法進行沉積。ALD法有只利用熱能使前驅物及反應物起反應的熱ALD(Thermal ALD)法、使用收到電漿激發的反應物的PEALD(Plasma Enhanced ALD)法等。在PEALD法中，藉由利用電漿可以在更低溫下進行沉積，所以有時是較佳的。

【0129】ALD法可以按層沉積原子，從而有能夠沉積

極薄的膜、能夠對縱橫比高的結構進行沉積、能夠以針孔等的缺陷少的方式進行沉積、能夠進行覆蓋性優良的沉積及能夠在低溫下進行沉積等效果。因此，可以在形成於絕緣體 280 等中的開口部的側面以及導電體 242a、242b 的側端部等以上述較小的厚度且高覆蓋性沉積絕緣體 253。

【0130】ALD 法中使用的前驅物有時包含碳等。因此，利用 ALD 法形成的膜有時與利用其它的沉積方法形成的膜相比包含更多的碳等雜質。此外，雜質的定量可以利用二次離子質譜分析法 (SIMS : Secondary Ion Mass Spectrometry)、X 射線光電子分光法 (XPS : X-ray Photoelectron Spectroscopy) 或俄歇電子能譜 (AES : Auger Electron Spectroscopy) 進行。

【0131】例如，作為絕緣體 254 可以使用利用 PEALD 法沉積的氮化矽。

【0132】此外，藉由作為絕緣體 253 使用氧化鉛等具有抑制氫等雜質及氧的透過的功能的絕緣體，絕緣體 253 可以兼具絕緣體 254 所具有的功能。在此情況下，藉由採用不設置絕緣體 254 的結構，可以使半導體裝置的製程簡化，可以實現生產率的提高。

【0133】在本實施方式中，較佳的是，半導體裝置除了上述結構以外還具有抑制氫混入電晶體 201a、202a 等的結構。例如，較佳的是，以覆蓋電晶體 201a、202a 等的上下中的一者或兩者的方式設置具有抑制氫擴散的功能的絕緣體。在本實施方式中說明的半導體裝置中，該絕緣體例

如為絕緣體 212。

【0134】作為絕緣體 212，較佳為使用具有抑制氫擴散的功能的絕緣體。由此，可以抑制氫從絕緣體 212 的下方擴散到電晶體 201a、202a 等。作為絕緣體 212 可以使用上述可用作絕緣體 275 的絕緣體。

【0135】絕緣體 212、絕緣體 214、絕緣體 282、絕緣體 283 及絕緣體 285 中的一個或多個較佳為被用作抑制水、氫等雜質從基板一側或電晶體 201a、202a 等的上方擴散到電晶體 201a、202a 等的阻擋絕緣體。因此，絕緣體 212、絕緣體 214、絕緣體 282、絕緣體 283 及絕緣體 285 中的一個或多個較佳為包括具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子 ( $\text{N}_2\text{O}$ 、 $\text{NO}$ 、 $\text{NO}_2$  等)、銅原子等雜質的擴散的功能(不容易使上述雜質透過)的絕緣材料。此外，較佳為包括具有抑制氧(例如，氧原子、氧分子等中的至少一個)的擴散的功能(不容易使上述氧透過)的絕緣材料。

【0136】絕緣體 212、絕緣體 214、絕緣體 282、絕緣體 283 及絕緣體 285 較佳為分別包括具有抑制水、氫等雜質及氧的擴散的功能的絕緣體，例如可以使用氧化鋁、氧化鎂、氧化鉛、氧化銻、銻銻鋅氧化物、氮化矽或氮氧化矽等。例如，作為絕緣體 212，較佳為使用氫阻擋性更高的氮化矽等。此外，例如，絕緣體 214、絕緣體 282、絕緣體 283 及絕緣體 285 較佳為分別包括俘獲並固定氫的性能高的氧化鋁或氧化鎂等。由此，可以抑制水、氫等雜質經過絕

緣體 212 及絕緣體 214 從基板一側擴散到電晶體 201a、202a 等。或者，可以抑制水、氫等雜質從配置在絕緣體 282 或絕緣體 283 的外方的層間絕緣膜等擴散到電晶體 201a、202a 等。或者，可以抑制包含在絕緣體 224 等中的氧擴散到基板一側。或者，可以抑制含在絕緣體 280 等中的氧經過絕緣體 282 等向電晶體 201a、202a 等的上方擴散。如此，較佳為採用由具有抑制水、氫等雜質及氧的擴散的功能的絕緣體圍繞電晶體 201a、202a 等的上下的結構。

【0137】在電晶體 202a、202b 中，導電體 205 以與氧化物 230 及導電體 260 重疊的方式配置。在此，導電體 205 較佳為以嵌入形成在絕緣體 216 的開口部中的方式設置。此外，導電體 205 的一部分有時嵌入絕緣體 214 中。

【0138】導電體 205 既可具有單層結構，又可具有疊層結構圖 1 等中，導電體 205 包括導電體 205a 及導電體 205b。導電體 205a 以與該開口部的底面及側壁接觸的方式設置。導電體 205b 以嵌入導電體 205a 的凹部中的方式設置。在此，導電體 205b 的頂面的高度與導電體 205a 的頂面的高度及絕緣體 216 的頂面的高度大致一致。

【0139】在此，作為導電體 205a 較佳為包括具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子 ( $\text{N}_2\text{O}$ 、 $\text{NO}$ 、 $\text{NO}_2$  等)、銅原子等雜質的擴散的功能的導電材料。或者，較佳為包括具有抑制氧(例如，氧原子、氧分子等中的至少一個)的擴散的功能的導電材料。

【0140】藉由作為導電體 205a 使用具有降低氫的擴散

的功能的導電材料，可以防止含在導電體 205b 中的氫等雜質藉由絕緣體 216 及絕緣體 224 等擴散到氧化物 230。此外，藉由作為導電體 205a 使用具有抑制氧的擴散的功能的導電材料，可以抑制導電體 205b 被氧化而導電率降低。作為具有抑制氧擴散的功能的導電材料，例如可以舉出鈦、氮化鈦、鉍、氮化鉍、鈉、氧化鈉等。導電體 205a 可以具有上述導電材料的單層結構或疊層結構。例如，導電體 205a 較佳為使用氮化鈦。

【0141】此外，導電體 205b 較佳為使用以鎢、銅或鋁為主要成分的導電材料。例如，導電體 205b 較佳為使用鎢。

【0142】導電體 205 可以被用作第二閘極電極。在此情況下，藉由獨立地改變施加到導電體 205 的電位而不使其與施加到導電體 260 的電位聯動，可以控制電晶體 202a 的臨界電壓 ( $V_{th}$ )。尤其是，藉由對導電體 205 施加負電位，可以增大電晶體 202a 的  $V_{th}$  而減少關態電流。由此，與不對導電體 205 施加負電位的情況相比，在對導電體 205 施加負電位的情況下，可以減少對導電體 260 施加的電位為 0V 時的汲極電流。

【0143】此外，導電體 205 的電阻率考慮上述施加到導電體 205 的電位設計，導電體 205 的厚度根據該電阻率設定。此外，絕緣體 216 的厚度與導電體 205 大致相同。在此，較佳為在導電體 205 的設計允許的範圍內減少導電體 205 及絕緣體 216 的厚度。藉由減少絕緣體 216 的厚度，可

以降低含在絕緣體 216 中的氫等雜質的絕對量，所以可以抑制該雜質擴散到氧化物 230。

【0144】絕緣體 222 及絕緣體 224 被用作閘極絕緣體。

【0145】絕緣體 222 較佳為具有抑制氫(例如，氫原子、氫分子等中的至少一個)的擴散的功能。此外，絕緣體 222 較佳為具有抑制氧(例如，氧原子、氧分子等中的至少一個)的擴散的功能。例如，與絕緣體 224 相比，絕緣體 222 較佳為具有抑制氫和氧中的一者或兩者的擴散的功能。

【0146】絕緣體 222 較佳為使用作為絕緣材料的包含鋁和鉛中的一者或兩者的氧化物的絕緣體。作為該絕緣體，較佳為使用氧化鋁、氧化鉛、包含鋁及鉛的氧化物(鋁酸鉛)等。或者，較佳為使用包含鉛及鉛的氧化物，例如使用鉛鉛氧化物。當使用這種材料形成絕緣體 222 時，絕緣體 222 被用作抑制氧從氧化物 230 釋放到基板一側及氫等雜質從電晶體 201a、202a 的周圍部擴散到氧化物 230 的層。因此，藉由設置絕緣體 222，可以抑制氫等雜質擴散到電晶體 201a、202a 等的內側，而可以抑制在氧化物 230 中生成氧空位。此外，可以抑制導電體 205 及導電體 160 與絕緣體 224 及氧化物 230 所包含的氧起反應。

【0147】或者，例如也可以對上述絕緣體添加氧化鋁、氧化鉍、氧化鍺、氧化鋮、氧化碲、氧化鈦、氧化鎢、氧化釷或氧化鉛。或者，也可以對上述絕緣體進行氮化處理。此外，作為絕緣體 222 還可以在上述絕緣體上層

疊氧化矽、氧氮化矽或氮化矽而使用。

【0148】此外，作為絕緣體 222，例如也可以具有包含氧化鋁、氧化鉛、氧化鉍、氧化鋯、鉛鋯氧化物等所謂的 high-k 材料的絕緣體的單層結構或疊層結構。當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，有時發生洩漏電流等的問題。藉由作為被用作閘極絕緣體的絕緣體使用 high-k 材料，可以在保持物理厚度的同時降低電晶體工作時的閘極電位。此外，作為絕緣體 222 有時可以使用鋯鈦酸鉛 (PZT)、鈦酸鋇 ( $\text{SrTiO}_3$ )、 $(\text{Ba}, \text{Sr})\text{TiO}_3$  (BST) 等介電常數高的物質。

【0149】作為與氧化物 230 接觸的絕緣體 224，例如較佳為使用氧化矽、氧氮化矽等。

【0150】此外，絕緣體 222 及絕緣體 224 也可以分別具有兩層以上的疊層結構。此時，不侷限於使用相同材料構成的疊層結構，也可以是使用不同材料構成的疊層結構。

【0151】作為導電體 242a、導電體 242b 及導電體 260，較佳為使用不容易氧化的導電材料或者具有抑制氧擴散的功能的導電材料。作為該導電材料例如可以舉出包含氮的導電材料及包含氧的導電材料。由此，可以抑制導電體 242a、導電體 242b 及導電體 260 的導電率降低。在作為導電體 242a、導電體 242b 及導電體 260 使用包含金屬及氮的導電材料時，導電體 242a、導電體 242b 及導電體 260 為至少包含金屬及氮的導電體。

【0152】導電體 242a、242b 既可具有單層結構，又可

具有疊層結構。此外，導電體 260 既可具有單層結構，又  
可具有疊層結構。

【0153】圖 4 及圖 5 示出導電體 242a、242b 為兩層結  
構。此時，作為與氧化物 230b 接觸的層(導電體 242a1 及導  
電體 242b1)較佳為使用不容易氧化的導電材料或具有抑制  
氧擴散的功能的導電材料。由此可以抑制導電體 242a、  
242b 的導電率降低。此外，藉由作為與氧化物 230b 接觸的  
層(導電體 242a1 及導電體 242b1)使用容易吸取(提取)氫的  
材料，可以降低氧化物 230 的氫濃度，所以是較佳的。

【0154】此外，導電體 242a2 及導電體 242b2 的導電性  
較佳為比導電體 242a1 及導電體 242b1 高。例如，較佳的  
是，導電體 242a2 及導電體 242b2 的厚度大於導電體 242a1  
及導電體 242b1 厚度。

【0155】例如，作為導電體 242a1 及導電體 242b1 可以  
使用氮化鈮或氮化鈦，作為導電體 242a2 及導電體 242b2 可  
以使用鎢。

【0156】為了抑制導電體 242a、242b 的導電率降低，  
作為氧化物 230b 較佳為使用具有 CAAC-OS 等結晶性的氧化  
物。尤其較佳為使用包含鈮、鋅及選自鎵、鋁和錫中的一  
個或多個的金屬氧化物。藉由使用 CAAC-OS，可以抑制導  
電體 242a 或導電體 242b 從氧化物 230b 抽出氧。此外，可以  
抑制導電體 242a 及導電體 242b 的導電率降低。

【0157】作為導電體 242a 及 242b 例如較佳為使用包含  
鈮的氮化物、包含鈦的氮化物、包含鉬的氮化物、包含鎢

的氮化物、包含鉬及鋁的氮化物、包含鈦及鋁的氮化物等。在本發明的一個實施方式中，尤其較佳為採用包含鉬的氮化物。此外，例如也可以使用氧化鈦、氮化鈦、包含鋁和鈦的氧化物、包含鈷和鎳的氧化物等。這些材料是不容易氧化的導電材料或者即使吸收氧也維持導電性的材料，所以是較佳的。

【0158】注意，有時包含在氧化物230b等中的氫擴散到導電體242a或導電體242b。尤其是，當作為導電體242a及導電體242b使用包含鉬的氮化物時，有時包含在氧化物230b等中的氫容易擴散到導電體242a或導電體242b，有時該擴散的氫與導電體242a或導電體242b所包含的氮鍵合。也就是說，有時包含在氧化物230b等中的氫被導電體242a或導電體242b吸收。

【0159】導電體260以其頂面的高度與絕緣體254的最上部、絕緣體253的最上部及絕緣體280的頂面的高度大致一致的方式配置。

【0160】導電體260被用作電晶體201a的第一閘極電極。導電體260較佳為包括導電體260a以及配置在導電體260a上的導電體260b。例如，較佳為以包圍導電體260b的底面及側面的方式配置導電體260a。

【0161】圖4及圖5示出導電體260為兩層結構。此時，作為導電體260a較佳為使用不容易氧化的導電材料或具有抑制氧擴散的功能的導電材料。

【0162】作為導電體260a較佳為使用具有抑制氫原

子、氫分子、水分子、氮原子、氮分子、氧化氮分子、銅原子等雜質的擴散的功能的導電材料。此外，較佳為使用具有抑制氧(例如，氧原子、氧分子等中的至少一個)的擴散的功能的導電材料。

【0163】此外，當導電體260a具有抑制氧的擴散的功能時，可以抑制絕緣體280所包含的氧使導電體260b氧化而導致導電率的下降。作為具有抑制氧擴散的功能的導電材料，例如可以使用鈦、氮化鈦、鉭、氮化鉭、鈮、氧化鈮等。

【0164】此外，導電體260較佳為使用導電性高的導電體。例如，導電體260b可以使用鎢、銅或鋁為主要成分的導電材料。此外，導電體260b可以具有疊層結構，例如可以具有鈦或氮化鈦與上述導電材料的疊層結構。

【0165】此外，在電晶體201a中，以填埋形成於絕緣體280等的開口的方式自對準地形成導電體260。藉由如此形成導電體260，可以在導電體242a和導電體242b之間的區域中無需對準並確實地配置導電體260。

【0166】絕緣體216、絕緣體280及絕緣體284各自的介電常數較佳為比絕緣體214低。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。

【0167】例如，絕緣體216、絕緣體280及絕緣體284較佳為分別包含氧化矽、氧氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽中的一個或多個。

【0168】尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。特別是，因為氧化矽、氧氮化矽、具有空孔的氧化矽等材料容易形成包含藉由加熱脫離的氧的區域，所以是較佳的。

【0169】此外，絕緣體 216、絕緣體 280 及絕緣體 284 的頂面也可以被平坦化。

【0170】絕緣體 280 中的水、氫等雜質濃度較佳為得到降低。例如，作為絕緣體 280 較佳為使用氧化矽、氧氮化矽等包含矽的氧化物。

【0171】注意，在絕緣體 280 的開口部，絕緣體 280 的側壁既可以大致垂直於絕緣體 222 的頂面，也可以為錐形形狀。藉由側壁為錐形形狀，設置在絕緣體 280 的開口部的絕緣體 253 等的覆蓋性得到提高，可以減少空洞等缺陷。

【0172】電容器 101a 中的導電體 153 及導電體 160 分別使用可用於導電體 205、導電體 242 或導電體 260 的各種導電體形成。導電體 153 及導電體 160 較佳為分別利用 ALD 法或 CVD 法等覆蓋性良好的沉積方法形成。

【0173】導電體 153 的底面接觸於導電體 242b 的頂面。例如，藉由作為導電體 153 使用與導電體 242b 相同的導電材料，可以降低導電體 153 與導電體 242b 的接觸電阻。例如，作為導電體 153 可以使用利用 ALD 法或 CVD 法沉積的氮化鈦或氮化鉭。

【0174】例如，作為導電體 160a 可以使用利用 ALD 法

或CVD法沉積的氮化鈦，作為導電體160b可以使用利用CVD法沉積的鎢。在此，對絕緣體154的鎢的密著性充分高時，作為導電體160也可以使用利用CVD法沉積的鎢的單層結構。

【0175】電容器101a中的絕緣體154較佳為使用高介電常數(high-k)材料(相對介電常數較高的材料)。絕緣體154較佳為利用ALD法或CVD法等覆蓋性良好的沉積方法形成。

【0176】作為高介電常數(high-k)材料的絕緣體，例如可以舉出包含選自鋁、鉛、銦及鎵等中的一種以上的金屬元素的氧化物、氧氮化物、氮氧化物及氮化物。此外，上述氧化物、氧氮化物、氮氧化物或氮化物也可以包含矽。此外，也可以將由上述材料構成的絕緣體疊層地使用。

【0177】例如，作為高介電常數(high-k)材料的絕緣體例如可以舉出氧化鋁、氧化鉛、氧化銦、包含鋁及鉛的氧化物、包含鋁及鉛的氧氮化物、包含矽及鉛的氧化物、包含矽及鉛的氧氮化物、包含矽及銦的氧化物、包含矽及銦的氧氮化物、包含鉛及銦的氧化物以及包含鉛及銦的氧氮化物。藉由使用這種high-k材料，可以以能夠抑制洩漏電流的程度增厚絕緣體154，並且，也可以充分確保電容器101a的靜電電容。

【0178】此外，較佳為將由上述材料構成的絕緣體疊層地使用，較佳為使用高介電常數(high-k)材料與該高介

電常數 (high-k) 材料相比介電強度大的材料的疊層結構。例如，作為絕緣體 154 可以使用以氧化鋯、氧化鋁、氧化鋯的順序依次層疊的絕緣體。此外，例如，可以使用以氧化鋯、氧化鋁、氧化鋯、氧化鋁的順序依次層疊的絕緣體。此外，例如，可以使用以鉛鋯氧化物、氧化鋁、鉛鋯氧化物、氧化鋁的順序依次層疊的絕緣膜。藉由將氧化鋁等介電強度比較大的絕緣體層疊地使用，提高介電強度，因此可以抑制電容器 101a 的靜電破壞。

【0179】導電體 240 以與絕緣體 212、絕緣體 214、絕緣體 216、絕緣體 222、絕緣體 275、絕緣體 280、絕緣體 282 及絕緣體 284 的開口部的內壁接觸的方式設置。此外，導電體 240 與導電體 242a 的頂面及側面、導電體 242a 的頂面及側面和導電體 209 的頂面接觸。

【0180】導電體 240 被用作電路元件諸如開關、電晶體、電容器、電感器、電阻器及二極體等、佈線、電極或者端子與電晶體 201a、202a 電連接的插頭或佈線。

【0181】例如，實施方式 2 所說明的記憶體裝置中，導電體 240 被用作寫入及讀出位元線。

【0182】導電體 240 較佳為具有導電體 240a 與導電體 240b 的疊層結構。例如，如圖 6 所示，導電體 240\_2 可以具有導電體 240a2 以與上述開口部的內壁接觸的方式設置並且在其內側設置導電體 240b2 的結構。也就是說，與導電體 240b2 相比，導電體 240a2 在絕緣體 222、絕緣體 275、絕緣體 280、絕緣體 282 及絕緣體 284 的附近配置。此外，導

電體 240a2 接觸於導電體 242a 的頂面及側面。

【0183】作為導電體 240a，較佳為使用具有抑制水、氫等雜質的透過的功能的導電材料。導電體 240a 例如可以具有使用鈮、氮化鈮、鈦、氮化鈦、鈮及氧化鈮中的一個或多個的單層結構或疊層結構。由此，可以抑制水、氫等雜質經過導電體 240 混入到氧化物 230。

【0184】此外，由於導電體 240 還被用作佈線，所以較佳為使用導電性高的導電體。例如，導電體 240b 可以使用鎢、銅或鋁為主要成分的導電材料。

【0185】例如，較佳的是，作為導電體 240a 使用氮化鈦，作為導電體 240b 使用鎢。在此情況下，導電體 240a 為包含鈦及氮的導電體，導電體 240b 為包含鎢的導電體。

【0186】此外，導電體 240 既可以具有單層結構，又可以具有三層以上的疊層結構。

【0187】此外，圖 17A 及圖 17B 示出圖 1 所示的半導體裝置的立體圖的一個例子。圖 17A 及圖 17B 是絕緣體 210、絕緣體 212、絕緣體 214、第一層 11\_1 及第二層 11\_2 的立體圖。圖 17A 示出電晶體的通道長度方向的剖面及電容器的平行於電晶體的通道寬度方向的方向的剖面。此外，圖 17B 示出電晶體的通道寬度方向的剖面。此外，圖 17A 及圖 17B 中，第一層 11\_1、第二層 11\_2 分別在電晶體的通道寬度方向上包括三個電晶體，圖 17A 示出第一層 11\_1、第二層 11\_2 分別在電晶體的通道寬度方向上包括三個電容器的例子。各層包括的電晶體及電容器的個數沒有特別的限

制。例如，各層也可以在電晶體的通道寬度方向上分別包括四個以上的電晶體及電容器。

**【0188】**

<半導體裝置的剖面結構例子2>

使用圖7說明本發明的一個實施方式的半導體裝置的剖面結構例子。

**【0189】**圖7所示的半導體裝置中，在包括電晶體310等的層(相當於在實施方式2說明的驅動電路21)上設置有包括電晶體202c至電晶體202e等的層(相當於在實施方式2說明的功能層50)，並且在其上設置有與圖1所示的疊層結構同樣的疊層結構(相當於在實施方式2說明的記憶體陣列20包括的多個記憶單元10)。因為圖7中的絕緣體212的上方的結構與圖1同樣，省略詳細說明。

**【0190】**圖7示出實施方式2說明的驅動電路21包括的電晶體310。電晶體310設置在基板311上，並包括被用作閘極的導電體316、被用作閘極絕緣體的絕緣體315、包含基板311的一部分的半導體區域313以及被用作源極區域或汲極區域的低電阻區域314a及低電阻區域314b。電晶體310可以是p通道型電晶體或n通道型電晶體。作為基板311，例如可以使用單晶矽基板。

**【0191】**在此，在圖7所示的電晶體310中，形成通道的半導體區域313(基板311的一部分)具有凸形狀。此外，以隔著絕緣體315覆蓋半導體區域313的側面及頂面的方式設置導電體316。此外，導電體316可以使用調整功函數的

材料。因為利用半導體基板的凸部，所以這種電晶體 310 也被稱為 FIN 型電晶體。此外，也可以以與凸部的上表面接觸的方式具有用來形成凸部的遮罩的絕緣體。此外，雖然在此示出對半導體基板的一部分進行加工來形成凸部的情況，但是也可以對 SOI (Silicon on Insulator) 基板進行加工來形成具有凸形狀的半導體膜。

【0192】注意，圖 7 所示的電晶體 310 的結構只是一個例子，不侷限於上述結構，可以根據電路結構或驅動方法使用適當的電晶體。

【0193】在各結構體之間也可以設置有包括層間膜、佈線及插頭等的佈線層。此外，佈線層可以根據設計而設置為多個層。此外，在本說明書等中，佈線、與佈線電連接的插頭也可以是一個組件。就是說，導電體的一部分有時被用作佈線，並且導電體的一部分有時被用作插頭。

【0194】例如，在電晶體 310 上，作為層間膜依次層疊地設置有絕緣體 320、絕緣體 322、絕緣體 324 及絕緣體 326。此外，導電體 328 等填埋於絕緣體 320 及絕緣體 322 中。此外，導電體 330 等填埋於絕緣體 324 及絕緣體 326 中。此外，導電體 328 及導電體 330 被用作連接插頭或佈線。

【0195】此外，被用作層間膜的絕緣體也可以被用作覆蓋其下方的凹凸形狀的平坦化膜。例如，為了提高絕緣體 322 的頂面的平坦性，也可以藉由利用化學機械拋光 (CMP: Chemical Mechanical Polishing) 法等平坦化處理

實現平坦化。

【0196】此外，圖7示出實施方式2說明的功能層50中的電晶體202c、202d、202e。電晶體202c、202d、202e具有與記憶單元10中的電晶體202a、202b同樣的結構。電晶體202c、202d、202e對應於圖23A等示出的電晶體52、53、55。電晶體202c、202d、202e與電晶體52、53、55同樣地，彼此的源極及汲極串聯連接。

【0197】在電晶體202c、202d、202e上設置有絕緣體208，在絕緣體208中形成的開口中設置導電體207。絕緣體208可以設置與絕緣體210同樣的絕緣體，導電體207可以設置與導電體209同樣的導電體。

【0198】導電體207的底面以與電晶體202d的導電體260d的頂面接觸的方式設置。此外，導電體207的頂面以與導電體209的底面接觸的方式設置。藉由採用這種結構，可以將相當於被用作位元線的佈線BL的導電體240與相當於電晶體52的電晶體202d的閘極電連接。

【0199】

<半導體裝置的頂面結構例子>

使用圖8及圖9說明本發明的一個實施方式的半導體裝置的頂面結構例子。

【0200】注意，圖8及圖9中，X方向平行於圖式中的電晶體的通道長度方向，Y方向平行於圖式中的電晶體的通道寬度方向，Z方向垂直於X方向及Y方向。注意，圖8及圖9中為了使圖式簡化省略絕緣體等一部分的結構要

素。

【0201】圖8A及圖8B示出可用於第二層11\_2以上的各層的佈局，例如示出電晶體201a、201b及電容器101a、101b等。例如，在圖8A及圖8B示出第二層11\_2的頂面佈局的情況下，圖8A示出第二層11\_2中的導電體160(也就是說，第二層11\_2中的電容器101a、101b的上部電極)，圖8B示出第一層11\_1中的導電體160(也就是說，第二層11\_2中的電晶體201a、201b的背閘極電極)。

【0202】圖9A及圖9B示出圖8A及圖8B的變形例子。圖8A及圖8B示出以不藉由導電體240的方式鄰接的記憶單元共同包括一個導電體160的例子。另一方面，如圖9A及圖9B所示，以不藉由導電體240的方式鄰接的記憶單元也可以分別獨立地包括導電體160。

【0203】圖8及圖9所示的各種導電體以線與間隙(line and space)圖案形成。以線/間隙=20nm/20nm設計這些導電體且兩個圖案重疊的部分的餘地為10nm，並且在加上對於不對齊的餘地5nm且以25nm×25nm設計導電體240的情況下，一個單元的面積(圖8及圖9中的以雙點劃線圍繞的區域的面積)為45nm×125nm=0.0054 $\mu\text{m}^2$ ，單元密度為185 cell/ $\mu\text{m}^2$ 。例如，4個單元層疊(圖1中n=4)的情況下，單元密度為740 cell/ $\mu\text{m}^2$ 。

【0204】注意，作為比較例子，例如當技術節點(設計規則)為5nm時SRAM的單元密度為47.6 cell/ $\mu\text{m}^2$ ，當技術節點為7nm時SRAM的單元密度為37 cell/ $\mu\text{m}^2$ 。此外，

DRAM的單元密度例如為 $137\text{cell}/\mu\text{m}^2$ 至 $380\text{cell}/\mu\text{m}^2$ 。

【0205】注意，在圖8及圖9中導電體240在俯視時的形狀為四角形，但是不侷限於此。例如，在俯視時，導電體240也可以具有圓形、橢圓等大致圓形形狀、四角形等多角形形狀、使四角形等多角形的角部帶弧形的形狀。

### 【0206】

<半導體裝置的構成材料>

以下，說明可用於半導體裝置的構成材料。注意，構成半導體裝置的各層既可具有單層結構，又可具有疊層結構。

### 【0207】

<<基板>>

作為形成電晶體的基板例如可以使用絕緣體基板、半導體基板或導電體基板。作為絕緣體基板，例如可以舉出玻璃基板、石英基板、藍寶石基板、穩定氧化鋯基板(釷安定氧化鋯基板等)、樹脂基板等。此外，作為半導體基板，例如可以舉出以矽或鍺等為材料的半導體基板、以及由碳化矽、矽鍺、砷化鎵、磷化銮、氧化鋅或氧化鎵構成的化合物半導體基板等。並且，還可以舉出在上述半導體基板內部具有絕緣體區域的半導體基板，例如為SOI (Silicon On Insulator：絕緣層上覆矽)基板等。作為導電體基板，可以舉出石墨基板、金屬基板、合金基板、導電樹脂基板等。此外，作為基板，例如可以舉出包含金屬氮化物的基板、包含金屬氧化物的基板等。此外，還可以舉出

設置有導電體或半導體的絕緣體基板、設置有導電體或絕緣體的半導體基板、設置有半導體或絕緣體的導電體基板等。或者，也可以使用在這些基板上設置有一種或多種的元件的基板。作為設置在基板上的元件，例如可以舉出電容器、電阻器、切換元件、發光元件、記憶元件等。

### 【0208】

<<絕緣體>>

作為絕緣體，例如可以舉出具有絕緣性的氧化物、氮化物、氧氮化物、氮氧化物、金屬氧化物、金屬氧氮化物、金屬氮氧化物等。

【0209】例如，當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，有時發生洩漏電流等的問題。藉由作為被用作閘極絕緣體的絕緣體使用 high-k 材料，可以在保持物理厚度的同時實現電晶體工作時的低電壓化。另一方面，藉由將相對介電常數較低的材料用於被用作層間膜的絕緣體，可以減少產生在佈線之間的寄生電容。因此，較佳為根據絕緣體的功能選擇材料。

【0210】作為相對介電常數較高的絕緣體，例如可以舉出氧化鎵、氧化鉛、氧化鋇、含有鋁及鉛的氧化物、含有鋁及鉛的氧氮化物、含有矽及鉛的氧化物、含有矽及鉛的氧氮化物或者含有矽及鉛的氮化物等。

【0211】作為相對介電常數較低的絕緣體，例如可以舉出氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具

有空孔的氧化矽或樹脂等。

【0212】此外，藉由使用具有抑制氫等雜質及氧的透過的功能的絕緣體圍繞使用金屬氧化物的電晶體，可以使電晶體的電特性穩定。作為具有抑制氫等雜質及氧的透過的功能的絕緣體，例如可以使用包含硼、碳、氮、氧、氟、鎂、鋁、矽、磷、氯、氫、鎵、鍺、鉍、銦、銻、鉛或鉍中的一種或多種的絕緣體的單層或疊層。明確而言，作為具有抑制氫等雜質及氧的透過的功能的絕緣體，例如可以舉出氧化鋁、氧化鎂、氧化鎵、氧化鍺、氧化鉍、氧化銦、氧化銻、氧化鉛、氧化鉍等金屬氧化物、氮化鋁、氮氧化矽、氮化矽等金屬氮化物。

【0213】此外，被用作閘極絕緣體的絕緣體較佳為具有包含藉由加熱脫離的氧的區域的絕緣體。例如，藉由採用具有包含藉由加熱脫離的氧的區域的氧化矽或者氧氮化矽接觸於氧化物230的結構，可以填補氧化物230所包含的氧空位。

#### 【0214】

#### <<導電體>>

作為導電體，較佳為使用選自鋁、鉻、銅、銀、金、鉑、鉍、鎳、鈦、鈾、鎢、鉛、釩、鈮、錳、鎂、銦、銻、銻、銻和鐳等中的金屬元素、以上述金屬元素為成分的合金或者組合上述金屬元素的合金等。作為導電體，例如可以舉出氮化鉍、氮化鈦、鎢、包含鈦和鋁的氮化物、包含鉍和鋁的氮化物、氧化鈦、氮化鈦、包含銻

和鈮的氧化物、包含鏷和鎳的氧化物等。此外，氮化鈮、氮化鈦、包含鈦和鋁的氮化物、包含鈮和鋁的氮化物、氧化鈮、氮化鈮、包含鋁和鈮的氧化物、包含鏷和鎳的氧化物是不容易氧化的導電材料或者吸收氧也維持導電性的材料，所以是較佳的。此外，也可以使用以包含磷等雜質元素的多晶矽為代表的導電率高的半導體以及鎳矽化物等矽化物。

**【0215】** 在使用疊層結構的導電體的情況下，例如，也可以採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構、組合包含上述金屬元素的材料和包含氮的導電材料的疊層結構或者組合包含上述金屬元素的材料、包含氧的導電材料和包含氮的導電材料的疊層結構。

**【0216】** 此外，在將氧化物用於電晶體的通道形成區域的情況下，作為被用作閘極電極的導電體較佳為採用組合包含上述金屬元素的材料和包含氧的導電材料的疊層結構。在此情況下，較佳為將包含氧的導電材料設置在通道形成區域一側。藉由將包含氧的導電材料設置在通道形成區域一側，從該導電材料脫離的氧容易被供應到通道形成區域。

**【0217】** 尤其是，作為被用作閘極電極的導電體，較佳為使用包含含在被形成通道的金屬氧化物中的金屬元素及氧的導電材料。此外，也可以使用包含上述金屬元素及氮的導電材料。例如，可以使用氮化鈦、氮化鈮等包含氮的導電材料。此外，也可以使用銮錫氧化物、包含氧化鎢

的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有矽的銦錫氧化物中的一個或多個。此外，也可以使用包含氫的銦鎵鋅氧化物。藉由使用上述材料，有時可以俘獲被形成通道的金屬氧化物所包含的氫。或者，有時可以俘獲從外方的絕緣體等混入的氫。

### 【0218】

<<金屬氧化物>>

作為氧化物230，較佳為使用被用作半導體的金屬氧化物(氧化物半導體)。下面，對可用於根據本發明的一個實施方式的氧化物230的金屬氧化物進行說明。

【0219】金屬氧化物較佳為至少包含銦或鋅。尤其較佳為包含銦及鋅。此外，除此之外，較佳為還包含鋁、鎵、鉍、錫等。此外，也可以包含選自硼、鈦、鐵、鎳、鍺、銦、鋁、鏷、銻、釷、釷、鎢、鎂及鈷等中的一種或多種。

【0220】在此考慮金屬氧化物為包含銦、元素M及鋅的In-M-Zn氧化物的情況。注意，元素M為鋁、鎵、鉍或錫。作為可以應用於元素M的其他元素，有硼、鈦、鐵、鎳、鍺、銦、鋁、鏷、銻、釷、釷、鎢、鎂、鈷等。注意，作為元素M有時也可以組合多個上述元素。尤其是，元素M較佳為選自鎵、鋁、鉍和錫中的一種或多種。

【0221】尤其是，作為電晶體的半導體層，較佳為使用包含銦(In)、鎵(Ga)及鋅(Zn)的氧化物(也記載為In-Ga-

Zn氧化物、IGZO)。或者，作為電晶體的半導體層，也可以使用包含銦(In)、鋁(Al)及鋅(Zn)的氧化物(也記載為IAZO)。或者，作為半導體層，也可以使用包含銦(In)、鋁(Al)、鎵(Ga)及鋅(Zn)的氧化物(IAGZO或IGAZO)。或者，作為半導體層，也可以使用包含銦(In)、鎵(Ga)、鋅(Zn)及錫(Sn)的氧化物(也記載為In-Ga-Zn-Sn氧化物、IGZTO)。

【0222】此外，在本說明書等中，有時將包含氮的金屬氧化物稱為金屬氧化物(metal oxide)。此外，也可以將包含氮的金屬氧化物稱為金屬氧氮化物(metal oxynitride)。

【0223】以下，作為金屬氧化物的一個例子說明In-Ga-Zn氧化物。

【0224】作為氧化物半導體的結晶結構，可以舉出非晶(包括completely amorphous)、CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)、CAC(cloud-aligned composite)、單晶(single crystal)及多晶(poly crystal)等。

【0225】此外，在著眼於氧化物半導體的結構的情況下，有時氧化物半導體的分類與上述不同。例如，氧化物半導體可以分類為單晶氧化物半導體和除此之外的非單晶氧化物半導體。作為非單晶氧化物半導體，例如可以舉出上述CAAC-OS及nc-OS。此外，在非單晶氧化物半導體中包含多晶氧化物半導體、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半導體等。

【0226】在此，對上述CAAC-OS、nc-OS及a-like OS

的詳細內容進行說明。

**【0227】**

**[CAAC-OS]**

CAAC-OS是包括多個結晶區域的氧化物半導體，該多個結晶區域的c軸配向於特定的方向。此外，特定的方向是指CAAC-OS膜的厚度方向、CAAC-OS膜的被形成面的法線方向、或者CAAC-OS膜的表面的法線方向。此外，結晶區域是具有原子排列的週期性的區域。注意，在將原子排列看作晶格排列時結晶區域也是晶格排列一致的區域。再者，CAAC-OS具有在a-b面方向上多個結晶區域連接的區域，有時該區域具有畸變。此外，畸變是指在多個結晶區域連接的區域中，晶格排列一致的區域和其他晶格排列一致的區域之間的晶格排列的方向變化的部分。換言之，CAAC-OS是指c軸配向並在a-b面方向上沒有明顯的配向的氧化物半導體。

**【0228】**此外，上述多個結晶區域的每一個由一個或多個微小結晶(最大徑小於10nm的結晶)構成。在結晶區域由一個微小結晶構成的情況下，該結晶區域的最大徑小於10nm。此外，在結晶區域由多個微小結晶構成的情況下，有時該結晶區域的最大徑為幾十nm左右。

**【0229】**CAAC-OS是結晶性高且確認不到明確的晶界的氧化物半導體。因此，可以說在CAAC-OS中，不容易發生起因於晶界的電子移動率的降低。此外，氧化物半導體的結晶性有時因雜質的混入或缺陷的生成等而降低，因此

可以說CAAC-OS是雜質、缺陷(氧空位等)少的氧化物半導體。因此，包含CAAC-OS的氧化物半導體的物理性質穩定。因此，包含CAAC-OS的氧化物半導體具有高耐熱性及高可靠性。此外，CAAC-OS對製程中的高溫度(所謂熱積存：thermal budget)也很穩定。由此，藉由在OS電晶體中使用CAAC-OS，可以擴大製程的彈性。

### 【0230】

#### [nc-OS]

在nc-OS中，微小的區域(例如1nm以上且10nm以下的區域，特別是1nm以上且3nm以下的區域)中的原子排列具有週期性。換言之，nc-OS具有微小的結晶。此外，例如，該微小的結晶的尺寸為1nm以上且10nm以下，尤其為1nm以上且3nm以下，將該微小的結晶稱為奈米晶。此外，nc-OS在不同的奈米晶之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時nc-OS在某些分析方法中與a-like OS或非晶氧化物半導體沒有差別。

### 【0231】

#### [a-like OS]

a-like OS是具有介於nc-OS與非晶氧化物半導體之間的結構的氧化物半導體。a-like OS包含空洞或低密度區域。也就是說，a-like OS的結晶性比nc-OS及CAAC-OS的結晶性低。此外，a-like OS的膜中的氫濃度比nc-OS及CAAC-OS的膜中的氫濃度高。

【0232】接著，說明上述的CAC-OS的詳細內容。此外，CAC-OS與材料構成有關。

【0233】

[CAC-OS]

CAC-OS例如是指包含在金屬氧化物中的元素不均勻地分佈的構成，其中包含不均勻地分佈的元素的材料的尺寸為0.5nm以上且10nm以下，較佳為1nm以上且3nm以下或近似的尺寸。注意，在下面也將在金屬氧化物中一個或多個金屬元素不均勻地分佈且包含該金屬元素的區域混合的狀態稱為馬賽克狀或補丁(patch)狀，該區域的尺寸為0.5nm以上且10nm以下，較佳為1nm以上且3nm以下或近似的尺寸。

【0234】再者，CAC-OS是指其材料分開為第一區域與第二區域而成為馬賽克狀且該第一區域分佈於膜中的結構(下面也稱為雲狀)。就是說，CAC-OS是指具有該第一區域和該第二區域混合的結構的複合金屬氧化物。

【0235】此外，In-Ga-Zn氧化物中的CAC-OS是指如下構成：在包含In、Ga、Zn及O的材料構成中，部分主要成分為In的區域(第一區域)與部分主要成分為Ga的區域(第二區域)無規律地以馬賽克狀存在。因此，可推測，CAC-OS具有金屬元素不均勻地分佈的結構。

【0236】CAC-OS例如可以藉由在對基板不進行加熱的條件下利用濺射法來形成。在利用濺射法形成CAC-OS的情況下，作為沉積氣體，可以使用選自惰性氣體(典型

的是氫)、氧氣體和氮氣體中的任一種或多種。此外，沉積時的沉積氣體的總流量中的氧氣體的流量比越低越好。例如，使沉積時的沉積氣體的總流量中的氧氣體的流量比為0%以上且低於30%，較佳為0%以上且10%以下。

【0237】在此，第一區域是具有比第二區域高的導電性的區域。就是說，當載子流過第一區域時，呈現作為金屬氧化物的導電性。因此，當第一區域以雲狀分佈在金屬氧化物中時，可以實現高場效移動率( $\mu$ )。

【0238】另一方面，第二區域是具有比第一區域高的絕緣性的區域。就是說，當第二區域分佈在金屬氧化物中時，可以抑制洩漏電流。

【0239】由此，在將CAC-OS用於電晶體的情況下，藉由起因於第一區域的導電性和起因於第二區域的絕緣性的互補作用，可以使CAC-OS具有開關功能(控制開啟/關閉的功能)。換言之，在CAC-OS的材料的一部分中具有導電性的功能且在另一部分中具有絕緣性的功能，在材料的整體中具有半導體的功能。藉由使導電性的功能和絕緣性的功能分離，可以最大限度地提高各功能。因此，藉由將CAC-OS用於電晶體，可以實現大通態電流( $I_{on}$ )、高場效移動率( $\mu$ )及良好的切換工作。

【0240】此外，使用CAC-OS的電晶體具有高可靠性。因此，CAC-OS最適合於顯示裝置等各種半導體裝置。

【0241】氧化物半導體具有各種結構及各種特性。本

發明的一個實施方式的氧化物半導體也可以包括非晶氧化物半導體、多晶氧化物半導體、a-like OS、CAC-OS、nc-OS、CAAC-OS中的兩種以上。

#### 【0242】

<<其他半導體材料>>

作為電晶體的半導體層中，也可以使用具有能帶間隙的半導體材料(不是零能帶間隙半導體的半導體材料)。例如，也可以使用矽等單個元素的半導體、砷化鎵等化合物半導體。

【0243】此外，作為電晶體的半導體層例如較佳為使用被用作半導體的過渡金屬硫族化物。作為能夠被用作電晶體的半導體層的過渡金屬硫族化物，具體地可以舉出硫化鉬(典型的是 $\text{MoS}_2$ )、硒化鉬(典型的是 $\text{MoSe}_2$ )、碲化鉬(典型的是 $\text{MoTe}_2$ )、硫化鎢(典型的是 $\text{WS}_2$ )、硒化鎢(典型的是 $\text{WSe}_2$ )、碲化鎢(典型的是 $\text{WTe}_2$ )、硫化鈦(典型的是 $\text{HfS}_2$ )、硒化鈦(典型的是 $\text{HfSe}_2$ )、硫化鋇(典型的是 $\text{ZrS}_2$ )、硒化鋇(典型的是 $\text{ZrSe}_2$ )等。藉由將上述過渡金屬硫族化物用於電晶體的半導體層，可以提供通態電流大的半導體裝置。

#### 【0244】

<半導體裝置的製造方法例子>

使用圖10至圖16說明本發明的一個實施方式的半導體裝置的製造方法例子。在此，以製造圖1所示的半導體裝置的情況為例進行說明。

【0245】以下，用來形成絕緣體的絕緣材料、用來形成導電體的導電材料或用來形成半導體的半導體材料可以適當地使用濺射法、化學氣相沉積(CVD：Chemical Vapor Deposition)法、分子束磊晶(MBE：Molecular Beam Epitaxy)法、脈衝雷射沉積(PLD：Pulsed Laser Deposition)法、ALD法等進行成膜。

【0246】作為濺射法，可以舉出將高頻電源用於濺射用電源的RF濺射法、利用直流電源的DC濺射法、以脈衝方式改變施加到電極的電壓的脈衝DC濺射法。RF濺射法主要在形成絕緣膜時使用，DC濺射法主要在形成金屬導電膜時使用。此外，脈衝DC濺射法主要在利用反應性濺射法形成氧化物、氮化物、碳化物等化合物時使用。

【0247】注意，CVD法可以分為利用電漿的電漿增強CVD(PECVD)法、利用熱的熱CVD(TCVD：Thermal CVD)法及利用光的光CVD(Photo CVD)法等。再者，可以根據使用的源氣體分類為金屬CVD(MCVD：Metal CVD)法及有機金屬CVD(MOCVD：Metal Organic CVD)法。

【0248】藉由利用電漿CVD法，可以以較低的溫度得到高品質的膜。此外，因為在熱CVD法中不使用電漿，所以能夠減少對被處理物造成的電漿損傷。例如，包括在半導體裝置中的佈線、電極、元件(電晶體、電容器等)等有時因從電漿接收電荷而會產生電荷積聚。此時，有時由於所累積的電荷而使包括在半導體裝置中的佈線、電極、元件等受損傷。另一方面，因為在不使用電漿的熱CVD法的

情況下不產生上述電漿損傷，所以能夠提高半導體裝置的良率。此外，在熱CVD法中，不產生形成時的電漿損傷，因此能夠得到缺陷較少的膜。

【0249】作為ALD法，採用只利用熱能使前驅物及反應物起反應的熱ALD法、使用收到電漿激發的反應物的PEALD法等。

【0250】CVD法及ALD法不同於從靶材等中被釋放的粒子沉積的濺射法。因此，藉由CVD法及ALD法形成的膜不易受被處理物的形狀的影響而具有良好的步階覆蓋性。尤其是，ALD法具有良好的步階覆蓋性和厚度均勻性，所以ALD法適合用於形成覆蓋縱橫比高的開口部的表面的膜等。但是，ALD法的沉積速率比較慢，所以有時較佳為與沉積速率快的CVD法等其他沉積方法組合而使用。

【0251】此外，當使用CVD法時，可以藉由調整源氣體的流量比形成任意組成的膜。例如，當使用CVD法時，可以藉由在形成膜的同時改變源氣體的流量比來形成其組成連續變化的膜。當在改變源氣體的流量比的同時形成膜時，因為不需要傳送或調整壓力所需的時間，所以與使用多個成膜室進行形成的情況相比可以縮短成膜時間。因此，有時可以提高半導體裝置的生產率。

【0252】當使用ALD法時，藉由同時導入不同的多種前驅物，可以沉積任意組成的膜。或者，在導入不同的多種前驅物時，藉由控制各前驅物的循環次數可以沉積任意組成的膜。

【0253】首先，準備基板(未圖示)，在該基板上形成絕緣體210及導電體209。接著，在絕緣體210上及導電體209上形成絕緣體212，在絕緣體212上形成絕緣體214，在絕緣體214上形成絕緣體216(圖10A)。

【0254】絕緣體212、絕緣體214及絕緣體216各自較佳為使用濺射法形成。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體212中、絕緣體214中或絕緣體216中的氫濃度。注意，絕緣體212、絕緣體214及絕緣體216各自的沉積方法不侷限於濺射法，也可以使用CVD法、MBE法、PLD法、ALD法等。

【0255】絕緣體212、絕緣體214及絕緣體216較佳為以不暴露於大氣的方式連續形成。例如，較佳為使用多室方式的成膜裝置。由此，可以降低膜中的氫而形成絕緣體212、絕緣體214及絕緣體216，並且可以降低在各成膜製程之間氫混入膜中。

【0256】在本實施方式中，作為絕緣體212在含氮氣體氛圍下使用矽靶材藉由脈衝DC濺射法形成氮化矽。藉由使用脈衝DC濺射法，可以抑制因靶材表面的電弧(arcing)而發生的微粒，所以可以使厚度更均勻。此外，藉由使用脈衝電壓，與高頻電壓相比可以使放電時的上升或下降急劇。由此，可以更高效地對電極供應功率而提高濺射速率及膜品質。

【0257】此外，藉由使用如氮化矽等不容易使水、氫等雜質透過的絕緣體，可以抑制絕緣體212的下方的層所

包含的水、氫等雜質擴散。此外，藉由作為絕緣體 212 使用氮化矽等不容易使銅透過的絕緣體，即使作為絕緣體 212 的下方的層(未圖示)的導電體使用銅等容易擴散的金屬，也可以抑制該金屬藉由絕緣體 212 向上方擴散。

【0258】在本實施方式中，作為絕緣體 214 在含氧氣體氛圍下使用鋁靶材藉由脈衝 DC 濺射法形成氧化鋁。藉由使用脈衝 DC 濺射法，可以使厚度更均勻而提高濺射速率及膜品質。在此，也可以對基板施加 RF(Radio Frequency：射頻)功率。可以根據對基板施加的 RF 功率的大小控制注入到絕緣體 214 的下層中的氧量。作為 RF 功率，例如設定為  $0\text{W}/\text{cm}^2$  以上且  $1.86\text{W}/\text{cm}^2$  以下。換言之，可以使用形成絕緣體 214 時的 RF 功率使氧量改變為適合於電晶體的特性的量而注入。因此，可以注入適合於提高電晶體的可靠性的量的氧。另外，RF 的頻率較佳為 10MHz 以上。典型的是 13.56MHz。RF 的頻率越高，越可以減少對基板造成的損傷。

【0259】作為絕緣體 214，較佳為使用俘獲並固定氫的性能高的具有非晶結構的金屬氧化物，例如氧化鋁。由此，可以俘獲或固定包含在絕緣體 216 等中的氫以防止該氫擴散到氧化物 230。尤其是，絕緣體 214 特別較佳為使用具有非晶結構的氧化鋁或非晶結構的氧化鋁，因為有時能夠更有效地俘獲或固定氫。由此，可以製造特性良好且可靠性高的電晶體及半導體裝置。

【0260】在本實施方式中，作為絕緣體 216 在包含氧

氣體氛圍下使用矽靶材藉由脈衝 DC 濺射法形成氧化矽。藉由使用脈衝 DC 濺射法，可以使厚度更均勻而提高濺射速率及膜品質。

【0261】接著，在絕緣體 216 中形成到達絕緣體 214 的開口。作為絕緣體 214，較佳為選擇在對絕緣體 216 進行蝕刻以形成槽時被用作蝕刻停止膜的絕緣體。例如，當作為形成槽的絕緣體 216 使用氧化矽或氧氮化矽時，絕緣體 214 較佳為使用氮化矽、氧化鋁或氧化鈣。

【0262】在形成該開口時，可以使用乾蝕刻法或濕蝕刻法。因為利用乾蝕刻法的加工適合於微型加工，所以較佳為使用乾蝕刻法。

【0263】作為蝕刻氣體，可以使用包含鹵的蝕刻氣體，明確而言，可以使用包含氟、氯及溴中的一個或多個的蝕刻氣體。例如，作為蝕刻氣體，可以使用 C<sub>4</sub>F<sub>6</sub> 氣體、C<sub>5</sub>F<sub>6</sub> 氣體、C<sub>4</sub>F<sub>8</sub> 氣體、CF<sub>4</sub> 氣體、SF<sub>6</sub> 氣體、CHF<sub>3</sub> 氣體、Cl<sub>2</sub> 氣體、BCl<sub>3</sub> 氣體、SiCl<sub>4</sub> 氣體和 BBr<sub>3</sub> 氣體等中的一種或兩種以上的混合氣體。此外，可以對上述蝕刻氣體適當地添加氧氣體、碳酸氣體、氮氣體、氦氣體、氬氣體、氫氣體或烴氣體等。蝕刻條件可以根據蝕刻物件適當地設定。

【0264】作為乾蝕刻裝置，可以使用包括平行平板型電極的電容耦合型電漿 (CCP: Capacitively Coupled Plasma) 蝕刻裝置。包括平行平板型電極的電容耦合型電漿蝕刻裝置也可以採用對平行平板型電極中的一方施加高頻電壓的結構。或者，也可以採用對平行平板型電極中的

一方施加不同的多個高頻電壓的結構。或者，也可以採用對平行平板型電極的各個施加頻率相同的高頻電壓的結構。或者，也可以採用對平行平板型電極的各個施加頻率不同的高頻電壓的結構。或者，也可以利用具有高密度電漿源的乾蝕刻裝置。例如，作為具有高密度電漿源的乾蝕刻裝置，可以使用感應耦合電漿(ICP：Inductively Coupled Plasma)蝕刻裝置等。

【0265】在形成開口之後，形成成為導電體205a的導電膜(圖10A)。成為導電體205a的導電膜較佳為包括具有抑制氧的透過的功能的導電體。例如，該導電膜較佳為使用氮化鉍、氮化鎢和氮化鈦中的一個或多個。此外，該導電膜可以使用具有抑制氧透過的功能的導電體與鉍、鎢、鈦、鉬、鋁、銅或鉬鎢合金的疊層膜。成為導電體205a的導電膜例如可以利用濺射法、CVD法、MBE法、PLD法、ALD法等形成。

【0266】在本實施方式中，作為成為導電體205a的導電膜形成氮化鈦。藉由作為導電體205的下層使用上述金屬氮化物，可以抑制由於絕緣體216等導電體205a被氧化。此外，即使作為導電體205a使用銅等容易擴散的金屬，也可以防止該金屬從該導電體205a向外方擴散。

【0267】接著，形成成為導電體205b的導電膜(圖10A)。成為導電體205b的導電膜，例如較佳為使用鉍、鎢、鈦、鉬、鋁、銅以及鉬鎢合金中的一個或多個等。該導電膜可以使用電鍍法、濺射法、CVD法、MBE法、PLD

法、ALD法等形式。在本實施方式中，作為成為導電體205b的導電膜形成鎢。

【0268】接著，藉由CMP處理去除成為導電體205a的導電膜及成為導電體205b的導電膜的一部分而使絕緣體216露出。其結果是，只在絕緣體216的開口部中殘留導電體205a及導電體205b(圖10A)。此外，有時藉由該CMP處理絕緣體216的一部分被去除。

【0269】接著，在絕緣體216及導電體205上形成絕緣體222(圖10A)。

【0270】作為絕緣體222較佳為形成包含鋁和鉛中的一者或兩者的氧化物的絕緣體。作為包含鋁和鉛中的一者或兩者的氧化物的絕緣體，例如較佳為使用氧化鋁、氧化鉛、包含鋁及鉛的氧化物(鋁酸鉛)等。或者，較佳為使用鉛銻氧化物。包含鋁和鉛中的一者或兩者的氧化物的絕緣體對氧、氫及水具有阻擋性。當絕緣體222對氫及水具有阻擋性時，可以抑制電晶體的周圍的結構體所包含的氫及水藉由絕緣體222擴散到電晶體的內側，從而可以抑制氧化物230中的氧空位的生成。

【0271】此外，絕緣體222可以為包含鋁和鉛中的一者或兩者的氧化物的絕緣體以及氧化矽、氧氮化矽、氮化矽或氮氧化矽的疊層膜。

【0272】絕緣體222例如可以利用濺射法、CVD法、MBE法、PLD法、ALD法等形式。在本實施方式中，作為絕緣體222利用ALD法形成氧化鉛。此外，作為絕緣體222

也可以使用利用PEALD法形成的氮化矽及利用ALD法形成的氧化鋁的疊層體。

【0273】接著，較佳為進行熱處理。熱處理的溫度較佳為250°C以上且650°C以下，更佳為300°C以上且500°C以下，進一步較佳為320°C以上且450°C以下。熱處理在氮氣體或惰性氣體氛圍或者包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行。例如，當在氮氣體和氧氣體的混合氛圍下進行熱處理時，將氧氣體的比例較佳為設為20%左右。熱處理也可以在減壓狀態下進行。或者，熱處理也可以在氮氣體或惰性氣體氛圍下進行，然後為了填補脫離了的氧在包含10ppm以上、1%以上或10%以上的氧化性氣體的氛圍下進行熱處理。

【0274】此外，在上述熱處理中使用的氣體較佳為被高度純化。例如，在上述熱處理中使用的氣體所包含的水分量較佳為1ppb以下，更佳為0.1ppb以下，進一步較佳為0.05ppb以下。藉由使用高度純化了的氣體進行熱處理，可以儘可能地防止水分等被絕緣體222等吸收。

【0275】在本實施方式中，作為熱處理在形成絕緣體222後以氮氣體與氧氣體的流量比為4：1且400°C的溫度進行1小時的處理。藉由進行該熱處理，可以去除絕緣體222所包含的水、氫等雜質。此外，在作為絕緣體222使用含鋁氧化物時，有時藉由進行該熱處理絕緣體222的一部分被晶化。此外，也可以在形成絕緣體224之後等的時機進行熱處理。

【0276】接著，在絕緣體222上形成絕緣膜224f(圖10A)。

【0277】絕緣膜224f例如可以利用濺射法、CVD法、MBE法、PLD法、ALD法等形成。在本實施方式中，作為絕緣膜224f利用濺射法形成氧化矽。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣膜224f中的氫濃度。絕緣膜224f在後面製程中與氧化物230a接觸，所以如此那樣氫濃度得到降低是較佳的。

【0278】接著，在絕緣膜224f上依次形成氧化膜230af以及氧化膜230bf(圖10A)。較佳為在不暴露於大氣環境的情況下連續地形成氧化膜230af及氧化膜230bf。藉由不暴露於大氣而形成氧化膜，由於可以防止來自大氣環境的雜質或水分附著於氧化膜230af及氧化膜230bf上，所以可以保持氧化膜230af與氧化膜230bf的介面附近的清潔。

【0279】氧化膜230af及氧化膜230bf可以利用濺射法、CVD法、MBE法、PLD法、ALD法等形成。在本實施方式中，作為氧化膜230af及氧化膜230bf的形成方法利用濺射法。

【0280】例如，在利用濺射法形成氧化膜230af以及氧化膜230bf的情況下，作為濺射氣體使用氧或者氧和稀有氣體的混合氣體。藉由提高濺射氣體所包含的氧的比例，可以增加形成的氧化膜中的過量氧。此外，在利用濺射法形成上述氧化膜的情況下，可以使用In-M-Zn氧化物靶材等。

【0281】尤其是，在形成氧化膜 230af 時，有時濺射氣體所包含的氧的一部分供應給絕緣膜 224f。因此，該濺射氣體所包含的氧的比例較佳為 70% 以上，更佳為 80% 以上，進一步較佳為 100%。

【0282】在使用濺射法形成氧化膜 230bf 的情況下，藉由在包含在濺射氣體中的氧的比例為超過 30% 且 100% 以下，較佳為 70% 以上且 100% 以下的條件下形成膜，可以形成氧過剩型氧化物半導體。將氧過剩型氧化物半導體用於通道形成區域的電晶體可以得到比較高的可靠性。注意，本發明的一個實施方式不侷限於此。在利用濺射法形成氧化膜 230bf 的情況下，當在濺射氣體所包含的氧的比例設定為 1% 以上且 30% 以下，較佳為 5% 以上且 20% 以下的情況下進行成膜時，形成氧缺乏型氧化物半導體。將氧缺乏型氧化物半導體用於通道形成區域的電晶體可以具有較高的場效移動率。此外，藉由在加熱基板的同時形成膜，可以提高該氧化膜的結晶性。

【0283】在本實施方式中，利用濺射法使用 In:Ga:Zn = 1:3:4 [原子個數比] 的氧化物靶材形成氧化膜 230af。此外，利用濺射法使用 In:Ga:Zn = 4:2:4.1 [原子個數比] 的氧化物靶材、In:Ga:Zn = 1:1:1 [原子個數比] 的氧化物靶材、In:Ga:Zn = 1:1:1.2 [原子個數比] 的氧化物靶材或者 In:Ga:Zn = 1:1:2 [原子個數比] 的氧化物靶材形成氧化膜 230bf。各氧化膜可以根據氧化物 230a 及氧化物 230b 所需的特性適當地選擇成膜條件及原子個數比來形成。

【0284】注意，較佳為藉由濺射法以不暴露於大氣的方式形成絕緣膜 224f、氧化膜 230af 及氧化膜 230bf。例如，使用多室方式的成膜裝置即可。由此，可以降低各形成製程之間氫進入絕緣膜 224f、氧化膜 230af 及氧化膜 230bf。

【0285】氧化膜 230af 及氧化膜 230bf 也可以利用 ALD 法等沉積。藉由利用 ALD 法沉積氧化膜 230af 及氧化膜 230bf，對縱橫比大的槽或開口部也可以形成厚度均勻的膜。此外，藉由利用 PEALD 法，與熱 ALD 法相比可以以更低的溫度形成氧化膜 230af 及氧化膜 230bf。

【0286】接著，較佳為進行熱處理。熱處理在氧化膜 230af 及氧化膜 230bf 中不發生多晶化的溫度範圍內進行即可。熱處理的溫度較佳為 100℃ 以上、250℃ 以上或 350℃ 以上且 650℃ 以下、600℃ 以下或 550℃ 以下。

【0287】注意，作為熱處理的氛圍，可以舉出適用於絕緣體 222 的形成後進行的熱處理的氛圍同樣的氛圍。

【0288】此外，與在絕緣體 222 的形成之後進行的熱處理同樣地，熱處理中使用的氣體較佳為被高度純化。藉由使用高度純化了的氣體進行熱處理，可以儘可能地防止水分等被氧化膜 230af 及氧化膜 230bf 等吸收。

【0289】在本實施方式中，作為熱處理，在氮氣體與氧氣體的流量比為 4:1 且 400℃ 的溫度的條件下進行 1 小時的處理。藉由這樣的包含氧氣體的熱處理可以減少氧化膜 230af 及氧化膜 230bf 中的碳、水、氫等雜質。藉由如此減

少膜中的雜質，氧化膜 230bf 的結晶性得到提高，可以實現密度更高的緻密結構。因此，可以增大氧化膜 230af 及氧化膜 230bf 中的結晶區域，可以降低氧化膜 230af 及氧化膜 230bf 中的結晶區域的面內不均勻。因此，可以降低電晶體的電特性的面內不均勻。

【0290】另外，藉由進行熱處理，絕緣體 216、絕緣膜 224f、氧化膜 230af 和氧化膜 230bf 中的氫轉移到絕緣體 222 而被絕緣體 222 吸收。換言之，絕緣體 216、絕緣膜 224f、氧化膜 230af 和氧化膜 230bf 中的氫擴散到絕緣體 222。因此，雖然絕緣體 222 的氫濃度增高，但絕緣體 216、絕緣膜 224f、氧化膜 230af 和氧化膜 230bf 中的氫濃度都降低。

【0291】尤其是，絕緣膜 224f(後面的絕緣體 224)被用作電晶體 202a 的閘極絕緣體，氧化膜 230af 及氧化膜 230bf(後面的氧化物 230a 及氧化物 230b)被用作電晶體 202a 的通道形成區域。包括氫濃度降低了的絕緣膜 224f、氧化膜 230af 及氧化膜 230bf 的電晶體 202a 具有優異可靠性，所以是較佳的。

【0292】接著，利用光微影法對絕緣膜 224f、氧化膜 230af 及氧化膜 230bf 進行加工為島狀，而形成絕緣體 224、氧化物 230a 及氧化物 230b(圖 10B)。

【0293】在此，以絕緣體 224、氧化物 230a 及氧化物 230b 中至少一部分重疊於導電體 205 的方式形成。

【0294】另外，如圖 10B 所示，絕緣體 224、氧化物

230a及氧化物230b的側面形狀也可以為錐形形狀。絕緣體224、氧化物230a及氧化物230b的側面的錐角例如也可以為 $60^\circ$ 以上且小於 $90^\circ$ 。藉由側面具有這樣的錐形形狀，以後的製程中的絕緣體275等的覆蓋性得到提高，可以減少空洞等缺陷。

【0295】但是，不侷限於此，也可以採用絕緣體224、氧化物230a及氧化物230b的側面大致垂直於絕緣體222的頂面的結構。藉由採用這樣的結構，在設置多個電晶體時可以實現小面積化及高密度化。

【0296】上述加工可以使用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加工適合於微型加工。此外，絕緣膜224f、氧化膜230af及氧化膜230bf的加工也可以以互不相同的條件進行。

【0297】注意，在光微影法中，首先藉由遮罩對光阻劑進行曝光。接著，使用顯影液去除或留下所曝光的區域而形成光阻遮罩。接著，可以藉由該光阻遮罩進行蝕刻處理來將導體、半導體或絕緣體等加工為所希望的形狀。例如，可以使用KrF準分子雷射、ArF準分子雷射、EUV (Extreme Ultraviolet：極紫外)光等對光阻劑進行曝光來形成光阻遮罩。此外，也可以利用在基板和投影透鏡之間填滿液體(例如，水)的狀態下進行曝光的液浸技術。此外，也可以使用電子束或離子束代替上述光。注意，當使用電子束或離子束時，不需要遮罩。此外，藉由進行灰化處理等乾蝕刻處理、進行濕蝕刻處理、在進行乾蝕刻處理之後

進行濕蝕刻處理或者在進行濕蝕刻處理之後進行乾蝕刻處理，可以去除光阻遮罩。

【0298】再者，也可以在光阻遮罩下使用由絕緣體或導電體構成的硬遮罩。當使用硬遮罩時，可以在氧化膜230bf上形成成為硬遮罩材料的絕緣膜或導電膜且在其上形成光阻遮罩，然後對硬遮罩材料進行蝕刻來形成所希望的形狀的硬遮罩。對氧化膜230bf等進行的蝕刻既可以在去除光阻遮罩後進行，又可以不去除光阻遮罩進行。在採用後者的情況下，進行蝕刻時有時光阻遮罩消失。可以在氧化膜230bf等的蝕刻之後，藉由蝕刻去除硬遮罩。另一方面，在硬遮罩材料沒有影響到後製程或者可以在後製程中使用的情況下，不一定需要去除硬遮罩。

【0299】接著，在絕緣體222上及氧化物230上形成成為導電體242\_1的導電膜，在該導電膜上形成成為導電體242\_2的導電膜(圖10C)。

【0300】成為導電體242\_1的導電膜及成為導電體242\_2的導電膜可以分別利用例如濺射法、CVD法、MBE法、PLD法或ALD法形成。

【0301】在本實施方式中，作為成為導電體242\_1的導電膜利用濺射法形成氮化鈮，作為成為導電體242\_2的導電膜形成鎢。此外，在形成成為導電體242\_1的導電膜之前也可以進行熱處理。該熱處理也可以在減壓下進行，並其中以不暴露於大氣的方式連續地形成成為導電體242\_1的導電膜。藉由進行這種處理，可以去除附著於氧

化物 230b 的表面的水分及氫，而且減少氧化物 230a、氧化物 230b 中的水分濃度及氫濃度。熱處理的溫度較佳為 100℃ 以上且 400℃ 以下。在本實施方式中，將熱處理的溫度設定為 200℃。

【0302】接著，利用光微影法對成為導電體 242\_1 的導電膜及成為導電體 242\_2 的導電膜進行加工，而形成島狀的導電體 242\_1 及導電體 242\_2 (圖 10C)。注意，圖 10C 所示的兩個導電體 242\_1 既可以分別設置為島狀，又可以為在與導電體 209 重疊的位置具有開口的一個島狀的膜。同樣地，圖 10C 所示的兩個導電體 242\_2 既可以分別設置為島狀，又可以為在與導電體 209 重疊的位置具有開口的一個島狀的膜。

【0303】在此，以至少一部分與導電體 205 重疊的方式形成導電體 242\_1 及導電體 242\_2。此外，以至少一部分與導電體 209 重疊的方式形成導電體 242\_1 及導電體 242\_2。此外，藉由形成導電體 242\_1 及導電體 242\_2，絕緣體 222 的與導電體 209 重疊的區域的一部分被露出。

【0304】上述加工可以利用乾蝕刻法或濕蝕刻法。另外，成為導電體 242\_1 的導電膜及成為導電體 242\_2 的導電膜的加工可以在各自不同的條件下進行。

【0305】接著，以覆蓋絕緣體 224、氧化物 230a、氧化物 230b、導電體 242\_1 及導電體 242\_2 的方式形成絕緣體 275，在絕緣體 275 上形成絕緣體 280。然後，利用光微影法，對導電體 242\_1、導電體 242\_2、絕緣體 275 及絕緣體

280進行加工，形成到達氧化物230b的開口(圖11A)。

【0306】在此，絕緣體275較佳為與絕緣體222的頂面密接。

【0307】作為絕緣體280，較佳為藉由形成成為絕緣體280的絕緣膜而對該絕緣膜進行CMP處理，形成其頂面平坦的絕緣體。此外，也可以在絕緣體280上例如藉由濺射法沉積氮化矽，直到該氮化矽到達絕緣體280為止進行CMP處理。

【0308】到達氧化物230b的開口設置在氧化物230b與導電體205重疊的區域。

【0309】絕緣體275及絕緣體280各自例如可以利用濺射法、CVD法、MBE法、PLD法或ALD法等形成。

【0310】絕緣體275較佳為使用抑制氧透過的功能的絕緣體。例如，作為絕緣體275較佳為利用ALD法沉積氮化矽。此外，作為絕緣體275較佳為利用濺射法形成氧化鋁且在其上利用PEALD法形成氮化矽。在絕緣體275具有這種疊層結構時，可以實現抑制水、氫等雜質及氧的擴散的功能得到提高。

【0311】如此，可以由具有抑制氧擴散的功能的絕緣體275覆蓋氧化物230a、氧化物230b、導電體242\_1及導電體242\_2。由此，可以抑制在後面製程中氧從絕緣體280等直接擴散到絕緣體224、氧化物230a、氧化物230b、導電體242\_1及導電體242\_2中。

【0312】例如，作為絕緣體280較佳為利用濺射法沉

積氧化矽。藉由在含氧氛圍下使用濺射法形成成為絕緣體 280 的絕緣膜，可以形成包含過量氧的絕緣體 280。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體 280 中的氫濃度。此外，在形成該絕緣膜之前也可以進行熱處理。該熱處理也可以在減壓下進行，並其中以不暴露於大氣的方式連續地形成該絕緣膜。藉由進行這種處理，可以去除附著於絕緣體 275 的表面等的水分及氫，而且減少氧化物 230a、氧化物 230b 及絕緣體 224 中的水分濃度及氫濃度。該熱處理可以採用上述熱處理的條件。

【0313】上述加工可以利用乾蝕刻法或濕蝕刻法。此外，導電體 242\_1、導電體 242\_2、絕緣體 275 及絕緣體 280 也可以在分別不同的條件下進行加工。

【0314】藉由該加工，導電體 242\_1 被分割各自島狀的導電體 242a1、242b1。同樣地，導電體 242\_2 被分割各自島狀的導電體 242a2、242b2。注意，圖 11A 所示的兩個導電體 242a1 既可以分別設置為島狀，又可以為在與導電體 209 重疊的位置具有開口的一個島狀的膜。同樣地，圖 11A 所示的兩個導電體 242a2 既可以分別設置為島狀，又可以為在與導電體 209 重疊的位置具有開口的一個島狀的膜。

【0315】藉由上述蝕刻處理，有時發生如下：雜質附著於氧化物 230a 的側面、氧化物 230b 的頂面及側面、導電體 242a、242b 的側面、絕緣體 275 的側面以及絕緣體 280 的

側面等；或者該雜質擴散到它們的內部。可以進行去除這些雜質的製程。另外，有時因上述乾蝕刻在氧化物 230b 的表面上形成損傷區域。也可以去除這樣的損傷區域。作為該雜質，例如可以舉出起因於如下成分的雜質：絕緣體 280、絕緣體 275、導電體 242a、242b 所包含的成分；包含於形成上述開口時使用的裝置的構件中的成分；用於蝕刻的氣體或液體所包含的成分等。作為該雜質，例如可以舉出鉛、鋁、矽、鉍、氟、氯等。

【0316】尤其是，鋁、矽等雜質有時降低氧化物 230b 的結晶性。因此，在氧化物 230b 表面及其附近，較佳為去除鋁或矽等雜質。此外，較佳為降低該雜質濃度。例如，氧化物 230b 表面及其附近的鋁原子的濃度較佳為 5.0 原子% 以下，更佳為 2.0 原子% 以下，更佳為 1.5 原子% 以下，進一步較佳為 1.0 原子% 以下，尤其較佳為小於 0.3 原子%。

【0317】由鋁或矽等雜質，在氧化物 230b 中的結晶性低的區域，結晶結構的緻密度降低，所以產生大量  $V_{oH}$  而電晶體容易被常開啟化。由此，較佳為減少或去除氧化物 230b 中的結晶性低的區域。

【0318】相對於此，氧化物 230b 較佳為具有層狀的 CAAC 結構。尤其是，較佳為氧化物 230b 的汲極的下端部也具有 CAAC 結構。在此，在電晶體中，導電體 242a 或導電體 242b 被用作汲極。換言之，導電體 242a 或導電體 242b 的下端部附近的氧化物 230b 較佳為具有 CAAC 結構。如此，藉由去除對汲極耐壓帶來顯著影響的汲極端部中的氧

化物 230b 的結晶性低的區域而使其具有 CAAC 結構，可以進一步抑制電晶體的電特性的變動。此外，可以進一步提高電晶體的可靠性。

【0319】為了去除在上述蝕刻製程中附著於氧化物 230b 表面的雜質等，進行洗滌處理。作為洗滌方法，有使用洗滌液等的濕式洗滌(也可以稱為濕蝕刻處理)、使用電漿的電漿處理、使用熱處理的洗滌等，也可以適當地組合上述洗滌。注意，藉由進行該洗滌處理有時上述槽部變深。

【0320】作為濕式洗滌，可以使用用碳酸水或純水稀釋氨水、草酸、磷酸或氫氟酸中的一個或多個而成的水溶液、純水或碳酸水等進行。或者，可以使用上述水溶液、純水或碳酸水進行超聲波洗滌。此外，也可以適當地組合上述洗滌。

【0321】注意，在本說明書等中，有時將用純水稀釋氟化氫酸的水溶液稱為稀氟化氫酸且將用純水稀釋氨水的水溶液稱為稀氨水。此外，該水溶液的濃度、溫度等可以根據要去除的雜質、被洗滌的半導體裝置的結構等適當地調整。稀氨水的氨濃度較佳為設定為 0.01% 以上且 5% 以下，更佳為設定為 0.1% 以上且 0.5% 以下。此外，稀氟化氫酸的氟化氫濃度較佳為設定為 0.01ppm 以上且 100ppm 以下，更佳為設定為 0.1ppm 以上且 10ppm 以下。

【0322】此外，作為超聲波洗滌較佳為使用 200kHz 以上的頻率，更佳為 900kHz 以上的頻率。藉由使用該頻率，

可以降低對氧化物 230b 等造成的損傷。

【0323】此外，可以多次進行上述洗滌處理，也可以按每個洗滌處理改變洗滌液。例如，也可以作為第一洗滌處理進行使用稀氟化氫酸或稀氨水的處理，作為第二洗滌處理進行使用純水或碳酸水的處理。

【0324】作為上述洗滌處理，在本實施方式中，使用稀氨水進行濕式洗滌。藉由進行該洗滌處理，可以去除附著於氧化物 230a、氧化物 230b 等的表面或者擴散到其內部的雜質。並且，可以提高氧化物 230b 的結晶性。

【0325】也可以在上述蝕刻或上述洗滌後進行熱處理。熱處理的溫度較佳為 100℃ 以上、250℃ 以上或 350℃ 以上且 650℃ 以下、600℃ 以下、550℃ 以下或 400℃ 以下。熱處理在氮氣體、惰性氣體或包含 10ppm 以上、1% 以上或 10% 以上的氧化性氣體的氛圍下進行。例如，熱處理較佳為在氧氛圍下進行。由此，對氧化物 230a 及氧化物 230b 供應氧，從而可以減少氧空位。此外，藉由進行上述熱處理，可以提高氧化物 230b 的結晶性。再者，氧化物 230a 及氧化物 230b 中殘留的氫與被供給的氧發生反應而可以將該氫以 H<sub>2</sub>O 的形態去除(脫水化)。由此，可以抑制殘留在氧化物 230a 及氧化物 230b 中的氫與氧空位再結合而形成 V<sub>o</sub>H。熱處理也可以在減壓狀態下進行。或者，也可以在氧氛圍下進行熱處理，然後以不暴露於大氣的方式在氮氛圍下連續地進行熱處理。

【0326】另外，當在導電體 242a 及導電體 242b 與氧化

物 230b 接觸的狀態下進行加熱處理時，與導電體 242a 重疊的區域的氧化物 230b 及與導電體 242b 重疊的區域的氧化物 230b 的片電阻有時降低。另外，有時載子濃度增加。因此，可以使與導電體 242a 重疊的區域的氧化物 230b 及與導電體 242b 重疊的區域的氧化物 230b 自對準地低電阻化。

【0327】接著，藉由以嵌入開口的方式形成絕緣膜及導電膜而對其進行加工，在與導電體 205 重疊的位置設置絕緣體 253、絕緣體 254、導電體 260a 及導電體 260b (圖 11B)。

【0328】首先，形成成為絕緣體 253 的絕緣膜。該絕緣膜例如可以利用濺射法、CVD 法、MBE 法、PLD 法、ALD 法形成。該絕緣膜較佳為利用 ALD 法形成。與上述絕緣體 253 同樣地，絕緣體 253 較佳為形成得薄，需要將厚度不均勻性抑制為小。對此，ALD 法是交替地導入前驅物及反應物 (例如，氧化劑等) 進行的沉積方法，由於膜的厚度可以根據反復該循環的次數進行調整，所以可以精密地調整厚度。另外，如圖 11B 所示，絕緣體 253 需要以高覆蓋性形成在開口的底面及側面。藉由利用 ALD 法由於可以在上述開口的底面及側面上沉積每一層的原子層，所以可以在該開口中以高覆蓋性形成絕緣體 253。

【0329】另外，當利用 ALD 法形成成為絕緣體 253 的絕緣膜時，作為氧化劑可以使用臭氧 ( $O_3$ )、氧 ( $O_2$ )、水 ( $H_2O$ ) 等。藉由使用不包含氫的臭氧 ( $O_3$ )、氧 ( $O_2$ ) 等作為氧化劑，可以減少擴散到氧化物 230b 的氫。

【0330】在本實施方式中，作為成為絕緣體253的絕緣膜藉由熱ALD法形成氧化鉛。

【0331】接著，較佳為在含氧氛圍下進行微波處理。在此，微波處理例如是指使用包括利用微波生成高密度電漿的電源的裝置的處理。另外，在本說明書等中，微波是指具有300MHz以上且300GHz以下的頻率的電磁波。

【0332】微波處理例如較佳為使用包括用微波產生高密度電漿的電源的微波處理裝置。在此，將微波處理裝置的頻率較佳為設定為300MHz以上且300GHz以下，更佳為2.4GHz以上且2.5GHz以下，例如可以為2.45GHz。藉由使用高密度電漿，可以生成高密度的氧自由基。另外，微波處理裝置的施加微波的電源的功率較佳為1000W以上且10000W以下，較佳為2000W以上且5000W以下。此外，微波處理裝置也可以包括對基板一側施加RF的電源。此外，藉由對基板一側施加RF，可以將由高密度電漿生成的氧離子高效地導入到氧化物230b中。

【0333】此外，上述微波處理較佳為在減壓下進行，壓力較佳為10Pa以上且1000Pa以下，更佳為300Pa以上且700Pa以下即可。此外，處理溫度較佳為750°C以下，更佳為500°C以下，例如可以為250°C左右。此外，也可以在進行氧電漿處理之後以不暴露於大氣的方式連續進行熱處理。熱處理的溫度例如較佳為100°C以上且750°C以下，更佳為以300°C以上且500°C以下進行。

【0334】另外，例如，上述微波處理可以使用氧氣體

及氬氣體進行。在此，氧流量比( $O_2/(O_2+Ar)$ )大於0%且為100%以下。較佳的是，氧流量比( $O_2/(O_2+Ar)$ )大於0%且為50%以下。更佳的是，氧流量比( $O_2/(O_2+Ar)$ )為10%以上且40%以下。進一步較佳的是，氧流量比( $O_2/(O_2+Ar)$ )為10%以上且30%以下。如此，藉由在含氧氛圍下進行微波處理，可以降低氧化物230b中的載子濃度。另外，藉由在微波處理中防止對處理室導入過多的氧，可以防止在氧化物230b中載子濃度過度地降低。

【0335】藉由在含氧氛圍下進行微波處理，可以使用微波或RF等高頻使氧氣體電漿化而使該氧電漿作用於氧化物230b的導電體242a與導電體242b間的區域。藉由電漿、微波等的作用，可以使該區域的 $V_oH$ 分開為氧空位和氬，從該區域去除氬。換言之，可以減少包含在通道形成區域中的 $V_oH$ 。因此，可以減少通道形成區域中的氧空位及 $V_oH$ 而降低載子濃度。此外，藉由對形成在通道形成區域中的氧空位供應在上述氧電漿中產生的氧自由基，可以進一步降低通道形成區域中的氧空位，由此可以降低載子濃度。

【0336】作為注入到通道形成區域中的氧，有氧原子、氧分子、氧離子及氧自由基(也稱為 $O$ 自由基，包含不成對電子的原子、分子或者離子)等各種方式。注入到通道形成區域中的氧可以為上述方式中的任一個或多個，尤其較佳為氧自由基。另外，由於可以提高絕緣體253的膜品質，電晶體的可靠性得到提高。

【0337】另一方面，氧化物230b中具有與導電體242a、242b中任一個重疊的區域。該區域可以被用作源極區域或汲極區域。在此，導電體242a、242b較佳為被用作在含氧氛圍下進行微波處理時保護免受微波、RF等高頻或氧電漿等的作用的遮蔽膜。由此，導電體242a、242b較佳為具有遮蔽300MHz以上且300GHz以下，例如2.4GHz以上且2.5GHz以下的電磁波的功能。

【0338】導電體242a、242b遮蔽微波或RF等高頻、氧電漿等的作用，所以不作用於氧化物230b的與導電體242a、242b中任一個重疊的區域。由此，藉由微波處理在源極區域及汲極區域中不發生 $V_{OH}$ 的下降及過多的氧的供應，所以可以防止載子濃度的降低。

【0339】另外，以與導電體242a、242b的側面接觸的方式設置有具有氧阻擋性的絕緣體253。因此，可以抑制因微波處理而氧化膜形成在導電體242a、242b的側面。

【0340】由於可以提高絕緣體253的膜品質，電晶體的可靠性得到提高。

【0341】如上所述，可以在氧化物半導體的通道形成區域中選擇性地去除氧空位及 $V_{OH}$ 而使通道形成區域成為i型或實質上i型。並且，可以抑制被用作源極區域或汲極區域的區域被供應過多的氧而保持進行微波處理之前的導電性(低電阻區域的狀態)。由此，可以抑制電晶體的電特性變動而抑制在基板面內電晶體的電特性不均勻。

【0342】另外，在微波處理中，有時由於微波與氧化

物 230b 中的分子的電磁相互作用而對氧化物 230b 直接傳遞熱能。有時因該熱能而氧化物 230b 被加熱。有時將該熱處理稱為微波退火。藉由在含氧氛圍下進行微波處理，有時可以得到與氧退火相等的效果。另外，可認為：在氧化物 230b 包含氫時，上述熱能傳遞到氧化物 230b 中的氫而被活性的氫從氧化物 230b 釋放。

【0343】此外，也可以在沉積成為絕緣體 253 的絕緣膜之前進行微波處理而不進行沉積該絕緣膜之後的微波處理。

【0344】另外，也可以在形成成為絕緣體 253 的絕緣膜後的微波處理之後保持減壓狀態下進行熱處理。藉由進行這種處理，可以高效地去除該絕緣膜中、氧化物 230b 中及氧化物 230a 中的氫。此外，氫的一部分有時被導體 242a 及 242b 吸雜。此外，也可以反復在進行微波處理之後保持減壓狀態進行熱處理的步驟。藉由反復進行熱處理，可以進一步高效地去除該絕緣膜中、氧化物 230b 中及氧化物 230a 中的氫。注意，熱處理溫度較佳為 300°C 以上且 500°C 以下。上述微波處理，即微波退火也可以兼作該熱處理。在藉由微波退火氧化物 230b 等充分地被加熱時，也可以不進行該熱處理。

【0345】此外，藉由進行微波處理而改變成為絕緣體 253 的絕緣膜的膜品質，可以抑制氫、水、雜質等的擴散。由此，可以抑制因成為導體 260 的導電膜的成膜等後製程或熱處理等後處理而氫、水、雜質等經過絕緣體

253擴散到氧化物230b、氧化物230a等。

【0346】接著，形成成為絕緣體254的絕緣膜。該絕緣膜例如可以利用濺射法、CVD法、MBE法、PLD法、ALD法等形成。與成為絕緣體253的絕緣膜同樣，該絕緣膜較佳為利用ALD法形成。藉由利用ALD法，可以以高覆蓋性形成較薄的成為絕緣體254絕緣膜。在本實施方式中，作為絕緣膜利用PEALD法形成氮化矽。

【0347】接著，依次形成成為導電體260a的導電膜及成為導電體260b的導電膜。成為導電體260a的導電膜及成為導電體260b的導電膜可以藉由濺射法、CVD法、MBE法、PLD法或ALD法等形成。在本實施方式中，利用ALD法作為成為導電體260a的導電膜形成氮化鈦，利用CVD法作為成為導電體260b的導電膜形成鎢。

【0348】接著，利用CMP處理直到絕緣體280露出為止對成為絕緣體253的絕緣膜、成為絕緣體254的絕緣膜、成為導電體260a的導電膜及成為導電體260b的導電膜進行拋光。也就是說，去除從成為絕緣體253的絕緣膜、成為絕緣體254的絕緣膜、成為導電體260a的導電膜及成為導電體260b的導電膜的開口露出一部分。由此，在與導電體205重疊的開口中形成絕緣體253、絕緣體254及導電體260(導電體260a及導電體260b)(圖11B)。

【0349】由此，絕緣體253以與重疊於氧化物230b的開口的內壁及側面接觸的方式設置，絕緣體254以隔著絕緣體253且沿著該開口的內壁及側面的方式設置。另外，

導電體 260 以隔著絕緣體 253 及絕緣體 254 嵌入開口中的方式配置。由此形成電晶體 202a、202b。如上所述，可以在同一製程中同時製造電晶體 202a、202b。

【0350】接著，也可以在與上述熱處理同樣的條件下進行熱處理。在本實施方式中，在氮氛圍下以 400°C 的溫度進行 1 小時的處理。藉由該熱處理，可以減少絕緣體 280 中的水分濃度及氫濃度。此外，在上述熱處理之後，以不暴露於大氣的方式連續地進行絕緣體 282 的形成。

【0351】接著，在絕緣體 253、254、導電體 260 及絕緣體 280 上形成絕緣體 282 (圖 11B)。絕緣體 282 可以藉由濺射法、CVD 法、MBE 法、PLD 法、ALD 法等形式。絕緣體 282 較佳為使用濺射法形成。藉由使用不需要利用包含氫的分子作為沉積氣體的濺射法，可以降低絕緣體 282 中的氫濃度。

【0352】在本實施方式中，作為絕緣體 282 在包含氧氣體氛圍下使用鋁靶材藉由脈衝 DC 濺射法形成氧化鋁。藉由使用脈衝 DC 濺射法，可以使厚度更均勻而提高濺射速率及膜品質。另外，將對基板施加的 RF 功率設定為  $1.86\text{W}/\text{cm}^2$  以下。較佳為  $0\text{W}/\text{cm}^2$  以上且  $0.62\text{W}/\text{cm}^2$  以下。注意，RF 功率為  $0\text{W}/\text{cm}^2$  是指對基板不施加 RF 功率。可以根據對基板施加的 RF 功率的大小控制注入到絕緣體 282 的下層中的氧量。例如，RF 功率越小注入到絕緣體 282 的下層中的氧量就越少，即使絕緣體 282 較薄該氧量也容易飽和。另外，RF 功率越大注入到絕緣體 282 的下層中的氧量

就越多。藉由降低RF功率，可以抑制注入到絕緣體280中的氧量。或者，也可以形成具有兩層的疊層結構的絕緣體282。此時，例如，將對基板施加的RF功率設定為 $0\text{W}/\text{cm}^2$ 來沉積絕緣體282的下層，將對基板施加的RF功率設定為 $0.62\text{W}/\text{cm}^2$ 來沉積絕緣體282的上層。

【0353】另外，RF的頻率較佳為10MHz以上。典型的是13.56MHz。RF的頻率越高，越可以減少對基板造成的損傷。

【0354】另外，藉由使用濺射法在含氧氛圍下形成絕緣體282，可以在進行成膜的同時對絕緣體280添加氧。由此，可以使絕緣體280包含過量氧。此時，較佳為在加熱基板的同時形成絕緣體282。

【0355】接著，利用光微影法對絕緣體282、280、275、222、216、214、212進行加工而使導電體209的頂面的一部分露出(圖12A)。

【0356】形成開口時可以利用乾蝕刻法或濕蝕刻法。利用乾蝕刻法的加工適合於微型加工，所以較佳為利用乾蝕刻法。作為蝕刻氣體可以使用上述氣體。

【0357】在此，與氧化矽或氧氮化矽相比，氧化鋁及氧化鉛有時難以進行蝕刻。氧化鋁及氧化鉛各自也可以稱為難蝕刻材料。

【0358】在作為絕緣體282、222等使用上述難蝕刻材料的情況下，藉由在絕緣體中預先形成開口，可以高良率地進行圖12A所示的加工製程，因此可以提高半導體裝置

的生產率。另一方面，圖 12A 的加工製程中，在絕緣體中一次形成開口時，可以減少遮罩數，所以是較佳的。

【0359】圖 12A 示出絕緣體 282 及絕緣體 280 中設置的開口的寬度大致一致的例子，但是不侷限於此。在絕緣體 282 與絕緣體 280 的蝕刻速率不同的情況下，即使一次形成開口也有時在剖面中絕緣體 282 與絕緣體 280 的端部不平坦。

【0360】此外，圖 12A 示出在開口中導電體 242a 的端部以及絕緣體 212、214、216、222 的各端部大致一致的例子，但是不侷限於此。根據蝕刻條件等，絕緣體 212、214、216、222 中的一個或多個的側面被蝕刻，有時其端部位於導電體 242a 的端部內側(電晶體側)。

【0361】例如，較佳為藉由各向異性蝕刻在絕緣體 212、絕緣體 214、絕緣體 216、絕緣體 222、絕緣體 275、絕緣體 280 及絕緣體 282 形成開口。作為各向異性蝕刻較佳為使用乾蝕刻法。由此，例如可以形成圖 1 或圖 2 所示的形狀的開口。

【0362】接著，也可以藉由各向同性蝕刻擴大該開口的寬度。由此，例如可以形成圖 3 所示的形狀的開口。藉由使用導電體 242a 不容易被蝕刻或不被蝕刻的條件，可以在保持兩個導電體 242a 間的寬度的同時增加絕緣體 216 等的開口寬度。作為各向同性蝕刻可以使用乾蝕刻法或濕蝕刻法。

【0363】各向異性蝕刻和各向同性蝕刻較佳為在用同

一蝕刻裝置中在不同條件下以不暴露於大氣的方式連續地進行。例如，在作為各向異性蝕刻和各向同性蝕刻的兩者使用乾蝕刻法的情況下，藉由改變電源功率、偏壓功率、蝕刻氣體的流量、蝕刻氣體種類及壓力等條件中的一個或多個，可以從各向異性蝕刻切換為各向同性蝕刻。

【0364】或者，也可以作為各向異性蝕刻和各向同性蝕刻使用不同的蝕刻方法。例如，可以作為各向異性蝕刻使用乾蝕刻法且作為各向同性蝕刻使用濕蝕刻法。

【0365】接著，依次形成成為導電體 240a1 的導電膜及成為導電體 240b1 的導電膜。成為導電體 240a1 的導電膜較佳為具有抑制水、氫等雜質的透過的功能。作為成為導電體 240a1 的導電膜，例如可以使用氮化鉭或氮化鈦。此外，作為成為導電體 240b1 的導電膜，例如可以使用鎢、鉬、銅。可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法形成這些導電膜。

【0366】接著，藉由進行 CMP 處理，去除成為導電體 240a1 的導電膜的一部分及成為導電體 240b1 的導電膜的一部分，使絕緣體 282 的頂面露出。其結果是，這些導電膜只殘留在上述開口中，由此可以形成其頂面平坦的導電體 240\_1 (導電體 240a1 及導電體 240b1) (圖 12B)。注意，有時由於該 CMP 處理而絕緣體 282 的頂面的一部分被去除。

【0367】由此，可以形成與導電體 209 及導電體 242a 電連接的導電體 240。

【0368】接著，利用光微影法對絕緣體 282、280、

275進行加工來形成到達導電體242b的開口(圖12C)。

【0369】在本製程設置的開口的寬度較佳為微細。例如，開口的寬度較佳為60nm以下、50nm以下、40nm以下、30nm以下、20nm以下或10nm以下且1nm以上或5nm以上。由此，為了形成微細的開口較佳為使用EUV光等短波長的光或電子束的光微影法。

【0370】在本製程設置的開口的縱橫比大，所以較佳為利用各向異性蝕刻對絕緣體282的一部分、絕緣體280的一部分、絕緣體275的一部分進行加工。尤其是，藉由乾蝕刻法的加工適合於微型加工所以是較佳的。此外，該加工也可以在各自不同的條件下進行。

【0371】接著，如圖13A所示，以嵌入該開口的方式形成電容器101a、101b。明確而言，形成導電體153、絕緣體154、導電體160a、導電體160b。下面，使用圖14及圖15詳細說明電容器101a、101b的形成製程。

【0372】首先，如圖14A所示，以覆蓋開口及絕緣體282的方式形成成為導電體153的導電膜153A。導電膜153A較佳為以與開口的側面及底面接觸的方式形成。由此，導電膜153A較佳為利用ALD法或CVD法等覆蓋性良好的沉積方法而形成。例如，較佳為利用ALD法或CVD法形成氮化鈦或氮化鋇。

【0373】接著，在導電膜153A上設置光阻遮罩152，利用光微影法對導電膜153A進行加工來形成導電體153(圖14B)。由此，導電體153的一部分在開口的內部形成，另

一部分與絕緣體 282 的頂面的一部分接觸。

【0374】此外，也可以利用 CMP 法對導電膜 153A 進行加工。在此情況下，也可以加工為導電體 153 的最上部與絕緣體 282 的頂面大致一致的形狀。

【0375】接著，在導電體 153 上形成成為絕緣體 154 的絕緣膜 154A (圖 14C)。絕緣膜 154A 較佳為以與在開口的內側設置的導電體 153 接觸的方式形成。由此，絕緣膜 154A 較佳為利用 ALD 法或 CVD 法等覆蓋性良好的沉積方法形成。絕緣膜 154A 較佳為使用上述 High-k 材料形成。

【0376】接著，依次形成成為導電體 160a 的導電膜 160A 及成為導電體 160b 的導電膜 160B (圖 14C)。導電膜 160A 較佳為以與在開口的內側設置的絕緣膜 154A 接觸的方式形成，導電膜 160B 較佳為以嵌入開口的方式形成。由此，導電膜 160A 及導電膜 160B 較佳為各自 ALD 法或 CVD 法等覆蓋性良好的沉積方法形成。例如，較佳的是，使用 ALD 法或 CVD 法作為導電膜 160A 沉積氮化鈦，利用 CVD 法作為導電膜 160B 沉積鎢。

【0377】注意，在利用 CVD 法沉積導電膜 160B 的情況下，如圖 14C 所示，導電膜 160B 的頂面的平均表面粗糙度有時變大。此時，如圖 15A 所示，較佳為利用 CMP 法使導電膜 160B 平坦化。

【0378】接著，利用光微影法對絕緣膜 154A、導電膜 160A 及導電膜 160B 進行加工而形成絕緣體 154、導電體 160a 及導電體 160b (圖 13A 及圖 15B)。此時，較佳為以絕緣

體 154、導電體 160a 及導電體 160b 覆蓋導電體 153 的側端部的方式形成。藉由採用這種結構，可以使導電體 160 與導電體 153 由絕緣體 154 分開，可以抑制導電體 160 與導電體 153 的短路。

【0379】注意，上述示出加工絕緣膜 154A 的例子，但是本發明不侷限於此。也可以具有只加工導電膜 160A 及導電膜 160B 且不加工絕緣膜 154A 的結構。由此，減少絕緣體 154 的加工製程數，可以實現生產性的提高。

【0380】由此，可以形成電容器 101a、101b。

【0381】然後，較佳為以嵌入鄰接的導電體 160 之間的方式設置絕緣體 284 (圖 13A 及圖 15B)。此外，較佳為利用 CMP 法使絕緣體 284 平坦化。

【0382】此外，如圖 4B 所示，在作為第二層 11\_2 中的電晶體 201a 的第二閘極電極設置導電體 160c、160d 的情況下，圖 15A 示出的製程之後進入圖 15C 示出的製程。明確而言，如圖 15C 所示，藉由加工導電膜 160A 形成導電體 160a、160c，藉由加工導電膜 160B 形成導電體 160b、160d。由此，可以形成被用作電容器 101a 的上部電極的導電體 160 (導電體 160a、160b) 以及被用作電晶體 201a 的第二閘極電極的導電體 161 (導電體 160c、160d)。

【0383】此外，在製造具有圖 5A 或圖 5B 所示的剖面結構的半導體裝置的情況下，圖 14A 示出的製程之後進入圖 16A 示出的製程。明確而言，如圖 16A 所示，以覆蓋開口及絕緣體 282 的方式形成導電膜 153A，在導電膜 153A 上

形成絕緣膜 154A，在絕緣膜 154A 上形成導電膜 160A，在導電膜 160A 上形成導電膜 160B。導電膜 160B 較佳為以嵌入開口的方式形成。關於可用於導電膜 153A、絕緣膜 154A、導電膜 160A 及導電膜 160B 的材料及形成方法，參照上述。

【0384】接著，如圖 16B 所示，較佳為利用 CMP 法使導電膜 160B 平坦化。

【0385】接著，利用光微影法對導電膜 153A、絕緣膜 154A、導電膜 160A 及導電膜 160B 進行加工。在製造具有圖 5A 所示的剖面結構的半導體裝置的情況下，形成導電體 153、絕緣體 154、導電體 160a 及導電體 160b。圖 16C 示出製造具有圖 5B 所示的剖面結構的半導體裝置的情況的例子。明確而言，如圖 16C 所示，藉由加工導電膜 153A 形成導電體 153a、153b，藉由加工絕緣膜 154A 形成絕緣體 154a、154b，藉由加工導電膜 160A 形成導電體 160a、160c，藉由加工導電膜 160B 形成導電體 160b、160d。由此，可以形成被用作電容器 101a 的下部電極的導電體 153a、被用作電容器 101a 的介電體的絕緣體 154a、被用作電容器 101a 的上部電極的導電體 160(導電體 160a、160b)。此外，可以形成被用作電晶體 201a 的第二閘極電極的導電體 161(導電體 160c、160d)。絕緣體 154b 及導電體 153b 殘留在導電體 161 的下方。

【0386】圖 16C 所示的加工製程中，在導電膜 153A、絕緣膜 154A、導電膜 160A 及導電膜 160B 可以使用同一遮

罩形成開口，可以減少遮罩數，所以是較佳的。

【0387】然後，藉由反復進行從上述絕緣體222的形成(圖10A)至電容器101a、101b的製造(圖13A)的製程，可以製造第二層11\_2以上的層。例如，圖13B示出結束第二層11\_2的絕緣體282的形成的地點的剖面結構例子。

【0388】藉由上述製程，可以製造圖1所示的半導體裝置。

【0389】本實施方式的半導體裝置包括OS電晶體。OS電晶體的關態電流小，因此可以實現功耗低的半導體裝置或記憶體裝置。另外，由於OS電晶體的頻率特性高，所以可以實現工作速度快的半導體裝置或記憶體裝置。此外，藉由使用OS電晶體，可以實現具有良好的電特性的半導體裝置、電晶體的電特性不均勻小的半導體裝置、通態電流大的半導體裝置、可靠性高的半導體裝置或記憶體裝置。

【0390】此外，本實施方式的半導體裝置中的導電體240具有多個導電體的疊層結構，與使用一個導電體的情況相比，可以提高製造良率。

【0391】本實施方式可以與其他實施方式適當地組合。此外，在本說明書中，一個實施方式中示出多個結構例子的情況下，可以適當地組合結構例子。

【0392】

實施方式2

在本實施方式中，參照圖18至圖24說明本發明的一個

實施方式的記憶體裝置。

【0393】在本實施方式中，說明將上述實施方式中說明的半導體裝置用作記憶單元的記憶體裝置的結構例子。在本實施方式中說明記憶體裝置的結構例子，其中包括層疊的記憶單元的層之間設置有包括具有放大保持在記憶單元中的資料電位並將其輸出的功能的功能電路的層。

【0394】

[記憶體裝置的結構例子]

圖18是示出本發明的一個實施方式的記憶體裝置的方塊圖。

【0395】圖18所示的記憶體裝置300包括驅動電路21及記憶體陣列20。記憶體陣列20包括具有多個記憶單元10及多個功能電路51的功能層50。

【0396】圖18示出記憶體陣列20包括配置為 $m$ 行 $n$ 列( $m$ 及 $n$ 為2以上的整數)的矩陣狀的多個記憶單元10的例子。此外，圖18示出按每個用作位元線的佈線BL設置功能電路51的例子。圖18示出功能層50包括對應 $n$ 個佈線BL設置的多個功能電路51的例子。

【0397】在圖18中，將第1行第1列記憶單元10表示為記憶單元10[1, 1]，將第 $m$ 行第 $n$ 列記憶單元10表示為記憶單元10[ $m$ ,  $n$ ]。另外，在本實施方式等中，有時記作“ $i$ 行”來表示任意行。另外，有時記作“ $j$ 列”來表示任意列。因此， $i$ 為1以上且 $m$ 以下的整數， $j$ 為1以上且 $n$ 以下的整數。另外，在本實施方式等中，將第 $i$ 行第 $j$ 列記憶單元10[ $i$ ,  $j$ ]

表示為記憶單元  $10[i, j]$ 。在本實施方式等中，當表示為“ $i+\alpha$ ”(α為正整數或負整數)時，“ $i+\alpha$ ”不小於1且不大於m。同樣，當表示為“ $j+\alpha$ ”時，“ $j+\alpha$ ”不小於1且不大於n。

【0398】另外，記憶體陣列20包括延伸在行方向上的m個佈線WL、延伸在行方向上的m個佈線PL以及延伸在列方向上的n個佈線BL。在本實施方式等中，將第一個(第1行)設置的佈線WL表示為佈線WL[1]，將第m個(第m行)設置的佈線WL表示為佈線WL[m]。同樣地，將第一個(第1行)設置的佈線PL表示為佈線PL[1]，將第m個(第m行)設置的佈線PL表示為佈線PL[m]。同樣地，將第一個(第1列)設置的佈線BL表示為佈線BL[1]，將第n個(第n列)設置的佈線BL表示為佈線BL[n]。

【0399】設置在第i行的多個記憶單元10與第i行佈線WL(佈線WL[i])和第i行佈線PL(佈線PL[i])電連接。設置在第j列的多個記憶單元10與第j列佈線BL(佈線BL[j])電連接。

【0400】記憶體陣列20可以使用DOSRAM(註冊商標)(Dynamic Oxide Semiconductor Random Access Memory)。DOSRAM是包括1T(電晶體)1C(電容器)型記憶單元的RAM，且是存取電晶體為OS電晶體的記憶體。OS電晶體在關閉狀態下流過源極和汲極之間的電流，即洩漏電流極小。在DOSRAM中，藉由關閉存取電晶體(使其處於非導通狀態)，可以長時間保持根據保持在電容器中的資料的電荷。因此，與使用在通道形成區域中包含矽的電晶體

(Si電晶體)構成的DRAM相比，DOSRAM的更新工作的頻率可以更低。其結果是，可以實現低功耗化。

【0401】如實施方式1等所說明那樣藉由層疊配置OS電晶體，可以層疊設置記憶單元10。例如在圖18所示的記憶體陣列20中可以層疊設置多個記憶體陣列20[1]至20[m]。藉由將記憶體陣列20所包括的記憶體陣列20[1]至20[m]配置在垂直於設置有驅動電路21的基板表面的方向上，可以提高記憶單元10的記憶體密度。此外，記憶體陣列20可以在垂直方向上反復使用相同的製程製造。記憶體裝置300可以降低記憶體陣列20的製造成本。

【0402】佈線BL被用作進行資料的寫入及讀出的位元線。佈線WL被用作控制用作開關的存取電晶體的開啟或關閉(導通狀態或非導通狀態)的字線。佈線PL除了作為連接到電容器的恆電位線的功能以外還具有向作為存取電晶體的OS電晶體的背閘極傳輸背閘極電位的功能。

【0403】記憶體陣列20[1]至20[m]分別包括的記憶單元10藉由佈線BL與功能電路51連接。佈線BL可以配置在垂直於設置有驅動電路21的基板表面的方向上。藉由將從記憶體陣列20[1]至20[m]所包括的記憶單元10延伸設置的佈線BL設置在垂直於基板表面的方向上，可以縮短記憶體陣列20與功能電路51之間的佈線的長度。因此，由於可以縮短連接於位元線的兩個電路之間的信號傳輸距離且可以大幅度降低位元線的電阻及寄生電容，所以可以降低功耗及信號延遲。此外，即使降低記憶單元10所包括的電容

器的電容也可以工作。

【0404】功能電路51具有放大保持在記憶單元10中的資料電位並將其藉由後述的佈線GBL(未圖示)輸出到驅動電路21所包括的感測放大器46的功能。藉由採用該結構，可以在讀出資料時將佈線BL的微小的電位差放大。佈線GBL與佈線BL同樣地可以配置在垂直於設置有驅動電路21的基板表面的方向上。藉由將從記憶體陣列20[1]至20[m]所包括的記憶單元10延伸設置的佈線BL及佈線GBL設置在垂直於基板表面的方向上，可以縮短功能電路51與感測放大器46之間的佈線的長度。因此，由於可以縮短連接於佈線GBL的兩個電路之間的信號傳輸距離且大幅度降低佈線GBL的電阻及寄生電容，所以可以降低功耗及信號延遲。

【0405】佈線BL以與記憶單元10所包括的電晶體的半導體層接觸的方式設置。或者佈線BL以與記憶單元10所包括的電晶體的半導體層的被用作源極或汲極的區域接觸的方式設置。或者佈線BL以與接觸於記憶單元10所包括的電晶體的半導體層的被用作源極或汲極的區域的導電體接觸的方式設置。也就是說，佈線BL可以說是使記憶體陣列20的各層中的記憶單元10所包括的電晶體的源極和汲極中的一個與功能電路51在垂直方向上電連接的佈線。

【0406】記憶體陣列20可以重疊設置在驅動電路21上。藉由重疊設置驅動電路21和記憶體陣列20，可以縮短驅動電路21和記憶體陣列20之間的信息傳輸距離。因此，驅動電路21和記憶體陣列20之間的電阻及寄生電容得到降

低，可以實現功耗及信號延遲的降低。另外，可以實現記憶體裝置300的小型化。

【0407】藉由與DOSRAM的記憶單元10所包括的電晶體同樣地由OS電晶體構成功能電路51，可以與記憶體陣列20[1]至20[m]同樣地將功能電路51自由地配置在使用Si電晶體的電路上等，由此可以容易地進行集成化。藉由採用由功能電路51放大信號的結構可以使後級的電路的感測放大器46等的電路小型化，從而可以實現記憶體裝置300的小型化。

【0408】驅動電路21包括PSW22(功率開關)、PSW23及週邊電路31。週邊電路31包括週邊電路41、控制電路32(Control Circuit)及電壓生成電路33。

【0409】在記憶體裝置300中，根據需要可以適當地取捨上述各電路、各信號及各電壓。或者，也可以增加其它電路或其它信號。信號BW、信號CE、信號GW、信號CLK、信號WAKE、信號ADDR、信號WDA、信號PON1、信號PON2為從外部輸入的信號，信號RDA為輸出到外部的信號。信號CLK為時脈信號。

【0410】此外，信號BW、信號CE及信號GW為控制信號。信號CE為晶片賦能信號，信號GW為全局寫入賦能信號，信號BW為位元組寫入賦能信號。信號ADDR為位址信號。信號WDA為寫入資料，信號RDA為讀出資料。信號PON1、PON2為電源閘控控制用信號。此外，信號PON1、信號PON2也可以在控制電路32中生成。

【0411】控制電路32為具有控制記憶體裝置300的整體工作的功能的邏輯電路。例如，控制電路對信號CE、信號GW及信號BW進行邏輯運算來決定記憶體裝置300的工作模式(例如，寫入工作、讀出工作)。或者，控制電路32生成週邊電路41的控制信號，以執行上述工作模式。

【0412】電壓生成電路33具有生成負電壓的功能。信號WAKE具有控制對電壓生成電路33輸入信號CLK的功能。例如，當信號WAKE被施加H位準的信號時，信號CLK被輸入到電壓生成電路33，電壓生成電路33生成負電壓。

【0413】週邊電路41是用來對記憶單元10進行資料的寫入及讀出的電路。此外，週邊電路41是輸出用來控制功能電路51的各種信號的電路。週邊電路41包括行解碼器42(Row Decoder)、列解碼器44(Column Decoder)、行驅動器43(Row Driver)、列驅動器45(Column Driver)、輸入電路47(Input Cir.)、輸出電路48(Output Cir.)及感測放大器46(Sense Amplifier)。

【0414】行解碼器42及列解碼器44具有對信號ADDR進行解碼的功能。行解碼器42是用來指定要訪問行的電路，列解碼器44是用來指定要訪問列的電路。行驅動器43具有選擇由行解碼器42指定的佈線WL的功能。列驅動器45具有如下功能：將資料寫入記憶單元10的功能；從記憶單元10讀出資料的功能；保持所讀出的資料的功能等。

【0415】輸入電路47具有保持信號WDA的功能。輸入

電路 47 中保持的資料輸出到列驅動器 45。輸入電路 47 的輸出資料是寫入記憶單元 10 的資料 (Din)。由列驅動器 45 從記憶單元 10 讀出的資料 (Dout) 被輸出至輸出電路 48。輸出電路 48 具有保持 Dout 的功能。此外，輸出電路 48 具有將 Dout 輸出到記憶體裝置 300 的外部的功能。從輸出電路 48 輸出的資料為信號 RDA。

【0416】PSW22 具有控制向週邊電路 31 供給 VDD 的功能。PSW23 具有控制向行驅動器 43 供給 VHM 的功能。在此，記憶體裝置 300 的高電源電壓為 VDD，低電源電壓為 GND (接地電位)。此外，VHM 是用來使字線成為高位準的高電源電壓，其高於 VDD。利用信號 PON1 控制 PSW22 的開/關，利用信號 PON2 控制 PSW23 的開/關。在圖 18 中，週邊電路 31 中被供應 VDD 的電源域的個數為 1，但是也可以為多個。此時，可以對各電源域設置功率開關。

【0417】記憶體陣列 20 包括記憶體陣列 20[1] 至 20[m] (m 為 2 以上的整數) 及功能層 50，可以在驅動電路 21 上重疊設置多個層的記憶體陣列 20。藉由重疊設置多個層的記憶體陣列 20，可以提高記憶單元 10 的記憶體密度。圖 19A 是在驅動電路 21 上重疊設置有功能層 50 及 5 層 (m=5) 的記憶體陣列 20[1] 至 20[5] 的記憶體裝置 300 的立體圖。

【0418】在圖 19A 中，將設置在第一層中的記憶體陣列 20 記作記憶體陣列 20[1]，將設置在第二層中的記憶體陣列 20 記作記憶體陣列 20[2]，將設置在第五層中的記憶體陣列 20 記作記憶體陣列 20[5]。圖 19A 示出延伸設置在 X

方向上的佈線 WL 及佈線 PL 以及延伸設置在 Z 方向(垂直於設置有驅動電路的基板表面的方向)上的佈線 BL。注意，為了使圖式更易懂，省略記憶體陣列 20 的每一個所包括的佈線 WL 及佈線 PL 的一部分的記載。

【0419】圖 19B 示出說明圖 19A 所示的連接於佈線 BL 的功能電路 51 及連接於佈線 BL 的記憶體陣列 20[1] 至 20[5] 所包括的記憶單元 10 的結構例子的示意圖。此外，圖 19B 示出設置在功能電路 51 與驅動電路 21 之間的佈線 GBL。另外，將一個佈線 BL 與多個記憶單元(記憶單元 10)電連接的結構也稱為“記憶體串”。注意，在圖式中，為了提高易見度，有時用粗線示出佈線 GBL。

【0420】圖 19B 示出連接於佈線 BL 的記憶單元 10 的電路結構的一個例子。記憶單元 10 包括電晶體 11 及電容器 12。關於電晶體 11、電容器 12 及各佈線(佈線 BL 及佈線 WL 等)，例如有時將佈線 BL[1] 及佈線 WL[1] 稱為佈線 BL 及佈線 WL 等。關於對應該電路結構的記憶元件 10 的剖面結構例子，可以參照實施方式 1。

【0421】電晶體 11 對應於實施方式 1 所示的電晶體 201a 或電晶體 201b。電容器 12 對應於實施方式 1 所示的電容器 101a 或電容器 101b。佈線 BL 對應於實施方式 1 所示的導電體 240。

【0422】如實施方式 1 所說明，本發明的一個實施方式的半導體裝置中，佈線 BL(導電體 240)直接接觸於包括被用作電晶體 11(電晶體 201a)的源極電極和汲極電極中的

一個的區域的導電體 242a 的頂面、側面及底面中的至少一個。由此，不需要別途設置連接用的電極，所以可以縮小記憶體陣列 20 的佔有面積。此外，提高記憶元件 10 的積體度而可以增大記憶體裝置 300 的記憶容量。

【0423】在記憶單元 10 中，電晶體 11 的源極和汲極中的一個與佈線 BL 連接。電晶體 11 的源極和汲極中的另一個與電容器 12 的一個電極連接。電容器 12 的另一個電極與佈線 PL 連接。電晶體 11 的閘極與佈線 WL 連接。電晶體 11 的背閘極與佈線 PL 連接。

【0424】佈線 PL 是供應用來儲存電容器 12 的電位的恆電位的佈線。此外，佈線 PL 也可以是供應用來控制電晶體 11 的臨界電壓的恆電位的佈線。例如，藉由對佈線 PL 供應 GND (接地電位)，可以電絕緣層疊的記憶單元 10 間。此外，藉由兼具有電晶體 11 的被閘極電極的功能，可以充分地降低關閉電流。

【0425】圖 19B 所示的佈線 GBL 以驅動電路 21 與功能層 50 之間電連接的方式設置。圖 20A 示出以功能電路 51 以及記憶體陣列 20[1] 至 20[m] 為重複單位 70 的記憶體裝置 300 的示意圖。雖然圖 20A 中示出一個佈線 GBL，但也可以根據功能層 50 中的功能電路 51 的數量適當地設置佈線 GBL。

【0426】佈線 GBL 以與功能電路 51 所包括的電晶體的半導體層接觸的方式設置。或者，佈線 GBL 以與功能電路 51 所包括的電晶體的半導體層的被用作源極或汲極的區域接觸的方式設置。或者，佈線 GBL 以與接觸於功能電路 51

所包括的電晶體的半導體層的被用作源極或汲極的區域的導電體接觸的方式設置。也就是說，佈線 GBL 可以說是使功能層 50 的功能電路 51 所包括的電晶體的源極和汲極中的一個與驅動電路 21 在垂直方向上電連接的佈線。

【0427】此外，也可以具有層疊包括功能電路 51 及記憶體陣列 20[1] 至 20[m] 的重複單位 70 的結構。本發明的一個實施方式的記憶體裝置 300A 如圖 20B 所示可以包括重複單位 70[1] 至 70[p] (p 為 2 以上的整數)。佈線 GBL 與重複單位 70 所包括的功能層 50 連接。根據功能電路 51 的個數適當地設置佈線 GBL 即可。

【0428】在本發明的一個實施方式中，在層疊設置 OS 電晶體的同時將被用作位元線的佈線配置在垂直於設置有驅動電路 21 的基板表面的方向上。藉由在基板表面的垂直方向上設置從記憶體陣列 20 延伸設置的被用作位元線的佈線，可以縮短記憶體陣列 20 與驅動電路 21 之間的佈線的長度。因此，可以大幅度降低位元線的寄生電容。

【0429】本發明的一個實施方式在設置有記憶體陣列 20 的層中包括功能層 50，該功能層 50 包括具有放大保持在記憶單元 10 中的資料電位並將其輸出的功能的功能電路 51。藉由採用該結構，可以將讀出資料時用作位元線的佈線 BL 的微小的電位差放大而可以驅動驅動電路 21 所包括的感測放大器 46。由於可以使感測放大器等的電路小型化，所以可以實現記憶體裝置 300 的小型化。此外，即使降低記憶單元 10 所包括的電容器 12 的電容也可以進行工

作。

**【 0430 】**

[記憶體陣列 20 及功能電路 51 的結構例子]

參照圖 21 說明圖 18 至圖 20 所說明的功能電路 51 的結構例子以及記憶體陣列 20 及驅動電路 21 所包括的感測放大器 46 的結構例子。圖 21 示出驅動電路 21，該驅動電路 21 連接於佈線 GBL(佈線 GBL\_A、佈線 GBL\_B)，該佈線 GBL(佈線 GBL\_A、佈線 GBL\_B) 連接於功能電路 51(功能電路 51\_A、功能電路 51\_B)，且該功能電路 51(功能電路 51\_A、功能電路 51\_B) 連接於與不同的佈線 BL(佈線 BL\_A、佈線 BL\_B) 連接的記憶單元 10(記憶單元 10\_A、記憶單元 10\_B)。作為圖 21 所示的驅動電路 21，除了感測放大器 46 以外還示出預充電電路 71\_A、預充電電路 71\_B、開關電路 72\_A、開關電路 72\_B 及寫入讀出電路 73。

**【 0431 】** 作為功能電路 51\_A、51\_B 示出電晶體 52\_a、52\_b、53\_a、53\_b、54\_a、54\_b、55\_a、55\_b。圖 21 所示的電晶體 52\_a、52\_b、53\_a、53\_b、54\_a、54\_b、55\_a、55\_b 與記憶單元 10 所包括的電晶體 11 同樣地是 OS 電晶體。包括功能電路 51 的功能層 50 可以與記憶體陣列 20[1] 至 20[m] 同樣地層疊設置。

**【 0432 】** 佈線 BL\_A 及 BL\_B 分別與電晶體 52\_a、52\_b 的閘極連接。佈線 GBL\_A 及 GBL\_B 分別與電晶體 53\_a、53\_b、54\_a、54\_b 的源極和汲極中的一個連接。與佈線 BL\_A 及 BL\_B 同樣地，佈線 GBL\_A 及 GBL\_B 設置在垂直方

向上並與驅動電路 21 所包括的電晶體連接。如圖 21 所示，電晶體 53\_a、53\_b、54\_a、54\_b、55\_a、55\_b 的閘極被供應選擇信號 MUX、控制信號 WE 或控制信號 RE。

【0433】構成圖 21 所示的感測放大器 46、預充電電路 71\_A 及預充電電路 71\_B 的電晶體 81\_1 至 81\_6 及 82\_1 至 82\_4 由 Si 電晶體構成。構成開關電路 72\_A 及開關電路 72\_B 的開關 83\_A 至 83\_D 也可以由 Si 電晶體構成。電晶體 53\_a、53\_b、54\_a、54\_b 的源極和汲極中的一個與構成預充電電路 71\_A、預充電電路 71\_B、感測放大器 46、開關電路 72\_A 的電晶體或開關連接。

【0434】預充電電路 71\_A 包括 n 通道型的電晶體 81\_1 至 81\_3。預充電電路 71\_A 是根據供應給預充電線 PCL1 的預充電信號將佈線 BL\_A 及佈線 BL\_B 預充電至相當於高電源電位 (VDD) 與第電源電位 (VSS) 之間的電位  $VDD/2$  的中間電位 VPC 的電路。

【0435】預充電電路 71\_B 包括 n 通道型的電晶體 81\_4 至 81\_6。預充電電路 71\_B 是根據供應給預充電線 PCL2 的預充電信號將佈線 GBL\_A 及佈線 GBL\_B 預充電至相當於 VDD 與 VSS 之間的電位  $VDD/2$  的中間電位 VPC 的電路。

【0436】感測放大器 46 包括連接於佈線 VHH 或佈線 VLL 的 p 通道型的電晶體 82\_1、82\_2 及 n 通道型的電晶體 82\_3、82\_4。佈線 VHH 或佈線 VLL 是具有供應 VDD 或 VSS 的功能的佈線。電晶體 82\_1 至 82\_4 是構成反相器環路的電晶體。藉由選擇記憶單元 10\_A、10\_B 而佈線 BL\_A 及佈線

BL\_B被預充電的電位變化，根據該變化將佈線GBL\_A及佈線GBL\_B的電位設定為VDD或VSS。佈線GBL\_A及佈線GBL\_B的電位可以經過開關83\_C及開關83\_D及寫入讀出電路73輸出到外部。佈線BL\_A及佈線BL\_B以及佈線GBL\_A及佈線GBL\_B相當於位元線對。寫入讀出電路73根據信號EN\_data被控制資料信號的寫入。

【0437】開關電路72\_A是控制感測放大器46與佈線GBL\_A及佈線GBL\_B之間的導通狀態的電路。開關電路72\_A藉由控制切換信號CSEL1可以切換開啟或關閉。在開關83\_A及83\_B為n通道電晶體的情況下，在切換信號CSEL1為高位準時開啟，而在切換信號CSEL1為低位準時關閉。開關電路72\_B是控制寫入讀出電路73與連接於感測放大器46的位元線對之間的導通狀態的電路。開關電路72\_B藉由控制切換信號CSEL2可以切換開啟或關閉。開關83\_C及83\_D可以與開關83\_A及83\_B同樣。

【0438】如圖21所示，記憶體裝置300可以具有藉由設置在最短距離的垂直方向上的佈線BL及佈線GBL使記憶單元10、功能電路51與感測放大器46連接的結構。包括構成功能電路51的電晶體的功能層50增加，但藉由降低佈線BL的負載，可以縮短寫入時間且可以易於讀出資料。

【0439】如圖21所示，功能電路51\_A、51\_B所包括的各電晶體根據控制信號WE、RE及選擇信號MUX控制。各電晶體可以根據控制信號及選擇信號將佈線BL的電位經過佈線GBL輸出到驅動電路21。功能電路51\_A、51\_B可

以被用作由 OS 電晶體構成的感測放大器。藉由採用該結構，可以在讀出時將佈線 BL 的微小的電位差放大，可以驅動使用 Si 電晶體的感測放大器 46。

#### 【0440】

[記憶單元 20、功能電路 51 及感測放大器 46 的工作例子]

另外，在圖 22 中示出說明圖 21 所示的電路圖的工作的時序圖。在圖 22 所示的時序圖中，期間 T11 對應於寫入工作的期間、期間 T12 對應於佈線 BL 的預充電工作的期間、期間 T13 對應於佈線 GBL 的預充電工作的期間、期間 T14 對應於電荷共用 (charge sharing) 工作的期間、期間 T15 對應於讀出待機工作的期間、期間 T16 對應於讀出工作的期間。

【0441】在期間 T11 中，使連接於要寫入資料信號的記憶單元 10 所包括的電晶體 11 的閘極的佈線 WL 的電位成為高位準。此時，使控制信號 WE 及信號 EN\_data 成為高位準，並且將資料信號經過佈線 GBL 及佈線 BL 寫入到記憶單元。

【0442】在期間 T12 中，為了對佈線 BL 進行預充電，在控制信號 WE 成為高位準的狀態下，使預充電線 PCL1 成為高位準。佈線 BL 預充電至預充電電位。在期間 T12 中，較佳為使對感測放大器 46 供應電源電壓的佈線 VHH 或佈線 VLL 都成為 VDD/2 而抑制起因於貫通電流的功耗。

【0443】在期間 T13 中，為了對佈線 GBL 進行預充電，使預充電線 PCL2 成為高位準。佈線 GBL 預充電至預充

電電位。在期間 T13 中，藉由使佈線 VHH 及佈線 VLL 的電位都成為 VDD，可以對負載大的佈線 GBL 短時間內進行預充電。

【0444】在期間 T14 中，為了進行使保持在記憶單元 10 中的電荷及對佈線 BL 預充電了的電荷平衡化的電荷共用，使佈線 WL 的電位成為高位準。在期間 T14 中，較佳為使對感測放大器 46 供應電源電壓的佈線 VHH 或佈線 VLL 的電位都成為 VDD/2 而抑制起因於貫通電流的功耗。

【0445】在期間 T15 中，使控制信號 RE 及選擇信號 MUX 成為高位準。根據佈線 BL 的電位，電流流過電晶體 52，並且根據該電流量，佈線 GBL 的電位變動。藉由使切換信號 CSEL1 成為低位準來防止佈線 GBL 的電位的變動不受到感測放大器 46 的影響。佈線 VHH 或佈線 VLL 與期間 T14 中的佈線 VHH 或佈線 VLL 同樣。

【0446】在期間 T16 中，藉由使切換信號 CSEL1 成為高位準，利用連接於感測放大器 46 的位元線對將佈線 GBL 的電位的變動放大，來讀出寫入到記憶單元的資料信號。

#### 【0447】

[功能電路的結構例子]

接著，參照圖 23A、圖 23B、圖 24A 及圖 24B 說明由功能層 50 所包括的 OS 電晶體構成的被用作感測放大器的功能電路 51 的具體結構例子。

【0448】圖 23A 示出相當於圖 21 所示的功能電路 51\_A 或 51\_B 的功能電路 51A。圖 23A 所示的功能電路 51A 包括電

晶體 52 至 55。電晶體 52 至 55 可以分別由 OS 電晶體構成並為 n 通道型的電晶體。

【0449】電晶體 52 是在從記憶單元 10 讀出資料信號的期間將佈線 GBL 放大至對應於佈線 BL 的電位的構成源極隨耦的電晶體。電晶體 53 是選擇信號 MUX 輸入到閘極且根據該選擇信號 MUX 控制源極和汲極之間的開啟或關閉的被用作開關的電晶體。電晶體 54 是該控制信號 WE 輸入到閘極且根據控制信號 WE 控制源極和汲極之間的開啟或關閉的被用作開關的電晶體。電晶體 55 是該控制信號 RE 輸入到閘極且根據控制信號 RE 控制源極和汲極之間的開啟或關閉的被用作開關的電晶體。另外，作為一個例子，對電晶體 55 的源極一側施加作為固定電位的接地電位 GND。

【0450】圖 23A 所示的功能電路 51A 的結構可以使用圖 23B 及圖 24A、圖 24B 所示的變形例子。圖 23B 的功能電路 51B 具有電晶體 54 的源極和汲極中的一個與電晶體 52 的源極和汲極中的一個連接而不與佈線 GBL 連接的結構。在圖 24A 的功能電路 51C 的結構中，驅動電路 21 具有電晶體 53 的功能，由此省略電晶體 53。在圖 24B 的功能電路 51D 的結構中省略電晶體 55。

【0451】在本發明的一個實施方式的半導體裝置中，作為設置在記憶體陣列 20 的電晶體使用關態電流極小的 OS 電晶體。OS 電晶體可以層疊地設置設有包括 Si 電晶體的驅動電路 21 的矽基板上。因此，可以向垂直方向上反復利用相同的製程而製造，從而能夠實現製造成本的降低。

另外，在本發明的一個實施方式中，構成記憶單元10的電晶體也可以不向平面方向而向垂直方向上配置來提高記憶體密度，因此能夠實現記憶體裝置的小型化。

【0452】另外，本發明的一個實施方式具備包括功能電路51的功能層50。在功能電路中，將佈線BL連接於電晶體52的閘極，因此電晶體52被用作放大器。藉由採用該結構，可以在讀出時將佈線BL的微小的電位差放大，而驅動使用Si電晶體的感測放大器46。可以使使用Si電晶體的感測放大器46等的電路小型化，因而可以實現記憶體裝置的小型化。另外，即使降低記憶單元10所包括的電容器12的電容也可以工作。

【0453】本實施方式可以與其他實施方式適當地組合。

### 【0454】

#### 實施方式3

在本實施方式中，參照圖25說明安裝有本發明的一個實施方式的記憶體裝置的晶片的一個例子。

【0455】在圖25A及圖25B所示的晶片1200上安裝有多個電路(系統)。如此，在一個晶片上集成有多個電路(系統)的技術有時被稱為系統晶片(System on Chip: SoC)。

【0456】如圖25A所示，晶片1200包括CPU1211、GPU1212、一個或多個類比運算部1213、一個或多個記憶體控制器1214、一個或多個介面1215、一個或多個網路電路1216等。

【0457】在晶片1200上設置有凸塊(未圖示)，該凸塊如圖25B所示那樣與封裝基板1201的第一面連接。此外，在封裝基板1201的第一面的背面設置有多個凸塊1202，該凸塊1202與主機板1203連接。

【0458】此外，也可以在主機板1203上設置有DRAM1221、快閃記憶體1222等的記憶體裝置。例如，可以將上述實施方式所示的DOSRAM用於DRAM1221。由此，可以使DRAM1221低功耗化、高速化及大容量化。

【0459】CPU1211較佳為具有多個CPU核。此外，GPU1212較佳為具有多個GPU核。此外，CPU1211和GPU1212可以分別具有暫時儲存資料的記憶體。或者，也可以在晶片1200上設置有CPU1211和GPU1212共同使用的記憶體。可以將上述DOSRAM用於該記憶體。此外，GPU1212適合用於多個資料的平行計算，其可以用於影像處理或積和運算。藉由作為GPU1212設置使用OS電晶體的影像處理電路或積和運算電路，可以以低功耗執行影像處理及積和運算。

【0460】此外，因為在同一晶片上設置有CPU1211和GPU1212，所以可以縮短CPU1211和GPU1212之間的佈線，並可以以高速進行從CPU1211到GPU1212的資料傳送、CPU1211及GPU1212所具有的記憶體之間的資料傳送以及GPU1212中的運算結束之後的從GPU1212到CPU1211的運算結果傳送。

【0461】類比運算部1213具有A/D(類比/數位)轉換電

路和D/A(數位/類比)轉換電路中的一者或兩者。此外，也可以在類比運算部1213中設置上述積和運算電路。

【0462】記憶體控制器1214具有被用作DRAM1221的控制器的電路及被用作快閃記憶體1222的介面的電路。

【0463】介面1215具有與如顯示裝置、揚聲器、麥克風、影像拍攝裝置、控制器等外部連接設備之間的介面電路。控制器包括滑鼠、鍵盤、遊戲機用控制器等。作為上述介面，可以使用USB(Universal Serial Bus：通用序列匯流排)、HDMI(High-Definition Multimedia Interface：高清晰度多媒體介面)(註冊商標)等。

【0464】網路電路1216具有LAN(Local Area Network：區域網路)等網路電路。此外，還可以具有網路安全用電路。

【0465】上述電路(系統)可以經同一製程形成在晶片1200上。由此，即使晶片1200所需的電路個數增多，也不需要增加製程，可以以低成本製造晶片1200。

【0466】可以將包括設置有具有GPU1212的晶片1200的封裝基板1201、DRAM1221以及快閃記憶體1222的主機板1203稱為GPU模組1204。

【0467】GPU模組1204因具有使用SoC技術的晶片1200而可以減少其尺寸。此外，GPU模組1204因具有高影像處理能力而適合用於智慧手機、平板終端、膝上型個人電腦、可攜式(可攜帶)遊戲機等可攜式電子裝置。此外，藉由利用使用GPU1212的積和運算電路，可以執行深度神

經網路 (DNN)、卷積神經網路 (CNN)、遞迴神經網路 (RNN)、自編碼器、深度波茲曼機 (DBM)、深度置信網路 (DBN)等方法，由此可以將晶片 1200用作 AI晶片，或者，可以將 GPU模組 1204用作 AI系統模組。

**【0468】** 本實施方式可以與其他實施方式適當地組合。

**【0469】**

實施方式4

本實施方式示出安裝有本發明的一個實施方式的記憶體裝置的電子構件的一個例子。

**【0470】**

[電子構件]

圖 26A 示出電子構件 700 及安裝有電子構件 700 的基板 (電路板 704) 的立體圖。圖 26A 所示的電子構件 700 在模子 711 內包括本發明的一個實施方式的記憶體裝置的記憶體裝置 300。在圖 26A 中，省略電子構件 700 的一部分記載以表示其內部。電子構件 700 在模子 711 的外側包括連接盤 (land) 712。連接盤 712 電連接於電極焊盤 713，電極焊盤 713 藉由引線 714 電連接於記憶體裝置 300。電子構件 700 例如安裝於印刷電路板 702 上。藉由組合多個該電子構件並使其分別在印刷電路板 702 上電連接，由此完成電路板 704。

**【0471】** 如上述實施方式所示，記憶體裝置 300 包括驅動電路 21 及記憶體陣列 20。

【0472】圖26B示出電子構件730的立體圖。電子構件730是SiP(System in Package：系統封裝)或MCM(Multi Chip Module：多晶片模組)的一個例子。在電子構件730中，封裝基板732(印刷電路板)上設置有插板(interposer)731，插板731上設置有半導體裝置735及多個記憶體裝置300。

【0473】電子構件730示出將記憶體裝置300用作高頻寬記憶體(HBM：High Bandwidth Memory)的例子。此外，半導體裝置735可以使用CPU、GPU、FPGA等積體電路(半導體裝置)。

【0474】封裝基板732例如可以使用陶瓷基板、塑膠基板或玻璃環氧基板。插板731例如可以使用矽插板或樹脂插板。

【0475】插板731具有多個佈線並具有電連接端子間距不同的多個積體電路的功能。多個佈線由單層或多層構成。此外，插板731具有將設置於插板731上的積體電路與設置於封裝基板732上的電極電連接的功能。因此，有時將插板也稱為“重佈線基板(rewiring substrate)”或“中間基板”。此外，有時在插板731中設置貫通電極，藉由該貫通電極使積體電路與封裝基板732電連接。此外，在使用矽插板的情況下，也可以使用TSV(Through Silicon Via：矽通孔)作為貫通電極。

【0476】作為插板731較佳為使用矽插板。由於矽插板不需要設置主動元件，所以可以以比積體電路更低的成

本製造。另一方面，矽插板的佈線形成可以在半導體製程中進行，因此很容易形成在使用樹脂插板時很難形成的微細佈線。

【0477】在HBM中，為了實現寬記憶體頻寬需要連接許多佈線。為此，要求安裝HBM的插板上能夠高密度地形成微細的佈線。因此，作為安裝HBM的插板較佳為使用矽插板。

【0478】此外，在使用矽插板的SiP或MCM等中，不容易發生因積體電路與插板間的膨脹係數的不同而導致的可靠性下降。此外，由於矽插板的表面平坦性高，所以設置在矽插板上的積體電路與矽插板間不容易產生連接不良。尤其較佳為將矽插板用於2.5D封裝(2.5D安裝)，其中多個積體電路橫著排放並配置於插板上。

【0479】此外，也可以與電子構件730重疊地設置散熱器(散熱板)。在設置散熱器的情況下，較佳為使設置於插板731上的積體電路的高度一致。例如，在本實施方式所示的電子構件730中，較佳為使記憶體裝置300與半導體裝置735的高度一致。

【0480】為了將電子構件730安裝在其他的基板上，也可以在封裝基板732的底部設置電極733。圖26B示出用焊球形成電極733的例子。藉由在封裝基板732的底部以矩陣狀設置焊球，可以實現BGA(Ball Grid Array：球柵陣列)的安裝。此外，電極733也可以使用導電針形成。藉由在封裝基板732的底部以矩陣狀設置導電針，可以實現PGA

(Pin Grid Array：針柵陣列)的安裝。

【0481】電子構件730可以藉由各種安裝方法安裝在其他基板上，而不侷限於BGA及PGA。作為安裝方法，例如，可以舉出SPGA(Staggered Pin Grid Array：交錯針柵陣列)、LGA(Land Grid Array：地柵陣列)、QFP(Quad Flat Package：四面扁平封裝)、QFJ(Quad Flat J-leaded package：四側J形引腳扁平封裝)及QFN(Quad Flat Non-leaded package：四側無引腳扁平封裝)等。

【0482】本實施方式可以與其他實施方式適當地組合。

#### 【0483】

#### 實施方式5

在本實施方式中說明本發明的一個實施方式的記憶體裝置的應用例子。

【0484】本發明的一個實施方式的記憶體裝置可以應用於各種電子裝置(例如，資訊終端、電腦、智慧手機、電子書閱讀器終端、數位相機、攝影機、錄影再現裝置、導航系統及遊戲機)的記憶體裝置。此外，可以用於影像感測器、IoT(Internet of Things：物聯網)以及醫療設備等。由此，可以實現電子裝置的節電化。這裡，電腦包括平板電腦、筆記型電腦、桌上型電腦以及大型電腦諸如何伺服器系統。

【0485】對具有根據本發明的一個實施方式的記憶體裝置的一個例子進行說明。圖27A至圖27J、圖28A至圖

28E示出上述實施方式所說明的具有該記憶體裝置的電子構件700或電子構件730包括在各電子裝置中的情況。

**【0486】**

[行動電話機]

圖27A所示的資訊終端5500是資訊終端之一的行動電話機(智慧手機)。資訊終端5500包括外殼5510及顯示部5511，作為輸入介面在顯示部5511中具備觸控面板，並且在外殼5510上設置有按鈕。

**【0487】**藉由將本發明的一個實施方式的記憶體裝置應用於資訊終端5500，可以儲存在執行程式時暫時生成的文檔(例如，使用網頁瀏覽器時的緩存等)。

**【0488】**

[可穿戴終端]

圖27B示出可穿戴終端的一個例子的資訊終端5900。資訊終端5900包括外殼5901、顯示部5902、操作開關5903、操作開關5904、錶帶5905等。

**【0489】**與上述資訊終端5500同樣，藉由將本發明的一個實施方式的記憶體裝置應用於可穿戴終端，可以儲存在執行程式時暫時生成的文檔。

**【0490】**

[資訊終端]

圖27C示出桌上型資訊終端5300。桌上型資訊終端5300包括資訊終端主體5301、顯示部5302及鍵盤5303。

**【0491】**與上述資訊終端5500同樣，藉由將本發明的

一個實施方式的記憶體裝置應用於桌上型資訊終端 5300，可以儲存在執行程式時暫時生成的文檔。

**【0492】** 在圖 27A 至圖 27C 作為電子裝置說明智慧手機、可穿戴終端及桌上型資訊終端，但是作為其他的資訊終端，例如可以舉出 PDA (Personal Digital Assistant：個人數位助理)、筆記本式資訊終端、工作站等。

**【0493】**

[電器產品]

圖 27D 示出電器產品的一個例子的電冷藏冷凍箱 5800。電冷藏冷凍箱 5800 包括外殼 5801、冷藏室門 5802 及冷凍室門 5803 等。例如，電冷藏冷凍箱 5800 是對應於 IoT (Internet of Things：物聯網) 的電冷藏冷凍箱。

**【0494】** 可以將本發明的一個實施方式的記憶體裝置應用於電冷藏冷凍箱 5800。藉由利用互聯網等，可以使電冷藏冷凍箱 5800 對資訊終端等發送儲存在電冷藏冷凍箱 5800 中的食品或該食品的消费期限等的資訊。電冷藏冷凍箱 5800 可以在本發明的一個實施方式的記憶體裝置中儲存在發送該資訊時暫時生成的文檔。

**【0495】** 在圖 27D 中，作為電器產品說明電冷藏冷凍箱，但是作為其他電器產品，例如可以舉出吸塵器、微波爐、電烤箱、電鍋、熱水器、IH 炊具、飲水機、包括空氣調節器的冷暖空調機、洗衣機、乾衣機及視聽設備。

**【0496】**

[遊戲機]

圖 27E 示出遊戲機的一個例子的可攜式遊戲機 5200。可攜式遊戲機 5200 包括外殼 5201、顯示部 5202、按鈕 5203 等。

【0497】此外，圖 27F 示出遊戲機的一個例子的固定式遊戲機 7500。固定式遊戲機 7500 可以說特別是家庭用固定式遊戲機。固定式遊戲機 7500 包括主體 7520 及控制器 7522。主體 7520 可以以無線方式或有線方式與控制器 7522 連接。此外，雖然在圖 27F 中未圖示，但是控制器 7522 可以包括顯示遊戲的影像的顯示部、作為按鈕以外的輸入介面的觸控面板及控制杆、旋轉式抓手或滑動式抓手等。此外，控制器 7522 不侷限於圖 27F 所示的形狀，也可以根據遊戲的種類改變控制器 7522 的形狀。例如，在 FPS (First Person Shooter, 第一人稱射擊類遊戲) 等射擊遊戲中，作為扳機使用按鈕，可以使用模仿槍的形狀的控制器。此外，例如，在音樂遊戲等中，可以使用模仿樂器、音樂器件等的形狀的控制器。再者，固定式遊戲機也可以設置有照相機、深度感測器及麥克風中的一個或多個，由遊戲玩者的手勢或聲音等操作以代替使用控制器操作。

【0498】此外，上述遊戲機的影像可以由電視機、個人電腦用顯示器、遊戲用顯示器或頭戴顯示器等顯示裝置輸出。

【0499】藉由將本發明的一個實施方式的記憶體裝置用於可攜式遊戲機 5200 或固定式遊戲機 7500，可以降低功耗。此外，借助於低功耗化，可以降低來自電路的發熱，

由此可以減少因發熱而給電路本身、週邊電路以及模組帶來的負面影響。

**【0500】** 並且，藉由將本發明的一個實施方式的記憶體裝置用於可攜式遊戲機5200或固定式遊戲機7500，可以儲存在執行遊戲時暫時生成的運算用文檔。

**【0501】** 在圖27E及圖27F中，作為遊戲機的一個例子說明可攜式遊戲機及家庭用固定式遊戲機，但是本發明的一個實施方式的電子裝置不侷限於此。作為其他的遊戲機，例如可以舉出設置在娛樂設施(遊戲中心，遊樂園等)的街機遊戲機以及設置在體育設施的擊球練習用投球機。

#### **【0502】**

[移動體]

本發明的一個實施方式的記憶體裝置可以應用於作為移動體的汽車及汽車的駕駛座位附近。

**【0503】** 圖27G示出作為移動體的一個例子的汽車5700。

**【0504】** 汽車5700的駕駛座位附近設置有能夠顯示速度表、轉速計、行駛距離、加油量、排檔狀態、空調的設定等以提供各種資訊的儀表板。此外，駕駛座位附近也可以設置有表示上述資訊的記憶體裝置。

**【0505】** 尤其是，藉由將由設置在汽車5700上的攝像裝置(未圖示)拍攝的影像顯示在上述顯示裝置上，可以補充被支柱等遮擋的視野、駕駛座位的死角等，從而可以提高安全性。也就是說，藉由顯示設定在汽車5700外側的拍

攝裝置所拍攝的影像，可以補充視野來避免死角，以提高安全性。

**【0506】** 本發明的一個實施方式的記憶體裝置能夠暫時儲存資料，例如，可以將該記憶體裝置應用於汽車5700的自動駕駛系統、進行導航、危險預測等的系統等來暫時儲存必要資料。此外，也可以儲存安裝在汽車5700上的行車記錄儀的錄影。

**【0507】** 雖然在上述例子中作為移動體的一個例子說明汽車，但是移動體不侷限於汽車。例如，作為移動體，也可以舉出電車、單軌鐵路、船舶、飛行物(直升機、無人駕駛飛機(無人機)、飛機、火箭)。

#### **【0508】**

[照相機]

本發明的一個實施方式的記憶體裝置可以應用於照相機。

**【0509】** 圖27H示出攝像裝置的一個例子的數位相機6240。數位相機6240包括外殼6241、顯示部6242、操作開關6243、快門按鈕6244等，並且安裝有可裝卸的鏡頭6246。在此，數位相機6240採用能夠從外殼6241拆卸下鏡頭6246的結構，但是鏡頭6246及外殼6241也可以被形成為一體。此外，數位相機6240還可以具備另外安裝的閃光燈裝置及取景器等。

**【0510】** 藉由將本發明的一個實施方式的記憶體裝置用於數位相機6240，可以降低功耗。此外，借助於低功耗

化，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路以及模組帶來的負面影響。

### 【0511】

[視頻攝影機]

本發明的一個實施方式的記憶體裝置可以應用於視頻攝影機。

【0512】圖27I示出攝像裝置的一個例子的視頻攝影機6300。視頻攝影機6300包括第一外殼6301、第二外殼6302、顯示部6303、操作開關6304、鏡頭6305、連接部6306等。操作開關6304及鏡頭6305設置在第一外殼6301上，顯示部6303設置在第二外殼6302上。第一外殼6301與第二外殼6302由連接部6306連接，第一外殼6301與第二外殼6302間的角度可以由連接部6306改變。顯示部6303的影像也可以根據連接部6306中的第一外殼6301與第二外殼6302間的角度切換。

【0513】當記錄由視頻攝影機6300拍攝的影像時，需要進行根據資料記錄方式的編碼。借助於本發明的一個實施方式的記憶體裝置，上述視頻攝影機6300可以儲存在進行編碼時暫時生成的文檔。

### 【0514】

[ICD]

可以將本發明的一個實施方式的記憶體裝置應用於埋藏式心律轉復除顫器(ICD)。

【0515】圖27J是示出ICD的一個例子的剖面示意圖。

ICD主體 5400至少包括電池 5401、電子構件 700、調節器、控制電路、天線 5404、向右心房的金屬絲 5402、以及向右心室的金屬絲 5403。

【0516】ICD主體 5400藉由手術設置在體內，兩個金屬絲穿過人體的鎖骨下靜脈 5405及上腔靜脈 5406，並且其一方金屬絲的先端設置於右心室，另一方金屬絲的先端設置於右心房。

【0517】ICD主體 5400具有心臟起搏器的功能，並在心律在規定範圍之外時對心臟進行起搏。此外，在即使進行起搏也不改善心律時(快速的心室頻脈或心室顫動等)進行利用去顫的治療。

【0518】為了適當地進行起搏及去顫，ICD主體 5400需要經常監視心律。因此，ICD主體 5400包括用來檢測心律的感測器。此外，ICD主體 5400可以在電子構件 700中儲存藉由該感測器測得的心律的資料、利用起搏進行治療的次數、時間等。

【0519】此外，因為由天線 5404接收電力，且該電力被充電到電池 5401。此外，藉由使ICD主體 5400包括多個電池，可以提高安全性。明確而言，即使ICD主體 5400中的部分電池產生故障，其他電池可以起作用而被用作輔助電源。

【0520】此外，除了能夠接收電力的天線 5404，還可以包括能夠發送生理信號的天線，例如，也可以構成能夠由外部的監視裝置確認脈搏、呼吸數、心律、體溫等生理

信號的監視心臟活動的系統。

**【0521】**

[PC用擴展裝置]

本發明的一個實施方式的記憶體裝置可以應用於PC (Personal Computer；個人電腦)等電腦、資訊終端用擴展裝置。

**【0522】**圖28A示出該擴展裝置的一個例子的可以攜帶且安裝有能夠儲存資料的晶片的設置在PC的外部的擴展裝置6100。擴展裝置6100例如藉由由USB(Universal Serial Bus；通用序列匯流排)等連接於PC，可以儲存資料。注意，雖然圖28A示出可攜帶的擴展裝置6100，但是根據本發明的一個實施方式的擴展裝置不侷限於此，例如也可以採用安裝冷卻風機等的較大結構的擴展裝置。

**【0523】**擴展裝置6100包括外殼6101、蓋子6102、USB連接器6103及基板6104。基板6104被容納在外殼6101中。基板6104設置有驅動本發明的一個實施方式的記憶體裝置等的電路。例如，基板6104安裝有電子構件700、控制器晶片6106。USB連接器6103被用作連接於外部裝置的介面。

**【0524】**

[SD卡]

本發明的一個實施方式的記憶體裝置可以應用於能夠安裝在資訊終端或數位相機等電子裝置上的SD卡。

**【0525】**圖28B是SD卡的外觀示意圖，圖28C是SD卡

的內部結構的示意圖。SD卡5110包括外殼5111、連接器5112及基板5113。連接器5112具有連接到外部裝置的介面的功能。基板5113被容納在外殼5111中。基板5113設置有記憶體裝置及驅動該記憶體裝置的電路。例如，基板5113安裝有電子構件700、控制器晶片5115。此外，電子構件700及控制器晶片5115的各電路結構不侷限於上述記載，可以根據情況適當地改變電路結構。例如，電子構件所具備的寫入電路、行驅動器、讀出電路等也可以不安裝在電子構件700上而安裝在控制器晶片5115上。

【0526】藉由在基板5113的背面一側也設置電子構件700，可以增大SD卡5110的容量。此外，也可以將具有無線通訊功能的無線晶片設置於基板5113。由此，可以進行外部裝置與SD卡5110之間的無線通訊，可以進行電子構件700的資料的讀出及寫入。

#### 【0527】

[SSD]

本發明的一個實施方式的記憶體裝置可以應用於能夠安裝在資訊終端等電子裝置上的固體狀態驅動機(SSD：Solid State Drive)。

【0528】圖28D是SSD的外觀示意圖，圖28E是SSD的內部結構的示意圖。SSD5150包括外殼5151、連接器5152及基板5153。連接器5152具有連接到外部裝置的介面的功能。基板5153被容納在外殼5151中。基板5153設置有記憶體裝置及驅動該記憶體裝置的電路。例如，基板5153安裝

有電子構件 700、記憶體晶片 5155、控制器晶片 5156。藉由在基板 5153 的背面一側也設置電子構件 700，可以增大 SSD5150 的容量。記憶體晶片 5155 中安裝有工作記憶體。例如，可以將 DRAM 晶片用於記憶體晶片 5155。控制器晶片 5156 中安裝有處理器、ECC(Error Check and Correct) 電路等。注意，電子構件 700、記憶體晶片 5155 及控制器晶片 5115 的各電路結構不侷限於上述記載，可以根據情況適當地改變電路結構。例如，控制器晶片 5156 中也可以設置用作工作記憶體的記憶體。

#### 【0529】

[電腦]

圖 29A 所示的電腦 5600 是大型電腦的例子。在電腦 5600 中，多個機架式電腦 5620 收納在機架 5610 中。

【0530】電腦 5620 例如可以具有圖 29B 所示的立體圖的結構。在圖 29B 中，電腦 5620 包括主機板 5630，主機板 5630 包括多個插槽 5631 以及多個連接端子等。插槽 5631 插入有個人電腦卡 5621。並且，個人電腦卡 5621 包括連接端子 5623、連接端子 5624、連接端子 5625，它們連接到主機板 5630。

【0531】圖 29C 所示的個人電腦卡 5621 是包括 CPU、GPU、記憶體裝置等的處理板的一個例子。個人電腦卡 5621 具有板 5622。此外，板 5622 包括連接端子 5623、連接端子 5624、連接端子 5625、半導體裝置 5626、半導體裝置 5627、半導體裝置 5628 以及連接端子 5629。注意，圖 29C

示出半導體裝置 5626、半導體裝置 5627 以及半導體裝置 5628 以外的半導體裝置，關於這些半導體裝置的說明，可以參照以下記載的半導體裝置 5626、半導體裝置 5627 以及半導體裝置 5628 的說明。

**【0532】** 連接端子 5629 具有可以插入主機板 5630 的插槽 5631 的形狀，連接端子 5629 被用作連接個人電腦卡 5621 與主機板 5630 的介面。作為連接端子 5629 的規格例如可以舉出 PCIe 等。

**【0533】** 連接端子 5623、連接端子 5624、連接端子 5625 例如可以被用作用來對個人電腦卡 5621 供電或輸入信號等的介面。此外，例如，可以被用作用來進行個人電腦卡 5621 所計算的信號的輸出等的介面。作為連接端子 5623、連接端子 5624、連接端子 5625 各自的規格例如可以舉出 USB (Universal Serial Bus：通用序列匯流排)、SATA (Serial ATA：串列 ATA) 及 SCSI (Small Computer System Interface：小型電腦系統介面)。此外，當從連接端子 5623、連接端子 5624、連接端子 5625 輸出視頻信號時，作為各規格可以舉出 HDMI (註冊商標) 等。

**【0534】** 半導體裝置 5626 包括進行信號的輸入及輸出的端子 (未圖示)，藉由將該端子插入板 5622 所包括的插座 (未圖示)，可以電連接半導體裝置 5626 與板 5622。

**【0535】** 半導體裝置 5627 包括多個端子，藉由將該端子以回流焊方式銲接到板 5622 所具備的佈線，可以電連接半導體裝置 5627 與板 5622。作為半導體裝置 5627，例如，

可以舉出FPGA(Field Programmable Gate Array)、GPU、CPU等。作為半導體裝置5627，例如可以使用電子構件730。

【0536】半導體裝置5628包括多個端子，藉由將該端子以回流焊方式銲接到板5622所具備的佈線，可以電連接半導體裝置5628與板5622。作為半導體裝置5628，例如，可以舉出記憶體裝置等。作為半導體裝置5628，例如可以使用電子構件700。

【0537】電腦5600可以用作平行電腦。藉由將電腦5600用作平行電腦，例如可以進行人工智慧的學習及推論所需要的大規模計算。

【0538】藉由將本發明的一個實施方式的記憶體裝置用於上述各種電子裝置，可以實現電子裝置的小型化及低功耗化。此外，本發明的一個實施方式的記憶體裝置的耗電量少，由此可以降低電路發熱。由此，可以減少因該發熱而給電路本身、週邊電路及模組帶來的負面影響。此外，藉由使用本發明的一個實施方式的記憶體裝置，可以實現高溫環境下也穩定工作的電子裝置。由此，可以提高電子裝置的可靠性。

【0539】本實施方式可以與其他實施方式適當地組合。

#### 【0540】

#### 實施方式6

在本實施方式中，使用圖30說明將本發明的一個實施

方式的半導體裝置應用於太空設備的情況的具體例子。

【0541】本發明的一個實施方式的半導體裝置包括OS電晶體。OS電晶體的因被照射輻射線而導致的電特性變動小。換言之，對於輻射線的耐性高，所以在有可能入射輻射線的環境下也可以適當地使用。例如，可以在宇宙空間中使用的情況下適當地使用OS電晶體。明確而言，可以將OS電晶體用作構成設置在太空梭、人造衛星或太空探測器中的半導體裝置的電晶體。作為輻射線，例如可以舉出X射線及中子輻射等。另外，宇宙空間例如是指高度100km以上的地方，但是本說明書中記載的宇宙空間也可以包括熱層、中間層及平流層中的一個或多個。

【0542】在圖30中，作為太空設備的一個例子示出人造衛星6800。人造衛星6800包括主體6801、太陽能電池板6802、天線6803、二次電池6805以及控制裝置6807。另外，圖30示出在宇宙空間有行星6804的例子。

【0543】另外，宇宙空間是其輻射劑量為地面的100倍以上的環境。作為輻射線，例如可以舉出：以X射線及 $\gamma$ 射線為代表的電磁波(電磁輻射線)；以及以 $\alpha$ 射線、 $\beta$ 射線、中子射線、質子射線、重離子射線、介子射線等為代表的粒子輻射線。

【0544】在陽光照射到太陽能電池板6802時生成人造衛星6800進行工作所需的電力。然而，例如在陽光不照射到太陽能電池板的情況或者在照射到太陽能電池板的陽光量較少的情況下，所產生的電力量減少。因此，有可能不

會產生人造衛星 6800 進行工作所需的電力。為了在所產生的電力較少的情況下也使人造衛星 6800 工作，較佳為在人造衛星 6800 中設置二次電池 6805。另外，有時將太陽能電池板稱為太陽能電池模組。

【0545】人造衛星 6800 可以生成信號。該信號藉由天線 6803 傳送，例如地面上的接收機或其他人造衛星可以接收該信號。藉由接收人造衛星 6800 所傳送的信號，可以測量接收該信號的接收機的位置。由此，人造衛星 6800 可以構成衛星定位系統。

【0546】另外，控制裝置 6807 具有控制人造衛星 6800 的功能。控制裝置 6807 例如使用選自 CPU、GPU 和記憶體裝置中的任一個或多個構成。另外，作為控制裝置 6807 較佳為使用本發明的一個實施方式的包含 OS 電晶體的半導體裝置。與 Si 電晶體相比，OS 電晶體的因被照射輻射線而導致的電特性變動小。因此，OS 電晶體在有可能入射輻射線的環境下也可靠性高且可以適當地使用。

【0547】另外，人造衛星 6800 可以包括感測器。例如、藉由包括可見光感測器，人造衛星 6800 可以具有檢測地面上的物體反射的陽光的功能。或者，藉由包括熱紅外線感測器，人造衛星 6800 可以具有檢測從地表釋放的熱紅外線的功能。由此，人造衛星 6800 例如可以被用作地球觀測衛星。

【0548】注意，在本實施方式中，作為太空設備的一個例子示出人造衛星，但是不侷限於此。例如，本發明的

一個實施方式的半導體裝置可以適當地應用於太空船、太空艙、太空探測器等太空設備。

**【0549】** 或者，例如，可以將OS電晶體用作構成設置在核電站以及放射性廢物的處理場或處置場的工作機器人中的半導體裝置的電晶體。尤其是，可以適當地用作構成如下半導體裝置的電晶體：該半導體裝置設置在反應堆設施的排除、核燃料或燃料碎片的取出、放射性物質較多的空間處的實地考察等時遠端操作的遠端操作機器人中。

**【0550】** 本實施方式可以與其他實施方式適當地組合。

### **【符號說明】**

#### **【0551】**

BL[1]:佈線

BL[j]:佈線

BL[n]:佈線

BL\_A:佈線

BL\_B:佈線

BL:佈線

GBL\_A:佈線

GBL\_B:佈線

GBL:佈線

PL[1]:佈線

PL[i]:佈線

PL[m]:佈線

PL:佈線

VHH:佈線

VLL:佈線

WL[1]:佈線

WL[i]:佈線

WL[m]:佈線

WL:佈線

10:記憶單元

11\_1:第一層

11\_2:第二層

11\_3:第三層

11\_m:第 m 層

11:電晶體

12:電容器

20:記憶體陣列

21:驅動電路

22:PSW

23:PSW

31:週邊電路

32:控制電路

33:電壓生成電路

41:週邊電路

42:行解碼器

43:行驅動器  
44:列解碼器  
45:列驅動器  
46:感測放大器  
47:輸入電路  
48:輸出電路  
50:功能層  
51\_A:功能電路  
51\_B:功能電路  
51A:功能電路  
51B:功能電路  
51C:功能電路  
51D:功能電路  
51:功能電路  
52\_a:電晶體  
52\_b:電晶體  
52:電晶體  
53\_a:電晶體  
53\_b:電晶體  
53:電晶體  
54\_a:電晶體  
54\_b:電晶體  
54:電晶體  
55\_a:電晶體

55\_b:電晶體

55:電晶體

71\_A:預充電電路

71\_B:預充電電路

72\_A:開關電路

72\_B:開關電路

73:寫入讀出電路

81\_1:電晶體

81\_3:電晶體

81\_4:電晶體

81\_6:電晶體

82\_1:電晶體

82\_2:電晶體

82\_3:電晶體

82\_4:電晶體

83\_A:開關

83\_B:開關

83\_C:開關

83\_D:開關

101a:電容器

101b:電容器

153:導電體

153A:導電膜

153a:導電體

153b:導電體

154:絕緣體

154A:絕緣膜

154a:絕緣體

154b:絕緣體

160a:導電體

160b:導電體

160c:導電體

160d:導電體

160:導電體

160A:導電膜

160B:導電膜

161:導電體

201a:電晶體

201b:電晶體

202a:電晶體

202b:電晶體

202c:電晶體

202d:電晶體

202e:電晶體

205a:導電體

205b:導電體

205:導電體

207:導電體

208:絕緣體

209:導電體

210:絕緣體

212:絕緣體

214:絕緣體

216:絕緣體

222:絕緣體

224f:絕緣膜

224:絕緣體

230a:氧化物

230af:氧化膜

230b:氧化物

230bf:氧化膜

230:氧化物

240\_1:導電體

240\_2:導電體

240\_3:導電體

240\_m:導電體

240a:導電體

240am:導電體

240b:導電體

240bm:導電體

240:導電體

242\_1:導電體

242\_2:導電體

242a:導電體

242b:導電體

242:導電體

253:絕緣體

254:絕緣體

260a:導電體

260b:導電體

260d:導電體

260:導電體

275:絕緣體

280:絕緣體

282:絕緣體

283:絕緣體

284:絕緣體

285:絕緣體

300A:記憶體裝置

300:記憶體裝置

310:電晶體

311:基板

313:半導體區域

314a:低電阻區域

314b:低電阻區域

315:絕緣體

316:導電體  
320:絕緣體  
322:絕緣體  
324:絕緣體  
326:絕緣體  
328:導電體  
330:導電體  
700:電子構件  
702:印刷電路板  
704:電路板  
711:模子  
712:連接盤  
713:電極焊盤  
714:引線  
730:電子構件  
731:插板  
732:封裝基板  
733:電極  
735:半導體裝置  
1200:晶片  
1201:封裝基板  
1202:凸塊  
1203:主機板  
1204:GPU模組

1211:CPU

1212:GPU

1213:類比運算部

1214:記憶體控制器

1215:介面

1216:網路電路

1221:DRAM

1222:快閃記憶體

5110:SD卡

5111:外殼

5112:連接器

5113:基板

5115:控制器晶片

5150:SSD

5151:外殼

5152:連接器

5153:基板

5155:記憶體晶片

5156:控制器晶片

5200:可攜式遊戲機

5201:外殼

5202:顯示部

5203:按鈕

5300:桌上型資訊終端

- 5301:主體
- 5302:顯示部
- 5303:鍵盤
- 5400:ICD主體
- 5401:電池
- 5402:金屬絲
- 5403:金屬絲
- 5404:天線
- 5405:鎖骨下靜脈
- 5406:上腔靜脈
- 5500:資訊終端
- 5510:外殼
- 5511:顯示部
- 5600:電腦
- 5610:機架
- 5620:電腦
- 5621:電腦卡
- 5622:板
- 5623:連接端子
- 5624:連接端子
- 5625:連接端子
- 5626:半導體裝置
- 5627:半導體裝置
- 5628:半導體裝置

- 5629:連接端子
- 5630:主機板
- 5631:插槽
- 5700:汽車
- 5800:電冷藏冷凍箱
- 5801:外殼
- 5802:冷藏室門
- 5803:冷凍室門
- 5900:資訊終端
- 5901:外殼
- 5902:顯示部
- 5903:操作開關
- 5904:操作開關
- 5905:錶帶
- 6100:擴展裝置
- 6101:外殼
- 6102:蓋子
- 6103:USB連接器
- 6104:基板
- 6106:控制器晶片
- 6240:數位相機
- 6241:外殼
- 6242:顯示部
- 6243:操作開關

6244:快門按鈕

6246:鏡頭

6300:視頻攝影機

6301:第一外殼

6302:第二外殼

6303:顯示部

6304:操作開關

6305:鏡頭

6306:連接部

6800:人造衛星

6801:主體

6802:太陽能電池板

6803:天線

6804:行星

6805:二次電池

6807:控制裝置

7500:固定式遊戲機

7520:主體

7522:控制器

## 【發明申請專利範圍】

【請求項1】一種半導體裝置，包括：

第一記憶單元；

該第一記憶單元上的第二記憶單元；

第一導電體；以及

該第一導電體上的第二導電體，

其中，該第一記憶單元及該第二記憶單元分別包括電晶體、電容器、第一絕緣體及第二絕緣體，

該電晶體包括該第一絕緣體上的金屬氧化物、該金屬氧化物上的第三導電體、第四導電體、第三絕緣體、該第三絕緣體上的第五導電體，

該電容器包括第六導電體、該第六導電體上的第四絕緣體、該第四絕緣體上的第七導電體，

該第二絕緣體位於該電晶體上，

該第六導電體、該第四絕緣體和該第七導電體重疊的部分位於該第二絕緣體上，

藉由設置在該第二絕緣體中的開口該第三導電體與該第六導電體電連接，

該第一導電體具有與該第一記憶單元中的該第四導電體接觸的部分，

該第一導電體的頂面具有與該第二導電體的底面接觸的部分，

並且，該第二導電體具有與該第二記憶單元中的該第四導電體接觸的部分。

【請求項2】如請求項1之半導體裝置，  
其中該第一導電體接觸於該第一記憶單元中的該第四導電體的頂面的一部分及側面的一部分。

【請求項3】如請求項1之半導體裝置，  
其中該第一導電體接觸於該第一記憶單元中的該第四導電體的頂面的一部分、側面的一部分及底面的一部分。

【請求項4】如請求項1之半導體裝置，  
其中該第四導電體具有位於該第一絕緣體的端部的外側的部分。

【請求項5】如請求項1至4中任一項之半導體裝置，  
其中該第二記憶單元中的該第一絕緣體、該金屬氧化物、該第三絕緣體和該第五導電體重疊的部分位於該第一記憶單元中的該第七導電體上。

【請求項6】如請求項1至4中任一項之半導體裝置，  
其中該第四絕緣體包含氧化鋅及氧化鋁中的一者或兩者。

【請求項7】如請求項1至4中任一項之半導體裝置，  
其中該第七導電體的一部分位於該第二絕緣體中的該開口。

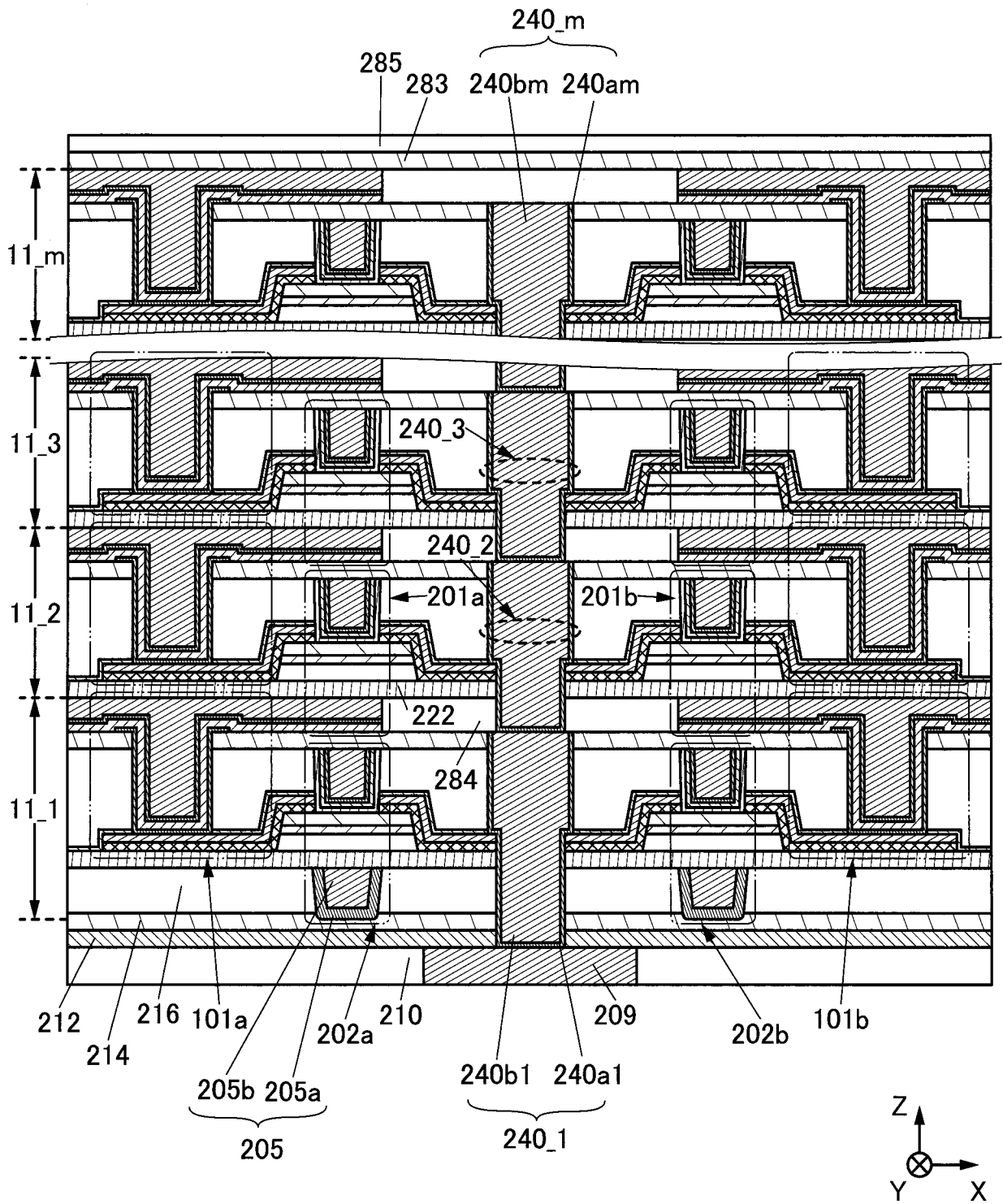
【請求項8】如請求項1至4中任一項之半導體裝置，  
其中，該第二記憶單元中的該電晶體包括第八導電體，  
該第八導電體位於該第一記憶單元中的該第二絕緣體上，

該第八導電體包含與該第七導電體相同的材料，  
並且，該第二記憶單元中的該第一絕緣體、該金屬氧化物、該第三絕緣體及該第五導電體重疊的部分位於該第八導電體上。

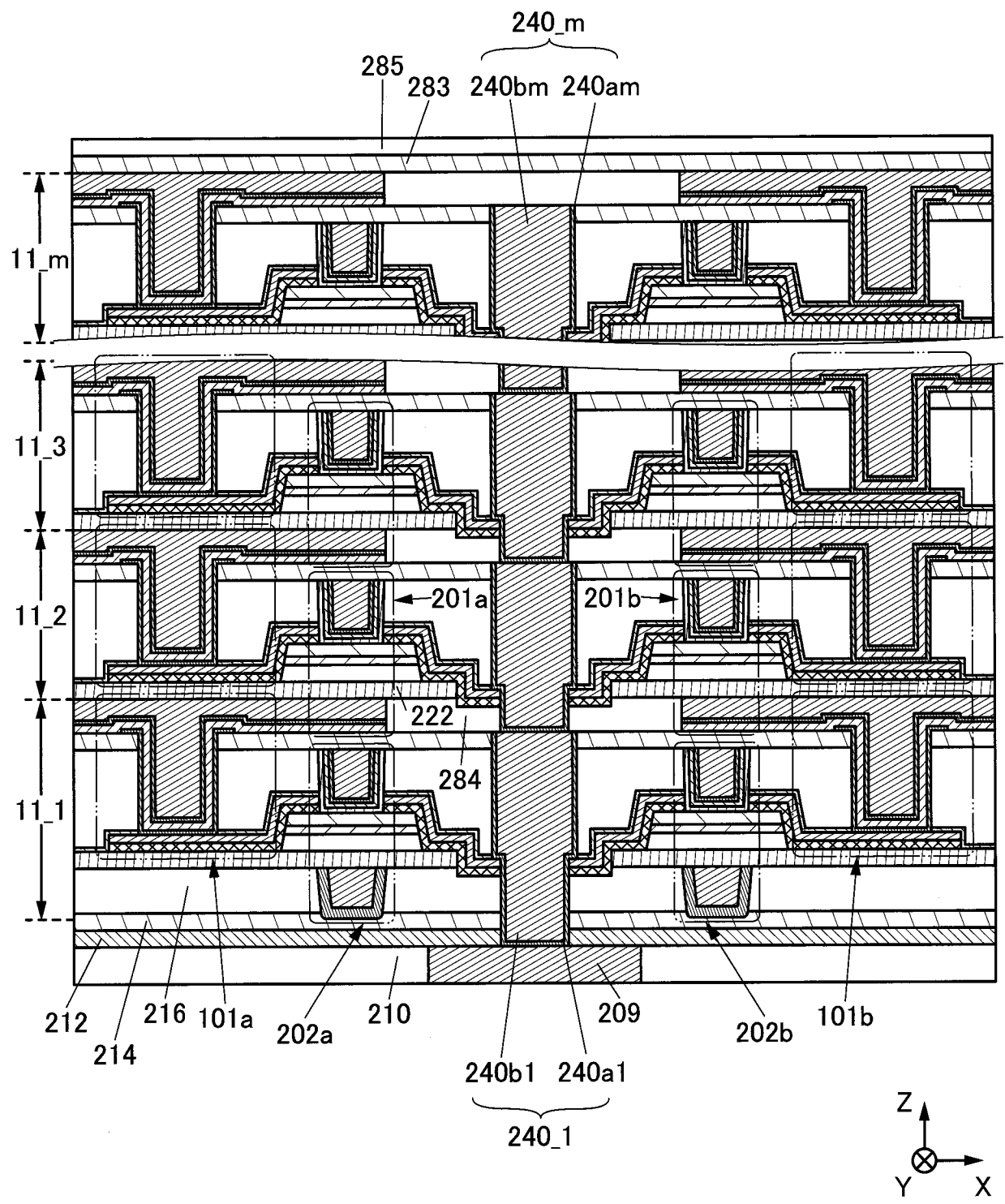
【請求項9】如請求項1至4中任一項之半導體裝置，  
其中該第六導電體的端部被該第四絕緣體覆蓋。

【請求項10】如請求項1至4中任一項之半導體裝置，  
其中該第六導電體的端部與該第七導電體的端部對齊或大致對齊。

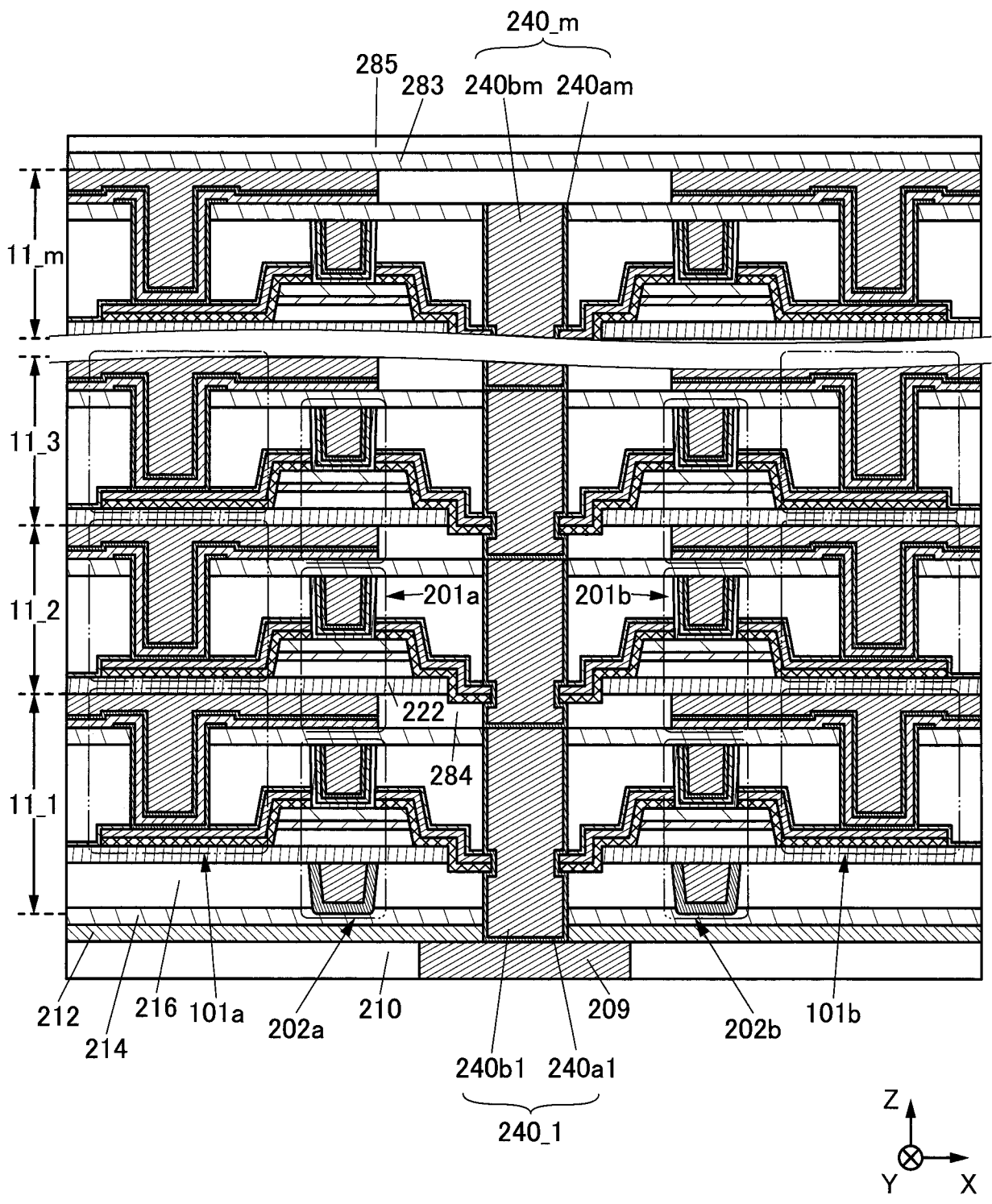
【發明圖式】



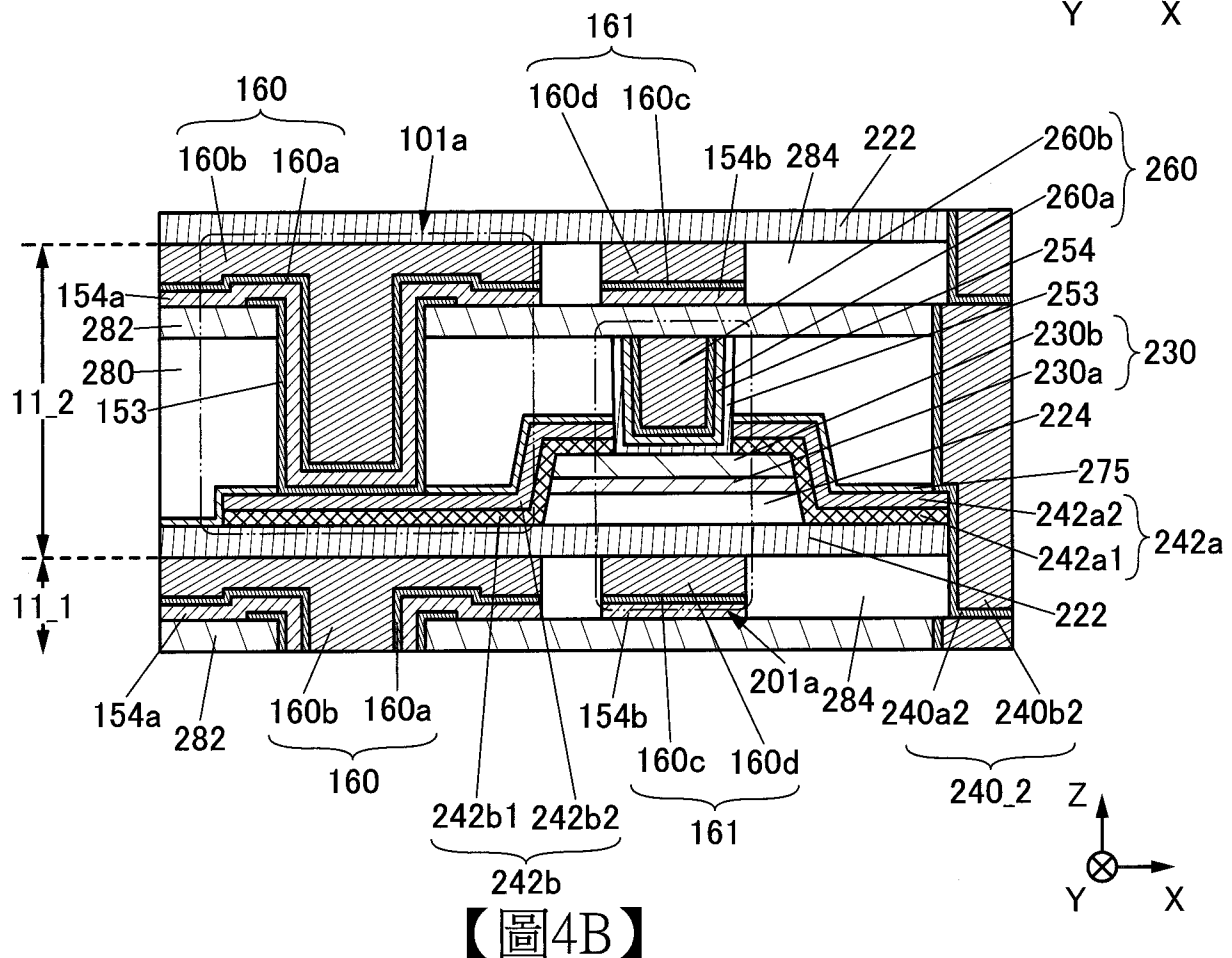
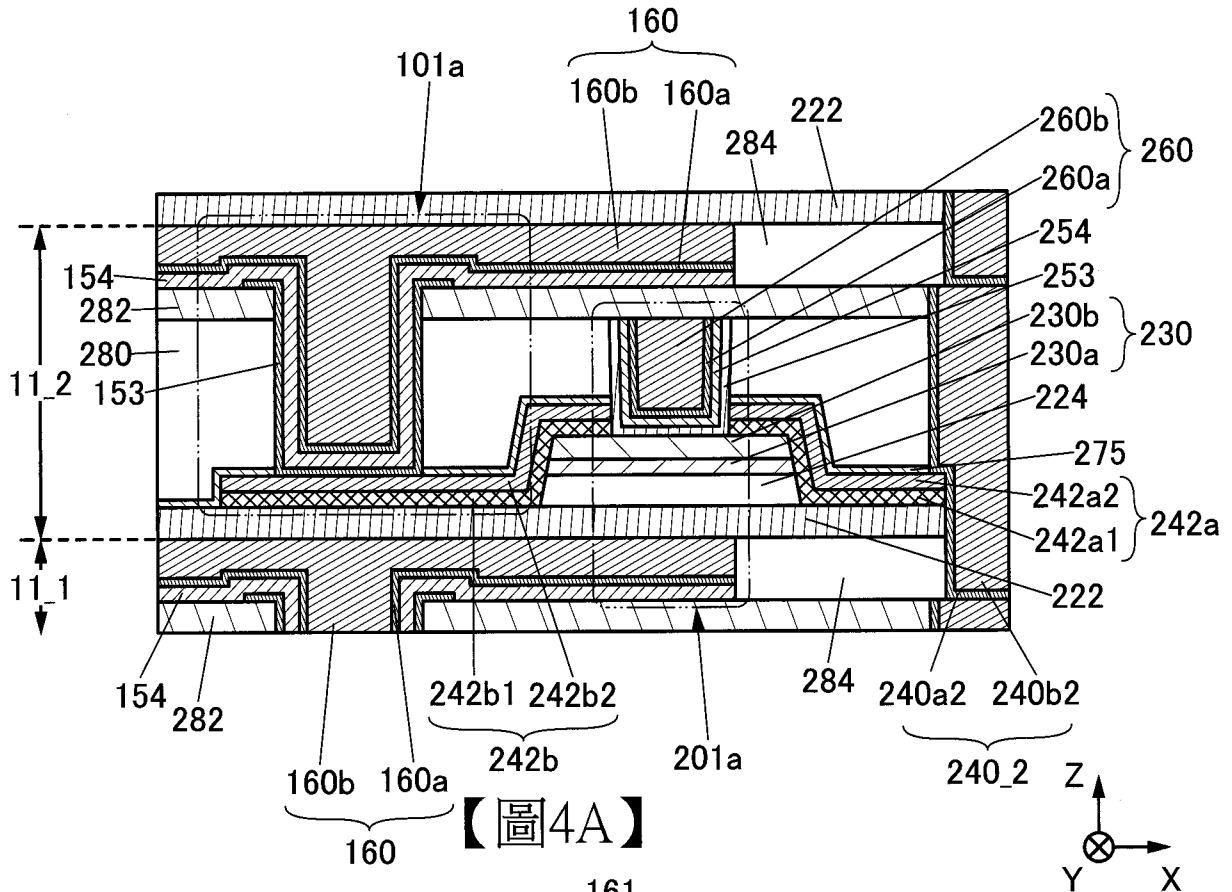
【圖1】

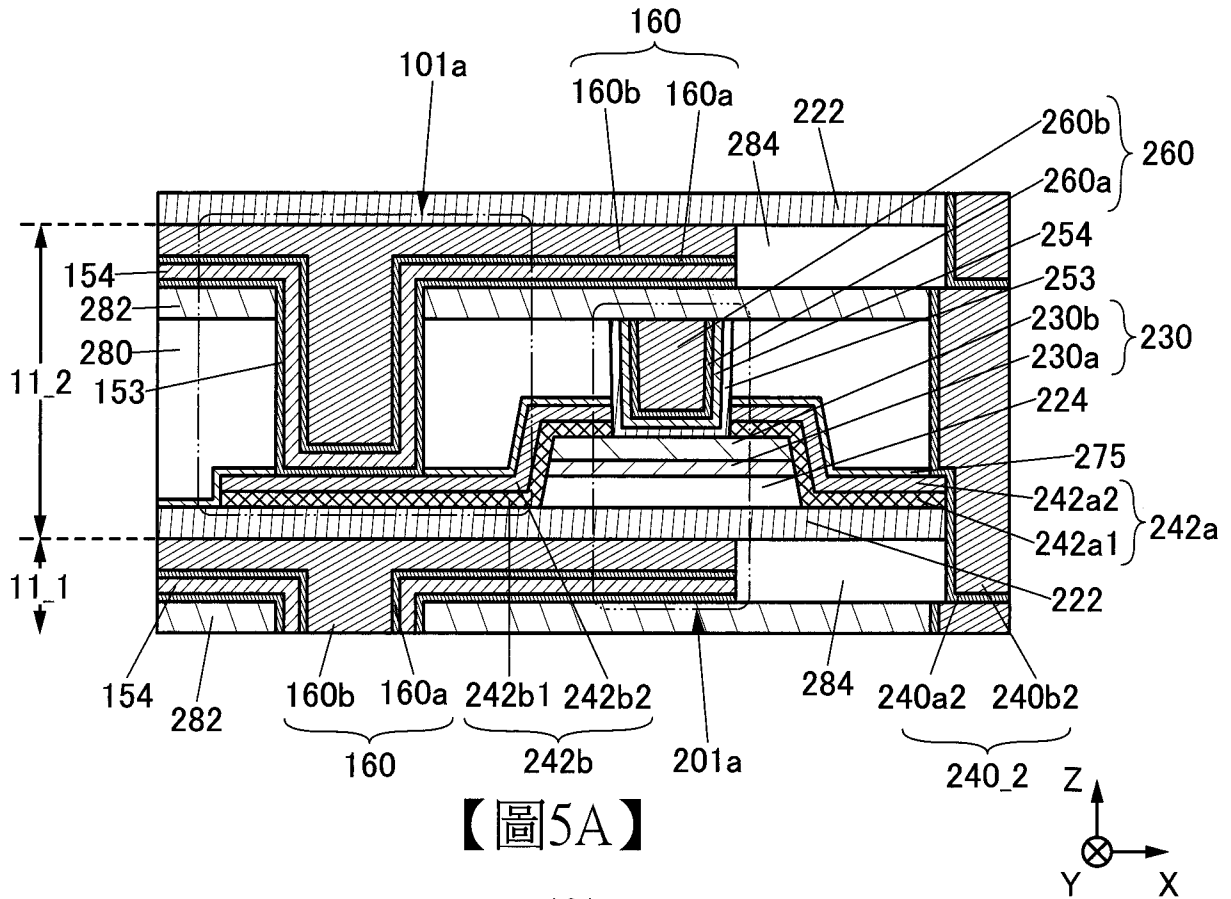


【圖2】

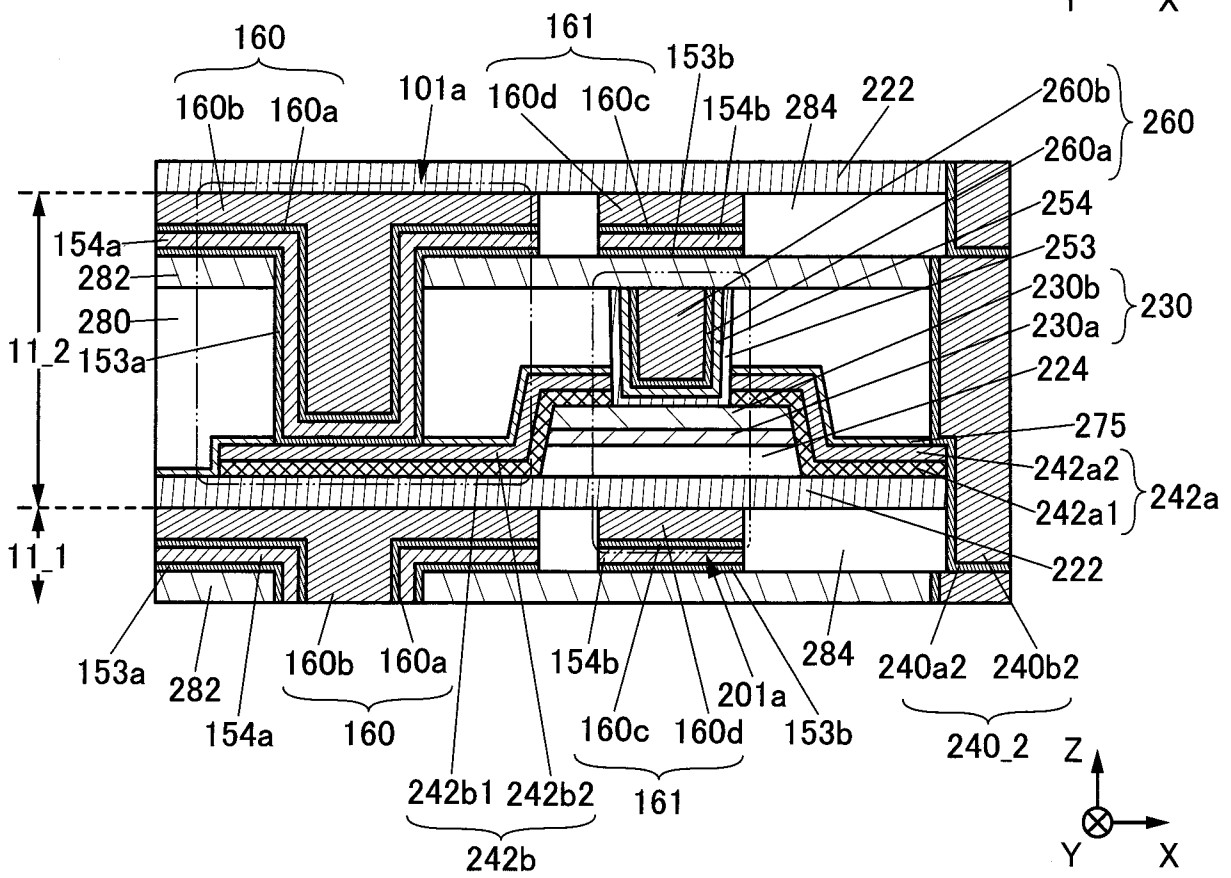


【圖3】

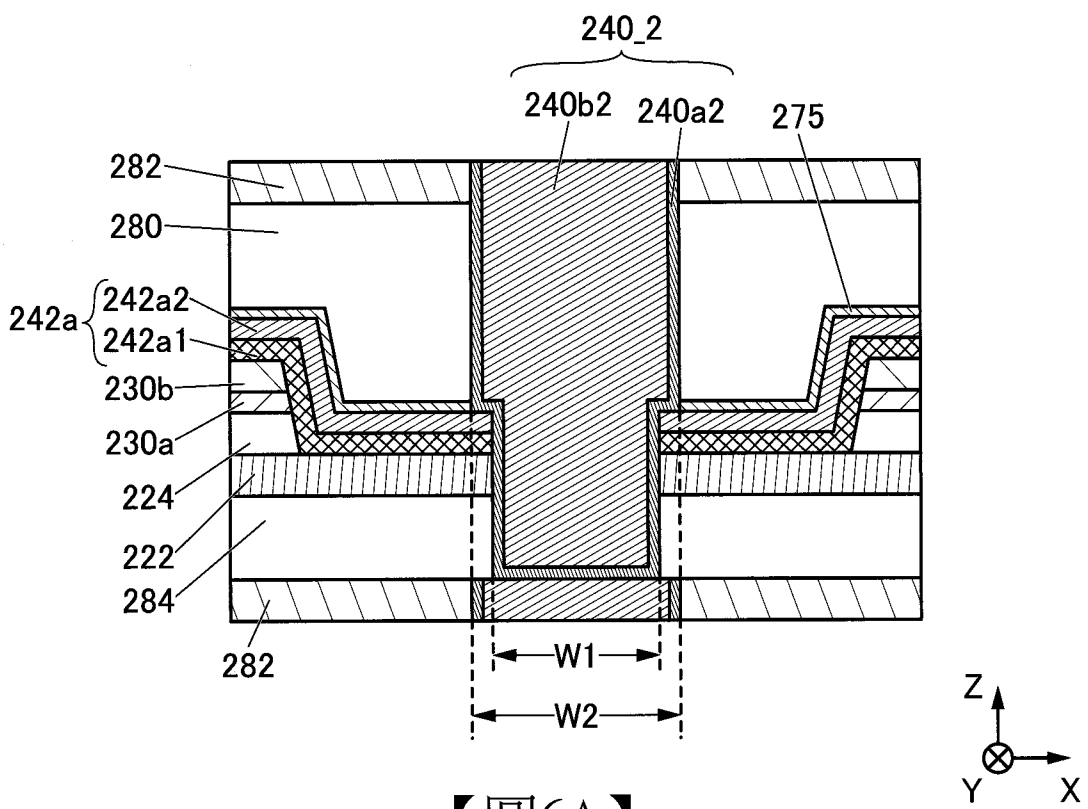




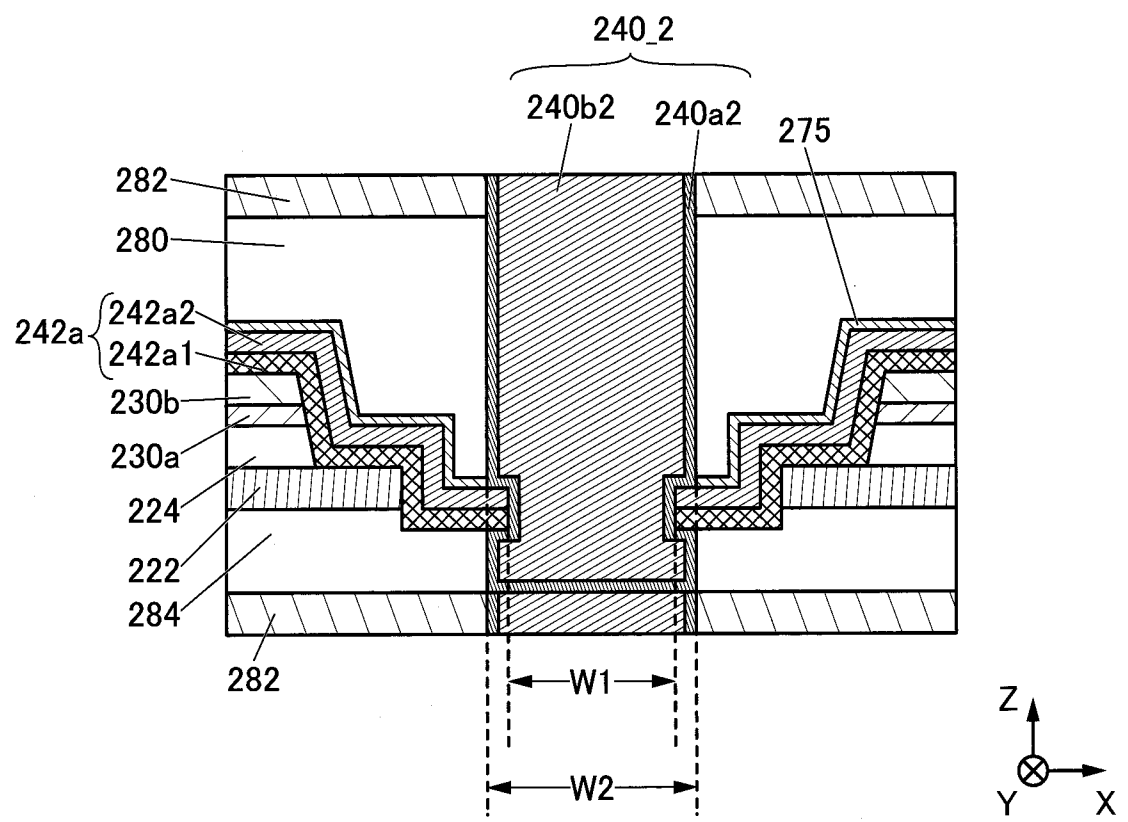
【圖5A】



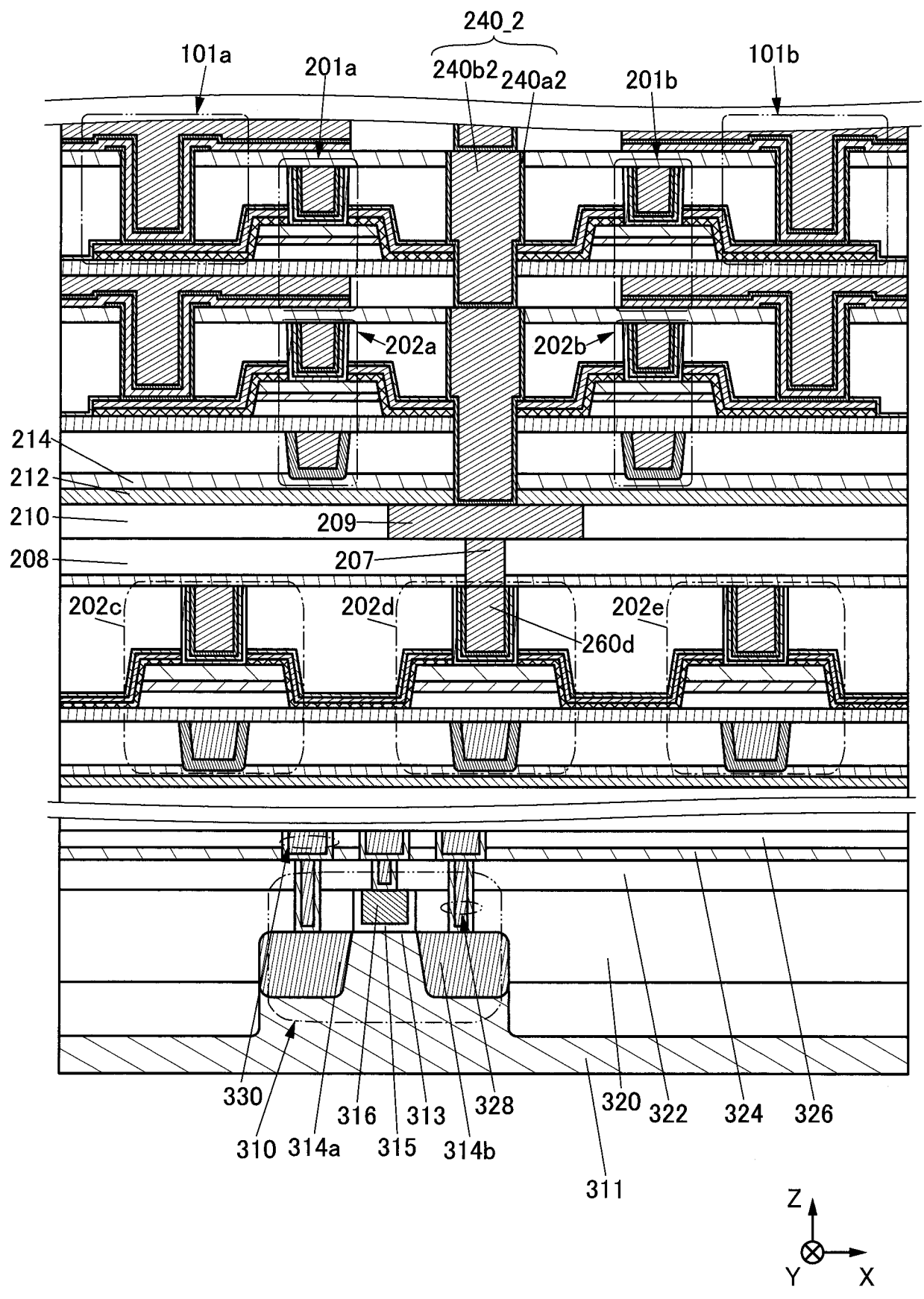
【圖5B】



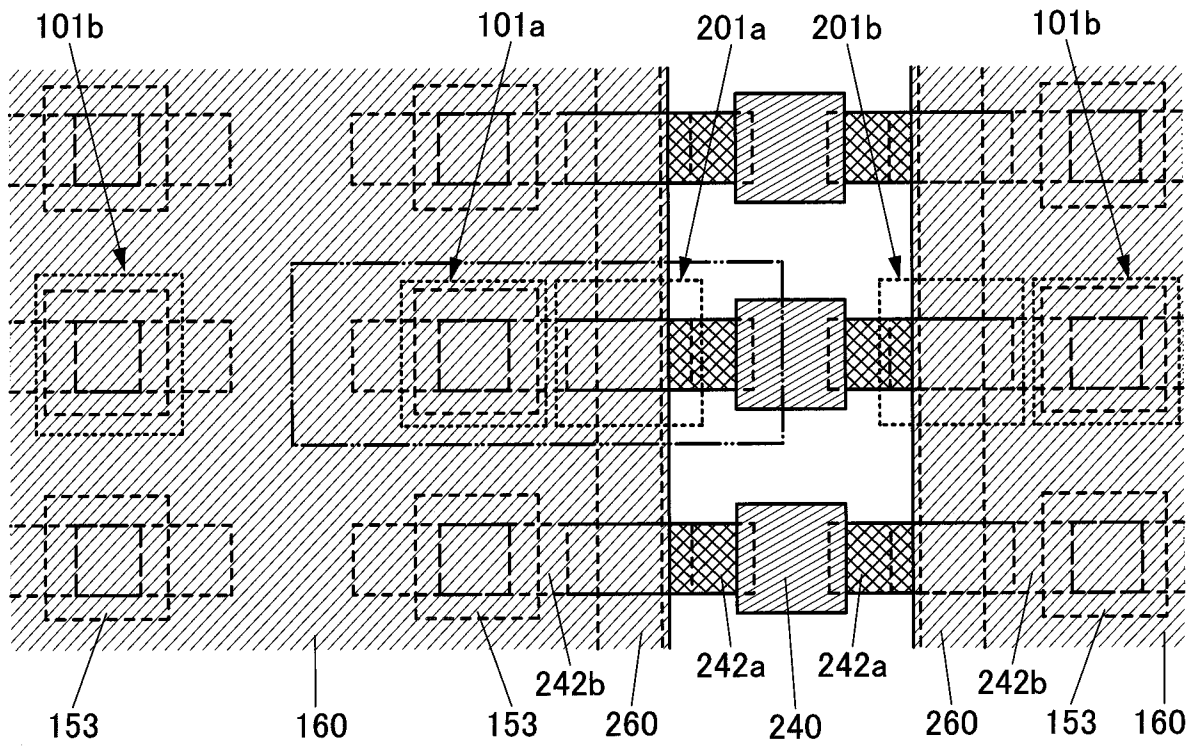
【圖6A】



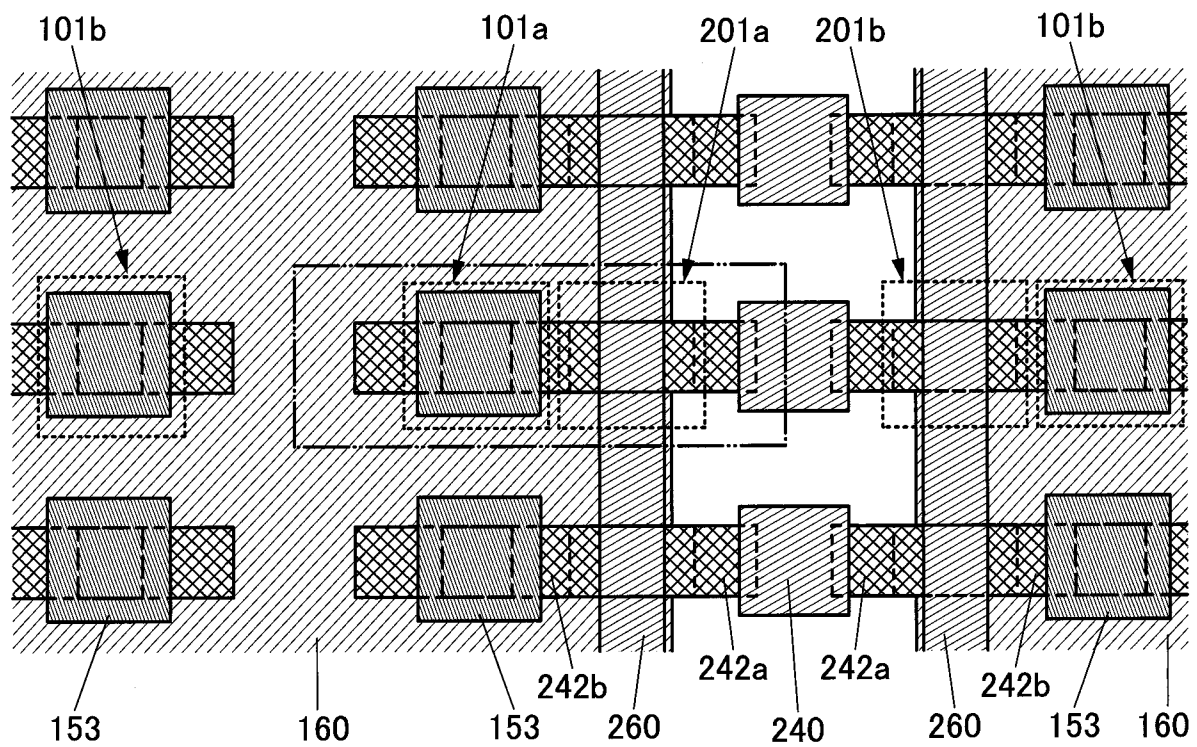
【圖6B】



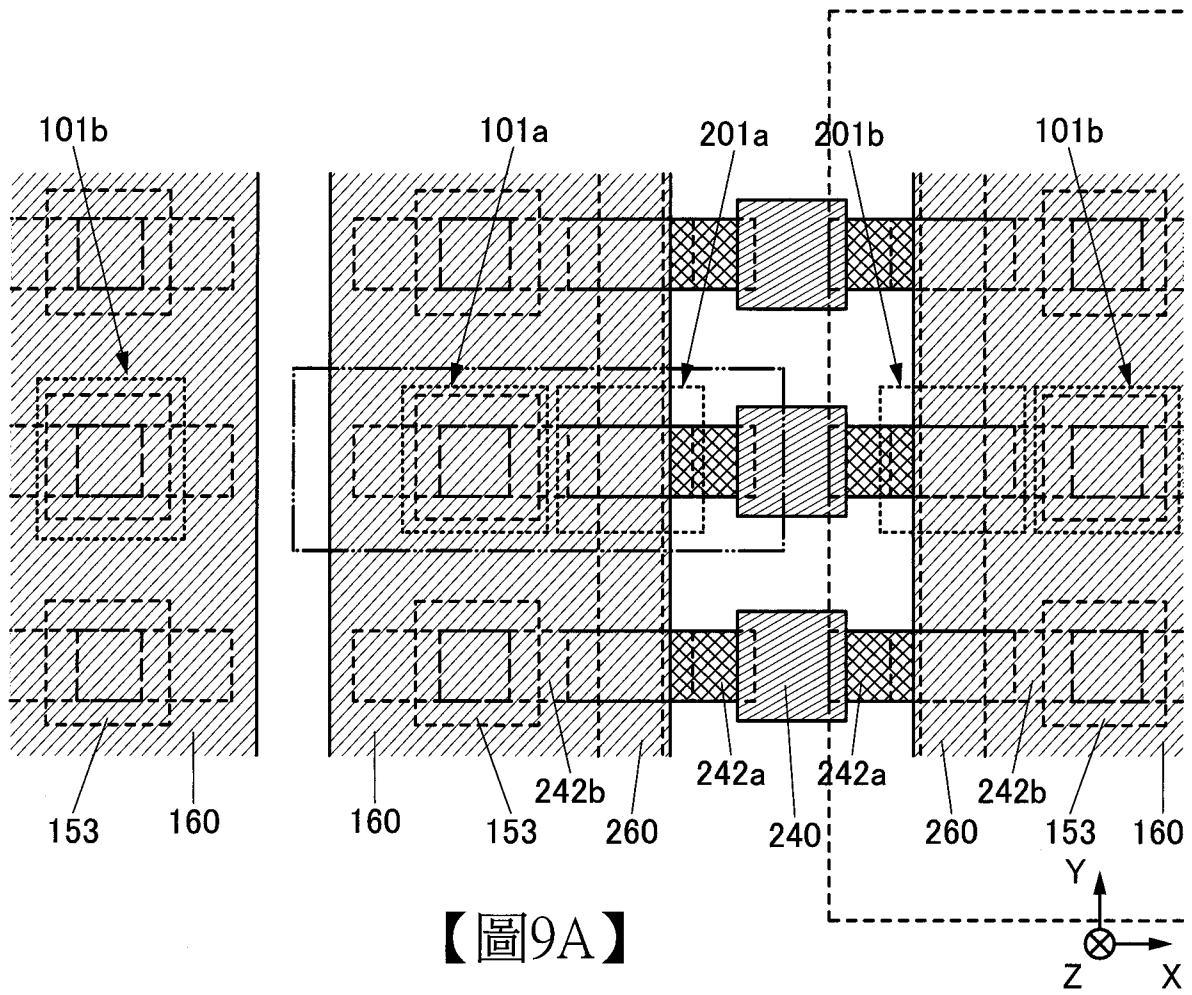
【圖7】



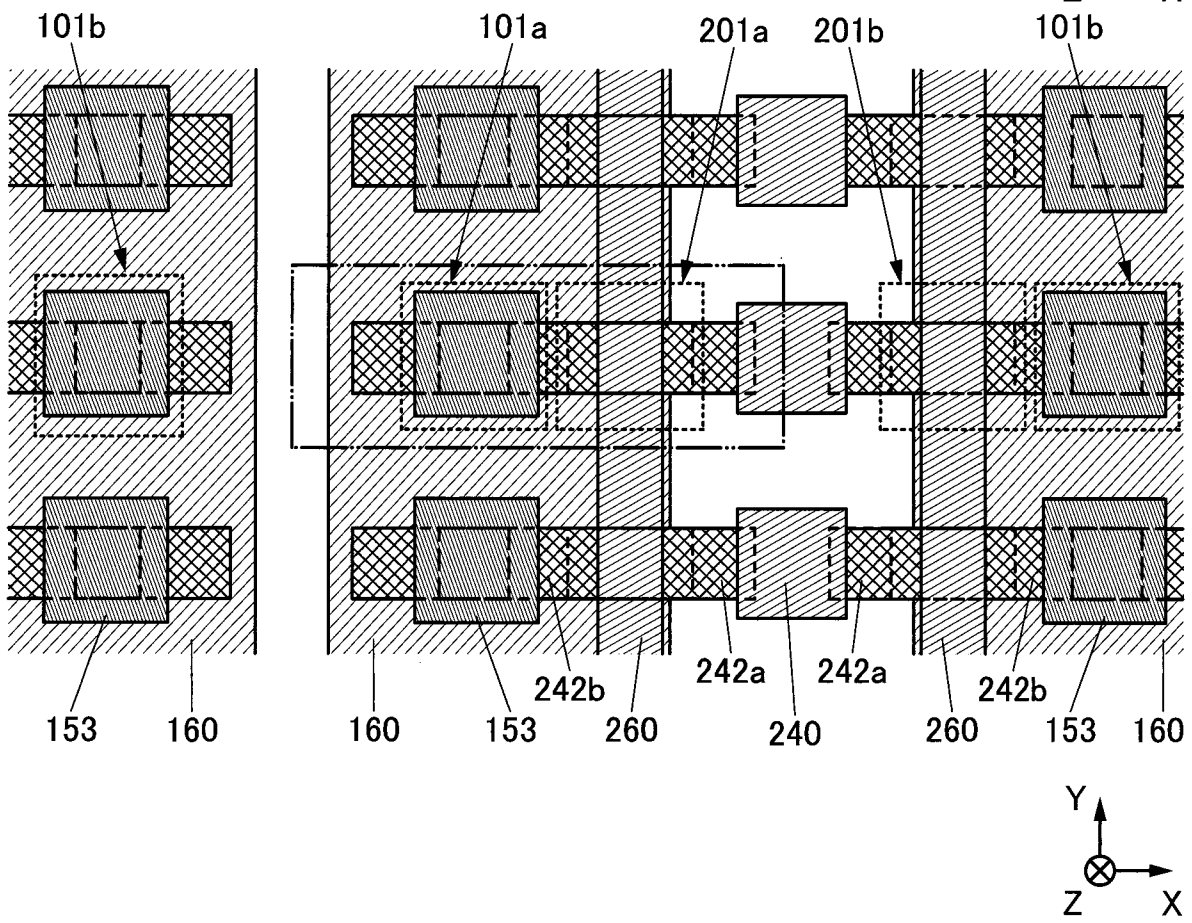
【圖8A】



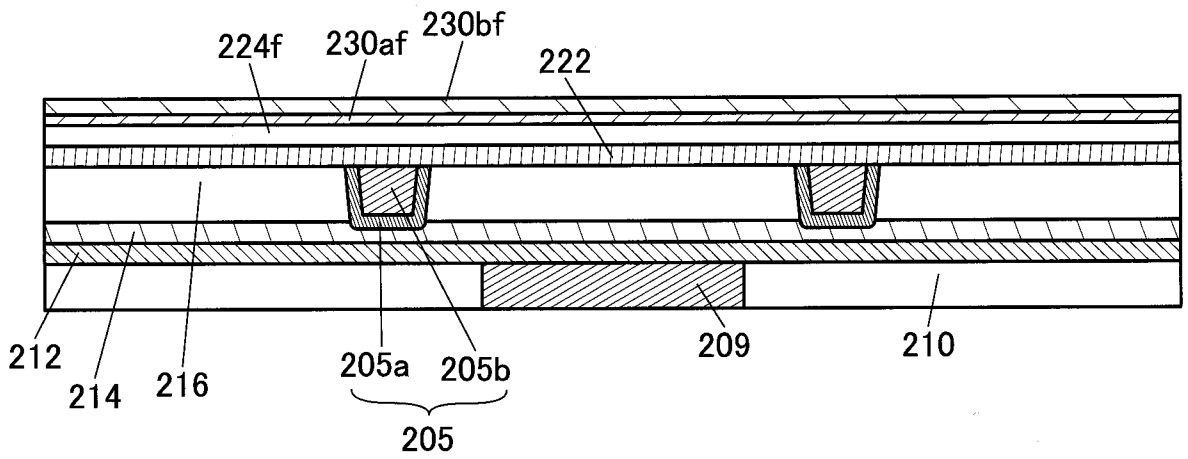
【圖8B】



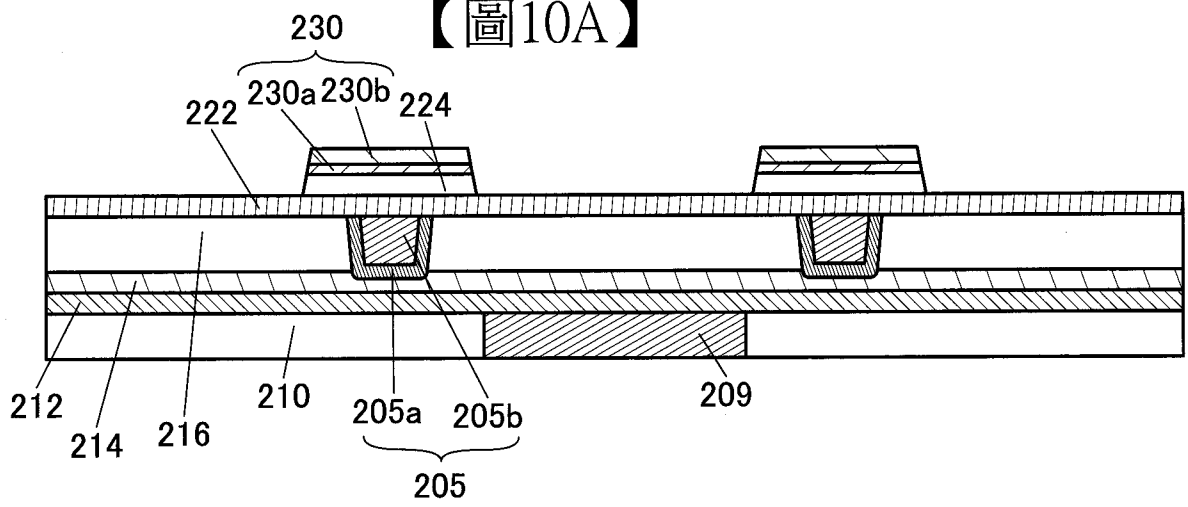
【圖9A】



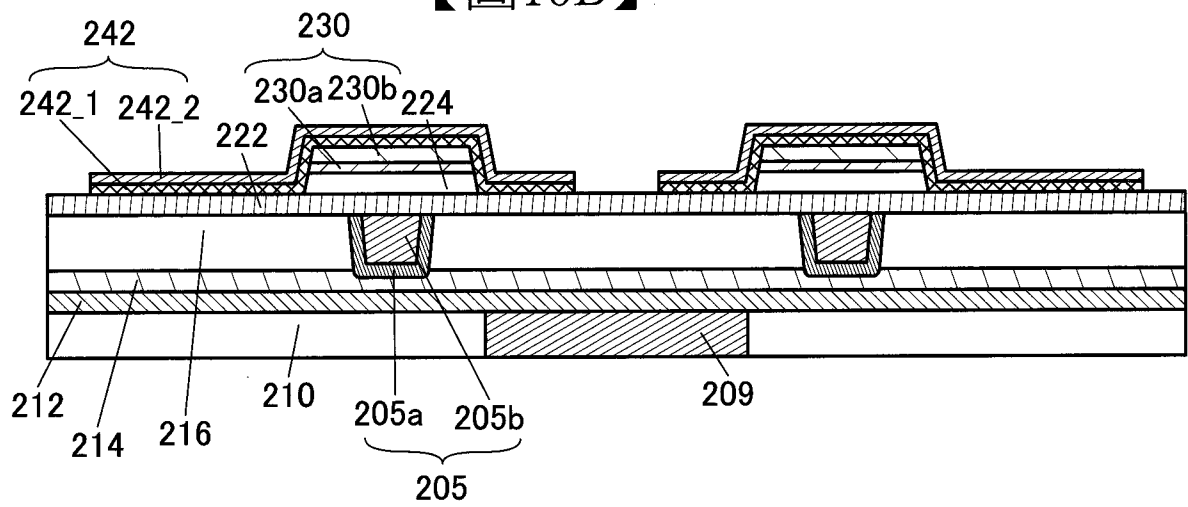
【圖9B】



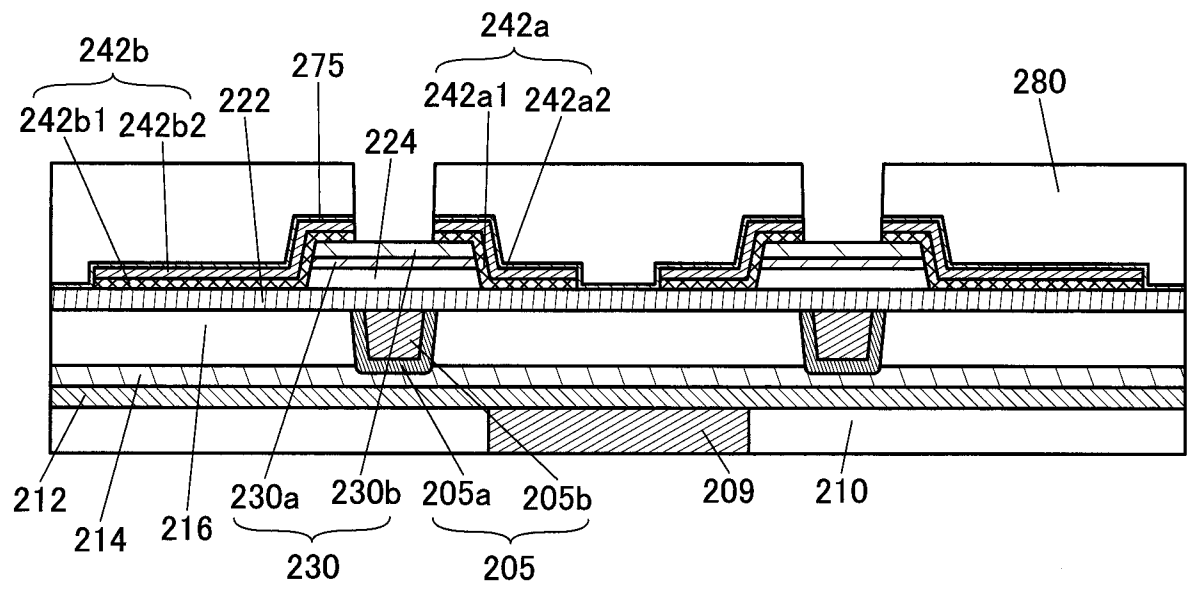
【圖10A】



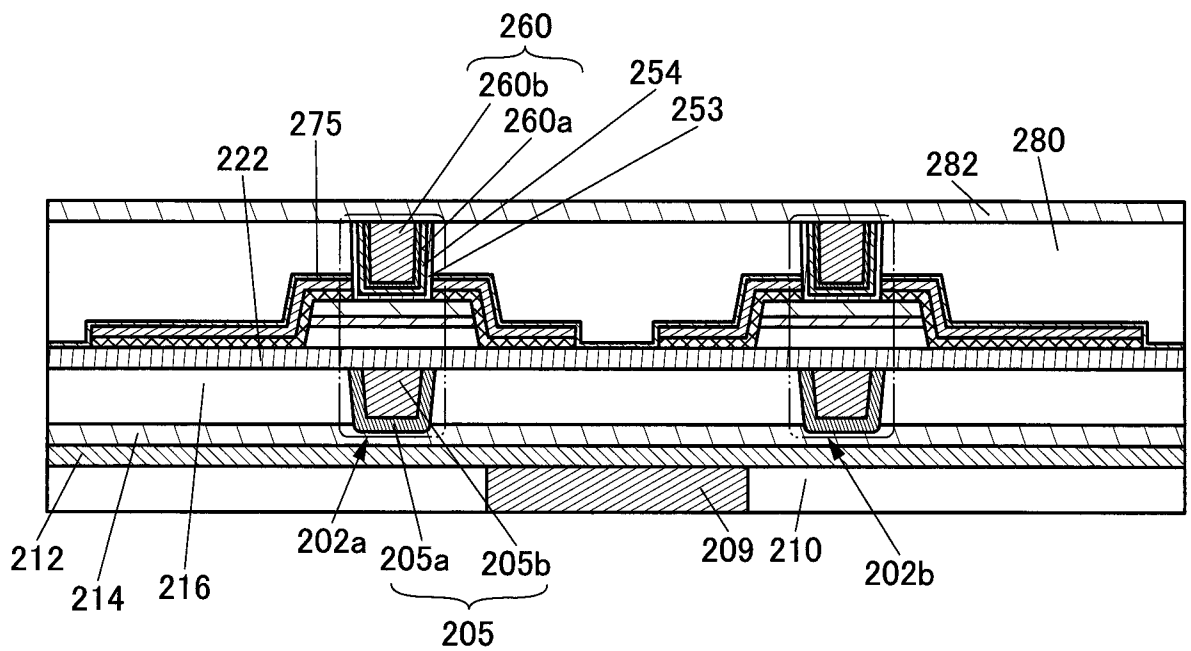
【圖10B】



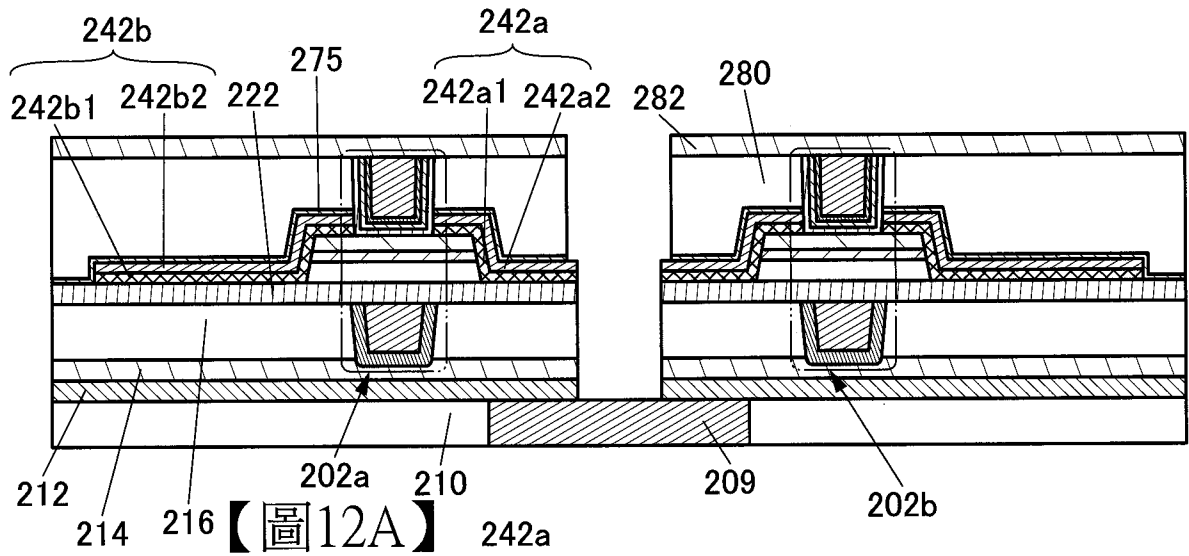
【圖10C】



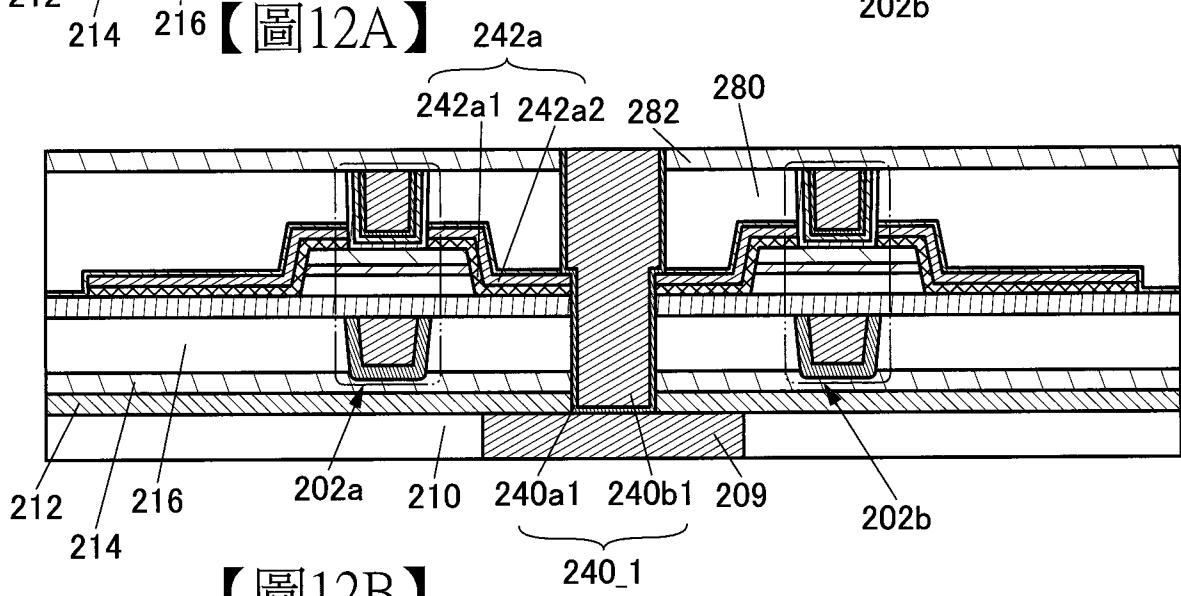
【圖11A】



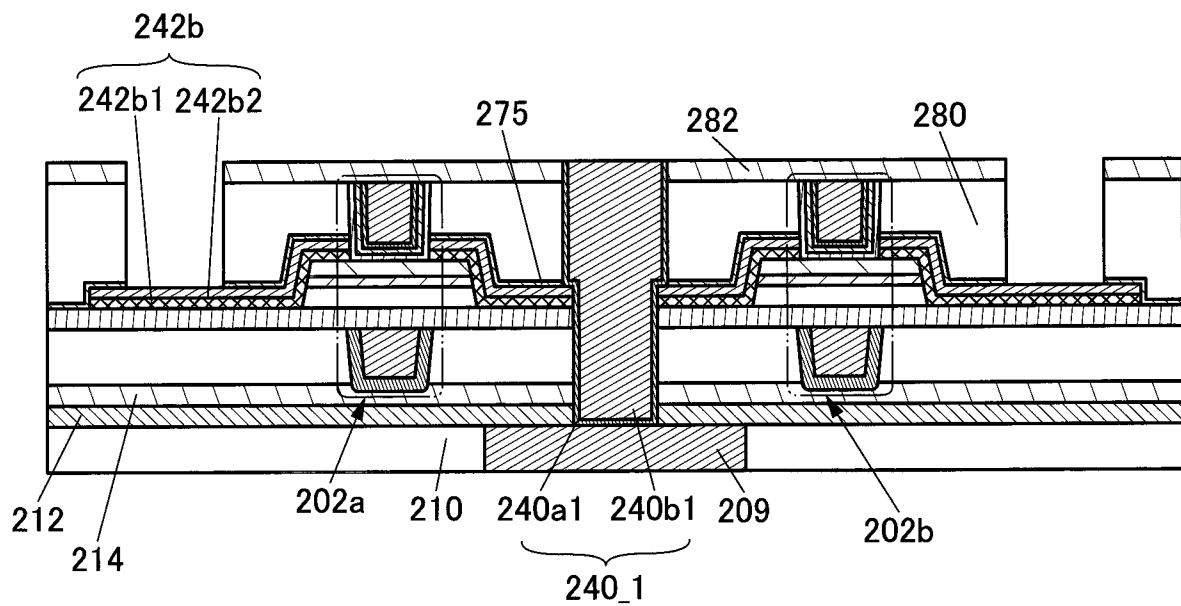
【圖11B】



【圖12A】

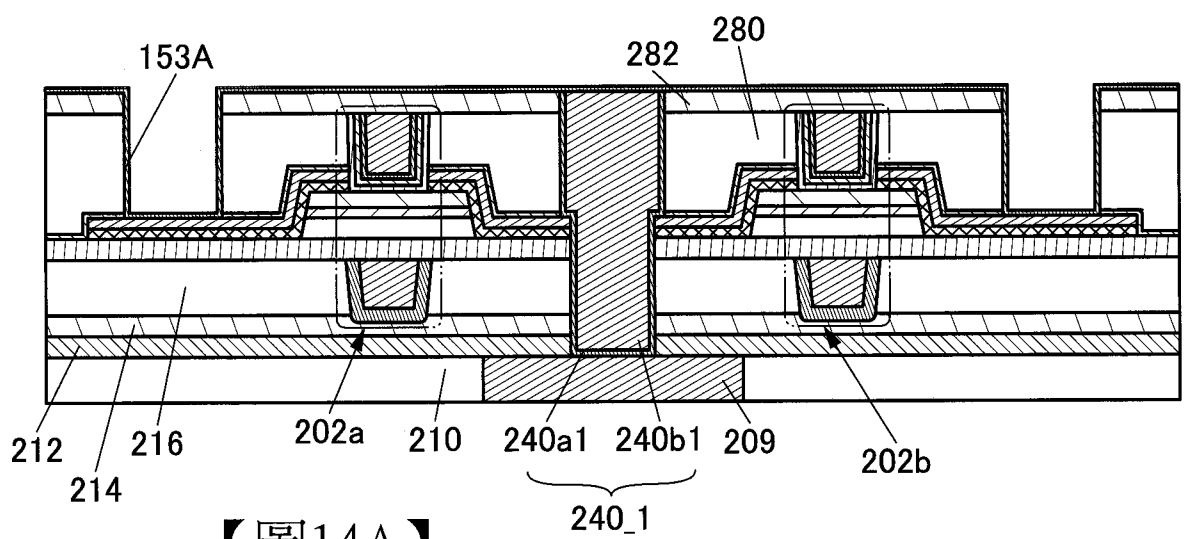


【圖12B】

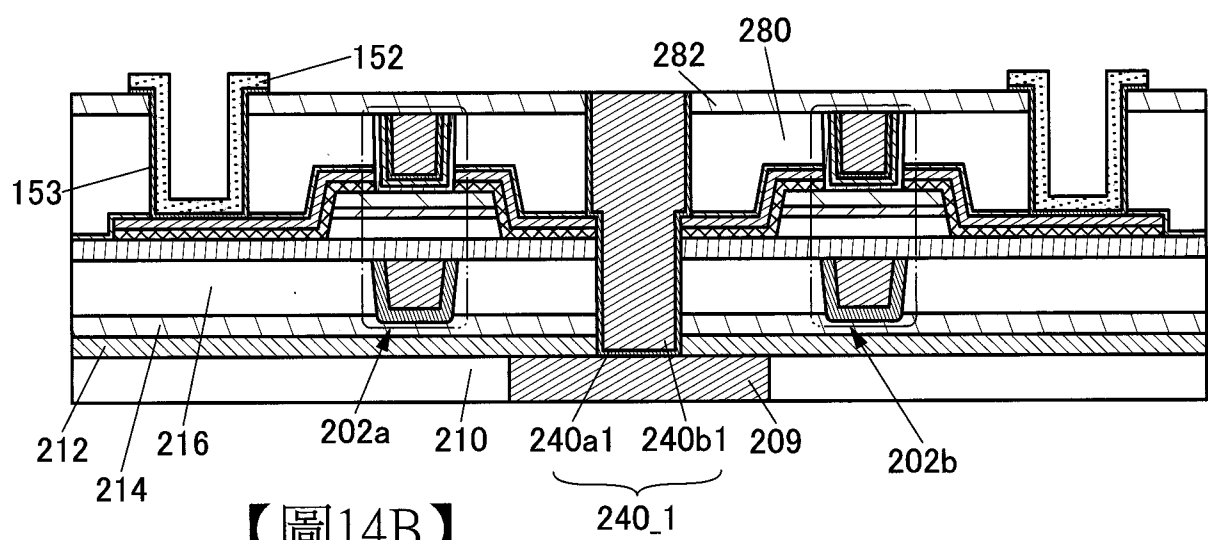


【圖12C】

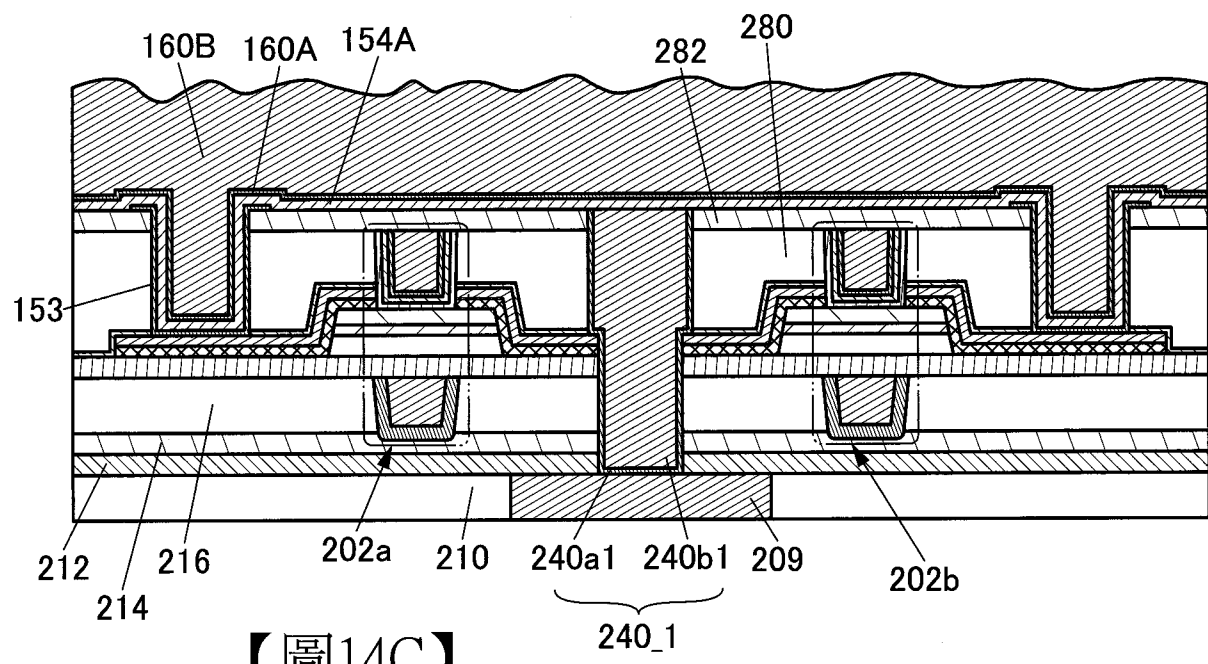




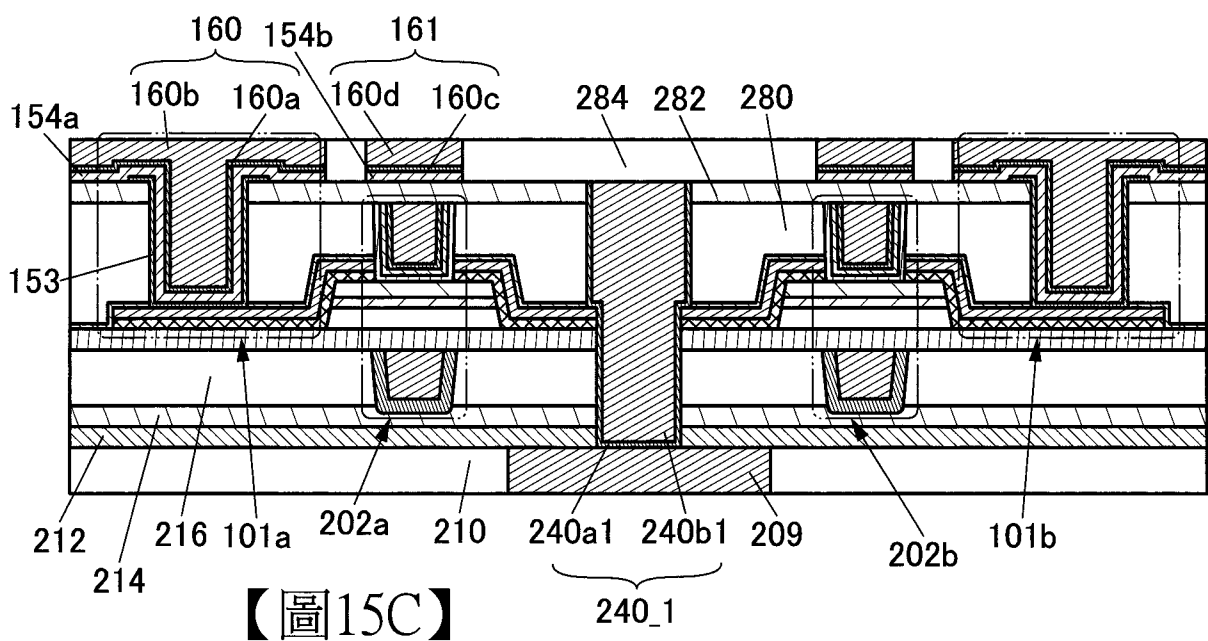
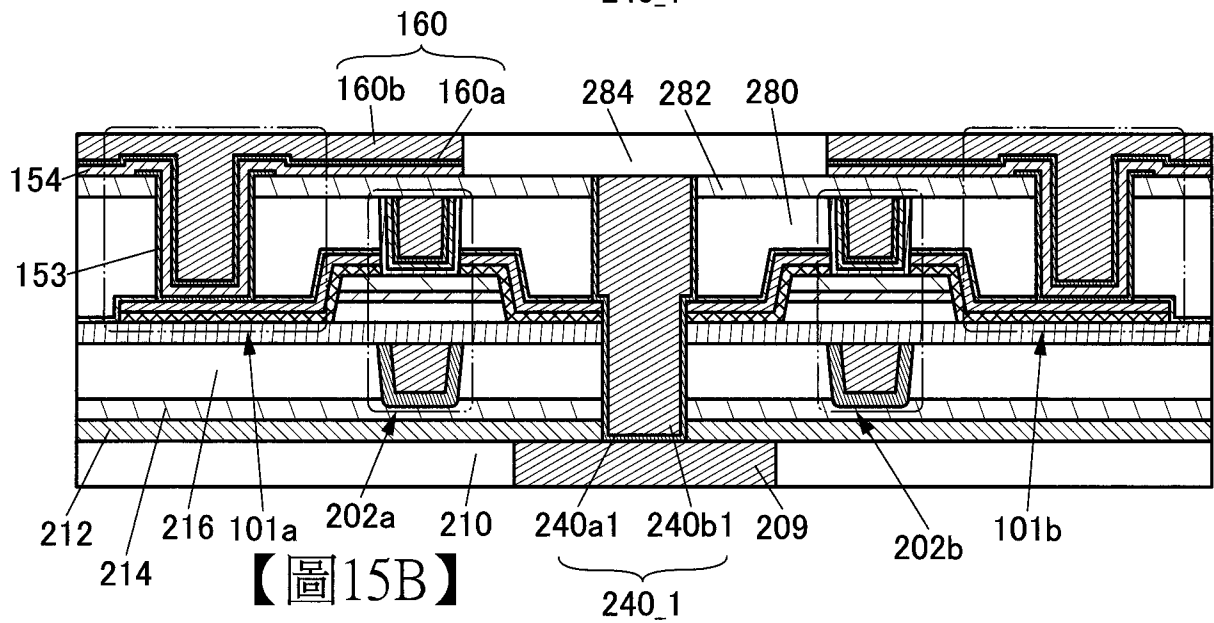
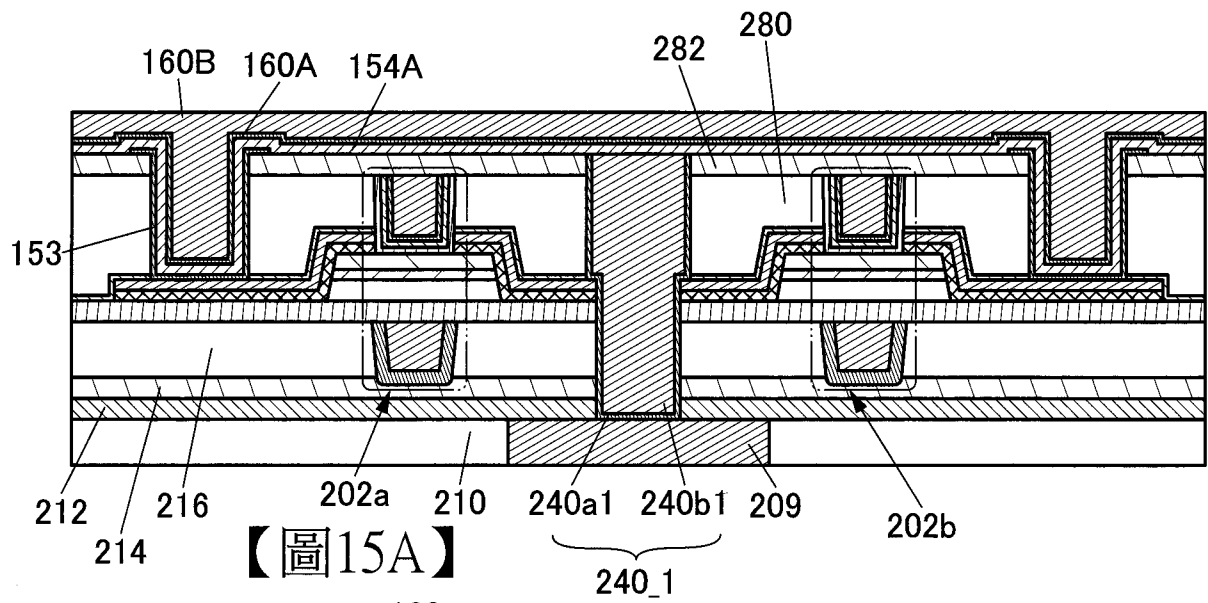
【圖14A】

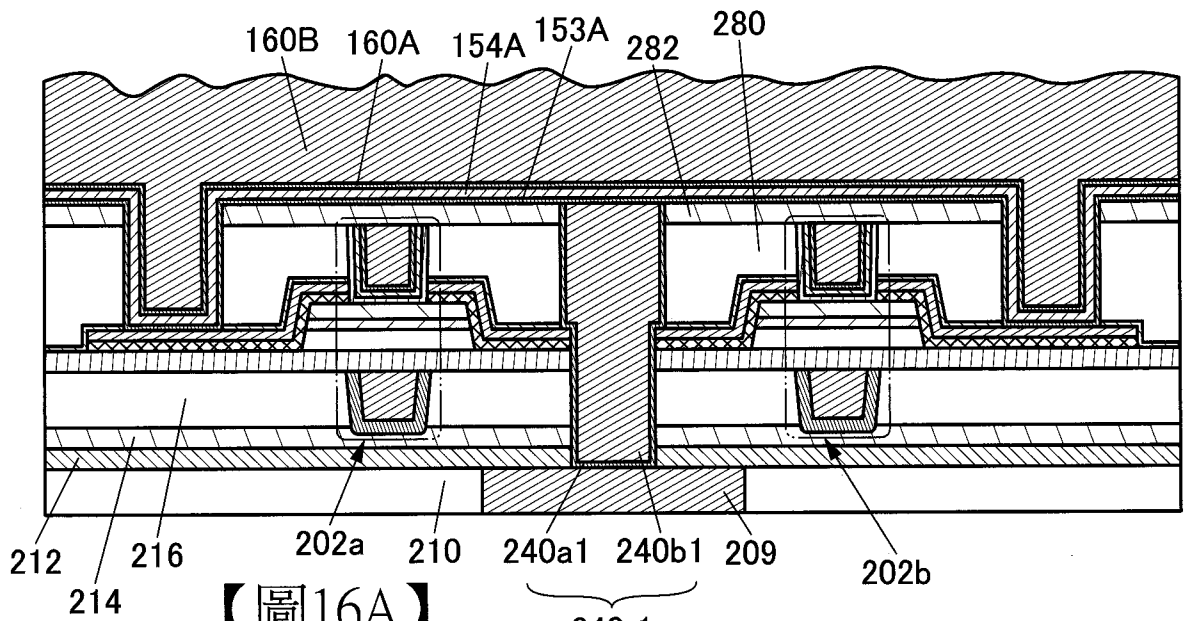


【圖14B】

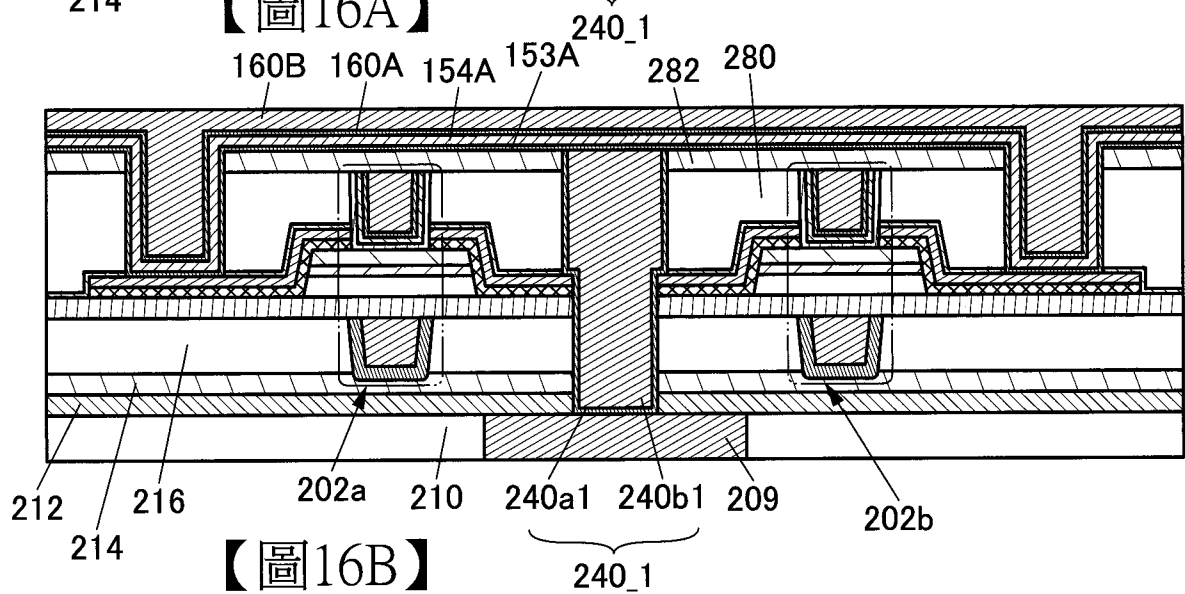


【圖14C】

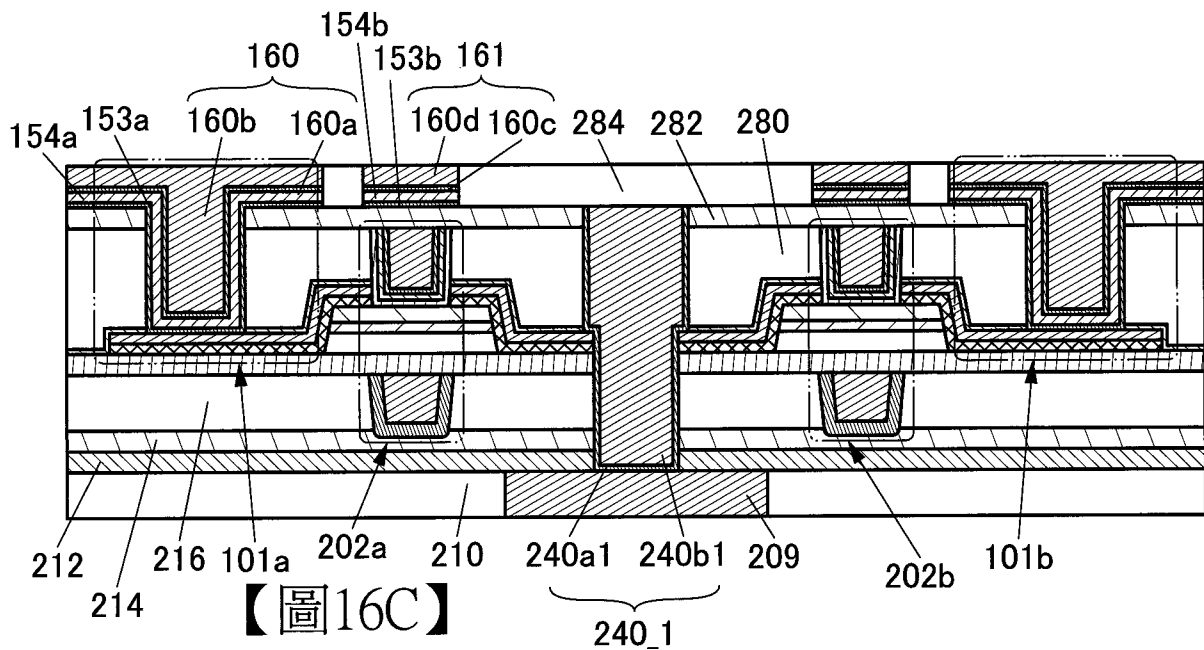




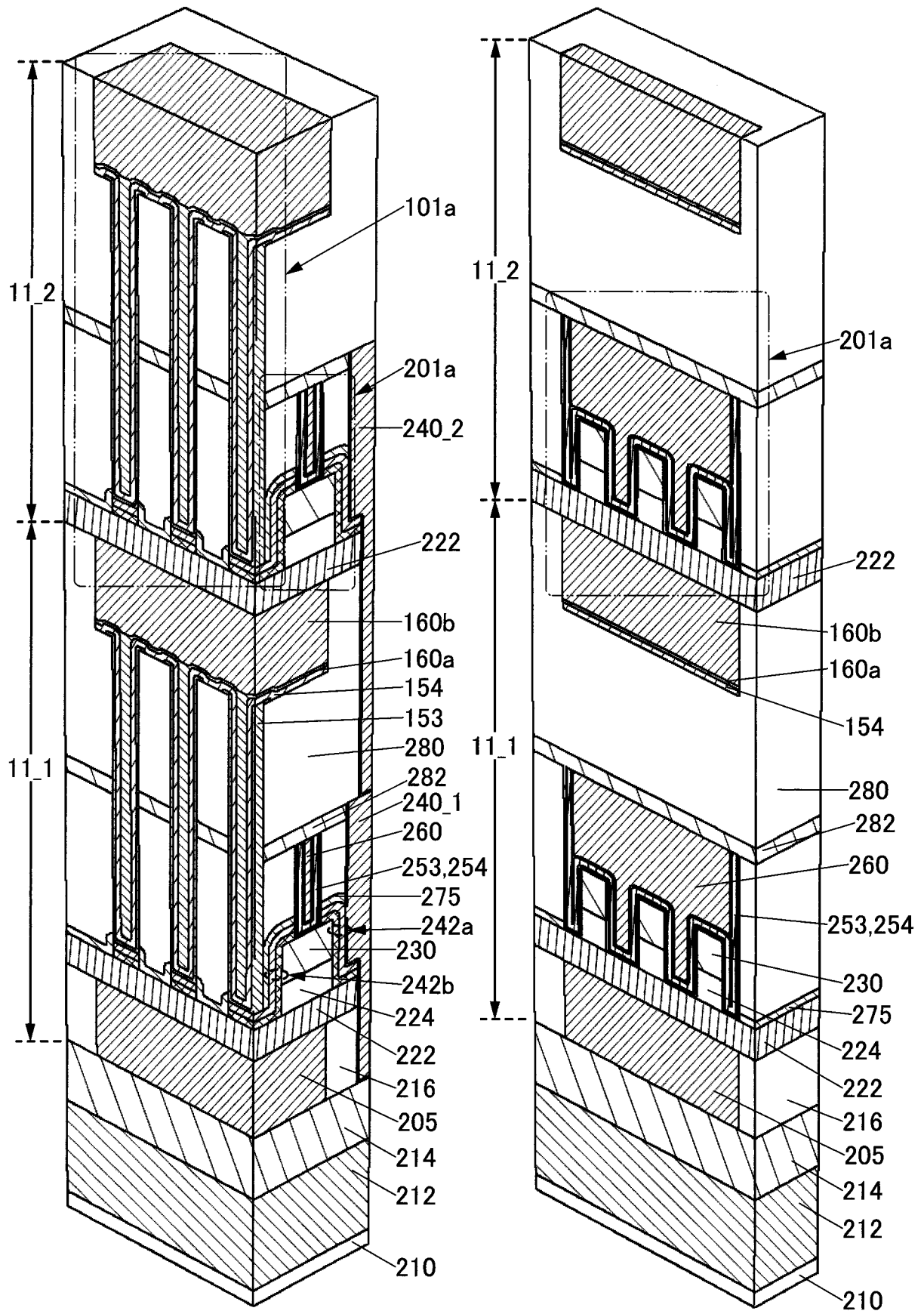
【圖16A】



【圖16B】

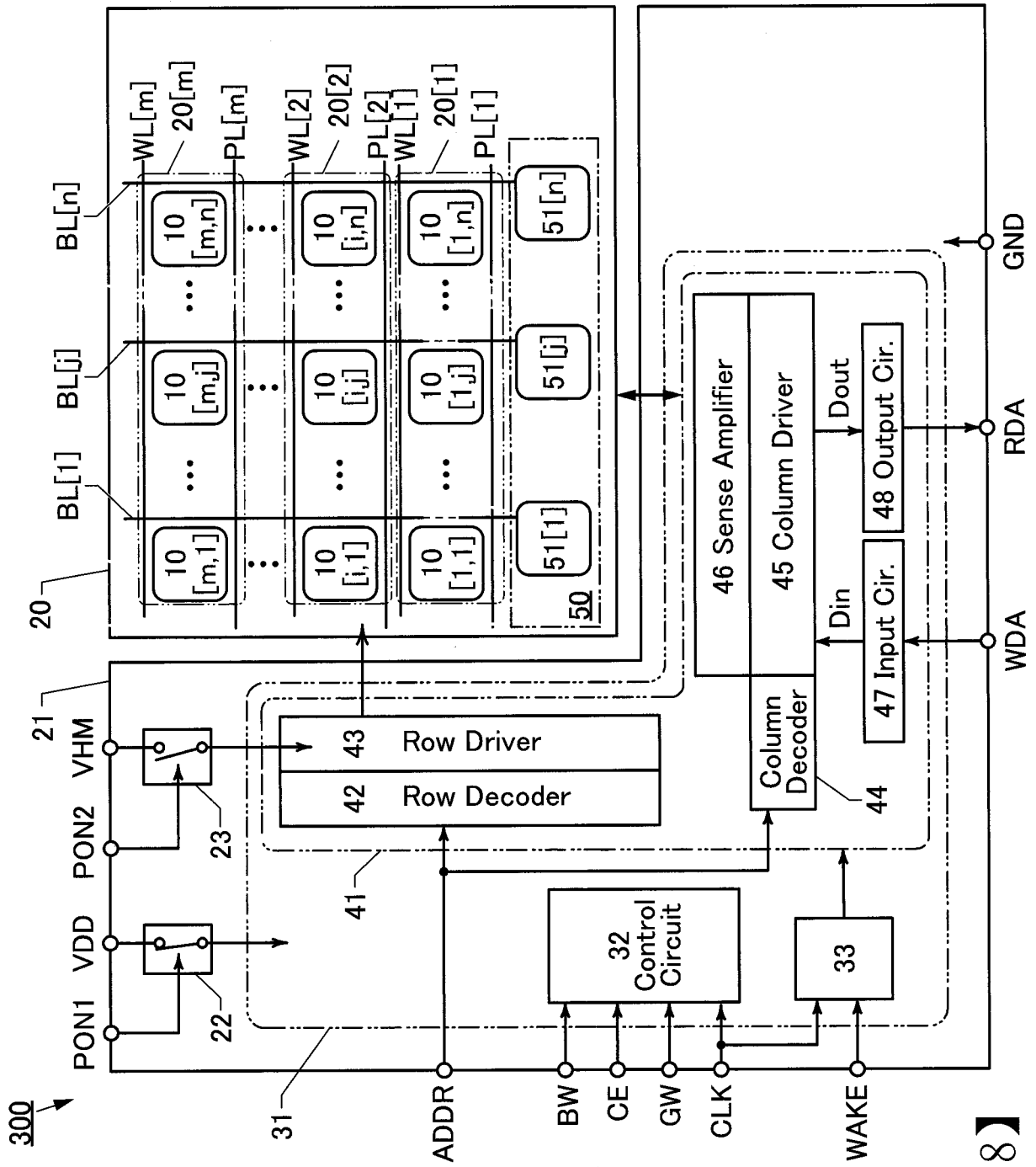


【圖16C】

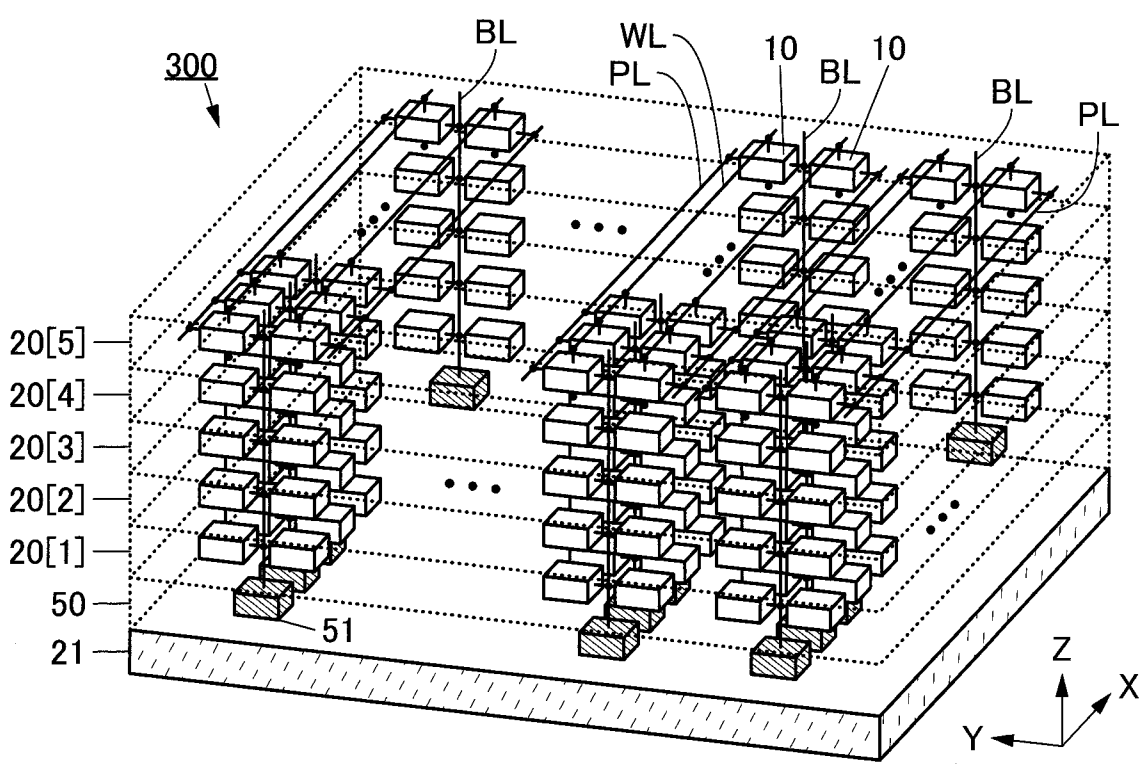


【圖17A】

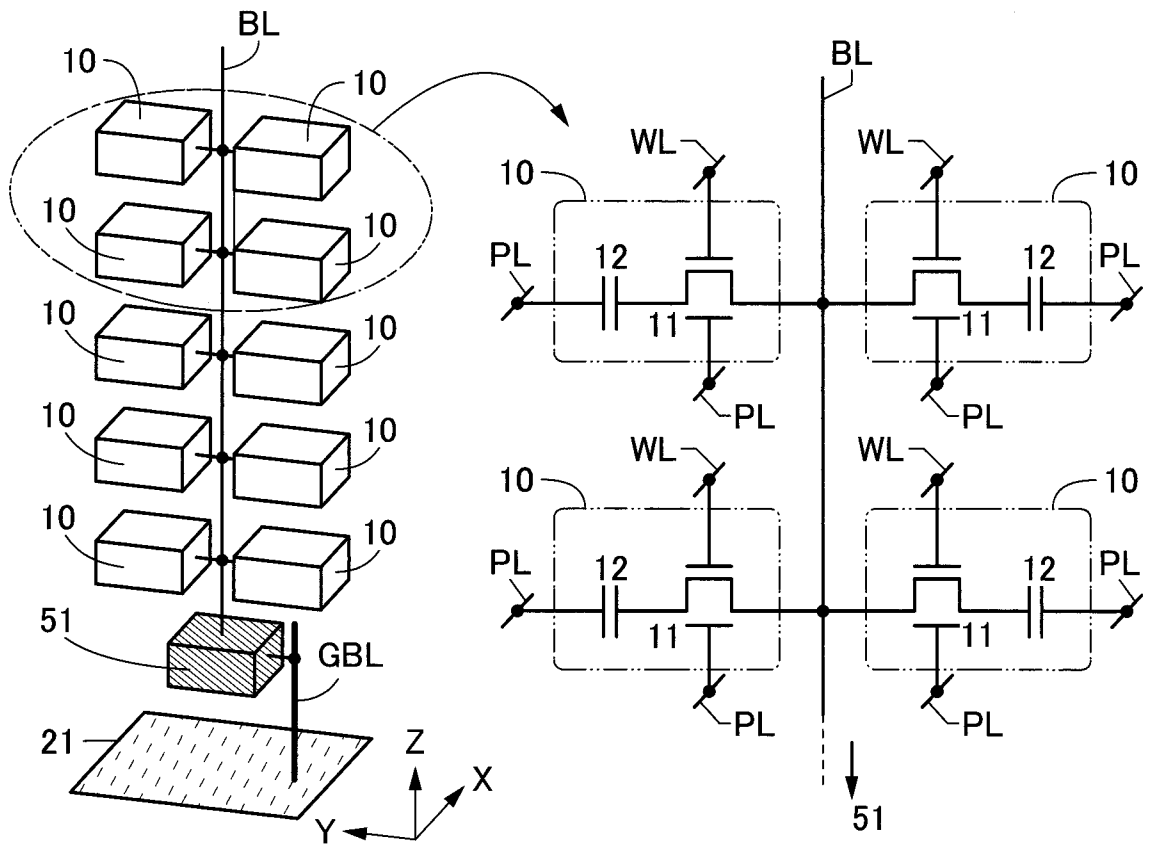
【圖17B】



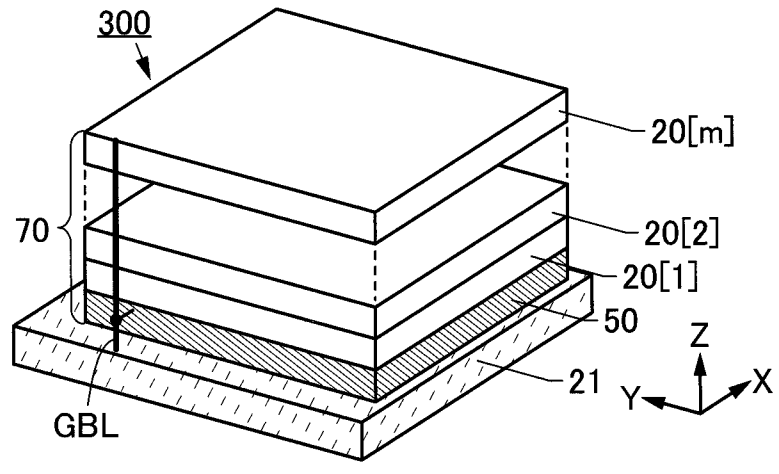
【圖18】



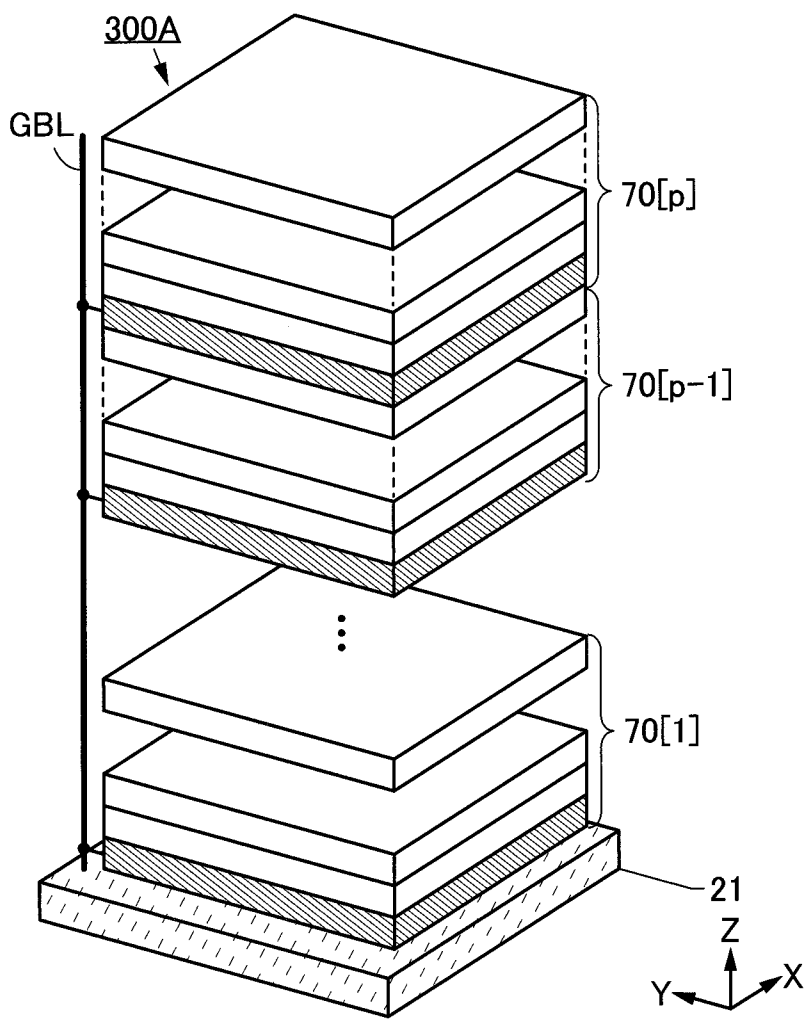
【圖19A】



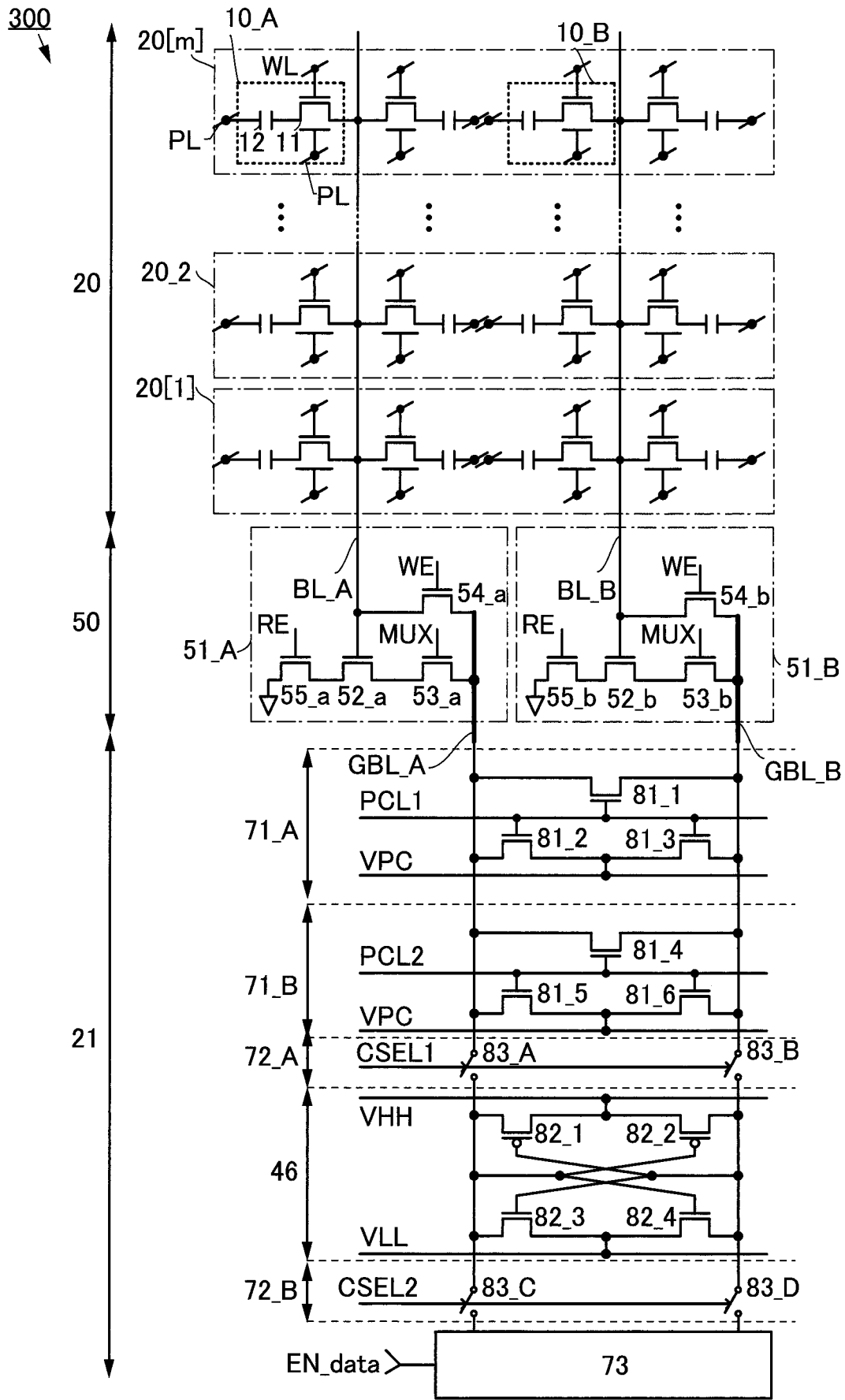
【圖19B】



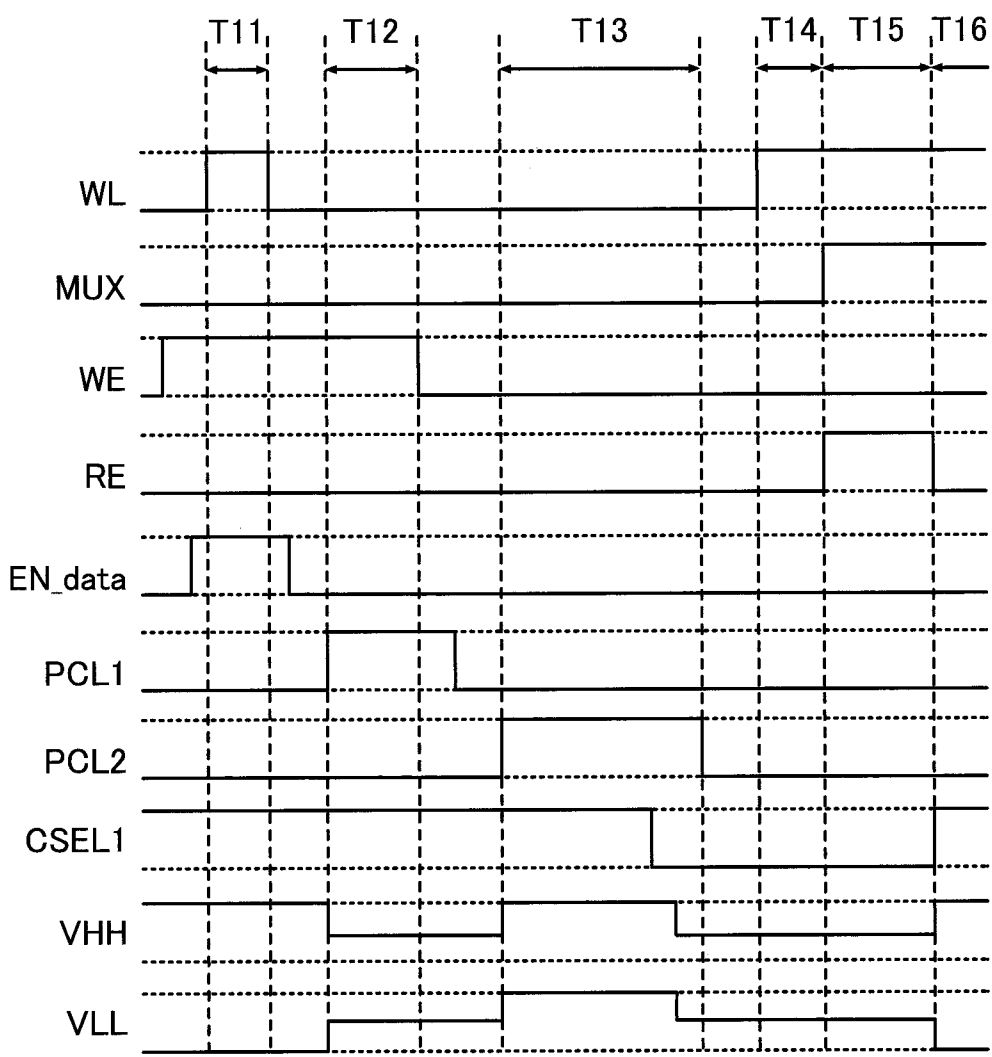
【圖20A】



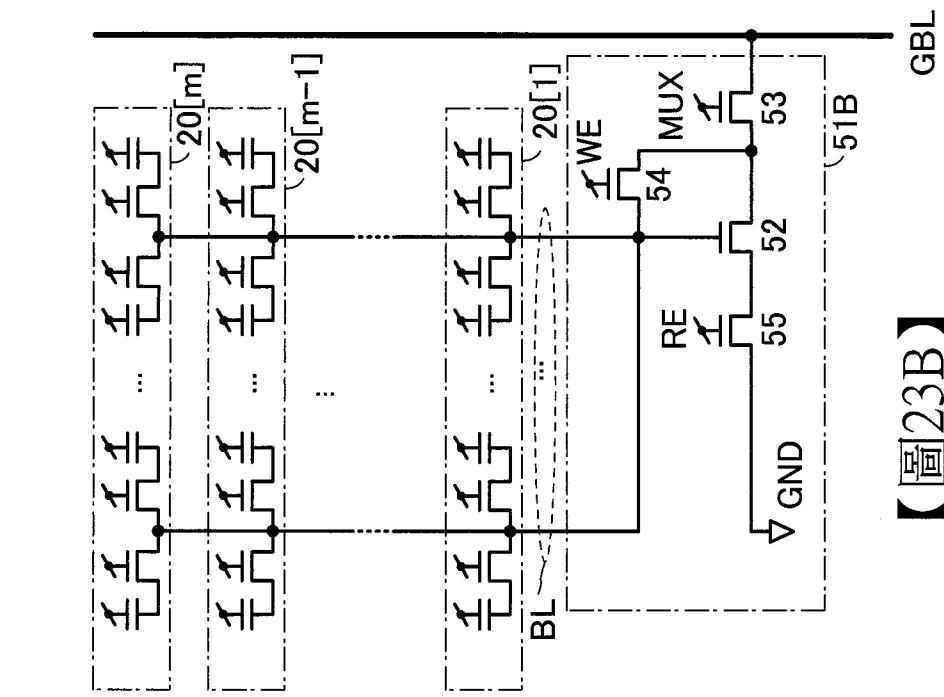
【圖20B】



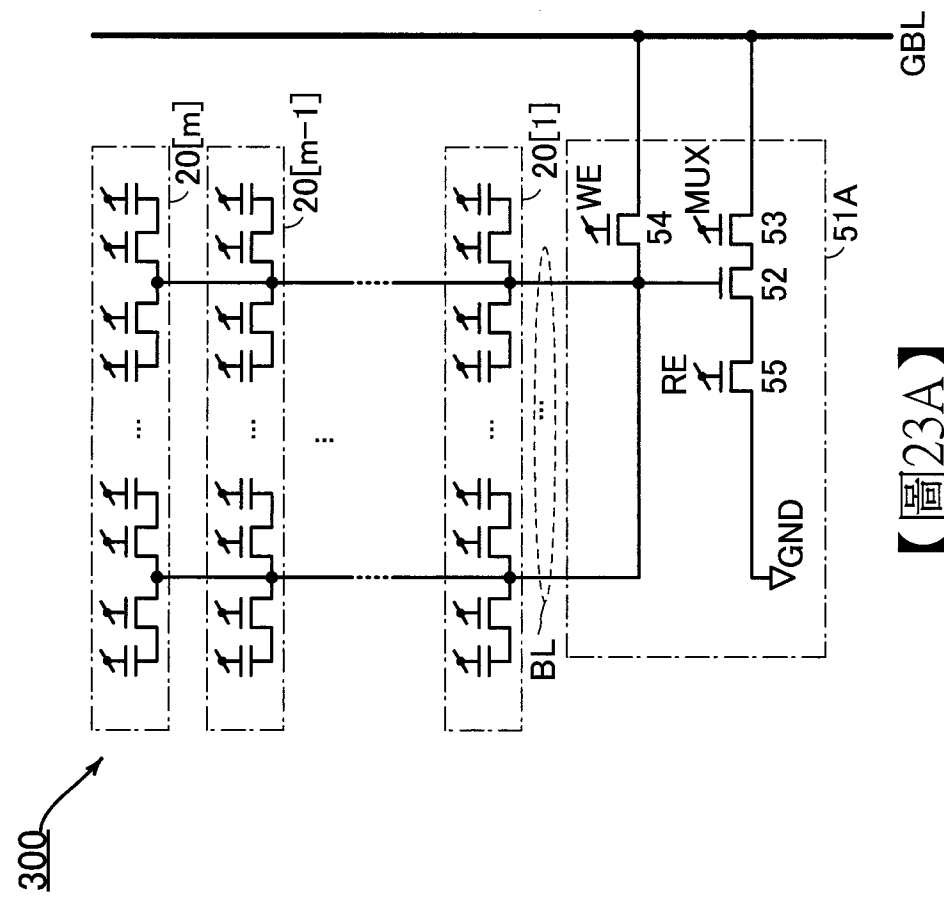
【圖21】



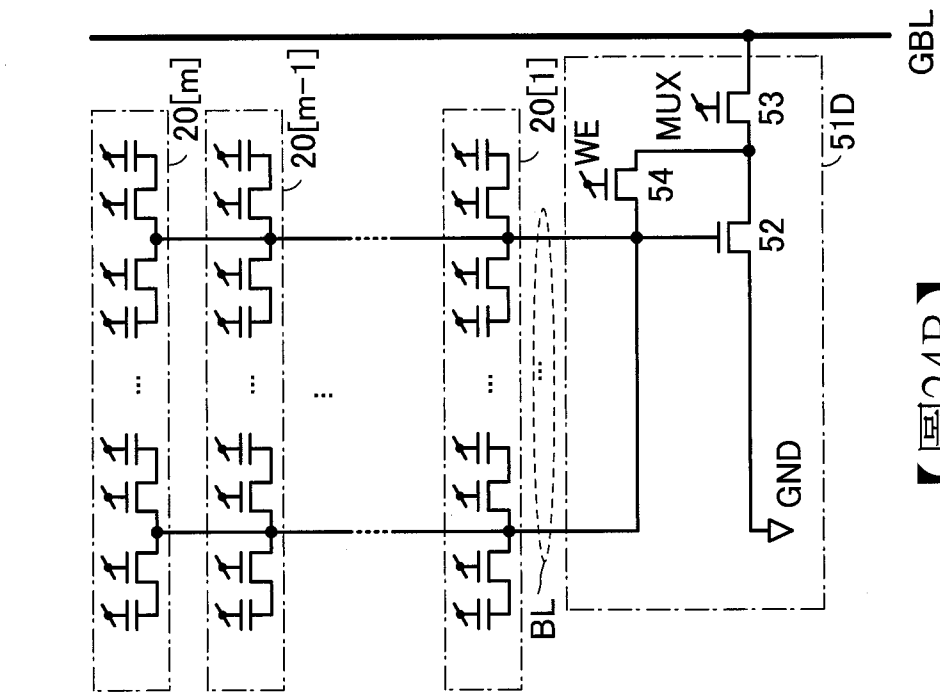
【圖22】



【圖23A】

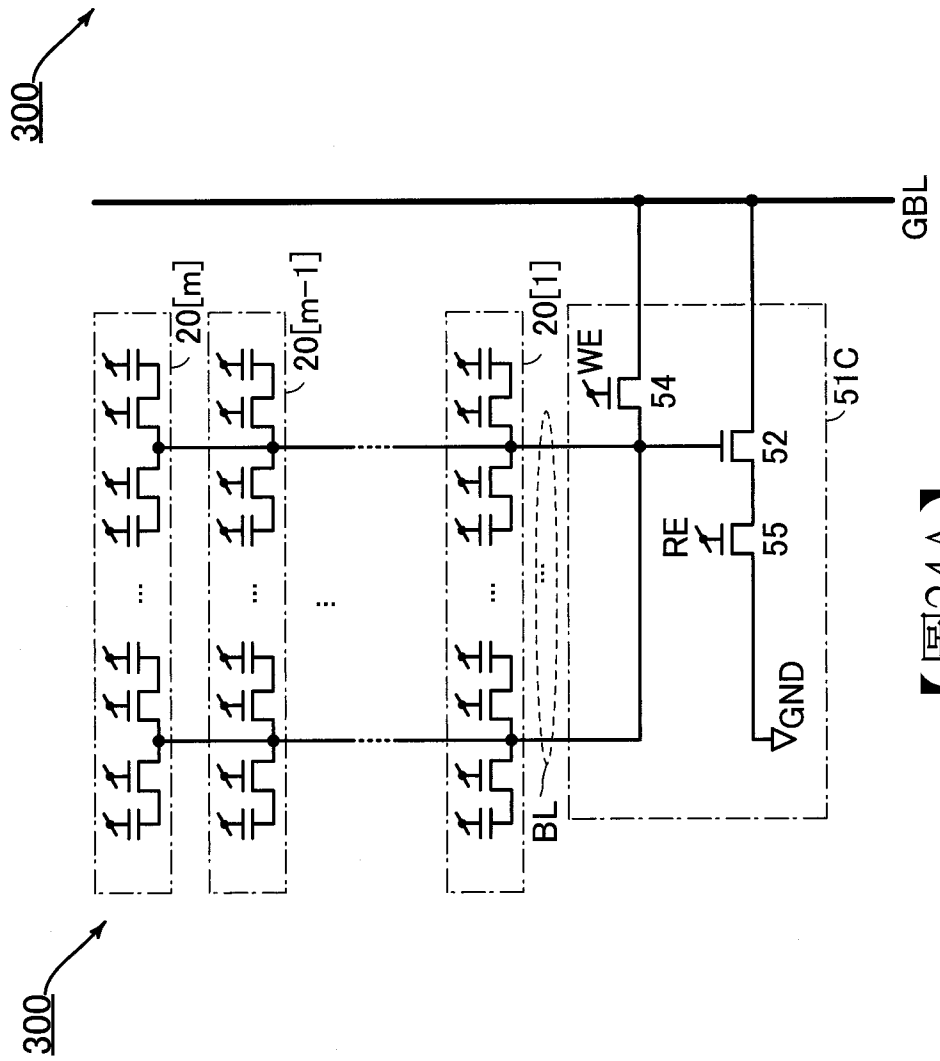


【圖23B】



GBL

【圖24B】

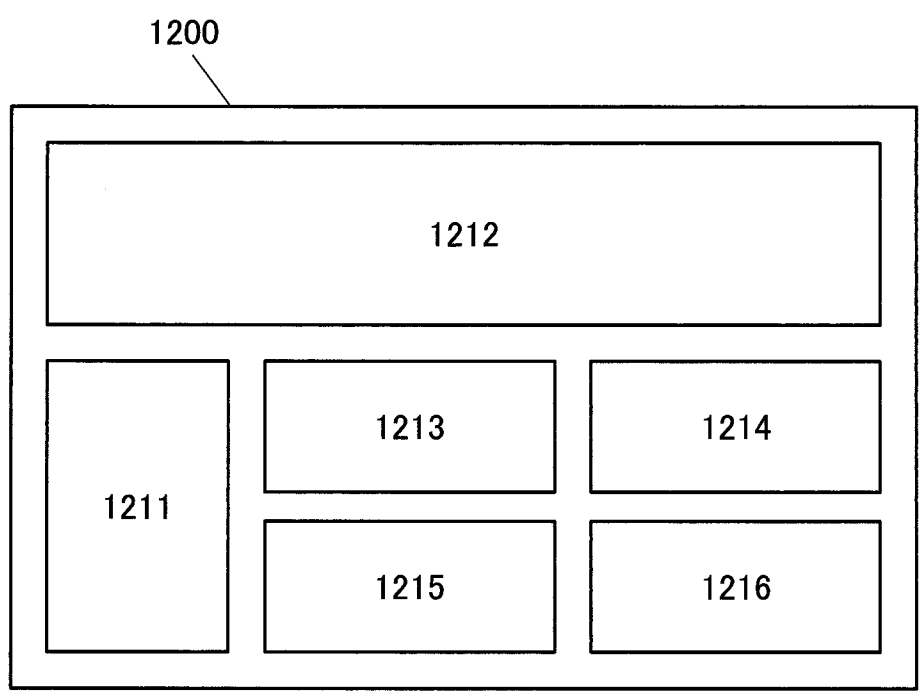


GBL

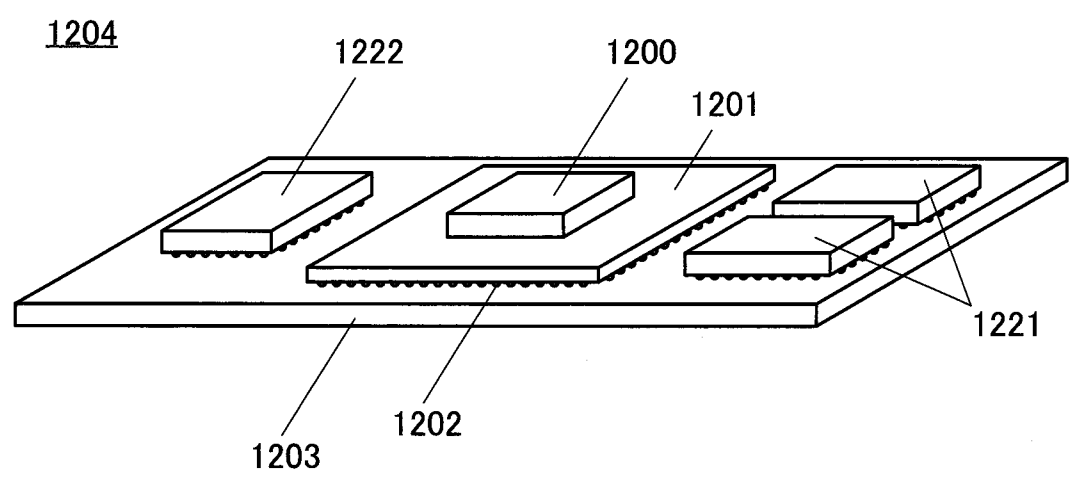
【圖24A】

300

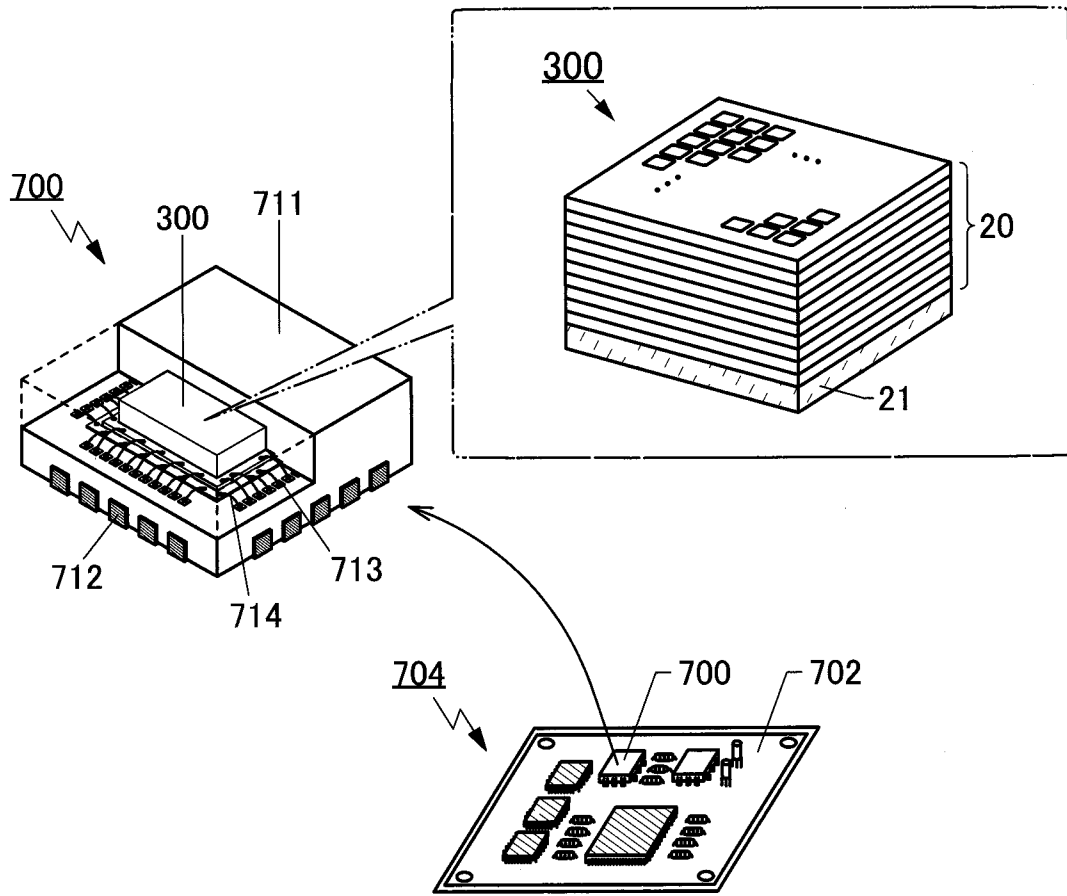
300



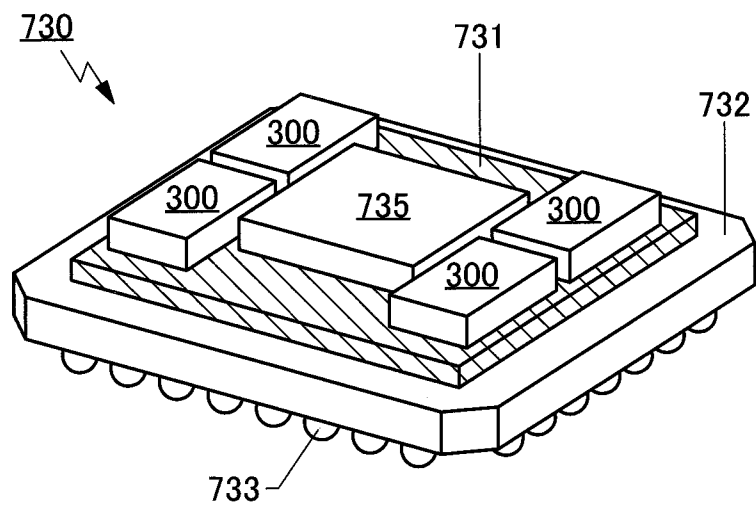
【圖25A】



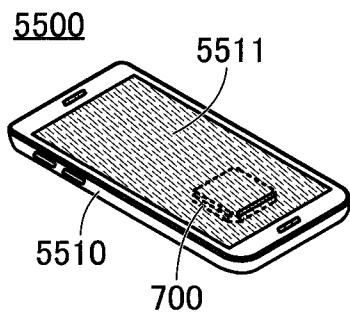
【圖25B】



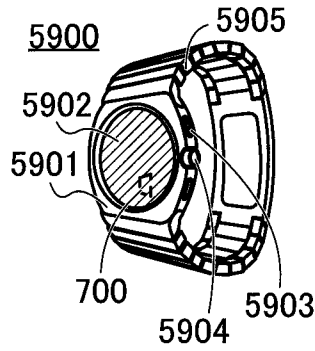
【圖26A】



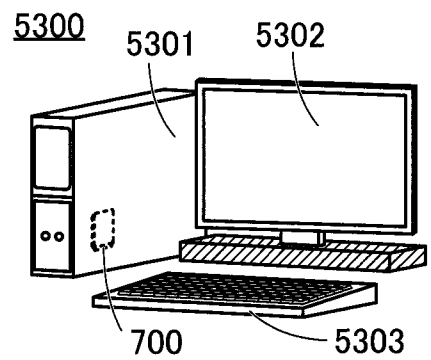
【圖26B】



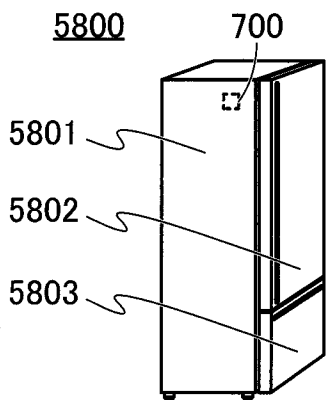
【圖27A】



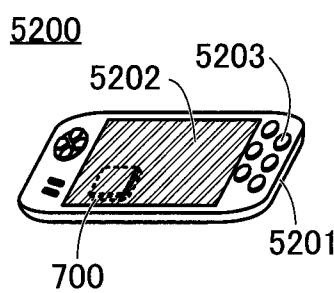
【圖27B】



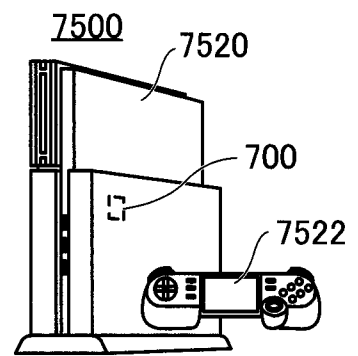
【圖27C】



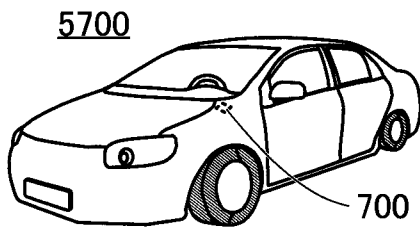
【圖27D】



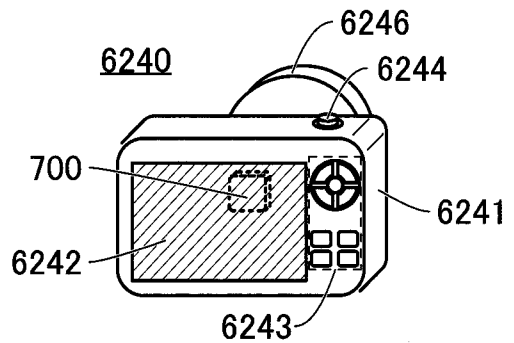
【圖27E】



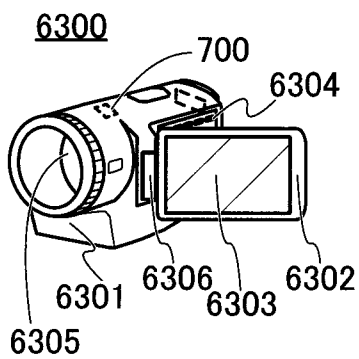
【圖27F】



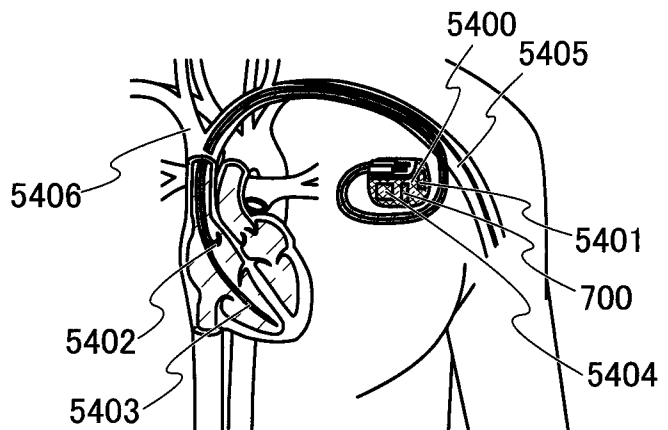
【圖27G】



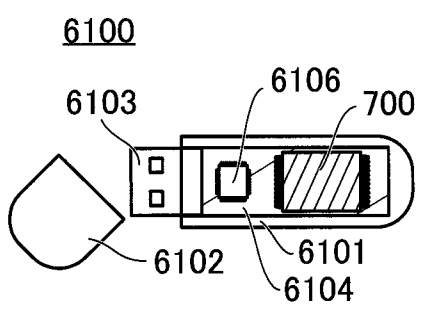
【圖27H】



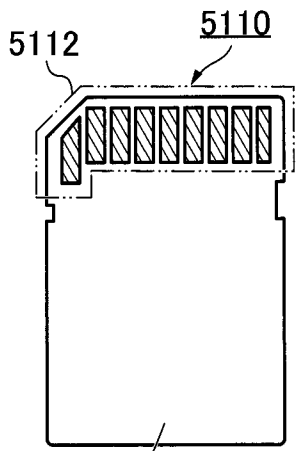
【圖27I】



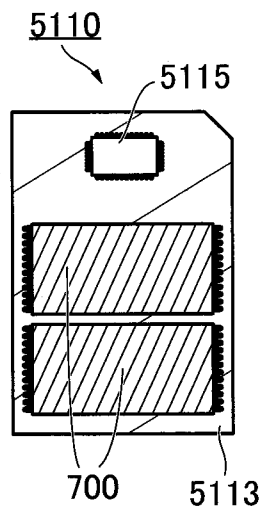
【圖27J】



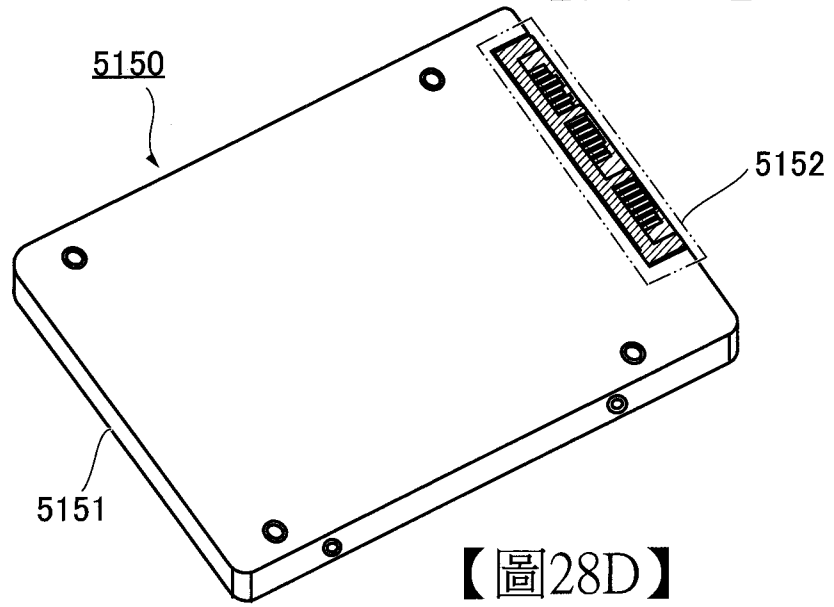
【圖28A】



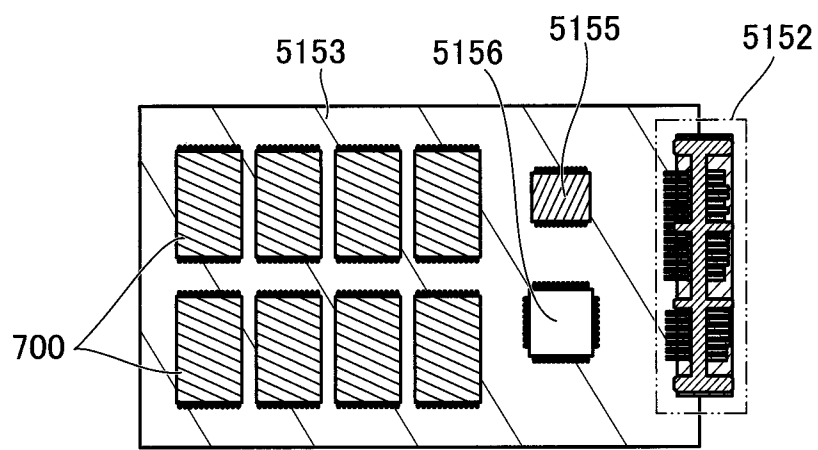
【圖28B】



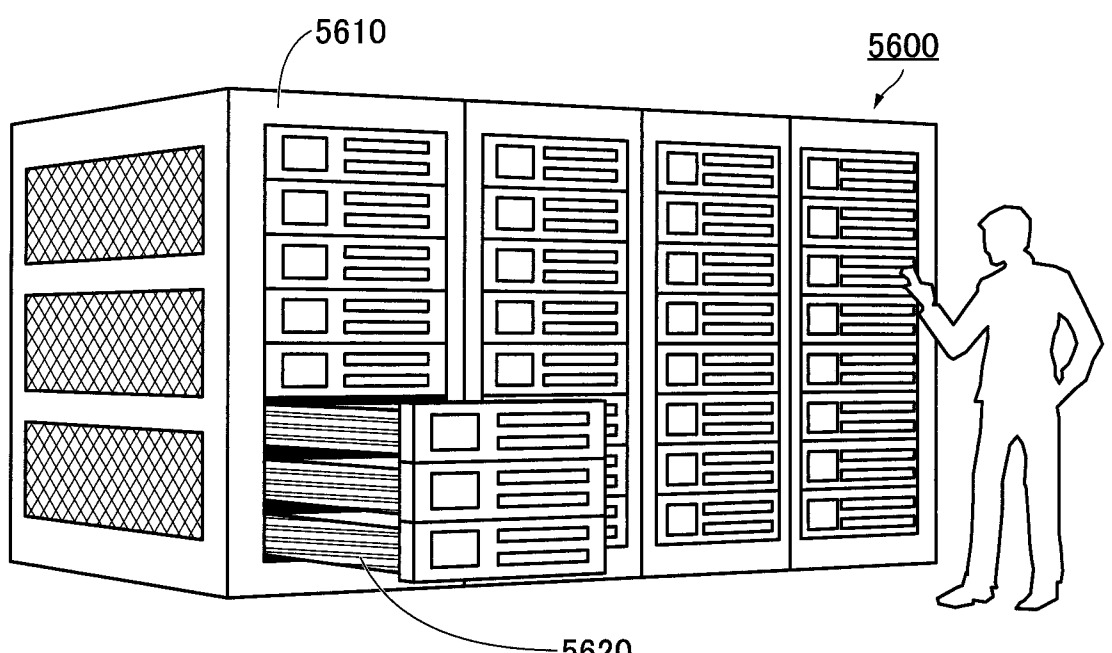
【圖28C】



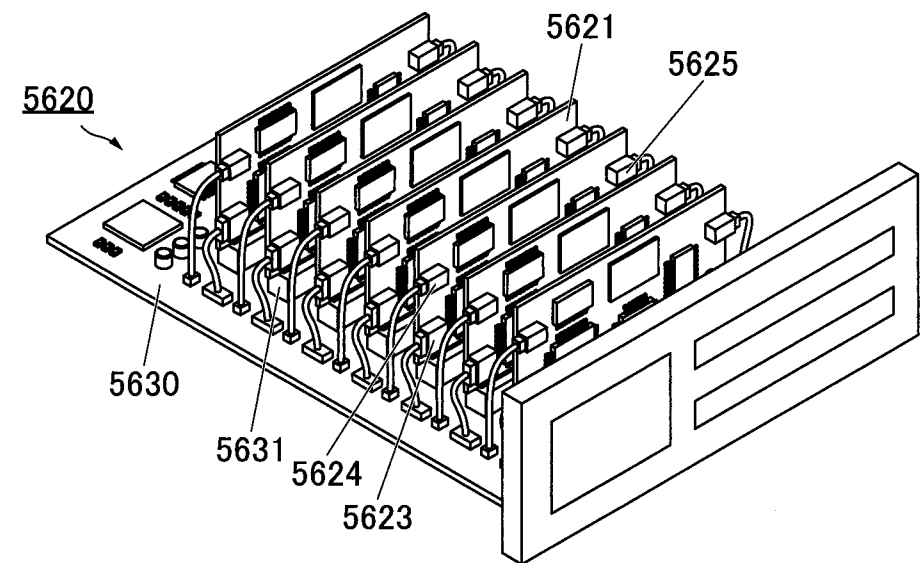
【圖28D】



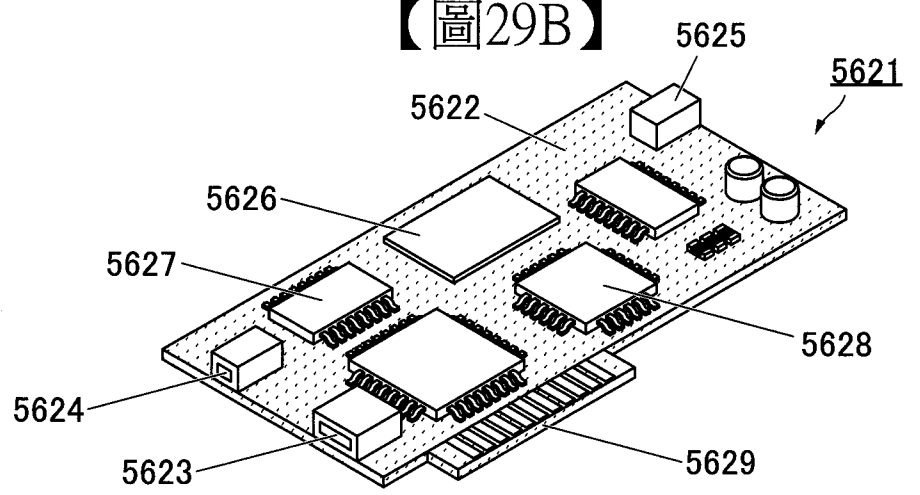
【圖28E】



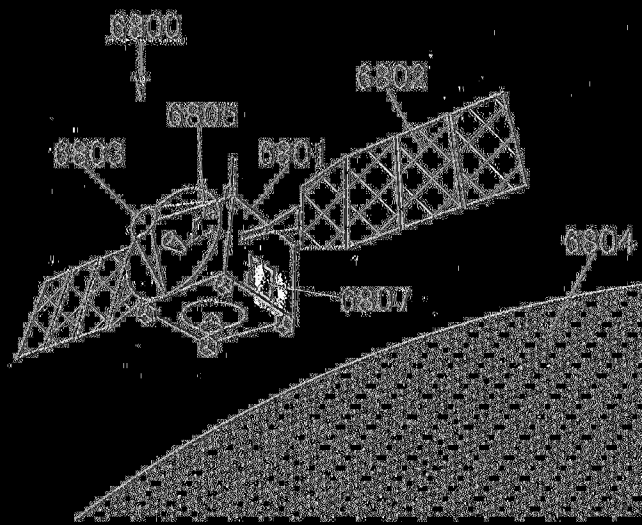
【圖29A】



【圖29B】



【圖29C】



【圖30】