

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 6 月 17 日(17.06.2010)

PCT

(10) 国際公開番号
WO 2010/067482 A1

- (51) 国際特許分類:
H04L 29/14 (2006.01)
- (21) 国際出願番号: PCT/JP2009/003159
- (22) 国際出願日: 2009 年 7 月 7 日(07.07.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
12/329,635 2008 年 12 月 8 日(08.12.2008) US
- (71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト(ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 石川 慎一 (ISHIKAWA, Shinichi) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバンテスト内 Tokyo (JP). 基石 優 (GOISHI, Masaru) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバンテスト内 Tokyo (JP). 中山 浩康 (NAKAYAMA, Hiroyasu)

[JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバンテスト内 Tokyo (JP). 津藤 勝(TSUTO, Masaru) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバンテスト内 Tokyo (JP).

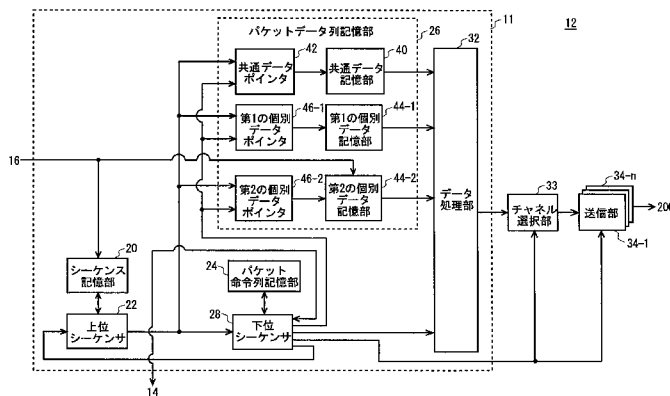
- (74) 代理人: 龍華国際特許業務法人(RYUKA IP Law Firm); 〒1631105 東京都新宿区西新宿 6 - 2 2 - 1 新宿スクエアタワー 5 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア

[続葉有]

(54) Title: TESTING APPARATUS AND TESTING METHOD

(54) 発明の名称: 試験装置および試験方法

[図14]



- 20 sequence storage unit
22 upper sequencer
26 packet data string storage unit
42 common data pointer
40 communication data storage unit
46-1 first individual data pointer
44-1 first individual data storage unit
46-2 second individual data pointer
44-2 second individual data storage unit
24 packet command sequence storage unit
28 lower sequencer
32 data processing unit
33 channel selecting unit
34-1 transmitting unit

(57) Abstract: Disclosed is a testing apparatus for testing a device to be tested. The apparatus comprises: a plurality of channels for inputting/outputting signals between the apparatus and the device to be tested; a generating unit for generating a data string of packets to be communicated with the device to be tested; and a channel selecting unit for selecting the channel, out of the plurality of channels, through which a data string of packets generated by the generating unit is to be communicated. Also disclosed is a testing method relating to the testing apparatus.

(57) 要約: 被試験デバイスを試験する試験装置であって、被試験デバイスとの間で信号を入出力する複数のチャンネルと、被試験デバイスとの間で通信するパケットのデータ列を生成する生成部と、生成部が生成したパケットのデータ列を、複数のチャンネルのうちいずれのチャンネルを介して通信するかを選択するチャンネル選択部と、を備える試験装置ならびに当該試験装置に係る試験方法を提供する。



(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,
NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,
CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 試験装置および試験方法

技術分野

- [0001] 本発明は、試験装置および試験方法に関する。本出願は、下記の米国出願に関連し、下記の米国出願からの優先権を主張する出願である。文献の参照による組み込みが認められる指定国については、下記の出願に記載された内容を参照により本出願に組み込み、本出願の一部とする。

出願番号 12／329, 635 出願日 2008年12月8日

背景技術

- [0002] パケット通信をするデバイスが知られている。また、パケット通信をするデバイスを試験する試験装置も知られている。なお、現時点で先行技術文献の存在を認識していないので、先行技術文献に関する記載を省略する。

発明の開示

発明が解決しようとする課題

- [0003] パケット通信においてデバイス間でやり取りされる各パケットには、実体データの他に、スタートコード、エンドコードおよびチェックコード等の冗長データが含まれる。従って、試験装置は、パケット通信をするデバイスを試験する場合、このような冗長データを含んだ複雑な試験パターンを発生しなけりばならなかつた。
- [0004] また、パケット通信をするデバイスは、通信相手のデバイスとハンドシェイクを実行する。パケット通信をするデバイスは、一例として、通信相手のデバイスと、通信の要求および拒否のやり取り、通信の開始および終了の応答のやり取り、通信の成功および失敗のやり取り等を実行する。
- [0005] 更に、パケット通信をするデバイスを試験する場合、試験装置は、被試験デバイスとハンドシェイクを実行しなければならない。また、試験装置は、ハンドシェイク中において被試験デバイスからの応答を待機している間も、直ぐに応答ができるように次の送信の準備およびアイドルパケット等を送信

しなければならない。従って、試験装置は、このようなデバイスを試験する場合、複雑な試験パターンを発生しなければならなかった。

[0006] また、デバイスの各ピンに対して、パケットを生成する生成部を設けると、回路規模が増大してしまう。更に、デバイスとの通信では、複数種類のプロトコルを使用する場合がある。通信に使用するプロトコルに応じてパケットの内容も異なるので、使用するプロトコル毎に、パケットを生成する生成部を設けなければならない。しかし、デバイスの各ピンに対して、複数のプロトコルに対応する複数の生成部を設けると、回路規模が更に増大してしまう。

[0007] そこで本発明の１つの側面においては、上記の課題を解決することのできる試験装置および試験方法を提供することを目的とする。この目的は請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

課題を解決するための手段

[0008] 本発明の第１の態様によると、被試験デバイスを試験する試験装置であって、被試験デバイスとの間で信号を入出力する複数のチャネルと、被試験デバイスとの間で通信するパケットのデータ列を生成する生成部と、生成部が生成したパケットのデータ列を、複数のチャネルのうちいずれのチャネルを介して通信するかを選択するチャネル選択部と、を備える試験装置ならびに当該試験装置に係る試験方法を提供する。

[0009] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したのではなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0010] [図１]本実施形態に係る試験装置１０の構成を、被試験デバイス２００とともに示す。

[図２]送信側ブロック１２の構成を示す。

[図３]送信側ブロック１２内のデータ処理部３２の構成の一例を示す。

[図４]送信側ブロック１２内の送信部３４の構成の一例を示す。

[図5] 受信側ブロック 14 の構成を示す。

[図6] 受信側ブロック 14 内のデータ処理部 32 の構成の一例を示す。

[図7] 受信側ブロック 14 が有する受信部 82 の構成の一例を示す。

[図8] プロシージャ、パケットシーケンスおよびパケットのデータ構成を示す。

[図9] パケットシーケンスを表わす試験プログラムの一例を示す。

[図10] アイドルパケットを生成するための命令列、および、アイドルパケットに含まれるデータ列の一例を示す。

[図11] ライトパケットを生成するための命令列およびライトパケットに含まれるデータ列の一例を示す。

[図12] 上位シーケンサ 22 および下位シーケンサ 28 による処理タイミングの一例を示す。

[図13] 試験装置 10 の処理フローを示す。

[図14] 送信側ブロック 12 の他の構成例を示す図である。

[図15] 図 14 に示した送信側ブロック 12 の動作例を説明する図である。

[図16] 送信側ブロック 12 の他の構成例を示す図である。

[図17] 送信側ブロック 12 の他の構成例を示す図である。

[図18A] シリアライザ 72 の動作を規定するテーブルの一例を示す。

[図18B] シリアライザ 72 の動作を規定するテーブルの他例を示す。

[図18C] シリアライザ 72 の動作を規定するテーブルの他例を示す。

[図19] 受信側ブロック 14 の他の構成例を示す図である。

符号の説明

- [0011] 10・・・試験装置、11、13・・・生成部、12・・・送信側ブロック、14・・・受信側ブロック、16・・・メインメモリ、18・・・メイン制御部、20・・・シーケンス記憶部、22・・・上位シーケンサ、24・・・パケット命令列記憶部、26・・・パケットデータ列記憶部、28・・・下位シーケンサ、32・・・データ処理部、33・・・チャネル選択部、34・・・送信部、35・・・選択テーブル、40・・・共通データ記憶部

、４２・・・共通データポインタ、４４・・・個別データ記憶部、５２・・・レジスタ、５４・・・前段選択部、５６・・・演算器、５８・・・変換部、６０・・・後段選択部、７２・・・シリアルライザ、７４・・・フォーマットコントローラ、７６・・・ドライバ、８２・・・受信部、８４・・・判定部、８６・・・レベルコンパレータ、８８・・・タイミングコンパレータ、９０・・・デシリアルライザ、９２・・・位相調整部、１２８・・・変換制御部、２００・・・被試験デバイス

発明を実施するための最良の形態

[0012] 以下、発明の実施の形態を通じて本発明の（一）側面を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0013] 図１は、本実施形態に係る試験装置１０の構成を、被試験デバイス２００とともに示す。試験装置１０は、パケットを送信および受信するパケット通信型の被試験デバイス２００を試験する。

[0014] 試験装置１０は、送信側ブロック１２と、受信側ブロック１４と、メインメモリ１６と、メイン制御部１８とを備える。送信側ブロック１２は、試験プログラムにより指定された順序でパケットを被試験デバイス２００に送信する。受信側ブロック１４は、被試験デバイス２００からパケットを受信して、被試験デバイス２００との間の通信の良否を判定する。

[0015] メインメモリ１６は、被試験デバイス２００を試験するための試験プログラムを記憶する。より詳しくは、メインメモリ１６は、被試験デバイス２００に対して送信すべきパケットおよび被試験デバイス２００から受信すべきパケットの順序を表わすパケットシーケンスを表わす試験プログラムを記憶する。更に、メインメモリ１６は、送信または受信すべきパケット内に含まれる、それぞれのパケット毎に個別に定められる個別データを記憶する。

[0016] メイン制御部１８は、メインメモリ１６に記憶された試験プログラムおよ

び個別データを送信側ブロック 12 および受信側ブロック 14 に転送する。

また、メイン制御部 18 は、当該試験装置 10 の開始および終了等の全体の制御を実行する。

[0017] 図 2 は、送信側ブロック 12 の構成を示す。送信側ブロック 12 は、シーケンス記憶部 20 と、上位シーケンサ 22 と、パケット命令列記憶部 24 と、パケットデータ列記憶部 26 と、下位シーケンサ 28 と、データ処理部 32 と、送信部 34 とを有する。

[0018] シーケンス記憶部 20 は、パケットシーケンスを表わす試験プログラムを記憶する。シーケンス記憶部 20 は、試験に先立ってまたは試験中において適宜に、メインメモリ 16 から試験プログラムが転送される。

[0019] 上位シーケンサ 22 は、シーケンス記憶部 20 に記憶された試験プログラムを実行して、被試験デバイス 200 との間で通信する各パケットを順次指定する。上位シーケンサ 22 は、一例として、被試験デバイス 200 との間で通信するパケットについて、パケット命令列記憶部 24 内における当該パケットを発生するための命令列のアドレス（例えば当該命令列の先頭アドレス）を指定する。更に、上位シーケンサ 22 は、一例として、被試験デバイス 200 との間で通信するパケットについて、パケットデータ列記憶部 26 内における当該パケットに含まれるデータ列のアドレス（例えばデータ列の先頭アドレス）を指定する。

[0020] このように上位シーケンサ 22 は、パケットを発生させるための命令列のアドレスと、当該パケットに含まれるデータ列のアドレスを個別に指定する。なお、この場合において、試験プログラム中において、2 以上のパケットに対して共通する命令列またはデータ列が指定されている場合に、上位シーケンサ 22 は、当該 2 以上のパケットについて同一の命令列のアドレスまたは同一のデータ列のアドレスを指定してもよい。

[0021] パケット命令列記憶部 24 は、複数種類のパケットのそれぞれを発生するための命令列を、パケットの種類毎に記憶する。パケット命令列記憶部 24 は、一例として、ライトパケットを発生するための命令列、リードパケット

を発生するための命令列、および、アイドルパケットを発生するための命令列等を記憶する。

[0022] パケットデータ列記憶部 26 は、複数種類のパケットのそれぞれに含まれるデータ列を、パケットの種類毎に記憶する。パケットデータ列記憶部 26 は、一例として、ライトパケットに含まれるデータ列、リードパケットに含まれるデータ列、および、アイドルパケットに含まれるデータ列等を含んでよい。

[0023] パケットデータ列記憶部 26 は、一例として、共通データ記憶部 40 と、共通データポインタ 42 と、第 1 の個別データ記憶部 44-1 と、第 2 の個別データ記憶部 44-2 と、第 1 の個別データポインタ 46-1 と、第 2 の個別データポインタ 46-2 とを含んでよい。共通データ記憶部 40 は、複数種類のパケットのそれぞれに含まれるデータ列中における、パケットの種類毎に共通の共通データを記憶する。共通データ記憶部 40 は、一例として、パケットの種類毎に、パケットの始まりを示すスタートコード、パケットの終わりを示すエンドコード、および、当該パケットの種別を識別するためのコマンドコード等を記憶する。

[0024] 共通データポインタ 42 は、上位シーケンサ 22 により指定されたパケットに含まれる共通データが格納されたブロックの先頭アドレスを、上位シーケンサ 22 から取得する。更に、共通データポインタ 42 は、当該ブロック内におけるオフセット位置を、下位シーケンサ 28 から取得する。そして、共通データポインタ 42 は、先頭アドレスおよびオフセット位置に基づき定まるアドレス（例えば先頭アドレスにオフセット位置を加算したアドレス）を共通データ記憶部 40 に与えて、当該アドレスに格納された共通データをデータ処理部 32 へ供給させる。

[0025] 第 1 及び第 2 の個別データ記憶部 44-1、44-2 は、複数種類のパケットのそれぞれに含まれるデータ列中における、パケット毎に変更する個別データを記憶する。第 1 及び第 2 の個別データ記憶部 44-1、44-2 は、一例として、各パケットに含まれる、被試験デバイス 200 に対して送信

する実体データまたは被試験デバイス 200 から受信する実体データを記憶してよい。

[0026] 第 1 の個別データ記憶部 44-1 は、実行される試験プログラムに関わらず予め定められた個別データを記憶する。第 2 の個別データ記憶部 44-2 は、実行される試験プログラム毎に変更される個別データを記憶する。第 2 の個別データ記憶部 44-2 は、一例として、試験に先立ってまたは試験中において適宜に、メインメモリ 16 から個別データの転送を受ける。

[0027] 第 1 及び第 2 の個別データポインタ 46-1、46-2 は、上位シーケンサ 22 により指定されたパケットに含まれる個別データが格納されたブロックの先頭アドレスを、上位シーケンサ 22 から受け取る。更に、第 1 及び第 2 の個別データポインタ 46-1、46-2 は、当該ブロック内におけるオフセット位置を、下位シーケンサ 28 から取得する。そして、第 1 及び第 2 の個別データポインタ 46-1、46-2 は、先頭アドレスおよびオフセット位置に基づき定まるアドレス（例えば先頭アドレスにオフセット位置を加算したアドレス）を第 1 及び第 2 の個別データ記憶部 44-1、44-2 に与えて、当該アドレスに格納された個別データをデータ処理部 32 へ供給させる。

[0028] 下位シーケンサ 28 は、上位シーケンサ 22 により指定されたパケットの命令列、即ち、上位シーケンサ 22 によりアドレスが指定された命令列をパケット命令列記憶部 24 から読み出して、読み出した命令列に含まれる各命令を順次に実行する。更に、下位シーケンサ 28 は、上位シーケンサ 22 により指定されたパケットのデータ列、即ち、上位シーケンサ 22 によりアドレスが指定されたデータ列を、命令列の実行に従って順次にパケットデータ列記憶部 26 から読み出して、被試験デバイス 200 との間の試験に用いる試験データ列を生成する。

[0029] 下位シーケンサ 28 は、一例として、上位シーケンサ 22 により指定されたパケットに含まれるデータ列が格納されたブロック中における、実行した命令に対応するデータの位置を表わすオフセット位置を、共通データポイン

タ 4 2、個別データポインタ 4 6 - 1 および個別データポインタ 4 6 - 2 に供給する。この場合において、下位シーケンサ 2 8 は、最初の命令において初期値を発生して、実行する命令が遷移する毎にインクリメントされるカウンタ値を、オフセット位置として発生してもよい。なお、下位シーケンサ 2 8 により実行される命令列は、前方向ジャンプ命令および分岐命令等を含まないことが好ましい。これにより、下位シーケンサ 2 8 は、簡易な構成により高速な処理を実現することができる。

[0030] また、下位シーケンサ 2 8 は、命令の実行毎に、読み出した個別データおよび共通データに対して指定した処理（演算またはデータ変換）を施すことを指示する制御データをデータ処理部 3 2 に与える。これにより、下位シーケンサ 2 8 は、上位シーケンサ 2 2 により指定されたパケット中における、指定されたデータ部分を、読み出したデータに対して指定した処理を施したデータとすることができる。

[0031] また、下位シーケンサ 2 8 は、命令の実行毎に、共通データ、個別データ（実行される試験プログラムに関わらず予め定められた個別データまたは実行される試験プログラム毎に変更される個別データ）、および、データ処理部 3 2 が処理を施したデータのいずれを出力するかを、データ処理部 3 2 に対して指定する。即ち、下位シーケンサ 2 8 は、命令の実行毎に、共通データ記憶部 4 0、第 1 の個別データ記憶部 4 4 - 1、第 2 の個別データ記憶部 4 4 - 2、または、データ処理部 3 2 内の指定した処理を施したデータが格納されたレジスタのいずれからデータを読み出して出力するかを、データ処理部 3 2 に対して指定する。

[0032] これにより、下位シーケンサ 2 8 は、上位シーケンサ 2 2 により指定されたパケット中における、パケット毎に変更すべきデータ部分を個別データ記憶部 4 4 から読み出した個別データから生成することができる。更に、下位シーケンサ 2 8 は、上位シーケンサ 2 2 により指定されたパケット中における、パケットの種類毎に共通するデータ部分を共通データ記憶部 4 0 から読み出した共通データから生成することができる。また、更に、下位シーケン

サ 2 8 は、上位シーケンサ 2 2 により指定されたパケット中における、指定されたデータ部分を、読み出したデータに対して指定した処理を施したデータとすることができる。

[0033] また、下位シーケンサ 2 8 は、上位シーケンサ 2 2 により指定されたパケットの命令列の実行が完了したことに応じて、終了通知を上位シーケンサ 2 2 に与えてよい。これにより、上位シーケンサ 2 2 は、下位シーケンサ 2 8 による命令列の実行の進行に応じて、順次にパケットを指定することができる。

[0034] また、下位シーケンサ 2 8 は、送信部 3 4 に対して、被試験デバイス 2 0 0 に対して送信する信号のエッジタイミングの指定を行う。下位シーケンサ 2 8 は、一例として、送信部 3 4 に対してタイミング信号を与えて、パケット毎にエッジタイミングを制御する。

[0035] また、下位シーケンサ 2 8 は、後述する図 5 に示される受信側ブロック 1 4 が有する受信側の下位シーケンサ 2 8 と通信を行う。これにより、送信側ブロック 1 2 が有する送信側の下位シーケンサ 2 8 は、受信側ブロック 1 4 が有する受信側の下位シーケンサ 2 8 とハンドシェイクを行って、受信側の下位シーケンサ 2 8 と同期して命令列を実行することができる。

[0036] 送信側の下位シーケンサ 2 8 は、一例として、予め指定されたパケットの試験データ列を被試験デバイス 2 0 0 に送信したことを受信側の下位シーケンサ 2 8 に通知する。これにより、送信側の下位シーケンサ 2 8 は、受信側の下位シーケンサ 2 8 に、送信側の下位シーケンサ 2 8 からの通知を受けるまでの間、判定部 8 4 による受信部 8 2 が受信したデータ列の良否判定を禁止させることができる。

[0037] また、送信側の下位シーケンサ 2 8 は、一例として、受信側の下位シーケンサ 2 8 から、生成した試験データ列と一致するデータ列を受信したことの通知を受けて、予め指定されたパケットの試験データ列を生成する。これにより、送信側の下位シーケンサ 2 8 は、所定のパケットを被試験デバイス 2 0 0 から受信した後に、予め定められたパケットを被試験デバイス 2 0 0 に

送信することができる。

- [0038] データ処理部 32 は、共通データ記憶部 40、第 1 の個別データ記憶部 44-1 および第 2 の個別データ記憶部 44-2 からのデータを入力して、入力したデータに対して下位シーケンサ 28 により指定された処理をして試験データ列の各データとして出力する。なお、データ処理部 32 は、下位シーケンサ 28 による指定の内容によっては、入力したデータをそのまま試験データ列のデータとして出力してもよい。データ処理部 32 の構成の一例については、図 3 において説明する。
- [0039] 送信部 34 は、データ処理部 32 から出力された試験データ列を、被試験デバイス 200 に対して送信する。送信部 34 の構成の一例については、図 4 において説明する。
- [0040] 図 3 は、送信側ブロック 12 内のデータ処理部 32 の構成の一例を示す。送信側ブロック 12 内のデータ処理部 32 は、一例として、少なくとも 1 つのレジスタ 52 と、前段選択部 54 と、少なくとも 1 つの演算器 56 と、変換部 58 と、後段選択部 60 とを含む。
- [0041] 少なくとも 1 つのレジスタ 52 のそれぞれは、前サイクルの演算処理結果を記憶する。本例においては、データ処理部 32 は、第 1 のレジスタ 52-1 と、第 2 のレジスタ 52-2 とを含む。
- [0042] 前段選択部 54 は、サイクル毎に、共通データ記憶部 40 からの共通データ、それぞれの個別データ記憶部 44（本例においては第 1 の個別データ記憶部 44-1 および第 2 の個別データ記憶部 44-2）からの個別データ、それぞれのレジスタ 52（本例においては第 1 のレジスタ 52-1 および第 2 のレジスタ 52-2）のデータおよび変換部 58 が出力するデータから、下位シーケンサ 28 により指定されたデータを選択する。そして、前段選択部 54 は、サイクル毎に、選択したデータのそれぞれを、下位シーケンサ 28 により指定された、演算器 56（本例においては第 1 のレジスタ 52-1 および第 2 のレジスタ 52-2）、変換部 58 または後段選択部 60 に供給する。

- [0043] 少なくとも1つの演算器56のそれぞれは、少なくとも1つのレジスタ52のそれぞれに対応して設けられる。本例においては、データ処理部32は、第1のレジスタ52-1に対応する第1の演算器56-1と、第2のレジスタ52に対応する第2の演算器56-2とを含む。演算器56のそれぞれは、一例として、論理演算、四則演算、擬似乱数発生および誤り訂正符号生成等の演算を行う。演算器56のそれぞれは、サイクル毎に、前段選択部54により選択されたデータに対して、下位シーケンサ28により指定された演算をして対応するレジスタ52に格納する。
- [0044] 変換部58は、サイクル毎に、前段選択部54が選択したデータを予め設定されたテーブルにより変換する。変換部58は、一例として、8b-10b変換等のデータ変換を行う。そして、変換部58は、変換したデータを出力する。
- [0045] 後段選択部60は、サイクル毎に、前段選択部54が選択したデータ（本例においては、本例においては、共通データ記憶部40、第1の個別データ記憶部44-1または第2の個別データ記憶部44-2からのデータ）、少なくとも1つのレジスタ52内のデータ、および変換部58が出力するデータから、指定されたパケットに応じたデータを選択する。そして、後段選択部60は、選択したデータを試験データ列の各データとして、出力する。
- [0046] 図4は、送信側ブロック12内の送信部34の構成の一例を示す。送信部34は、一例として、シリアルライザ72と、フォーマットコントローラ74と、ドライバ76とを含む。
- [0047] シリアルライザ72は、データ処理部32から受け取った試験データ列をシリアル波形パターンに変換する。フォーマットコントローラ74は、シリアルライザ72から受け取った波形パターンに応じた波形を有する信号を生成する。更に、フォーマットコントローラ74は、下位シーケンサ28により指定されたエッジタイミングにおいて、論理が変化する波形の信号を出力する。ドライバ76は、フォーマットコントローラ74から出力された信号を被試験デバイス200に供給する。

- [0048] 図5は、受信側ブロック14の構成を示す。受信側ブロック14は、図2に示される送信側ブロック12と略同一の構成および機能を有する。受信側ブロック14が有する部材のうち、送信側ブロック12が有する部材と略同一の構成及び機能を部材については、同一の符号を付けて相違点を除き説明を省略する。
- [0049] 受信側ブロック14は、シーケンス記憶部20と、上位シーケンサ22と、パケット命令列記憶部24と、パケットデータ列記憶部26と、下位シーケンサ28と、データ処理部32と、受信部82と、判定部84とを有する。受信部82は、被試験デバイス200からパケットのデータ列を受信する。受信部82の構成の一例については、図7において説明する。
- [0050] 受信側ブロック14内のデータ処理部32は、受信部82が受信したデータ列を入力して、入力したデータ列を、生成した試験データ列とともに出力する。データ処理部32の構成の一例については、図6において説明する。
- [0051] 受信側ブロック14内の下位シーケンサ28は、被試験デバイス200から出力が期待されるデータ列を、試験データ列として出力する。また、受信側ブロック14内の下位シーケンサ28は、受信部82に対して、被試験デバイス200から出力された信号のデータ値を取り込むストローブタイミングを指定する。
- [0052] 判定部84は、データ処理部32から、試験データ列および受信部82が受信したデータ列を受け取る。判定部84は、受信部82が受信したデータ列を試験データ列と比較した結果に基づいて、被試験デバイス200との間の通信の良否を判定する。判定部84は、一例として、受信部82が受信したデータ列と試験データ列とが一致するか否かを比較する論理比較部と、比較結果を記憶するフェイルメモリとを含む。
- [0053] また、受信側ブロック14内の下位シーケンサ28は、図2に示される送信側ブロック12が有する送信側の下位シーケンサ28と通信を行う。これにより、受信側ブロック14が有する受信側の下位シーケンサ28は、送信側ブロック12が有する送信側の下位シーケンサ28とハンドシェイクを行

って、送信側の下位シーケンサ 28 と同期して命令列を実行することができる。

[0054] 受信側の下位シーケンサ 28 は、一例として、当該受信側の下位シーケンサ 28 が生成した試験データ列と一致するデータ列を受信したことを送信側の下位シーケンサ 28 に通知する。これにより、送信側の下位シーケンサ 28 は、受信側の下位シーケンサ 28 から、生成した試験データ列と一致するデータ列を受信したことの通知を受けて、予め指定されたパケットの試験データ列を生成することができる。

[0055] また、受信側の下位シーケンサ 28 は、一例として、送信側の下位シーケンサ 28 から、予め指定されたパケットの試験データ列を被試験デバイス 200 に送信したことの通知を受けるまでの間、判定部 84 による受信部 82 が受信したデータ列の良否判定を禁止する。これにより、受信側の下位シーケンサ 28 は、所定のパケットを被試験デバイス 200 へ送信した後に、当該所定のパケットに応じた応答が被試験デバイス 200 から出力されたか否かを判定することができる。

[0056] 図 6 は、受信側ブロック 14 内のデータ処理部 32 の構成の一例を示す。受信側ブロック 14 内のデータ処理部 32 は、図 3 に示された、送信側ブロック 12 内のデータ処理部 32 と略同一の構成および機能を有する。受信側ブロック 14 内のデータ処理部 32 が含む部材のうち、送信側ブロック 12 内のデータ処理部 32 が含む部材と略同一の構成及び機能を部材については、同一の符号を付けて相違点を除き説明を省略する。

[0057] 受信側ブロック 14 内の前段選択部 54 は、サイクル毎に、更に、受信部 82 が受信したデータを後段選択部 60 に供給する。また、受信側ブロック 14 内の後段選択部 60 は、サイクル毎に、更に、前段選択部 54 から供給された受信部 82 が受信したデータを、試験データ列のデータとともに出力する。これにより、受信側ブロック 14 内のデータ処理部 32 は、受信部 82 が受信したデータ列を入力して、入力したデータ列を、生成した試験データ列とともに出力することができる。

- [0058] 図7は、受信側ブロック14が有する受信部82の構成の一例を示す。受信部82は、一例として、レベルコンパレータ86と、タイミングコンパレータ88と、デシリアライザ90と、位相調整部92とを含む。
- [0059] レベルコンパレータ86は、被試験デバイス200から出力された信号を閾値と比較して、論理信号を出力する。タイミングコンパレータ88は、下位シーケンサ28により指定されたストローブタイミングで、レベルコンパレータ86により出力された論理信号のデータを順次に取り込む。デシリアライザ90は、タイミングコンパレータ88により取り込まれたデータ列を平行の試験データ列に変換する。位相調整部92は、パケットの先頭の特定コードを検出して、デシリアライザ90による平行の試験データの切り出し位相を調整する。
- [0060] 図8は、プロシージャ、パケットシーケンスおよびパケットのデータ構成を示す。試験装置10は、1以上の連続したプロシージャを含む試験プログラムを実行する。それぞれのプロシージャは、被試験デバイス200へ送信すべきパケットのシーケンス、または、被試験デバイス200から受信すべきと期待されるパケットのシーケンスを定義する。
- [0061] 上位シーケンサ22は、このような試験プログラムを実行して、被試験デバイス200へ送信すべきパケット、および、被試験デバイス200から受信すべきパケットを順次に指定する。そして、下位シーケンサ28は、上位シーケンサ22から順次にパケットの指定を受け、指定されたパケットを発生させるための命令列を実行して、当該パケットに含まれるデータ列を発生させる。
- [0062] 各パケットには、例えば、スタートコードおよびエンドコードが含まれる。更に、各パケットには、当該パケットの種類を表わすコマンドが含まれる。このようなスタートコード、エンドコードおよびコマンドは、パケットの種類毎に共通の共通データである。従って、下位シーケンサ28は、このような共通データを、当該共通データが格納された共通データ記憶部40における、上位シーケンサ22により指定されたアドレスから読み出して生成す

る。

[0063] また、各パケットには、被試験デバイス 200 の格納位置を指定するアドレス、被試験デバイス 200 への書込データ、被試験デバイス 200 からの読出データ等の実体データが含まれる。このような実体データは、パケット毎に変更される個別データである。従って、下位シーケンサ 28 は、このような個別データを、当該個別データが格納された個別データ記憶部 44 における、上位シーケンサ 22 により指定されたアドレスから読み出して生成する。

[0064] また、各パケットには、当該パケットに含まれるデータの誤りを検出するためのチェックコード等が含まれる。このようなチェックコード等は、当該パケットに含まれる各データに対して演算を施して算出される。従って、下位シーケンサ 28 は、このようなチェックコード等を、データ処理部 32 内の演算器 56 により演算させて生成する。また、各パケットには、例えば 8 b - 10 b 変換等の所定の規則により変換されたデータが含まれていてもよい。この場合、下位シーケンサ 28 は、生成したデータのそれぞれを、更に、変換部 58 によりデータ変換して出力する。

[0065] 図 9 は、パケットシーケンスを表わす試験プログラムの一例を示す。上位シーケンサ 22 は、一例として、図 9 に示されるような、順次に行われる複数の命令と、複数の命令のそれぞれに対応して記述されたパケットの種類およびパラメータと、対応する種類のパケットを生成するための命令列およびデータ列の格納位置を示すアドレスとが記述された試験プログラムを実行する。

[0066] 当該試験プログラムは、一例として、NOP 命令、IDX I 命令およびEXIT 命令等を含む。NOP 命令は、当該 NOP 命令に対応付けられたパケットを 1 回生成して、実行を次の命令に遷移させる。IDX I 命令は、当該 IDX I 命令に対応付けられたパケットを、指定した回数分繰り返して生成して、実行を次の命令に遷移させる。EXIT 命令は、当該 EXIT 命令に対応付けられたパケットを 1 回生成して、当該パケットシーケンスの実行を

終了させる。当該試験プログラムは、このような命令に限らず含むことができ、例えば、指定された条件に一致したか否かに応じて次の実行すべき命令を分岐させる分岐命令等を含んでもよい。

[0067] また、当該試験プログラムは、一例として、ライトパケット、リードパケット、および、所定のコードを繰り返して発生するアイドルパケット等を識別するパケットの種類が記述される。また、当該試験プログラムは、一例として、当該パケットを生成するための命令列が格納された先頭アドレス、当該パケットに含まれる共通データの先頭アドレスおよび当該パケットに含まれる個別データの先頭アドレスを含む。

[0068] 図 10 は、アイドルパケットを生成するための命令列、および、アイドルパケットに含まれるデータ列の一例を示す。図 11 は、ライトパケットを生成するための命令列およびライトパケットに含まれるデータ列の一例を示す。

[0069] 下位シーケンサ 28 は、一例として、図 10 および図 11 に示されるような、順次に実行される複数の命令と、複数の命令のそれぞれに対応する制御データと、複数の命令のそれぞれに対応して出力するデータの格納場所を指定する情報とを含む命令列を実行する。当該命令列は、一例として、データの格納場所として、例えば、共通データ記憶部 40、個別データ記憶部 44、レジスタ 52 または変換部 58 を指定する。

[0070] 図 10 および図 11 の例においては、0x0F または 0x01 といった十六進数値は、データの格納場所として共通データ記憶部 40 を指定する。また、DB1 は、データの格納場所として第 1 の個別データ記憶部 44-1 を指定する。DB2 は、データの格納場所として第 2 の個別データ記憶部 44-2 を指定する。REG1 は、データの格納場所として第 1 のレジスタ 52-1 を指定する。

[0071] また、当該命令列は、NOP 命令、IDXI 命令および RTN 命令等を含む。NOP 命令は、当該 NOP 命令に対応付けられた格納場所における、ポインタにより指定されたアドレスに格納されたデータを 1 回出力して、実行

を次の命令に遷移させる。IDXI命令は、当該IDIX命令に対応付けられた格納場所における、ポインタにより指定されたアドレスに格納されたデータを指定した回数分繰り返して出力して、実行を次の命令に遷移させる。

RTN命令は、当該RTN命令に対応付けられた格納場所における、ポインタにより指定されたアドレスに格納されたデータを1回出力して、実行を上位シーケンサ22に戻す。

[0072] なお、下位シーケンサ28により実行される命令列は、前方向ジャンプ命令および分岐命令等を含まないことが好ましい。これにより、下位シーケンサ28は、簡易な構成で高速な処理を実現することができる。

[0073] また、当該命令列は、制御データとして、演算器56に与える演算式を含む。図11の例においては、当該命令列は、当該第1のレジスタ52-1のデータと出力するデータとの排他的論理和を、第1のレジスタ52-1に書き戻す演算式($REG1 = REG1 \oplus DB1$ または $REG1 = REG1 \oplus DB2$)を含む。これに代えて、当該命令列は、制御データとして、変換部58による変換処理を指定してもよい。

[0074] 図12は、上位シーケンサ22および下位シーケンサ28による処理タイミングの一例を示す。上位シーケンサ22は、一例として、メイン制御部18からスタート信号を受けたことに応じて、パケットシーケンスの実行を開始する。上位シーケンサ22は、パケットシーケンスに応じた順序で、パケットを指定する。そして、下位シーケンサ28は、上位シーケンサ22からパケットの指定を受けたことに応じて、当該パケットを発生するための命令列を実行する。

[0075] ここで、上位シーケンサ22は、下位シーケンサ28によるあるパケットの命令列の実行中に（即ち、当該命令列の完了前に）、次のパケットの指定を下位シーケンサ28に対して行ってよい。これにより、下位シーケンサ28は、あるパケットの最後の命令（RTN命令）を実行した直後に（例えば次のサイクルに）、次のパケットの命令列の実行を開始することができる。

[0076] 図13は、試験装置10の処理フローを示す。まず、上位シーケンサ22

は、試験プログラムを実行して、被試験デバイス 200 との間で通信する各パケットを順次指定する（S 11、S 16）。そして、下位シーケンサ 28 は、上位シーケンサ 22 によるパケットの指定を受けると、ステップ S 12 からステップ S 15 の処理を繰り返して実行する。

[0077] 下位シーケンサ 28 は、パケットの指定を受けると、当該パケットを発生するための命令列を、パケット命令列記憶部 24 から呼び出して、先頭の命令から順次実行する。下位シーケンサ 28 は、各命令の実行毎に、ステップ S 13 及びステップ S 14 の処理を行う（S 12、S 15）。

[0078] ステップ S 13 において、下位シーケンサ 28 は、当該命令に対応するデータを出力する。また、ステップ S 14 において、下位シーケンサ 28 は、当該命令に対応する、演算またはデータ変換を実行させる。下位シーケンサ 28 は、ステップ S 13 およびステップ S 14 を並行して実行する。

[0079] 下位シーケンサ 28 は、最後の命令を実行すると、処理を上位シーケンサ 22 に戻して、上位シーケンサ 22 から次のパケットの指定を受ける（S 15）。そして、上位シーケンサ 22 は、パケットシーケンスにおける最後のパケットまでの処理が完了すると、当該フローを終了する（S 16）。

[0080] 以上のような本実施形態に係る試験装置 10 によれば、パケットシーケンスを表わす試験プログラムと、パケット内の命令列とが、別個のシーケンサにより実行される。これにより、試験装置 10 によれば、プログラムの記述を簡単にすることができる。更に、試験装置 10 によれば、共通の種類のパケットを発生するための命令列およびデータを共用化することができるので、格納する情報量を少なくすることができる。

[0081] 更に、本実施形態に係る試験装置 10 は、下位シーケンサ 28 が実行する命令列のアドレスおよび下位シーケンサ 28 が読み出すデータ列のアドレスを、上位シーケンサ 22 から個別に指定する。これにより、試験装置 10 によれば、同一の命令列によって、異なるデータ列を発生することができる。従って、試験装置 10 によれば、同一の命令列を複数個格納しなくてよいので、格納する情報量を少なくすることができる。

[0082] 更に、本実施形態に係る試験装置 10 は、共通データ記憶部 40 および個別データ記憶部 44 から読み出したデータに対して指定された処理（即ち、演算または変換）を、データ処理部 32 が実行する。即ち、データ処理部 32 は、パケット通信における下位層（物理層に近い層）の規定に応じて処理されるべきデータ変換および誤り検出符号を生成することができる。これにより、試験装置 10 によれば、パケット通信における上位層のデータを出力させるための命令列およびデータ列を生成して、パケット通信における下位層における処理を別個に指定すればよいので、プログラムの記述を簡単にすることができる、更に、格納する情報量を少なくすることができる。

[0083] 更に、本実施形態に係る試験装置 10 は、被試験デバイス 200 へ信号を送信するための試験データ列を生成する送信側ブロック 12 と、被試験デバイス 200 から受信した信号と比較するための試験データ列を生成する受信側ブロック 14 とを分離して、それぞれに上位シーケンサ 22 および下位シーケンサ 28 を有する。試験装置 10 によれば、送信側および受信側のプログラムを独立に記述できるので、プログラムを簡単にすることができる。そして、試験装置 10 は、送信側の下位シーケンサ 28 と受信側の下位シーケンサ 28 との間で通信することができる。これにより、試験装置 10 によれば、例えば送信側に発生したイベントをトリガとして受信側の動作を開始したり、受信側に発生したイベントをトリガとして送信側の動作を開始したりすることが容易となる。

[0084] なお、試験装置 10 は、送信側ブロック 12 および受信側ブロック 14 の組を、複数備える構成であってもよい。この場合、メイン制御部 18 は、送信側ブロック 12 および受信側ブロック 14 の組のそれぞれに別個のシーケンス（別個の試験プログラム）を与えて、互いに独立に実行させる。これにより、試験装置 10 は、送信側ブロック 12 および受信側ブロック 14 の組のそれぞれを、互いに非同期に動作させることができる。

[0085] また、メイン制御部 18 は、送信側ブロック 12 および受信側ブロック 14 の組のそれぞれを、互いに同期して動作させてもよい。この場合、メイン

制御部 18 は、送信側ブロック 12 および受信側ブロック 14 の組のそれぞれに同一のシーケンス（同一の試験プログラム）を与えて、互いに同期して実行を開始させる。これにより、試験装置 10 は、同一種類または異なる種類のパケット通信型インターフェイスを備えた複数の被試験デバイス 200 を、並行して試験することができる。

[0086] 図 14 は、送信側ブロック 12 の他の構成例を示す図である。本例の送信側ブロック 12 は、生成部 11、チャネル選択部 33、および、送信部 34 を備える。生成部 11 は、図 2 に関連して説明した送信側ブロック 12 の構成のうち、送信部 34 を除いた構成と同一であってよい。

[0087] また、本例の送信側ブロック 12 は、複数チャネルの送信部 34 を備える。それぞれの送信部 34 は、被試験デバイス 200 の対応するピンに信号を出力する。送信部 34 は、フォーマットコントローラ 74 およびドライバ 76 を有してよい。

[0088] 生成部 11 は、図 2 に関連して説明したように、被試験デバイス 200 との間で通信するパケットのデータ列を生成する。チャネル選択部 33 は、生成部 11 が生成したパケットのデータ列を、複数のチャネル（送信部 34）のうちいずれのチャネルを介して通信するかを選択する。チャネル選択部 33 は、生成部 11 から受け取ったパケットのデータ列を、選択した送信部 34 に供給する。

[0089] また、生成部 11 は、複数チャネル用のデータ列を生成してもよい。例えば生成部 11 は、M ビットのデータ列を生成して、各ビットを異なる送信部 34 に供給することで、M チャネルの送信部 34 にデータ列を供給してよい。チャネル選択部 33 は、データ列の各ビットを、いずれの送信部 34 に供給するかを選択する。

[0090] また、送信側ブロック 12 は、複数種類のプロトコルで、被試験デバイス 200 との間で通信可能であってよい。例えば送信側ブロック 12 は、被試験デバイス 200 の各ピンのインターフェイスに応じたプロトコルで、被試験デバイス 200 と通信可能であってよい。より具体的には、送信側ブロッ

ク 1 2 は、J T A G、S M B u s、H T 等のインターフェイスに応じたプロトコルで、被試験デバイス 2 0 0 と通信可能に構成される。

[0091] 生成部 1 1 は、複数種類のプロトコルに対応するパケットを生成する。本例の生成部 1 1 は、プロトコルを選択して、選択したプロトコルに応じたパケットを生成する。例えば生成部 1 1 は、当該パケットを供給すべき被試験デバイス 2 0 0 のピンに対応するプロトコルを選択する。生成部 1 1 は、使用者等から与えられる試験プログラムにより指定されるプロトコルを選択してよい。

[0092] チャネル選択部 3 3 は、生成部 1 1 が選択したプロトコルに対応するチャネルを選択して、当該パケットを供給する。チャネル選択部 3 3 は、試験プログラムにより指定されるチャネルを選択してよく、生成部 1 1 により指定されるチャネルを選択してもよい。

[0093] 図 1 5 は、図 1 4 に示した送信側ブロック 1 2 の動作例を説明する図である。本例の生成部 1 1 は、それぞれのパケットを生成するためのデータを、プロトコル毎に異なるメモリバンクに格納するパケットライブラリを備える。パケットライブラリは、パケット命令列記憶部 2 4 であってよい。この場合、パケット命令列記憶部 2 4 は、それぞれのメモリバンクに、各プロトコルに対応するパケットを生成するための命令列を記憶する。

[0094] シーケンス記憶部 2 0 は、パケットシーケンスと、メモリバンク情報とを対応付けて記憶する。図 9 に関連して説明したように、パケットシーケンスは、上位シーケンサ 2 2 が順次指定すべきパケットの順番を表わす。

[0095] また、メモリバンク情報は、下位シーケンサ 2 8 がパケットを読み出すべきメモリバンクを、それぞれのパケットシーケンスに対して指定する。本例では、シーケンス A (B u s A) に対してはメモリバンク 1 が指定され、シーケンス B (B u s B) に対してはメモリバンク 2 が指定され、シーケンス C (B u s C) に対してはメモリバンク 3 が指定される。なお、B u s A、B、C は、プロトコルの種類を示す。

[0096] 上位シーケンサ 2 2 は、シーケンス記憶部 2 0 に記憶されたパケットシー

ケンスに応じて、シーケンスA、シーケンスB、シーケンスCを順次実行する。例えばシーケンスAを実行する場合、上位シーケンサ22は、シーケンスAに記述されるパケットを、下位シーケンサ28に対して順次指定する。上位シーケンサ22は、下位シーケンサ28に対して、各パケットシーケンス毎に、対応するメモリバンク情報を通知する。

[0097] 下位シーケンサ28は、上位シーケンサ22により指定されたパケットに対応するデータ（命令列）を、パケット命令列記憶部24における当該パケットのプロトコルに応じたメモリバンクから読み出す。下位シーケンサ28は、上位シーケンサ22から通知されるメモリバンク情報に応じて、パケット命令列記憶部24のいずれかのメモリバンクから、指定されたパケットの命令列を読み出す。

[0098] それぞれのメモリバンクにおいて、同一種類のパケットを生成するための命令列は、同一のアドレスに記憶されてよい。例えば、それぞれのメモリバンクにおいて、リードパケットを生成するための命令列は、各メモリバンクにおいて同一のアドレスに記憶されてよい。下位シーケンサ28は、上位シーケンサ22から指定されるメモリバンク情報およびアドレスに基づいて、パケット命令列記憶部24から命令列を読み出してよい。

[0099] また、パケット命令列記憶部24は、それぞれのパケットを、いずれのチャネルを介して通信すべきかを示すチャネル情報を、それぞれのメモリバンク毎に記憶してよい。下位シーケンサ28は、読み出した命令列を実行してパケットデータ列記憶部26にデータ列を生成させるとともに、当該命令列に対応するチャネル情報を、チャネル選択部33に供給する。これにより、メモリバンクが指定されることにより、チャネルも指定されることになる。

[0100] パケットデータ列記憶部26は、図2に関連して説明したパケットデータ列記憶部26と同様の処理で、データ列を生成する。本例の共通データ記憶部40、第1の個別データ記憶部44-1、および、第2の個別データ記憶部44-2は、パケット命令列記憶部24と同様に、複数のメモリバンクをそれぞれ有してよい。共通データポインタ42、第1の個別データポインタ

46-1、および、第2の個別データポインタ46-2は、下位シーケンス28から指定されるアドレスおよびメモリバンク情報に基づいて、対応する記憶部のメモリバンクからデータ列を読み出してよい。

[0101] チャンネル選択部33は、パケットデータ列記憶部26およびデータ処理部32が生成したパケットデータを、チャンネル情報に基づいて、複数のチャンネルのうちいずれのチャンネルを介して通信するかを選択する。このような構成により、複数のプロトコルについて、共通の送信側ブロック12を用いて、被試験デバイス200と通信することができる。シーケンス記憶部20は、並行して実行しないプロトコルのパケットシーケンスを記憶することが好ましい。

[0102] 図16は、送信側ブロック12の他の構成例を示す図である。本例の送信側ブロック12は、複数の生成部11（本例では2つの生成部11）、チャンネル選択部33、および、 n チャンネルの送信部34を備える。2つの生成部11は並列に設けられ、チャンネル選択部33は、それぞれの生成部11に対して、接続すべき送信部34を選択する。

[0103] チャンネル選択部33は、それぞれの生成部11に対して、いずれの送信部34を選択するかを制御する選択テーブル35を記憶する。下位シーケンス28は、パケット命令列記憶部24から読み出したチャンネル情報に基づいて、選択テーブル35を更新してよい。

[0104] 図17は、送信側ブロック12の他の構成例を示す図である。本例の送信側ブロック12は、図16に関連して説明した送信側ブロック12の構成に加え、複数のシリアルライザ72および変換制御部128を更に備える。シリアルライザ72は、生成部11と一対一に対応して設けられる。

[0105] それぞれのシリアルライザ72は、対応する生成部11から N ビットの平行データを受け取り、当該平行データを、 M 本のシリアルデータ（ただし、 M は N の約数）に変換して出力する。 M 本のシリアルデータは、 M ビットの平行データであってもよい。

[0106] 変換制御部128は、シリアルライザ72が出力するそれぞれのシリアルデ

ータの周波数を、シリアライザ 72 が出力するシリアルデータの本数に応じて変更する。例えば変換制御部 128 は、それぞれのシリアルデータの周波数を、パラレルデータの周波数の N/M 倍に制御する。具体例として、シリアライザ 72 が、32 ビット、250 MHz のパラレルデータを受け取り、1 本のシリアルデータを出力する場合、変換制御部 128 は、当該シリアルデータの周波数を、 $250 \text{ MHz} \times 32 / 1 = 8 \text{ GHz}$ に制御する。

[0107] 本例の変換制御部 128 は、8 GHz で 1 本のシリアルデータ、4 GHz で 2 本のシリアルデータ、・・・、500 MHz で 16 本のシリアルデータ、250 MHz で 32 本のシリアルデータのいずれかの組み合わせをシリアライザ 72 に出力させる。チャンネル選択部 33 は、それぞれのシリアライザ 72 が出力するそれぞれのシリアルデータを、いずれの送信部 34 に供給するかを選択する。このような構成により、試験装置 10 の出力ピン数と、試験信号の周波数とを多様な組み合わせに変更することができる。

[0108] 図 18A は、シリアライザ 72 の動作を規定するテーブルの一例を示す。シリアライザ 72 は、パラレルデータに対して $1/N$ の周期の動作タイミングで、各シリアルデータの各ビットを出力可能な回路を有する。テーブルは、シリアライザ 72 に、それぞれのシリアルデータの各ビットを、いずれの動作タイミングで出力させるかを指定する。または、テーブルは、シリアライザ 72 に、それぞれの動作タイミングにおいて、パラレルデータのいずれのビットを出力させるかを指定する。

[0109] 図 18A に示すテーブルの各列は、シリアライザ 72 に与えられるパラレルデータの 1 周期分のビットを示す。また、当該テーブルの各行は、シリアライザ 72 がシリアルデータの各ビットを出力する動作タイミングを示す。それぞれの動作タイミングは、パラレルデータの 1 周期を N 個に分割する動作タイミングを示す。本例では、 $N=32$ として、シリアライザ 72 が、パラレルデータに対して 32 倍の周波数を有するシリアルデータを 1 本出力する例を説明する。

[0110] この場合、図 18A に示すように、パラレルデータの各周期について、各

動作タイミングでパラレルデータの各ビットを1つ（S 1）ずつ順番に選択して出力するテーブルが設定される。シリアライザ72は、パラレルデータの各周期で受け取る32ビットのデータを、当該テーブルに応じて、パラレルデータの周期を32分割した各動作タイミングで1ビットずつ順次出力する。これにより、シリアライザ72は、パラレルデータに対して32倍の周波数を有するシリアルデータを1本（S 1）出力する。

[0111] 図18Bは、シリアライザ72の動作を規定するテーブルの他例を示す。本例では、シリアライザ72が、パラレルデータに対して16倍の周波数を有するシリアルデータを2本出力する例を説明する。

[0112] この場合、図18Bに示すように、1つおきの動作タイミングで、パラレルデータのビットを2つ（S 1、S 2）ずつ順番に選択して出力するテーブルが設定される。シリアライザ72は、パラレルデータの各周期で受け取る32ビットのデータを、当該テーブルに応じて、パラレルデータの周期を16分割した各動作タイミングで2ビットずつ順次出力する。

[0113] なお、シリアライザ72が出力する各ビットは、それぞれがシリアルデータに対応する。これにより、シリアライザ72は、パラレルデータに対して16倍の周波数を有するシリアルデータを2本（S 1、S 2）出力する。テーブルは、図18Bに示すように、パラレルデータの各ビットを、いずれのシリアルデータ（S 1、S 2）のビットとして出力させるかを指定してよい。

[0114] 図18Cは、シリアライザ72の動作を規定するテーブルの他例を示す。本例では、シリアライザ72が、パラレルデータに対して1倍の周波数を有するシリアルデータを32本出力する例を説明する。

[0115] この場合、図18Cに示すように、いずれか1つの動作タイミングで、パラレルデータのビットを全て並列に出力するテーブルが設定される。シリアライザ72は、パラレルデータの各周期で受け取る32ビットのデータを、当該テーブルに応じて、いずれか1つの動作タイミングで全て並列に出力する。

- [0116] これにより、シリアライザ 72 は、パラレルデータに対して 1 倍の周波数を有するシリアルデータを 32 本 (S 1、S 2、・・・、S 32) 出力する。図 18 A から図 18 C に示したように、シリアライザ 72 に対して、パラレルデータの各ビットを、いずれの動作タイミングで出力するかを制御することで、共通のシーケンサおよびシリアライザ 72 を用いて、多様な周波数のシリアルデータを出力することができる。
- [0117] なお、図 18 A から図 18 C の例では、入力されるパラレルデータの上位側ビットから順番に、出力されるシリアルデータ S 1、S 2、・・・に順番に割り当てる (または、出力されるパラレルデータの上位側ビットから順番に割り当てる) 例を説明した。ただし、ビットの割り当ては、図 18 A から図 18 C の例に限定されない。変換制御部 128 は、シリアライザ 72 に、入力されるパラレルデータの各ビットを、出力される複数のシリアルデータのうち、いずれのシリアルデータのビットとして出力するか (または、出力されるパラレルデータのいずれのビットとして出力するか) を、テーブルを更新することで制御してよい。
- [0118] 例えば変換制御部 128 は、被試験デバイス 200 のインターフェイスの仕様に応じて、シリアライザ 72 に入力されるパラレルデータの各ビットを、出力側のいずれのビットとして出力させるかを変更してよい。より具体的な例としては、変換制御部 128 は、入力されるデータの最上位ビットおよび最下位ビットを入れ換えて出力してよい。
- [0119] なお、変換制御部 128 が、シリアライザ 72 が出力する各シリアルデータを、いずれの送信部 34 に供給するかを制御することで、シリアライザ 72 が、チャンネル選択部 33 として機能してもよい。この場合、図 18 A から図 18 C に示したテーブルが、選択テーブル 35 に相当する。
- [0120] 図 19 は、受信側ブロック 14 の他の構成例を示す図である。受信側ブロック 14 は、生成部 13、複数チャンネルの受信部 82、および、チャンネル選択部 33 を備える。生成部 13 は、図 5 に関連して説明した受信側ブロック 14 の構成のうち、受信部 82 を除いた構成と同一であってよい。

- [0121] それぞれの受信部 82 は、被試験デバイス 200 の対応するピンから信号を受け取る。受信部 82 は、タイミングコンパレータ 88 およびレベルコンパレータ 86 を有してよい。
- [0122] 生成部 13 は、図 5 に関連して説明したように、受信することを期待されるパケットのデータ列を生成する。チャンネル選択部 33 は、いずれかのチャンネルを選択して、当該チャンネルが受信したパケットをデータ処理部 32 に供給する。
- [0123] また、送信側ブロック 12 と同様に、受信側ブロック 14 も、複数種類のプロトコルに対応するデータ列を生成してよい。生成部 13 は、プロトコルを選択して、選択したプロトコルに応じたパケットを生成する。生成部 13 は、使用者等から与えられる試験プログラムにより指定されるプロトコルを選択してよい。
- [0124] チャンネル選択部 33 は、生成部 13 が選択したプロトコルに対応するチャンネルを選択する。チャンネル選択部 33 は、試験プログラムにより指定されるチャンネルを選択してよく、生成部 13 により指定されるチャンネルを選択してもよい。
- [0125] また、受信側ブロック 14 は、図 14 から図 18 C に関連して説明した送信側ブロック 12 と同様の構成を有してよい。例えば受信側ブロック 14 は、複数の生成部 13 を有してよく、複数のデシリアライザ 90 を有してもよい。
- [0126] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能なことが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。
- [0127] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また

、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

請求の範囲

- [請求項1] 被試験デバイスを試験する試験装置であって、
前記被試験デバイスとの間で信号を入出力する複数のチャンネルと、
前記被試験デバイスとの間で通信するパケットのデータ列を生成する生成部と、
前記生成部が生成した前記パケットのデータ列を、前記複数のチャンネルのうちいずれのチャンネルを介して通信するかを選択するチャンネル選択部と、
を備える試験装置。
- [請求項2] 前記生成部は、生成する前記パケットのプロトコルを選択する
請求項 1 に記載の試験装置。
- [請求項3] 前記チャンネル選択部は、前記生成部が前記パケットに対して選択した前記プロトコルに対応する前記チャンネルを選択する
請求項 2 に記載の試験装置。
- [請求項4] 前記生成部は、
前記被試験デバイスとの間で通信する各パケットを順次指定する上位シーケンサと、
それぞれの前記パケットを生成するためのデータを、前記プロトコル毎に異なるメモリバンクに格納するパケットライブラリと、
前記上位シーケンサにより指定されたパケットに対応するデータを、前記パケットライブラリにおける当該パケットのプロトコルに応じた前記メモリバンクから読み出す下位シーケンサと
を有する請求項 3 に記載の試験装置。
- [請求項5] 前記上位シーケンサは、いずれの前記メモリバンクのデータを用いて前記パケットを生成するかを更に指定し、
前記下位シーケンサは、前記上位シーケンサにより指定された前記メモリバンクから、前記パケットのデータ列を読み出す
請求項 4 に記載の試験装置。

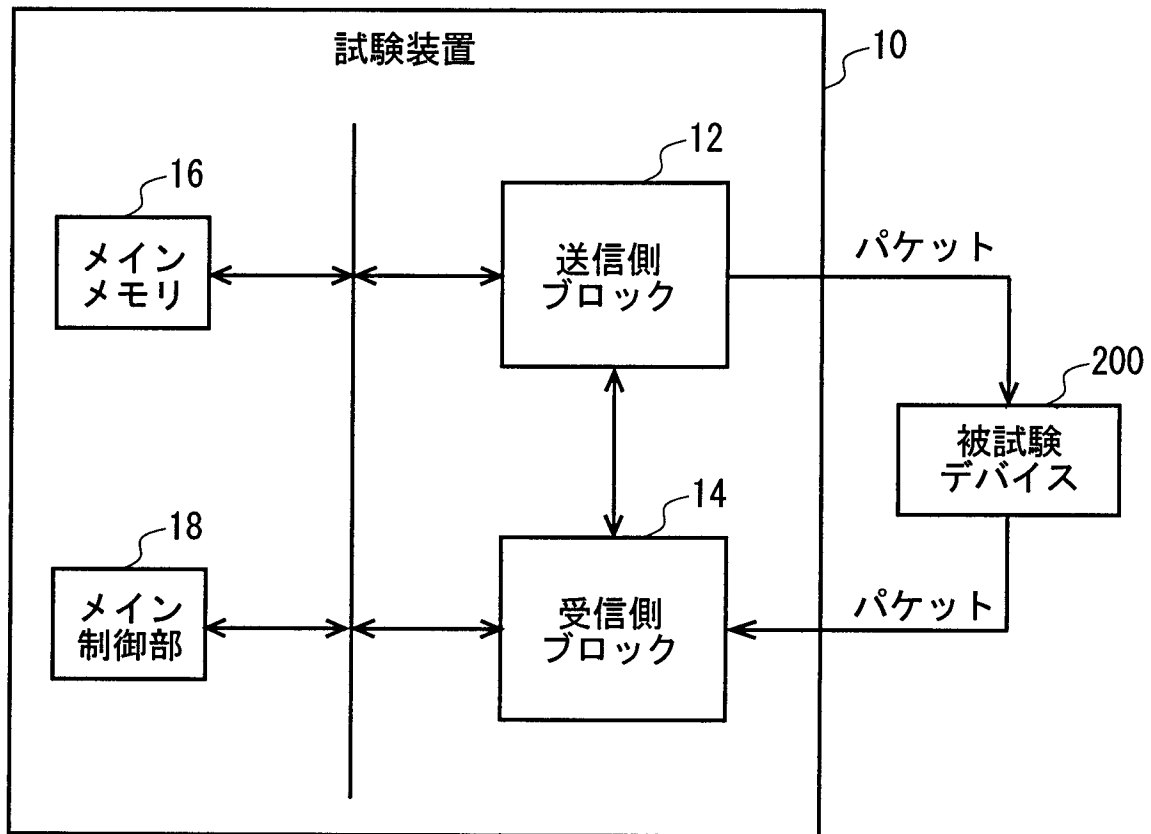
- [請求項6] 前記生成部は、前記上位シーケンサが順次指定すべき前記パケットの順番を表わすパケットシーケンスと、前記下位シーケンサが前記パケットを読み出すべき前記メモリバンクを、それぞれの前記パケットシーケンスに対して指定するメモリバンク情報とを対応付けて記憶するシーケンス記憶部を更に有し、
- 前記上位シーケンサは、前記メモリバンク情報に基づいて、前記下位シーケンサがデータを読み出すべき前記メモリバンクを、それぞれの前記パケットシーケンス毎に指定する
- 請求項5に記載の試験装置。
- [請求項7] 前記パケットライブラリは、それぞれの前記パケットを、いずれの前記チャンネルを介して通信すべきかを示すチャンネル情報を、それぞれの前記メモリバンク毎に記憶し、
- 前記チャンネル選択部は、前記チャンネル情報に基づいて、前記複数のチャンネルのうちいずれのチャンネルを介して通信するかを選択する
- 請求項6に記載の試験装置。
- [請求項8] 前記生成部を並列に複数備え、前記チャンネル選択部は、それぞれの前記生成部に対して前記チャンネルを選択する
- 請求項7に記載の試験装置。
- [請求項9] 前記チャンネル選択部は、それぞれの前記生成部に対して、いずれの前記チャンネルを選択するかを制御するテーブルを記憶し、
- 前記下位シーケンサは、前記パケットライブラリから読み出した前記チャンネル情報に基づいて前記テーブルを更新する
- 請求項8に記載の試験装置。
- [請求項10] 試験装置により被試験デバイスを試験する試験方法であって、
- 前記試験装置は、
- 前記被試験デバイスとの間で信号を入出力する複数のチャンネルと、
- 前記被試験デバイスとの間で通信するパケットのデータ列を生成する生成部と

を備え、

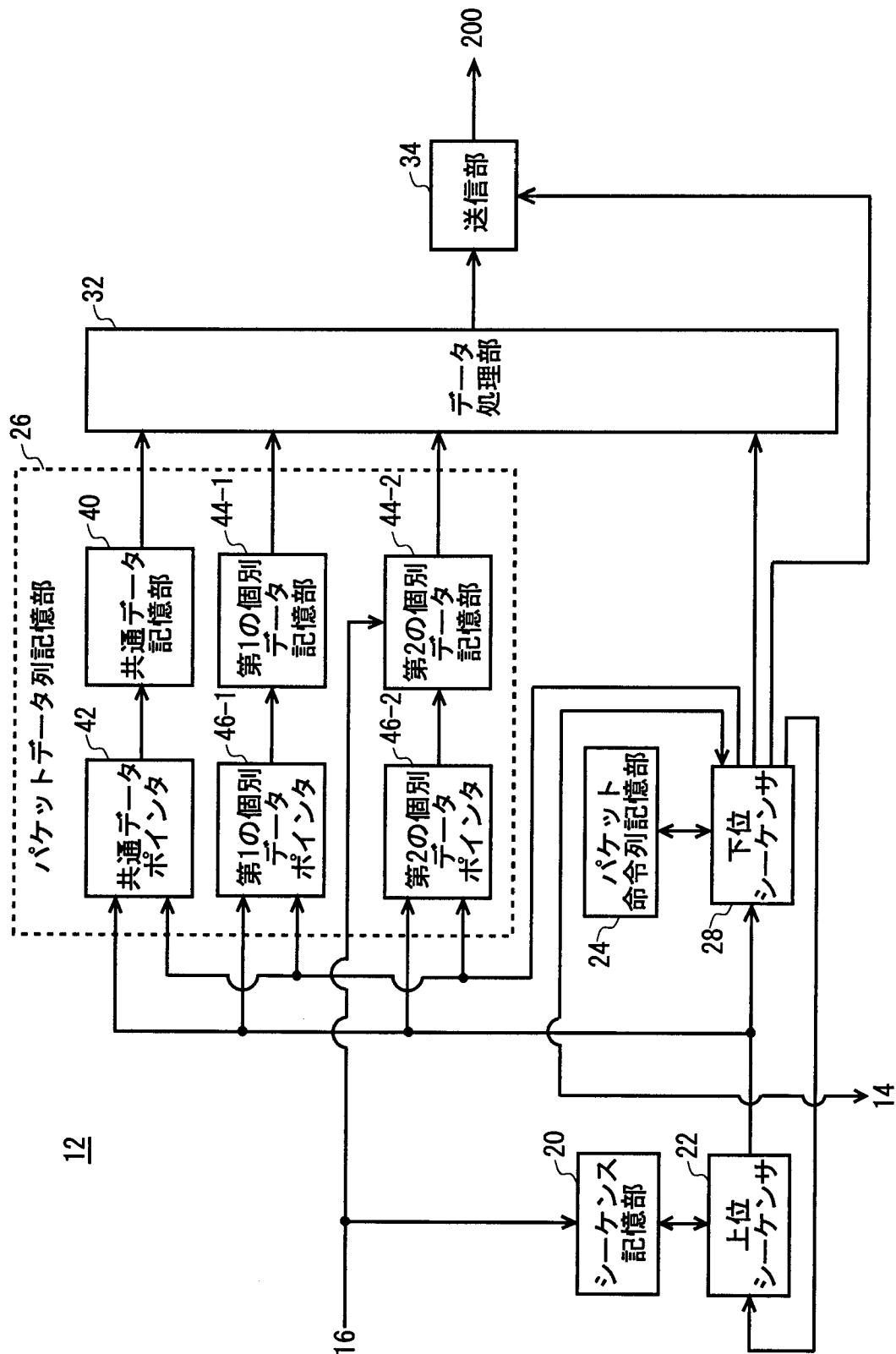
前記生成部が生成した前記パケットのデータ列を、前記複数のチャネルのうちいずれのチャネルを介して通信するかを選択する試験方法

。

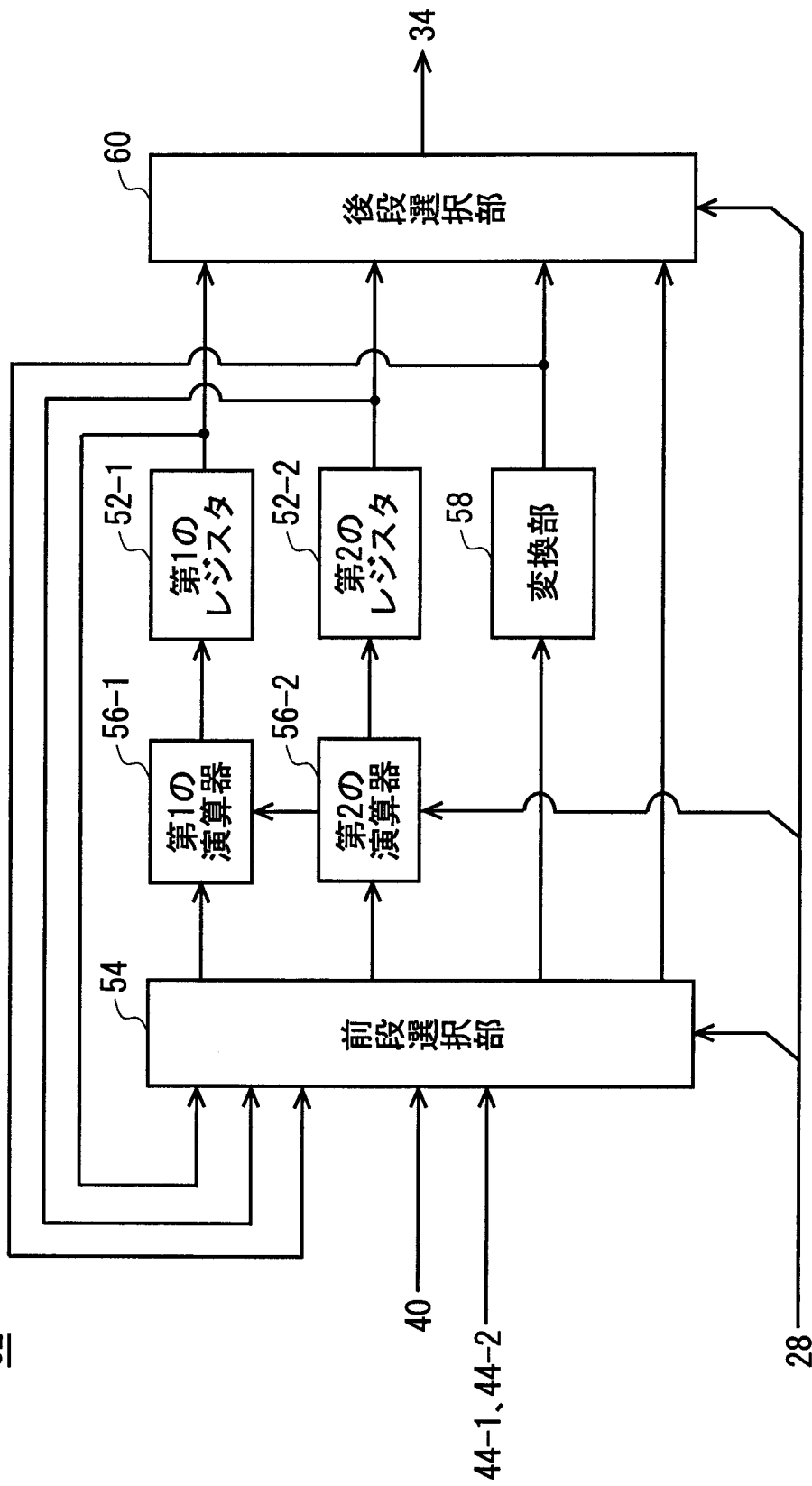
[図1]



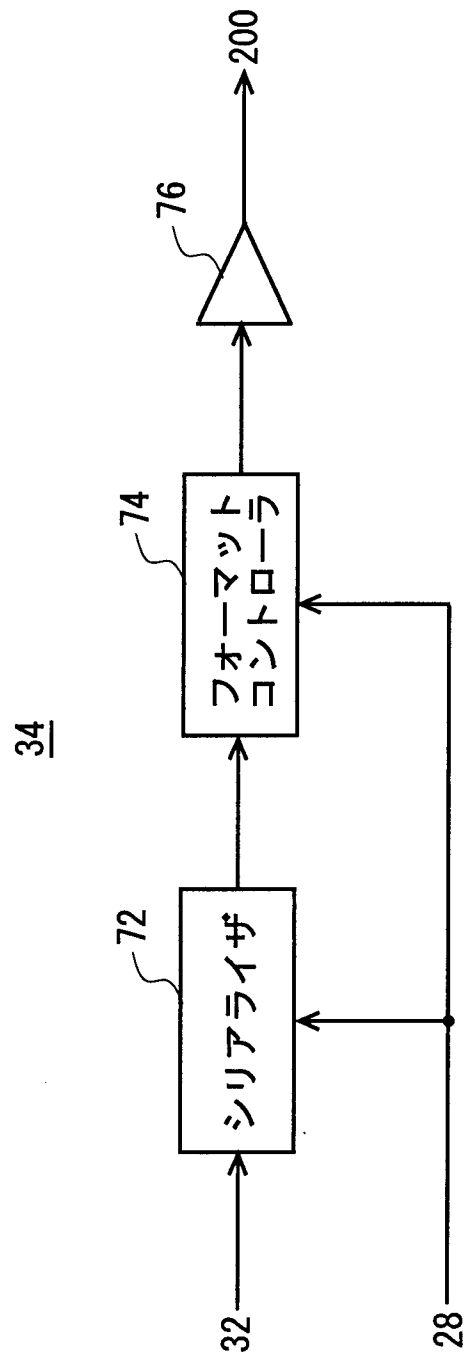
[図2]

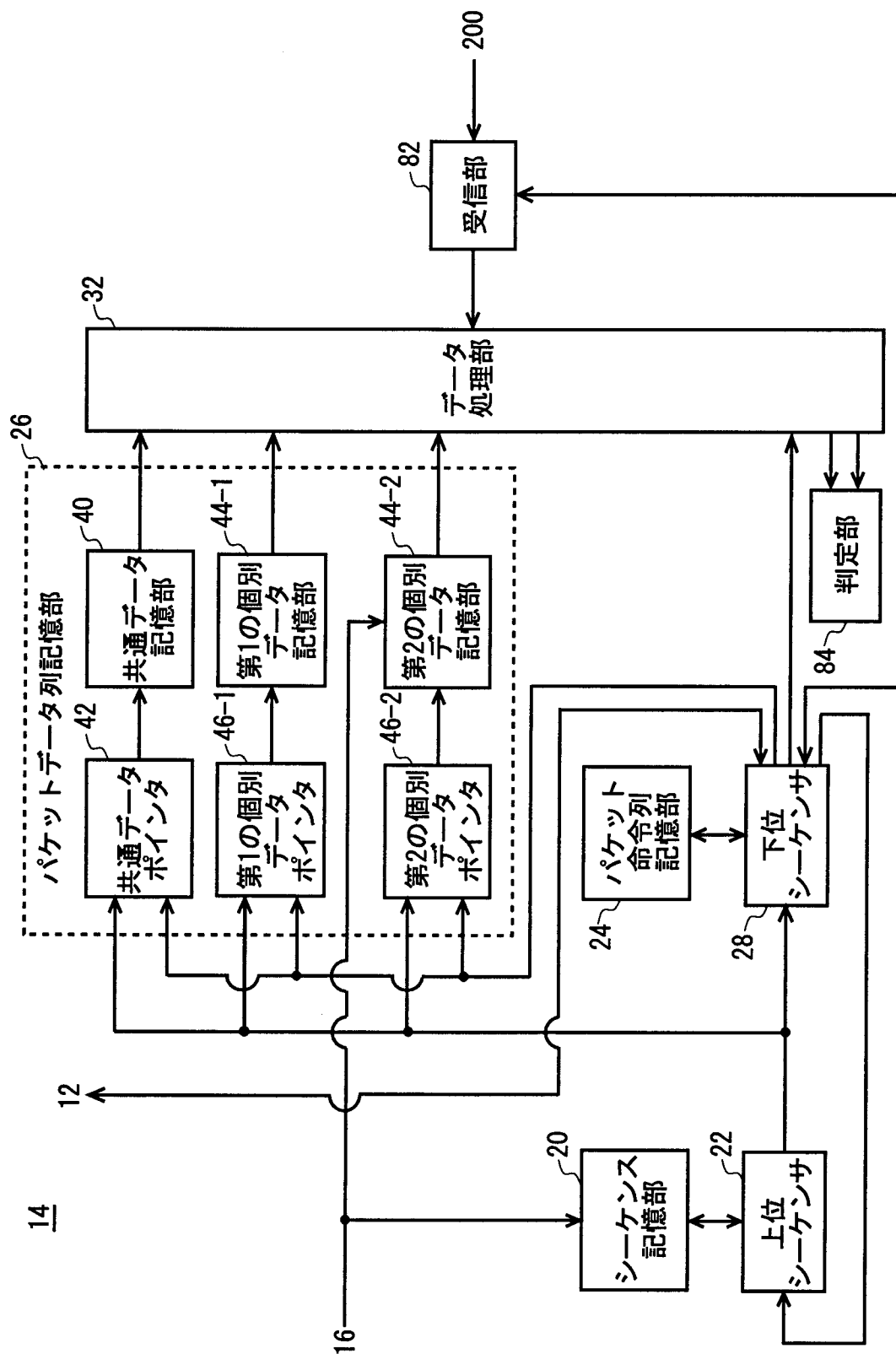


[図3]

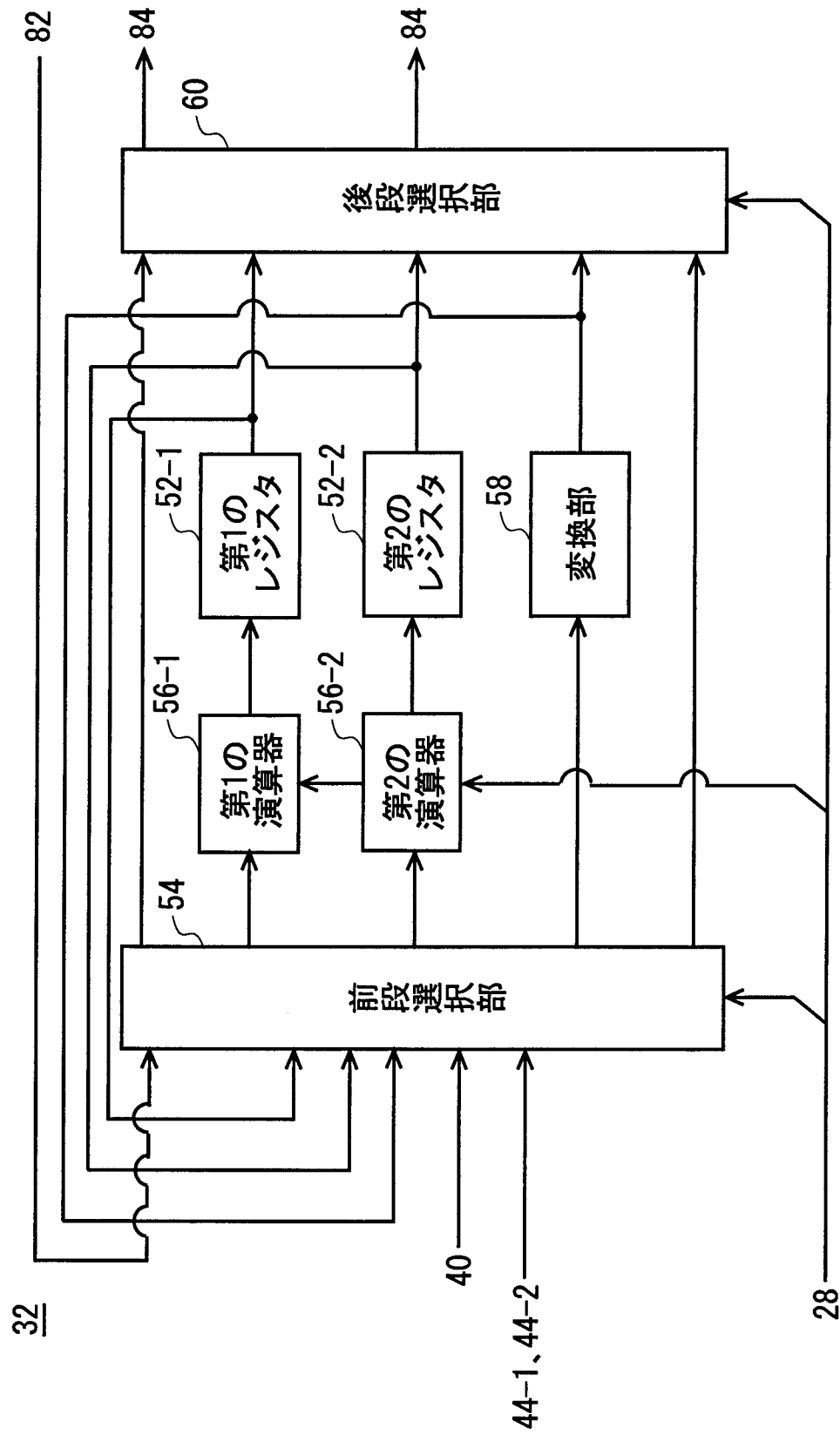


[図4]

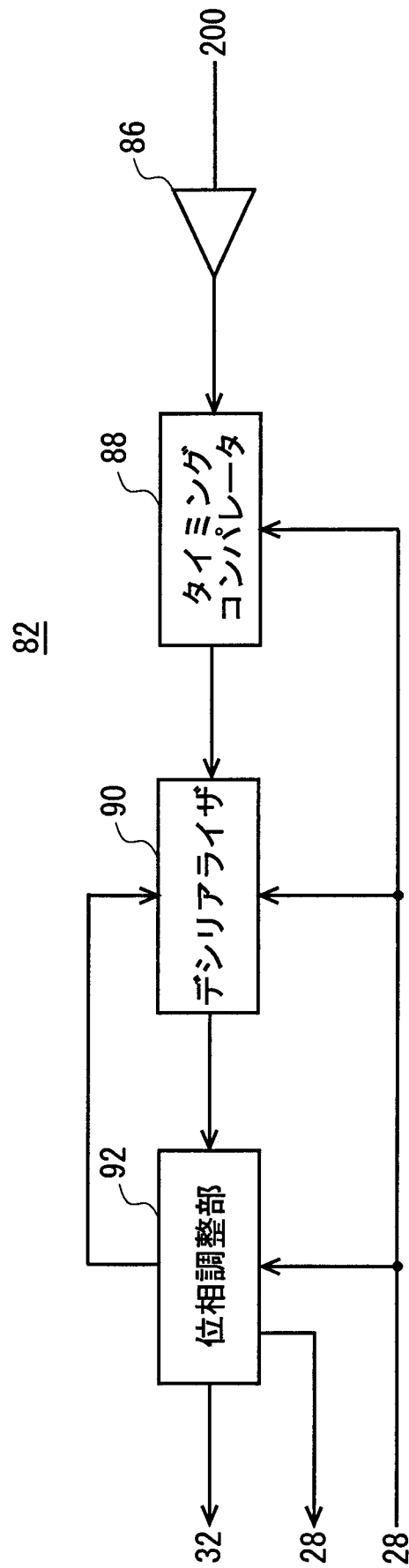




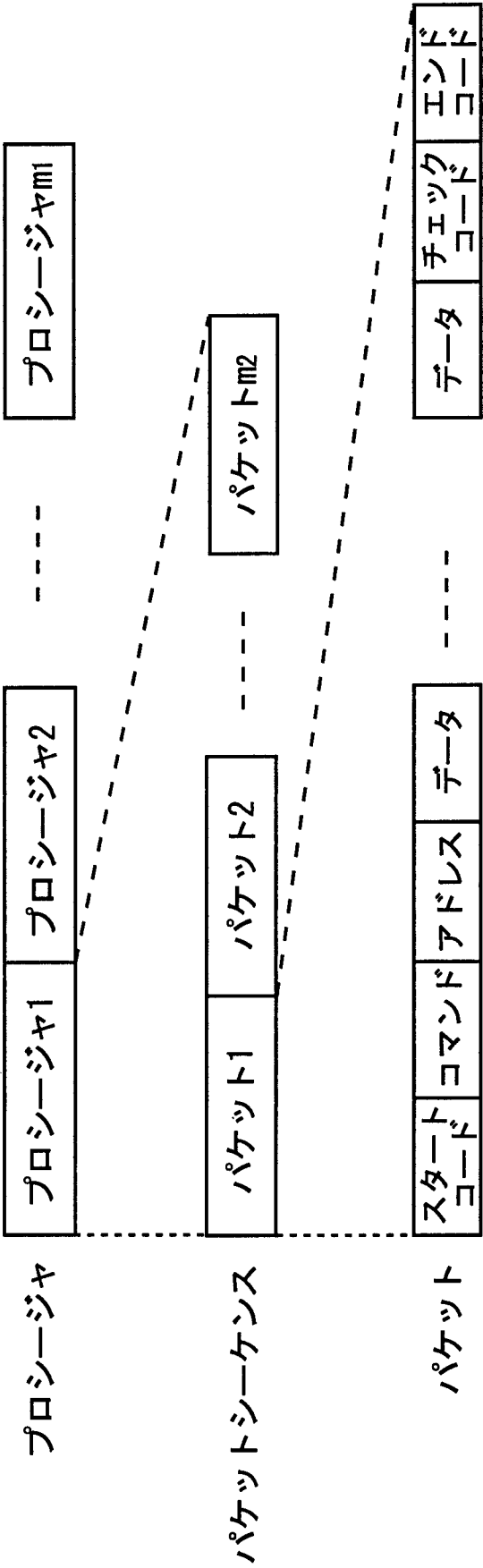
[図6]



[図7]



[図8]



[図9]

パケットシーケンス

//seq	packet	parameter	address
IDXI 2	WRITE_A		xxxxxxx
NOP	WRITE_B	n=16	xxxxxxx
IDXI 2	READ_A		xxxxxxx
NOP	READ_B	n=32	xxxxxxx
EXIT	IDLE		xxxxxxx

[図10]

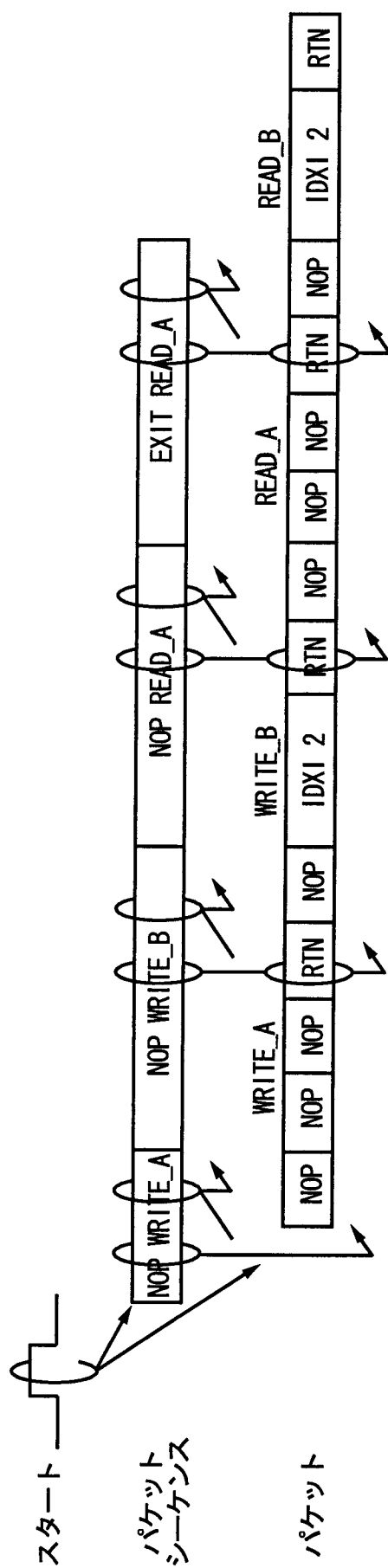
IDLEシーケンス

//seq	ctrl	data
IDXI 7		0x00 // idle code (7 words)
RTN		0x00 // idle code

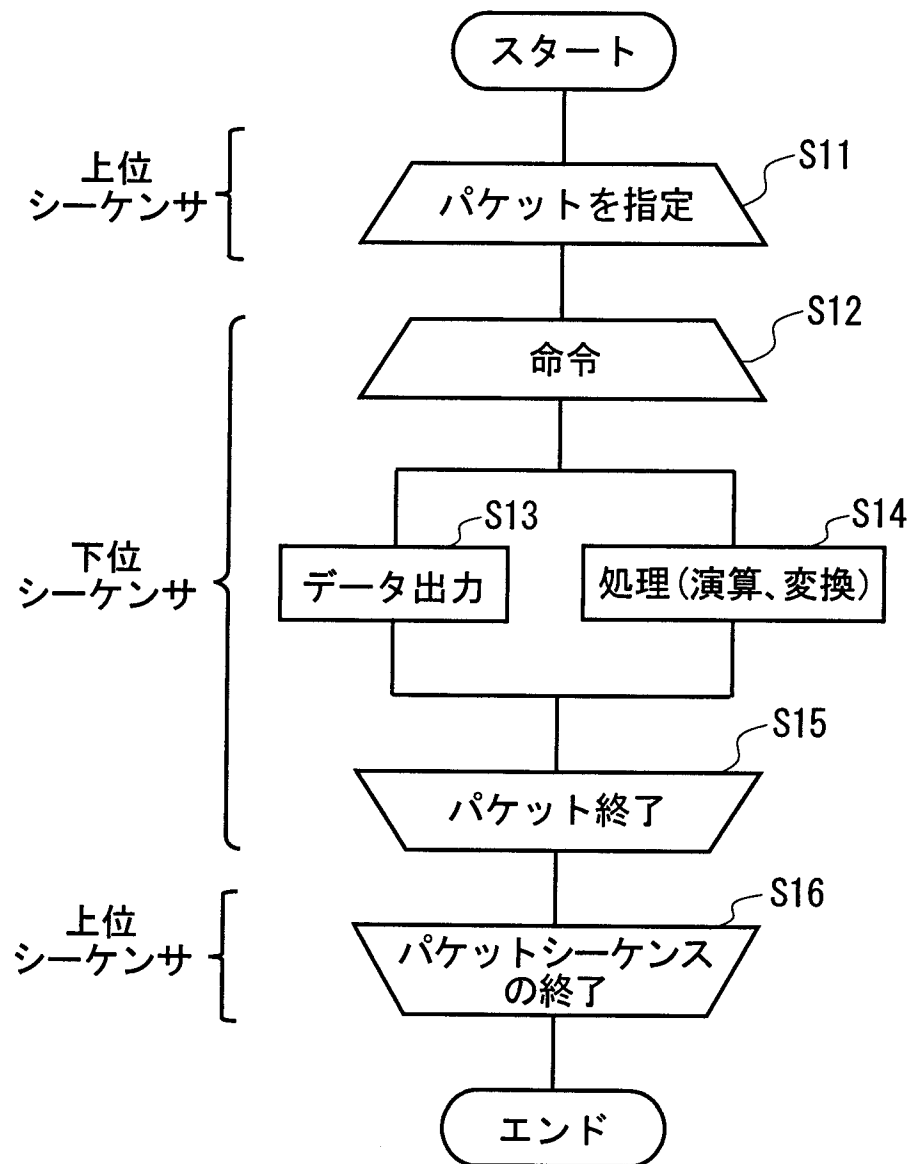
[図11]

WRITEパケット

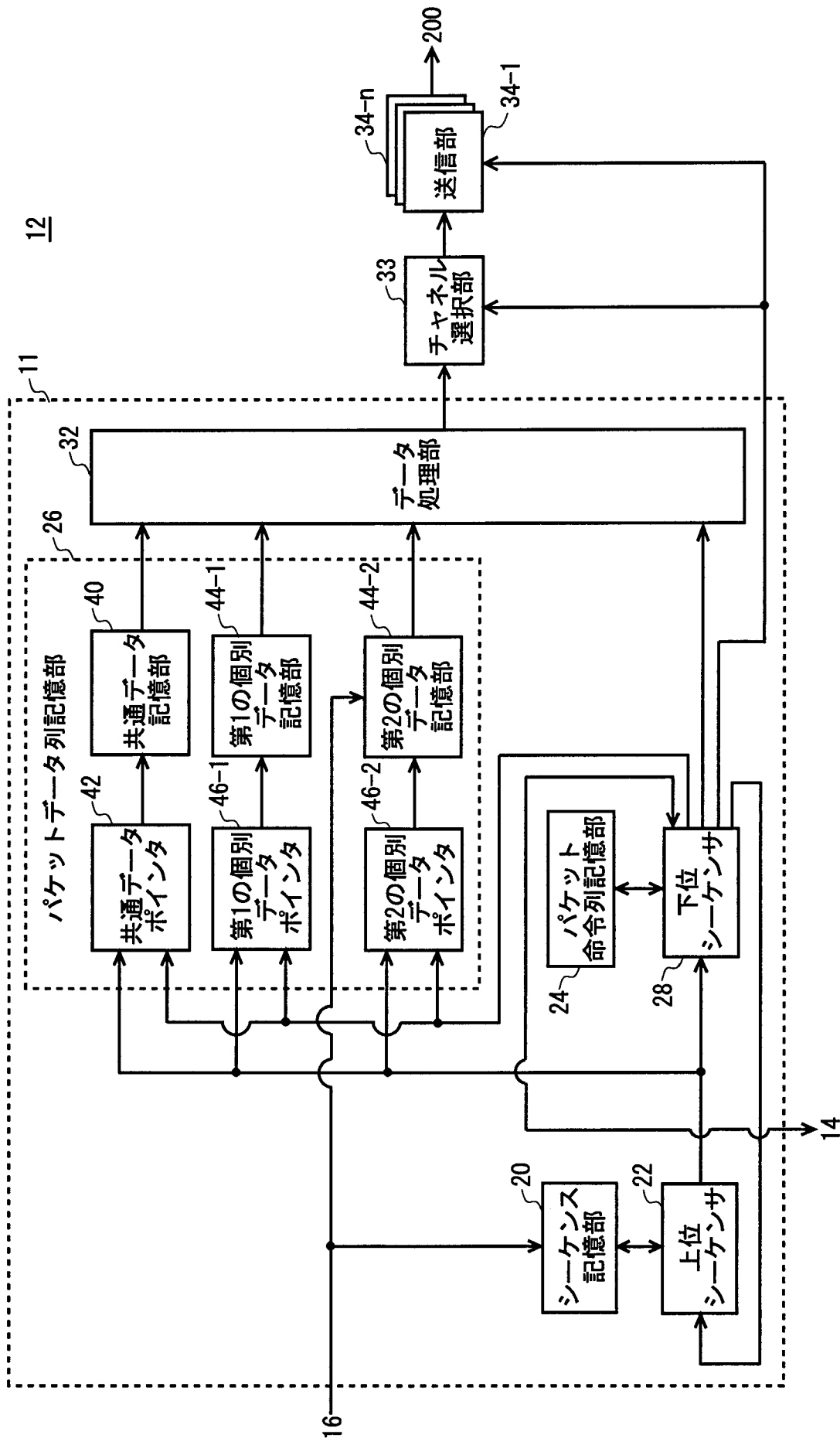
//seq	ctrl	data
NOP		0x0F // start code
NOP	REGI=0	0x01 // command
IDXI 2	REG1=REGI^DB1	DB1 // address (2 words)
IDXI 4	REG1=REGI^DB2	DB2 // data (4 words)
NOP		REGI//check code
RTN		0xFF//end code



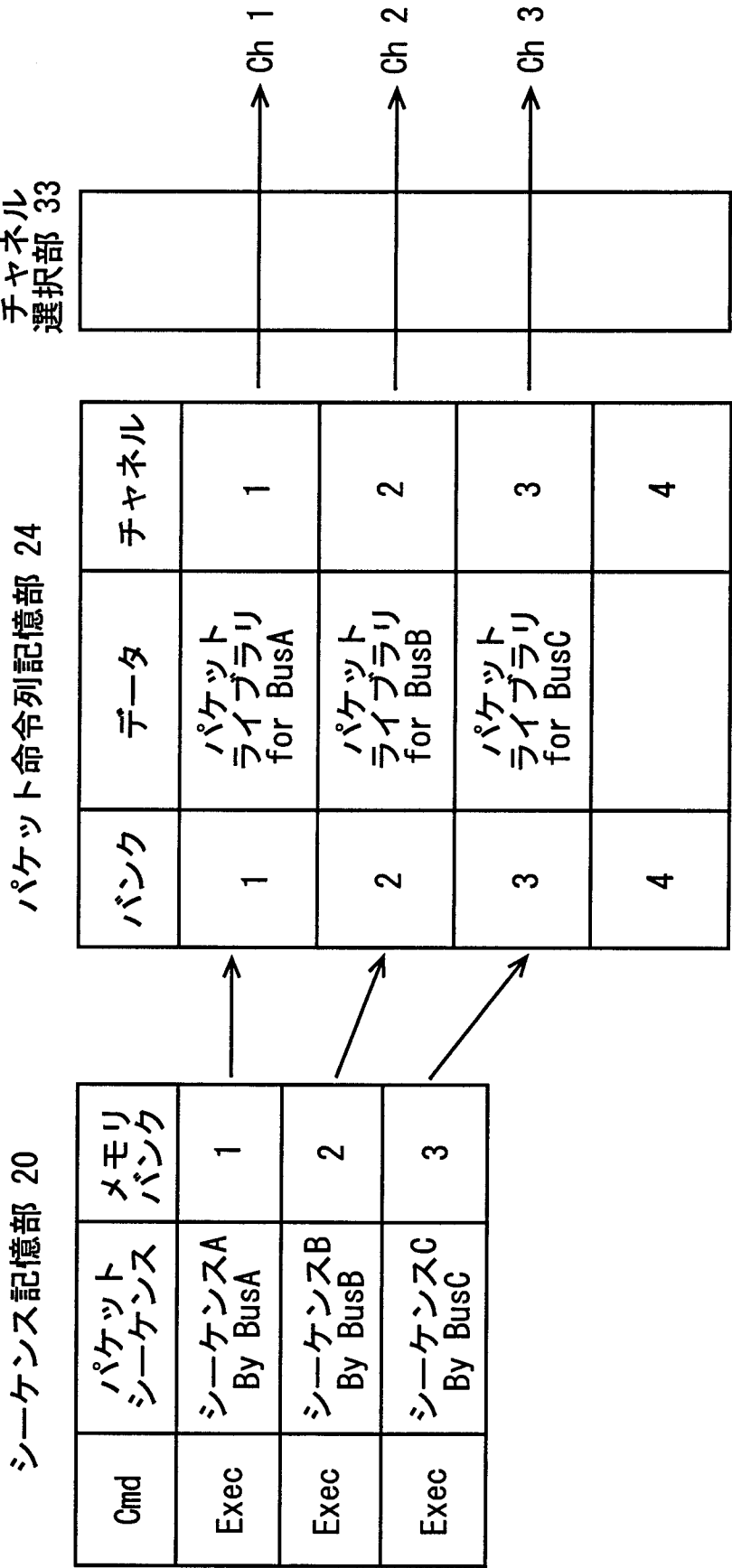
[図13]



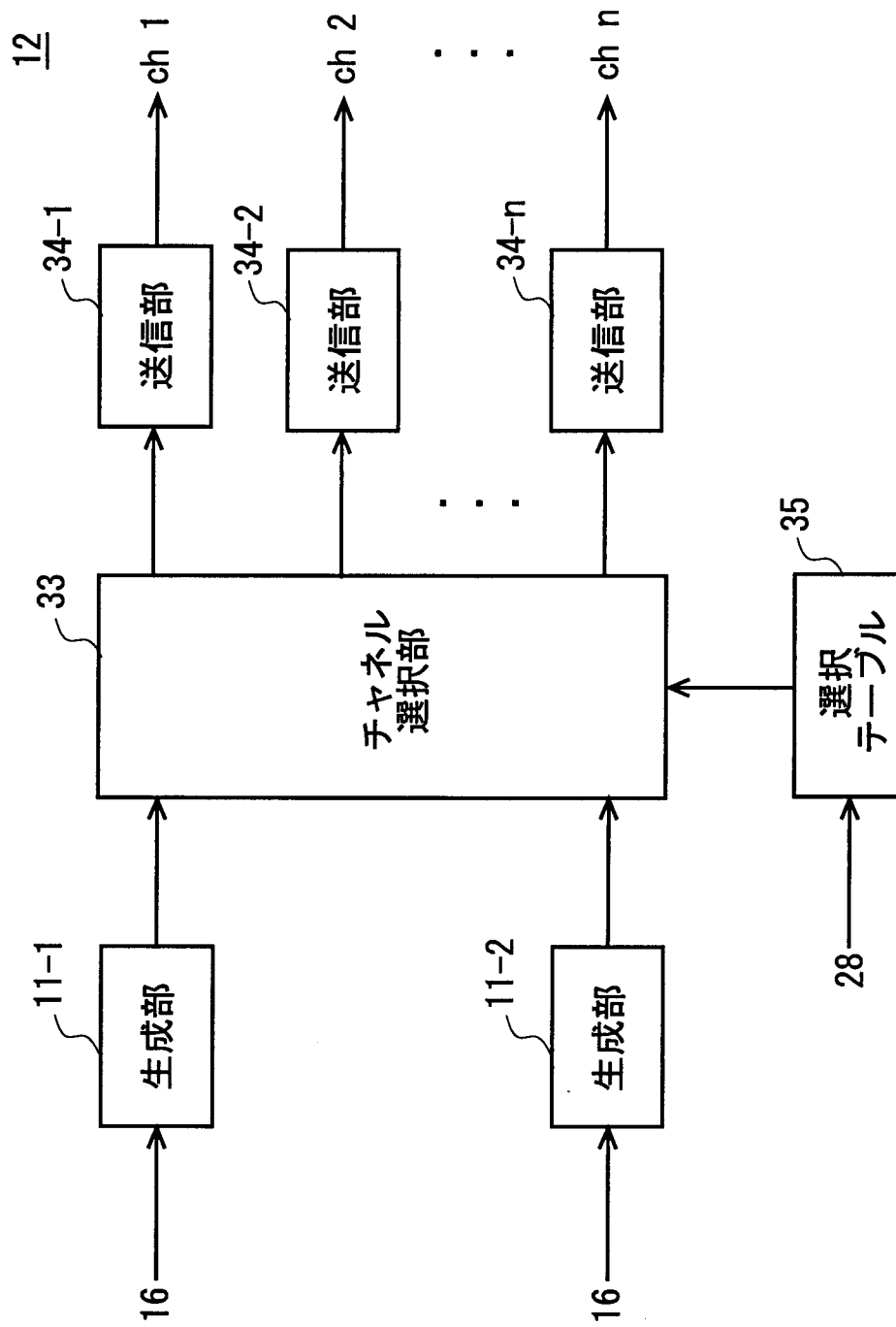
[図14]



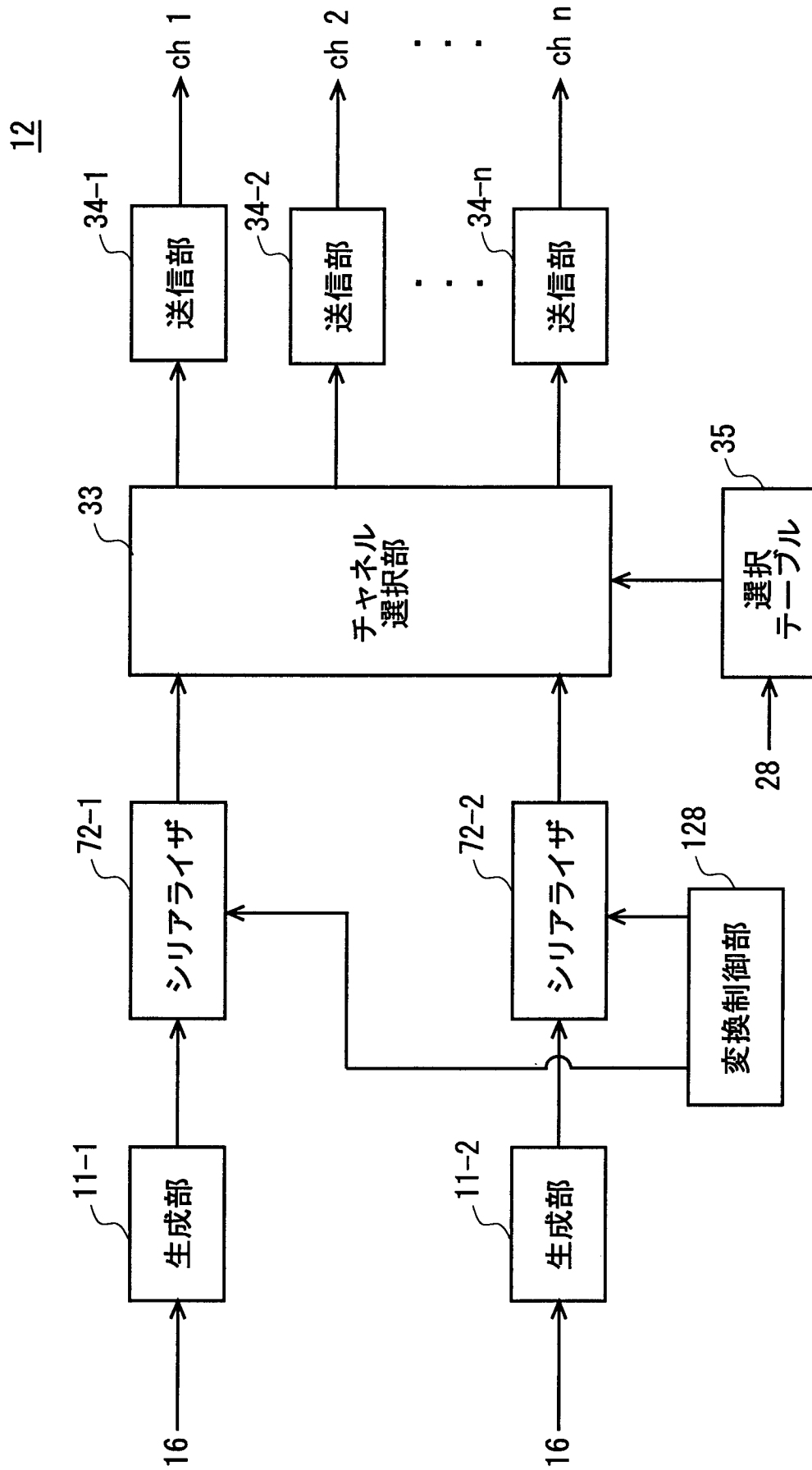
[図15]



[図16]



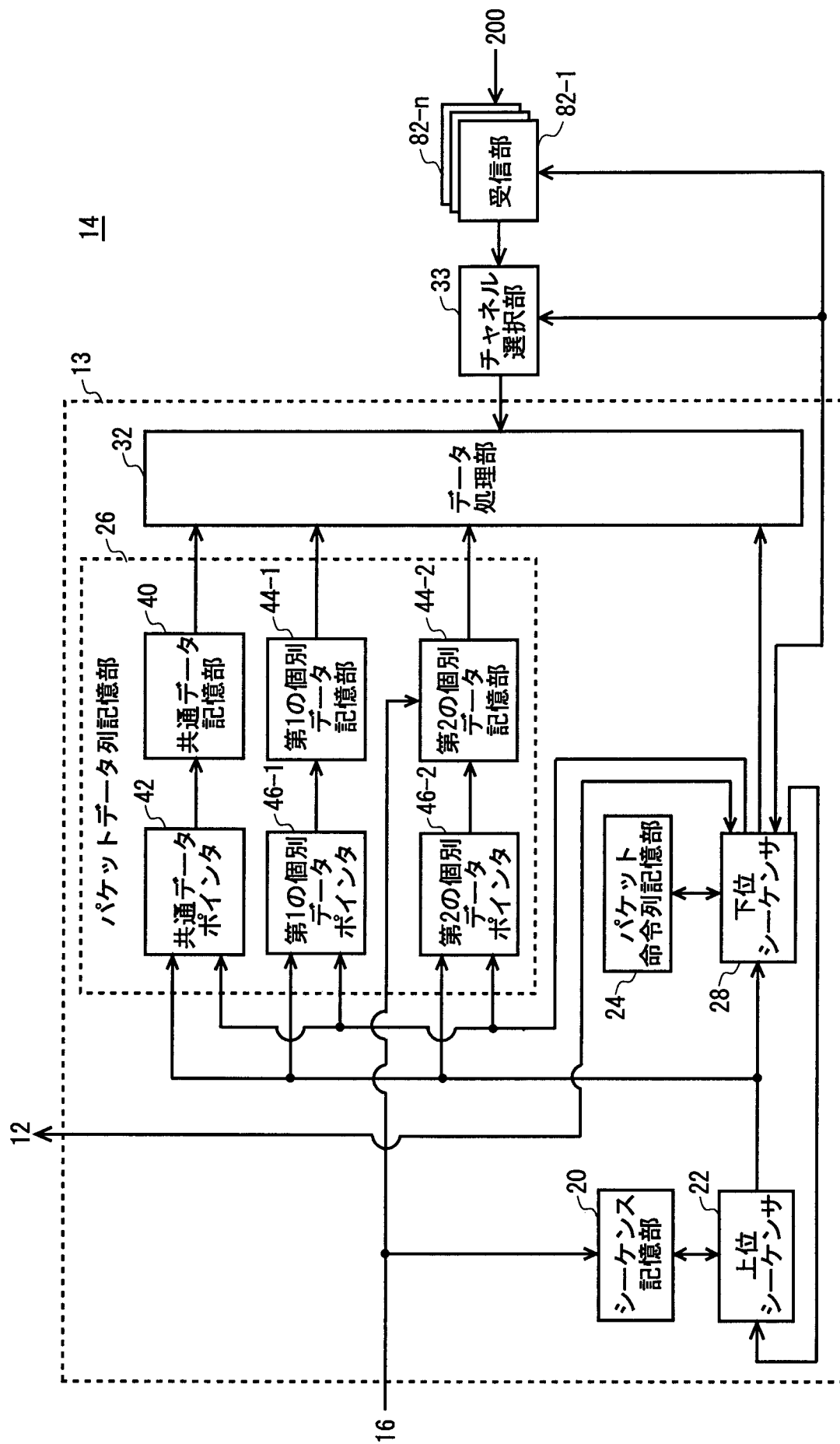
[図17]



入力ビット 動作タイミング	b1	b2	b3	b4	b5	b6	. . .	b31	b32
t1	S1								
t2		S1							
t3			S1						
t4				S1					
t5					S1				
t6						S1			
.							.		
:							.		
.							.		
t31								S1	
t32									S1

[illegible]

[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/003159

A. CLASSIFICATION OF SUBJECT MATTER

H04L29/14 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L29/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2004-253864 A (Oki Electric Industry Co., Ltd.), 09 September, 2004 (09.09.04), Claim 1 & JP 4238591 B2	1-3, 10 4-9
X A	JP 2008-072191 A (NEC Engineering, Ltd.), 27 March, 2008 (27.03.08), Claim 1 (Family: none)	1, 10 2-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
28 September, 2009 (28.09.09)

Date of mailing of the international search report
06 October, 2009 (06.10.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04L29/14(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04L29/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2009年
日本国実用新案登録公報	1996-2009年
日本国登録実用新案公報	1994-2009年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-253864 A (沖電気工業株式会社) 2004.09.09, 請求項 1 & JP 4238591 B2	1-3, 10
A		4-9
X	JP 2008-072191 A (NECエンジニアリング株式会社) 2008.03.27, 請求項 1 (ファミリーなし)	1, 10
A		2-9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

28.09.2009

国際調査報告の発送日

06.10.2009

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

矢頭 尚之

電話番号 03-3581-1101 内線 3593

5 X

8838