

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2021年2月4日(04.02.2021)

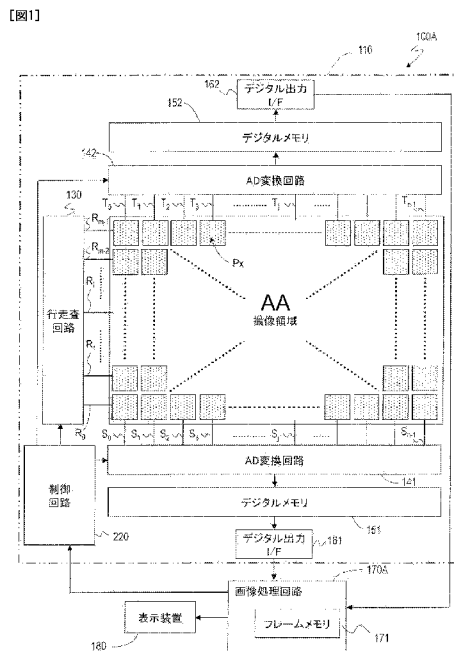


(10) 国際公開番号  
**WO 2021/019972 A1**

- (51) 国際特許分類:  
H04N 5/363 (2011.01) H04N 5/378 (2011.01)  
H04N 5/374 (2011.01)
- (21) 国際出願番号: PCT/JP2020/024748
- (22) 国際出願日: 2020年6月24日(24.06.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2019-142101 2019年8月1日(01.08.2019) JP
- (71) 出願人: パナソニックIPマネジメント株式会社(PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5406207
- 大阪府大阪市中央区城見2丁目1番61号 Osaka (JP).
- (72) 発明者: 三宅 康夫(MIYAKE Yasuo).
- (74) 代理人: 鎌田 健司, 外(KAMATA Kenji et al.); 〒5406207 大阪府大阪市中央区城見2丁目1番61号 パナソニックIPマネジメント株式会社内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

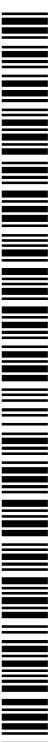
(54) Title: IMAGING DEVICE AND DRIVE METHOD FOR IMAGING DEVICE

(54) 発明の名称: 撮像装置および撮像装置の駆動方法



- 130 Row scan circuit
- 141, 142 AD conversion circuit
- 151, 152 Digital memory
- 161, 162 Digital output interface
- 170A Image processing circuit
- 171 Frame memory
- 180 Display device
- 220 Control circuit
- AA Imaging area

(57) Abstract: This imaging device comprises a plurality of pixels, a first and a second AD conversion circuit for outputting a digital signal that corresponds to the analog signal read out from the plurality of pixels, a first frame memory and an image processing circuit. The analog signal includes a reset signal that represents a reset level and a pixel signal that represents the image of a subject. The first frame memory temporarily holds the output from the first AD conversion circuit and a first digital signal, out of the output from the second AC conversion circuit, that corresponds to the reset signal.



WO 2021/019972 A1

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

---

The image processing circuit outputs a second digital signal, out of the outputs from the first and second AD conversion circuits, that corresponds to a pixel signal relating to the pixels from which the reset signal was read out, and the first digital signal which is held in the first frame memory.

(57) 要約 : 本開示の撮像装置は、複数の画素と、複数の画素から読み出されたアナログ信号に対応したデジタル信号を出力する第1 AD変換回路および第2 AD変換回路と、第1 フレームメモリと、画像処理回路とを有する。アナログ信号は、リセットレベルを表現するリセット信号および被写体の像を表現する画素信号を含む。第1 フレームメモリは、第1 AD変換回路からの出力および第2 AD変換回路からの出力のうちリセット信号に対応した第1 デジタル信号を一時的に保持する。画像処理回路は、第1 AD変換回路からの出力および第2 AD変換回路からの出力のうちリセット信号が読み出された画素に関する画素信号に対応した第2 デジタル信号と、第1 フレームメモリに保持された第1 デジタル信号との差分を出力する。

## 明 細 書

発明の名称：撮像装置および撮像装置の駆動方法

### 技術分野

[0001] 本開示は、撮像装置に関する。本開示は、撮像装置の駆動方法にも関する。

### 背景技術

[0002] 下記の特許文献1は、絶縁層を介して半導体基板に支持された有機光電変換層を有する撮像素子を開示している。特許文献1に記載の技術のように、埋め込みフォトダイオードに代えて、複数の画素電極を有する光電変換部を半導体基板の上方に配置した構成は、「積層型」と呼ばれることがある。このような構成において、光電変換部を支持する半導体基板は、それぞれが画素電極を有する複数の画素に対応して複数の読出し回路を有する。特許文献1の図1に記載されているように、各画素の画素電極は、絶縁層中に配置されたビアを介して、複数の読出し回路のうち対応する1つに接続される。

[0003] 撮像装置の分野においては、ノイズ低減の要求がある。特に、光電変換によって生成された電荷のリセット時に発生するkTCノイズを低減したいという要求がある。このkTCノイズは、「リセットノイズ」とも呼ばれる。

[0004] 下記の特許文献2は、信号電荷を生成する光電変換手段と信号電荷を蓄積するメモリ手段との間に転送手段としてのトランジスタを介在させた撮像装置を開示している。特許文献2の撮像装置は、さらに、フレームメモリおよび加算器を含むノイズ抑圧手段を有する。特許文献2に記載の技術では、フレームメモリに保持しておいたリセットレベルを信号レベルからデジタル処理によって減算することにより、各画素中のメモリ手段で発生する暗電流に起因するショットノイズの影響をキャンセルしている。

### 先行技術文献

#### 特許文献

[0005] 特許文献1：特開2011-228648号公報

特許文献2：特開2008-028517号公報

## 発明の概要

### 発明が解決しようとする課題

[0006] しかしながら、特許文献2の撮像装置では、リセットレベルを表現するリセット信号の読出しが、光電変換手段に対する露光と並行して実行されるものの、転送手段を介した信号電荷のメモリ手段への転送を、全ての行についてのリセット信号の読出しの完了を待って実行する必要がある。そのため、被写体の像を表現する画素信号の読出しは、全ての行についてのリセット信号の読出しが完了してから実行される。すなわち、複数の画素の各行について、リセット信号の読出しと画素信号の読出しとの間隔を縮小することができず、フレームレートの向上が困難である。

### 課題を解決するための手段

[0007] 本開示の限定的ではないある例示的な実施形態によれば、例えば、以下が提供される。

[0008] 複数の行および列に配列された複数の画素と、前記複数の画素から読み出されたアナログ信号を受け取り、前記アナログ信号に対応したデジタル信号を出力する第1AD変換回路および第2AD変換回路と、第1フレームメモリと、画像処理回路とを備え、前記アナログ信号は、リセットレベルを表現するリセット信号および被写体の像を表現する画素信号を含み、前記第1フレームメモリは、前記第1AD変換回路からの出力および前記第2AD変換回路からの出力のうち前記リセット信号に対応した第1デジタル信号を一時的に保持し、前記画像処理回路は、前記第1AD変換回路からの出力および前記第2AD変換回路からの出力のうち前記リセット信号が読み出された画素に関する画素信号に対応した第2デジタル信号と、前記第1フレームメモリに保持された前記第1デジタル信号との差分を出力する、撮像装置。

[0009] 包括的または具体的な態様は、素子、デバイス、システム、集積回路またはコンピュータプログラムで実現されてもよい。また、包括的または具体的な態様は、素子、デバイス、装置、システム、集積回路、方法およびコンピ

ユータプログラムの任意の組み合わせによって実現されてもよい。

[0010] 開示された実施形態の追加的な効果および利点は、明細書および図面から明らかになる。効果および／または利点は、明細書および図面に開示の様々な実施形態または特徴によって個々に提供され、これらの1つ以上を得るために全てを必要とはしない。

### 発明の効果

[0011] 本開示のある実施形態によれば、リセットノイズの影響をキャンセルしながらもフレームレートの向上が可能な撮像装置を提供する。

### 図面の簡単な説明

[0012] [図1]本開示の第1の実施形態による撮像装置の例示的な構成を概略的に示す図である。

[図2]本開示の第1の実施形態による撮像装置の例示的な回路構成を模式的に示す図である。

[図3]第1画素 $P \times 1$ の例示的なデバイス構造を示す模式的な断面図である。

[図4]本開示の第1の実施形態による撮像装置の駆動方法の一例を説明するための図である。

[図5]本開示の第1の実施形態による撮像装置の駆動方法の一例を説明するためのフローチャートである。

[図6]図4に示す時刻 $t_8$ から時刻 $t_9$ までの1H期間における、第0行 $R_0$ の画素の読出し回路20の動作と、第5行 $R_5$ の画素の読出し回路の動作とを模式的に示す図である。

[図7]画素アレイ中の互いに異なる第 $h$ 行および第 $k$ 行の画素に関する読出し回路の動作を模式的に示す図である。

[図8]画素アレイに対するAD変換回路の配置の一例を模式的に示す図である。

[図9]画素アレイに対するAD変換回路の配置の他の一例を模式的に示す図である。

[図10]複数の画素が設けられた半導体基板に対するAD変換回路の配置の一

例を模式的に示す図である。

[図11]出力信号線に対する画素の接続の他の一例を模式的に示す図である。

[図12]出力信号線に対する画素の接続のさらに他の一例を模式的に示す図である。

[図13]出力信号線に対する画素の接続のさらに他の一例を模式的に示す図である。

[図14]本開示の第1の実施形態による撮像装置の変形例を示す模式的な図である。

[図15]本開示の第1の実施形態による撮像装置の他の変形例を示す模式的な図である。

[図16]本開示の第2の実施形態による撮像装置の例示的な構成を概略的に示す図である。

[図17]本開示の第2の実施形態による撮像装置の変形例を模式的に示す図である。

[図18]本開示の第2の実施形態による撮像装置の他の変形例を模式的に示す図である。

[図19]本開示の第2の実施形態による撮像装置のさらに他の変形例を模式的に示す図である。

[図20]第1フレームメモリ171および第2フレームメモリ172を有する撮像装置の動作の一例を模式的に示す図である。

[図21]複数の画素 $P \times$ の列ごとに3以上のAD変換回路を配置した構成における信号読出し動作の一例を模式的に示す図である。

[図22]撮像装置のさらに他の変形例を模式的に示す図である。

[図23]図22に示す撮像装置100Hの動作の一例を模式的に示す図である。

。

## 発明を実施するための形態

[0013] 本開示の一態様の概要は、以下のとおりである。

[0014] [項目1]

複数の行および列に配列された複数の画素と、  
複数の画素から読み出されたアナログ信号を受け取り、アナログ信号に対応したデジタル信号を出力する第1 A D変換回路および第2 A D変換回路と、  
、  
第1フレームメモリと、  
画像処理回路と  
を備え、  
アナログ信号は、リセットレベルを表現するリセット信号および被写体の像を表現する画素信号を含み、  
第1フレームメモリは、第1 A D変換回路からの出力および第2 A D変換回路からの出力のうちリセット信号に対応した第1デジタル信号を一時的に保持し、  
画像処理回路は、第1 A D変換回路からの出力および第2 A D変換回路からの出力のうちリセット信号が読み出された画素に関する画素信号に対応した第2デジタル信号と、第1フレームメモリに保持された第1デジタル信号との差分を出力する、  
撮像装置。

[0015] 項目1の構成によれば、撮像装置に第1および第2のA D変換回路を設け、これらからの出力のうち、リセット信号に対応した第1デジタル信号を第1フレームメモリに保持しておき、画素信号に対応した第2デジタル信号との間の差分を算出するようにしているので、リセットノイズの影響を実質的にキャンセルすることができる。また、撮像装置に第1および第2のA D変換回路を設けることにより、リセット信号の読出しの期間の一部と、画素信号の読出しの期間の一部とをオーバーラップさせることが可能になり、露光期間の長さを柔軟に変更することが可能である。

[0016] [項目2]

第1 A D変換回路は、複数の画素から読み出されたアナログ信号のうちリセット信号を受け取って第1デジタル信号に変換し、

第2 AD変換回路は、複数の画素から読み出されたアナログ信号のうち画素信号を受け取って第2 デジタル信号に変換する、項目1に記載の撮像装置。

[0017] [項目3]

第1 AD変換回路に接続された第1 出力信号線および第2 AD変換回路に接続された第2 出力信号線の複数の組と、

それぞれが、各画素と、第1 出力信号線および第2 出力信号線の複数の組のうち対応する1つの組との間に接続された複数の第1 信号切替え回路とをさらに備え、

第1 信号切替え回路は、画素から読み出されたアナログ信号のうちリセット信号を第1 出力信号線に出力し、画素から読み出されたアナログ信号のうち画素信号を第2 出力信号線に出力する、項目2に記載の撮像装置。

[0018] [項目4]

複数の画素は、複数の行の互いに異なる行に位置する第1 画素および第2 画素を含み、

撮像装置は、

第1 画素に接続された第1 出力信号線と、

第2 画素に接続された第2 出力信号線と、

第1 出力信号線および第2 出力信号線と第1 AD変換回路との間に接続された第1 信号切替え回路と、

第1 出力信号線および第2 出力信号線と第2 AD変換回路との間に接続された第2 信号切替え回路と

をさらに備え、

第1 信号切替え回路および第2 信号切替え回路は、相補的に動作する、項目2に記載の撮像装置。

[0019] [項目5]

第1 AD変換回路からの第1 デジタル信号の出力のタイミングと、第2 AD変換回路からの第2 デジタル信号の出力のタイミングとが一致している、

項目 2 から 4 のいずれかに記載の撮像装置。

[0020] [項目 6]

複数の画素は、複数の行の互いに異なる行に位置する第 1 画素および第 2 画素を含み、

撮像装置は、

第 1 画素および第 1 A D 変換回路に接続された第 1 出力信号線と、

第 2 画素および第 2 A D 変換回路に接続された第 2 出力信号線と

をさらに備え、

第 1 A D 変換回路は、第 1 画素から読み出されたアナログ信号に対応したデジタル信号を生成し、

第 2 A D 変換回路は、第 2 画素から読み出されたアナログ信号に対応したデジタル信号を生成する、項目 1 に記載の撮像装置。

[0021] [項目 7]

第 1 A D 変換回路からのデジタル信号の出力のタイミングと、第 2 A D 変換回路からのデジタル信号の出力のタイミングとが一致している、項目 6 に記載の撮像装置。

[0022] [項目 8]

第 1 画素および第 2 画素は、それぞれ、複数の行の偶数行および奇数行に位置する、項目 4 から 7 のいずれかに記載の撮像装置。

[0023] [項目 9]

第 2 デジタル信号を一時的に保持する第 2 フレームメモリをさらに備え、

画像処理回路は、第 1 フレームメモリに保持された第 1 デジタル信号と第 2 フレームメモリに保持された第 2 デジタル信号との差分を出力する、項目 1 から 8 のいずれかに記載の撮像装置。

[0024] 項目 9 の構成によれば、例えば、次のフレーム期間に取得された画素信号に対応するデジタル信号と、第 2 フレームメモリに保持された第 2 デジタル信号との差分を得ることが可能になる。そのため、リセット信号読出しの期間の一部と、画素信号読出しの期間の一部とのオーバーラップを許容しながら

ら、複数の画素の全ての行に関するリセット信号の読出しおよび画素信号の読出しが完了してから第1デジタル信号および第2デジタル信号の差分を実行することが可能になる。

[0025] [項目10]

第1AD変換回路および第2AD変換回路と、第1フレームメモリおよび第2フレームメモリとの間に電氣的に接続された第3信号切替え回路をさらに備え、

第3信号切替え回路は、入力のうち第1デジタル信号を第1フレームメモリに選択的に出力し、第2デジタル信号を第2フレームメモリに選択的に出力する、項目9に記載の撮像装置。

[0026] 項目10の構成によれば、AD変換回路から出力される第1デジタル信号を第1フレームメモリに格納させ、第2デジタル信号を第2フレームメモリに格納させることができる。

[0027] [項目11]

複数の画素のそれぞれは、

第1AD変換回路および第2AD変換回路の一方または両方に電氣的に接続された読出し回路が設けられた半導体基板と、

半導体基板の上方に位置する光電変換部と

を有する、項目1から10のいずれかに記載の撮像装置。

[0028] [項目12]

それぞれが、不純物領域が設けられた半導体基板に支持された光電変換部であって、不純物領域をその一部に含む電荷蓄積領域に電氣的に接続された光電変換部を有する複数の画素を含む撮像装置の駆動方法であって、

電荷蓄積領域の電位をリセットする工程(a)と、

工程(a)の実行後の電荷蓄積領域の電位に応じたリセット信号を読み出す工程(b)と、

アナログーデジタル変換により、リセット信号に対応した第1デジタル信号を生成する工程(c)と、

第1デジタル信号を第1フレームメモリに格納する工程（d）と、  
工程（a）の実行後に、光電変換部によって生成される信号電荷を電荷蓄積領域に蓄積する工程（e）と、

工程（e）において電荷蓄積領域に蓄積された電荷量に応じた画素信号を読み出す工程（f）と、

アナログーデジタル変換により、画素信号に対応した第2デジタル信号を生成する工程（g）と、

第2デジタル信号と第1デジタル信号との差分を得る工程（h）とを含む、撮像装置の駆動方法。

[0029] 項目12の構成によれば、画素信号に対応した第2デジタル信号と、リセット信号に対応した第1デジタル信号とを取得してこれらの間の差分をとることにより、露光期間の直前に実行されるリセット動作に起因するランダムノイズの影響を実質的にキャンセルすることができる。

[0030] [項目13]

工程（b）は、複数の画素のうち1以上の画素からリセット信号を読み出す工程であり、工程（f）は、複数の画素のうち、1以上の画素とは異なる他の1以上の画素から画素信号を読み出す工程であり、かつ、工程（b）と並行して実行される、項目12に記載の撮像装置の駆動方法。

[0031] 項目13の構成によれば、リセット信号の読出しの期間の一部と、画素信号の読出しの期間の一部とをオーバーラップさせているので、露光期間の長さを柔軟に変更することが可能になる。例えば、露光期間を短縮してフレームレートを向上させ得る。

[0032] [項目14]

複数の行および列に配列された複数の画素であって、複数の行の互いに異なる行に配置された第1画素および第2画素を含む複数の画素と、

第1画素および第2画素に電氣的に接続された出力信号線と、

出力信号線に電氣的に接続され、第1画素および第2画素から読み出されたアナログ信号に対応したデジタル信号を出力するAD変換回路と、

A D変換回路からの出力のうちリセットレベルを表現するリセット信号に対応した第1デジタル信号を一時的に保持する第1フレームメモリと、

A D変換回路からの出力のうちリセット信号が読み出された画素に関する、被写体の像を表現する画素信号に対応した第2デジタル信号と、第1フレームメモリに保持された第1デジタル信号との差分を出力する画像処理回路と、

画像処理回路からの水平同期信号を受け取り、水平同期信号よりも短い周期のパルス信号を生成する周波数通倍器とを備え、

第1画素は、周波数通倍器からの出力に基づき、1 H期間の一部においてリセット信号を出力信号線に出力し、

第2画素は、周波数通倍器からの出力に基づき、1 H期間の他の一部において画素信号を出力信号線に出力する、撮像装置。

[0033] 項目14の構成によれば、複数の画素の各列に2以上の出力信号線を設けることなく、リセットノイズの影響をキャンセルしながらもフレームレートの柔軟な変更を可能にし得る。

[0034] [項目15]

kを整数としたとき、(k+1)番目のフレームにおける第1画素からのリセット信号の読出しは、k番目のフレームにおける第2画素からの画素信号の読出しよりも先に実行される、項目14に記載の撮像装置。

[0035] [項目16]

A D変換回路からの出力のうち第2デジタル信号を一時的に保持する第2フレームメモリをさらに備える、項目14または15に記載の撮像装置。

[0036] 項目16の構成によれば、A D変換回路から出力される第1デジタル信号を第1フレームメモリに格納させ、第2デジタル信号を第2フレームメモリに格納させることができる。

[0037] 以下、図面を参照しながら、本開示の実施形態を詳細に説明する。なお、以下で説明する実施形態は、いずれも包括的または具体的な例を示す。以下

の実施形態で示される数値、形状、材料、構成要素、構成要素の配置および接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する主旨ではない。本明細書において説明される種々の態様は、矛盾が生じない限り互いに組み合わせることが可能である。また、以下の実施形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。以下の説明において、実質的に同じ機能を有する構成要素は共通の参照符号で示し、説明を省略することがある。また、図面が過度に複雑になることを避けるために、一部の要素の図示を省略することがある。

[0038] (第1の実施形態)

図1は、本開示の第1の実施形態による撮像装置の例示的な構成を概略的に示す。図1に示す撮像装置100Aは、それぞれが、半導体基板110に支持された光電変換部をその一部に有する複数の画素Pxを含む。すなわち、以下では、撮像装置100Aとして、いわゆる積層型の構成を有する撮像装置を例示する。後に図を参照しながら詳しく説明するように、半導体基板110は、各画素Pxに対応して形成された複数の読出し回路を有する。

[0039] 複数の画素Pxは、半導体基板110に二次元に配列されることにより、撮像領域を形成する。本開示の実施形態において、複数の画素Pxは、複数の行および列に配列される。図1では、複数の画素Pxがm行n列に配列されている。ここで、mおよびnは、独立して、2以上の整数を表す。

[0040] 撮像装置100Aは、複数の行信号線R<sub>i</sub>と、複数の出力信号線とを有する。複数の行信号線R<sub>i</sub>は、画素Pxの複数の行に対応して配置されたm本の行信号線R<sub>0</sub>, R<sub>1</sub>, R<sub>2</sub>, ..., R<sub>m-2</sub>, R<sub>m-1</sub>を含む。複数の行信号線R<sub>i</sub>のそれぞれは、同一行に属する1以上の画素Pxに電氣的に接続される。これら行信号線R<sub>i</sub>は、行走査回路130に接続されている。なお、複数の画素Pxの行ごとに2本以上の信号線が設けられることもあり得る。

[0041] 図1に示す例では、複数の出力信号線は、複数の第1出力信号線S<sub>j</sub>および複数の第2出力信号線T<sub>j</sub>を含む。複数の第1出力信号線S<sub>j</sub>は、画素Pxの

複数の列に対応して配置された $n$ 本の第1出力信号線 $S_0, S_1, S_2, \dots, S_{n-2}, S_{n-1}$ を含む。同様に、複数の第2出力信号線 $T_j$ も、画素 $P \times$ の複数の列に対応して配置された $n$ 本の第2出力信号線 $T_0, T_1, T_2, \dots, T_{n-2}, T_{n-1}$ を含む。

[0042] 複数の第1出力信号線 $S_j$ のそれぞれは、同一列に属する1以上の画素 $P \times$ の読出し回路に電氣的に接続される。図示するように、複数の第1出力信号線 $S_j$ には、第1アナログーデジタル変換回路141および第1デジタル出力インターフェース161が接続されている。第1デジタル出力インターフェース161からは、第1出力信号線 $S_j$ を介して画素 $P \times$ から読み出され、第1アナログーデジタル変換回路141によってアナログーデジタル変換を受けた信号が出力される。

[0043] 複数の第2出力信号線 $T_j$ のそれぞれも同様に、同一列に属する1以上の画素 $P \times$ の読出し回路に電氣的に接続される。各第2出力信号線 $T_j$ は、例えば、同一列に属する複数の画素のうち、第1出力信号線 $S_j$ に接続された画素以外の画素に接続される。ただし、後述するように、同一列に属する複数の画素に注目したとき、第1出力信号線 $S_j$ との接続を有する画素に第2出力信号線 $T_j$ が接続されるような態様もあり得る。

[0044] 図示するように、複数の第2出力信号線 $T_j$ には、第2アナログーデジタル変換回路142および第2デジタル出力インターフェース162が接続されている。第2デジタル出力インターフェース162からは、第2出力信号線 $T_j$ を介して画素 $P \times$ から読み出され、第2アナログーデジタル変換回路142によってアナログーデジタル変換を受けた信号が出力される。簡単のために、以下では、アナログーデジタル変換回路を単に「AD変換回路」と呼び、デジタル出力インターフェースを単に「インターフェース」と呼ぶ。

[0045] 図1に例示する構成において、撮像装置100Aは、第1出力信号線 $S_j$ に接続された第1AD変換回路141と第1インターフェース161との間に接続された第1デジタルメモリ151をさらに有する。また、この例では、撮像装置100Aは、第2出力信号線 $T_j$ に接続された第2AD変換回路14

2と第2インターフェース162との間に接続された第2デジタルメモリ152をも有する。第1デジタルメモリ151および第2デジタルメモリ152は、複数の画素 $P \times$ から読み出されて第1AD変換回路141または第2AD変換回路142によってアナログーデジタル変換された1行分のデジタル信号を一時的に保持する。この例のようにAD変換回路とインターフェースとの間にデジタルメモリを介在させることにより、1行分のアナログーデジタル変換の結果をデジタルメモリに保持させつつ、AD変換回路で次の行に関するアナログーデジタル変換を実行することが可能になる。すなわち、行単位のアナログーデジタル変換をより高速に処理し得る。

[0046] 第1インターフェース161および第2インターフェース162には、画像処理回路170Aが接続される。画像処理回路170Aは、インターフェースから出力されるデジタル信号に対し、必要に応じてガンマ補正、色補間処理、空間補間処理、オートホワイトバランスなどの処理を実行する。画像処理回路170Aは、例えばDSP (Digital Signal Processor)、ISP (Image Signal Processor)、FPGA (field-programmable gate array) などによって実現され得る。

[0047] この例では、画像処理回路170Aに制御回路220が電氣的に接続されている。画像処理回路170Aは、制御回路220に垂直同期信号、水平同期信号などの制御信号を提供する。制御回路220には、行走査回路130、第1AD変換回路141および第2AD変換回路142が接続されている。制御回路220は、例えば1以上のプロセッサを含むマイクロコントローラによって実現され、典型的には、タイミングジェネレータを有する。制御回路220は、行走査回路130、第1AD変換回路141および第2AD変換回路142に駆動信号を供給し、撮像装置100A全体を制御する。図1中、制御回路220に向かって延びる矢印および制御回路220から延びる矢印は、それぞれ、制御回路220への入力信号および制御回路220からの出力信号を模式的に表現している。制御回路220が1以上のメモリを含んでいてもよい。

- [0048] 撮像装置100Aは、画像処理回路170Aに接続された液晶ディスプレイまたは有機ELディスプレイなどの表示装置180を含み得る。表示装置180は、撮影によって得られたデジタル信号に基づく画像を撮像装置100Aのユーザに提示する。
- [0049] 図1に例示する構成において、画像処理回路170Aは、第1フレームメモリ171を有する。第1フレームメモリ171は、第1インターフェース161および／または第2インターフェース162から出力された、1フレーム分の画像に相当するデジタルデータを一時的に保持する。本開示の実施形態において、第1フレームメモリ171は、リセットレベルを表現するリセット信号に対応した第1デジタル信号を一時的に保持する。第1デジタル信号は、各画素 $P \times$ から読み出されるアナログ信号であるリセット信号を入力として第1AD変換回路141または第2AD変換回路142から出力されるデジタル信号である。後述するように、画像処理回路170Aは、第1フレームメモリ171に保持された第1デジタル信号と、被写体の像を表現する画素信号に対応した第2デジタル信号との差分を出力する。デジタル信号間の差分により、露光期間の直前に実行されるリセット動作に起因するランダムノイズの影響を実質的にキャンセルすることができる。
- [0050] さらに、図1に例示する構成では、撮像装置100Aは、画素からの信号の読出しに関し、第1出力信号線 $S_j$ を含む第1の系統、および、第2出力信号線 $T_j$ を含む第2の系統の2つの系統を有している。ある態様において、複数の画素 $P \times$ のある列に関し、第1出力信号線 $S_j$ は、その列のある1以上の画素に接続される。他方、第2出力信号線 $T_j$ は、その列の他のある1以上の画素に接続される。このような接続の態様によれば、複数の画素 $P \times$ のある列に関し、ある画素からのリセット信号の読出しと、その画素が属する行とは異なる行に属するある画素からの画素信号の読出しとを並列的に実行し得る。したがって、リセット信号の行単位での読出しの期間と、画素信号の行単位での読出しの期間との間隔を縮小できるので、リセットノイズの影響を除去しながらフレームレートを向上させることが可能である。

[0051] (画素  $P \times$  の例示的な回路構成)

図2は、撮像装置100Aの例示的な回路構成を示す。簡単のために、図2では、図1に示す撮像領域に含まれる複数の画素  $P \times$  から4つを取り出して模式的に示している。これら4つの画素  $P \times$  は、2行2列に配列された第1画素  $P \times 1$ 、第2画素  $P \times 2$ 、第3画素  $P \times 3$  および第4画素  $P \times 4$  を含む。これらのうち、第1画素  $P \times 1$  および第2画素  $P \times 2$  は、同一の行に位置し、他方、第3画素  $P \times 3$  および第4画素  $P \times 4$  は、第1画素  $P \times 1$  および第2画素  $P \times 2$  とは異なる同一の行に位置する。第1画素  $P \times 1$  および第2画素  $P \times 2$  は、例えば、複数の画素  $P \times$  を含む画素アレイの偶数行に位置し、第3画素  $P \times 3$  および第4画素  $P \times 4$  は、画素アレイの奇数行に位置する。画素の基本的な回路構成は、これらの画素  $P \times 1 \sim P \times 4$  の間で共通であり、したがって以下では、第1画素  $P \times 1$  に注目して各画素の例示的な構成を説明する。

[0052] 第1画素  $P \times 1$  は、光電変換部10と、光電変換部10に電氣的に接続された読出し回路20とを含む。後述するように、光電変換部10は、画素電極と、対向電極と、これらの電極に挟まれた光電変換層とを有する。各画素の光電変換部10は、電圧供給回路190に接続された電圧線192との電氣的接続を有し、撮像装置100Aの動作時に、画素電極と対向電極との間に所定の電圧を印加可能に構成されている。電圧供給回路190は、撮像装置100Aの動作時に各画素の光電変換部10に所定の電圧を印加可能に構成されていればよく、特定の電源回路に限定されない。電圧供給回路190は、所定の電圧を生成する回路であってもよいし、他の電源から供給された電圧を所定の電圧に変換する回路であってもよい。電圧供給回路190は、行走査回路130の一部であってもよい。

[0053] 図2に例示する構成において、読出し回路20は、信号検出トランジスタ22、アドレストランジスタ24およびリセットトランジスタ26を含む。信号検出トランジスタ22、アドレストランジスタ24およびリセットトランジスタ26は、典型的には、半導体基板110に形成された電界効果トラ

ンジスタであり、以下では、NチャンネルMOSFETをこれらトランジスタに用いた例を説明する。

[0054] 信号検出トランジスタ22のゲートは、光電変換部10の画素電極に接続される。信号検出トランジスタ22のソースは、アドレストランジスタ24を介して、対応する出力信号線に接続される。ここでは、複数の画素 $P \times$ の複数の列ごとに、第1出力信号線 $S_j$ および第2出力信号線 $T_j$ の組が配置されている。図2に示すように、第1出力信号線 $S_j$ は、第1AD変換回路141に接続される。これに対し、第2出力信号線 $T_j$ は、第2AD変換回路142に接続される。

[0055] 図2に示す例において画素のアレイの同一列に属する第1画素 $P \times 1$ と第4画素 $P \times 4$ とに注目すると、第1画素 $P \times 1$ の信号検出トランジスタ22のソースは、第1出力信号線 $S_j$ に電氣的に接続されている。他方、第4画素 $P \times 4$ の信号検出トランジスタ22のソースは、第2出力信号線 $T_j$ に電氣的に接続されている。同様に、同一行に属する第2画素 $P \times 2$ と第3画素 $P \times 3$ とに注目すると、第2画素 $P \times 2$ の信号検出トランジスタ22のソースは、第1出力信号線 $S_{j-1}$ に電氣的に接続されており、第3画素 $P \times 3$ の信号検出トランジスタ22のソースは、第2出力信号線 $T_{j-1}$ に電氣的に接続されている。すなわち、この例では、第1AD変換回路141は、アナログ→デジタル変換により、例えば画素アレイの偶数行に位置する第1画素 $P \times 1$ 、第2画素 $P \times 2$ から読み出されるアナログ信号に対応したデジタル信号を生成し、第1インターフェース161に出力する。また、第2AD変換回路142は、例えば画素アレイの奇数行に位置する第3画素 $P \times 3$ 、第4画素 $P \times 4$ から読み出されるアナログ信号に対応したデジタル信号を生成し、第2インターフェース162に出力する。

[0056] 各画素 $P \times$ から読み出されるアナログ信号には、リセットレベルを表現するリセット信号と、被写体の像を表現する画素信号とが含まれる。後述するように、各画素 $P \times$ から読み出されるリセット信号および画素信号は、画素のリセットに伴って発生するkTCノイズが重畳された信号である。

- [0057] 図2に模式的に示すように、第1AD変換回路141および第2AD変換回路142は、カラム信号処理回路145などの、出力信号線ごとに設けられた複数の要素を有し得る。これら複数の要素のそれぞれは、複数の出力信号線のうち対応する1つに接続されている。他方、各画素の信号検出トランジスタ22のドレインは、電源線194に接続される。電源線194は、撮像装置100Aの動作時に3.3V程度の電源電圧VDDが印加されることによりソースフォロワ電源として機能する。
- [0058] アドレストランジスタ24のゲートには、行信号線R<sub>i</sub>が接続される。行走査回路130は、行信号線R<sub>i</sub>に印加する電圧レベルの制御により、アドレストランジスタ24のオンおよびオフを切り替える。これにより、行走査回路130は、選択した行に属する画素から、対応する出力信号線に信号を読み出すことができる。
- [0059] この例では、読出し回路20は、リセットトランジスタ26を含んでいる。リセットトランジスタ26のドレインおよびソースの一方は、光電変換部10を信号検出トランジスタ22のゲートに電気的に接続するノードFDに接続されている。リセットトランジスタ26のドレインおよびソースの他方は、リセット電圧線196に接続される。リセット電圧線196は、リセット電圧供給回路198に接続されている。撮像装置100Aの動作時、所定のリセット電圧V<sub>RST</sub>がリセット電圧供給回路198からリセット電圧線196に印加される。リセット電圧V<sub>RST</sub>としては、例えば0Vまたは0V付近の電圧が用いられる。リセット電圧供給回路198は、撮像装置100Aの動作時に各画素に所定のリセット電圧を印加可能に構成されていればよく、電圧供給回路190と同様に特定の電源回路に限定されない。リセット電圧供給回路198は、電圧供給回路190から独立した回路であってもよく、リセット電圧供給回路198および電圧供給回路190の一方が他方の一部であってもよい。
- [0060] 複数の画素P<sub>x</sub>に対応して複数のリセット信号線Q<sub>i</sub>が設けられる。図示するように、典型的には、同一行に属する複数の画素P<sub>x</sub>のリセットトランジ

スタ26のゲートに、共通して1つのリセット信号線が接続される。この例では、リセット信号線 $Q_i$ は、行走査回路130との接続を有する。したがって、行走査回路130は、リセット信号線 $Q_i$ に印加する電圧レベルの制御により、複数の画素 $P \times$ の行単位でリセットトランジスタ26をオンして、リセットトランジスタ26がオンとされた画素 $P \times$ のノードFDの電位を $V_{RST}$ にリセットすることができる。

[0061] (画素 $P \times$ のデバイス構造)

図3は、第1画素 $P \times 1$ のデバイス構造を模式的に示す。第1画素 $P \times 1$ は、概略的には、読出し回路20が形成された半導体基板110と、半導体基板110に支持された光電変換部10とを含む。図3に示すように、典型的には、読出し回路20を覆う絶縁層50が半導体基板110と光電変換部10との間に配置される。

[0062] 光電変換部10は、絶縁層50に支持された画素電極11、透光性の対向電極13、および、画素電極11と対向電極13との間に位置する光電変換層12を含む。画素電極11は、光電変換層12よりも半導体基板110の近くに位置し、アルミニウム、銅などの金属、金属窒化物、または、不純物がドーピングされることにより導電性が付与されたポリシリコンなどから形成され得る。図3に示すように、画素電極11は、隣接する他の画素の画素電極11から空間的に分離されることにより、これらから電氣的に分離される。

[0063] 対向電極13は、被写体からの光が到来する側に位置する。対向電極13は、ITOなどの導電性材料から形成される透光性の電極である。なお、本明細書における「透光性」の用語は、光電変換層12が吸収可能な波長の光の少なくとも一部を透過することを意味し、可視光の波長範囲全体にわたって光を透過することは必須ではない。対向電極13の、光電変換層12とは反対側の主面上には、カラーフィルタなどの光学フィルタ、マイクロレンズなどが配置され得る。

[0064] 対向電極13は、典型的には、複数の画素に跨って連続した単一の電極層の形で設けられる。前述の電圧線192は、光電変換部10の対向電極13

に接続される。図2では、複数の画素の光電変換部10ごとに電圧線192が接続されているように図示されているが、典型的には、各画素の対向電極13は、複数の画素の間で連続した単一の透光性の電極の一部である。したがって、各画素の対向電極13は、基本的に等電位であり、電圧線192が複数本に分岐した配線であることは必須ではない。

[0065] 光電変換層12は、有機材料またはアモルファスシリコンなどの無機材料から形成され、対向電極13を透過した光の入射を受けて電荷対を発生させる。対向電極13と同様に、光電変換層12は、典型的には、複数の画素に跨って連続した単一の光電変換構造の形で設けられる。すなわち、各画素中の光電変換層12は、複数の画素にわたって連続的に形成された光電変換層の一部であり得る。

[0066] 光電変換材料として、1種以上の適当な材料を選択して光電変換層12を形成することにより、例えば、可視域および赤外域の両方に感度を示す光電変換層12を得ることが可能である。このような材料例は、例えば国際公開第2018/025544号において詳細に説明されている。参考のために、国際公開第2018/025544号の開示内容の全てを本明細書に援用する。光電変換層12は、量子ドットおよび／またはナノチューブから構成されていてもよい。あるいは、光電変換層12が、光電変換材料として量子ドットおよび／またはナノチューブを含んでいてもよい。光電変換層12は、有機材料から構成される層と無機材料から構成される層とを含んでいてもよい。

[0067] 半導体基板110と光電変換部10との間に位置する絶縁層50は、例えば、各々が二酸化シリコンから形成された複数の絶縁層を含む。図3に模式的に示すように、絶縁層50の内部には、一端が光電変換部10の画素電極11に接続された導電構造52を少なくとも含む多層配線が設けられる。導電構造52は、銅などの金属から形成されたビアおよび配線、ポリシリコンから形成されたプラグなどを含み得る。図示する例において、導電構造52の他端は、半導体基板110に形成された不純物領域111に電氣的に接続

されている。

- [0068] 半導体基板 110 は、不純物領域 111 に加えて、不純物領域 112、113、114 および 115 を有する。半導体基板 110 は、さらに、画素  $P \times$  ごとに設けられた読出し回路 20 を画素  $P \times$  間で電氣的に分離する素子分離領域 116 も有する。以下では、半導体基板 110 として P 型シリコン基板を例示する。半導体基板 110 は、表面に半導体層が設けられた絶縁基板などであってもよい。
- [0069] 不純物領域 111、112、113、114 および 115 のそれぞれは、典型的には、N 型の拡散領域である。これらの不純物領域のうち、導電構造 52 が接続された不純物領域 111 は、リセットトランジスタ 26 のソース領域およびドレイン領域の一方として機能する。リセットトランジスタ 26 は、さらに、ソース領域およびドレイン領域の他方として機能する不純物領域 112 と、半導体基板 110 上のゲート絶縁層 26g と、ゲート絶縁層 26g 上のゲート電極 26e とを含む。図 3 では図示が省略されているが、不純物領域 112 には、上述のリセット電圧線 196 が接続される。
- [0070] 信号検出トランジスタ 22 は、不純物領域 113 および不純物領域 114 と、半導体基板 110 上のゲート絶縁層 22g と、ゲート絶縁層 22g 上のゲート電極 22e とを含む。不純物領域 113 は、信号検出トランジスタ 22 のドレイン領域として機能し、不純物領域 114 は、信号検出トランジスタ 22 のソース領域として機能する。不純物領域 113 には、上述の電源線 194 が接続される。図 3 に模式的に示すように、素子分離領域 116 は、信号検出トランジスタ 22 とリセットトランジスタ 26 との間にも設けられる。
- [0071] アドレストランジスタ 24 は、不純物領域 114 および不純物領域 115 と、半導体基板 110 上のゲート絶縁層 24g と、ゲート絶縁層 24g 上のゲート電極 24e とを含む。不純物領域 114 および不純物領域 115 は、それぞれ、アドレストランジスタ 24 のドレイン領域およびソース領域として機能する。図 3 に例示する構成において、アドレストランジスタ 24 は、

不純物領域 114 を信号検出トランジスタ 22 と共有している。不純物領域 115 には、上述の複数の出力信号線  $S_j$ 、 $T_j$  のうちの対応する 1 つが接続される。

[0072] 絶縁層 50 は、これら信号検出トランジスタ 22、アドレストランジスタ 24 およびリセットトランジスタ 26 を覆う。図 3 に模式的に示すように、絶縁層 50 中の導電構造 52 は、信号検出トランジスタ 22 のゲート電極 22e との間にも電氣的接続を有する。すなわち、各画素中の導電構造 52 は、光電変換部 10 の画素電極 11 と、半導体基板 110 に形成された信号検出トランジスタ 22 などを含む読出し回路 20 とを互いに電氣的に接続する機能を有する。

[0073] さらに、導電構造 52 は、画素電極 11 によって収集される電荷、すなわち信号電荷を一時的に蓄積する電荷蓄積領域の一部としての機能も有する。図 2 を参照しながら説明したように、電圧供給回路 190 は、電圧線 192 を介して各画素の光電変換部 10 に所定の電圧を印加する。例えば光電変換部 10 の対向電極 13 への電圧の印加によって、露光期間に、対向電極 13 と画素電極 11 との間に所定の電位差  $\Delta V$  を印加することができる。例えば画素電極 11 を基準として、画素電極 11 よりも対向電極 13 の方が電位が高くなるように対向電極 13 に電圧を印加することにより、光の入射によって光電変換層 12 中に生成される正および負の電荷のうち、正の極性を有する電荷、例えば、正孔を信号電荷として画素電極 11 によって収集することができる。信号電荷は、導電構造 52 をその一部に含む電荷蓄積領域に一時的に蓄積される。導電構造 52 と同様に、半導体基板 110 に形成された不純物領域 111、光電変換部 10 の画素電極 11、および、信号検出トランジスタ 22 のゲート電極 22e も、信号電荷を一時的に蓄積する電荷蓄積領域の一部として機能する。

[0074] (撮像装置 100A の例示的な駆動方法)

図 4 および図 5 は、本開示の第 1 の実施形態による撮像装置の駆動方法の一例を説明するための図である。図 4 中、一番上のチャートは、垂直同期信

号VDのパルスを示す。垂直同期信号VDのパルスの立ち上がりは、画素信号の読出しのための期間の開始を表す。図4中、上から2番目のチャートは、水平同期信号HDのパルスを示す。あるパルスの立ち上がりから次のパルスの立ち上がりまでの期間が、1つの水平走査期間である1Hに対応する。

[0075] 図4には、撮像領域に含まれる複数の画素 $P \times$ の動作を示す複数のブロックもあわせて1つの図に示されている。簡単のために、ここでは、複数の画素 $P \times$ の行数が第0行 $R_0$ ~第5行 $R_5$ の6行であるとしており、画素 $P \times$ の動作を複数の矩形のブロックにより模式的に示している。複数の画素 $P \times$ の第0行 $R_0$ は、例えば上述の第1画素 $P \times 1$ および第2画素 $P \times 2$ を含み、第1行 $R_1$ は、例えば上述の第3画素 $P \times 3$ および第4画素 $P \times 4$ を含む。図4中、例えば白い矩形のブロックは、フレーム期間のうちの露光期間を模式的に表し、垂直線によるハッチングが付された矩形のブロックは、暗時の信号レベルに相当するリセットレベルの読出しの期間を表す。また、斜め線によるハッチングが付された矩形のブロックは、被写体の画像を表現する画素信号の読出しの期間を表している。

[0076] 図5に例示された、撮像装置の駆動方法は、概略的には、画素の電荷蓄積領域の電位をリセットする工程（ステップS1）と、画素のリセット後の電荷蓄積領域の電位に応じたりセット信号を読み出す工程（ステップS2）と、アナログーデジタル変換により、リセット信号に対応した第1デジタル信号を生成する工程（ステップS3）と、第1デジタル信号をフレームメモリに格納する工程（ステップS4）と、画素のリセット後に、光電変換部によって生成される信号電荷を電荷蓄積領域に蓄積する工程（ステップS5）と、信号電荷を電荷蓄積領域に蓄積する工程において蓄積された電荷量に応じた画素信号を読み出す工程（ステップS6）と、アナログーデジタル変換により、画素信号に対応した第2デジタル信号を生成する工程（ステップS7）と、第2デジタルと第1デジタル信号との差分を得る工程（ステップS8）とを含む。以下、図4を参照しながら、撮像装置の例示的な駆動方法の詳細を説明する。

[0077] <電荷蓄積領域の電位をリセットする工程>

図4は、複数の画素の行ごとに露光および信号の読出しを実行する、いわゆるローリングシャッタに基づく動作の一例を示している。ここでは、まず、第0行 $R_0$ ～第5行 $R_5$ のうち第0行 $R_0$ に注目する。画像の取得においては、まず、各画素 $P \times$ の電荷蓄積領域のリセットが実行される。図4に示す例では、 $k$ を0以上のある整数として、 $k$ 番目のフレーム期間に関し、第0行 $R_0$ に属する複数の画素のリセットを時刻 $t_3$ に開始している。

[0078] 具体的には、リセットトランジスタ26をオンすることにより、ノードF Dの電位をリセット電圧線196の電位に揃える。すなわち、光電変換部10の画素電極11の電圧をリセット電圧 $V_{RST}$ とする。図2および図3から理解されるように、読出し回路20の信号検出トランジスタ22は、導電構造52を介して画素電極11にそのゲート電極22eが電氣的に接続されることにより、画素電極11の電位に応じた信号を出力する。すなわち、読出し回路20は、信号検出トランジスタ22を含むソースフォロフにより、画素電極11の電位に応じたアナログ信号を出力する。

[0079] <リセット信号を読み出す工程>

リセットトランジスタ26をオフとした後、アドレストラジスタ24をオンとすることにより、信号検出トランジスタ22のゲート電極22eに印加されるリセット電圧 $V_{RST}$ に応じた信号が、対応する出力信号線に出力される。このときに出力信号線に出力される信号は、リセットレベルを表現するアナログ信号であり、通常、リセットトランジスタ26のオフに伴って生じるリセットノイズを含んでいる。例えば、図2を参照しながら説明した回路構成の例では、第0行 $R_0$ に属する画素から読み出されたリセット信号は、第1出力信号線 $S_j$ のうちの対応する1つを介して第1AD変換回路141に入力される。

[0080] <リセット信号に対応した第1デジタル信号を生成する工程>

第1AD変換回路141に入力されたリセット信号は、第1AD変換回路141によってデジタル信号に変換される。リセット信号の読出し後、アド

レストランジスタ24をオフとする。第0行 $R_0$ に属する画素のアドレスランジスタ24のオフにより、第0行 $R_0$ に属する画素からのリセット信号の読出しが終了する。

[0081] <第1デジタル信号を第1フレームメモリに格納する工程>

図4に模式的に示すように、上述の読出し動作が、水平同期信号HDに同期して行単位で順次に実行される。水平同期信号HDのパルスの間隔すなわち1H期間は、ある行が選択されてから次の行が選択されるまでの期間を表す。この例では、時刻 $t_3$ から時刻 $t_4$ までの期間に、第0行 $R_0$ に属する画素のリセットおよび画素からのリセット信号の読み出しを実行しており、時刻 $t_4$ から時刻 $t_5$ までの期間に、第1行 $R_1$ に属する画素のリセットおよび画素からのリセット信号の読み出しを実行している。以上から理解されるように、リセットレベルの読出し期間には、画素の電荷蓄積領域の電位をリセットするためのリセット期間が含まれ得る。

[0082] ここで、図2を参照しながら説明した回路構成の例では、第1行 $R_1$ に属する画素から読み出されたリセット信号は、第1出力信号線 $S_j$ ではなく、第2出力信号線 $T_j$ のうちの対応する1つを介して第2AD変換回路142に入力される。すなわち、ここでは、偶数行に位置する画素から読み出されたリセット信号と、奇数行に位置する画素から読み出されたリセット信号とは、互いに異なる出力信号線を介して、第1AD変換回路141および第2AD変換回路142のいずれかに入力される。第2AD変換回路142に入力されたリセット信号も、アナログーデジタル変換によってデジタル信号に変換される。第1AD変換回路141および第2AD変換回路142から出力されたデジタル信号は、それぞれ、第1インターフェース161および第2インターフェース162を介して画像処理回路170Aに入力される。図4において時刻 $t_3$ から時刻 $t_9$ までの間に読み出されたリセット信号に対応する第1デジタル信号は、画像処理回路170A内の第1フレームメモリ171に一時的に保持される。

[0083] <光電変換によって生成される信号電荷を蓄積する工程>

再び第0行 $R_0$ に属する画素に注目する。リセット信号の読出し後、リセットトランジスタ26がオフとされ、露光期間が開始される。この例では、第0行 $R_0$ に着目すると、時刻 $t_4$ から時刻 $t_8$ の期間が $k$ 番目のフレーム期間における露光期間とされている。露光期間は、光電変換部10によって生成される、画素に対する露光量に応じた信号電荷を電荷蓄積領域に蓄積するための期間である。複数の画素 $P \times$ の各行の露光期間の長さは、例えば $1/60$ 秒 $\sim 1/16000$ 秒の範囲である。

[0084] このとき、各画素 $P \times$ の光電変換部10の対向電極13は、電圧線192を介して電圧供給回路190から所定の電圧 $V_1$ の供給を受けることにより、画素電極11に対して例えば高電位の状態とされる。リセット直後の画素電極11の電位は、上述のリセット電圧 $V_{RST}$ によって決まり、リセットの直後、画素電極11と対向電極13との間には $(V_1 - V_{RST})$ のバイアス電圧が印加された状態にある。

[0085] 画素電極11に対して対向電極13の電位が相対的に高くされることにより、光電変換によって生じた電荷のうち正の電荷が画素電極11によって収集される。不純物領域111の形成によって半導体基板110中に形成されるPN接合は、画素電極11によって収集された正電荷を一時的に蓄積する接合容量として機能する。信号電荷として正孔を利用する場合、不純物領域111への信号電荷の蓄積に伴い、電荷蓄積部としての不純物領域111の電位は、上昇する。なお、本開示の典型的な実施形態では、 $(V_1 - V_{RST}) > 0$ であるが、例えば、画素電極11よりも対向電極13の電位が低くなるような電圧を対向電極13に印加することにより、例えば電子を信号電荷として利用することももちろん可能である。

[0086] <蓄積された電荷量に応じた画素信号を読み出す工程>

所定の時間の経過後、画素信号の読出しを実行する。この例では、垂直同期信号 $VD$ に基づき、時刻 $t_8$ に、第0行 $R_0$ に属する画素からの信号の読出しを開始している。上述したように、第0行 $R_0$ に属する各画素の読出し回路20は、画素電極11の電位に応じたアナログ信号を、複数の第1出力信号

線のうち対応する1つに出力する。このときに第0行 $R_0$ の画素から読み出される信号は、第0行 $R_0$ に関する露光期間に電荷蓄積領域に蓄積された電荷量に応じたアナログ信号であり、太陽光等の環境光に基づく被写体の像を表現する画素信号である。この画素信号には、露光期間の前に実行されたリセット動作によって生じたリセットノイズが含まれている。画素信号の読出し後、アドレスランジスタ24は、再びオフとされる。

[0087] <第2デジタル信号に対応した第2デジタル信号を生成する工程>

図4に示すように、各画素に対する露光および各画素からの画素信号の読出しも、複数の画素の行単位で順次に実行される。第0行 $R_0$ ～第5行 $R_5$ までの第1の画素信号の読出しが完了することにより、 $k$ 番目のフレーム期間が終了する。

[0088] リセット信号の読出しと同様に、ここでは、第0行 $R_0$ 、第2行 $R_2$ 、第4行 $R_4$ の画素から読み出された画素信号は、第1出力信号線 $S_j$ を介して第1AD変換回路141に送られる。他方、第1行 $R_1$ 、第3行 $R_3$ 、第5行 $R_5$ の画素から読み出された画素信号は、第2出力信号線 $T_j$ を介して第2AD変換回路142に送られる。第1AD変換回路141および第2AD変換回路142は、受け取った画素信号に対して行単位でアナログ→デジタル変換を実行し、画素信号に対応した第2デジタル信号を生成する。生成された第2デジタル信号は、第1インターフェース161または第2インターフェース162を介して画像処理回路170Aに送られる。

[0089] <第1デジタル信号と第2デジタル信号との差分を得る工程>

画像処理回路170Aは、画素信号に対応した第2デジタル信号と、リセット信号に対応した第1デジタル信号との差分を算出し、この差分を画素値のデータとして出力する。上述したように、電荷蓄積領域の電位のリセット後に画素から読み出されるリセット信号には、リセットに伴って生じるリセットノイズが重畳されている。また、リセット信号の読出しは、非破壊での読出しであり、画素信号の読出しまでの期間において電荷蓄積領域の電位の再度のリセットは、行わない。したがって、露光期間に電荷蓄積領域に蓄積

された電荷量に応じた画素信号も、リセットノイズが重畳された状態にある。本開示の実施形態によれば、リセット信号に対応した第1デジタル信号と、画素信号に対応した第2デジタル信号とを得てから、これらのデジタル信号間の差分を得ている。そのため、リセット信号に対応した第1デジタル信号を差し引くことにより、画素信号に対応した第2デジタル信号からリセットノイズが実質的に差し引かれることとなり、その結果、リセットノイズの影響が実効的にキャンセルされる。

[0090] ここで、図4に示す例において、例えば時刻  $t_8$  から時刻  $t_9$  の期間に注目すると、第0行  $R_0$  の画素からの画素信号の読出しが、第5行  $R_5$  の画素からのリセット信号の読出しに並行して実行されている。図6は、図4に示す時刻  $t_8$  から時刻  $t_9$  までの1H期間における、第0行  $R_0$  の画素の読出し回路20の動作と、第5行  $R_5$  の画素の読出し回路の動作とを模式的に示す。図6中、 $\phi_s$  のグラフは、読出し回路20のアドレスタランジスタ24のゲートに印加されるアドレス制御信号の波形を表し、 $\phi_r$  のグラフは、読出し回路20のリセットトランジスタ26のゲートに印加されるリセット制御信号の波形を表している。 $V_0$  のグラフは、第0行  $R_0$  の画素から読み出された信号が第1AD変換回路141によってアナログーデジタル変換されている期間を模式的に示す。換言すれば、第1AD変換回路141からの出力波形を表す。同様に、 $V_5$  のグラフは、第5行  $R_5$  の画素から読み出された信号が第2AD変換回路142によってアナログーデジタル変換されている期間を模式的に示す。換言すれば、第2AD変換回路142からの出力波形を表す。

[0091] 図6中の  $V_5$  のグラフおよび  $V_0$  のグラフからわかるように、第5行  $R_5$  の画素に関する、リセット信号に対応した第1デジタル信号の出力のタイミングと、第0行  $R_0$  の画素に関する、画素信号に対応した第2デジタル信号の出力のタイミングとは、ここでは、一致している。このように、複数の画素  $P \times 1$  行分のアナログーデジタル変換の結果が、第1AD変換回路141と第2AD変換回路142との間で共通のタイミングで出力されてもよい。ただし、アナログーデジタル変換の結果の出力が第1AD変換回路141と第2

A D変換回路142との間で一致していることは、本開示の実施形態において必須ではない。図7に例示するように、第1AD変換回路141からのデジタル信号の出力のタイミングと、第2AD変換回路142からのデジタル信号の出力のタイミングとがずれていてもよい。なお、図7では、画素アレイ中の互いに異なる第h行および第k行の画素に関する読出し回路20の動作を模式的に示している。

[0092] 図2に例示するように、例えば複数の画素 $P \times$ の列ごとに、それぞれがAD変換回路に接続された第1出力信号線および第2出力信号線を設け、複数の画素 $P \times$ の一部を第1出力信号線に接続し、残余の画素を第2出力信号線に接続することにより、ある画素からのリセット信号の読出しと、他のある画素からの画素信号の読出しとを並行して実行することが可能になる。このように、ある画素からのリセット信号の読出しおよび他のある画素からの画素信号の読出しの並列的な実行を許容することにより、リセット信号の読出しの期間の一部と、画素信号の読出しの期間の一部とをオーバーラップさせることが可能になり、露光期間の長さを柔軟に変更することが可能になる。例えば、露光期間を短縮してフレームレートを向上させ得る。

[0093] 図1および図2に示す例では、図8に模式的に示すように、複数の画素 $P \times$ を含む撮像領域RAの概ね矩形形状の互いに対向する2つの辺に沿って第1AD変換回路141および第2AD変換回路142を分離して配置している。もちろん、第1AD変換回路141および第2AD変換回路142の配置は、この例に限定されない。図9に模式的に示すように、撮像領域RAの概ね矩形形状の一辺の近傍に第1AD変換回路141および第2AD変換回路142を配置してもよい。また、第1AD変換回路141および第2AD変換回路142の一方または両方が、複数の画素 $P \times$ が設けられた半導体基板110に形成されている必要はない。図10に模式的に示すように、半導体基板110とは異なる他の回路基板120上に第1AD変換回路141、第2AD変換回路142、第1デジタルメモリ151、第2デジタルメモリ152および画像処理回路170Aなどを配置するような構成ももちろん可能で

ある。

[0094] 図8および図9に示す例では、複数の画素  $P \times$  の偶数行に位置する画素および奇数行に位置する画素が、それぞれ、第1出力信号線  $S_j$  および第2出力信号線  $T_j$  に接続されている。ただし、第1出力信号線  $S_j$  および第2出力信号線  $T_j$  に対する画素の接続がこれらの態様に限定されないことは言うまでもない。図11および図12は、出力信号線に対する画素の接続の他の例を模式的に示す。図11に示す構成は、複数の画素  $P \times$  の2行毎に画素を第1出力信号線  $S_j$  および第2出力信号線  $T_j$  に交互に接続した例である。図12は、複数の画素  $P \times$  の列ごとに第1出力信号線  $S_j$ 、第2出力信号線  $T_j$ 、第3出力信号線  $U_j$  および第4出力信号線  $V_j$  の4つの出力信号線を設け、各出力信号線に複数の画素  $P \times$  の4行毎に画素を接続した例である。図12に示す例では、第1出力信号線  $S_j$ 、第2出力信号線  $T_j$ 、第3出力信号線  $U_j$  および第4出力信号線  $V_j$  に第1AD変換回路141、第2AD変換回路142、第3AD変換回路143および第4AD変換回路144がそれぞれ接続されている。

[0095] このように、本開示の実施係蹄においては、複数の画素  $P \times$  のうちの一部が、第1AD変換回路141に接続された第1出力信号線  $S_j$  に接続され、他の一部が、第2AD変換回路142に接続された第2出力信号線  $T_j$  に接続され得る。あるいは、図13に例示するように、撮像領域  $RA$  を2つの領域に分け、いずれの領域に属するかに応じて、画素の接続先を第1AD変換回路141および第2AD変換回路142のいずれにするかを決めてもよい。

[0096] 図13に示す例では、撮像領域  $RA$  を上下に2つの領域に分割している。図13に模式的に示すように、複数の画素  $P \times$  のうち撮像領域  $RA$  の下半分の領域に位置する画素は、第1AD変換回路141に接続された第1出力信号線  $S_j$  に接続され、撮像領域  $RA$  の上半分の領域に位置する画素は、第2AD変換回路142に接続された第2出力信号線  $T_j$  に接続される。このような接続によれば、例えば、撮像領域  $RA$  の下半分の領域に位置する画素からのリセット信号の読出しを行単位で実行しながら、撮像領域  $RA$  の上半分の領

域に位置する画素からの画素信号の読出しを行単位で実行することができる。すなわち、一部の画素についてのリセット信号の読出し期間と、他の一部の画素についての画素信号の読出し期間との間のオーバーラップを許容して、例えばフレームレートの短縮の効果が得られる。

[0097] (第1の実施形態の変形例)

これまでに説明した例では、撮像領域RA中のある1つの画素に注目したとき、第1AD変換回路141および第2AD変換回路142のいずれか一方が、その画素から読み出されたりセット信号に対応する第1デジタル信号と、画素信号に対応する第2デジタル信号との両方を生成している。しかしながら、以下に説明するように、画素から読み出されるアナログ信号がリセット信号であるかまたは画素信号であるかに応じて、その画素から読み出されたアナログ信号に対応したデジタル信号を第1AD変換回路141および第2AD変換回路142のいずれから出力させるかを切り替えてもよい。

[0098] 図14は、本開示の第1の実施形態による撮像装置の変形例を示す。図14に示す撮像装置100Bは、上述の撮像装置100Aと同様に、複数の画素 $P \times$ と、複数の画素 $P \times$ の列ごとに配置される第1出力信号線 $S_j$ および第2出力信号線 $T_j$ の複数の組と、第1AD変換回路141および第2AD変換回路142とを有する。図面が過度に複雑となることを避けるために、図14では、複数の画素 $P \times$ のうち、ある1つの列に属する4つの画素を取り出して図示している、また、図14では、画像処理回路170Aなどの、撮像装置100Aと共通する要素の図示が省略されている。

[0099] 上述の撮像装置100Aと比較して、図14に示す例では、同一列に属する全ての画素が、その列に対応する第1出力信号線 $S_j$ および第2出力信号線 $T_j$ の両方に電氣的に接続される。ただし、図14に示すように、撮像領域RA中の各画素と、その画素の属する列に対応した第1出力信号線 $S_j$ および第2出力信号線 $T_j$ との間には、第1信号切替え回路31が介在される。なお、第1信号切替え回路31は、各画素の一部であってもよい。

[0100] 各画素に対応して設けられた第1信号切替え回路31のそれぞれは、画素

から読み出されるアナログ信号がリセット信号であるか画素信号であるかに応じて、その画素が第1出力信号線 $S_j$ および第2出力信号線 $T_j$ のいずれに接続されるかを切り替える。第1信号切替え回路31は、例えば、画素の読出し回路20からの出力がリセット信号である場合に、その画素の読出し回路20と第1出力信号線 $S_j$ との間の接続を確立し、画素の読出し回路20からの出力が画素信号である場合に、その画素の読出し回路20と第2出力信号線 $T_j$ との間の接続を確立する。第1信号切替え回路31は、例えば半導体基板110に形成された電界効果トランジスタなどのスイッチング素子を含む回路の形で実現され得る。これらスイッチング素子は、例えば制御回路220からの駆動信号 $D_s$ に基づき画素の読出し回路20と同期して動作させられる。これにより、第1信号切替え回路31は、読出し回路20からのリセット信号の出力に際しては読出し回路20と第1出力信号線 $S_j$ との間の接続を確立し、読出し回路20からの画素信号の出力に際しては読出し回路20と第2出力信号線 $T_j$ との間の接続を確立することができる。

[0101] このような構成のもとでは、第1出力信号線 $S_j$ に接続された第1AD変換回路141が、各画素から読み出されるリセット信号のアナログーデジタル変換を担い、第2出力信号線 $T_j$ に接続された第2AD変換回路142が、各画素から読み出される画素信号のアナログーデジタル変換を担う。このように、第1デジタル信号を出力するAD変換回路と、第2デジタル信号を出力するAD変換回路とを撮像装置に設けてもよい。このような構成によっても、撮像領域RA中のある行の画素からのリセット信号の読出しに並行して、他のある行の画素からの画素信号の読出しを実行することができる。したがって、リセット信号の読出しの期間と画素信号の読出しの期間との間のオーバーラップが可能になり、フレームレートを柔軟に変更することができる。また、第1フレームメモリ171に保持しておいた第1デジタル信号と、その第1デジタル信号に対応する第2デジタル信号との差分を画像処理回路170Aによって算出することにより、これらの信号に混入したリセットノイズを実効的にキャンセルすることができる。なお、図6および図7を参照し

ながら説明したように、第1 AD変換回路141からの第1デジタル信号の出力のタイミングと、第2 AD変換回路142からの第2デジタル信号の出力のタイミングとは、一致していてもよいし、ずれていてもよい。

[0102] あるいは、以下に例示するように、各画素と出力信号線の組との間に代えて、出力信号線の組と2つのAD変換回路との間に信号切替え回路を配置してもよい。図15は、本開示の第1の実施形態による撮像装置の他の変形例を示す。図14を参照しながら説明した撮像装置100Bと比較して、図15に示す撮像装置100Cでは、撮像領域RA中の同一列に属する画素のうちの一部が、第1出力信号線 $S_j$ に接続され、残余の画素が、第2出力信号線 $T_j$ に接続されている。図14に示す例とは異なり、各画素と第1出力信号線 $S_j$ および第2出力信号線 $T_j$ の組との間には、第1信号切替え回路31は配置されていない。この例では、第1出力信号線 $S_j$ および第2出力信号線 $T_j$ の組と第1 AD変換回路141との間に第1信号切替え回路33が接続され、また、第1出力信号線 $S_j$ および第2出力信号線 $T_j$ の組と第2 AD変換回路142との間に第2信号切替え回路34が接続されている。

[0103] 第1信号切替え回路33および第2信号切替え回路34は、例えば、制御回路220からの駆動信号 $D_t$ に基づき、出力信号線の接続をAD変換回路とソースフォロワ電源との間で切り替える。図15に示すように、第1信号切替え回路33および第2信号切替え回路34のそれぞれは、四路スイッチと同様に動作するように構成され得る。ただし、これらの動作は、第1信号切替え回路33および第2信号切替え回路34の間で相補的である。ここで、「第1信号切替え回路33および第2信号切替え回路34が相補的に動作する」とは、第1信号切替え回路33および第2信号切替え回路34の一方が第1出力信号線 $S_j$ または第2出力信号線 $T_j$ の一方とAD変換回路との間の接続を確立したとき、第1信号切替え回路33および第2信号切替え回路34の他方がその出力信号線とソースフォロワ電源との間の接続を確立することを意味する。例えば第1信号切替え回路33が第1出力信号線 $S_j$ と第1 AD変換回路141との間の接続を確立したとき、第2信号切替え回路34

は、第1出力信号線 $S_j$ とソースフォロワ電源との間の接続を確立する。このとき、第1信号切替え回路33は、第2出力信号線 $T_j$ とソースフォロワ電源との間の接続を確立した状態にあり、かつ、第2信号切替え回路34は、第2出力信号線 $T_j$ と第2AD変換回路142との間の接続を確立した状態にある。

[0104] したがって、第1AD変換回路141が、第1出力信号線 $S_j$ を介してある第1画素に接続されることにより例えば第1画素から出力されたりセット信号のアナログーデジタル変換を実行するとき、第2AD変換回路142は、第2出力信号線 $T_j$ を介して他のある第2画素に接続されることにより、第2画素から出力された画素信号のアナログーデジタル変換を並行して実行する。ここで、図15中に点線で模式的に示すように第1信号切替え回路33および第2信号切替え回路34における接続を切り替えたとする。この場合、第1AD変換回路141は、第2出力信号線 $T_j$ を介して第2画素に接続されることにより第2画素から出力されたりセット信号のアナログーデジタル変換を実行することができ、第2AD変換回路142は、第1出力信号線 $S_j$ を介して第1画素に接続されることにより、第1画素から出力された画素信号のアナログーデジタル変換を並行して実行することができる。

[0105] すなわち、図14に示す例と同様に、第1AD変換回路141および第2AD変換回路142の一方は、各画素から読み出されるリセット信号のアナログーデジタル変換を担い、第1AD変換回路141および第2AD変換回路142の他方は、各画素から読み出される画素信号のアナログーデジタル変換を担う。なお、図15に示す例では、撮像領域RAの偶数行に位置する画素を第1出力信号線 $S_j$ に接続し、撮像領域RAの奇数行に位置する画素を第2出力信号線 $T_j$ に接続している。しかしながら、出力信号線に対する画素の接続は、この例に限定されず、複数の画素 $P \times$ のうちの一部が第1出力信号線 $S_j$ に接続され、残余の画素が第2出力信号線 $T_j$ に接続されていればよい。

[0106] (第2の実施形態)

図16は、本開示の第2の実施形態による撮像装置の例示的な構成を概略的に示す。図1に示す撮像装置100Aと比較して、図16に示す撮像装置100Dは、画像処理回路170Aに代えて画像処理回路170Bを有する。図16に模式的に示すように、画像処理回路170Bは、第1フレームメモリ171に加えて第2フレームメモリ172を有する。

[0107] 第1フレームメモリ171が、リセットレベルを表現するリセット信号から生成される第1デジタル信号を一時的に保持することに対し、第2フレームメモリ172は、例えば、被写体の像を表現する画素信号から生成される第2デジタル信号を一時的に保持する。画像処理回路170Bは、第2フレームメモリ172に保持された、1フレームの画像データに相当する第2デジタル信号と、第1フレームメモリ171に保持しておいた第1デジタル信号との差分を算出し、出力する。第1フレームメモリ171に加えて、1フレーム分の第2デジタル信号を一時的に保持する第2フレームメモリ172を撮像装置中に設けておくことにより、例えば、次のフレーム期間に取得された画素信号に対応するデジタル信号と、第2フレームメモリ172に保持された第2デジタル信号との差分を得ることも可能になる。あるいは、あるフレーム期間に関するリセット信号に対応するデジタル信号を第1フレームメモリ171に一時的に保持させ、次のフレーム期間に関するリセット信号に対応するデジタル信号を第2フレームメモリ172に一時的に保持させることも可能になる。

[0108] (第2の実施形態の変形例)

図17は、本開示の第2の実施形態による撮像装置の変形例を示す。図17に例示する構成において、図17に示す各画素 $P_x$ は、図14に示す態様と同様の接続を有する。すなわち、図17に示す撮像装置100Eの各画素 $P_x$ は、第1AD変換回路141に接続された第1出力信号線 $S_j$ および第2AD変換回路142に接続された第2出力信号線 $T_j$ に第1信号切替え回路31を介して電氣的に接続されている。

[0109] 図14を参照しながら説明した接続によれば、第1出力信号線 $S_j$ には、画

素の読出し回路20から読み出されたりセット信号が出力され、他方、第2出力信号線 $T_j$ には、画素の読出し回路20から読み出された画素信号が出力される。すなわち、第1AD変換回路141は、第1デジタル信号を第1インターフェース161に出力し、第2AD変換回路142は、第2デジタル信号を第2インターフェース162に出力する。したがって、図17に示す例において、第1インターフェース161および第2インターフェース162は、それぞれ、第1デジタル信号および第2デジタル信号の出力ポートとして機能する。

[0110] 第1インターフェース161から出力される第1デジタル信号は、第1フレームメモリ171に格納される。他方、第2インターフェース162から出力される第2デジタル信号は、第2フレームメモリ172に格納される。したがって、各画素からの出力に対応したデジタル信号のうち、第1デジタル信号を第1フレームメモリ171に格納させ、第2デジタル信号を第2フレームメモリ172に格納させることができる。

[0111] 図18は、本開示の第2の実施形態による撮像装置の他の変形例を示す。図18に示す撮像装置100Fは、複数の画素 $P_x$ を含む撮像領域RAおよび画像処理回路170Bに加えて、第1AD変換回路141および第2AD変換回路142と、第1フレームメモリ171および第2フレームメモリ172との間に電氣的に接続されたデータセクタ35を有する。

[0112] 図18に例示する構成において、撮像装置100Fの画素 $P_x$ は、図8に示す態様と同様の接続を有する。すなわち、撮像領域RAの偶数行に位置する画素は、第1出力信号線 $S_j$ を介して第1AD変換回路141に接続されており、他方、撮像領域RAの奇数行に位置する画素は、第2出力信号線 $T_j$ を介して第2AD変換回路142に接続されている。したがって、例えば第1AD変換回路141からは、撮像領域RAの偶数行に位置する画素に関する第1デジタル信号と第2デジタル信号とがデータセクタ35に出力される。

[0113] データセクタ35は、第1AD変換回路141から受け取った信号のう

ち、第1デジタル信号を第1インターフェース161に選択的に出力する。その結果、撮像領域RAの偶数行に位置する画素に関する第1デジタル信号が第1フレームメモリ171に格納される。また、データセクタ35は、第1AD変換回路141から受け取った信号のうち、第2デジタル信号を第2インターフェース162に選択的に出力する。すなわち、撮像領域RAの奇数行に位置する画素に関する第2デジタル信号は、第2フレームメモリ172に格納される。同様にして、データセクタ35は、第2AD変換回路142から受け取った信号のうち、第1デジタル信号を第1インターフェース161に選択的に出力し、第2デジタル信号を第2インターフェース162に選択的に出力する。すなわち、ここでは、第1インターフェース161および第2インターフェース162は、それぞれ、第1デジタル信号および第2デジタル信号の出力ポートとして機能している。

[0114] このように、データセクタ35は、第1AD変換回路141および第2AD変換回路142からの入力が、リセット信号に対応した第1デジタル信号であるか画素信号に対応した第2デジタル信号であるかに応じて、これらAD変換回路からの信号を第1インターフェース161および第2インターフェース162のいずれかに出力する。これにより、第1デジタル信号および第2デジタル信号を振り分けて、第1デジタル信号を第1フレームメモリ171に格納させ、第2デジタル信号を第2フレームメモリ172に格納させることができる。第1AD変換回路141から受け取った信号が第1デジタル信号であるか第2デジタル信号であるかに応じた動作は、例えば、制御回路220からの駆動信号に基づいて第1AD変換回路141および第2AD変換回路142に同期してデータセクタ35を動作させることにより可能である。

[0115] 図19は、本開示の第2の実施形態による撮像装置のさらに他の変形例を示す。図18に示す撮像装置100Fと比較して、図19に示す撮像装置100Gでは、データセクタ35が、第1インターフェース161および第2インターフェース162と、第1フレームメモリ171および第2フレー

ムメモリ172との間に電氣的に接続されている。図18を参照しながら説明した例と同様に、この例でも、データセクタ35により、第1AD変換回路141および第2AD変換回路142から出力される第1デジタル信号および第2デジタル信号は、それぞれ、第1フレームメモリ171および第2フレームメモリ172に入力される。なお、第1AD変換回路141からの第1デジタル信号の出力時、第2AD変換回路142からは第2デジタル信号が並行して出力され得、第1AD変換回路141からの第2デジタル信号の出力時、第2AD変換回路142からは第1デジタル信号が並行して出力され得る。

[0116] (撮像装置100D~100Gの例示的な駆動方法)

ここで、第1フレームメモリ171に加えて第2フレームメモリ172を有する撮像装置の動作例を説明する。図20は、第1フレームメモリ171および第2フレームメモリ172を有する撮像装置の動作の一例を示す。図20では、k番目、(k+1)番目および(k+2)番目の各フレーム期間における動作を模式的に示している。

[0117] 図20に示す例において、k番目のフレーム期間は、第0行 $R_0$ の画素に関するリセット信号の読出しの開始である時刻 $t_6$ から、第5行 $R_5$ の画素に関する画素信号の読出しの完了である時刻 $t_{14}$ までの期間であり、その長さは、1H期間の8倍である。このうち、画素信号の読出しの期間は、VDのパルスの立ち上がりに基づき時刻 $t_8$ に開始され、時刻 $t_{14}$ で終了している。

[0118] 図20に模式的に示すように、ここでは、リセット信号読出しの期間の一部と、画素信号読出しの期間の一部とがオーバーラップしている。例えば時刻 $t_8$ から時刻 $t_9$ の1H期間に注目すると、第2行 $R_2$ の画素からのリセット信号の読出しと並行して、第0行 $R_0$ の画素からの画素信号の読出しが実行されている。読み出されたリセット信号をアナログ→デジタル変換することにより得られる第1デジタル信号は、第1フレームメモリ171に一時的に保持され、読み出された画素信号をアナログ→デジタル変換することにより

得られる第2デジタル信号は、第2フレームメモリ172に一時的に保持される。

[0119] 本実施形態のように、第1フレームメモリ171および第2フレームメモリ172を撮像装置に設ける構成によれば、第1デジタル信号および第2デジタル信号のフレームメモリへの格納を行単位で実行できる。そのため、リセット信号読出しの期間の一部と、画素信号読出しの期間の一部とのオーバーラップを許容しながら、例えば、複数の画素 $P \times$ の全ての行に関するリセット信号の読出しおよび画素信号の読出しが完了してから第1デジタル信号および第2デジタル信号の差分を実行することができる。したがって、露光期間の短縮に有利である。本実施形態によれば、例えば、露光期間を1V期間よりも短くし得る。

[0120] この例では、 $k$ 番目のフレーム期間が1H期間の8倍の長さを有することに対して、 $(k+1)$ 番目のフレーム期間の長さは、1H期間の10倍であり、 $(k+2)$ 番目のフレーム期間の長さは、1H期間の12倍である。ここでは、複数の画素 $P \times$ の列ごとに第1出力信号線 $S_j$ および第2出力信号線 $T_j$ が配置されていることに対応して、複数の画素 $P \times$ の同一列から一度に2つの画素に関する信号の読出しが可能である。したがって、図20中に太い破線で示すように、 $(k+1)$ 番目および $(k+2)$ 番目のフレーム期間に関して、各行のリセット信号の読出しを1H期間の2倍まで後ろにずらして露光期間を短縮できる。なお、露光期間の短縮は、暗い環境から急に明るい環境に移ったときの撮影に有用である。

[0121] 逆に、露光期間を拡大した場合には、連続する2つのフレーム期間の間で、前のフレーム期間に関するリセット信号の読出しの期間と、後のフレーム期間に関するリセット信号の読出しの期間とがオーバーラップすることも起こり得る。この場合、2つのフレーム期間の一方におけるリセット信号の読出しに関し、一部の行についてリセット信号を適切に読み出せないことがあり得る。したがって、露光期間の拡大に関しては、連続する2つのフレーム期間の間でリセット信号の読出しの期間のオーバーラップが発生しないよう

に、露光期間の拡大が可能な範囲を予め設定しておいてもよい。

[0122] なお、露光期間を縮小する場合に、互いに隣接するブランキング期間が短いと、例えば、先のフレーム期間中のある行の画素に関するリセット信号の読出しおよび他のある行に関する画素信号の読出しと、後のフレーム期間中のさらに他のある行の画素に関するリセット信号の読出しとがオーバーラップすることが生じ得る。そのような場合、先のフレーム期間および後のフレーム期間の一方において、複数の画素の一部の行に関するリセット信号を取得できないことがあり得る。

[0123] 例えば、相異なる2行に関するリセット信号の読出しと、さらに他の行に関する画素信号の読出しのタイミングが同一の1H期間となる場合、先のフレーム期間についてのリセット信号の取得を優先させてもよい。この場合、後のフレーム期間に関して、信号の読出し期間が重複した行から読み出される画素信号については無効データとして扱えばよい。あるいは、先のフレーム期間について取得されたりリセットレベルを後のフレーム期間に再び使用してもよい。これとは逆に、後のフレーム期間についてのリセット信号の取得を優先させる場合には、先のフレーム期間に関して、信号の読出し期間が重複した行から読み出される画素信号を無効データとして扱うか、先のフレーム期間よりもさらに1つ前のフレーム期間について取得されたりリセットレベルを使用すればよい。

[0124] なお、図12に示す接続態様のように、複数の画素 $P \times$ の列ごとに3以上の出力信号線を設け、それら出力信号線に個別にAD変換回路を接続することにより、3行以上の画素からの並列的なアナログ信号の読出しを許容することが可能になる。図22は、複数の画素 $P \times$ の列ごとに3以上のAD変換回路を配置した構成における信号読出し動作の一例を模式的に示す。図22に示す動作は、例えば、図16を参照して説明した例のように2つのフレームメモリを有する撮像装置に、図12に示すような、画素とAD変換回路との間の接続を適用した構成のもとで可能である。

[0125] 図21に示す例では、 $k$ 番目のフレーム期間の一部と、 $(k+1)$ 番目の

フレーム期間の一部とがオーバーラップしている。図 2 1 に示す例において例えば時刻  $t_9$  から時刻  $t_{10}$  までの 1 H 期間に注目すると、 $k$  番目のフレーム期間に関する第 3 行  $R_3$  の画素からのリセット信号の読出しと第 1 行  $R_1$  の画素からの画素信号の読出しとに、 $(k + 1)$  番目のフレーム期間に関する第 0 行  $R_0$  の画素からのリセット信号の読出しがオーバーラップしている。

[0126] ここで、図 1 2 に例示する接続のように、第 0 行  $R_0$  の画素、第 1 行  $R_1$  の画素、第 2 行  $R_2$  の画素および第 3 行  $R_3$  の画素がそれぞれ第 1 出力信号線  $S_j$ 、第 2 出力信号線  $T_j$ 、第 3 出力信号線  $U_j$  および第 4 出力信号線  $V_j$  を介して第 1 AD 変換回路 1 4 1、第 2 AD 変換回路 1 4 2、第 3 AD 変換回路 1 4 3 および第 4 AD 変換回路 1 4 4 に接続されているとする。このような接続によれば、 $k$  番目のフレーム期間に関する第 3 行  $R_3$  の画素からのリセット信号および第 1 行  $R_1$  の画素からの画素信号に加えて、 $(k + 1)$  番目のフレーム期間に関する第 0 行  $R_0$  の画素からのリセット信号を相異なる出力信号線を介して並列的に読み出すことができる。すなわち、複数の画素の 3 以上の行から並行してアナログ信号を読み出すことができる。

[0127] 第 1 出力信号線  $S_j$ 、第 2 出力信号線  $T_j$  および第 4 出力信号線  $V_j$  を介して個別に読み出されたアナログ信号は、第 1 AD 変換回路 1 4 1、第 2 AD 変換回路 1 4 2 および第 4 AD 変換回路 1 4 4 によってデジタル信号に変換される。アナログーデジタル変換によって生成されたデジタル信号のうち、例えば、リセット信号に対応した第 1 デジタル信号は、第 1 フレームメモリ 1 7 1 に格納され、画素信号に対応した第 2 デジタル信号は、第 2 フレームメモリ 1 7 2 に格納される。第 1 デジタル信号と第 2 デジタル信号との間の振り分けは、図 1 8 および図 1 9 を参照して説明したように、第 1 フレームメモリ 1 7 1 および第 2 フレームメモリ 1 7 2 の前段に例えばデータセクタ 3 5 を接続することにより、可能である。

[0128] (その他の変形例)

図 2 2 は、撮像装置のさらに他の変形例を模式的に示す。図 2 2 に示す撮像装置 1 0 0 H は、図 1 6 を参照しながら説明した撮像装置 1 0 0 D と同様

に、画像処理回路170Bを有しており、さらに、画像処理回路170Bに接続された周波数通倍器175を有する。ただし、図16に示す撮像装置100Dと比較して、撮像装置100Hは、第2出力信号線 $T_j$ を有しておらず、したがって、第2AD変換回路142、第2インターフェース162なども有しない。画像処理回路170Bに代えて画像処理回路170Aを適用してもよいことは言うまでもない。

[0129] 図22に模式的に示すように、撮像装置100Hは、複数の画素 $P \times$ の複数の列に対応して設けられた複数の第1出力信号線 $S_j$ を有する。複数の第1出力信号線 $S_j$ のそれぞれには、撮像領域の同一列に属する2以上の画素の読出し回路20が接続される。複数の第1出力信号線 $S_j$ が第1AD変換回路141に接続される点は、これまでに説明した例と同様である。

[0130] 周波数通倍器175は、画像処理回路170Bからの水平同期信号を入力として、水平同期信号よりも短い周期のパルス列を生成する。このパルス列は、水平同期信号のパルスの間隔を等分した間隔を有しており、周波数通倍器175から制御回路220に送られる。周波数通倍器175は、典型的には、PLL (phase locked loop) を利用した周波数通倍を実行する回路である。周波数通倍器175は、画像処理回路170Bまたは170Aの一部であってもよいし、行走査回路130の一部であってもよい。

[0131] 図23は、図22に示す撮像装置100Hの動作の一例を模式的に示す。図23中、上から3番目のチャートは、周波数通倍器175から出力される信号MDのパルスを模式的に示している。ここでは、信号MDのパルスは、水平同期信号HDのパルスの $(1/2)$ 倍の周期を有している。

[0132] 図23中に示された例えば $k$ 番目のフレームに注目すると、リセット信号の読出し期間の一部と、画素信号の読出し期間の一部とがオーバーラップしている。ここで、このフレーム期間の例えば時刻 $t_3$ から時刻 $t_4$ までの期間に注目すると、この1H期間の前半において第0行 $R_0$ の画素からの画素信号の読出しが実行され、この1H期間の後半に第2行 $R_2$ の画素からのリセット信号の読出しが実行されている。すなわち、複数の画素 $P \times$ の同一列に属

するある行の画素からの画素信号の読出しと、他のある行の画素からのリセット信号の読出しとを同一の1 H期間内に実行している。

[0133] 読み出されたりセット信号および画素信号は、第1 AD変換回路141によってそれぞれ第1デジタル信号および第2デジタル信号に変換される。これらのうち少なくとも第1デジタル信号は、第1フレームメモリ171に保持される。このとき、第2デジタル信号を第2フレームメモリ172に保持させてもよい。画像処理回路170Bは、全ての行に関する画素信号の読出しの完了後、各画素に関して、第2デジタル信号と、第1フレームメモリ171に保持しておいた第1デジタル信号との差分を出力する。この差分処理により、これらの信号に重畳されていたリセットノイズの影響を実質的にキャンセルすることができる。

[0134] この例のように、水平同期信号HDのパルスよりも高い周波数を有する第2のパルス列を生成して、第2のパルス列に基づいて画素からのアナログ信号の読出しを実行してもよい。水平同期信号HDのパルス列よりも細かい間隔でアナログ信号の読出しを行うことにより、複数の画素P×の各列に2以上の出力信号線を設けることなく、上述した各例と同様に、リセットノイズの影響をキャンセルしながらもフレームレートの柔軟な変更を可能とするという効果が得られる。

[0135] 図23に示す例では、例えば時刻t6を跨ぐ1 H期間に注目すればわかるように、あるフレーム期間に関するリセット信号の読出しを、そのフレーム期間の1つ前のフレーム期間における画素信号の読出しよりも先に実行し得る。したがって、より簡単な回路構成でありながら、2つのフレーム期間の間のブランキング期間を短縮してフレームレートを短縮し得る。

[0136] なお、図22に示す撮像装置100Hは、第1フレームメモリ171および第2フレームメモリ172を含む画像処理回路170Bを有している。このような構成において、第1インターフェース161と画像処理回路170Bとの間に上述のデータセクタ35を介在させてもよい。あるいは、第1デジタル信号を選択的に出力するインターフェースと第2デジタル信号を選

択的に出力するインターフェースとを設けておき、これらのインターフェースと第1 AD変換回路141との間にデータセクタ35を介在させてもよい。

[0137] 以上に説明したように、本開示の典型的な実施形態によれば、複数の画素 $P \times$ の各列に第1出力信号線 $S_j$ および第2出力信号線 $T_j$ の組を配置しているので、同一列に属するある行の画素からリセット信号を読み出しながら、その列に属する他のある行の画素からの画素信号の読出しを並行して実行できる。さらに、複数の画素 $P \times$ の各列に対応させて第1 AD変換回路141および第2 AD変換回路142を配置しているので、第1 AD変換回路141および第2 AD変換回路142の一方または両方を利用して、撮像領域中のある画素に関するリセット信号および画素信号を順次にデジタル信号に変換できる。さらに、リセット信号に対応した第1デジタル信号をフレームメモリに格納しておき、画素信号に対応した第2デジタル信号との間の差分を算出することにより、フレームレートの短縮とリセットノイズの影響の実質的なキャンセルとを両立させることができる。

[0138] なお、図1および図16では、行走査回路130、制御回路220、第1 AD変換回路141、第2 AD変換回路142、第1デジタルメモリ151、第2デジタルメモリ152、第1インターフェース161および第2インターフェース162が、複数の画素 $P \times$ の形成された半導体基板110上に配置された構成を例示している。すなわち、複数の画素 $P \times$ の形成された半導体基板110、行走査回路130、制御回路220、第1 AD変換回路141、第2 AD変換回路142、第1デジタルメモリ151、第2デジタルメモリ152、第1インターフェース161および第2インターフェース162は、これらが一体とされたパッケージの形で提供され得る。これらの回路の一部または全部は、各画素 $P \times$ の読出し回路20に加えて半導体基板110に一体的に形成されてもよい。すなわち、これらの回路は、各画素 $P \times$ の読出し回路20の形成のプロセスと同様のプロセスを適用して半導体基板110に形成され得る。例えば、制御回路220は、半導体基板110に形

成された集積回路であってもよい。ただし、これらの回路の全部が、各画素  $P \times$  とともに半導体基板 110 に一体的に形成されることは、必須ではない。これらの回路の一部または全部が、各画素  $P \times$  の形成された半導体基板 110 とは異なる基板上に配置されることもあり得る。

[0139] 上述の制御回路 220 の機能および画像処理回路 170A、170B の機能は、汎用の処理回路とソフトウェアとの組み合わせによって実現されてもよいし、このような処理に特化したハードウェアによって実現されてもよい。制御回路 220 が、画像処理回路 170A、170B の処理結果に応じた、露光時間に関する設定を画像処理回路 170A、170B から受け取り、露光時間に関する設定に応じた駆動信号を行走査回路 130、第 1AD 変換回路 141、第 2AD 変換回路 142 などに供給するように構成されていてもよい。

[0140] また、画像処理回路 170A および 170B は、半導体基板 110 に配置された回路群とは別個のチップまたはパッケージの形で撮像装置に設けられてもよい。半導体基板 110 を含むこれらの基板は、積層された形で提供されてもよい。第 1 フレームメモリ 171 および / または第 2 フレームメモリ 172 が、画像処理回路 170A または 170B とは別個のチップまたはパッケージの形で撮像装置内に配置されていてもよい。あるいは、画像処理回路 170A、170B が半導体基板 110 上に配置されてもかまわない。画像処理回路 170A、170B が制御回路 220 の一部であってもよい。画像処理回路 170A、170B または制御回路 220 が、距離計測演算、波長情報分離などの処理を実行するように構成されてもよい。

[0141] 本開示の実施形態による撮像装置は、複数の画素  $P \times$  が形成された半導体基板 110 および画像処理回路 170A または 170B が一体とされたパッケージの形で提供されてもよい。本開示の実施形態による撮像装置は、イメージセンサのチップの形態であってもよいし、カメラの形態であってもよい。

**産業上の利用可能性**

[0142] 本開示の実施形態は、例えば、デジタルスチルカメラ、デジタルビデオカメラ、医療用カメラ、セキュリティカメラ、車両に搭載されて使用されるカメラ、測距カメラ、顕微鏡カメラ、ドローンと呼ばれる無人航空機用カメラ、ロボット用カメラなどの種々のカメラおよびカメラシステムに用いることができる。車両搭載用カメラは、例えば、車両が安全に走行するための、制御装置に対する入力として利用され得る。あるいは、車両が安全に走行するための、オペレータの支援に利用され得る。

### 符号の説明

- [0143]
- 1 0 光電変換部
  - 2 0 読出し回路
  - 3 1、3 3 第1信号切替え回路
  - 3 4 第2信号切替え回路
  - 3 5 データセレクタ
  - 1 0 0 A ~ 1 0 0 H 撮像装置
  - 1 1 0 半導体基板
  - 1 2 0 回路基板
  - 1 3 0 行走査回路
  - 1 4 1 第1 A D変換回路
  - 1 4 2 第2 A D変換回路
  - 1 4 3 第3 A D変換回路
  - 1 4 4 第4 A D変換回路
  - 1 4 5 カラム信号処理回路
  - 1 6 1 第1インターフェース
  - 1 6 2 第2インターフェース
  - 1 7 0 A、1 7 0 B 画像処理回路
  - 1 7 1 第1フレームメモリ
  - 1 7 2 第2フレームメモリ
  - 1 7 5 周波数逡倍器

2 2 0 制御回路  
P x、P x 1 ~ P x 4 画素  
S<sub>j</sub> 第 1 出力信号線  
T<sub>j</sub> 第 2 出力信号線  
U<sub>j</sub> 第 3 出力信号線  
V<sub>j</sub> 第 4 出力信号線

## 請求の範囲

### [請求項1]

複数の行および列に配列された複数の画素と、

前記複数の画素から読み出されたアナログ信号を受け取り、前記アナログ信号に対応したデジタル信号を出力する第1 A D変換回路および第2 A D変換回路と、

第1 フレームメモリと、

画像処理回路と

を備え、

前記アナログ信号は、リセットレベルを表現するリセット信号および被写体の像を表現する画素信号を含み、

前記第1 フレームメモリは、前記第1 A D変換回路からの出力および前記第2 A D変換回路からの出力のうち前記リセット信号に対応した第1 デジタル信号を一時的に保持し、

前記画像処理回路は、前記第1 A D変換回路からの出力および前記第2 A D変換回路からの出力のうち前記リセット信号が読み出された画素に関する画素信号に対応した第2 デジタル信号と、前記第1 フレームメモリに保持された前記第1 デジタル信号との差分を出力する、撮像装置。

### [請求項2]

前記第1 A D変換回路は、前記複数の画素から読み出されたアナログ信号のうち前記リセット信号を受け取って前記第1 デジタル信号に変換し、

前記第2 A D変換回路は、前記複数の画素から読み出されたアナログ信号のうち前記画素信号を受け取って前記第2 デジタル信号に変換する、請求項1に記載の撮像装置。

### [請求項3]

前記第1 A D変換回路に接続された第1 出力信号線および前記第2 A D変換回路に接続された第2 出力信号線の複数の組と、

それぞれが、各画素と、前記第1 出力信号線および前記第2 出力信号線の前記複数の組のうち対応する1つの組との間に接続された複数

の第1信号切替え回路と

をさらに備え、

前記第1信号切替え回路は、前記画素から読み出されたアナログ信号のうち前記リセット信号を前記第1出力信号線に出力し、前記画素から読み出されたアナログ信号のうち前記画素信号を前記第2出力信号線に出力する、請求項2に記載の撮像装置。

[請求項4]

前記複数の画素は、前記複数の行の互いに異なる行に位置する第1画素および第2画素を含み、

前記撮像装置は、

前記第1画素に接続された第1出力信号線と、

前記第2画素に接続された第2出力信号線と、

前記第1出力信号線および前記第2出力信号線と前記第1AD変換回路との間に接続された第1信号切替え回路と、

前記第1出力信号線および前記第2出力信号線と前記第2AD変換回路との間に接続された第2信号切替え回路と

をさらに備え、

前記第1信号切替え回路および前記第2信号切替え回路は、相補的に動作する、請求項2に記載の撮像装置。

[請求項5]

前記第1AD変換回路からの前記第1デジタル信号の出力のタイミングと、前記第2AD変換回路からの前記第2デジタル信号の出力のタイミングとが一致している、請求項2から4のいずれか一項に記載の撮像装置。

[請求項6]

前記複数の画素は、前記複数の行の互いに異なる行に位置する第1画素および第2画素を含み、

前記撮像装置は、

前記第1画素および前記第1AD変換回路に接続された第1出力信号線と、

前記第2画素および前記第2AD変換回路に接続された第2出力

信号線と

をさらに備え、

前記第1 AD変換回路は、前記第1画素から読み出されたアナログ信号に対応したデジタル信号を生成し、

前記第2 AD変換回路は、前記第2画素から読み出されたアナログ信号に対応したデジタル信号を生成する、請求項1に記載の撮像装置。

[請求項7] 前記第1 AD変換回路からの前記デジタル信号の出力のタイミングと、前記第2 AD変換回路からの前記デジタル信号の出力のタイミングとが一致している、請求項6に記載の撮像装置。

[請求項8] 前記第1画素および前記第2画素は、それぞれ、前記複数の行の偶数行および奇数行に位置する、請求項4から7のいずれか一項に記載の撮像装置。

[請求項9] 前記第2デジタル信号を一時的に保持する第2フレームメモリをさらに備え、  
前記画像処理回路は、前記第1フレームメモリに保持された前記第1デジタル信号と前記第2フレームメモリに保持された前記第2デジタル信号との差分を出力する、請求項1から8のいずれか一項に記載の撮像装置。

[請求項10] 前記第1 AD変換回路および前記第2 AD変換回路と、前記第1フレームメモリおよび前記第2フレームメモリとの間に電氣的に接続された第3信号切替え回路をさらに備え、  
前記第3信号切替え回路は、入力のうち前記第1デジタル信号を前記第1フレームメモリに選択的に出力し、前記第2デジタル信号を前記第2フレームメモリに選択的に出力する、請求項9に記載の撮像装置。

[請求項11] 前記複数の画素のそれぞれは、  
前記第1 AD変換回路および前記第2 AD変換回路の一方または

両方に電氣的に接続された読出し回路が設けられた半導体基板と、  
前記半導体基板の上方に位置する光電変換部と  
を有する、請求項 1 から 10 のいずれか一項に記載の撮像装置。

[請求項12]

それぞれが、不純物領域が設けられた半導体基板に支持された光電変換部であって、前記不純物領域をその一部に含む電荷蓄積領域に電氣的に接続された光電変換部を有する複数の画素を含む撮像装置の駆動方法であって、

前記電荷蓄積領域の電位をリセットする工程 (a) と、

前記工程 (a) の実行後の前記電荷蓄積領域の電位に応じたりセット信号を読み出す工程 (b) と、

アナログーデジタル変換により、前記リセット信号に対応した第 1 デジタル信号を生成する工程 (c) と、

前記第 1 デジタル信号を第 1 フレームメモリに格納する工程 (d) と、

前記工程 (a) の実行後に、前記光電変換部によって生成される信号電荷を前記電荷蓄積領域に蓄積する工程 (e) と、

前記工程 (e) において前記電荷蓄積領域に蓄積された電荷量に応じた画素信号を読み出す工程 (f) と、

アナログーデジタル変換により、前記画素信号に対応した第 2 デジタル信号を生成する工程 (g) と、

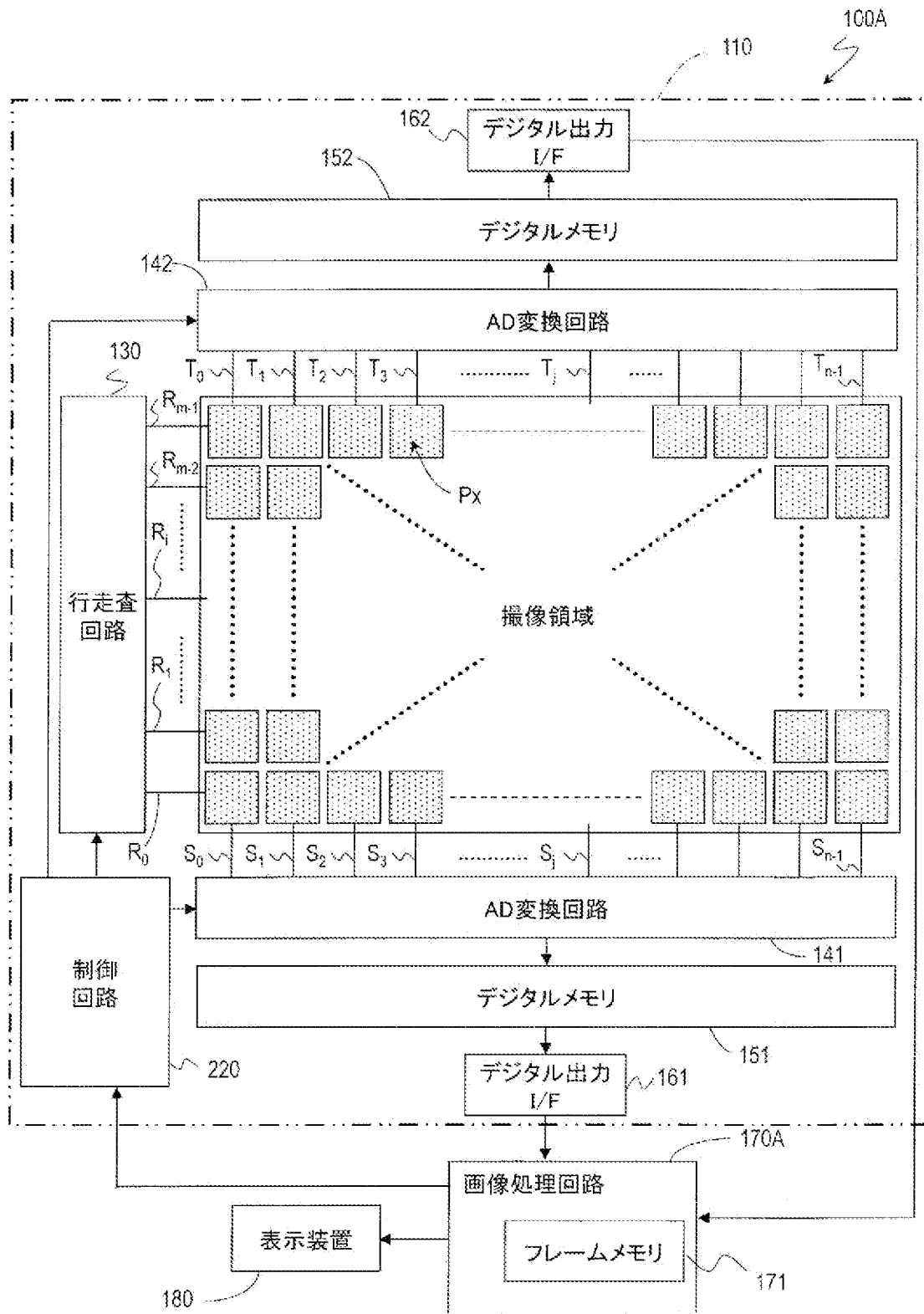
前記第 2 デジタル信号と前記第 1 デジタル信号との差分を得る工程 (h) とを含む、撮像装置の駆動方法。

[請求項13]

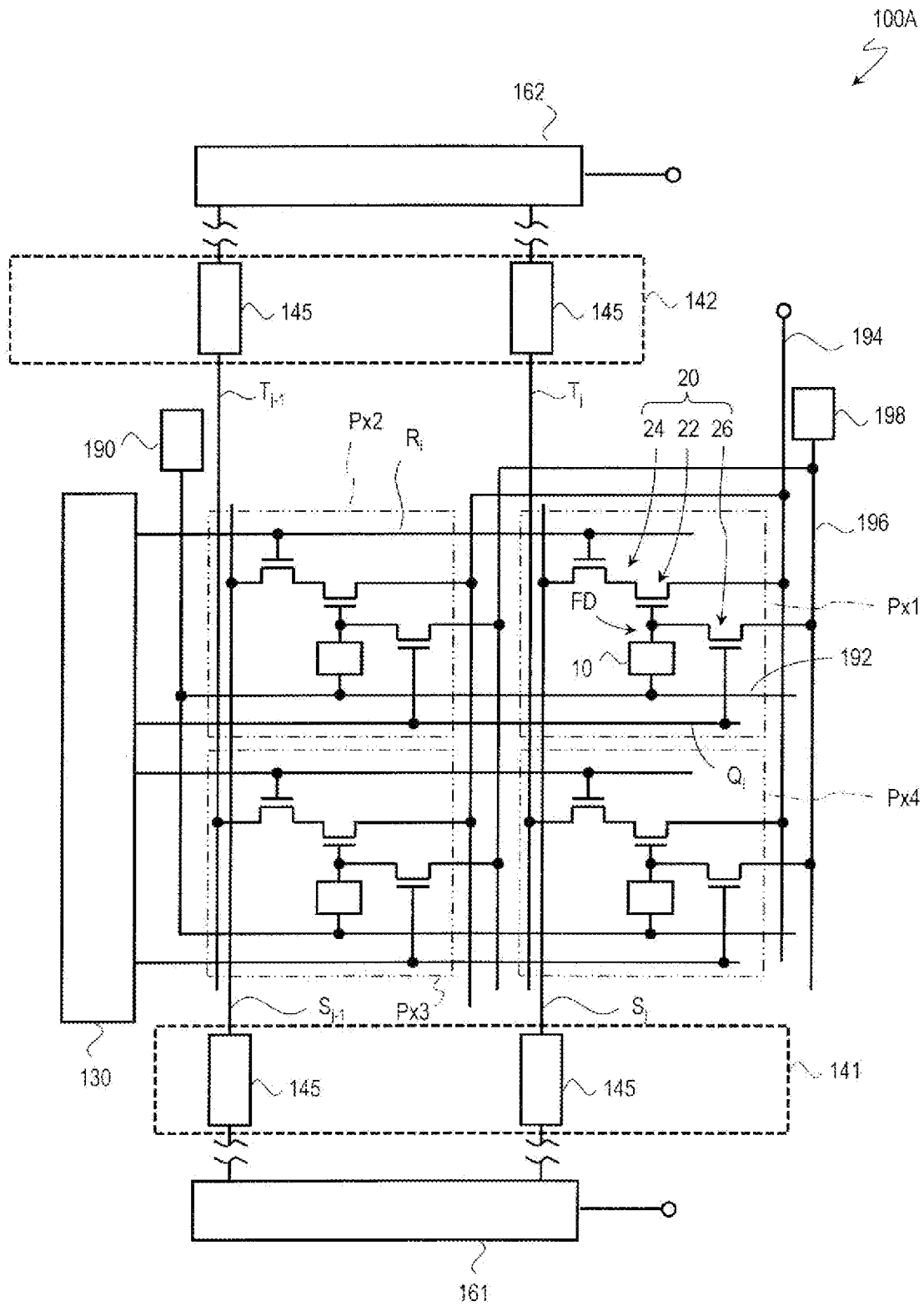
前記工程 (b) は、前記複数の画素のうち 1 以上の画素からリセット信号を読み出す工程であり、

前記工程 (f) は、前記複数の画素のうち、前記 1 以上の画素とは異なる他の 1 以上の画素から画素信号を読み出す工程であり、かつ、前記工程 (b) と並行して実行される、請求項 12 に記載の撮像装置の駆動方法。

[図1]

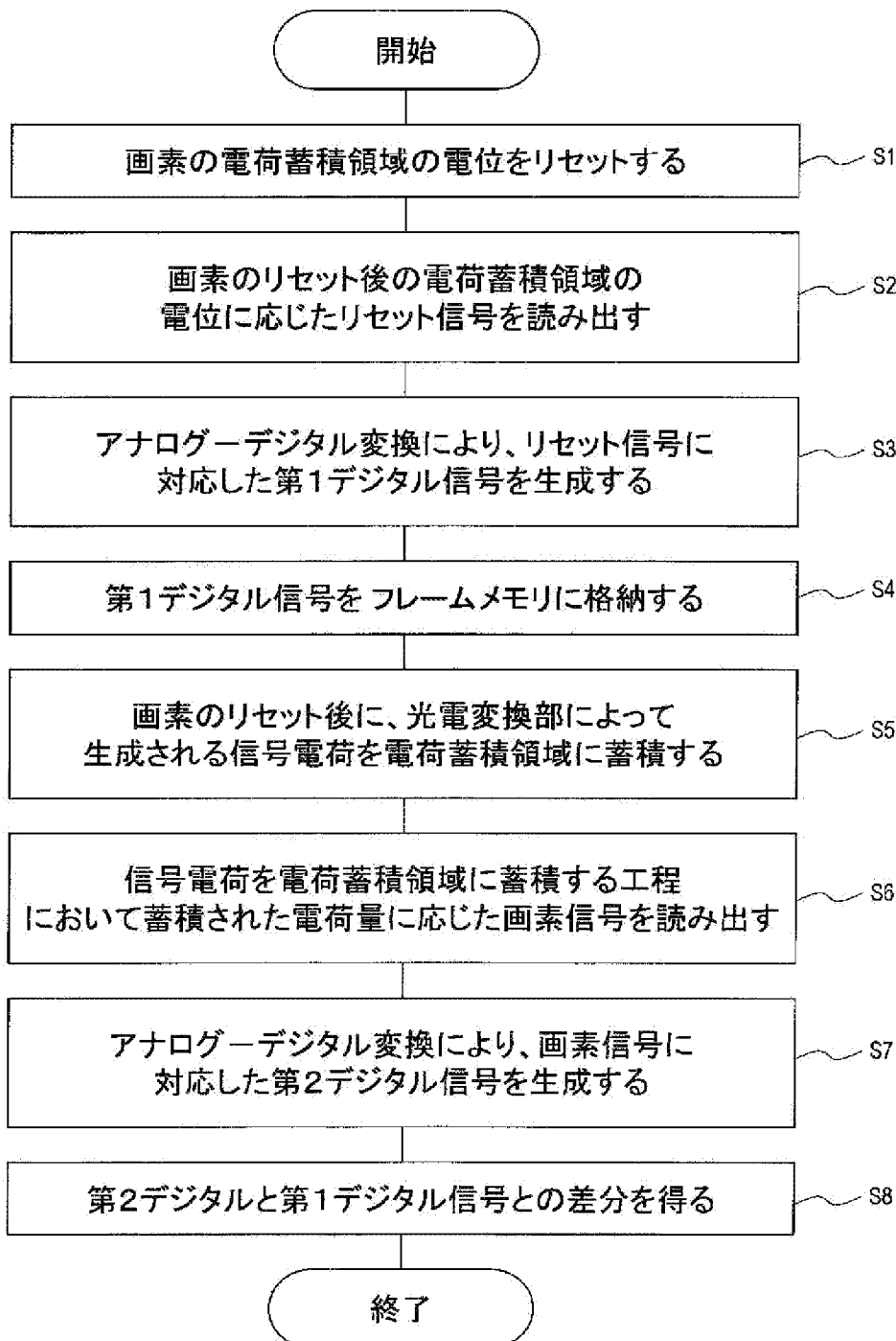


[図2]

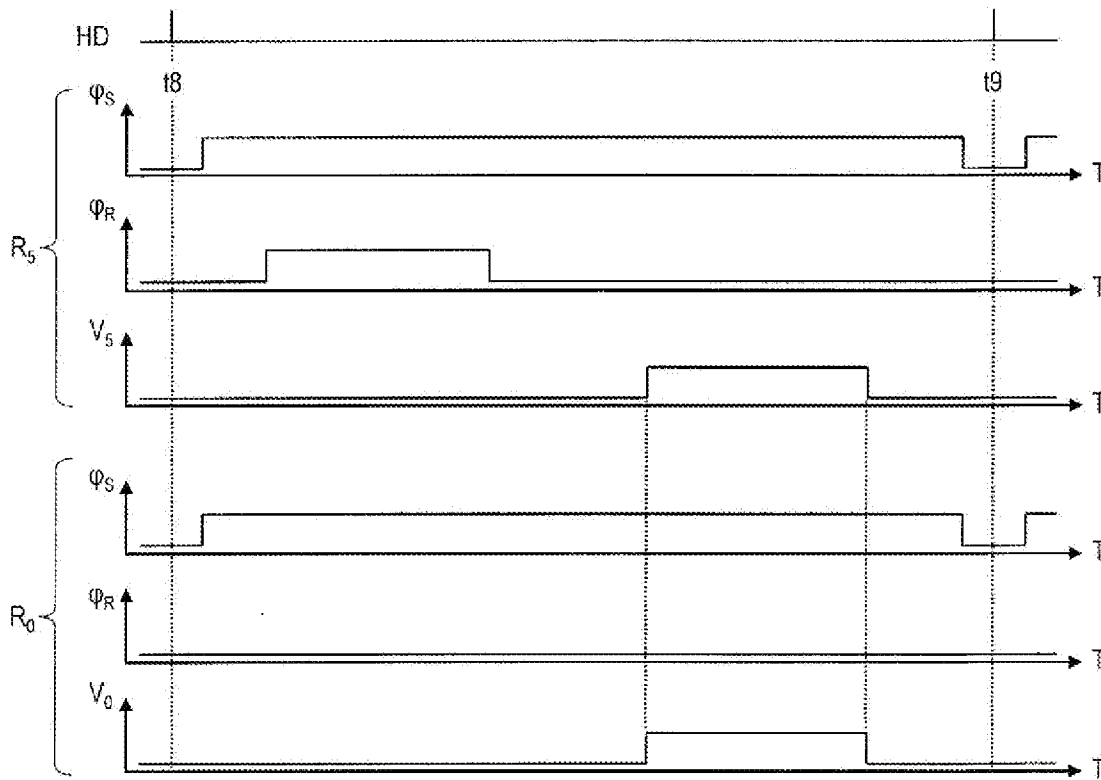




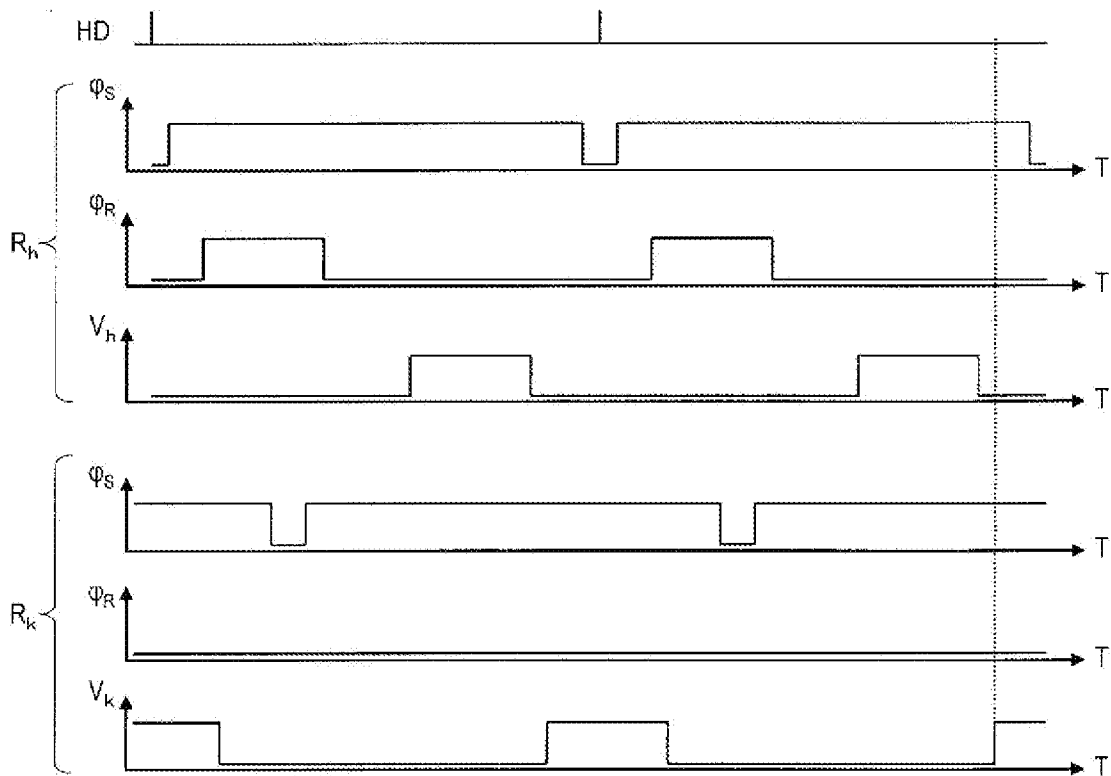
[図5]



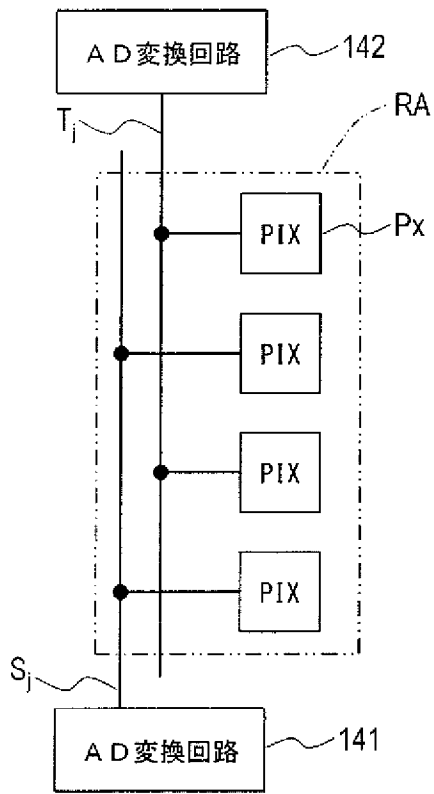
[図6]



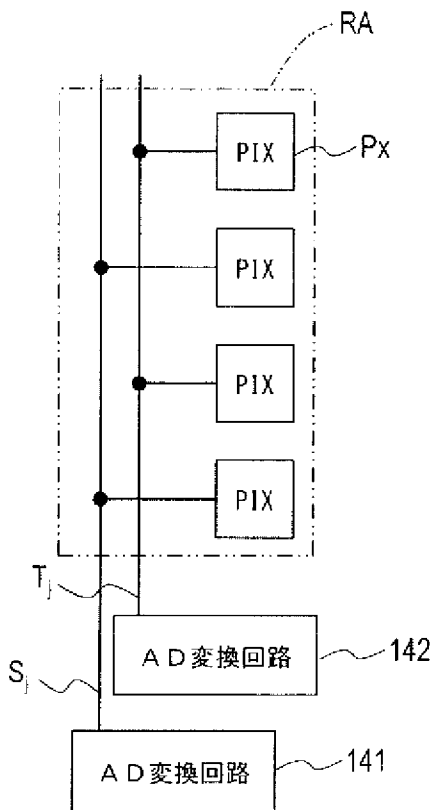
[図7]



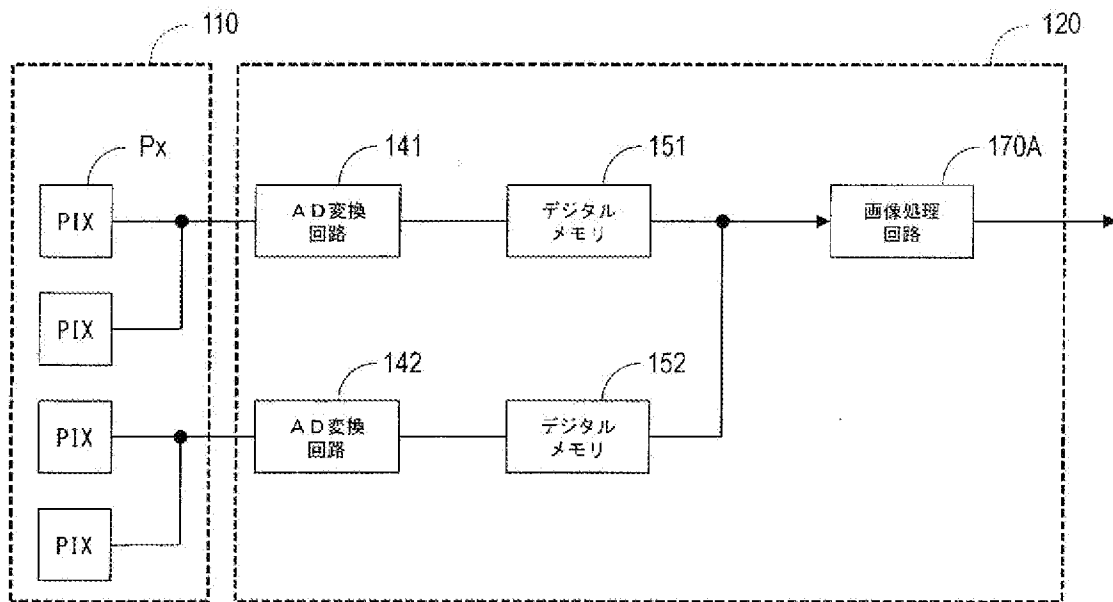
[図8]



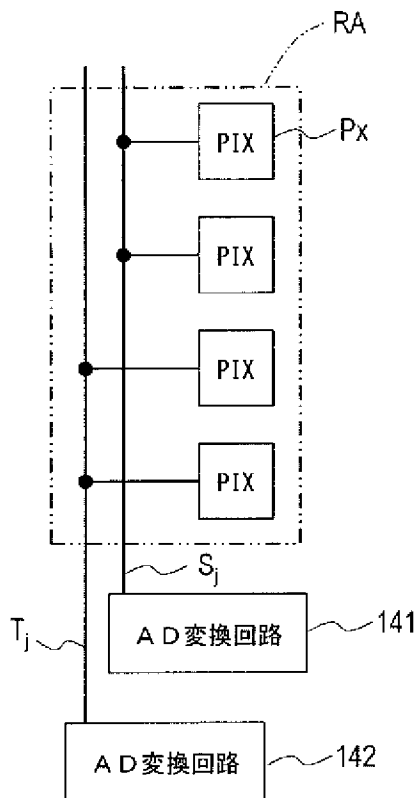
[図9]



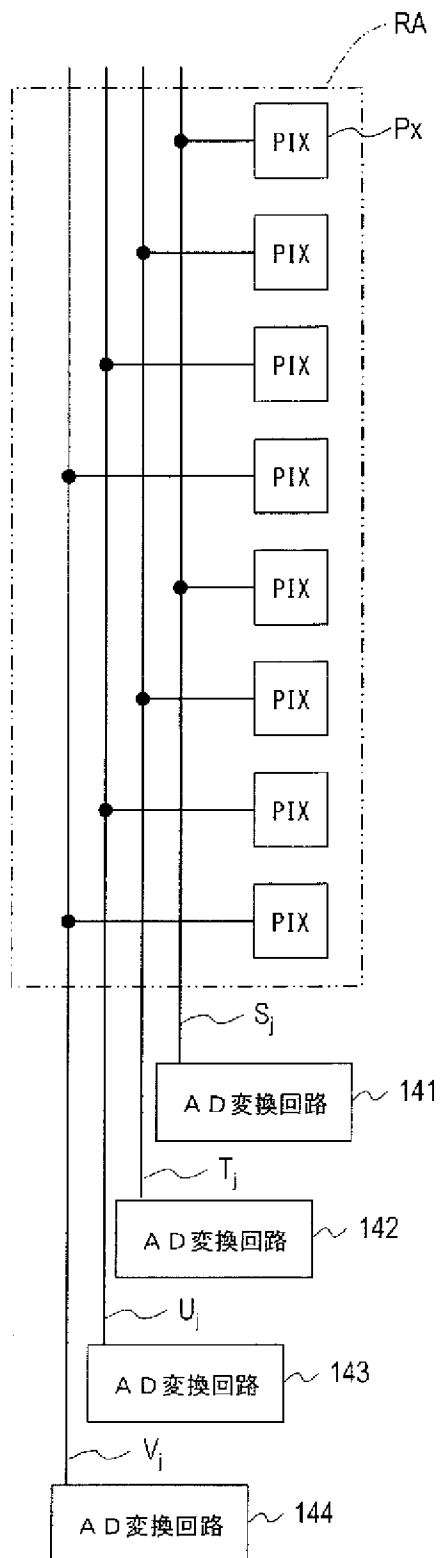
[図10]



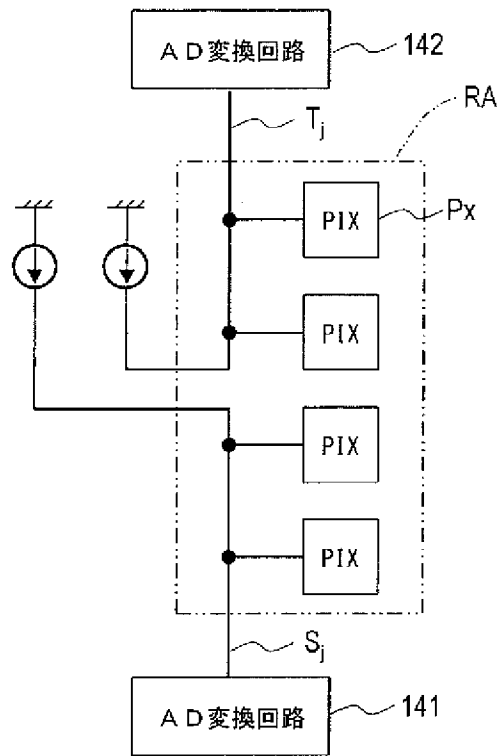
[図11]



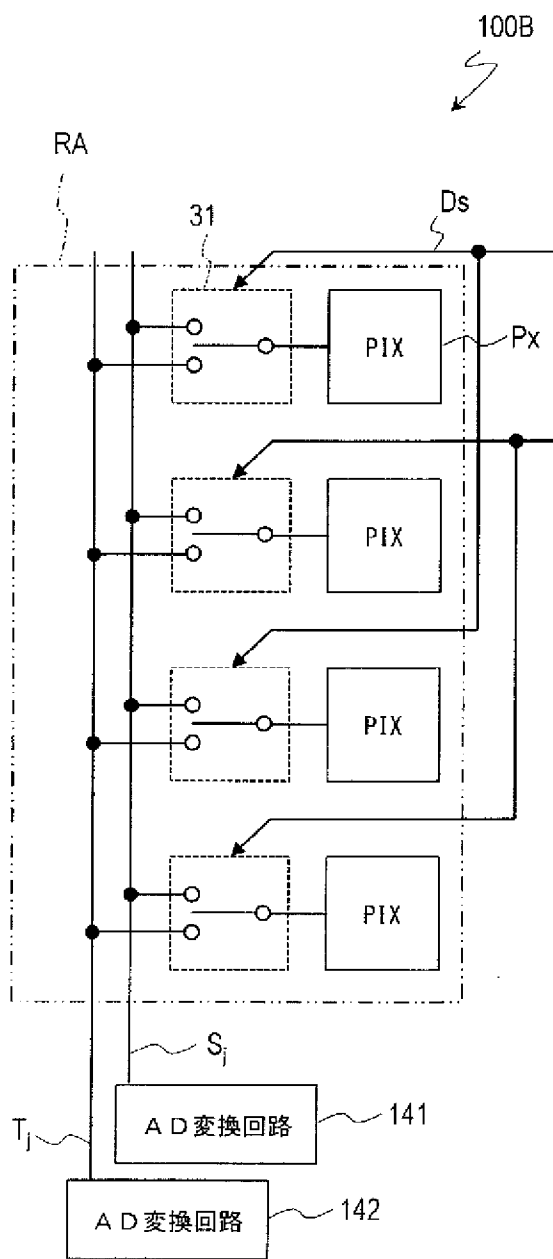
[図12]



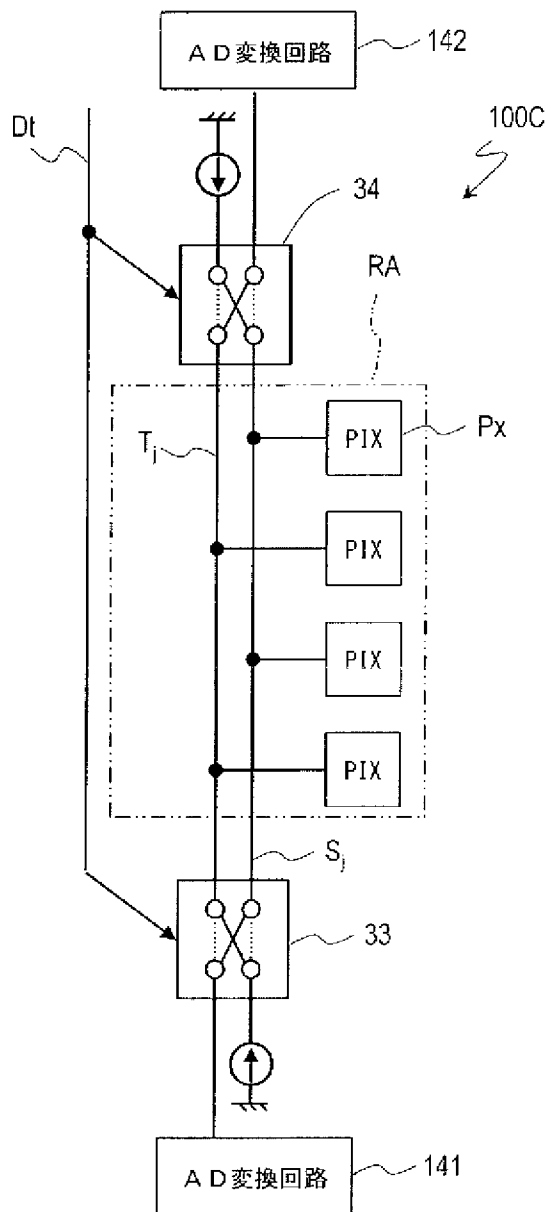
[図13]



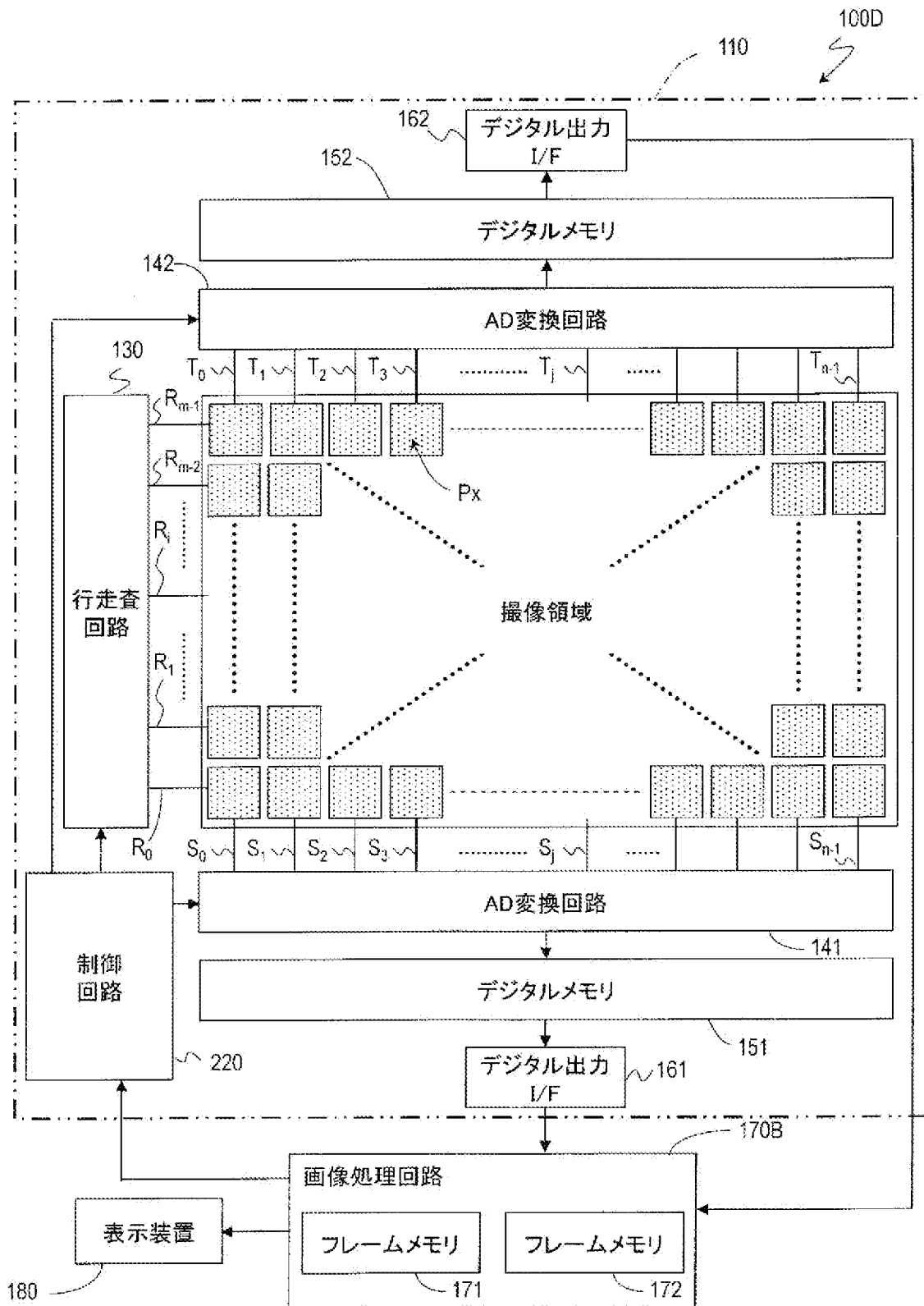
[図14]



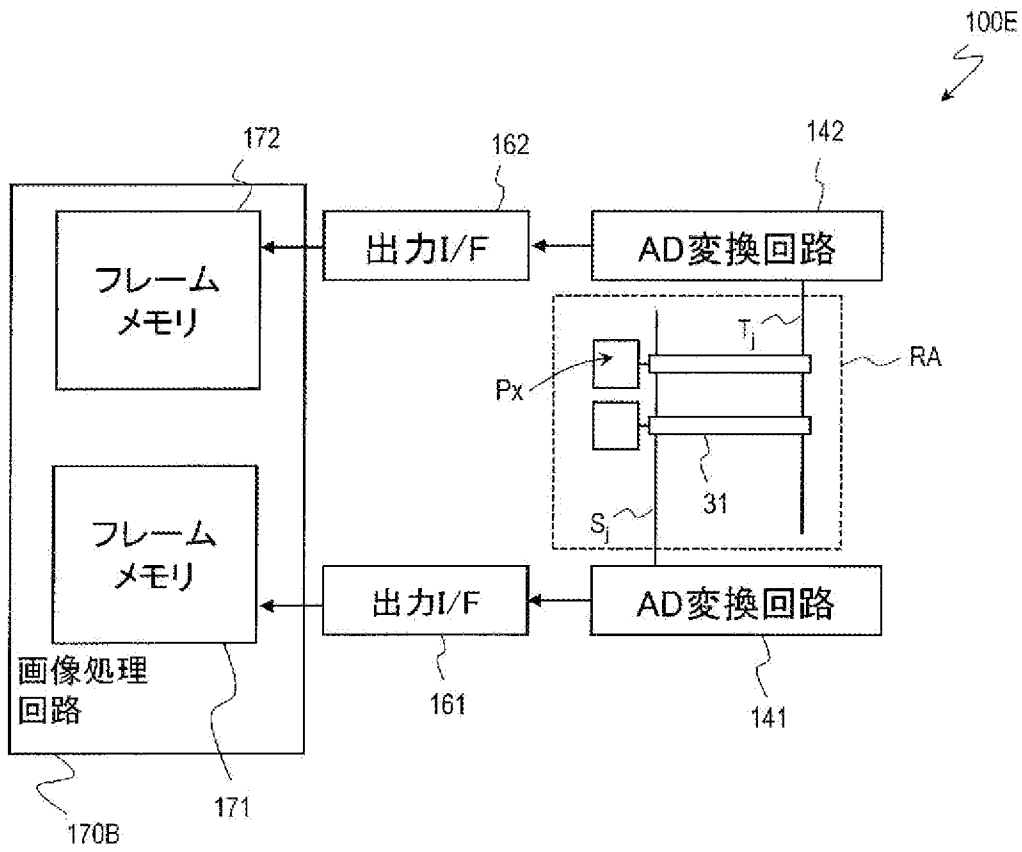
[図15]



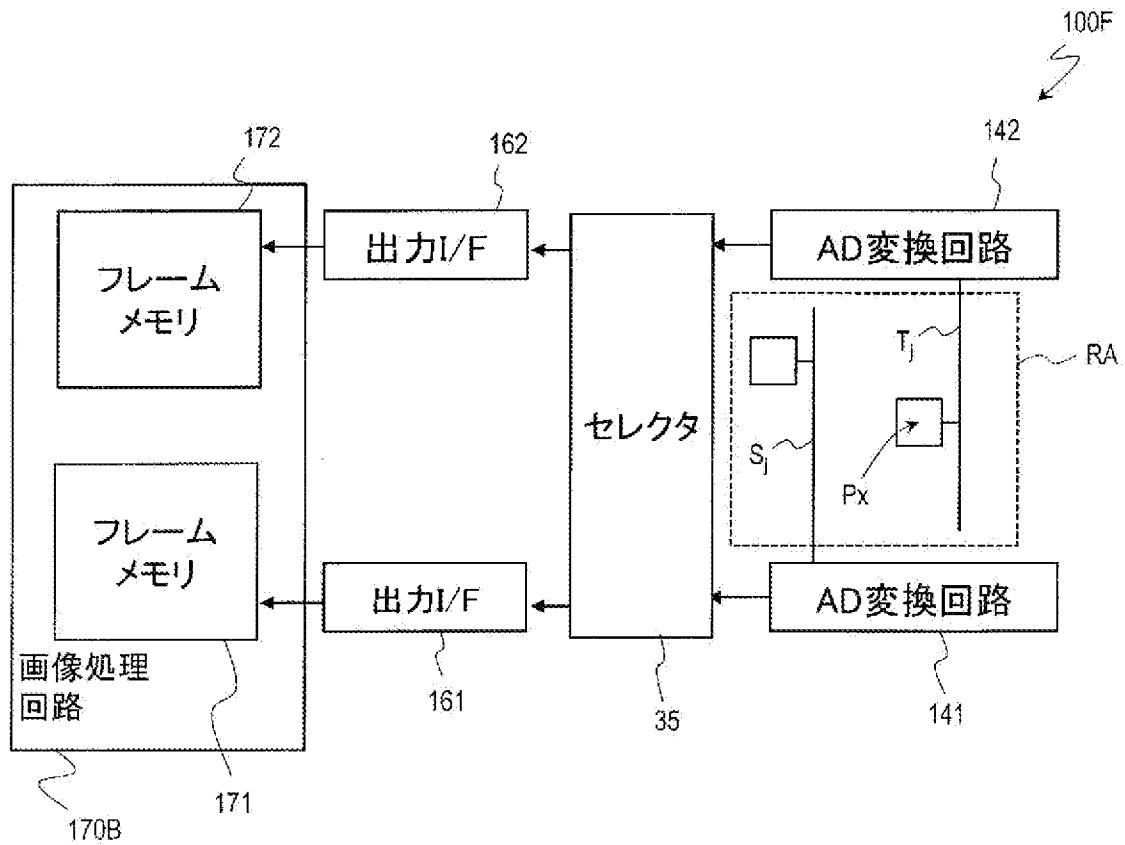
[図16]



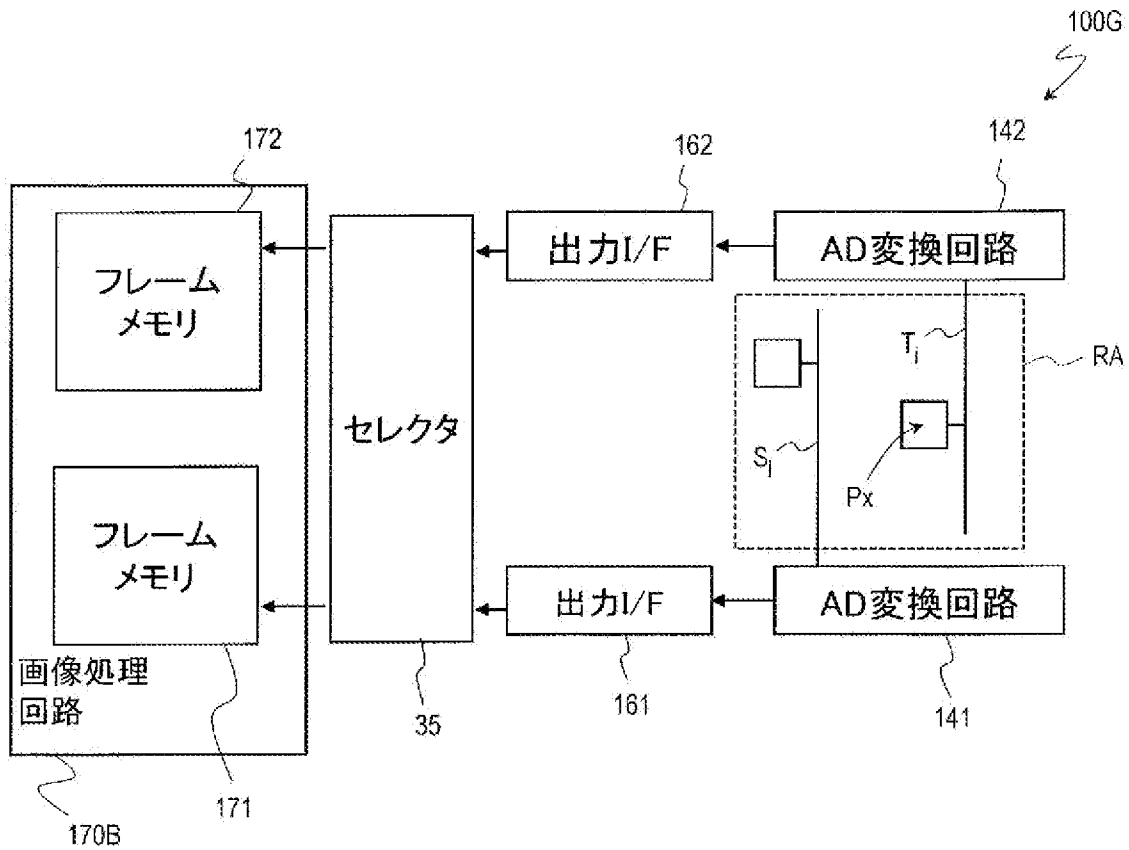
[図17]



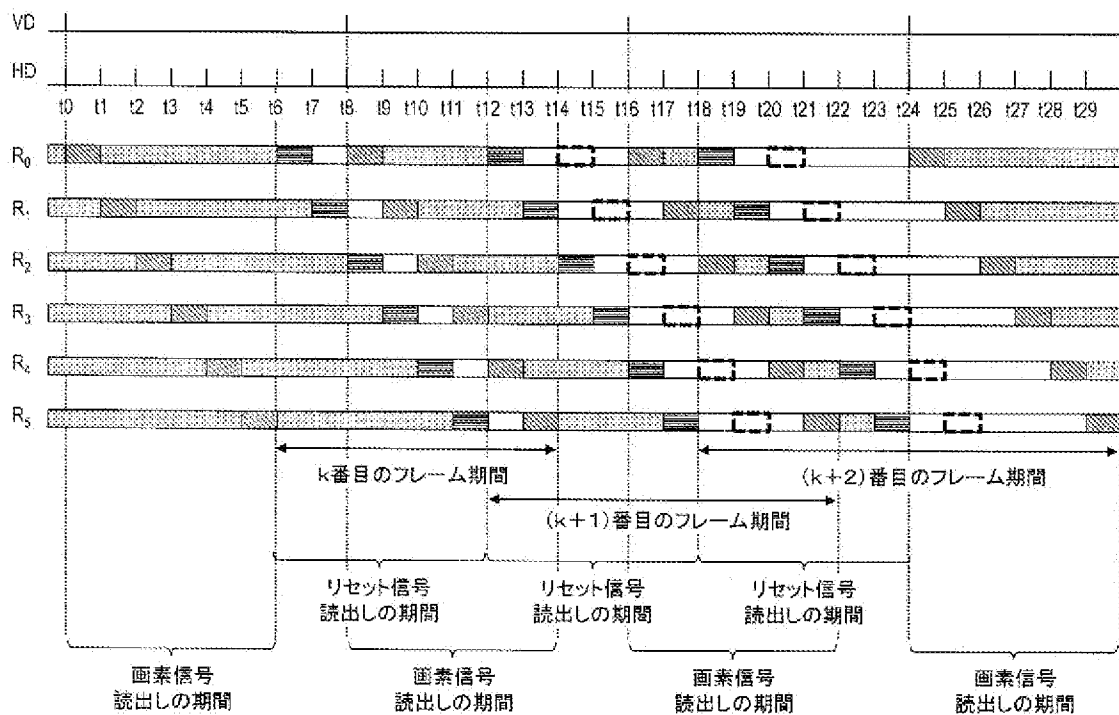
[図18]



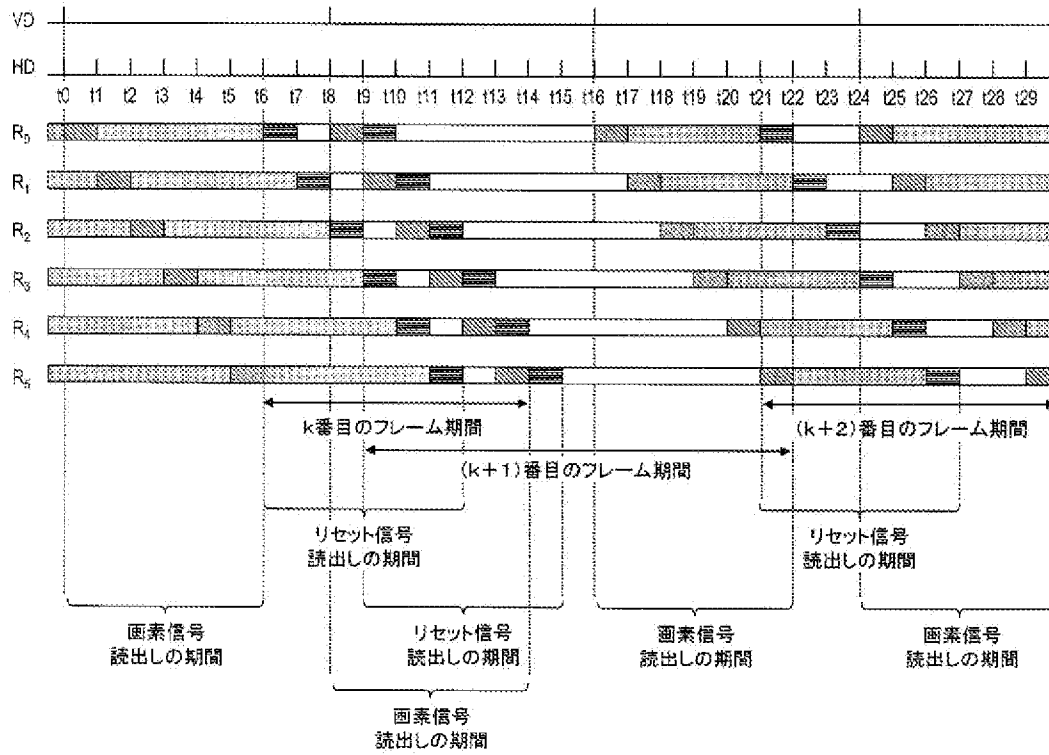
[図19]



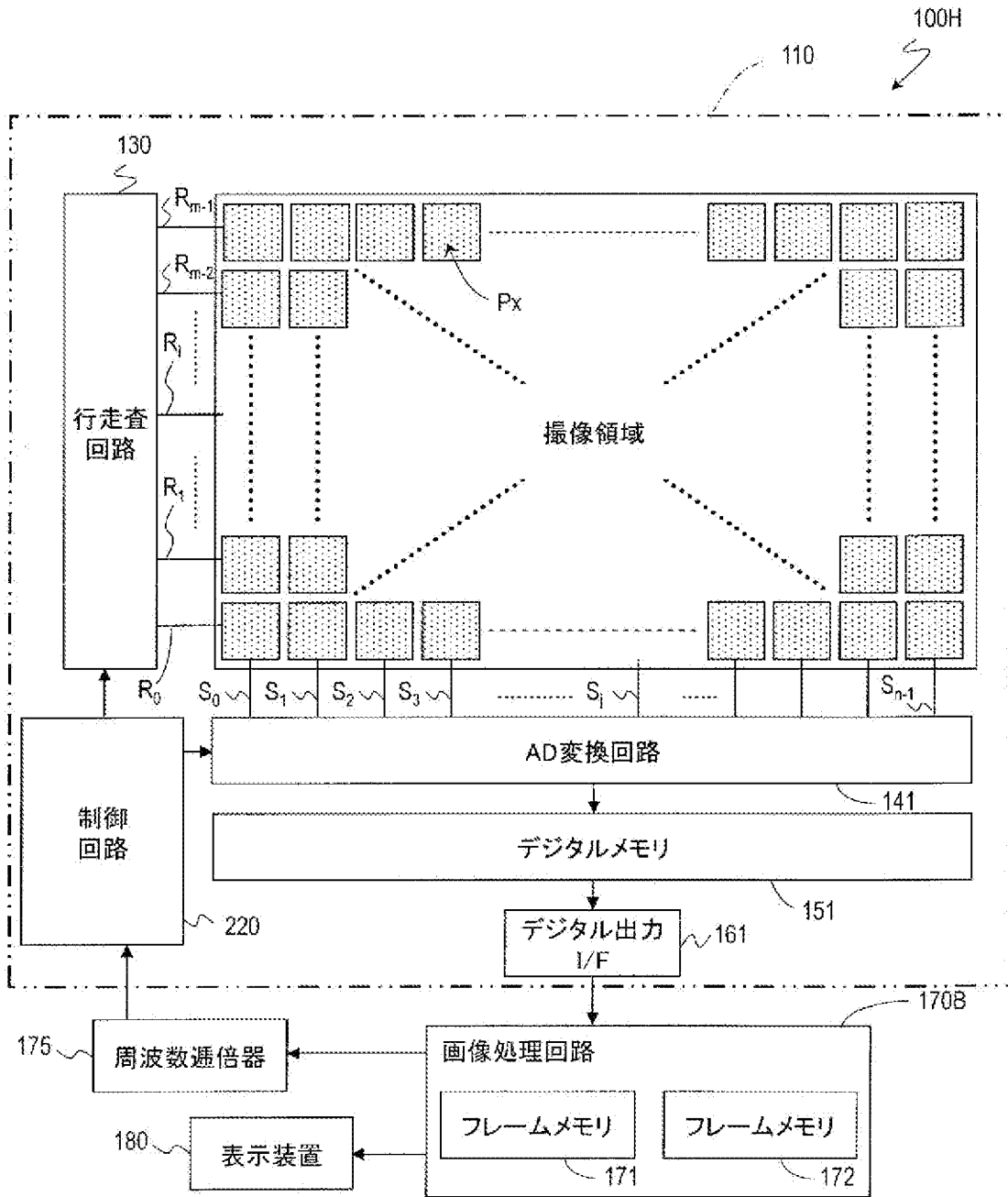
[図20]



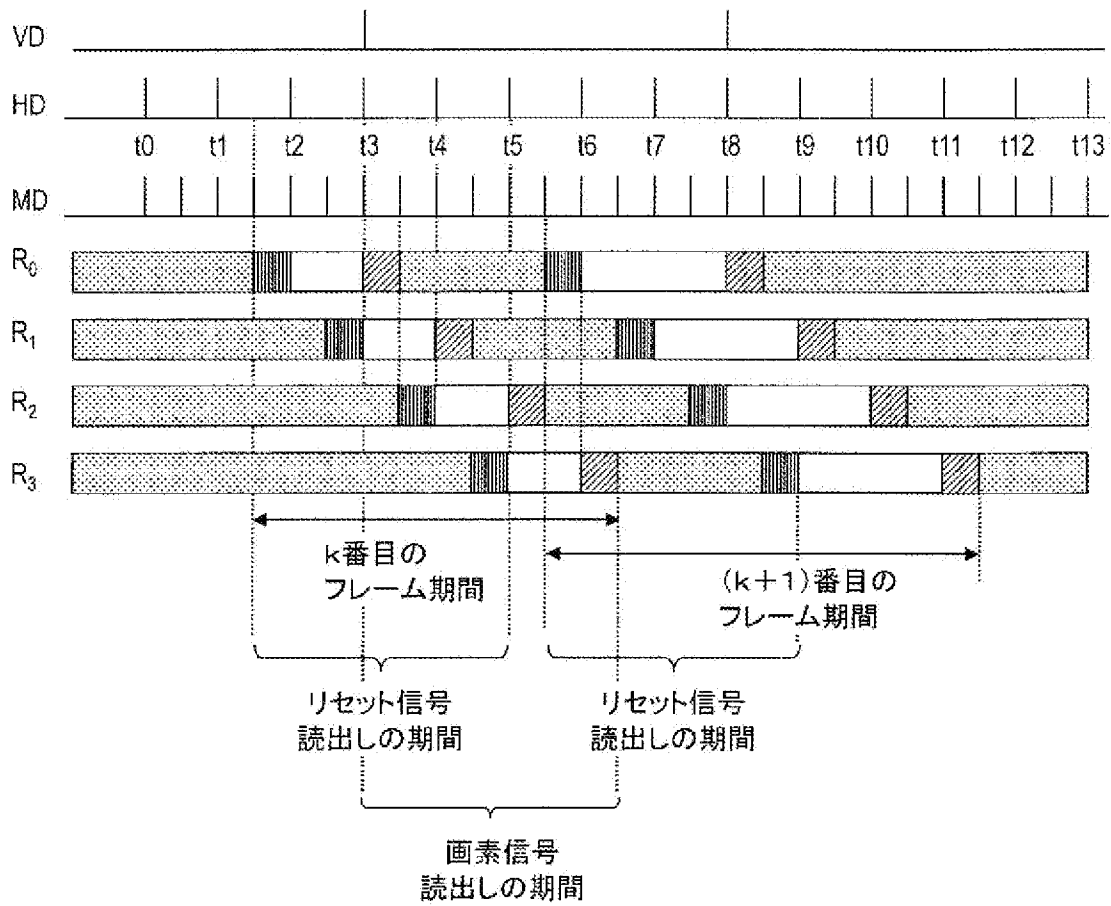
[図21]



[図22]



[図23]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2020/024748

**A. CLASSIFICATION OF SUBJECT MATTER**

H04N 5/363(2011.01)i; H04N 5/374(2011.01)i; H04N 5/378(2011.01)i  
 FI: H04N5/363: H04N5/378: H04N5/374

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
 H04N5/363; H04N5/374; H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2010-232804 A (VICTOR COMPANY OF JAPAN, LTD.)	1, 2, 9
Y	14.10.2010 (2010-10-14) paragraphs [0075]-[0087],	11-13
A	fig. 4-5	3-8, 10
Y	JP 2017-126846 A (SONY CORP.) 20.07.2017 (2017-07-	11-13
A	20) paragraphs [0057], [0151]-[0157], fig. 4, 17-19	3-8, 10
A	JP 2017-55382 A (CANON INC.) 16.03.2017 (2017-03-16) entire text	1-13
A	WO 2017/169480 A1 (NIKON CORP.) 05.10.2017 (2017-10-05) entire text	1-13

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance  
 “E” earlier application or patent but published on or after the international filing date  
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 “O” document referring to an oral disclosure, use, exhibition or other means  
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 “&” document member of the same patent family

Date of the actual completion of the international search  
 07 September 2020 (07.09.2020)

Date of mailing of the international search report  
 15 September 2020 (15.09.2020)

Name and mailing address of the ISA/  
 Japan Patent Office  
 3-4-3, Kasumigaseki, Chiyoda-ku,  
 Tokyo 100-8915, Japan

Authorized officer  
  
 Telephone No.

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/JP2020/024748

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2010-232804 A	14 Oct. 2010	(Family: none)	
JP 2017-126846 A	20 Jul. 2017	US 2019/0006412 A1 paragraphs [0092], [0191]-[0197], fig. 4, 17-19	
JP 2017-55382 A	16 Mar. 2017	US 2017/0078607 A1 entire text CN 106534724 A	
WO 2017/169480 A1	05 Oct. 2017	US 2019/0081100 A1 entire text EP 3439039 A CN 109196647 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 5/363(2011.01)i; H04N 5/374(2011.01)i; H04N 5/378(2011.01)i FI: H04N5/363; H04N5/378; H04N5/374		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04N5/363; H04N5/374; H04N5/378 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2010-232804 A（日本ビクター株式会社）14.10.2010（2010-10-14） 段落[0075]-[0087], 図4-5	1, 2, 9
Y		11-13
A		3-8, 10
Y	JP 2017-126846 A（ソニー株式会社）20.07.2017（2017-07-20） 段落[0057], [0151]-[0157], 図4, 17-19	11-13
A		3-8, 10
A	JP 2017-55382 A（キヤノン株式会社）16.03.2017（2017-03-16） 全文	1-13
A	WO 2017/169480 A1（株式会社ニコン）05.10.2017（2017-10-05） 全文	1-13
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 07.09.2020	国際調査報告の発送日 15.09.2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 橘 高志 5V 8391 電話番号 03-3581-1101 内線 3571	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/024748

引用文献	公表日	パテントファミリー文献	公表日
JP 2010-232804 A	14.10.2010	(ファミリーなし)	
JP 2017-126846 A	20.07.2017	US 2019/0006412 A1 段落[0092],[0191]-[0197], 図4, 17-19	
JP 2017-55382 A	16.03.2017	US 2017/0078607 A1 全文 CN 106534724 A	
WO 2017/169480 A1	05.10.2017	US 2019/0081100 A1 全文 EP 3439039 A CN 109196647 A	