(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年12月27日(27.12.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/235452 A1

(51) 国際特許分類:
H02M 3/155 (2006.01)

(21) 国際出願番号： PCT/JP2018/018387

(22) 国際出願日： 2018年5月11日(11.05.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-119497 2017年6月19日(19.06.2017) JP
特願 2018-022076 2018年2月9日(09.02.2018) JP

(71) 出願人: 株式会社村田製作所 (**MURATA MANUFACTURING CO.,LTD.**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者: 矢▲崎▼浩和 (**YAZAKI, Hirokazu**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 土屋貴紀(**TSUCHIYA, Takanori**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP).

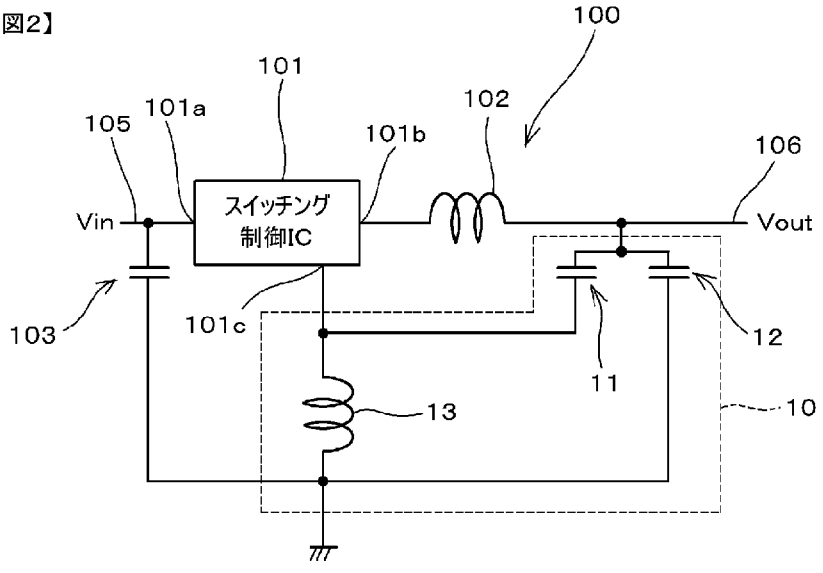
(74) 代理人: 西澤均，外(**NISHIZAWA, Hitoshi** et al.); 〒5500002 大阪府大阪市西区江戸堀１丁目２番１１号 大同生命南館５階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** NOISE CANCELING CIRCUIT AND NOISE CANCELING ELEMENT

(54) 発明の名称： ノイズ除去回路およびノイズ除去素子

【図2】



101 Switching control IC

(57) **Abstract:** This noise canceling circuit 10, which is connected between at least one line of an input line 105 and an output line 106 of a DC-DC converter, a ground, and a ground terminal of a switching control IC 101 included in the DC-DC converter, is provided with: a first capacitor 11 that is connected to the at least one line and the ground terminal; a second capacitor 12 that is connected to the at least one line and the ground; and an inductor 13 that is connected to the ground terminal and the ground.

WO 2018/235452 A1

［続葉有］

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:ＤＣ－ＤＣコンバータの入力ライン１０５および出力ライン１０６のうちの少なくとも一方のラインと、グランドと、ＤＣ－ＤＣコンバータに含まれるスイッチング制御ＩＣ１０１のグランド端子との間に接続されるノイズ除去回路１０は、上記少なくとも一方のラインとグランド端子との間に接続される第１のキャパシタ１１と、上記少なくとも一方のラインとグランドとの間に接続される第２のキャパシタ１２と、グランド端子とグランドとの間に接続されるインダクタ１３とを備える。

明　細　書

発明の名称 ： ノイズ除去回路およびノイズ除去素子

技術分野

[0001] 本発明は、ノイズ除去回路およびノイズ除去素子に関し、特に、ＤＣ－ＤＣコンバータの入力ラインおよび出力ラインのうちの少なくとも一方のラインと、グランドと、スイッチング制御ＩＣのグランド端子との間に接続されるノイズ除去回路およびノイズ除去素子に関する。

背景技術

[0002] スイッチング素子およびインダクタを備え、入力電圧を昇圧または降圧させて出力するＤＣ－ＤＣコンバータが知られている。

[0003] 特許文献１の図６等には、出力ラインに設けられた平滑コンデンサとグランドとの間に直列にインダクタを配置することによって、ノイズを抑制するようにしたＤＣ－ＤＣコンバータモジュールが記載されている。

先行技術文献

特許文献

[0004] 特許文献1：特許第４３２５７４７号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、特許文献１に記載のＤＣ－ＤＣコンバータモジュールでは、平滑コンデンサとグランドとの間に直列に配置されたインダクタによって高周波帯のパルス電流を抑制することはできるが、当該インダクタの値によっては低周波帯のリプル電圧などのノイズを十分に抑制することができないという問題があった。

[0006] 本発明は、上記課題を解決するものであり、高周波帯のノイズとともに低周波帯のノイズを効果的に抑制することが可能なノイズ除去回路およびノイズ除去素子を提供することを目的とする。

課題を解決するための手段

[0007] 本発明のノイズ除去回路は、

ＤＣ－ＤＣコンバータの入力ラインおよび出力ラインのうちの少なくとも一方のラインと、グランドと、前記ＤＣ－ＤＣコンバータに含まれるスイッチング制御ＩＣのグランド端子との間に接続されるノイズ除去回路であって、

前記少なくとも一方のラインと前記グランド端子との間に接続される第１のキャパシタと、

前記少なくとも一方のラインと前記グランドとの間に接続される第２のキャパシタと、

前記グランド端子と前記グランドとの間に接続される第１のインダクタと、

を備えることを特徴とする。

[0008] 前記第２のキャパシタの容量は、前記第１のキャパシタの容量以上であってもよい。

[0009] 前記第１のキャパシタは、前記出力ラインと前記グランド端子との間に接続され、

前記第２のキャパシタは、前記出力ラインと前記グランドとの間に接続され、

前記入力ラインと前記グランド端子との間に接続される第３のキャパシタと、

前記入力ラインと前記グランドとの間に接続される第４のキャパシタと、をさらに備えていてもよい。

[0010] 前記第４のキャパシタの容量は、前記第３のキャパシタの容量以上であってもよい。

[0011] 前記第１のインダクタには、入力側インダクタと出力側インダクタが含まれており、

前記入力側インダクタは入力側グランド線を介して前記グランドと接続され、前記出力側インダクタは出力側グランド線を介して前記グランドと接続

されていてもよい。

[0012] 前記少なくとも一方のラインと前記第１のキャパシタとの間に接続される第２のインダクタをさらに備えていてもよい。

[0013] 本発明のノイズ除去素子は、

ＤＣ－ＤＣコンバータの入力ラインおよび出力ラインのうちの少なくとも一方のラインと、グランドと、前記ＤＣ－ＤＣコンバータに含まれるスイッチング制御ＩＣのグランド端子との間に接続されるノイズ除去素子であって、

フェライト積層基板と、

前記フェライト積層基板上に実装され、一端が前記少なくとも一方のラインと接続され、他端が前記グランド端子と接続される第１のキャパシタと、

前記フェライト積層基板内に内部配線により設けられるインダクタであって、一端が前記第１のキャパシタと接続されており、他端が前記第１のキャパシタとは異なる第２のキャパシタと接続される第１のインダクタと、

前記フェライト積層基板の表面に設けられ、前記第１のキャパシタと前記グランド端子との間を接続する表面配線と、

を備えることを特徴とする。

[0014] 前記第２のキャパシタは、前記フェライト積層基板上に実装され、一端が前記少なくとも一方のラインと接続され、他端が前記グランドと接続されるように構成されていてもよい。

[0015] 前記第２のキャパシタの容量は、前記第１のキャパシタの容量以上であってもよい。

[0016] 上記ノイズ除去素子において、前記第１のキャパシタの前記一端は、前記出力ラインと接続され、

前記第２のキャパシタの一端は、前記出力ラインと接続され、

前記フェライト積層基板上に実装され、一端が前記入力ラインと接続され、他端が前記グランド端子と接続される第３のキャパシタと、

前記フェライト積層基板上に実装され、一端が前記入力ラインと接続され

、他端が前記グランドと接続される第４のキャパシタと、

をさらに備えていてもよい。

[0017] 上記ノイズ除去素子において、前記第４のキャパシタの容量は、前記第３のキャパシタの容量以上であってもよい。

[0018] 上記ノイズ除去素子において、前記第１のインダクタには、入力側インダクタと出力側インダクタが含まれており、

前記表面配線には、前記入力側インダクタと前記グランドとを接続するための入力側グランド用表面配線と、前記出力側インダクタと前記グランドとを接続するための出力側グランド用表面配線が含まれていてもよい。

[0019] 上記ノイズ除去素子は、前記フェライト積層基板内に内部配線により設けられるインダクタであって、一端が前記少なくとも一方のラインと接続されており、他端が前記第１のキャパシタと接続される第２のインダクタをさらに備えていてもよい。

[0020] 前記フェライト基板は、非磁性体層と、前記非磁性体層に比べて透磁率が大きい磁性体層とを備え、

前記第１のインダクタおよび前記第２のインダクタは、前記磁性体層に配置されていてもよい。

[0021] 前記非磁性体層は、前記磁性体層を挟むように配置されていてもよい。

発明の効果

[0022] 本発明のノイズ除去回路によれば、高周波帯のパルス電流は、第１のキャパシタおよび第１のインダクタが設けられているラインを通ることによって抑制され、低周波帯のノイズは、第２のキャパシタを通ることにより抑制される。これにより、高周波帯のノイズとともに、低周波帯のノイズを効果的に抑制することができる。

[0023] また、本発明のノイズ除去素子によれば、高周波帯のパルス電流は、第１のキャパシタ、および第１のインダクタとして機能する内部配線を通って抑制され、低周波帯のノイズは、第２のキャパシタを通って抑制される。これにより、高周波帯のノイズとともに、低周波帯のノイズを効果的に抑制する

ことができる。

図面の簡単な説明

[0024] [図1]降圧型のＤＣ－ＤＣコンバータの回路の一例を示す図である。

[図2]本発明の第１の実施形態におけるノイズ除去回路を示す図である。

[図3]第１の実施形態におけるノイズ除去回路を具現化したノイズ除去素子の外観を示す斜視図である。

[図4]図３に示すノイズ除去素子の平面図である。

[図5]（ａ）は、図３に示すノイズ除去素子をＶ－Ｖ線で切断したときの切断面を示す図、（ｂ）は、内部配線の位置を示す斜視図、（ｃ）は、ビアホール導体の代わりにコイルを設けた場合の斜視図である。

[図6]第１の実施形態におけるノイズ除去素子の別の構成例を示す斜視図である。

[図7]（ａ）は、第１の実施形態におけるノイズ除去素子のさらに別の構成例を示す斜視図、（ｂ）は平面図、（ｃ）は、図７（ａ）のＶＩＩＣ－ＶＩＩＣ線で切断したときの切断面を示す図である。

[図8]第２の実施形態におけるノイズ除去回路を示す図である。

[図9]（ａ）は、第２の実施形態におけるノイズ除去回路を具現化したノイズ除去素子の平面図、（ｂ）は、第２の実施形態におけるノイズ除去素子の別の構成例を示す平面図である。

[図10]第２の実施形態におけるノイズ除去回路の変形構成例を示す図である。

[図11]図１０に示す第２の実施形態の変形例におけるノイズ除去回路を具現化したノイズ除去素子の平面図である。

[図12]第３の実施形態におけるノイズ除去回路を示す図である。

[図13]第３の実施形態におけるノイズ除去回路を含むＤＣ－ＤＣコンバータの回路を具現化したノイズ除去素子の平面図である。

[図14]図１３に示すノイズ除去素子をＸＩＶ－ＸＩＶ線で切断したときの断面図である。

[図15]ノイズ除去素子を構成するフェライト積層基板の各層を示す平面図である。

[図16]（ａ）は、第３の実施形態におけるノイズ除去素子の別の構成例を示す図であり、（ｂ）は、図１６（ａ）に示すノイズ除去素子をＸＶＩＢ－ＸＶＩＢ線で切断したときの切断面を示す図である。

[図17]ＤＣ－ＤＣコンバータの入力側に設けられたノイズ除去回路の構成を示す図である。

[図18]第３の実施形態におけるノイズ除去回路に、第３のキャパシタと第４のキャパシタを追加した構成のノイズ除去回路を示す図である。

発明を実施するための形態

[0025] 以下に本発明の実施形態を示して、本発明の特徴とするところをさらに具体的に説明する。

[0026] まず初めに、ＤＣ－ＤＣコンバータの回路について説明し、その後に、本発明のノイズ除去回路について説明する。

[0027] ＜ＤＣ－ＤＣコンバータ＞

図１は、降圧型のＤＣ－ＤＣコンバータ１００の回路の一例を示す図である。ＤＣ－ＤＣコンバータ１００は、スイッチング制御ＩＣ１０１と、メインインダクタ１０２と、入力側キャパシタ１０３と、出力側キャパシタ１０４とを備える。このＤＣ－ＤＣコンバータ１００は、非絶縁型のＤＣ－ＤＣコンバータである。

[0028] スイッチング制御ＩＣ１０１は、スイッチング素子と、スイッチング素子のオン／オフを制御する制御回路とを少なくとも備える。スイッチング制御ＩＣ１０１は、他の機能、例えば、通信制御機能を有していてもよい。

[0029] スイッチング制御ＩＣ１０１の入力端子１０１ａは、入力ライン１０５と接続されている。入力ライン１０５とグランドとの間には、入力側キャパシタ１０３が設けられている。

[0030] スイッチング制御ＩＣ１０１の出力端子１０１ｂには、メインインダクタ１０２の一端が接続されており、当該メインインダクタ１０２の他端は、出

力ライン１０６と接続されている。出力ライン１０６とグランドとの間には、出力側キャパシタ１０４が設けられている。

[0031] スイッチング制御ＩＣ１０１のグランド端子１０１ｃは、基準電位であるグランド（接地電位）と接続されている。

[0032] 上述した構成を備えたＤＣ－ＤＣコンバータ１００は、スイッチング制御ＩＣ１０１によるスイッチング制御により、入力ライン１０５に入力される入力電圧Ｖｉｎを降圧し、出力ライン１０６から出力電圧Ｖｏｕｔを出力する。

[0033] このとき、ＤＣ－ＤＣコンバータは、スイッチング素子によるスイッチングを行っており、スイッチング周波数に準じた低周波帯のノイズやスイッチング周波数よりも高周波帯のパルス電流などが発生する。

[0034] ＜第１の実施形態＞

図２は、本発明の第１の実施形態におけるノイズ除去回路を示す図である。なお、図１に示すＤＣ－ＤＣコンバータの回路と同じ部分については、同一の符号を付して詳しい説明は省略する。

[0035] 第１の実施形態におけるノイズ除去回路１０は、第１のキャパシタ１１と、第２のキャパシタ１２と、インダクタ（第１のインダクタ）１３とを備える。このノイズ除去回路１０は、ＤＣ－ＤＣコンバータ１００の出力ライン１０６と、グランドと、スイッチング制御ＩＣ１０１のグランド端子１０１ｃとの間に接続されている。

[0036] 第１のキャパシタ１１は、出力ライン１０６と、スイッチング制御ＩＣ１０１のグランド端子１０１ｃとの間に接続されている。

[0037] 第２のキャパシタ１２は、出力ライン１０６と、グランドとの間に接続されている。この第２のキャパシタ１２は、図１に示す出力側キャパシタ１０４に対応するものである。すなわち、第２のキャパシタ１２は、ＤＣ－ＤＣコンバータ１００を構成する出力側キャパシタでもある。

[0038] 本実施形態において、第２のキャパシタ１２の容量は、第１のキャパシタ１１の容量よりも大きい。ただし、第２のキャパシタ１２の容量は、第１の

キャパシタ１１の容量と同じであってもよい。

[0039] インダクタ１３は、スイッチング制御ＩＣ１０１のグランド端子１０１ｃとグランドとの間に接続されている。

[0040] 上述した構成により、出力ライン１０６を流れる高周波帯のパルス電流は、第１のキャパシタ１１およびインダクタ１３の方に流れて抑制される。また、出力ライン１０６を通る低周波帯のノイズは、第２のキャパシタ１２を通って抑制される。

[0041] 特に、第２のキャパシタ１２の容量を第１のキャパシタ１１の容量よりも大きくすることにより、第２のキャパシタ１２のインピーダンスが低くなるので、低周波帯のノイズを第２のキャパシタ１２の方に流して、効果的に抑制することができる。ただし、第２のキャパシタ１２の容量と第１のキャパシタ１１の容量が同じであっても、第１のキャパシタ１１に直列にインダクタ１３が接続されているため、インピーダンスが高くなり同様の効果を発揮する。

[0042] すなわち、本実施形態におけるノイズ除去回路１０によれば、高周波帯のノイズとともに、低周波帯のノイズを効果的に抑制することができる。これにより、出力ライン１０６から、高周波帯および低周波帯のノイズが抑制された出力電圧Ｖｏｕｔを出力することができる。

[0043] （ノイズ除去素子）

図３は、第１の実施形態におけるノイズ除去回路を具現化したノイズ除去素子３０の外観を示す斜視図である。図４は、図３に示すノイズ除去素子３０の平面図である。また、図５（ａ）は、図３に示すノイズ除去素子３０をＶ－Ｖ線で切断したときの切断面を示す図、図５（ｂ）は、内部配線の位置を示す斜視図、図５（ｃ）は、ビアホール導体の代わりにコイルを設けた場合の斜視図である。ただし、図５（ｂ）および（ｃ）では、表面配線３２の一部およびランド電極３４の一部と、第１のキャパシタ１１および第２のキャパシタ１２とを省略している。

[0044] ノイズ除去素子３０は、フェライト積層基板３１と、フェライト積層基板

３１上に実装された第１のキャパシタ１１と、フェライト積層基板３１上に実装された第２のキャパシタ１２と、フェライト積層基板３１内に設けられてインダクタとして機能する内部配線３３と、フェライト積層基板３１の表面に設けられた表面配線３２と、フェライト積層基板３１の表面に設けられたランド電極３４とを備える。

[0045] 第１のキャパシタ１１は、一対の外部電極１１ａ、１１ｂがランド電極３４上に位置するような態様で実装されている。また、第２のキャパシタ１２は、一対の外部電極１２ａ、１２ｂがランド電極３４上に位置するような態様で実装されている。

[0046] 図５（ａ）および（ｂ）に示すように、フェライト積層基板３１は、第１の非磁性体層３１ａ、磁性体層３１ｂ、および、第２の非磁性体層３１ｃが順に積層された構造を有する。すなわち、第１の非磁性体層３１ａと第２の非磁性体層３１ｃによって、非磁性体層３１ａ、３１ｃよりも透磁率が高い磁性体層３１ｂを挟むように、第１の非磁性体層３１ａ、磁性体層３１ｂ、および、第２の非磁性体層３１ｃが配置されている。第１の非磁性体層３１ａ、磁性体層３１ｂ、および、第２の非磁性体層３１ｃはいずれも、複数のセラミック絶縁体層が積層された構造を有する。

[0047] 図４に示すように、ノイズ除去素子３０は、ＤＣ－ＤＣコンバータの出力ラインと、グランドと、スイッチング制御ＩＣのグランド端子との間に接続される。

[0048] 第１のキャパシタ１１の一端側に位置する外部電極１１ａは、表面配線３２を介して、ＤＣ－ＤＣコンバータの出力ラインと接続され、他端側に位置する外部電極１１ｂは、表面配線３２を介して、スイッチング制御ＩＣのグランド端子と接続される。

[0049] 第２のキャパシタ１２の一端側に位置する外部電極１２ａは、表面配線３２を介して、ＤＣ－ＤＣコンバータの出力ラインと接続され、他端側に位置する外部電極１２ｂは、表面配線３２を介して、グランドと接続される。

[0050] 内部配線３３は、その一端が表面配線３２を介して第１のキャパシタ１１

と接続され、他端が表面配線３２を介して第２のキャパシタ１２と接続されている。より詳しくは、内部配線３３の一端は、表面配線３２を介して、第１のキャパシタ１１の外部電極１１ｂと接続されている。また、内部配線３３の他端は、表面配線３２を介して、第２のキャパシタ１２の外部電極１２ｂと接続されている。

[0051] ここで、図５（ａ）および（ｂ）に示すように、内部配線３３は、磁性体層３１ｂと第２の非磁性体層３１ｃとの界面に設けられている配線３３ｂと、第１の非磁性体層３１ａおよび磁性体層３１ｂを貫通するビアホール導体３３ａとを含む。ビアホール導体３３ａは、フェライト積層基板３１の表面に設けられている表面配線３２と、配線３３ｂとを接続している。ビアホール導体３３ａと配線３３ｂのうち、主にビアホール導体３３ａがインダクタ１３として機能する。

[0052] なお、図５（ｃ）に示すように、ビアホール導体３３ａの代わりに、積層方向に巻回軸を有するコイル３５をインダクタ１３として設けてもよい。

[0053] 図３および図４に示すように、表面配線３２は、第１のキャパシタ１１とスイッチング制御ＩＣのグランド端子との間、第１のキャパシタ１１および第２のキャパシタ１２とＤＣ－ＤＣコンバータの出力ラインとの間、および、第２のキャパシタ１２とグランドとの間を接続する。これらの接続を表面配線３２で行うことにより、意図しないインダクタが形成されることを防ぐことができる。

[0054] （ノイズ除去素子の別の構成例１）

図６（ａ）は、第１の実施形態におけるノイズ除去素子の別の構成例を示す斜視図であり、図６（ｂ）は、平面図である。図６に示すノイズ除去素子３０Ａは、図３に示すノイズ除去素子３０の構成に対して、さらに、フェライト積層基板３１上に実装されたスイッチング制御ＩＣ１０１およびメインインダクタ１０２を備える。

[0055] 図６に示すノイズ除去素子３０Ａにおいて、表面配線３２は、第１のキャパシタ１１の外部電極１１ｂとスイッチング制御ＩＣ１０１のグランド端子

との間、第１のキャパシタ１１の外部電極１１ａおよび第２のキャパシタ１２の外部電極１２ａとＤＣ－ＤＣコンバータの出力ラインとの間、第２のキャパシタ１２の外部電極１２ｂとグランドとの間、スイッチング制御ＩＣ１０１と入力ライン１０５（図２参照）との間、スイッチング制御ＩＣ１０１とメインインダクタ１０２（図２参照）との間を接続する。

[0056] 内部配線３３は、その一端がランド電極３４を介して第１のキャパシタ１１の外部電極１１ｂと接続され、他端がランド電極３４を介して第２のキャパシタ１２の外部電極１２ｂと接続されている（図４、図５（ａ）、（ｂ）参照)。

[0057] （ノイズ除去素子の別の構成例２）

図７（ａ）は、第１の実施形態におけるノイズ除去素子のさらに別の構成例を示す斜視図であり、図７（ｂ）は、平面図である。また、図７（ｃ）は、図７（ｂ）のＶＩＩＣ－ＶＩＩＣ線で切断したときの切断面を示す図である。なお、図７（ａ）～（ｃ）では、表面配線の一部およびメインインダクタ１０２を省略している。

[0058] 図７（ａ）～（ｃ）に示すノイズ除去素子３０Ｂは、図６に示すノイズ除去素子３０Ａの構成に対して、第２のキャパシタ１２がフェライト積層基板３１上ではなく、フェライト積層基板３１が実装されたマザー基板４０上に設けられている。

[0059] なお、第１のキャパシタ１１とスイッチング制御ＩＣ１０１との間、および、第１のキャパシタ１１と第２のキャパシタ１２との間の接続関係は、図６に示すノイズ除去素子３０Ａと同じである。ただし、第２のキャパシタ１２がフェライト積層基板３１上ではなく、マザー基板４０上に実装されているため、図７（ｃ）に示すように、第１のキャパシタ１１の外部電極１１ｂと第２のキャパシタ１２の外部電極１２ｂとの間は、インダクタとして機能する内部配線３３と、マザー基板４０上に設けられている表面配線４１とにより接続されている。

[0060] ＜第２の実施形態＞

図８は、第２の実施形態におけるノイズ除去回路を示す図である。なお、図２に示すノイズ除去回路と同じ部分については、同一の符号を付して詳しい説明は省略する。

[0061] 第１の実施形態におけるノイズ除去回路１０は、ＤＣ－ＤＣコンバータ１００の出力側におけるノイズを抑制する構成であった。第２の実施形態におけるノイズ除去回路１０Ａは、ＤＣ－ＤＣコンバータ１００の入力側と出力側のそれぞれでノイズを効果的に抑制する。

[0062] 第２の実施形態におけるノイズ除去回路１０Ａは、第１の実施形態におけるノイズ除去回路１０の構成に加えてさらに、第３のキャパシタ５１と、第４のキャパシタ５２とを備える。

[0063] 第３のキャパシタ５１は、入力ライン１０５とスイッチング制御ＩＣ１０１のグランド端子１０１ｃとの間に接続されている。

[0064] 第４のキャパシタ５２は、入力ライン１０５とグランドとの間に接続されている。この第４のキャパシタ５２は、図１に示す入力側キャパシタ１０３に対応している。すなわち、第４のキャパシタ５２は、ＤＣ－ＤＣコンバータ１００を構成する入力側キャパシタでもある。

[0065] 本実施形態において、第４のキャパシタ５２の容量は、第３のキャパシタ５１の容量よりも大きい。ただし、第４のキャパシタ５２の容量は、第３のキャパシタ５１の容量と同じであってもよい。

[0066] 上述した構成により、出力側だけでなく、入力側においても、高周波帯および低周波帯のノイズを抑制することができる。すなわち、入力ライン１０５上の高周波帯のノイズは、第３のキャパシタ５１およびインダクタ１３の方に流れて抑制され、低周波帯のノイズは、第４のキャパシタ５２の方に流れて抑制される。

[0067] 特に、第４のキャパシタ５２の容量を第３のキャパシタ５１の容量よりも大きくすることにより、第４のキャパシタ５２のインピーダンスが低くなるので、低周波帯のノイズを第４のキャパシタ５２の方に流して、効果的に抑制することができる。ただし、第４のキャパシタ５２の容量と第３のキャパ

シタ５１の容量が同じであっても、第３のキャパシタ５１に直列にインダクタ１３が接続されているため、インピーダンスが高くなり同様の効果を発揮する。

[0068] （ノイズ除去素子）

図９（ａ）は、第２の実施形態におけるノイズ除去回路を具現化したノイズ除去素子３０Ｃの平面図である。また、図９（ｂ）は、第２の実施形態におけるノイズ除去素子の別の構成例を示す平面図である。図９（ａ）および（ｂ）において、図４に示すノイズ除去素子３０と同じ構成部分については、同一の符号を付して、詳しい説明は省略する。

[0069] 図９（ａ）に示すように、ノイズ除去素子３０Ｃは、ＤＣ－ＤＣコンバータの入力ラインと、出力ラインと、グランドと、スイッチング制御ＩＣのグランド端子との間に接続される。

[0070] ノイズ除去素子３０Ｃは、フェライト積層基板３１上に実装された第１のキャパシタ１１、第２のキャパシタ１２、第３のキャパシタ５１、および、第４のキャパシタ５２と、フェライト積層基板３１内に設けられてインダクタとして機能する内部配線３３と、フェライト積層基板３１の表面に設けられた表面配線３２とを備える。

[0071] 第１のキャパシタ１１の一端側に位置する外部電極１１ａは、ＤＣ－ＤＣコンバータの出力ラインと接続され、他端側に位置する外部電極１１ｂはスイッチング制御ＩＣのグランド端子と接続される。

[0072] 第２のキャパシタ１２の一端側に位置する外部電極１２ａは、ＤＣ－ＤＣコンバータの出力ラインと接続され、他端側に位置する外部電極１２ｂはグランドと接続される。

[0073] 第３のキャパシタ５１の一端側に位置する外部電極５１ａは、ＤＣ－ＤＣコンバータの入力ラインと接続され、他端側に位置する外部電極５１ｂはスイッチング制御ＩＣのグランド端子と接続される。

[0074] 第４のキャパシタ５２の一端側に位置する外部電極５２ａは、ＤＣ－ＤＣコンバータの入力ラインと接続され、他端側に位置する外部電極５２ｂは、

グランドと接続される。

[0075] 図４に示すノイズ除去素子３０と同様に、第１のキャパシタ１１と第２のキャパシタ１２との間は、インダクタ１３として機能する内部配線３３（図５（ａ）、（ｂ）参照）により接続されている。また、第３のキャパシタ５１と第４のキャパシタ５２との間も同様に、インダクタ１３として機能する内部配線３３により接続されている。

[0076] なお、内部配線３３は、第１のキャパシタ１１と第２のキャパシタ１２の間、および第３のキャパシタ５１と第４のキャパシタ５２の間にそれぞれ設けなくともよく、図９(ｂ)に示すように、１つの内部配線３３を共有してもよい。この構成の場合、内部配線３３により構成されるインダクタ１３が１つでよいため、素子の小型化や内部配線３３の巻回半径を大きくすることでインダクタンス値を増加させることができる。

[0077] 表面配線３２は、第１のキャパシタ１１および第３のキャパシタ５１とスイッチング制御ＩＣのグランド端子との間、第１のキャパシタ１１および第２のキャパシタ１２とＤＣ－ＤＣコンバータの出力ラインとの間、第２のキャパシタ１２および第４のキャパシタ５２とグランドとの間、および、第３のキャパシタ５１および第４のキャパシタ５２とＤＣ－ＤＣコンバータの入力ラインとの間を接続する。これらの接続を表面配線３２で行うことにより、意図しないインダクタが形成されることを防ぐことができる。

[0078] ＜第２の実施形態の変形例＞

図１０は、第２の実施形態におけるノイズ除去回路の変形構成例を示す図である。なお、図８に示すノイズ除去回路と同じ部分については、同一の符号を付して詳しい説明は省略する。

[0079] 図１０に示すノイズ除去回路１０Ｂでは、図８に示すインダクタ（第１のインダクタ）１３の代わりに、入力側インダクタ１３ａと出力側インダクタ１３ｂが設けられている。なお、入力側インダクタ１３ａおよび出力側インダクタ１３ｂは、本発明における第１のインダクタを構成している。

[0080] 入力側インダクタ１３ａは、第３のキャパシタ５１と第４のキャパシタ５

２との間に設けられている。入力側インダクタ１３ａの、第４のキャパシタ５２と接続されている側の一端は、入力側グランド線６１を介してグランドと接続されている。

[0081] 出力側インダクタ１３ｂは、第１のキャパシタ１１と第２のキャパシタ１２との間に設けられている。出力側インダクタ１３ｂの、第２のキャパシタ１２と接続されている側の一端は、出力側グランド線６２を介してグランドと接続されている。

[0082] このように、入力側インダクタ１３ａが入力側グランド線６１を介してグランドと接続され、出力側インダクタ１３ｂが出力側グランド線６２を介してグランドと接続される構成とすることにより、入力側と出力側との間でのノイズの伝達を抑制することができるので、より効果的にノイズを抑制することができる。

[0083] （ノイズ除去素子）

図１１は、図１０に示す第２の実施形態の変形例におけるノイズ除去回路を具現化したノイズ除去素子３０Ｄの平面図である。図１１において、図９（ａ）に示すノイズ除去素子３０Ｃと同じ構成部分については、同一の符号を付して、詳しい説明は省略する。

[0084] 図９（ａ）に示すノイズ除去素子３０Ｃでは、第２のキャパシタ１２の外部電極１２ｂと第４のキャパシタ５２の外部電極５２ｂとの間が表面配線３２で接続され、さらにその表面配線３２がグランドと接続されている。

[0085] これに対して、図１１に示すノイズ除去素子３０Ｄでは、表面配線３２に、入力側インダクタ１３ａとグランドとを接続するための入力側グランド用表面配線３２１と、出力側インダクタ１３ｂとグランドとを接続するための出力側グランド用表面配線３２２とが含まれている。これにより、第４のキャパシタ５２の外部電極５２ｂは、入力側グランド用表面配線３２１を介してグランドと接続され、第２のキャパシタ１２の外部電極１２ｂは、出力側グランド用表面配線３２２を介してグランドと接続される。入力側グランド用表面配線３２１は、図１０に示す入力側グランド線６１に対応する線であ

り、出力側グランド用表面配線３２２は、図１０に示す出力側グランド線６２に対応する線である。

[0086] なお、図９に示すノイズ除去素子３０Ｃでも、第１のキャパシタ１１と第２のキャパシタ１２との間を接続する内部配線３３により形成されるインダクタ１３と、第３のキャパシタ５１と第４のキャパシタ５２との間を接続する内部配線３３により形成されるインダクタ１３が存在する。ただし、第２のキャパシタ１２と第４のキャパシタ５２との間が表面配線３２で接続されているため、入力側と出力側との間でノイズが伝達する可能性がある。

[0087] これに対して、図１１に示すノイズ除去素子３０Ｄでは、入力側インダクタ１３ａは、入力側グランド用表面配線３２１を介してグランドと接続され、出力側インダクタ１３ｂは、出力側グランド用表面配線３２２を介してグランドと接続される。すなわち、第２のキャパシタ１２と第４のキャパシタ５２との間は接続されていないので、入力側と出力側との間でのノイズの伝達を抑制することができる。

＜第３の実施形態＞

図１２は、第３の実施形態におけるノイズ除去回路１０Ｄを示す図である。なお、図２に示すノイズ除去回路１０と同じ部分については、同一の符号を付して詳しい説明は省略する。

[0088] 第３の実施形態におけるノイズ除去回路１０Ｄは、図２に示すノイズ除去回路１０の構成に対して、さらにインダクタ１２０を備える。ここでは、各インダクタを区別するため、インダクタ１３を第１のインダクタ１３、インダクタ１２０を第２のインダクタ１２０と呼ぶ。

[0089] 第２のインダクタ１２０は、出力ライン１０６と第１のキャパシタ１１との間に接続されている。

[0090] 第１の実施形態におけるノイズ除去回路１０と同様に、第３の実施形態におけるノイズ除去回路１０Ｄでも、出力ライン１０６を流れる高周波帯のパルス電流は、第２のインダクタ１２０、第１のキャパシタ１１および第１のインダクタ１３の方に流れて抑制され、低周波帯のノイズは、第２のキャパ

シタ１２を通って抑制される。

[0091] また、直列に接続された第２のインダクタ１２０と第１のキャパシタ１１によって構成されるフィルタによって、出力ライン１０６を流れるスパイクノイズを効果的に低減することができる。

[0092] （ノイズ除去素子）

図１３は、第３の実施形態におけるノイズ除去回路１０Ｄを含むＤＣ－ＤＣコンバータの回路を具現化したノイズ除去素子１３０の平面図である。図１４は、図１３に示すノイズ除去素子１３０をＸＩＶ－ＸＩＶ線で切断したときの断面図である。また、図１５は、ノイズ除去素子１３０を構成するフェライト積層基板１３１の各層を示す平面図である。

[0093] ノイズ除去素子１３０は、フェライト積層基板１３１と、第１のキャパシタ１１と、第２のキャパシタ１２と、第３のキャパシタ１３２と、スイッチング制御ＩＣ１０１と、フェライト積層基板１３１の表面に設けられた表面配線３２と、フェライト積層基板１３１内に設けられてインダクタとして機能する内部配線３３（３３ｆ、３３ｇ）と、フェライト積層基板３１の表面に設けられたランド電極３４とを備える。

[0094] 第１のキャパシタ１１は、一対の外部電極１１ａ、１１ｂがランド電極３４上に位置するような態様で実装されている。第２のキャパシタ１２は、一対の外部電極１２ａ、１２ｂがランド電極３４上に位置するような態様で実装されている。

[0095] 第３のキャパシタ１３２は、一対の外部電極１３２ａ、１３２ｂがランド電極３４上に位置するような態様で実装されている。第３のキャパシタ１３２は、図１に示す入力側キャパシタ１０３に対応するものである。

[0096] 図１４および図１５に示すように、フェライト積層基板１３１は、第１の非磁性体層１３１ａ、第１の磁性体層１３１ｂ、第２の磁性体層１３１ｃ、第３の磁性体層１３１ｄ、および、第２の非磁性体層１３１ｅが順に積層された構造を有する。すなわち、第１の非磁性体層１３１ａと第２の非磁性体層１３１ｅによって、非磁性体層１３１ａ、１３１ｅよりも透磁率が高い、

第１の磁性体層１３１ｂ、第２の磁性体層１３１ｃおよび第３の磁性体層１３１ｄを挟むように配置されている。これにより、外部に磁束が漏れることを抑制することができる。

[0097] なお、図１５において、第１の非磁性体層１３１ａ、第１の磁性体層１３１ｂ、第２の磁性体層１３１ｃ、および、第３の磁性体層１３１ｄは、積層方向の上方から見た図であり、第２の非磁性体層１３１ｅは、積層方向の下方から見た図を示している。

[0098] 第２の非磁性体層１３１ｅには、入力電極１４１と、出力電極１４２と、２つのグランド電極１４３、１４４が設けられている。

[0099] 入力電極１４１は、表面配線３２を介して、スイッチング制御ＩＣ１０１の入力端子と接続されている。入力電極１４１とスイッチング制御ＩＣ１０１の入力端子とを接続する表面配線３２は、第１の非磁性体層１３１ａの上だけでなく、フェライト積層基板１３１の側面にも設けられている。入力電極１４１とスイッチング制御ＩＣ１０１の入力端子とを、フェライト積層基板１３１の内部の配線ではなく、表面や側面の表面配線３２で接続することにより、意図しないインダクタが形成されることを防ぐことができる。

[0100] 出力電極１４２は、表面配線３２を介して、第２のキャパシタ１２の外部電極１２ｂが実装されるランド電極３４（図１３参照）と接続されている。出力電極１４２と、第２のキャパシタ１２の外部電極１２ｂが実装されるランド電極３４とを接続する表面配線３２は、第１の非磁性体層１３１ａの上だけでなく、フェライト積層基板１３１の側面にも設けられている。出力電極１４２と第２のキャパシタ１２の外部電極とを、フェライト積層基板１３１の内部の配線ではなく、表面や側面の表面配線３２で接続することにより、意図しないインダクタが形成されることを防ぐことができる。

[0101] ２つのグランド電極１４３、１４４は、グランドと接続される。

[0102] 第１の磁性体層１３１ｂ、第２の磁性体層１３１ｃおよび第３の磁性体層１３１ｄにそれぞれ設けられている内部配線３３ｆは、ビアホール導体１３５によって接続されて、メインインダクタ１０２を構成する。

[0103] 第１の磁性体層１３１ｂに配置されている内部配線３３ｇは、第２のインダクタ１２０を構成する。内部配線３３ｇの一端は、第１の磁性体層１３１ｂに配置されている内部配線３３ｆと接続されており、他端は、ビアホール導体１３５を介して、第１のキャパシタ１１の外部電極１１ｂが実装されるランド電極３４と接続されている。

[0104] 図１２に示す第１のインダクタ１３は、図１５に示すビアホール導体１３５ａによって構成されている。ビアホール導体１３５ａによって構成される第１のインダクタ１３の一端は、スイッチング制御ＩＣ１０１のグランド端子と接続され、他端は、グランド電極１４３と接続されている。

[0105] （ノイズ除去素子の別の構成例）

上述したノイズ除去素子１３０のうち、スイッチング制御ＩＣ１０１、メインインダクタ１０２、および、第３のキャパシタ１３２を、フェライト積層基板１３１の外部に設けるように構成してもよい。

[0106] 図１６（ａ）は、スイッチング制御ＩＣ１０１、メインインダクタ１０２、および、第３のキャパシタ１３２を、フェライト積層基板１３１の外部に設ける構成とした場合のノイズ除去素子１３０Ａの平面図である。また、図１６（ｂ）は、図１６（ａ）に示すノイズ除去素子１３０ＡをＸＶＩＢ－ＸＶＩＢ線で切断したときの切断面を示す図である。

[0107] 図１６に示すノイズ除去素子１３０Ａが図４に示すノイズ除去素子３０と異なるのは、第１のキャパシタ１１の外部電極１１ｂが内部配線３３ｋおよび表面配線３２を介して、ＤＣ－ＤＣコンバータの出力ラインと接続されることである。内部配線３３ｋは、図１２に示す第２のインダクタ１２０を構成する。このような構成でも同様に、出力ラインを流れるスパイクノイズを効果的に低減することができる。また、スパイクノイズがインダクタ１３を介してグランドに流れることを抑制することができるので、グランドを介してノイズ除去素子１３０内にスパイクノイズが混入することを効果的に抑制することができる。

[0108] 本発明は、上記実施形態に限定されるものではなく、本発明の範囲内にお

いて、種々の応用、変形を加えることが可能である。

[0109] 例えば、第１の実施形態におけるノイズ除去回路１０は、ＤＣ－ＤＣコンバータの出力側に設けられるものとして説明したが、入力側に設けられてもよい。

[0110] 図１７は、入力側に設けられたノイズ除去回路１０Ｃの構成を示す図である。図１７において、図１および図２に示すＤＣ－ＤＣコンバータ１００の回路と同じ部分については、同一の符号を付して、詳しい説明は省略する。

[0111] 図１７に示すノイズ除去回路１０Ｃは、第１のキャパシタ１７１と、第２のキャパシタ１７２と、インダクタ１３とを備える。

[0112] 第１のキャパシタ１７１は、入力ライン１０５と、スイッチング制御ＩＣ１０１のグランド端子１０１ｃとの間に接続されている。

[0113] 第２のキャパシタ１７２は、入力ライン１０５と、グランドとの間に接続されている。この第２のキャパシタ１７２は、図１に示す入力側キャパシタ１０３に対応している。

[0114] なお、第１のキャパシタ１７１および第２のキャパシタ１７２が図１の入力側キャパシタ１０３に対応しているととらえることもできる。

[0115] すなわち、第２のキャパシタ１７２、または、第１のキャパシタ１７１と第２のキャパシタ１７２は、ＤＣ－ＤＣコンバータ１００を構成する入力側キャパシタでもある。

[0116] 第２のキャパシタ１７２の容量は、第１のキャパシタ１７１の容量よりも大きい。ただし、第２のキャパシタ１７２の容量は、第１のキャパシタ１７１の容量と同じであってもよい。

[0117] インダクタ１３は、スイッチング制御ＩＣ１０１のグランド端子１０１ｃとグランドとの間に接続されている。

[0118] 上述した構成により、入力ライン１０５を流れる高周波帯のパルス電流は、第１のキャパシタ１７１およびインダクタ１３の方に流れて抑制される。また、入力ライン１０５を通る低周波帯のノイズは、第２のキャパシタ１７２を通って抑制される。

[0119] 図８に示す第２の実施形態におけるノイズ除去回路１０Ａは、図２に示す第１の実施形態におけるノイズ除去回路１０の構成に加えてさらに、第３のキャパシタ５１と、第４のキャパシタ５２とを備える。同様に、図１２に示す第３の実施形態におけるノイズ除去回路１０Ｄの構成に加えてさらに、第３のキャパシタ５１と、第４のキャパシタ５２とを備える構成としてもよい。そのようなノイズ除去回路１０Ｅの構成を図１８に示す。

[0120] また、図示は省略するが、図１８に示すノイズ除去回路１０Ｅを具現化したノイズ除去素子を作製することもできる。

[0121] 上述した説明では、降圧型のＤＣ－ＤＣコンバータにノイズ除去回路またはノイズ除去素子を設ける例について説明したが、昇圧型のＤＣ－ＤＣコンバータ、および、昇降圧型のＤＣ－ＤＣコンバータに設けることもできる。

符号の説明

[0122] １０　第１の実施形態におけるノイズ除去回路

１０Ａ　第２の実施形態におけるノイズ除去回路

１０Ｂ　第２の実施形態の変形構成例におけるノイズ除去回路

１０Ｃ　入力側に設ける場合のノイズ除去回路

１０Ｄ　第３の実施形態におけるノイズ除去回路

１０Ｅ　第３の実施形態におけるノイズ除去回路に、第３のキャパシタと第４のキャパシタを追加した構成のノイズ除去回路

１１　第１のキャパシタ

１２　第２のキャパシタ

１３　インダクタ（第１のインダクタ）

１３ａ　入力側インダクタ

１３ｂ　出力側インダクタ

３０，３０Ａ，３０Ｂ　第１の実施形態におけるノイズ除去素子

３０Ｃ　第２の実施形態におけるノイズ除去素子

３０Ｄ　第２の実施形態の変形例におけるノイズ除去素子

３１　フェライト積層基板

３２　表面配線

３３　内部配線

３４　ランド電極

３５　コイル

４０　マザー基板

５１　第３のキャパシタ

５２　第４のキャパシタ

６１　入力側グランド線

６２　出力側グランド線

１００　ＤＣ－ＤＣコンバータ

１０１　スイッチング制御ＩＣ

１０１ａ　入力端子

１０１ｂ　出力端子

１０１ｃ　グランド端子

１０２　メインインダクタ

１０３　入力側キャパシタ

１０４　出力側キャパシタ

１０５　入力ライン

１０６　出力ライン

１２０　第２のインダクタ

１３０　第３の実施形態におけるノイズ除去素子

１３１　フェライト積層基板

１３１ａ　第１の非磁性体層

１３１ｂ　第１の磁性体層

１３１ｃ　第２の磁性体層

１３１ｄ　第３の磁性体層

１３１ｅ　第２の非磁性体層

１３２　第３のキャパシタ

１４１　入力電極

１４２　出力電極

１４３　グランド電極

１４４　グランド電極

１７１　第１のキャパシタ

１７２　第２のキャパシタ

３２１　入力側グランド用表面配線

３２２　出力側グランド用表面配線

請求の範囲

[請求項1] ＤＣ－ＤＣコンバータの入力ラインおよび出力ラインのうちの少なくとも一方のラインと、グランドと、前記ＤＣ－ＤＣコンバータに含まれるスイッチング制御ＩＣのグランド端子との間に接続されるノイズ除去回路であって、

前記少なくとも一方のラインと前記グランド端子との間に接続される第１のキャパシタと、

前記少なくとも一方のラインと前記グランドとの間に接続される第２のキャパシタと、

前記グランド端子と前記グランドとの間に接続される第１のインダクタと、

を備えることを特徴とするノイズ除去回路。

[請求項2] 前記第２のキャパシタの容量は、前記第１のキャパシタの容量以上であることを特徴とする請求項１に記載のノイズ除去回路。

[請求項3] 前記第１のキャパシタは、前記出力ラインと前記グランド端子との間に接続され、

前記第２のキャパシタは、前記出力ラインと前記グランドとの間に接続され、

前記入力ラインと前記グランド端子との間に接続される第３のキャパシタと、

前記入力ラインと前記グランドとの間に接続される第４のキャパシタと、

をさらに備えることを特徴とする請求項１または２に記載のノイズ除去回路。

[請求項4] 前記第４のキャパシタの容量は、前記第３のキャパシタの容量以上であることを特徴とする請求項３に記載のノイズ除去回路。

[請求項5] 前記第１のインダクタには、入力側インダクタと出力側インダクタが含まれており、

前記入力側インダクタは入力側グランド線を介して前記グランドと接続され、前記出力側インダクタは出力側グランド線を介して前記グランドと接続されていることを特徴とする請求項３または４に記載のノイズ除去回路。

[請求項6] 前記少なくとも一方のラインと前記第１のキャパシタとの間に接続される第２のインダクタをさらに備えることを特徴とする請求項１～５のいずれかに記載のノイズ除去回路。

[請求項7] ＤＣ－ＤＣコンバータの入力ラインおよび出力ラインのうちの少なくとも一方のラインと、グランドと、前記ＤＣ－ＤＣコンバータに含まれるスイッチング制御ＩＣのグランド端子との間に接続されるノイズ除去素子であって、

フェライト積層基板と、

前記フェライト積層基板上に実装され、一端が前記少なくとも一方のラインと接続され、他端が前記グランド端子と接続される第１のキャパシタと、

前記フェライト積層基板内に内部配線により設けられるインダクタであって、一端が前記第１のキャパシタと接続されており、他端が前記第１のキャパシタとは異なる第２のキャパシタと接続される第１のインダクタと、

前記フェライト積層基板の表面に設けられ、前記第１のキャパシタと前記グランド端子との間を接続する表面配線と、

を備えることを特徴とするノイズ除去素子。

[請求項8] 前記第２のキャパシタは、前記フェライト積層基板上に実装され、一端が前記少なくとも一方のラインと接続され、他端が前記グランドと接続されることを特徴とする請求項７に記載のノイズ除去素子。

[請求項9] 前記第２のキャパシタの容量は、前記第１のキャパシタの容量以上であることを特徴とする請求項８に記載のノイズ除去素子。

[請求項10] 前記第１のキャパシタの前記一端は、前記出力ラインと接続され、

前記第２のキャパシタの一端は、前記出力ラインと接続され、

前記フェライト積層基板上に実装され、一端が前記入力ラインと接続され、他端が前記グランド端子と接続される第３のキャパシタと、

前記フェライト積層基板上に実装され、一端が前記入力ラインと接続され、他端が前記グランドと接続される第４のキャパシタと、

をさらに備えることを特徴とする請求項７～９のいずれかに記載のノイズ除去素子。

[請求項11] 前記第４のキャパシタの容量は、前記第３のキャパシタの容量以上であることを特徴とする請求項１０に記載のノイズ除去素子。

[請求項12] 前記第１のインダクタには、入力側インダクタと出力側インダクタが含まれており、

前記表面配線には、前記入力側インダクタと前記グランドとを接続するための入力側グランド用表面配線と、前記出力側インダクタと前記グランドとを接続するための出力側グランド用表面配線が含まれることを特徴とする請求項１０または１１に記載のノイズ除去素子。

[請求項13] 前記フェライト積層基板内に内部配線により設けられるインダクタであって、一端が前記少なくとも一方のラインと接続されており、他端が前記第１のキャパシタと接続される第２のインダクタをさらに備えることを特徴とする請求項７～１２のいずれかに記載のノイズ除去素子。

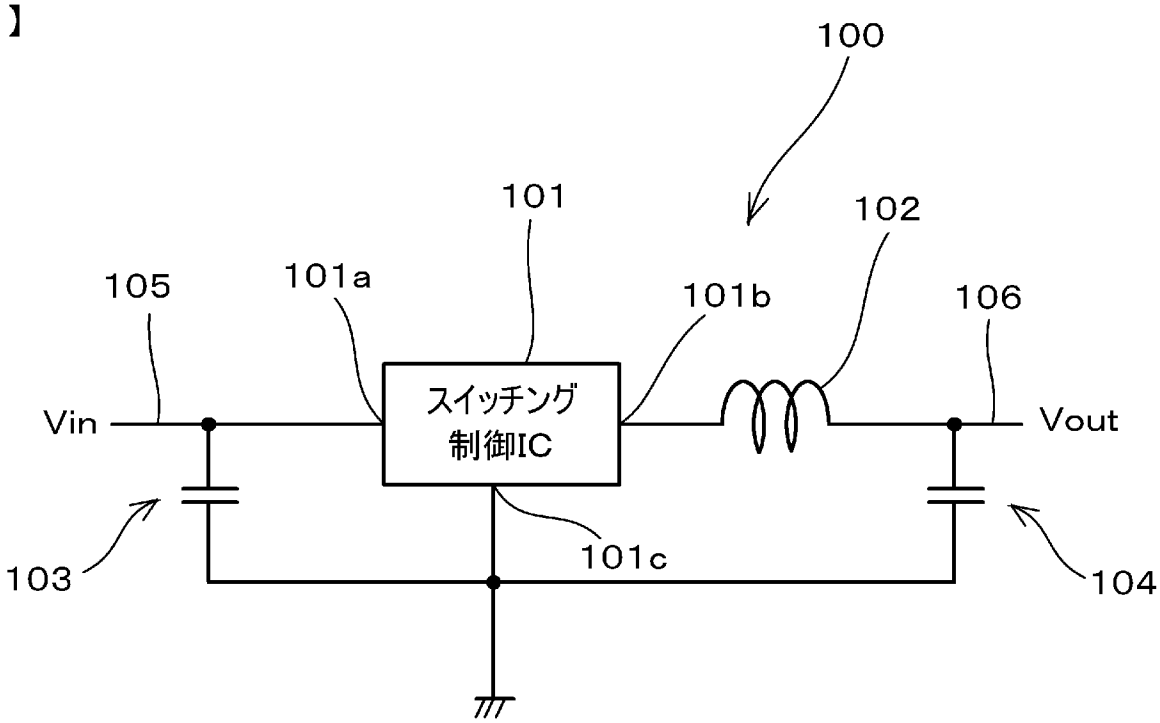
[請求項14] 前記フェライト基板は、非磁性体層と、前記非磁性体層に比べて透磁率が高い磁性体層とを備え、

前記第１のインダクタおよび前記第２のインダクタは、前記磁性体層に配置されていることを特徴とする請求項１３に記載のノイズ除去素子。

[請求項15] 前記非磁性体層は、前記磁性体層を挟むように配置されていることを特徴とする請求項１４に記載のノイズ除去素子。

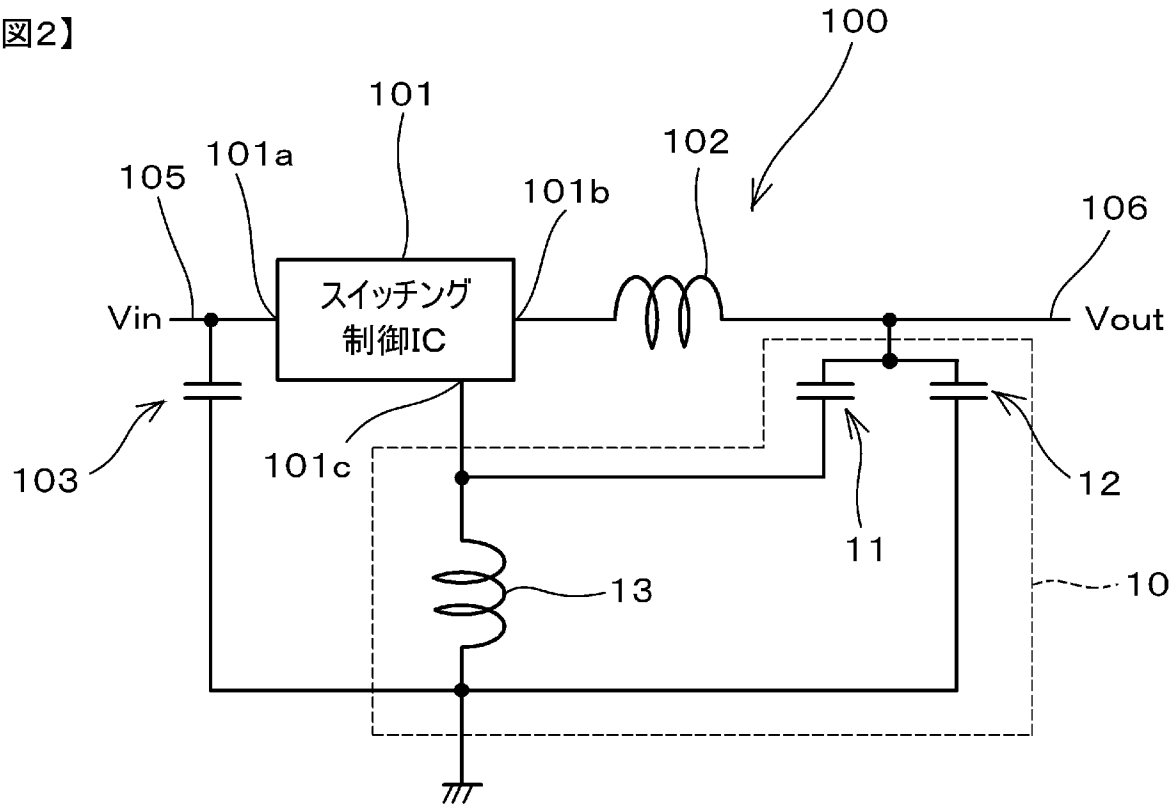
[図1]

【図1】


100
101
102
105
101a
101b
106
スイッチング
制御IC
Vin
Vout
103
101c
104

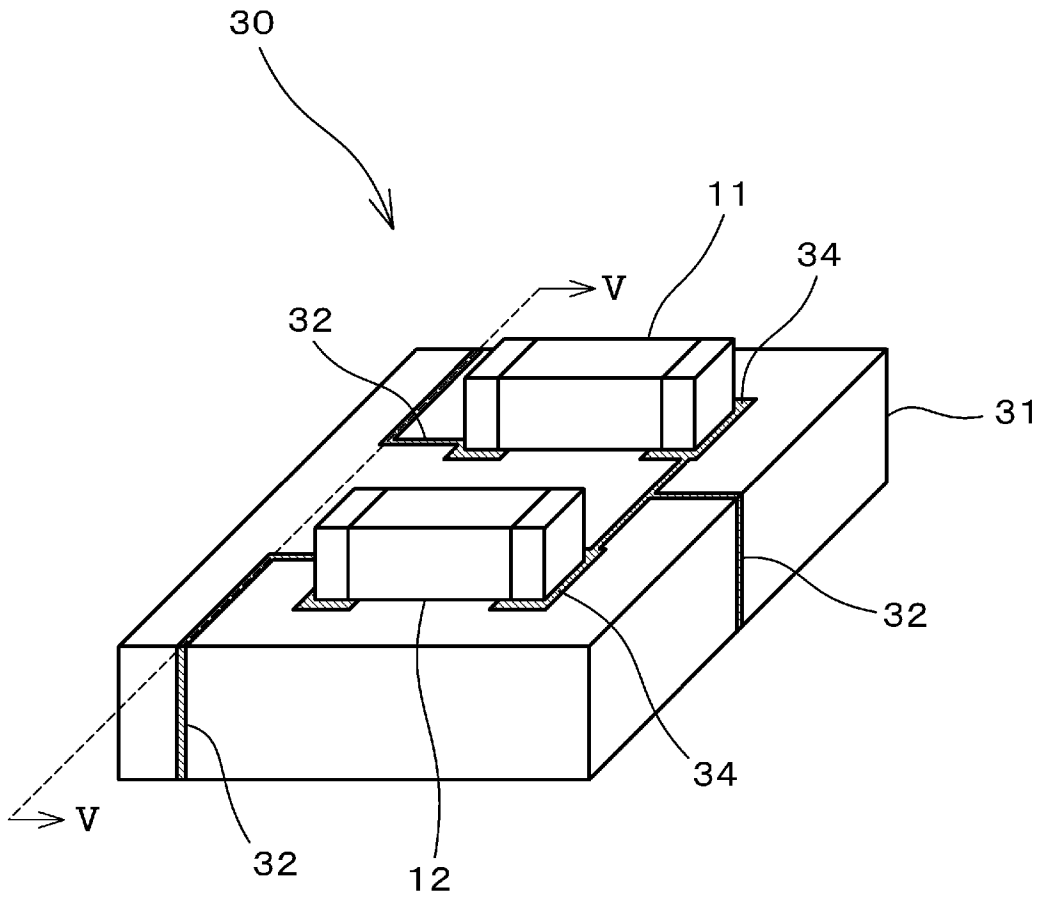
[図2]

【図2】

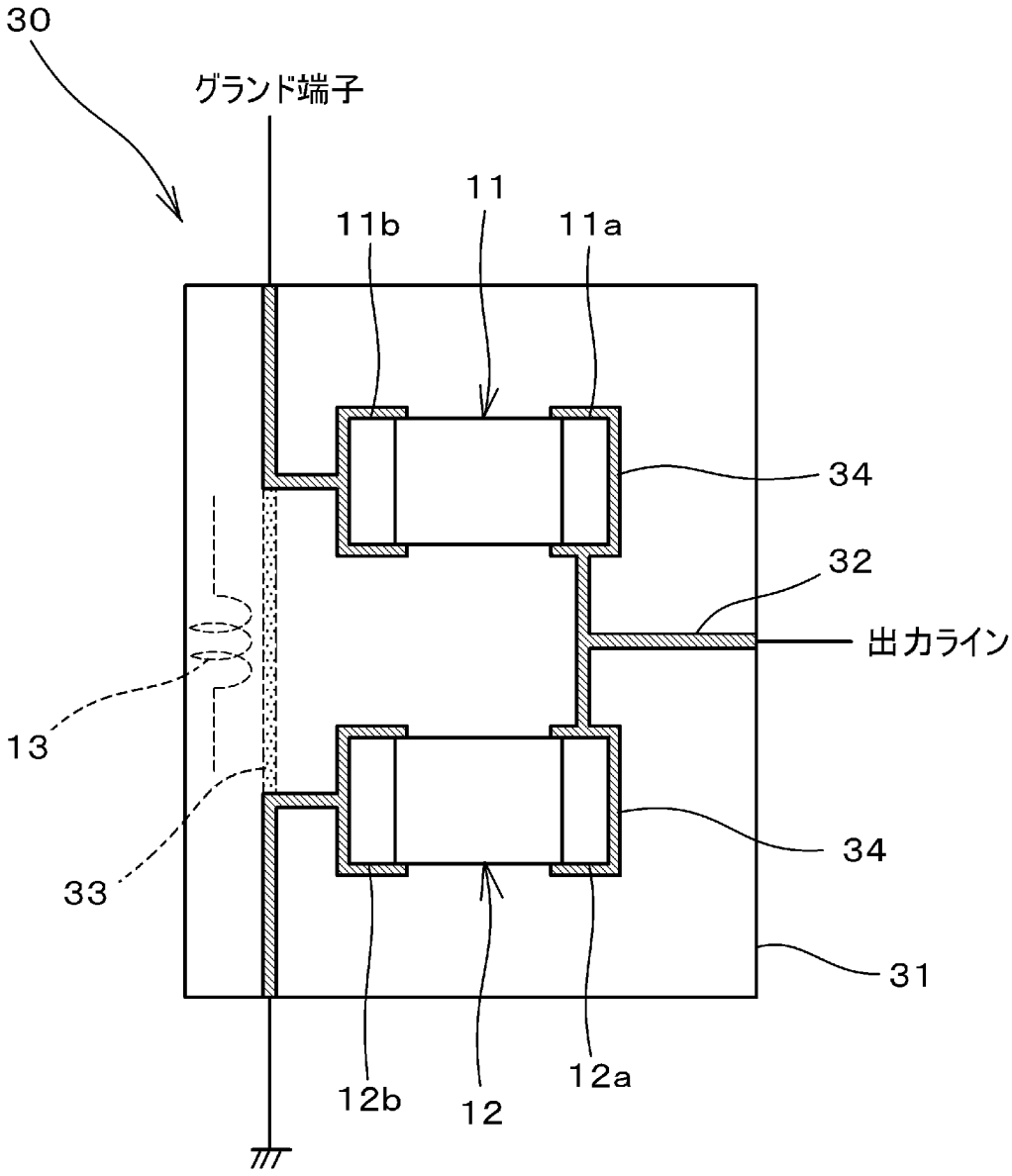

100
101
102
105
101a
101b
106
スイッチング
制御IC
Vin
Vout
103
101c
12
11
13
10

[図3]

【図3】

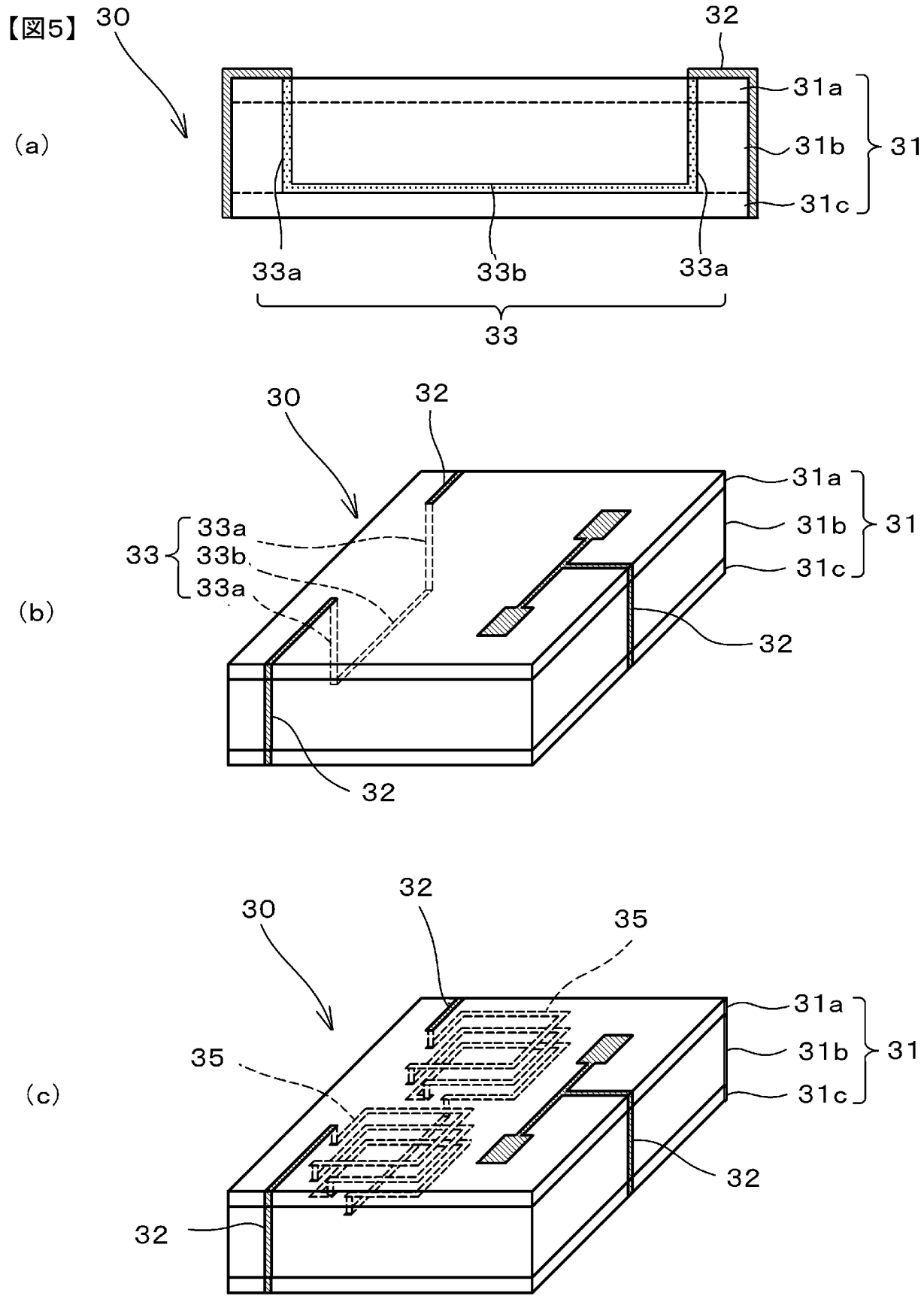


[図4]
【図4】



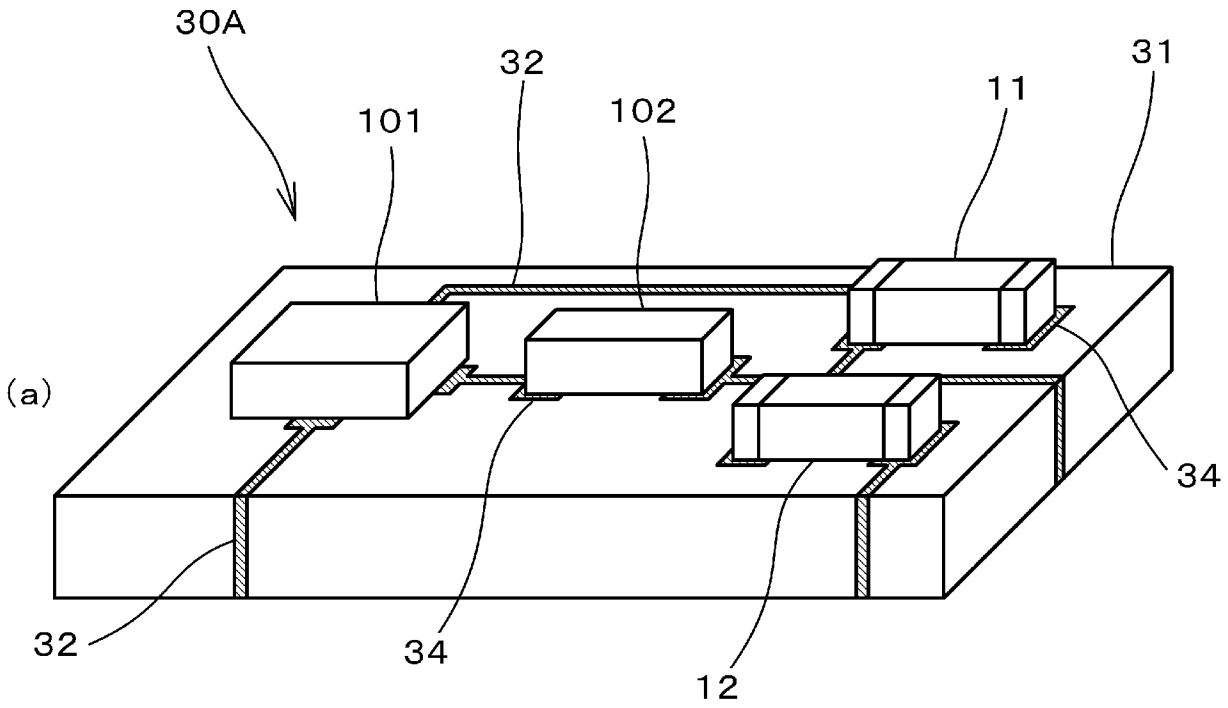
[図5]

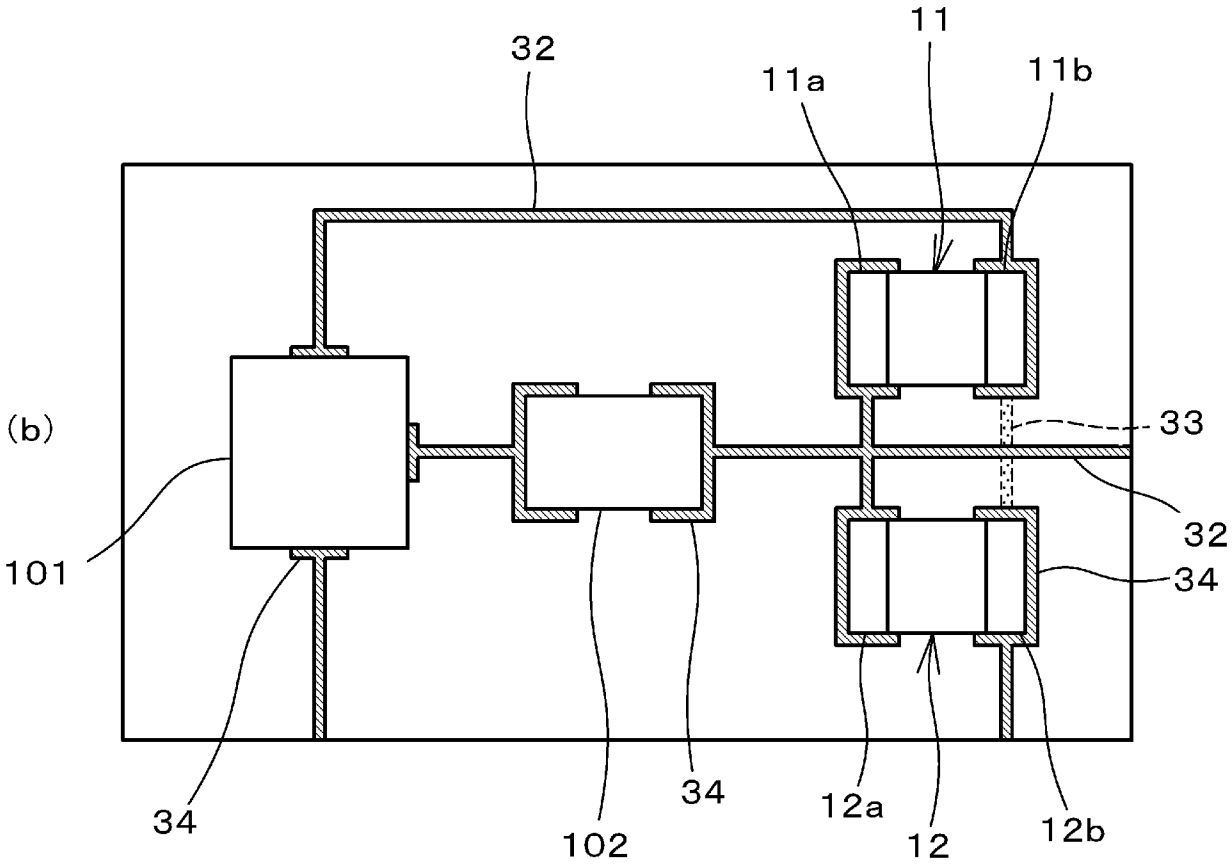
【図5】


(a)
30
32
31a
31b
31c
31
33a
33b
33a
33
(b)
30
32
31a
31b
31c
31
33a
33b
33a
33
32
32
(c)
30
32
35
31a
31b
31c
31
35
32
32

[図6]

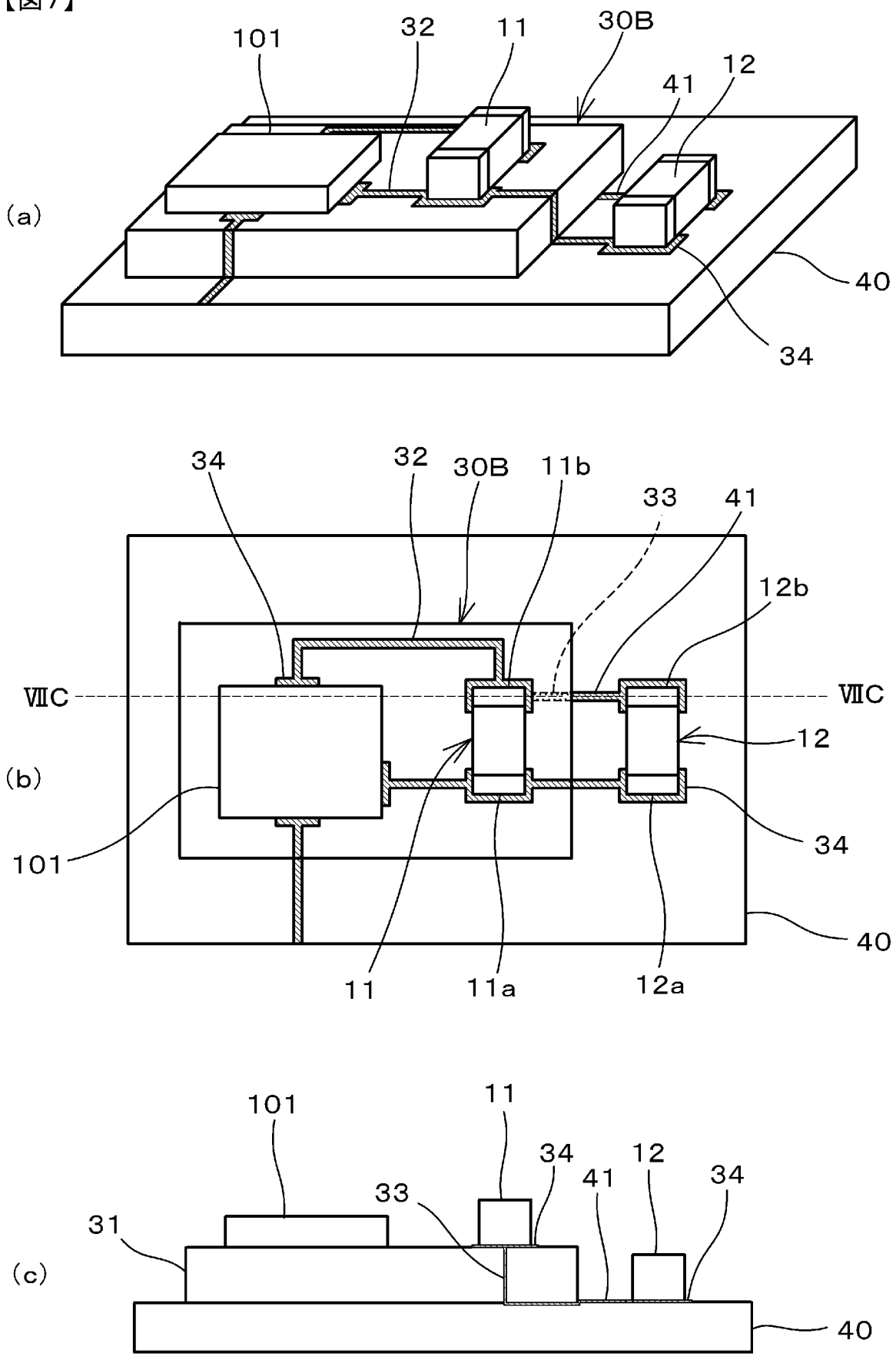
【図6】


30A
32
101
102
11
31
(a)
34
32
34
12


32
11
11a
11b
(b)
33
32
101
34
34
34
102
12a
12
12b

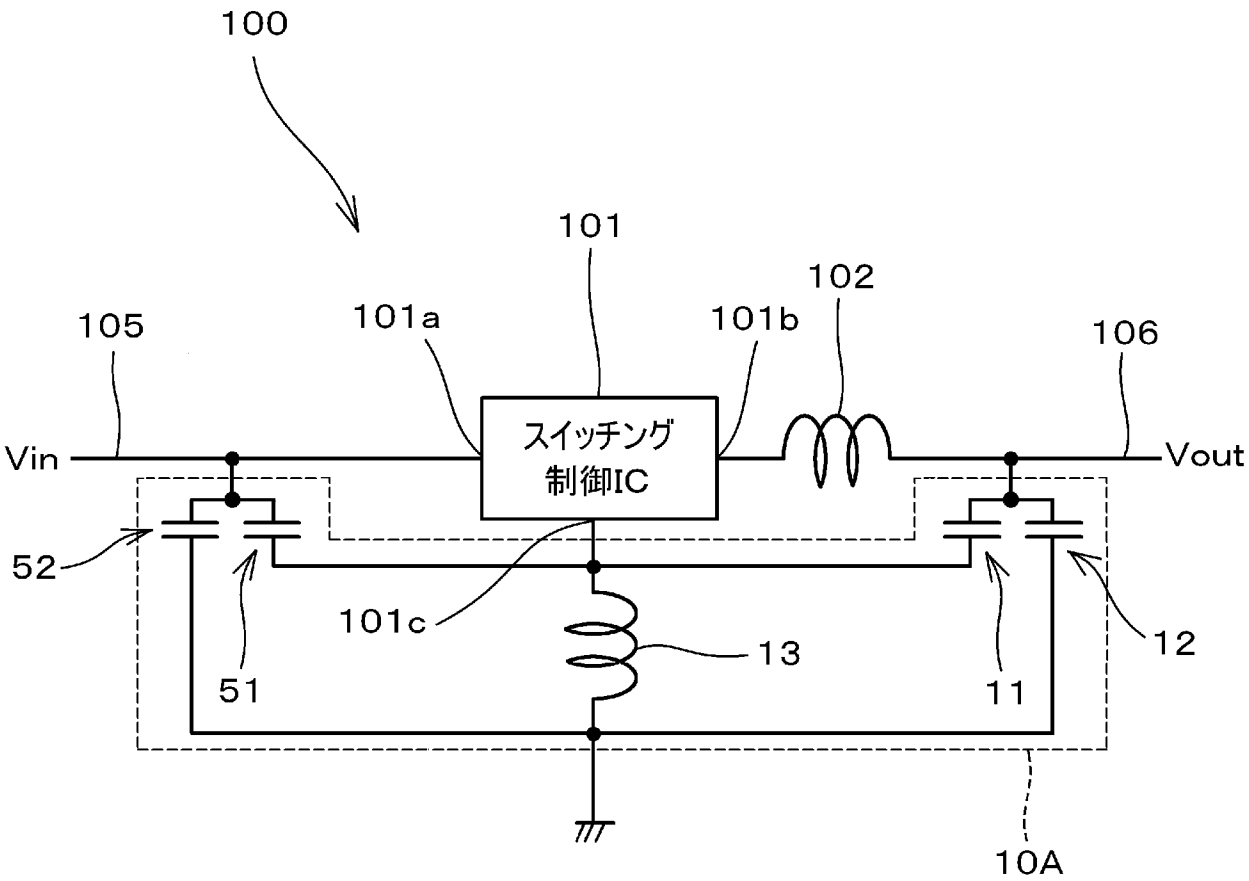
[図7]

【図7】


(a)
101
32
11
30B
41
12
40
34
(b)
34
32
30B
11b
33
41
12b
VIIC
VIIC
12
101
34
40
11
11a
12a
(c)
101
11
34
12
34
33
41
31
40

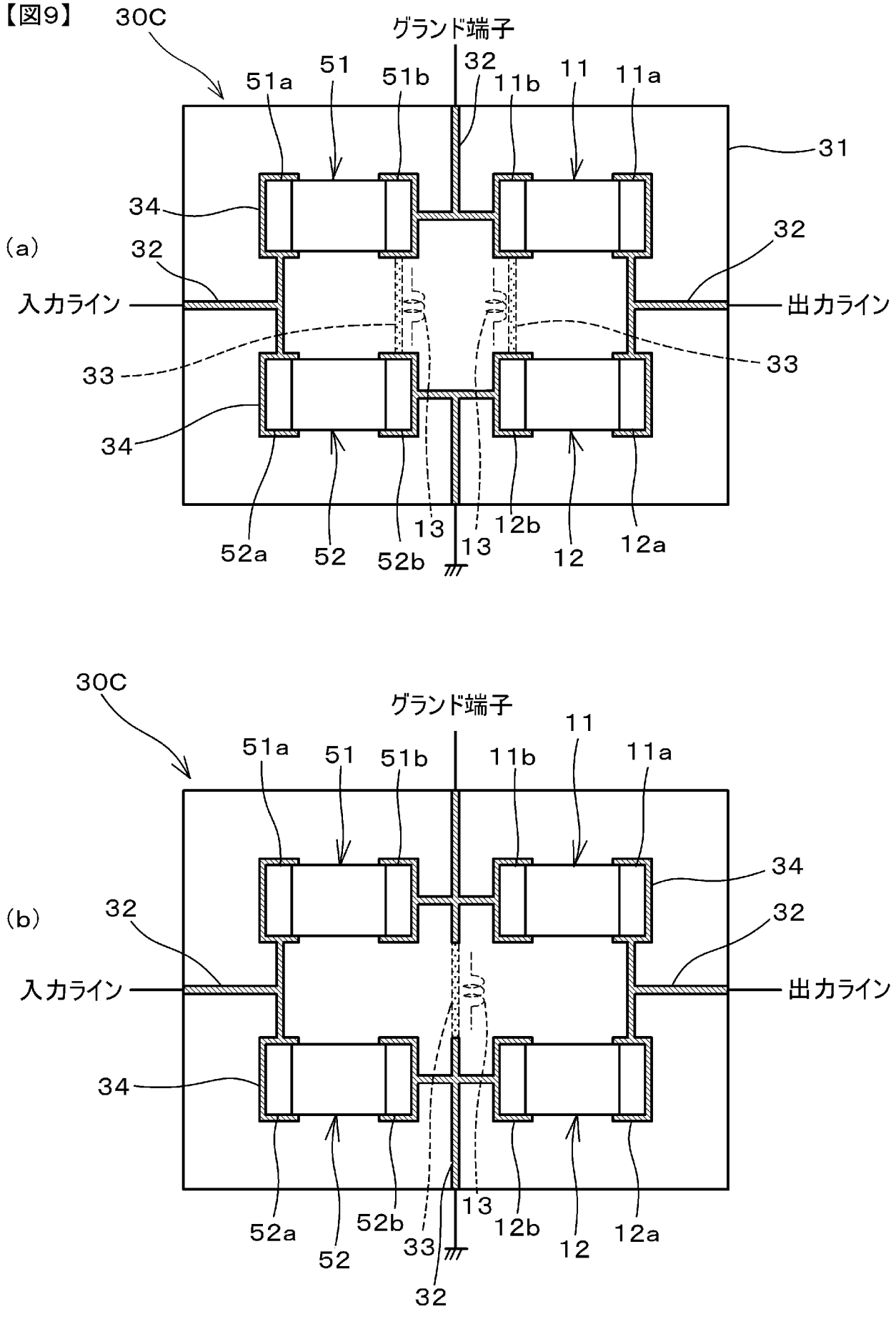
[図8]

【図8】

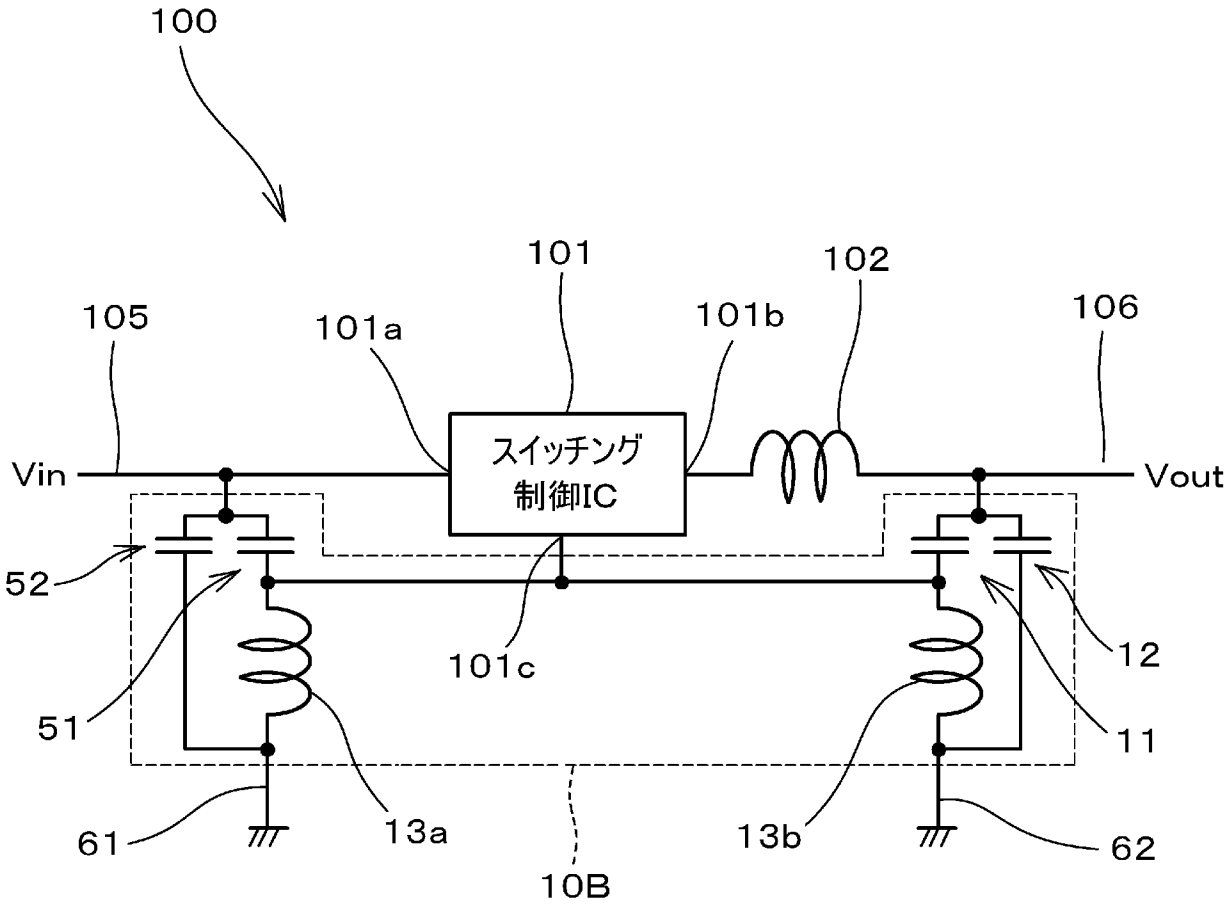

100
101
102
105
101a
101b
106
スイッチング
制御IC
Vin
Vout
52
101c
13
12
51
11
10A

[図9]

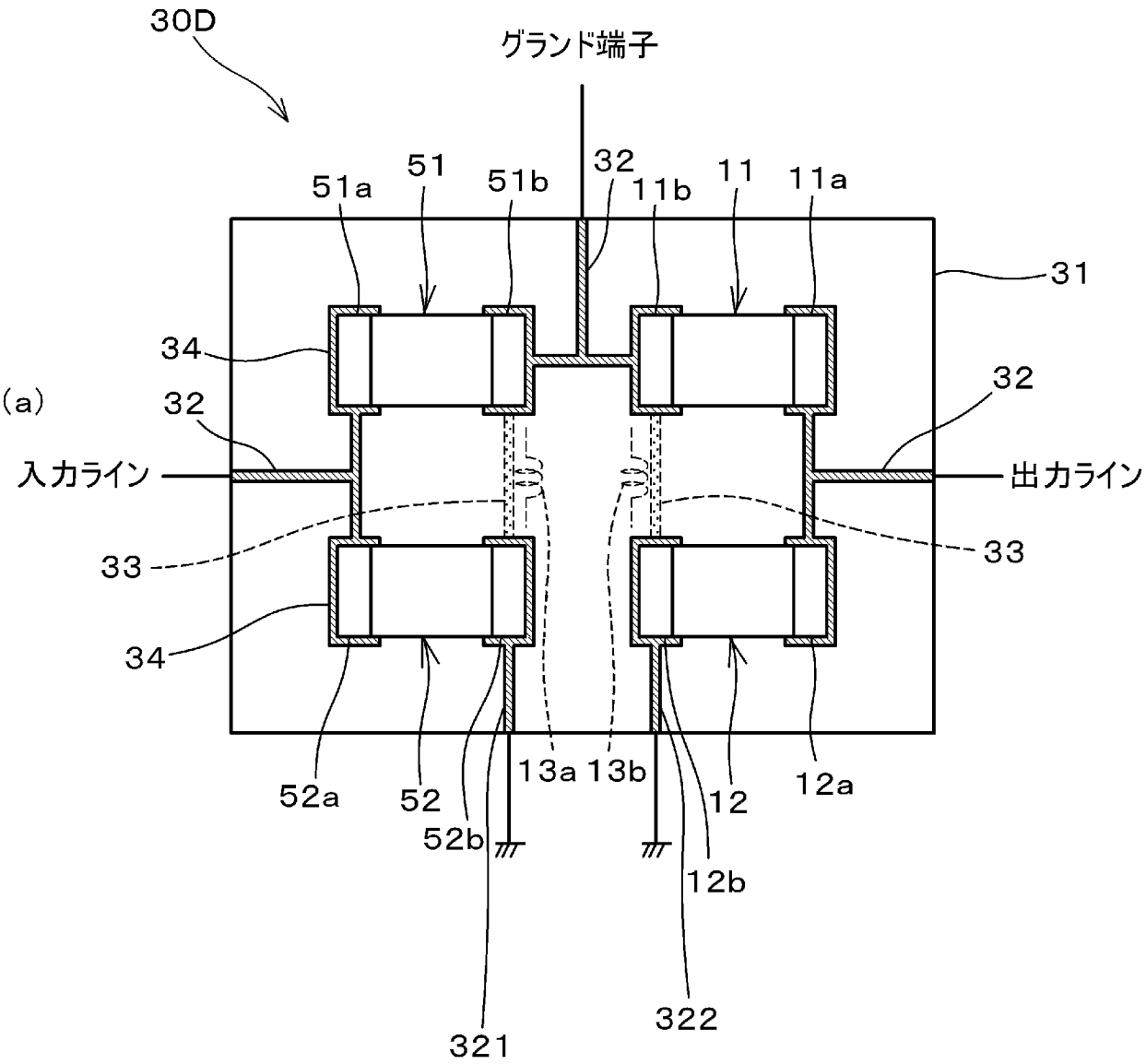
【図9】


30C
グランド端子
51a
51
51b
32
11b
11
11a
31
34
32
32
入力ライン
出力ライン
33
33
34
(a)
52a
52
52b
13
13
12b
12
12a
30C
グランド端子
51a
51
51b
11b
11
11a
34
32
32
入力ライン
出力ライン
34
(b)
52a
52
52b
33
13
12b
12
12a
32

[図10]
【図10】

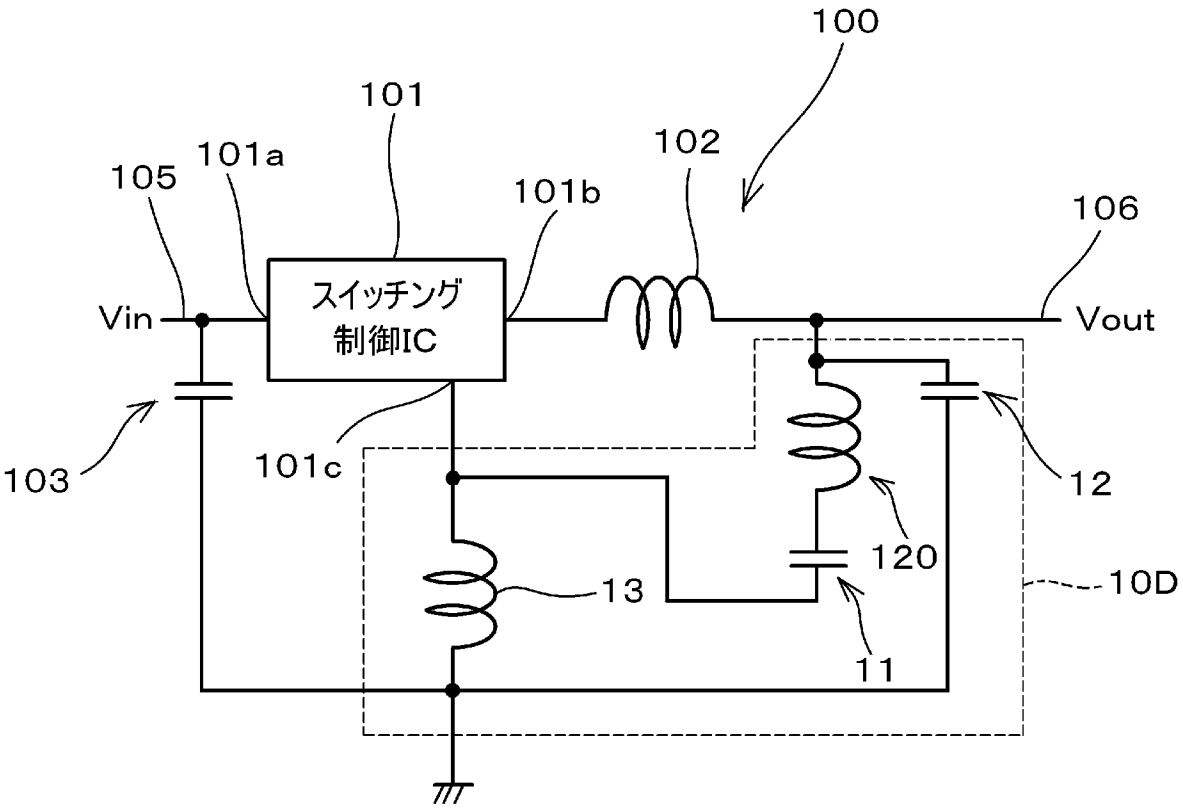

100
101
102
105
101a
101b
106
スイッチング
制御IC
Vin
Vout
52
101c
12
51
11
61
13a
13b
62
10B

[図11]
【図11】


30D
グランド端子
51a
51
51b
32
11b
11
11a
31
34
32
32
(a)
入力ライン
出力ライン
33
33
34
52a
52
52b
13a
13b
12
12a
12b
321
322

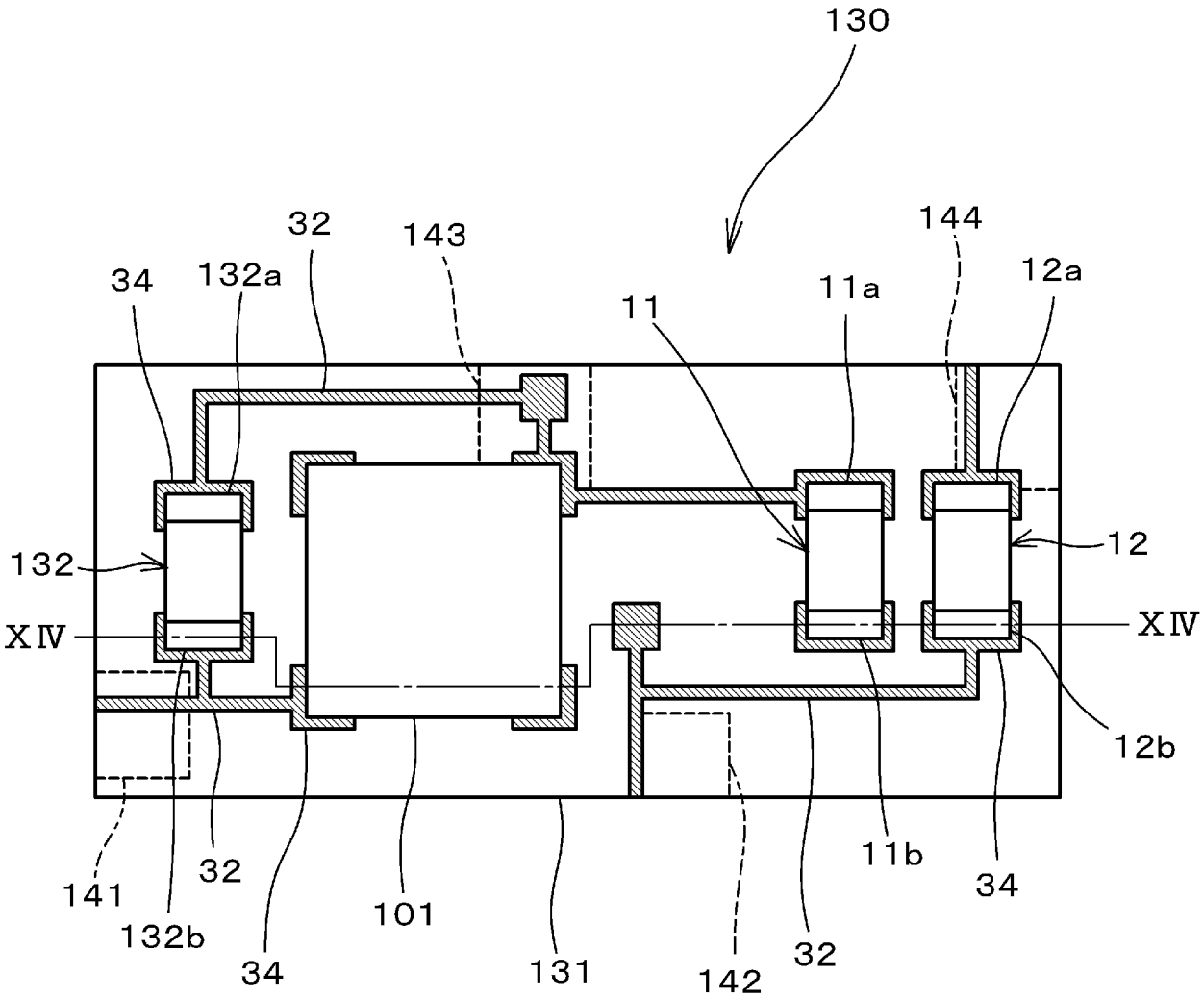
[図12]

【図12】


100
101
101a
105
102
101b
106
スイッチング
制御IC
Vin
Vout
103
101c
12
120
13
10D
11

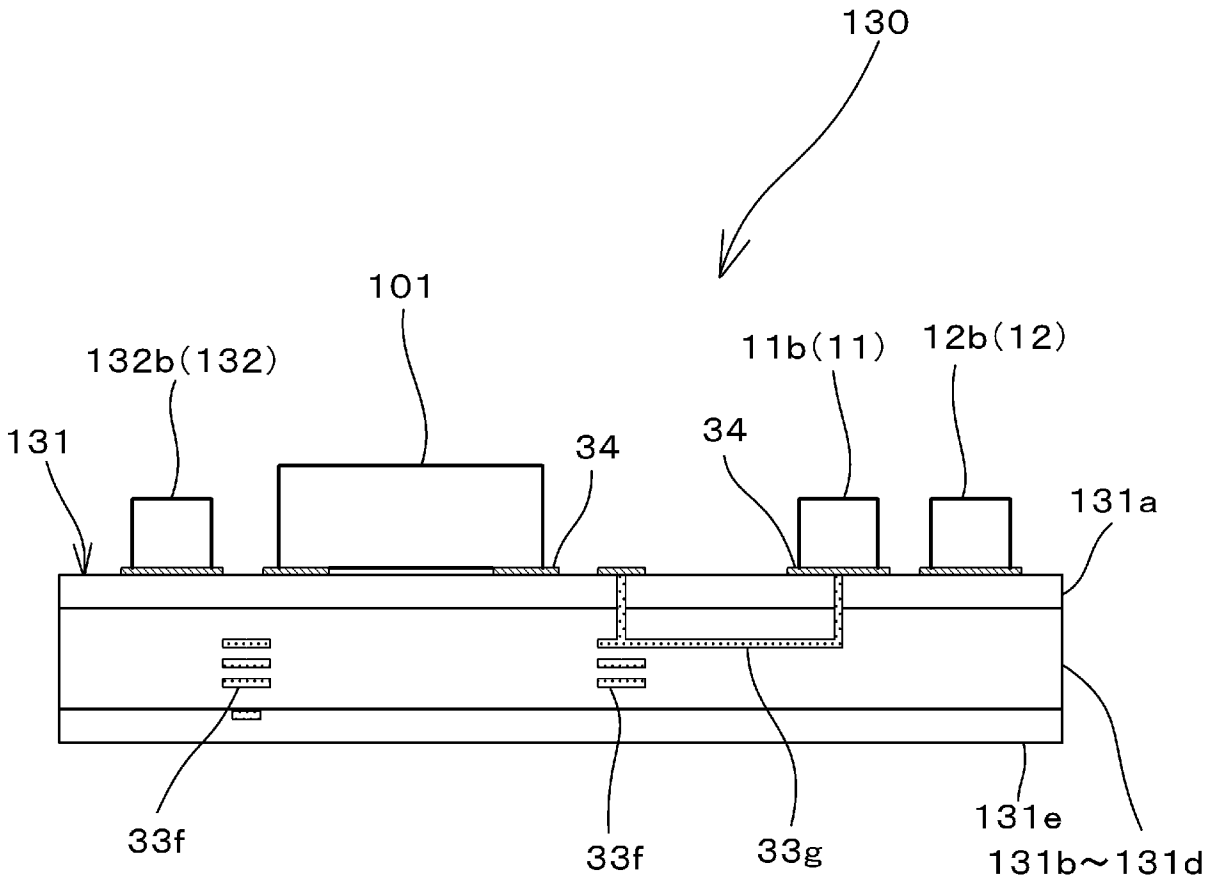
[図13]

【図13】


130
32
143
144
34
132a
11
11a
12a
132
12
XIV
XIV
12b
141
32
11b
34
132b
34
101
131
142
32

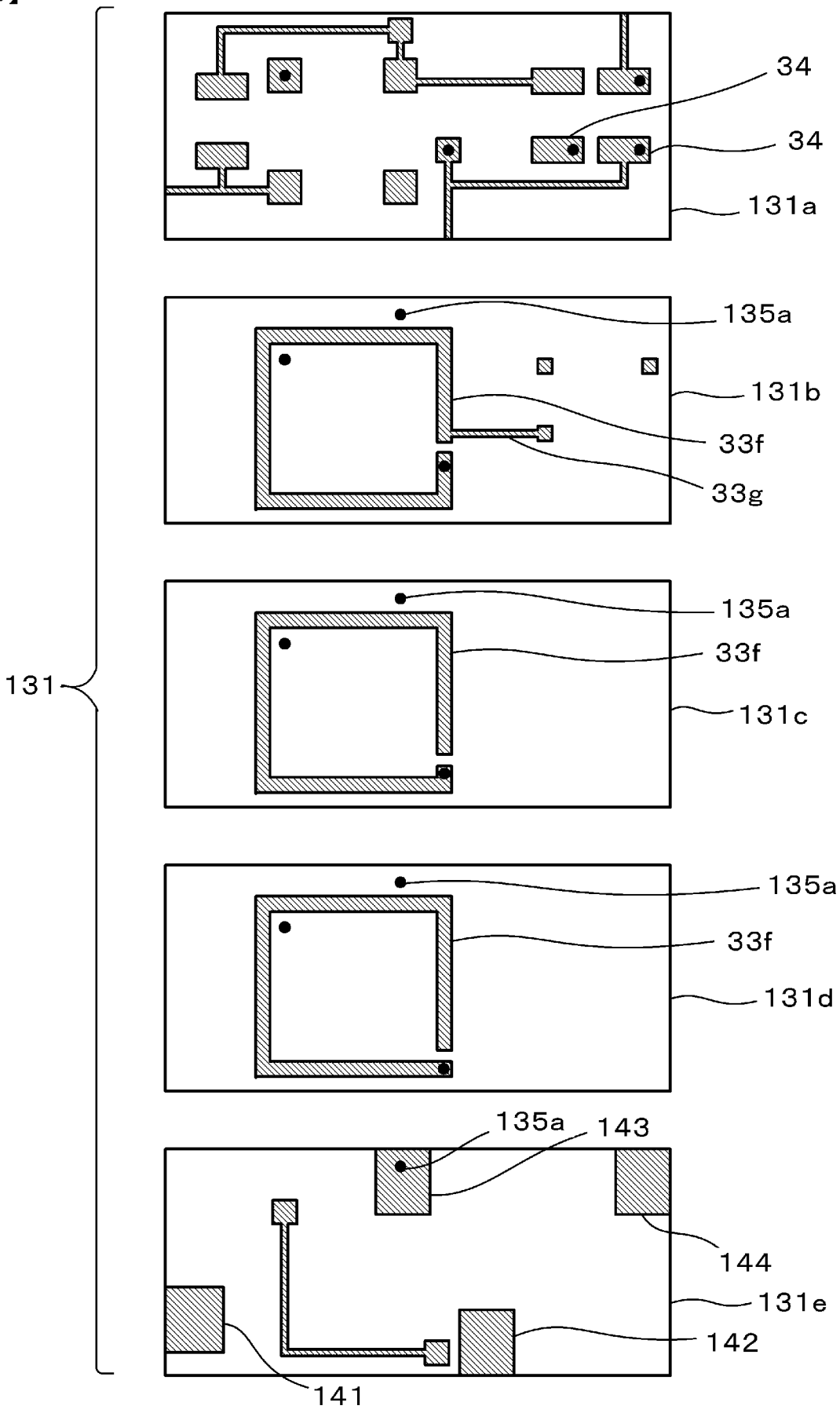
[図14]

【図14】


130
101
132b(132)
11b(11)
12b(12)
131
34
34
131a
33f
33f
33g
131e
131b～131d

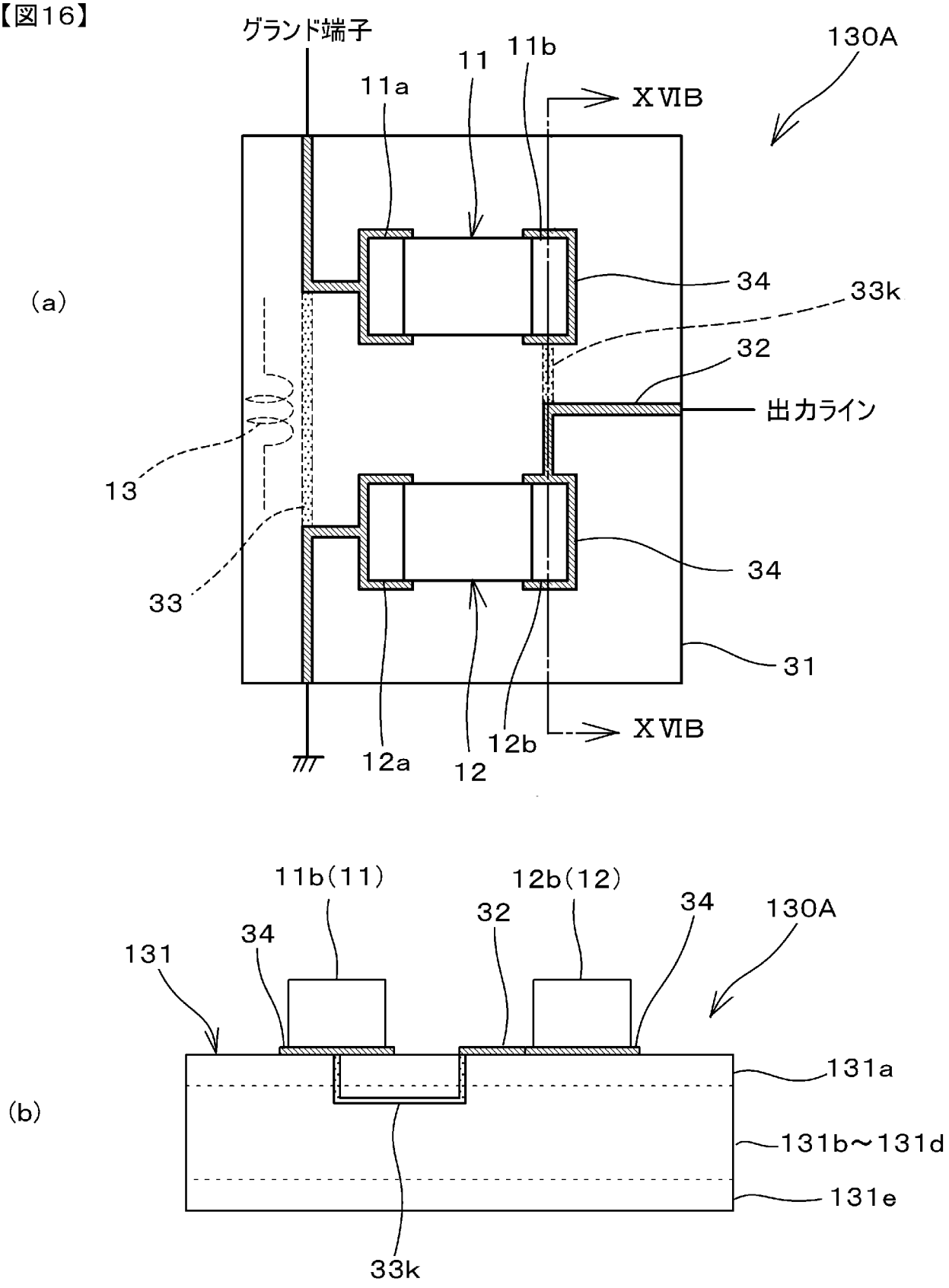
[図15]

【図15】


131
34
34
131a
135a
131b
33f
33g
135a
33f
131c
135a
33f
131d
135a
143
144
131e
142
141

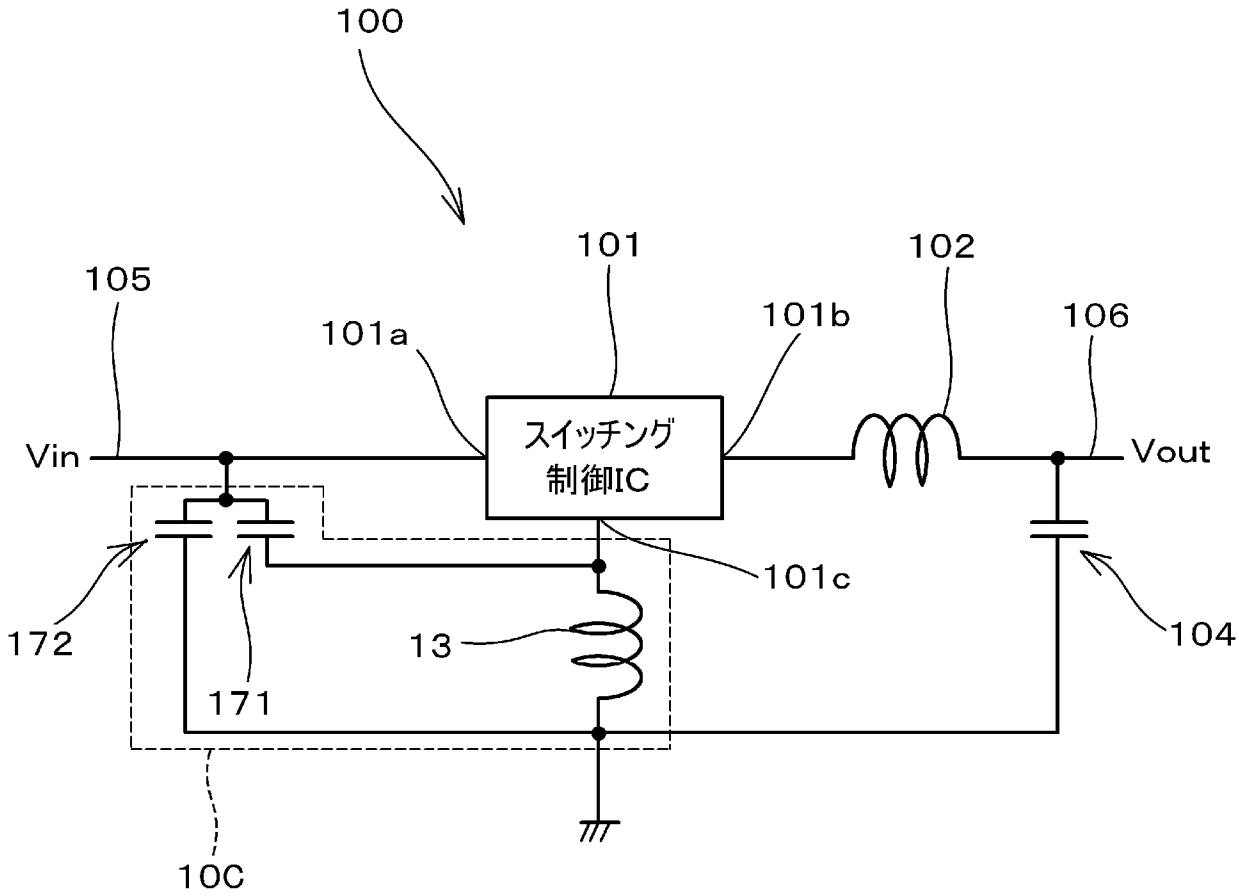
[図16]

【図16】


(a)
グランド端子
11a
11
11b
XVIB
130A
34
33k
32
出力ライン
13
33
34
31
XVIB
12a
12
12b
(b)
11b(11)
12b(12)
34
32
34
130A
131
131a
131b～131d
131e
33k

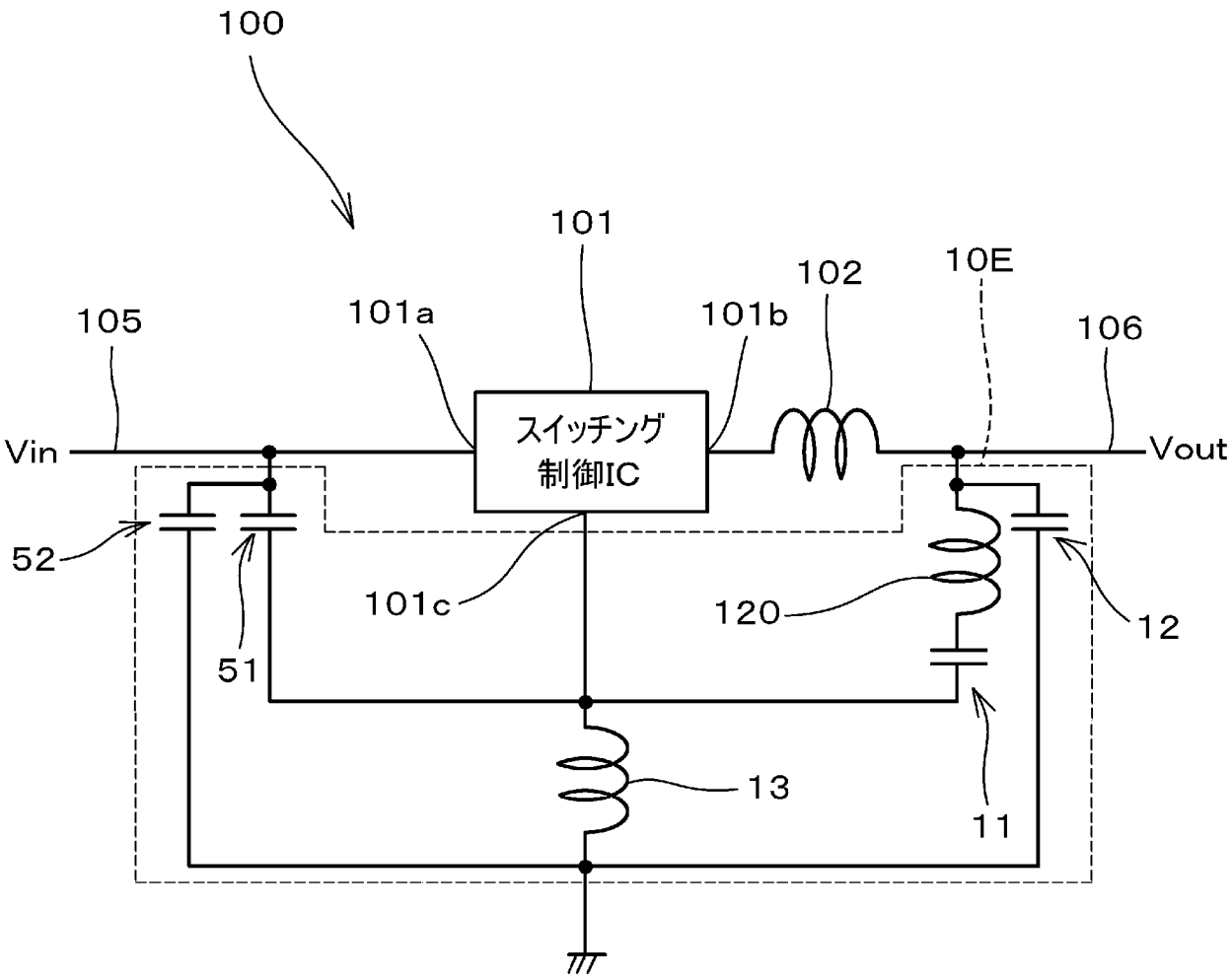
[図17]

【図17】


100
101
102
105
101a
101b
106
スイッチング
制御IC
Vin
Vout
101c
172
13
104
171
10C

[図18]

【図18】


100
101
102
10E
105
101a
101b
106
スイッチング
制御IC
Vin
Vout
52
101c
120
12
51
13
11

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/018387

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H02M3/155(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-46509 A (MURATA MANUFACTURING CO., LTD.) 04 March 2013, paragraphs [0016]-[0044], fig. 2-3 & US 2013/0049730 A1, paragraphs [0024]-[0051], fig. 2-3	1-15
A	JP 2014-124091 A (MURATA MANUFACTURING CO., LTD.) 03 July 2014, paragraphs [0021]-0037], fig. 2-4 (Family: none)	1-15
A	JP 2009-177998 A (DENSO CORP.) 06 August 2009, paragraphs [0021]-[0022], fig. 2 (Family: none)	1-15

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 June 2018 (19.06.2018)	10 July 2018 (10.07.2018)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／０１８３８７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02M3/155(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2013-46509 A (株式会社村田製作所) 2013.03.04, [0016]-[0044], 図 2-3 & US 2013/0049730 A1, [0024]-[0051], FIG. 2-3	1-15
A	JP 2014-124091 A (株式会社村田製作所) 2014.07.03, [0021]-0037], 図 2-4 (ファミリーなし)	1-15
A	JP 2009-177998 A (株式会社デンソー) 2009.08.06, [0021]-[0022], 図 2 (ファミリーなし)	1-15

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１９．０６．２０１８	１０．０７．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｇ　３０５２
遠藤　尊志
電話番号　０３－３５８１－１１０１　内線　３５２６