(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3595153号
(P3595153)
(45)発行日　平成16年12月2日(2004.12.2)　(24)登録日　平成16年9月10日(2004.9.10)

| (51)Int.Cl.[7] | F I | | |
|---|---|---|---|
| G09G 3/36 | G09G | 3/36 | |
| G02F 1/133 | G02F | 1/133 | 550 |
| G09G 3/20 | G09G | 3/20 | 611H |
| | G09G | 3/20 | 623B |

請求項の数 17　(全 50 頁)

(21)出願番号　特願平10-50699
(22)出願日　平成10年3月3日(1998.3.3)
(65)公開番号　特開平11-249624
(43)公開日　平成11年9月17日(1999.9.17)
審査請求日　平成14年9月18日(2002.9.18)

(73)特許権者　502356528
株式会社　日立ディスプレイズ
千葉県茂原市早野３３００番地
(73)特許権者　000233088
日立デバイスエンジニアリング株式会社
千葉県茂原市早野３６８１番地
(73)特許権者　000233169
株式会社日立超エル・エス・アイ・システムズ
東京都小平市上水本町５丁目２２番１号
(74)代理人　100083552
弁理士　秋田　収喜
(72)発明者　後藤　充
千葉県茂原市早野３３００番地　株式会社日立製作所　電子デバイス事業部内
最終頁に続く

(54)【発明の名称】液晶表示装置および映像信号線駆動手段

(57)【特許請求の範囲】
【請求項１】
複数の映像信号線により表示データに対応する映像信号電圧が印加される複数の画素を有する液晶表示素子と、前記表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段とを具備する液晶表示装置であって、
前記映像信号線駆動手段は、前記表示データに対応する映像信号電圧を前記各映像信号線に出力する複数のアンプ回路を有し、
前記各アンプ回路は、一対の入力端子の中の一方を、反転入力端子あるいは非反転入力端子に、一対の入力端子の中の他方を、非反転入力端子あるいは反転入力端子に切り替える切替手段を有し、
前記切替手段は、２ライン毎に入力される切替制御信号により、前記アンプ回路の一対の入力端子の一方を反転入力端子、他方を非反転入力端子、あるいは前記アンプ回路の一対の入力端子の一方を非反転入力端子、他方を反転入力端子に切り替えることを特徴とする液晶表示装置。
【請求項２】
複数の映像信号線により表示データに対応する映像信号電圧が印加される複数の画素を有する液晶表示素子と、前記表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段とを具備する液晶表示装置であって、
前記映像信号線駆動手段は、前記表示データに対応する映像信号電圧を前記各映像信号線に出力する複数のアンプ回路を有し、

前記各アンプ回路は、一対の入力端子の中の一方を、反転入力端子あるいは非反転入力端子に、一対の入力端子の中の他方を、非反転入力端子あるいは反転入力端子に切り替える切替手段を有し、
前記切替手段は、２フレーム毎に入力される切替制御信号により、前記アンプ回路の一対の入力端子の一方を反転入力端子、他方を非反転入力端子、あるいは前記アンプ回路の一対の入力端子の一方を非反転入力端子、他方を反転入力端子に切り替えることを特徴とする液晶表示装置。
【請求項３】
前記切替制御信号の周期は、前記映像信号線駆動手段に入力される出力タイミング制御クロックの周期以上であることを特徴とする請求項１または請求項２に記載の液晶表示装置。
【請求項４】
前記複数のアンプ回路は、一対が正極性の映像信号電圧を出力する第１のアンプ回路と、負極性の映像信号電圧を出力する第２のアンプ回路とで構成される複数対のアンプ回路対で構成されることを特徴とする請求項１ないし請求項３のいずれか１項に記載の液晶表示装置。
【請求項５】
ドレイン信号線と、ゲート信号線と、前記ドレイン信号線と前記ゲート信号線とに接続される薄膜トランジスタと、前記ドレイン信号線に映像信号電圧を供給するドレインドライバとを有する液晶表示装置であって、
前記ドレインドライバは、入力された表示データをラッチするデータラッチ回路と、前記データラッチ回路から供給される前記表示データに基づき階調電圧を選択するデコーダ回路と、前記デコーダ回路で選択された前記階調電圧を前記ドレイン信号線に映像信号電圧として出力するアンプ回路とを有し、
前記アンプ回路は、２つの入力端子のうちの一方を、反転入力端子或いは非反転入力端子のうちの一方に接続し、前記２つの入力端子のうちの他方を、反転入力端子或いは非反転入力端子のうちの他方に接続する切替手段を有し、
前記切替手段は、切替制御信号により、前記アンプ回路の前記２つの入力端子のうちの一方を反転入力端子、前記２つの入力端子のうちの他方を非反転入力端子、あるいは、前記アンプ回路の前記２つの入力端子のうちの一方を非反転入力端子、前記２つの入力端子のうちの他方を反転入力端子に切り替え、
前記切替制御信号の周期は、前記データラッチ回路に入力される出力制御クロックの周期以上であることを特徴とする液晶表示装置。
【請求項６】
前記切替制御信号の周期は、前記データラッチ回路に入力される出力制御クロックの２周期分以上であることを特徴とする請求項５に記載の液晶表示装置。
【請求項７】
ドレイン信号線と、ゲート信号線と、前記ドレイン信号線と前記ゲート信号線とに接続される薄膜トランジスタと、前記ドレイン信号線に映像信号電圧を供給するドレインドライバとを有する液晶表示装置であって、
前記ドレインドライバは、前記ドレイン信号線に映像信号電圧を出力するアンプ回路を有し、
前記アンプ回路は、２つの入力端子のうちの一方を、反転入力端子或いは非反転入力端子のうちの一方に接続し、前記２つの入力端子のうちの他方を、反転入力端子或いは非反転入力端子のうちの他方に接続する切替手段を有し、
前記切替手段は、切替制御信号により、前記アンプ回路の前記２つの入力端子のうちの一方を反転入力端子、前記２つの入力端子のうちの他方を非反転入力端子、あるいは、前記アンプ回路の前記２つの入力端子のうちの一方を非反転入力端子、前記２つの入力端子のうちの他方を反転入力端子に切り替え、
前記切替制御信号の周期は、１水平走査時間以上であることを特徴とする液晶表示装置。

【請求項８】
前記切替制御信号の周期は、水平走査時間の２倍であることを特徴とする請求項７に記載の液晶表示装置。
【請求項９】
前記切替制御信号は、２フレーム毎に位相が反転されることを特徴とする請求項７または請求項８に記載の液晶表示装置。
【請求項１０】
ドレイン信号線と、ゲート信号線と、前記ドレイン信号線と前記ゲート信号線とに接続される薄膜トランジスタと、前記ドレイン信号線に信号電圧を供給するドレインドライバとを有する液晶表示装置であって、
前記ドレインドライバは、信号電圧を前記ドレイン信号線に出力するアンプ回路を有し、
前記アンプ回路は、２つの入力端子のうちの一方を、反転入力端子或いは非反転入力端子のうちの一方に接続し、前記２つの入力端子のうちの他方を、反転入力端子或いは非反転入力端子のうちの他方に接続する切替手段を有し、
前記ドレイン信号線を経由して、前記ゲート信号線に接続された前記薄膜トランジスタに供給される前記信号電圧は、第１のフレームにおいては、オフセット電圧が階調電圧に加えられた電圧であり、第２のフレームにおいては、オフセット電圧が階調電圧から減らされた電圧であることを特徴とする液晶表示装置。
【請求項１１】
前記ゲート信号線に隣接する第１のゲート信号線に接続された薄膜トランジスタに供給される信号電圧は、前記第１のフレームにおいては、前記オフセット電圧が階調電圧に加えられた電圧であり、前記第２のフレームにおいては、前記オフセット電圧が階調電圧から減らされた電圧であることを特徴とする請求項１０に記載の液晶表示装置。
【請求項１２】
前記ゲート信号線に隣接する第１のゲート信号線に接続された薄膜トランジスタに供給される信号電圧は、前記第１のフレームにおいては、前記オフセット電圧が階調電圧から減らされた電圧であり、前記第２のフレームにおいては、前記オフセット電圧が階調電圧に加えられた電圧であることを特徴とする請求項１０に記載の液晶表示装置。
【請求項１３】
外部から入力された表示データをラッチするデータラッチ回路と、前記データラッチ回路から供給される前記表示データに基づき階調電圧を選択するデコーダ回路と、前記デコーダ回路で選択された前記階調電圧を映像信号電圧として出力するアンプ回路とを有し、
前記アンプ回路は、２つの入力端子のうちの一方を、反転入力端子或いは非反転入力端子のうちの一方に接続し、前記２つの入力端子のうちの他方を、反転入力端子或いは非反転入力端子のうちの他方に接続する切替手段を有し、
前記切替手段は、切替制御信号により、前記アンプ回路の前記２つの入力端子のうちの一方を反転入力端子、前記２つの入力端子のうちの他方を非反転入力端子、あるいは、前記アンプ回路の前記２つの入力端子のうちの一方を非反転入力端子、前記２つの入力端子のうちの他方を反転入力端子に切り替え、
前記切替制御信号の周期は、前記データラッチ回路に入力される出力制御クロックの周期以上であることを特徴とする映像信号線駆動手段。
【請求項１４】
前記切替制御信号の周期は、前記データラッチ回路に入力される出力制御クロックの２周期分以上であることを特徴とする請求項１３に記載の映像信号線駆動手段。
【請求項１５】
駆動電圧を映像信号線に出力するアンプ回路を有する映像信号線駆動手段であって、
前記アンプ回路は、２つの入力端子のうちの一方を、反転入力端子或いは非反転入力端子のうちの一方に接続し、前記２つの入力端子のうちの他方を、反転入力端子或いは非反転入力端子のうちの他方に接続する切替手段を有し、
前記映像信号線に出力される駆動電圧は、第１のフレーム目の第１ライン目においては、

オフセット電圧が階調電圧に加えられた電圧であり、第２のフレーム目の第１ライン目においては、オフセット電圧が階調電圧から減らされた電圧であることを特徴とする映像信号線駆動手段。
【請求項１６】
前記映像信号線に出力される駆動電圧は、前記第１のフレーム目の第２ライン目においては、前記オフセット電圧が階調電圧に加えられた電圧であり、前記第２のフレーム目の第２ライン目においては、前記オフセット電圧が階調電圧から減らされた電圧であることを特徴とする請求項１５に記載の映像信号線駆動手段。
【請求項１７】
前記映像信号線に出力される駆動電圧は、前記第１のフレーム目の第２ライン目においては、前記オフセット電圧が階調電圧から減らされた電圧であり、前記第２のフレーム目の第２ライン目においては、前記オフセット電圧が階調電圧に加えられた電圧であることを特徴とする請求項１５に記載の映像信号線駆動手段。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、液晶表示装置に係わり、特に、多階調表示が可能な液晶表示装置の映像信号線駆動手段（ドレインドライバ）に適用して有効な技術に関する。
【０００２】
【従来の技術】
画素毎に能動素子（例えば、薄膜トランジスタ）を有し、この能動素子をスイッチング駆動するアクティブマトリクス型液晶表示装置は、ノート型パソコン等の表示装置として広く使用されている。
このアクティブマトリクス型液晶表示装置は、能動素子を介して画素電極に映像信号電圧（表示データに対応する階調電圧；以下、階調電圧と称する。）を印加するため、各画素間のクロストークがなく、単純マトリックス形液晶表示装置のようにクロストークを防止するための特殊な駆動方法を用いる必要がなく、多階調表示が可能である。
このアクティブマトリクス型液晶表示装置の１つに、ＴＦＴ（Ｔｈｉｎ　Ｆｉｌｍ Ｔｒａｎｓｉｓｔｅｒ）方式の液晶表示パネル（ＴＦＴ－ＬＣＤ）と、液晶表示パネルの上側に配置されるドレインドライバと、液晶表示パネルの側面に配置されるゲートドライバおよびインタフェース部とを備えるＴＦＴ方式の液晶表示モジュールが知られている。
このＴＦＴ方式の液晶表示モジュールにおいては、ドレインドライバ内に多階調電圧生成回路と、この多階調電圧生成回路で生成された多階調電圧の中から、表示データに対応する１つの階調電圧を選択する階調電圧選択回路と、階調電圧選択回路で選択された１つの階調電圧が入力されるアンプ回路とを備えている。
この場合に、前記階調電圧選択回路には、レベルシフト回路を介して表示データの各ビット値が入力される。
なお、このような技術は、例えば、特願平８－８６６６８号に記載されている。
【０００３】
【発明が解決しようとする課題】
近年、ＴＦＴ方式の液晶表示モジュール等の液晶表示装置においては、６４階調表示から２５６階調表示へとより多階調表示が進みつつあり、前記多階調電圧生成回路で生成される多階調電圧の、１階調当たりの電圧幅（即ち、隣接する階調電圧間の電位差）が小さくなっている。
一方、アンプ回路は、アンプ回路を構成する能動素子の特性のばらつきにより、オフセット電圧が生じるが、前記アンプ回路にオフセット電圧が生じると、前記アンプ回路の出力電圧に誤差が生じ、前記アンプ回路の出力電圧は目標値（正規の階調電圧）と異なる電圧となる。
これにより、液晶表示パネル（ＴＦＴ－ＬＣＤ）に表示される表示画面中に、黒または白の縦筋が発生し、表示品質を著しく損なわせるという問題点があった。

他方、ＴＦＴ方式の液晶表示モジュール等の液晶表示装置においては、液晶表示パネル（ＴＦＴ－ＬＣＤ）の大型化、高解像度化（多画素化）の傾向にあり、その上、無駄なスペースをなくし、表示装置としての美観を惹起せしめるために、液晶表示装置の表示領域以外の領域、即ち、額縁部分を少しでも小さくする（狭額縁化）ことが要望されている。
そして、前記階調電圧選択回路の前段に設けられる前記レベルシフト回路は、ソース・ドレイン間耐圧が高耐圧のトランジスタで構成される。
しかしながら、前記レベルシフト回路のトンジスタとして、高耐圧のトランジスタを使用すると、前記ドレインドライバを構成する半導体集積回路（ＩＣチップ）における当該レベルシフト回路部の面積が大きくなり、それに伴い、前記ドレインドライバを構成する半導体集積回路のチップサイズが大きくなり、チップ単価を下げることができず、かつ、前記狭額縁化に対応できないという問題点があった。

【０００４】
さらに、従来から液晶表示装置においては、液晶表示パネルの高解像度化が要求されており、液晶表示パネルの解像度が、例えば、ＶＧＡ表示モードの６４０×４８０画素からＳＶＧＡ表示モードの８００×６００画素と拡大されてきているが、近年、液晶表示装置においては、液晶表示パネルの大画面化の要求に伴って、液晶表示パネルの解像度として、ＸＧＡ表示モードの１０２４×７６８画素、ＳＸＧＡ表示モードの１２８０×１０２４画素、ＵＸＧＡ表示モードの１６００×１２００画素とさらなる高解像度化が要求されている。

【０００５】
このような、液晶表示パネルの高解像度化に伴い、表示制御装置、ドレインドライバおよびゲートドライバも高速動作を余儀なくされており、特に、表示制御装置からドレインドライバに出力される表示データラッチ用クロック（ＣＬ２）および表示データの動作周波数の高速化が要求されている。

【０００６】
これにより、前記ドレインドライバを構成する半導体集積回路内部で表示データをラッチする際のタイミングマージンが減少するという問題点があった。

【０００７】
本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、映像信号線駆動手段のアンプ回路のオフセット電圧により、液晶表示素子の表示画面中に黒または白の縦筋が生じるのを防止して、液晶表示素子に表示される表示画面の表示品質を向上させることが可能となる技術を提供することにある。

【０００８】
本発明の他の目的は、液晶表示装置において、映像信号線駆動手段のレベルシフト回路に、ソース・ドレイン間耐圧が低耐圧トランジスタを使用して、映像信号線駆動手段を構成する半導体集積回路のチップサイズを小さくすることが可能となる技術を提供することにある。

【０００９】
本発明の他の目的は、液晶表示装置において、表示データラッチ用クロックおよび表示データの動作周波数が高速化されても、映像信号線駆動手段を構成する半導体集積回路内部で表示データをラッチする際のタイミングマージンを確保することが可能となる技術を提供することにある。

【００１０】
本発明の前記目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【００１１】
【課題を解決するための手段】
本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【００１２】

複数の映像信号線により表示データに対応する映像信号電圧が印加される複数の画素を有する液晶表示素子と、表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段とを具備する液晶表示装置であって、
前記映像信号線駆動手段は、表示データに対応する映像信号電圧を各映像信号線に出力する複数のアンプ回路を有し、前記各アンプ回路は、一対の入力端子の中の一方を、反転入力端子あるいは非反転入力端子に、一対の入力端子の中の他方を、非反転入力端子あるいは反転入力端子に切り替える切替手段を有し、前記切替手段は、所定の周期毎に入力される切替制御信号により、前記アンプ回路の一対の入力端子の一方を反転入力端子、他方を非反転入力端子、あるいは前記アンプ回路の一対の入力端子の一方を非反転入力端子、他方を反転入力端子に切り替えることを特徴とする。

【００１３】
複数の映像信号線により表示データに対応する映像信号電圧が印加される複数の画素を有する液晶表示素子と、表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段とを具備する液晶表示装置であって、前記映像信号線駆動手段は、表示データに対応する映像信号電圧を各映像信号線に出力する複数のアンプ回路を有し、前記各アンプ回路は、一対の入力端子の中の一方を、反転入力端子あるいは非反転入力端子に、一対の入力端子の中の他方を、非反転入力端子あるいは反転入力端子に切り替える切替手段を有し、前記切替手段は、入力段の一対のトランジスタの一方のトランジスタの制御電極を、前記一対の入力端子の中の一方に接続する第１のスイッチング素子と、前記入力段の一対のトランジスタの一方のトランジスタの制御電極を、前記一対の入力端子の中の他方に接続する第２のスイッチング素子と、前記入力段の一対のトランジスタの他方のトランジスタの制御電極を、前記一対の入力端子の中の他方に接続する第３のスイッチング素子と、前記入力段の一対のトランジスタの他方のトランジスタの制御電極を、前記一対の入力端子の中の一方に接続する第４のスイッチング素子とを備え、前記第１のスイッチング素子、および前記第３のスイッチング素子と、前記第２のスイッチング素子、および前記第４のスイッチング素子とは、所定の周期毎に入力される切替制御信号により、交互にオンあるいはオフとされることを特徴とする。

【００１４】
前記映像信号線駆動手段は、切替指示手段を有し、前記切替指示手段は、前記各アンプ回路の切替手段に対して、ｎフレーム毎に前記切替制御信号を出力することを特徴とする。

【００１５】
複数の映像信号線により表示データに対応する映像信号電圧が印加される複数の画素を有する液晶表示素子と、表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段とを具備する液晶表示装置において、前記映像信号線駆動手段は、その入力段で２画素分の表示データをラッチし、１画素分の表示データ毎に出力するプリラッチ部と、２系統のバスラインと、前記プリラッチ部から出力される一方の１画素分の表示データを、２系統のバスラインの一方、あるいは他方に、また、前記プリラッチ部から出力される他方の１画素分の表示データを、２系統のバスラインの他方、あるいは一方に切り替えて出力する表示データ切替手段と、一対が、前記２系統のバスラインの一方の１画素分の表示データが入力され正極性の映像信号電圧を生成する正極性映像信号電圧生成手段と、前記２系統のバスラインの他方の１画素分の表示データが入力され負極性の映像信号電圧を生成する負極性映像信号電圧生成手段とで構成される複数対の映像信号電圧生成手段対と、前記各映像信号電圧生成手段対から出力される一対の映像信号電圧を、前記表示データ切替手段に応じて交互に切替えて一対の映像信号線に出力し、前記プリラッチ部から出力される２画素分の表示データに対応する映像信号電圧が印加される一対の画素に印加する映像信号電圧切替手段と、前記各映像信号電圧生成手段対の出力に設けられたアンプ回路とを有し、前記各アンプ回路は、一対の入力端子の中の一方を、反転入力端子あるいは非反転入力端子に、一対の入力端子の中の他方を、非反転入力端子あるいは反転入力端子に切り替える切替手段を有し、さらに、前記映像信号線駆動手段は、所定の周期毎に入力される切替制御信号により、前記アンプ回路の一対の入力端子の一方を反転入力端子

、他方を非反転入力端子、あるいは前記アンプ回路の一対の入力端子の一方を非反転入力端子、他方を反転入力端子に切り替えさせることを特徴とする。

【００１６】

複数の映像信号線により表示データに対応する映像信号電圧が印加される複数の画素を有する液晶表示素子と、表示データに対応する映像信号電圧を各映像信号線に供給する映像信号線駆動手段とを具備する液晶表示装置において、前記映像信号線駆動手段は、２画素分の表示データをラッチするプリラッチ部と、前記プリラッチ部から出力される表示データが入力され、正極性の映像信号を生成する正極性映像信号生成手段と、負極性の映像信号を生成する負極性映像信号生成手段とで構成される複数対の映像信号生成手段対と、前記プリラッチ部から出力される２画素分の表示データの一方を正極性映像信号生成手段に出力し、他方を負極性映像信号生成手段に出力する場合と、２画素分の表示データの一方を負極性映像信号生成手段に出力し、他方を正極性映像信号生成手段に出力する場合とに切り替える表示データ切替手段と、前記各映像信号生成手段対から出力される一対の映像信号を、前記表示データ切替手段に応じて交互に切替えて出力する映像信号切替手段と、前記映像信号生成手段対に設けられ、映像信号電圧を各映像信号線に出力する複数のアンプ回路とを有し、前記各アンプ回路は、一対の入力端子の中の一方を、反転入力端子あるいは非反転入力端子に、一対の入力端子の中の他方を、非反転入力端子あるいは反転入力端子に切り替える切替手段を有することを特徴とする。

【００１７】

【発明の実施の形態】

以下、本発明実施の形態を図面を参照して説明する。

【００１８】

なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【００１９】

［実施の形態１］

図１は、本発明の実施の形態１のＴＦＴ方式の液晶表示モジュールの概略構成を示すブロック図である。

本実施の形態の液晶表示モジュール（ＬＣＭ）は、液晶表示パネル（ＴＦＴ－ＬＣＤ）１０の上側にドレインドライバ１３０が配置され、また、液晶表示パネル１０の側面に、ゲートドライバ１４０、インタフェース部１００が配置される。

インタフェース部１００はインタフェース基板に実装され、また、ドレインドライバ１３０、ゲートドライバ１４０も、それぞれ専用のＴＣＰ（Ｔａｐｅ　Ｃａｒｅｅｉｅｒ　Ｐａｃｋａｇｅ）または直接液晶表示パネルに実装される。

【００２０】

図２は、図１に示す液晶表示パネル１０の一例の等価回路を示す図である。

この図２に示すように、液晶表示パネル１０は、マトリクス状に形成される複数の画素を有する。

各画素は、隣接する２本の信号線（ドレイン信号線（Ｄ）またはゲート信号線（Ｇ））と、隣接する２本の信号線（ゲート信号線（Ｇ）またはドレイン信号線（Ｄ））との交差領域内に配置される。

各画素は薄膜トランジスタ（ＴＦＴ１，ＴＦＴ２）を有し、各画素の薄膜トランジスタ（ＴＦＴ１，ＴＦＴ２）のソース電極は、画素電極（ＩＴＯ１）に接続される。また、画素電極（ＩＴＯ１）とコモン電極（ＩＴＯ２）との間に液晶層が設けられるので、画素電極（ＩＴＯ１）とコモン電極（ＩＴＯ２）との間には、液晶容量（ＣＬＣ）が等価的に接続される。

さらに、薄膜トランジスタ（ＴＦＴ１，ＴＦＴ２）のソース電極と前段のゲート信号線（Ｇ）との間には、付加容量（ＣＡＤＤ）が接続される。

【００２１】

図３は、図１に示す液晶表示パネル１０の他の例の等価回路を示す図である。

図２に示す例では、全段のゲート信号線（Ｇ）とソース電極との間に付加容量（ＣＡＤＤ）が形成されているが、図３に示す例の等価回路では、共通信号線（ＣＯＭ）とソース電極との間に保持容量（ＣＳＴＧ）が形成されている点が異なっている。
本発明は、どちらにも適用可能であるが、前者の方式では、全段のゲート信号線（Ｇ）パルスが付加容量（ＣＡＤＤ）を介して画素電極（ＩＴＯ１）に飛び込むのに対し、後者の方式では、飛び込みがないため、より良好な表示が可能となる。
なお、図２、図３は、縦電界方式の液晶表示パネルの等価回路を示しており、図２、図３において、ＡＲは表示領域である。また、図２、図３は回路図であるが、実際の幾何学的配置に対応して描かれている。

【００２２】

図２、図３に示す液晶表示パネル１０において、列方向に配置された各画素の薄膜トランジスタ（ＴＦＴ）のドレイン電極は、それぞれドレイン信号線（Ｄ）に接続され、各ドレイン信号線（Ｄ）は、列方向の各画素の液晶に階調電圧を印加するドレインドライバ１３０に接続される。

【００２３】

また、行方向に配置された各画素における薄膜トランジスタ（ＴＦＴ）のゲート電極は、それぞれゲート信号線（Ｇ）に接続され、各ゲート信号線（Ｇ）は、１水平走査時間、行方向の各画素の薄膜トランジスタ（ＴＦＴ）のゲート電極に走査駆動電圧（正のバイアス電圧あるいは負のバイアス電圧）を供給するゲートドライバ１４０に接続される。

【００２４】

図１に示すインタフェース部１００は、表示制御装置１１０と電源回路１２０とから構成される。
表示制御装置１１０は、１個の半導体集積回路（ＬＳＩ）から構成され、コンピュータ本体側から送信されてくるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各表示制御信号および表示用データ（Ｒ・Ｇ・Ｂ）を基に、ドレインドライバ１３０、および、ゲートドライバ１４０を制御・駆動する。
表示制御装置１１０は、ディスプレイタイミング信号が入力されると、これを表示開始位置と判断し、スタートパルス（表示データ取込開始信号）を信号線１３５を介して第１番目のドレインドライバ１３０に出力し、さらに、受け取った単純１列の表示データを、表示データのバスライン１３３を介してドレインドライバ１３０に出力する。
その際、表示制御装置１１０は、各ドレインドライバ１３０のデータラッチ回路に表示データをラッチするための表示制御信号である表示データラッチ用クロック（ＣＬ２）（以下、単に、クロック（ＣＬ２）と称する。）を信号線１３１を介して出力する。
本体コンピュータ側からの表示データは６ビットで、１画素単位、即ち、赤（Ｒ）、緑（Ｇ）、青（Ｂ）の各データを１つの組にして単位時間毎に転送される。
また、第１番目のドレインドライバ１３０に入力されたスタートパルスにより第１番目のドレインドライバ１３０におけるデータラッチ回路のラッチ動作が制御される。
この第１番目のドレインドライバ１３０におけるデータラッチ回路のラッチ動作が終了すると、第１番目のドレインドライバ１３０からスタートパルスが、第２番目のドレインドライバ１３０に入力され、第２番目のドレインドライバ１３０におけるデータラッチ回路のラッチ動作が制御される。
以下、同様にして、各ドレインドライバ１３０におけるデータラッチ回路のラッチ動作が制御され、誤った表示データがデータラッチ回路に書き込まれるのを防止している。

【００２５】

表示制御装置１１０は、ディスプレイタイミング信号の入力が終了するか、または、ディスプレイタイミング信号が入力されてから所定の一定時間が過ぎると、１水平分の表示データが終了したものとして、各ドレインドライバ１３０におけるデータラッチ回路に蓄えていた表示データを液晶表示パネル１０のドレイン信号線（Ｄ）に出力するための表示制御信号である出力タイミング制御用クロック（ＣＬ１）（以下、単にクロック（ＣＬ１）と称する。）を信号線１３２を介して各ドレインドライバ１３０に出力する。

【００２６】
また、表示制御装置１１０は、垂直同期信号入力後に、第１番目のディスプレイタイミング信号が入力されると、これを第１番目の表示ラインと判断して信号線１４２を介してゲートドライバ１４０にフレーム開始指示信号を出力する。
【００２７】
さらに、表示制御装置１１０は、水平同期信号に基づいて、１水平走査時間毎に、順次液晶表示パネル１０の各ゲート信号線（Ｇ）に正または負のバイアス電圧を印加するように、信号線１４１を介してゲートドライバ１４０へ１水平走査時間周期のシフトクロックであるクロック（ＣＬ３）を出力する。
これにより、液晶表示パネル１０の各ゲート信号線（Ｇ）に接続された複数の薄膜トランジスタ（ＴＦＴ）が、１水平走査時間の間導通する。
以上の動作により、液晶表示パネル１０に画像が表示される。
【００２８】
図１に示す電源回路１２０は、正電圧生成回路１２１、負電圧生成回路１２２、コモン電極（対向電極）電圧生成回路１２３、ゲート電極電圧生成回路１２４から構成される。
正電圧生成回路１２１、負電圧生成回路１２２は、それぞれ直列抵抗分圧回路で構成され、正極性の５値の階調基準電圧（Ｖ”０～Ｖ”４）を、負電圧生成回路１２２は負極性の５値の階調基準電圧（Ｖ”５～Ｖ”９）を出力する。
この正極性の階調基準電圧（Ｖ”０～Ｖ”４）、および負極性の階調基準電圧（Ｖ”５～Ｖ”９）は、各ドレインドライバ１３０に供給される。
また、各ドレインドライバ１３０には、表示制御装置１１０からの交流化信号（交流化タイミング信号；Ｍ）も、信号線１３４を介して供給される。
【００２９】
コモン電極電圧生成回路１２３はコモン電極（ＩＴＯ２）に印加する駆動電圧を、ゲート電極電圧生成回路１２４は薄膜トランジスタ（ＴＦＴ）のゲート電極に印加する駆動電圧（正のバイアス電圧および負のバイアス電圧）を生成する。
【００３０】
一般に、液晶層は、長時間同じ電圧（直流電圧）が印加されていると、液晶層の傾きが固定化され、結果として残像現象を引き起こし、液晶層の寿命を縮めることになる。
これを防止するために、このＴＦＴ方式の液晶表示モジュールおいては、液晶層に印加する電圧をある一定時間毎に交流化、即ち、コモン電極に印加する電圧を基準にして、画素電極に印加する電圧を、一定時間毎に正電圧側／負電圧側に変化させるようにしている。
【００３１】
この液晶層に交流電圧を印加する駆動方法として、コモン対称法とコモン反転法の２通りの方法が知られている。コモン反転法とは、コモン電極に印加される電圧と画素電極に印加する電圧とを、交互に正、負に反転させる方法である。また、コモン対称法とは、コモン電極に印加される電圧を一定とし、画素電極に印加する電圧を、コモン電極に印加される電圧を基準にして、交互に正、負に反転させる方法である。
このコモン対称法は、画素電極（ＩＴＯ１）に印加される電圧の振幅が、コモン反転法の場合に比べ２倍となり、しきい値電圧が低い液晶が開発されない限り低耐圧のドライバが使用できないと言う欠点があるが、低消費電力と表示品質の点で優れているドット反転法あるいはＮライン反転法が使用可能である。
【００３２】
本実施の形態の液晶表示モジュールでは、その駆動方法として、前記ドット反転法を使用している。
図４は、液晶表示モジュールの駆動方法として、ドット反転法を使用した場合において、ドレインドライバ１３０からドレイン信号線（Ｄ）に出力される液晶駆動電圧（即ち、画素電極（ＩＴＯ１）に印加される液晶駆動電圧）の極性を説明するための図である。
【００３３】
液晶表示モジュールの駆動方法として、ドット反転法を使用する場合に、図４に示すよう

に、例えば、奇数フレームの奇数ラインでは、ドインドライバ１３０から、奇数番目のドレイン信号線（Ｄ）に、コモン電極（ＩＴＯ２）に印加される液晶駆動電圧（ＶＣＯＭ）に対して負極性の液晶駆動電圧（図４では●で示す）が、また、偶数番目のドレイン信号線（Ｄ）に、コモン電極（ＩＴＯ２）に印加される液晶駆動電圧（ＶＣＯＭ）に対して正極生の液晶駆動電圧（図４では○で示す）が印加される。
さらに、奇数フレームの偶数ラインでは、ドインドライバ１３０から、奇数番目のドレイン信号線（Ｄ）に正極性の液晶駆動電圧が、また、偶数番目のドレイン信号線（Ｄ）に負極生の液晶駆動電圧が印加される。
また、各ライン毎の極性はフレーム毎に反転され、即ち、図４に示すように、偶数フレームの奇数ラインでは、ドインドライバ１３０から、奇数番目のドレイン信号線（Ｄ）に正極性の液晶駆動電圧が、また、偶数番目のドレイン信号線（Ｄ）に負極生の液晶駆動電圧が印加される。
さらに、偶数フレームの偶数ラインでは、ドインドライバ１３０から、奇数番目のドレイン信号線（Ｄ）に負極性の液晶駆動電圧が、また、偶数番目のドレイン信号線（Ｄ）に正極性の液晶駆動電圧が印加される。
このドット反転法を使用することにより、隣り合うドレイン信号線（Ｄ）に印加される電圧が逆極性となるため、コモン電極（ＩＴＯ２）や薄膜トランジスタ（ＴＦＴ）のゲート電極に流れる電流が隣同志で打ち消し合い、消費電力を低減することができる。
また、コモン電極（ＩＴＯ２）に流れる電流が少なく電圧降下が大きくならないため、コモン電極（ＩＴＯ２）の電圧レベルが安定し、表示品質の低下を最小限に抑えることができる。

【００３４】
図５は、図１に示すドレインドライバ１３０の一例の概略構成示すブロック図である。なお、ドレインドライバ１３０は、１個の半導体集積回路（ＬＳＩ）から構成される。
同図において、正極性階調電圧生成回路１５１ａは、正電圧生成回路１２１から入力される正極性の５値の階調基準電圧（Ｖ”０～Ｖ”４）に基づいて、正極性の６４階調の階調電圧を生成し、電圧バスライン１５８ａを介して出力回路１５７に出力する。
負極性階調電圧生成回路１５１ｂは、負電圧生成回路１２２から入力される負極性の５値の階調基準電圧（Ｖ”５～Ｖ”９）に基づいて、負極性の６４階調の階調電圧を生成し、電圧バスライン１５８ｂを介して出力回路１５７に出力する。

【００３５】
また、ドレインドライバ１３０の制御回路１５２内のシフトレジスタ回路１５３は、表示制御装置１１０から入力されるクロック（ＣＬ２）に基づいて、入力レジスタ回路１５４のデータ取り込み用信号を生成し、入力レジスタ回路１５４に出力する。
入力レジスタ回路１５４は、シフトレジスタ回路１５３から出力されるデータ取り込み用信号に基づき、表示制御装置１１０から入力されるクロック（ＣＬ２）に同期して、各色毎６ビットの表示データを出力本数分だけラッチする。

【００３６】
ストレージレジスタ回路１５５は、表示制御装置１１０から入力されるクロック（ＣＬ１）に応じて、入力レジスタ回路１５４内の表示データをラッチする。
このストレージレジスタ回路１５５に取り込まれた表示データは、レベルシフト回路１５６を介して出力回路１５７に入力される。
出力回路１５７は、正極性の６４階調の階調電圧、あるいは負極性の６４階調の階調電圧に基づき、表示データに対応した１つの階調電圧（６４階調の中の１つの階調電圧）を選択して、各ドレイン信号線（Ｄ）に出力する。

【００３７】
図６は、出力回路１５７の構成を中心に、図５に示すドレインドライバ１３０の構成を説明するためのブロック図である。
同図において、１５３は図５に示す制御回路１５２内のシフトレジスタ回路、１５６は図５に示すレベルシフト回路であり、また、データラッチ部２６５は、図５に示す入力レジ

スタ回路１５４とストレージレジスタ回路１５５とを表し、さらに、デコーダ部（階調電圧選択回路）２６１、アンプ回路対２６３、アンプ回路対２６３の出力を切り替えるスイッチ部（２）２６４が、図５に示す出力回路１５７を構成する。
ここで、スイッチ部（１）２６２およびスイッチ部（２）２６４は、交流化信号（Ｍ）に基づいて制御される。
また、Ｙ１，Ｙ２，Ｙ３，Ｙ４，Ｙ５，Ｙ６は、それぞれ第１番目、第２番目、第３番目、第４番目、第５番目、第６番目のドレイン信号線（Ｄ）を示している。

【００３８】

図６に示すドインドライバ１３０においては、スイッチ部（１）２６２により、データラッチ部２６５（より詳しくは、図５に示す入力レジスタ１５４）に入力されるデータ取り込み用信号を切り替えて、各色毎の表示データを各色毎の隣合うデータラッチ部２６５に入力する。

【００３９】

デコーダ部２６１は、階調電圧生成回路１５１ａから電圧バスライン１５８ａを介して出力される正極性の６４階調の階調電圧の中から、各データラッチ部２６５（より詳しくは、図５に示すストレージレジスタ１５５）から出力される表示用データに対応する正極性の階調電圧を選択する高電圧用デコーダ回路２７８と、階調電圧生成回路１５１ｂから電圧バスライン１５８ｂを介して出力される負極性の６４階調の階調電圧の中から、各データラッチ部２６５から出力される表示用データに対応する負極性の階調電圧を選択する低電圧用デコーダ回路２７９とから構成される。
この高電圧用デコーダ回路２７８と低電圧用デコーダ回路２７９とは、隣接するデータラッチ部２６５毎に設けられる。

【００４０】

アンプ回路対２６３は、高電圧用アンプ回路２７１と低電圧用アンプ回路２７２とにより構成される。
高電圧用アンプ回路２７１には高電圧用デコーダ回路２７８で生成された正極性の階調電圧が入力され、高電圧用アンプ回路２７１は正極性の階調電圧を出力する。
低電圧用アンプ回路２７２には低電圧用デコーダ回路２７９で生成された負極性の階調電圧が入力され、低電圧用アンプ回路２７２は負極性の階調電圧を出力する。

【００４１】

ドット反転法では、隣接する各色の階調電圧は互いに逆極性となり、また、アンプ回路対２６３の高電圧用アンプ回路２７１および低電圧用アンプ回路２７２の並びは、高電圧用アンプ回路２７１→低電圧用アンプ回路２７２→高電圧用アンプ回路２７１→低電圧用アンプ回路２７２となるので、スイッチ部（１）２６２により、データラッチ部１６５に入力されるデータ取り込み用信号を切り替えて、各色毎の表示データを、各色毎の隣り合うデータラッチ部２６５に入力し、それに合わせて、高電圧用アンプ回路２７１あるいは低電圧用アンプ回路２７２から出力される出力電圧をスイッチ部（２）２６４により切り替え、各色毎の階調電圧が出力されるドレイン信号線（Ｄ）、例えば、第１番目のドレイン信号線（Ｙ１）と第４番目のドレイン信号線（Ｙ４）とに出力することにより、各ドレイン信号線（Ｄ）に正極性あるいは負極性の階調電圧を出力することが可能となる。

【００４２】

図７は、図６に示すスイッチ部（２）２６４の一スイッチ回路の回路構成を示す回路図である。
同図に示すように、図６に示すスイッチ部（２）２６４の一スイッチ回路は、高電圧用アンプ回路２７１とｎ番目のドレイン信号（Ｙｎ）との間に接続されるＰＭＯＳトランジスタ（ＰＭ１）と、高電圧用アンプ回路２７１と（ｎ＋３）番目のドレイン信号（Ｙｎ＋１）との間に接続されるＰＭＯＳトランジスタ（ＰＭ２）と、低電圧用アンプ回路２７２と（ｎ＋３）番目のドレイン信号（Ｙｎ＋３）との間に接続されるＮＭＯＳトランジスタ（ＮＭ１）と、低電圧用アンプ回路２７２とｎ番目のドレイン信号（Ｙｎ）との間とに接続されるＮＭＯＳトランジスタ（ＮＭ２）とを有する。

【００４３】
ＰＭＯＳトランジスタ（ＰＭ１）のゲート電極には、インバータ（ＩＮＶ）で反転されたノア回路（ＮＯＲ１）の出力が、また、ＰＭＯＳトランジスタ（ＰＭ２）のゲート電極には、インバータ（ＩＮＶ）で反転されたノア回路（ＮＯＲ２）の出力が、それぞれレベルシフト回路（ＬＳ）でレベルシフトされて入力される。
同様に、ＮＭＯＳトランジスタ（ＮＭ１）のゲート電極には、インバータ（ＩＮＶ）で反転されたナンド回路（ＮＡＮＤ２）の出力が、また、ＮＭＯＳトランジスタ（ＮＭ２）のゲート電極には、インバータ（ＩＮＶ）で反転されたナンド回路（ＮＡＮＤ１）の出力が、それぞれレベルシフト回路（ＬＳ）でレベルシフトされて入力される。
ここで、ナンド回路（ＮＡＮＤ１）とノア回路（ＮＯＲ１）には、交流化信号（Ｍ）が、ナンド回路（ＮＡＮＤ２）およびノア回路（ＮＯＲ２）には、インバータ（ＩＮＶ）で反転された交流化信号（Ｍ）が入力される。
また、ナンド回路（ＮＡＮＤ１，ＮＡＮＤ２）には、出力イネーブル信号（ＥＮＢ）が、ノア回路（ＮＯＲ１，ＮＯＲ２）には、インバータ（ＩＮＶ）で反転された出力イネーブル信号（ＥＮＢ）が入力される。
表１に、ナンド回路（ＮＡＮＤ１，ＮＡＮＤ２）とノア回路（ＮＯＲ１，ＮＯＲ２）の真理値表と、その時の各ＭＯＳトランジスタ（ＰＭ１，ＰＭ２，ＮＭ１，ＮＭ２）のオン・オフ状態を示す。
【００４４】
【表１】

| ENB | M | NOR1 | PM1 | NAND2 | NM1 | NAND1 | PM2 | NOR2 | NM2 |
|---|---|---|---|---|---|---|---|---|---|
| L | * | L | OFF | H | OFF | H | OFF | L | OFF |
| H | H | L | OFF | H | OFF | L | ON | H | ON |
| | L | H | ON | L | ON | H | OFF | L | OFF |

＊は交流化信号（Ｍ）に無関係であることを表す。

【００４５】
表１から分かるように、出力イネーブル信号（ＥＮＢ）がＬｏｗレベル（以下、Ｌレベル）の時に、ナンド回路（ＮＡＮＤ１，ＮＡＮＤ２）はＨｉｇｈレベル（以下、Ｈレベル）、ノア回路（ＮＯＲ１，ＮＯＲ２）はＬレベルとなり、各ＭＯＳトランジスタ（ＰＭ１，ＰＭ２，ＮＭ１，ＮＭ２）はオフ状態となる。
走査ラインの切り替わり時には、高電圧用アンプ回路２７１と低電圧用アンプ回路２７２とも不安定の状態にある。
この出力イネーブル信号（ＥＮＢ）は、走査ラインの切り替わり期間内に、各アンプ回路（２７１，２７２）の出力が、各ドレイン信号線（Ｄ）に出力されるのを防止するために設けられている。
なお、本実施の形態では、この出力イネーブル信号（ＥＮＢ）として、クロック（ＣＬ１）の反転信号を使用しているが、クロック（ＣＬ２）をカウントする等して内部で生成することも可能である。
【００４６】
また、表１から分かるように、出力イネーブル信号（ＥＮＢ）がＨレベルの時には、交流化信号（Ｍ）のＨレベルあるいはＬレベルに応じて、各ナンド回路（ＮＡＮＤ１，ＮＡＮＤ２）がＨレベルあるいはＬレベル、各ノア回路（ＮＯＲ１）がＨレベルあるいはＬレベルとなる。
これにより、ＰＭＯＳトランジスタ（ＰＭ１）およびＮＭＯＳトランジスタ（ＮＭ１）が

オフあるいはオン、ＰＭＯＳトランジスタ（ＰＭ２）およびＮＭＯＳトランジスタ（ＮＭ２）がオンあるいはオフとなり、高電圧用アンプ回路２７１の出力はドレイン信号線（Ｙｎ＋３）に、低電圧用アンプ回路２７２の出力はドレイン信号線（Ｙｎ）、あるいは、高電圧用アンプ回路２７１の出力はドレイン信号線（Ｙｎ）に、低電圧用アンプ回路２７２の出力はドレイン信号線（Ｙｎ＋３）に出力される。

【００４７】

ここで、本実施の形態の液晶表示モジュール（ＬＣＭ）では、各画素の液晶層に印加される階調電圧の電圧範囲は、負極性側で０～５Ｖ、正極性側で５～１０Ｖであり、したがって、低電圧用アンプ回路２７２からは０～５Ｖの負極性の階調電圧が出力され、高電圧用アンプ回路２７１からは５～１０Ｖの正極性の階調電圧が出力される。

この場合に、例えば、ＰＭＯＳトランジスタ（ＰＭ１）がオフで、ＮＭＯＳトランジスタ（ＮＭ２）がオンの場合に、ＰＭＯＳトランジスタ（ＰＭ１）のソース・ドレイン間には、最大１０Ｖの電圧が印加される。

そのため、各ＭＯＳトランジスタ（ＰＭ１，ＰＭ２，ＮＭ１，ＮＭ２）は、ソース・ドレイン間耐圧が１０Ｖの高耐圧ＭＯＳトランジスタが使用される。

【００４８】

近年、ＴＦＴ方式の液晶表示モジュール等の液晶表示装置においては、液晶表示パネル１０が大型化、高解像度化が進み、液晶表示パネル１０の表示画面サイズが大きくなる傾向にあり、さらに、６４階調表示から２５６階調表示へとより多階調表示が進みつつある。

これに伴い、ドレインドライバ１３０は、薄膜トランジスタ（ＴＦＴ）に対する高速な充電特性が要求され、ドレインドライバ１３０において、単純に階調電圧を選択し、直接ドレイン信号（Ｄ）出力する方法では前記要求を満足することが困難となっている。

そのため、ドレインドライバ１３０の最終段にアンプ回路を設け、当該アンプ回路を介して、階調電圧をドレイン信号線（Ｄ）に出力する方法が主流となっている。

図６に示す高電圧用アンプ回路２７１、および低電圧用アンプ回路２７２は、前記した理由により設けられるものであり、従来、この高電圧用アンプ回路２７１、および低電圧用アンプ回路２７２としては、例えば、図８に示すような、オペアンプ（ＯＰ）の反転入力端子（－）と出力端子とが直結され、その非反転入力端子（＋）が入力端子とされるボルテージホロワ回路で構成される。

また、低電圧用アンプ回路２７２に使用されるオペアンプ（ＯＰ）は、例えば、図９に示すような差動増幅回路で構成され、さらに、高電圧用アンプ回路２７１に使用されるオペアンプ（ＯＰ）は、例えば、図１０に示すような差動増幅回路で構成される。

【００４９】

しかしながら、一般に、前記オペアンプ（ＯＰ）はオフセット電圧（Ｖｏｆｆ）を有している。

前記オペアンプ（ＯＰ）の基本増幅回路が、例えば、図９または図１０に示す差動増幅回路により構成されるものである場合には、前記オフセット電圧（Ｖｏｆｆ）は、図９または図１０に示す差動増幅回路における、入力段のＰＭＯＳトランジスタ（ＰＭ５１，５２）またはＮＭＯＳトランジスタ（ＮＭ６１，６２）、あるいは能動負荷回路を構成するＮＭＯＳトランジスタ（ＮＭ６３，６４）またはＰＭＯＳトランジスタ（ＰＭ５３，５４）の対称性の微妙なアンバランスが原因で発生する。

前記入力段のＰＭＯＳトランジスタ（ＰＭ５１，５２）またはＮＭＯＳトランジスタ（ＮＭ６１，６２）、あるいは能動負荷回路を構成するＮＭＯＳトランジスタ（ＮＭ６３，６４）またはＰＭＯＳトランジスタ（ＰＭ５３，５４）の対称性の微妙なアンバランスは、製造工程におけるイオン打ち込み／イオン注入工程、またはホトリソグラフィ工程のばらつきにより、ＭＯＳトランジスタのしきい値電圧（Ｖｔｈ）、またはＭＯＳトランジスタのゲート幅／ゲート長（Ｗ／Ｌ）等が変化してしまうことに起因しているが、工程管理を厳しくしても前記オフセット電圧（Ｖｏｆｆ）を零にすることは不可能である。

【００５０】

そして、図１１に示すように、前記オペアンプ（ＯＰ）がオフセット電圧（Ｖｏｆｆ）を

有していない理想的なオペアンプであれば、入力電圧（Ｖｉｎ）と出力電圧（Ｖｏｕｔ）とは等しくなる（Ｖｉｎ＝Ｖｏｕｔ）に対して、前記オペアンプ（ＯＰ）がオフセット電圧（Ｖｏｆｆ）を有している場合には、入力電圧（Ｖｉｎ）と出力電圧（Ｖｏｕｔ）とは等しくならず、出力電圧（Ｖｏｕｔ）は入力電圧（Ｖｉｎ）にオフセット電圧（Ｖｏｆｆ）が加算（Ｖｏｕｔ＝Ｖｉｎ＋Ｖｏｆｆ）されたものとなる。
なお、図１１は、オフセット電圧（Ｖｏｆｆ）を考慮したオペアンプの等価回路を示す図であり、図１１において、ＲＯＰはオフセット電圧（Ｖｏｆｆ）を有していない理想的なオペアンプ、ＶＯＳは、その電圧値がオセット電圧（Ｖｏｆｆ）と等しい電圧源である。

【００５１】

したがって、ドレインドライバの出力回路（図５に示す１５７）の高電圧用アンプ回路（図６に示す２７１）、および低電圧用アンプ回路（図６に示す２７２）として、前記図８に示すボルテージホロワ回路を使用する従来の液晶表示モジュールでは、ボルテージホロワ回路の入力電圧と出力電圧とが一致せず、ボルテージホロワ回路からドレインド信号線（Ｄ）に出力される液晶駆動電圧は、ボルテージホロワ回路に入力される階調電圧に、オペアンプのオフセット電圧が加算されたものとなる。
これにより、従来の液晶表示モジュールでは、液晶表示パネルに表示される表示画面中に、黒または白の縦筋が発生し、表示品質を著しく損なわせるという問題点があった。

【００５２】

以下、この黒または白の縦筋が発生する理由について詳細に説明する。
図１２は、オフセット電圧（Ｖｏｆｆ）がある場合、およびオフセット電圧（Ｖｏｆｆ）がない場合に、ドレイン信号線（Ｄ）（または画素電極（ＩＴＯ１））に印加される液晶駆動電圧を説明するための図である。
同図に示すＡの領域が、オフセット電圧（Ｖｏｆｆ）がない場合に、ドレイン信号線（Ｄ）に印加される正極性および負極性の液晶駆動電圧を示し、この場合には、画素の輝度は階調電圧に対応する通常の輝度となる。
また、同図に示すＢの領域が、マイナス（－）のオフセット電圧（Ｖｏｆｆ）がある場合に、ドレイン信号線（Ｄ）に印加される正極性および負極性の液晶駆動電圧を示し、この場合には、画素に印加される駆動電圧は、オフセット電圧（Ｖｏｆｆ）の分だけ低くなるので、画素の輝度は、液晶表示パネルがノーマリホワイトタイプの液晶表示パネルであれば、階調電圧に対応する通常の輝度より白くなる。
さらに、同図に示すＣの領域が、プラス（＋）のオフセット電圧（Ｖｏｆｆ）がある場合に、ドレイン信号線（Ｄ）に印加される正極性および負極性の液晶駆動電圧を示し、この場合には、画素に印加される駆動電圧は、オフセット電圧（Ｖｏｆｆ）の分だけ高くなるので、画素の輝度は、液晶表示パネルがノーマリホワイトタイプの液晶表示パネルであれば、階調電圧に対応する通常の輝度より黒くなる。
ここで、図６に示すドレインドライバ１３０において、Ｙ１およびＹ４のドレイン信号線（Ｄ）に接続される高電圧用アンプ回路２７１がプラス（＋）のオフセット電圧（Ｖｏｆｈ）、および、Ｙ１およびＹ４のドレイン信号線（Ｄ）に接続される低電圧用アンプ回路２７２がマイナス（－）のオフセット電圧（Ｖｏｆｌ）を持ち、また、Ｙ２およびＹ５のドレイン信号線（Ｄ）に接続される高電圧用アンプ回路２７１および低電圧用アンプ回路２７２と、Ｙ３およびＹ６のドレイン信号線（Ｄ）に接続される高電圧用アンプ回路２７１および低電圧用アンプ回路２７２とが、共にオフセット電圧（Ｖｏｆｆ）を持たないものであり、さらに、Ｙ１～Ｙ４のドレイン信号線（Ｄ）に同一の階調電圧を印加するものとすると、その時に、Ｙ１～Ｙ４ドレイン信号線（Ｄ）に接続される画素の輝度は、図１３（ａ）に示すようになり、液晶表示パネルがノーマリホワイトタイプの液晶表示パネルであれば、液晶表示パネルの表示画像中に黒の縦筋が生じる。

【００５３】

また、容易に理解できるように、前記条件下で、Ｙ１およびＹ４のドレイン信号線（Ｄ）に接続される高電圧用アンプ回路２７１がマイナス（－）のオフセット電圧（Ｖｏｆｈ）、および、Ｙ１およびＹ４のドレイン信号線（Ｄ）に接続される低電圧用アンプ回路２７

２がプラス（＋）のオフセット電圧（Ｖｏｆｌ）を持つ場合には、液晶表示パネルの表示画像中に白の縦筋が生じることになる。

【００５４】

この場合に、Ｙ１およびＹ４のドレイン信号線（Ｄ）に接続される高電圧用アンプ回路２７１および低電圧用アンプ回路２７２が、同一のプラス（＋）、あるいはマイナス（－）のオフセット電圧（Ｖｏｆｈ，Ｖｏｆｌ）を持つ場合には、図１３（ｂ）に示すように、Ｙ１およびＹ４のドレイン信号線（Ｄ）に接続される画素は、１フレーム目では階調電圧に対応する通常の輝度より黒く、また、２フレーム目では階調電圧に対応する通常の輝度より白くなる。

これにより、Ｙ１およびＹ４のドレイン信号線（Ｄ）に接続される画素の輝度は、２フレーム毎に相殺されるので、液晶表示パネルの表示画像中に白または黒の縦筋は目立たなくなる。

しかしながら、オペアンプのオフセット電圧（Ｖｏｆｆ）は、各オペアンプ毎にランダムに発生するものであり、２つのオペアンプのオフセット電圧（Ｖｏｆｈ，Ｖｏｆｌ）が同一になることは極めて稀であり、２つのオペアンプのオフセット電圧（Ｖｏｆｈ，Ｖｏｆｌ）が同一になることは通常あり得ない。

【００５５】

このように、従来の液晶表示モジュールでは、各ドレイン信号線（Ｄ）に接続されるアンプ回路のオフセット電圧（Ｖｏｆｆ）により、液晶表示パネルの表示画面中に白または黒の縦筋が発生するという問題点があった。

また、オフセットキャンセラ回路も知られているが、このオフセットキャンセラ回路はスイッチドキャパシタ回路を用いているため、フィードスルーによる階調電圧の誤差発生、容量部の面積増、容量充電時間による高速化が制限されるなどの問題点があった。

【００５６】

図１４は、本実施の形態のドレインドライバ１３０における低電圧用アンプ回路２７２の基本回路構成を示す回路図、図１５は、本実施の形態のドレインドライバ１３０における高電圧用アンプ回路２７１の基本回路構成を示す回路図である。

図１４に示す本実施の形態の低電圧用アンプ回路２７２は、図９に示す差動増幅回路に、入力段のＰＭＯＳトランジスタ（ＰＭ５１）のゲート電極（制御電極）を、（＋）入力端子あるいは（－）入力端子に接続するスイッチングトランジスタ（ＮＡ１，ＮＢ１）と、入力段のＰＭＯＳトランジスタ（ＰＭ５２）のゲート電極を、（＋）入力端子あるいは（－）入力端子に接続するスイッチングトランジスタ（ＮＡ２，ＮＢ２）と、出力段のＮＭＯＳトランジスタ（ＮＭ６５）のゲート電極を、入力段のＰＭＯＳトランジスタ（ＰＭ５１）のドレイン電極（第２の電極）、あるいは入力段のＰＭＯＳトランジスタ（ＰＭ５２）のドレイン電極に接続するスイッチングトランジスタ（ＮＡ３，ＮＢ３）と、能動負荷回路を構成するＮＭＯＳトランジスタ（ＮＭ６３，ＮＭ６４）のゲート電極を、入力段のＰＭＯＳトランジスタ（ＰＭ５１）のドレイン電極、あるいは入力段のＰＭＯＳトランジスタ（ＰＭ５２）のドレイン電極に接続するスイッチングトランジスタ（ＮＡ４，ＮＢ４）を付加したものである。

図１５に示す本実施の形態の高電圧用アンプ回路２７１は、図１４に示す低電圧用アンプ回路２７２と同様、図１０に示す差動増幅回路に、スイッチングトランジスタ（ＰＡ１～ＰＡ４，ＰＢ１～ＰＢ４）を付加したものである。

ここで、スイッチングトランジスタ（ＮＡ１～ＮＡ４，ＰＡ１～ＰＡ４）のゲート電極には、制御信号（Ａ）が印加され、また、スイッチングトランジスタ（ＮＢ１～ＮＢ４，ＰＢ１～ＰＢ４）のゲート電極には、制御信号（Ｂ）が印加される。

【００５７】

図１４に示す本実施の形態の低電圧用アンプ回路２７２において、制御信号（Ａ）がＨレベル、制御信号（Ｂ）がＬレベルの場合の回路構成を図１６に、また、制御信号（Ａ）がＬレベル、制御信号（Ｂ）がＨレベルの場合の回路構成を図１７に示す。

なお、図１６、図１７には、図１６、図１７に示すアンプ回路を、一般のオペアンプ記号

を使用して表現した場合の回路構成も合わせて図示してある。
この図１６および図１７から理解できるように、本実施の形態の低電圧用アンプ回路２７２では、入力電圧（Ｖｉｎ）が印加される入力段のＭＯＳトランジスタと、出力電圧（Ｖｏｕｔ）が帰還される入力段のＭＯＳトランジスタとを交互に切り替えるようにしたものである。
それにより、図１６の回路構成では、下記（１）式に示すように、出力電圧（Ｖｏｕｔ）は、入力電圧（Ｖｉｎ）にオフセット電圧（Ｖｏｆｆ）が加算されたものとなる。
【００５８】
【数１】
Ｖｏｕｔ＝Ｖｉｎ＋Ｖｏｆｆ　・・・・・・・・・・・・・・・　（１）
また、図１７の回路構成では、下記（２）式に示すように、出力電圧（Ｖｏｕｔ）は、入力電圧（Ｖｉｎ）からオフセット電圧（Ｖｏｆｆ）が減算されたものとなる。
【００５９】
【数２】
Ｖｏｕｔ＝Ｖｉｎ－Ｖｏｆｆ　・・・・・・・・・・・・・・・　（２）
図１８は、本実施の形態のドレインドライバ１３０の出力段の構成を示す図であり、図１９は、本実施の形態のドレインドライバ１３０の動作を説明するためのタミングチャートである。
図１９に示す出力電圧は、Ｖｏｆｈのオフセット電圧を持つ高電圧用アンプ回路２７１と、Ｖｏｆｌのオフセット電圧を持つ低電圧用アンプ回路２７２とに接続されるドレイン信号線（Ｄ）に対して、当該高電圧用アンプ回路２７１および低電圧用アンプ回路２７２から出力される出力電圧を示すものであり、この出力電圧において、ＶＨは高電圧用アンプ回路２７１がオフセット電圧を持たない時に、高電圧用アンプ回路２７１から出力される正規の階調電圧、ＶＬは低電圧用アンプ回路２７２がオフセット電圧を持たない時に、低電圧用アンプ回路２７２から出力される正規の階調電圧である。
【００６０】
また、図１９のタイムチャートに示すように、図１８に示す制御回路１５２から出力される制御信号（Ａ）および制御信号（Ｂ）は、２フレーム毎にその位相が反転される。
したがって、図１９に示すように、Ｖｏｆｈのオフセット電圧を持つ高電圧用アンプ回路２７１と、Ｖｏｆｌのオフセット電圧を持つ低電圧用アンプ回路２７２とに接続されるドレイン信号線（Ｄ）には、１フレーム目の１ライン目に、高電圧用アンプ回路２７１から（ＶＨ＋Ｖｏｆｈ）の電圧が出力されるが、３フレーム目の１ライン目に、高電圧用アンプ回路２７１から（ＶＨ－Ｖｏｆｈ）の電圧が出力されるので、対応する画素において、高電圧用アンプ回路２７１のオフセット電圧（Ｖｏｆｈ）により生じる輝度の上昇および減少は相殺される。
また、２フレーム目の１ライン目に、低電圧用アンプ回路２７２から（ＶＬ＋Ｖｏｆｌ）の電圧が出力されるが、４フレーム目の１ライン目に、低電圧用アンプ回路２７２から（ＶＬ－Ｖｏｆｌ）の電圧が出力されるので、対応する画素において、低電圧用アンプ回路２７２のオフセット電圧（Ｖｏｆｌ）により生じる輝度の上昇および減少は相殺される。
これにより、図２０に示すように、高電圧用アンプ回路２７１および低電圧用アンプ回路２７２のオフセット電圧（Ｖｏｆｈ，Ｖｏｆｌ）により生じる輝度の上昇および減少は、連続する４フレーム毎に相殺されるので、図１９に示す出力電圧が印加される画素の輝度は、階調電圧に対応する通常の輝度となる。
【００６１】
なお、前記図１９に示すタイムチャートでは、制御信号（Ａ）および制御信号（Ｂ）の位相を、２フレーム毎に反転するようにしたが、制御信号（Ａ）および制御信号（Ｂ）の位相を、各フレーム内で２ライン毎、かつ２フレーム毎に反転させるようにしてもよい。この場合の画素の輝度を、図２１、図２２に示す。
図２１は、制御信号（Ａ）がＨレベルの時に、高電圧用アンプ回路２７１が（＋）のオフセット電圧（Ｖｏｆｈ）を、低電圧用アンプ回路２７２が（＋）のオフセット電圧（Ｖｏ

ｆｌ）を持つ場合であり、また、図２２は、制御信号（Ａ）がＨレベルの時に、高電圧用アンプ回路２７１が（＋）のオフセット電圧（Ｖｏｆｈ）を、低電圧用アンプ回路２７２が（－）のオフセット電圧（Ｖｏｆｌ）を持つ場合である。
いずれの場合においても、高電圧用アンプ回路２７１および低電圧用アンプ回路２７２のオフセット電圧（Ｖｏｆｈ，Ｖｏｆｌ）により生じる輝度の上昇および減少は、連続する４フレーム毎に相殺されるので、画素の輝度は、階調電圧に対応する通常の輝度となる。
しかしながら、制御信号（Ａ）および制御信号（Ｂ）の位相を、各フレーム内で２ライン毎に反転させることにより、図２１、図２２に示すように、列方向の画素の輝度は、２ライン毎に、黒→白（または白→黒）と変化するので、より液晶表示パネル１０に表示される表示画面中に縦筋が目立たなくなる。
なお、図２１または図２２では、１フレーム内で２ライン毎に制御信号（Ａ）および制御信号（Ｂ）の位相を反転させて列方向の画素の輝度を変化させ、それにより縦筋を目立たなくしているが、２ライン毎でなくてもよいことはいうまでもない。

【００６２】

以下、本実施の形態において、制御信号（Ａ）、および制御信号（Ｂ）を生成する方法を説明する。
図２３は、本実施の形態のドレインドライバ１３０内の制御回路１５２内の要部回路構成を示すブロック図である。
同図に示すように、本実施の形態のドレインドライバ１３０内の制御回路１５２内には、シフトレジスタ１５３、制御信号生成回路４００、フレーム認識信号生成回路４１０、シフトクロックイネーブル信号生成回路４２０、シフト用クロック生成回路４３０、パルス生成回路４４０、およびパルス選択回路４５０が設けられる。

【００６３】

図２４は、図２３に示す制御信号生成回路４００の回路構成を示す回路図であり、図２５は、図２４に示す制御信号生成回路４００の動作を説明するためのタイムチャートである。
制御信号生成回路４００にはクロック（ＣＬ１）が入力される。このクロック（ＣＬ１）は、図２５に示すように、Ｄ型フリップ・フロップ回路（Ｆ１）で２分周されてクロック（ＨＣＬ１）となり、さらに、このクロック（ＨＣＬ１）はＤ型フリップ・フロップ回路（Ｆ２）で２分周されて、クロック（ＣＬ１）が４分周されたクロック（ＱＣＬ１）となる。
また、この制御信号生成回路には、各フレームを認識するためのフレーム認識信号（ＦＬＭＮ）が入力される。なお、このフレーム認識信号（ＦＬＭＮ）の生成方法については後述する。
フレーム認識信号（ＦＬＭＮ）は、インバータ（ＩＮＶ）で反転されて信号（ＦＬＭＩＰ）となる。この信号（ＦＬＭＩＰ）は、図２５に示すように、Ｄ型フリップ・フロップ回路（Ｆ３）で２分周されて信号（ＨＣＬ１）となり、さらに、この信号（ＨＣＬ１）は、Ｄ型フリップ・フロップ回路（Ｆ４）で２分周されて、フレーム認識信号（ＦＬＭＮ）が４分周された信号（ＱＦＬＭ）となる。
そして、クロック（ＱＣＬ１）と、信号（ＱＦＬＭ）とは、排他的論理和回路（ＥＸＯＲ１）に入力され、排他的論理和回路（ＥＸＯＲ１）から信号（ＣＨＯＰＡ）が出力され、また、この信号（ＣＨＯＰＡ）をインバータ（ＩＮＶ）で反転することにより信号（ＣＨＯＰＢ）が生成される。
この信号（ＣＨＯＰＡ，ＣＨＯＰＢ）はレベルシフト回路でレベルシフトされて制御信号（Ａ）および制御信号（Ｂ）となる。

【００６４】

これにより、制御信号（Ａ）および制御信号（Ｂ）の位相を、各フレーム内で２ライン毎、かつ２フレーム毎に反転させることができる。
なお、制御信号（Ａ）および制御信号（Ｂ）の位相を、２フレーム毎に反転させる場合には、フレーム認識信号（ＦＬＭＮ）を４分周した信号（ＱＦＬＭ）を、信号（ＣＨＯＰＡ

）とし、また、この信号（ＣＨＯＰＡ）をインバータ（ＩＮＶ）で反転して信号（ＣＨＯＰＢ）とすればよい。
この場合には、図２４に示す制御信号生成回路４００において、Ｄ型フリップ・フロップ回路（Ｆ１，Ｆ２）、および排他的論理和回路（ＥＸＯＲ１）は必要としない。
また、この制御信号生成回路４００では、Ｄ型フリップ・フロップ回路（Ｆ１，Ｆ２）は、フレーム認識信号（ＦＬＭＮ）で初期化される。
一方、Ｄ型フリップ・フロップ回路（Ｆ３，Ｆ４）は、ＰＯＲＮ信号生成回路４０１からの信号（ＰＯＲＮ）で初期化される。
このＰＯＲＮ信号生成回路４０１は、高電圧の電源電圧（ＶＤＤ）を分圧する分圧回路４０２と、この分圧回路４０２の出力が入力されるインバータ回路群４０３とで構成される。
この電源電圧（ＶＤＤ）は、図１に示す電源回路１２０内のＤＣ／ＤＣコンバータ（図示せず）で生成される電圧であり、この電源電圧（ＶＤＤ）は、液晶表示モジュールに電源が投入された時点からしばらくして立ち上がる。
したがって、液晶表示モジュールの電源投入後、このＰＯＲＮ信号生成回路４０１の信号（ＰＯＲＮ）は、しばらくの間Ｌレベルとなるので、Ｄ型フリップ・フロップ回路（Ｆ３，Ｆ４）は、液晶表示モジュールの電源投入時に確実に初期化されることになる。
【００６５】
次に、本実施の形態において、フレーム認識信号（ＦＬＭＮ）を生成する方法を説明する。
前記フレーム認識信号（ＦＬＭＮ）を生成するには、フレームの切り替わりを認識するための信号が必要である。
そして、前記ゲートドライバ１４０には、表示制御装置１１０からフレーム開始指示信号が出力されるので、このフレーム開始指示信号をドレインドライバ１３０にも入力するようにすれば、容易にフレーム認識信号（ＦＬＭＮ）を生成することが可能となる。
しかしながら、この方法では、ドレインドライバ１３０を構成する半導体集積回路（半導体チップ）の入力ピン数を増加させる必要があり、これにより、プリント配線基板の配線パターンを変更する必要がある。
そして、プリント配線基板の配線パターンの変更に伴い、液晶表示モジュールが発する高周波ノイズ特性が変化し、ＥＭＩ（ｅｌｅｃｔｒｏｍａｇｎｅｔｉｃ ｉｎｔｅｒｆｅｒｅｎｃｅ）レベル低下等が懸念される。
さらに、半導体集積回路の入力ピン数を増加させることは、入力ピンのコンパチビリティがなくなる。
【００６６】
そのため、本実施の形態では、表示制御装置１１０からドレインドライバ１３０に出力するスタートパルスのパルス幅を、各フレーム毎に、フレーム内で最初のスタートパルス（以下、フレーム用スタートパルスと称する。）と、それ以外のスタートパルス（以下、フレーム内スタートパルスと称する。）とで異ならせ、それにより、各フレームの切り替わりを認識し、フレーム認識信号（ＦＬＭＮ）を生成するようにしている。
【００６７】
図２６は、図２３に示すフレーム認識信号生成回路４１０の回路構成を示す回路図であり、図２７は、図２６に示すフレーム認識信号生成回路４１０の動作を説明するためのタイムチャートである。
本実施の形態では、フレーム用スタートパルスは、クロック信号（ＣＬ２）の４周期分のパルス幅、フレーム内スタートパルスは、クロック信号（ＣＬ２）の１周期分のパルス幅を持つものとする。
図２６において、Ｄ型フリップ・フロップ回路（Ｆ１１～Ｆ１３）は、クロック信号入力端子にクロック（ＣＬ２）が入力される。
したがって、スタートパルスは、クロック（ＣＬ２）に同期してＤ型フリップ・フロップ回路（Ｆ１１）にラッチされ、信号（ＳＴＥＩＯ）となる。

この信号（ＳＴＥＩＯ）は、クロック（ＣＬ２）に同期してＤ型フリップ・フロップ回路（Ｆ１２）にラッチされ、信号（Ｑ１）となり、さらに、この信号（Ｑ１）は、クロック（ＣＬ２）に同期してＤ型フリップ・フロップ回路（Ｆ１３）にラッチされ、信号（Ｑ２）となる。
この信号（Ｑ２）は、Ｄ型フリップ・フロップ回路（Ｆ１４）のクロック信号入力端子に入力され、また、Ｄ型フリップ・フロップ回路（Ｆ１４）のデータ入力端子（Ｄ）には、信号（ＳＴＥＩＯ）が入力される。
したがって、スタートパルスがクロック信号（ＣＬ２）の４周期分のパルス幅を持つフレーム用スタートパルスであれば、このＤ型フリップ・フロップ回路（Ｆ１４）のＱ出力はＨレベルとなる。
ここで、Ｄ型フリップ・フロップ回路（Ｆ１４）のＱ出力が、次ドレインドライバ用のスタートパルス選択信号（ＦＳＴＥＮＢＰ）となるので、スタートパルス選択信号（ＦＳＴＥＮＢＰ）はＨレベルとなる。
また、Ｄ型フリップ・フロップ回路（Ｆ１４）のＱ出力と、信号（ＳＴＥＩＯ）とは、ナンド回路（ＮＡＮＤ１１）に入力され、このナンド回路（ＮＡＮＤ１１）の出力が、フレーム認識信号（ＦＬＭＮ）となるので、フレーム認識信号（ＦＬＭＮ）は、クロック（ＣＬ２）の２周期分だけＬレベルとなる。
一方、スタートパルスがクロック信号（ＣＬ２）の１周期分のパルス幅を持つフレーム内スタートパルスであれば、このＤ型フリップ・フロップ回路（Ｆ１４）のＱ出力はＬレベルとなる。
これにより、スタートパルス選択信号（ＦＳＴＥＮＢＰ）はＬレベルとなり、また、フレーム認識信号（ＦＬＭＮ）は、Ｈレベルを維持する。

【００６８】

なお、各Ｄ型フリップ・フロップ回路（Ｆ１１～Ｆ１４）は、信号（ＲＥＳＥＴＮ）により初期化される。
本実施の形態においては、この信号（ＲＥＳＥＴＮ）として、クロック（ＣＬ１）の反転信号を使用している。
また、本実施の形態では、フレーム用スタートパルスは、クロック信号（ＣＬ２）の４周期分のパルス幅を持つ場合について説明したが、これに限定されるものではなく、フレーム用スタートパルスが入力された時にのみ、所定期間Ｌレベルとなるフレーム認識信号（ＦＬＭＮ）が生成可能であれば、フレーム用スタートパルスのパルス幅は任意に設定可能である。

【００６９】

本実施の形態において、第１番目のドレインドライバ１３０には、表示制御装置１１０からフレーム用スタートパルスおよびフレーム内スタートパルスが入力され、前記した動作が行われる。
しかし、第２番目以降のドレインドライバ１３０には、表示制御装置１１０からフレーム用スタートパルスおよびフレーム内スタートパルスが入力されないので、第２番目以降のドレインドライバ１３０においても、前記した動作を行わせるためには、入力されるスタートパルスと同じパルス幅を持つパルスをスタートパルスとして、次ドレインドライバ１３０へ出力する必要がある。
そのため、本実施の形態では、図２３に示すパルス生成回路４４０で、クロック信号（ＣＬ２）の４周期分のパルス幅を持つフレーム用スタートパルスを生成し、入力されるスタートパルスがフレーム用スタートパルスである場合に、当該パルス生成回路４４０で生成されたフレーム用スタートパルスを次ドレインドライバ１３０へ送出するようにしている。

【００７０】

以下、ドレインドライバ１３０内で、フレーム用スタートパルスおよびフレーム内スタートパルスを生成する方法について説明する。
図２８は、図２３に示す本実施の形態のドレインドライバ１３０内の制御回路１５２の動

作を説明するためのタイムチャートである。
図２８に示すように、シフトクロックイネーブル信号生成回路４２０は、スタートパルスが入力されると、Ｈレベルのイネーブル信号（ＥＥＮＢ）をシフト用クロック生成回路４３０に出力する。
これにより、シフト用クロック生成回路４３０は、クロック（ＣＬ２）に同期したシフト用クロックを生成し、シフトレジスタ回路１５３に出力する。
シフトレジスタ回路１５３回路の各フリップ・フロップ回路は、データ取り込み用信号（ＳＦＴ１～ＳＦＴｎ＋３）を順次出力し、これにより、入力レジスタ１５４に表示データがラッチされる。
また、ＳＦＴｎのデータ取り込み用信号は、クロック（ＣＬ２）の１周期分のパルス幅を持つ、次段のドレインドライバ１３０のフレーム内スタートパルスとなる。
ここで、ＳＦＴ１～ＳＦＴｎのデータ取り込み用信号は、入力レジスタ１５４に１番目～ｎ番目の表示データをラッチするために使用されるが、ＳＦＴｎ＋１～ＳＦＴｎ＋３のデータ取り込み用信号は、入力レジスタ１５４に表示データをラッチするためには使用されない。
このＳＦＴｎ＋１～ＳＦＴｎ＋３のデータ取り込み用信号は、次段のドレインドライバ１３０のフレーム用スタートパルスを生成するために使用される。
即ち、図２８に示すように、クロック生成回路４５０で、ＳＦＴｎ～ＳＦＴｎ＋３のデータ取り込み用信号に基づき、クロック（ＣＬ２）の４周期分のパルス幅を持つフレーム用スタートパルスを生成する。
前記したように、スタートパルスがフレーム内スタートパルスであれば、スタートパルス選択信号（ＦＳＴＥＮＢＰ）はＬレベルとなるので、パルス選択回路４５０は、フレーム内スタートパルス（即ち、ＳＦＴｎのデータ取り込み用信号）を選択して、次ドレインドライバ１３０に出力する。
一方、スタートパルスがフレーム用スタートパルスであれば、スタートパルス選択信号（ＦＳＴＥＮＢＰ）はＨレベルとなので、パルス選択回路４５０は、フレーム用スタートパルスを選択して、次ドレインドライバ１３０に出力する。

【００７１】

ここで、クロック生成回路４５０としては、例えば、図２９に示すようなものが使用可能である。
この図２９に示すクロック生成回路４５０は、ＳＦＴｎのデータ取り込み用信号に基づき、Ｄ型フリップフロップ回路（Ｆ２１）のＱ出力を反転させ、また、インバータ（ＩＮＶ）で反転されたＳＦＴｎ＋３のデータ取り込み用信号に基づき、Ｄ型フリップフロップ回路（Ｆ２２）のＱ出力を反転させる。
さらに、Ｆ２１とＦ２２とのフリップフロップ回路のＱ出力を排他的論理和回路（ＥＸＯＲ２）に入力し、この排他的論理和回路（ＥＸＯＲ２）からクロック（ＣＬ２）の４周期分のパルス幅を持つフレーム用スタートパルスを生成するようにしたものである。

【００７２】

このように、本実施の形態では、各ドレインドライバ１３０内において、フレーム用スタートパルスと、フレーム内スタートパルスとを生成するようにしたので、これにより、ドレインドライバ１３０を構成する半導体集積回路の入力ピン数を増加させず、入力ピンのコンパチビリティを保ったまま、各ドレインドライバ１３０において、各フレームの切り替わりを認識することが可能となる。

【００７３】

図３０は、本実施の形態のドレインドライバ１３０を構成する半導体集積回路内の各部の配置を示す要部レイアウト図である。
同図に示すように、本実施の形態のドレインドライバ１３０を構成する半導体集積回路は、半導体集積回路の長手方向にドレイン信号線（Ｄ）と接続される端子部が設けられ、半導体集積回路の短手方向に、データラッチ部２６５、レベルシフト回路１５６、デコーダ部２６１、およびアンプ回路対２６３が設けられる。

【００７４】
このレベルシフト回路１５６には、従来、図３１に示すような回路構成のものが使用されていた。
この場合に、レベルシフト回路１５６では、０Ｖ～５Ｖの入力電圧を、０Ｖ～１０Ｖの電圧にレベル変換して出力する必要があり、そのため、図３１に示すレベルシフト回路では、ソース・ドレイン間の耐圧が１０Ｖの高耐圧ＭＯＳトランジスタ（ＰＳＢ１，ＰＳＢ２，ＮＳＢ１，ＮＳＢ２）を使用する必要があった。
このソース・ドレイン間耐圧が１０Ｖの高耐圧ＭＯＳトランジスタは、ソース・ドレイン間耐圧が５Ｖの低耐圧ＭＯＳトランジスタに比して、ゲート長が長くされ、かつ、電流値も大きくする必要があるためゲート幅も大きくされる。
したがって、レベルシフト回路１５６として、ソース・ドレイン間の耐圧が１０Ｖの高耐圧ＭＯＳトランジスタ（ＰＳＢ１，ＰＳＢ２，ＮＳＢ１，ＮＳＢ２）を使用するレベルシフト回路を使用すると、ドレインドライバ１３０を構成する半導体集積回路内でレベルシフト回路１５６部分の面積が大きくなり、それに伴い、ドレインドライバ１３０を構成する半導体集積回路の短手方法のチップサイズが大きくなり、チップ単価を下げることができず、かつ、狭額縁化に対応できないという問題点があった。
【００７５】
図３２は、本実施の形態のレベルシフト回路１５６に使用されるレベルシフト回路の構成を示す回路図である。
図３２に示すレベルシフト回路は、ＰＭＯＳトランジスタ（ＰＳＡ１）とＮＭＯＳトランジスタ（ＮＳＡ１）との間に、電圧降下用のＰＭＯＳトランジスタ（ＰＳＡ３）とＮＭＯＳトランジスタ（ＮＳＡ３）との直列回路が、また、ＰＭＯＳトランジスタ（ＰＳＡ２）とＮＭＯＳトランジスタ（ＮＳＡ２）との間に、電圧降下用のＰＭＯＳトランジスタ（ＰＳＡ４）とＮＭＯＳトランジスタ（ＮＳＡ４）との直列回路が挿入されている点で、前記図３１に示すレベルシフト回路と相違する。
ここで、ＰＭＯＳトランジスタ（ＰＳＡ３，ＰＳＡ４）、およびＮＭＯＳトランジスタ（ＮＳＡ３，ＮＳＡ４）のゲート電極には、ＶＤＤの電源電位と基準電位（ＧＮＤ）との間の中間の電位のバイアス電位（Ｖｂｉｓ）が印加される。
【００７６】
図３３は、図３２に示すレベルシフト回路の各部の電圧波形を示す図であり、図３３は、電源電位（ＶＤＤ）が８Ｖ、バイアス電位（Ｖｂｉｓ）が４Ｖ、入力電圧が０Ｖ～４Ｖの場合の各部の波形を示す図である。
以下、図３３を用いて、図３２に示すレベルシフト回路の動作を説明する。
今、入力電圧が４ＶのＨレベルの場合、ＮＭＯＳトランジスタ（ＮＳＡ１）のゲート電極には４Ｖが印加され、また、ＮＭＯＳトランジスタ（ＮＳＡ２）のゲート電極には、０Ｖ（インバータで反転された入力電圧）が印加されるので、ＮＭＯＳトランジスタ（ＮＳＡ１）はオン、ＮＭＯＳトランジスタ（ＮＳＡ２）はオフとなる。
したがって、図３２に示す（ａ）点の電位は０Ｖとなり、また、ＮＭＯＳトランジスタ（ＮＳＡ３）のゲート電極には４Ｖのバイアス電位（Ｖｂｉｓ）が印加されているので、ＮＭＯＳトランジスタ（ＮＳＡ３）はオンとなり、図３２に示す（ｃ）点の電位も０Ｖとなる。
【００７７】
また、図３２に示す（ｃ）点の電位が０Ｖとなると、ＰＭＯＳトランジスタ（ＰＳＡ３）のゲート電極にも４Ｖのバイアス電位（Ｖｂｉｓ）が印加されているので、ＰＭＯＳトランジスタ（ＰＳＡ３）のソース電極のソース電位が降下する。
このＰＭＯＳトランジスタ（ＰＳＡ３）のソース電位は、ＰＭＯＳトランジスタ（ＰＳＡ２）のゲート電極に印加されるので、それにより、ＰＭＯＳトランジスタ（ＰＳＡ２）がオンとなり、図３２に示す（ｂ’）点の電位は８Ｖとなる。
図３２に示す（ｂ’）点の電位が８Ｖとなると、この（ｂ’）点の電位がゲート電極に印加されるＰＭＯＳトランジスタ（ＰＳＡ１）がオフとなる。

そして、ＰＭＯＳトランジスタ（ＰＳＡ１）がオフとなると、ＰＭＯＳトランジスタ（ＰＳＡ１，ＰＳＡ３）とＮＭＯＳトランジスタ（ＮＳＡ１，ＮＳＡ３）とからなるトランジスタの直列回路には電流が流れないので、ＰＭＯＳトランジスタ（ＰＳＡ３）のソース電極のソース電位（ＶＰＳ）は、下記（３）式のように表される。

【００７８】

【数３】

ＶＰＧＳ＋ＶＰｔｈ＝０

ＶＰＧ－ＶＰＳ＋ＶＰｔｈ＝０

ＶＰＳ＝ＶＰＧ＋ＶＰｔｈ　　・・・・・・・・・・・・・・・・・・・・　（３）

但し、ＶＰＧＳはＰＭＯＳトランジスタ（ＰＳＡ３）のゲート・ソース間電圧、ＶＰＧはＰＭＯＳトランジスタ（ＰＳＡ３）のゲート電位、ＶＰｔｈはしきい値電圧である。

したがって、図３２に示す（ｂ）点の電位、即ち、ＰＭＯＳトランジスタ（ＰＳＡ３）のソース電位（ＶＰＳ）は、そのゲート電位（ＶＰＧ）にしきい値電圧（ＶＰｔｈ　）を加算した電圧となり、ＰＭＯＳトランジスタ（ＰＳＡ３）のソース電位（ＶＰＳ）は、そのゲート電位（ＶＰＧ）（＝４Ｖ）に約等しくなる。

このＰＭＯＳトランジスタ（ＰＳＡ３）のソース電圧（ＶＰＳ）は、ＰＭＯＳトランジスタ（ＰＳＡ１）のドレイン電極のドレイン電圧（ＶＰＤ）に等しいので、ＰＭＯＳトランジスタ（ＰＳＡ１）およびＰＭＯＳトランジスタ（ＰＳＡ３）として、ソース・ドレイン間耐圧が５Ｖの低耐圧ＰＭＯＳトランジスタを使用することが可能となる。

【００７９】

また、ＰＭＯＳトランジスタ（ＰＳＡ２）がオンすることにより、ＰＭＯＳトランジスタ（ＰＳＡ４）がオンし、図３２に示す（ｃ’）点の電位は８Ｖとなる。

さらに、ＮＭＯＳトランジスタ（ＮＳＡ２）がオフであり、ＰＭＯＳトランジスタ（ＰＳＡ２，ＰＳＡ４）とＮＭＯＳトランジスタ（ＮＳＡ２，ＮＳＡ４）とからなるトランジスタの直列回路には電流が流れないので、ＮＭＯＳトランジスタ（ＮＳＡ４）のソース電極のソース電位（ＶＮＳ）は、下記（４）式のように表される。

【００８０】

【数４】

ＶＮＧＳ－ＶＮｔｈ＝０

ＶＮＧ－ＶＮＳ－ＶＮｔｈ＝０

ＶＮＳ＝ＶＮＧ－ＶＮｔｈ　　・・・・・・・・・・・・・・・・・・・・　（４）

但し、ＶＮＧＳはＮＭＯＳトランジスタ（ＮＳＡ４）のゲート・ソース間電圧、ＶＮＧはＮＭＯＳトランジスタ（ＮＳＡ４）のゲート電位、ＶＮｔｈはしきい値電圧である。

したがって、図３２に示す（ａ’）点の電位、即ち、ＮＭＯＳトランジスタ（ＮＳＡ４）のソース電位（ＶＮＳ）は、そのゲート電位（ＶＮＧ）からしきい値電圧（ＶＮｔｈ　）を引いた電圧となり、ＮＭＯＳトランジスタ（ＮＳＡ４）のソース電位（ＶＮＳ）は、そのゲート電位（ＶＮＧ）（＝４Ｖ）に約等しくなる。

このＮＭＯＳトランジスタ（ＮＳＡ４）のソース電圧（ＶＮＳ）は、ＮＭＯＳトランジスタ（ＮＳＡ２）のドレイン電極のドレイン電圧（ＶＮＤ）に等しいので、ＮＭＯＳトランジスタ（ＮＳＡ２）およびＮＭＯＳトランジスタ（ＮＳＡ４）として、ソース・ドレイン間耐圧が５Ｖの低耐圧ＮＭＯＳトランジスタを使用することが可能となる。

【００８１】

また、図３２に示す（ａ）点が０Ｖと、（ｂ）点が４Ｖの時、インバータ回路（ＩＮＶＰ）のＰＭＯＳトランジスタ（ＰＢＰ１）がオン、ＮＭＯＳトランジスタ（ＮＢＰ１）がオフとなる。

また、インバータ回路（ＩＮＶＰ）のＰＭＯＳトランジスタ（ＰＢＰ１）とＮＭＯＳトランジスタ（ＮＢＰ１）との間には、ＰＭＯＳトランジスタ（ＰＢＰ２）とＮＭＯＳトランジスタ（ＮＢＰ２）との直列回路が挿入され、このＭＯＳトランジスタ（ＰＢＰ２，ＮＢＰ２）のゲート電極には、４Ｖのバイアス電位（Ｖｂｉｓ）が印加されているので、出力（Ｑ）は８Ｖとなる。

この場合に、前記した如く、ＮＭＯＳトランジスタ（ＮＢＰ２）のソース電位は、そのゲート電位に略等しくなるので、ＮＭＯＳトランジスタ（ＮＢＰ１）およびＮＭＯＳトランジスタ（ＮＢＰ２）として、ソース・ドレイン間耐圧が５Ｖの低耐圧ＮＭＯＳトランジスタを使用することが可能となる。
同様に、インバータ回路（ＩＮＶＰ）のＰＭＯＳトランジスタ（ＰＢＰ１）がオフ、ＮＭＯＳトランジスタ（ＮＢＰ１）がオンの場合には、ＰＭＯＳトランジスタ（ＰＢＰ２）のソース電位は、そのゲート電位に略等しくなるので、ＰＭＯＳトランジスタ（ＰＢＰ１）およびＮＭＯＳトランジスタ（ＰＢＰ２）として、ソース・ドレイン間耐圧が５Ｖの低耐圧ＰＭＯＳトランジスタを使用することが可能となる。
これにより、本実施の形態では、ドレインドライバ１３０を構成する半導体集積回路内において、レベルシフト回路１５６が占める領域を小さくすることが可能となり、半導体集積回路の短手方向の長さを小さくすることが可能となる。
【００８２】
図３４は、本実施の形態のドレインドライバ１３０を構成する半導体集積回路内において、レベルシフト回路１５６部が占める領域を説明するための模式図である。
同図において、Ｄ（０）～Ｄ（５）は、表示データの各ビット値をラッチするデータラッチ部２６５内のラッチ回路、ＬＳ（０）～ＬＳ（５）は、ラッチ回路（Ｄ（０）～Ｄ（５））毎に設けられるレベルシフト回路１５６内のレベルシフト回路である。
図３４に示すように、従来のレベルシフト回路を採用すると、ソース・ドレイン間耐圧が８Ｖの高耐圧ＭＯＳトランジスタを使用する必要があり、レベルシフト回路の面積が大きくなり、データラッチ部２６５内の２つのラッチ回路毎に、２個のレベルシフト回路を重ねて配置する必要があった。
しかしながら、本実施の形態のレベルシフト回路では、ソース・ドレイン間耐圧が５Ｖの低耐圧ＭＯＳトランジスタが使用できるため、レベルシフト回路の面積が小さくでき、これにより、本実施の形態では、半導体集積回路内で従来の１個のレベルシフト回路が占める面積に、２個のレベルシフト回路を配置することが可能となる。
【００８３】
このため、図３４に示すように、本実施の形態では、データラッチ部２６５内の各ラッチ回路毎に、１個のレベルシフト回路を配置することが可能となる。
したがって、本実施の形態では、従来例と比して、図３４に示す（Ｌ１）の長さだけ、ドレインドライバ１３０を構成する半導体集積回路の短手方向の長さを短くすることが可能となり、狭額縁化に対応することが可能となる。
【００８４】
図３５は、図３２に示すＰＭＯＳトランジスタ（ＰＳＡ１，ＰＳＡ３）およびＮＭＯＳトランジスタ（ＮＳＡ１，ＮＳＡ３）の断面構造を示す要部断面図である。
同図に示すように、ｐ型半導体基板２０にｎウェル領域２１が形成され、このｎウェル領域２１内に形成された各ｐ型半導体領域（２５ａ，２５ｂ，２５ｃ）、およびゲート電極（２７ａ，２７ｂ）により、ＰＭＯＳトランジスタ（ＰＳＡ１，ＰＳＡ３）が構成される。
この場合に、ｐ型半導体領域（２５ｂ）は、ＰＭＯＳトランジスタ（ＰＳＡ１）のドレイン領域と、ＰＭＯＳトランジスタ（ＰＳＡ３）のソース領域とを兼用している。
また、ｐ型半導体基板２０にｐウェル領域２２が形成され、このｐウェル領域２２内に形成された各ｎ型半導体領域（２４ａ，２４ｂ，２４ｃ）、およびゲート電極（２６ａ，２６ｂ）により、ＮＭＯＳトランジスタ（ＮＳＡ１，ＮＳＡ３）が構成される。
この場合に、ｎ型半導体領域（２４ｂ）は、ＮＭＯＳトランジスタ（ＮＳＡ１）のドレイン領域と、ＮＭＯＳトランジスタ（ＮＳＡ３）のソース領域とを兼用している。
ここで、ｐ型半導体基板２０には０Ｖの電圧が、また、ｐウェル領域２２には０Ｖの電圧が、さらに、ｎウェル領域２１には８Ｖの電圧が印加される。
【００８５】
したがって、ｎ型半導体領域（２４ｃ）とｐウェル領域２２との間、およびｐ型半導体領

域（２５ｃ）とｎウェル領域２１との間には、最大８Ｖの逆電圧が印加されるので、この部分の耐圧が十分でない場合には、例えば、２重ドレイン構造（ＤＤＤ）等により、この部分の耐圧を向上させる必要がある。

【００８６】

［実施の形態２］

本発明の実施の形態２の液晶表示モジュールは、ドレインドライバ１３０内の高電圧用デコーダ回路２７８または低電圧用デコーダ回路２７９を構成するトランジスタの数を少なくするようにした点で、前記実施の形態１の液晶表示モジュールと相違する。

以下、本実施の形態のドレインドライバ１３０について、前記実施の形態１との相違点を中心に説明する。

【００８７】

図３６は、前記実施の形態１のドレインドライバ１３０内の高電圧用デコーダ回路２７８および低電圧用デコーダ回路２７９の回路構成を示す回路図である。

なお、図３６には、正極性階調電圧生成回路１５１ａ、および負極性階調電圧生成回路１５１ｂの概略回路構成も合わせて図示している。

高電圧用デコーダ回路２７８は、出力端子に直列接続された６個の高耐圧ＰＭＯＳトランジスタと６個の高耐圧デプレッションＰＭＯＳトランジスタとで構成される６４個のトランジスタ列（ＴＲＰ２）を有し、前記各トランジスタ列（ＴＲＰ２）の出力端子と反対の端子には、階調電圧生成回路１５１ａから電圧バスライン１５８ａを介して出力される正極性の６４階調分の階調電圧が入力される。

また、前記各トランジスタ列（ＴＲＰ２）を構成する６個の高耐圧ＰＭＯＳトランジスタと６個の高耐圧デプレッションＰＭＯＳトランジスタのそれぞれのゲート電極には、レベルシフト回路１５６から出力される６ビットの表示用データの各ビット値（Ｔ）あるいはその反転ビット値（Ｂ）が所定の組み合わせに基づいて選択的に印加される。

【００８８】

低電圧用デコーダ回路２７９は、出力端子に直列接続された６個の高耐圧ＮＭＯＳトランジスタと６個の高耐圧デプレッションＮＭＯＳトランジスタとで構成される６４個のトランジスタ列（ＴＲＰ３）を有し、前記各トランジスタ列（ＴＲＰ３）の出力端子と反対の端子には、階調電圧生成回路１５１ｂから電圧バスライン１５８ｂを介して出力される負極性の６４階調分の階調電圧が入力される。

また、前記各トランジスタ列（ＴＲＰ３）を構成する６個の高耐圧ＮＭＯＳトランジスタと６個の高耐圧デプレッションＮＭＯＳトランジスタのそれぞれのゲート電極には、レベルシフト回路１５６から出力される６ビットの表示用データの各ビット値（Ｔ）あるいはその反転ビット値（Ｂ）が所定の組み合わせに基づいて選択的に印加される。

【００８９】

このように、前記実施の形態１の高電圧用デコーダ回路２７８と低電圧用デコーダ回路２７９は、６４階調毎に、１２個のＭＯＳトランジスタが縦続接続される構成となっている。

したがって、各ドレイン信号線（Ｄ）当たりのＭＯＳトランジスタの総数は７６８個（６４×１２）となる。

【００９０】

近年、液晶表示装置においては、６４階調表示から２５６階調表示へとより多階調表示が進みつつある。しかしながら、従来の高電圧用デコーダ回路２７８と低電圧用デコーダ回路２７９とを使用して、２５６階調表示を行う場合には、各ドレイン信号線（Ｄ）当たりのＭＯＳトランジスタの総数は４０９６個（２５６×１６）となる。

このため、デコーダ部２６１の占める面積が増加し、前記ドレインドライバ１３０を構成する半導体集積回路（ＩＣチップ）のチップサイズが大きくなるという問題点があった。

【００９１】

図３７は、本実施の形態２のドレインドライバ１３０内の高電圧用デコーダ回路２７８と、正極性階調電圧生成回路１５１ａとの回路構成を示す回路図である。

同図に示すように、正極性階調電圧生成回路１５１ａは、前記実施の形態１のように、６４階調の階調電圧を生成せず、正電圧生成回路１２１から入力される正極性の５値の階調基準電圧（Ｖ”０～Ｖ”４）に基づいて、正極性の１７階調の第１階調電圧を生成する。この場合に、正極性階調電圧生成回路１５１ａを構成する抵抗分圧回路の各分圧抵抗は、液晶層に印加する電圧と透過率との関係に合わせて所定の重み付けが成されている。

高電圧用デコーダ回路２７８は、１７階調の第１階調電圧の互いに隣接する第１階調電圧（ＶＯＵＴＡ，ＶＯＵＴＢ）を選択するデコーダ回路３０１と、当該デコーダ回路３０１で選択された第１階調電圧（ＶＯＵＴＡ）を端子（Ｐ１）あるいは端子（Ｐ２）に、また、当該デコーダ回路３０１で選択された第１階調電圧（ＶＯＵＴＢ）を端子（Ｐ２）あるいは端子（Ｐ１）に出力するマルチプレクサ３０２と、当該マルチプレクサ３０２から出力される互いに隣接する第１階調電圧（ＶＯＵＴＡ，ＶＯＵＴＢ）間の電位差（ΔＶ）を分圧して、Ｖａ，Ｖａ＋１／４ΔＶ，Ｖａ＋２／４（＝１／２）ΔＶ，Ｖａ＋３／４ΔＶの電圧を生成する第２階調電圧生成回路３０３とを有する。

【００９２】

デコーダ回路３０１は、奇数番目の第１階調電圧の中から、６ビットの表示データの上位４ビット（Ｄ２～Ｄ５）に対応する第１階調電圧を選択する第１デコーダ回路３１１と、偶数番目の第１階調電圧の中から、６ビットの表示データの上位３ビット（Ｄ３～Ｄ５）に対応する第１階調電圧を選択する第２デコーダ回路３１２とで構成される。

第１デコーダ回路３１１は、６ビットの表示データの上位４ビット（Ｄ２～Ｄ５）により、第１番目の第１階調電圧（Ｖ１）と第１７番目の第１階調電圧（Ｖ１７）とを１回、第３番目の第１階調電圧（Ｖ３）ないし第１５番目の第１階調電圧（Ｖ１５）を、それぞれ連続して２回選択するように構成される。

しかしながら、第２デコーダ回路３１２は、６ビットの表示データの上位３ビット（Ｄ３～Ｄ５）により、第２番目の第１階調電圧（Ｖ２）ないし第１６番目の第１階調電圧（Ｖ１６）を、１回選択するように構成される。

なお、図３７において、○はデータビットがＬレベルでオンとなるスイッチ素子（例えば、ＰＭＯＳトランジスタ）であり、また、●はデータビットがＨレベルでオンとなるスイッチ素子（例えば、ＮＭＯＳトランジスタ）である。

【００９３】

ここで、Ｖ”０＜Ｖ”１＜Ｖ”２＜Ｖ”３＜Ｖ”４であるので、表示データの３ビット（Ｄ２）のビット値がＬレベルの場合、階調電圧ＶＯＵＴＡとして、ＶＯＵＴＢの階調電圧よりも低電位の階調電圧が出力され、また、表示データの３ビット（Ｄ２）のビット値がＨレベルの場合、階調電圧ＶＯＵＴＡとして、ＶＯＵＴＢの階調電圧よりも高電位の階調電圧が出力される。

したがって、この表示データの３ビット（Ｄ２）目のビット値のＨレベルおよびＬレベルに応じてマルチプレクサ３０２を切り換え、表示データの３ビット（Ｄ２）目のビット値がＬレベルの時に端子（Ｐ１）にＶＯＵＴＡの階調電圧を、端子（Ｐ２）にＶＯＵＴＢの階調電圧を出力し、また、表示データの３ビット（Ｄ２）目のビット値がＨレベルの時に端子（Ｐ１）にＶＯＵＴＢの階調電圧を、端子（Ｐ２）にＶＯＵＴＡの階調電圧を出力する。

これにより、端子（Ｐ１）の階調電圧を（Ｖａ）、端子（Ｐ２）の階調電圧を（Ｖｂ）とするとき、常に、Ｖａ＜Ｖｂとすることができ、第２階調電圧生成回路３０３の設計が簡単となる。

【００９４】

第２階調電圧生成回路３０３は、端子（Ｐ１）と高電圧用アンプ回路２７１の入力端との間に接続されるスイッチ素子（Ｓ１）と、一端が高電圧用アンプ回路２７１の入力端に接続され、他端が、スイッチ素子（Ｓ２）を介して端子（Ｐ１）に、また、スイッチ素子（Ｓ５）を介して端子（Ｐ２）に接続されるコンデンサ（Ｃ１）と、一端が高電圧用アンプ回路２７１の入力端に接続され、他端が、スイッチ素子（Ｓ３）を介して端子（Ｐ１）に、また、スイッチ素子（Ｓ４）を介して端子（Ｐ２）に接続されるコンデンサ（Ｃ２）と

、端子（Ｐ２）と高電圧用アンプ回路２７１の入力端との間に接続されるコンデンサ（Ｃ３）とで構成される。
ここで、コンデンサ（Ｃ１）とコンデンサ（Ｃ３）との容量値は同一に、コンデンサ（Ｃ２）の容量値は、コンデンサ（Ｃ１）およびコンデンサ（Ｃ３）の容量値の２倍の容量値とされる。
また、各スイッチ素子（Ｓ１～Ｓ５）は、図３８に示すように、表示データの下位２ビット（Ｄ０，Ｄ１）のビット値に応じてオン・オフされる。
なお、図３８には、表示データの下位２ビット（Ｄ０，Ｄ１）のビット値に応じて、第２階調電圧生成回路３０３から出力される階調電圧の値と、表示データの下位２ビット（Ｄ０，Ｄ１）のビット値に応じた、第２階調電圧生成回路３０３の回路構成とを合わせて図示している。

【００９５】
なお、低電圧用デコーダ回路２７９も、前記高電圧用デコーダ回路２７８と同様に構成でき、この場合に、低電圧用デコーダ回路２７９は、負極性階調電圧生成回路１５１ｂから生成される負極性の１７階調の第１階調電圧を選択する。
また、負極性階調電圧生成回路１５１ｂは、負電圧生成回路１２２から入力される負極性の５値の階調基準電圧（Ｖ”５～Ｖ”９）に基づいて、負極性の１７階調の第１階調電圧を生成し、さらに、負極性階調電圧生成回路１５１ｂを構成する抵抗分圧回路の各分圧抵抗は、液晶層に印加する電圧と透過率との関係に合わせて所定の重み付けが成される。
この低電圧用デコーダ回路２７９では、Ｖ”５＞Ｖ”６＞Ｖ”７＞Ｖ”８＞Ｖ”９となるので、端子（Ｐ１）の階調電圧を（Ｖａ）、端子（Ｐ２）の階調電圧を（Ｖｂ）とするとき、常に、Ｖａ＞Ｖｂとなる。

【００９６】
図３９は、図３７に示す高電圧用デコーダ回路２７８、および図３７に示す高電圧用デコーダ回路２７８と同様の回路構成の低電圧用デコーダ回路２７９を使用した場合の、本実施の形態２の液晶表示モジュールのドレインドライバ１３０内の出力段の概略構成を示す図である。
同図において、高電圧用アンプ回路２７１には前記図１５に示す回路構成のアンプ回路が、また、低電圧用アンプ回路２７２には前記図１４に示す回路構成のアンプ回路が使用される。
このように、本実施の形態では、デコーダ回路を構成するスイッチング素子は、第１デコーダ回路３１１で６４（＝（９＋７）×４）、第２デコーダ回路３１２で２４（＝３×８）であるので、各ドレイン信号線（Ｄ）当たりのデコーダ回路を構成するスイッチング素子（ＭＯＳトランジスタ）の総数は８８となり、前記実施の形態１の各ドレイン信号線（Ｄ）当たりのＭＯＳトランジスタの総数７６８個に比べて大幅に少なくすることが可能となる。
また、スイッチング素子を減少させることにより、ドレインドライバ１３０の内部電流を低減させることができるので、液晶表示モジュール（ＬＣＭ）全体の消費電力を低減することができ、それにより、液晶表示モジュール（ＬＣＭ）の信頼性を向上させることが可能となる。

【００９７】
図４０は、本実施の形態のドレインドライバ１３０内の高電圧用デコーダ回路２７８の他の例の回路構成を示す回路図であり、同図において、○はＰＭＯＳトランジスタを、●はＮＭＯＳトランジスタを示している。

【００９８】
なお、図４０では、２５６階調の階調電圧を生成する場合の回路構成の一例を示し、そのため、（Ｄ０～Ｄ７）の８ビットの表示データの各ビット値およびその反転値が、所定の組み合わせ組み合の基に各ＰＭＯＳトランジスタのゲート電極に印加されるようになっている。

【００９９】

前記図３７に示す高電圧用デコーダ回路２７８において、各デコード行毎に同じ電圧がゲート電極に印加されるＭＯＳトランジスタは、表示データの上位ビット程連続している。したがって、この各桁毎に同じ電圧がゲート電極に印加され、且つ各デコード行毎に連続するＭＯＳトランジスタを１個のＭＯＳトランジスタに置換しても、機能的には何ら問題はない。

【０１００】

図４０に示す高電圧用デコーダ回路２７８は、この各桁毎に同じ電圧がゲート電極に印加され、且つ各デコード行毎に連続するＭＯＳトランジスタを１個のＭＯＳトランジスタに置換したのである。

さらに、図４０に示す高電圧用デコーダ回路２７８では、最小サイズのＭＯＳトランジスタのゲート電極のゲート幅をＷとする時、その最小サイズのＭＯＳトランジスタの上位桁のＭＯＳトランジスタのゲート電極のゲート幅を２Ｗ、さらに、その上位桁のＭＯＳトランジスタのゲート電極のゲート幅を４Ｗと、表示データの上位ビットがゲート電極に印加されるＭＯＳトランジスタ（上位ビット側のＭＯＳトランジスタ）のゲート電極のゲート幅（Ｗ）を最小サイズのＭＯＳトランジスタのゲート電極のゲート幅の２の（ｍ－ｊ）乗倍としている。

ここで、ｍは表示データのビット数、ｊは最小サイズのＭＯＳトランジスタで構成されるビットの中で最上位ビットのビット番号である。

【０１０１】

図４０に示す高電圧用デコーダ回路２７８において、最小サイズのＭＯＳトランジスタの抵抗をＲとするとき、各デコード行のＭＯＳトランジスタの合成抵抗は、デコーダ回路３１１で約２Ｒ（　Ｒ＋Ｒ／２＋Ｒ／４＋Ｒ／８＋Ｒ／１６）、デコーダ回路３１２で約２Ｒ（　Ｒ＋Ｒ／２＋Ｒ／４＋Ｒ／８）となる。

なお、図４０に、最小サイズのＭＯＳトランジスタの抵抗をＲとした時の、各桁のＭＯＳトランジスタの抵抗を合わせて図示している。

したがって、図４０に示す高電圧用デコーダ回路２７８では、各デコード行のＭＯＳトランジスタの合成抵抗を低減することができ、第２階調電圧生成回路３０３を構成する各コンデンサに電荷を再配分する際に大電流の充放電を流すことができるので、デコーダ回路を高速化することができるとともに、デコーダ回路３１１とデコーダ回路３１２との合成抵抗値を同等にできるため、生成される２階調の速度差を低減することができる。

【０１０２】

また、一般に、ＭＯＳトランジスタでは、基板・ソース間電圧（$V_{BS}$）により、しきい値電圧（Ｖｔｈ）が正の方向に変化し、それにより、ドレイン電流（$I_{DS}$）が減少する。即ち、ＭＯＳトランジスタの抵抗が増大する。

【０１０３】

そのため、図４０に示す高電圧用デコーダ回路２７８では、基板・ソース間電圧（$V_{BS}$）が同等となる階調電圧（図４０では、Ｖ１６（またはＶ１８）、Ｖ１５（またはＶ１７）の階調電圧）を境にして、ＰＭＯＳトランジスタ領域と、ＮＭＯＳトランジスタ領域とに分離するようにしている。

これにより、図４０に示す高電圧用デコーダ回路２７８では、デコーダ回路を構成するＭＯＳトランジスタにおける、基板バイアス効果による抵抗の増加を抑制することができる。

【０１０４】

図４１は、本実施の形態のドレインドライバ１３０内の低電圧用デコーダ回路２７９の他の例の回路構成を示す回路図である。

図４１に示す低電圧用デコーダ回路２７９は、図４０に示す高電圧用デコーダ回路２７８と同様な回路構成としたものである。

しかしながら、低電圧用デコーダ回路２７９では、基板・ソース間電圧（$V_{BS}$）が同等となる階調電圧（図４０では、Ｖ１６（またはＶ１８）、Ｖ１５（またはＶ１７）の階調電圧）を境にして、ＰＭＯＳトランジスタ領域と、ＮＭＯＳトランジスタ領域とを分離す

る際に、ＰＭＯＳトランジスタ領域と、ＮＭＯＳトランジスタ領域とが、高電圧用デコーダ回路２７８と反対になっている。
但し、各電圧は、Ｖ１＞Ｖ２＞Ｖ３……＞Ｖ３２＞Ｖ３３とする。
【０１０５】
なお、前記各実施の形態において、デコード回路３０１を構成する各ＭＯＳトランジスタは、高耐圧ＭＯＳトランジスタで構成されるか、あるいは、ゲート電極電極部のみ高耐圧構造としたＭＯＳトランジスタで構成される。
さらに、デコード回路３０１の低ビット側のＭＯＳトランジスタは、ドレイン・ソース間耐圧が低いＭＯＳトランジスタを使用することができ、この場合には、デコーダ回路３０１部分のサイズをより小さくすることが可能となる。
【０１０６】
図４２は、図４０に示す高電圧用デコーダ回路２７８において使用される第２階調電圧生成回路３０３の回路構成の一例を示す回路図である。
図４２に示す第２階調電圧生成回路３０３において、コンデンサ（Ｃｏ１）とコンデンサ（Ｃｏ２）との容量値は同一、コンデンサ（Ｃｏ３）の容量値は、コンデンサ（Ｃｏ１）の容量値の２倍の容量値、コンデンサ（Ｃｏ４）の容量値は、コンデンサ（Ｃｏ１）の容量値の４倍の容量値とされる。
また、各スイッチ制御回路（ＳＧ１～ＳＧ３）は、ナンド回路（ＮＡＮＤ）、アンド回路（ＡＮＤ）、およびノア回路（ＮＯＲ）を備える。表２に、このナンド回路（ＮＡＮＤ）、アンド回路（ＡＮＤ）、およびノア回路（ＮＯＲ）の真理値表を示す。
【０１０７】
【表２】

| ／ＣＲ | ／ＴＣＫ | ／Ｄ | ＮＡＮＤ | ＡＮＤ | ＮＯＲ | Ｓｎ１ | Ｓｎ２ |
|---|---|---|---|---|---|---|---|
| Ｌ | Ｈ | ＊ | Ｈ | Ｌ | Ｌ | ＯＦＦ | ＯＮ |
| Ｈ | Ｈ | ＊ | Ｈ | Ｌ | Ｈ | ＯＦＦ | ＯＦＦ |
| | Ｌ | Ｈ | Ｌ | Ｌ | Ｈ | ＯＮ | ＯＦＦ |
| | | Ｌ | Ｈ | Ｈ | Ｌ | ＯＦＦ | ＯＮ |

＊は、表示データに無関係であることを表す。

【０１０８】
リセットパルス（／ＣＲ）がＬレベルであると、スイッチ素子（ＳＳ１）はオン、また、ノア回路（ＮＯＲ）の出力はＬレベルとなり、各スイッチ素子（Ｓ０２，Ｓ１２，Ｓ２２）はオンとなる。
【０１０９】
この場合に、タイミングパルス（／ＴＣＫ）はＨレベルであり、ナンド回路（ＮＡＮＤ）の出力はＨレベルとなり、各スイッチ素子（Ｓ０１，Ｓ１１，Ｓ２１）はオフとなる。これにより、各コンデンサ（Ｃｏ１～Ｃｏ４）の両端は端子（Ｐ２）に接続されるので、各コンデンサ（Ｃｏ１～Ｃｏ４）は充放電されて、その電位差が０ボルトの状態にされる。
【０１１０】
次に、リセットパルス（／ＣＲ）がＨレベルで、タイミングパルス（／ＴＣＫ）がＬレベルになると、表示データの下位３ビット（Ｄ０～Ｄ２）のそれぞれのビット値に応じて、各スイッチ素子（Ｓ０１，Ｓ０２，Ｓ１１，Ｓ１２，Ｓ２１，Ｓ２２）は、オンあるいは

オフとされる。
【０１１１】
これにより、端子（Ｐ１）の階調電圧を（Ｖａ）、端子（Ｐ２）の階調電圧を（Ｖｂ）とすると、この第２階調電圧生成回路３０２から、Ｖａ＋１／８Δ、Ｖａ＋２／８Δ、…Ｖｂ（Ｖａ＋８／８Δ）の階調電圧が出力される。
【０１１２】
また、第２階調電圧生成回路３０３は、コンデンサに代えて抵抗を使用することも可能であるが、この場合には、高抵抗値の抵抗を使用し、さらに、各抵抗の抵抗値の大小関係は、コンデンサと逆にする必要がある。
【０１１３】
例えば、図３７に示す第２階調電圧生成回路３０３において、コンデンサに代えて抵抗を使用する場合、コンデンサ（Ｃ１）およびコンデンサ（Ｃ３）と置換される抵抗の抵抗値は、コンデンサ（Ｃ２）と置換される抵抗の抵抗値の２倍の抵抗値とする必要がある。
【０１１４】
［実施の形態３］
本発明の実施の形態３の液晶表示モジュールは、ドレインドライバ１３０内の高電圧用アンプ回路２７１および低電圧用アンプ回路２７２として反転増幅回路を用いる点で、前記実施の形態２の液晶表示モジュールと相違する。
以下、本実施の形態のドレインドライバ１３０について、前記実施の形態２との相違点を中心に説明する。
図４３は、図３７に示す高電圧用デコーダ回路２７８、および図３７に示す高電圧用デコーダ回路２７８と同様の回路構成の低電圧用デコーダ回路２７９を使用した場合の、本実施の形態３の液晶表示モジュールのドレインドライバ１３０内の出力段の概略構成を示す図である。
同図において、高電圧用アンプ回路２７１には前記図１５に示す差動増幅回路が、また、低電圧用アンプ回路２７２には前記図１４に示す差動増幅回路が使用される。
図４４は、図４３に示す高電圧用アンプ回路２７１、または低電圧用アンプ回路２７２の一つと、その入力段に接続されるスイッチドキャパシタ回路３１３とを示す図である。
図４４に示すように、オペアンプ（ＯＰ２）の反転入力端子（－）と出力端子との間にはスイッチ回路（ＳＷＡ０１）とコンデンサ（ＣＡ１）の並列回路が接続され、また、オペアンプ（ＯＰ２）の反転入力端子（－）には、各コンデンサ（ＣＡ２～ＣＡ４）の一方の端子が接続される。
この各コンデンサ（ＣＡ２～ＣＡ４）の他方の端子には、各スイッチ回路（ＳＷＡ１１～ＳＷＡ３１）を介して、互いに隣接する第１階調電圧の一つ、即ち、図３７に示す端子（Ｐ１）に出力される第１階調電圧（Ｖａ）が、また、各スイッチ回路（ＳＷＡ１２～ＳＷＡ３２）を介して、互いに隣接する第１階調電圧の一つ、即ち、図３７に示す端子（Ｐ２）に出力される第１階調電圧（Ｖｂ）が印加される。
さらに、オペアンプ（ＯＰ２）の非反転入力端子（＋）には、互いに隣接する第１階調電圧の一つ（図３７に示す端子（Ｐ２）に出力される第１階調電圧（Ｖｂ））が印加される。
ここで、コンデンサ（ＣＡ２）とコンデンサ（ＣＡ４）との容量値は同一に、コンデンサ（ＣＡ３）の容量値は、コンデンサ（ＣＡ２）の容量値の２倍の容量値、コンデンサ（ＣＡ１）の容量値は、コンデンサ（ＣＡ２）の容量値の４倍の容量値とされる。
【０１１５】
この反転増幅回路では、リセット動作時に、スイッチ回路（ＳＷＡ０１）およびスイッチ回路（ＳＷＡ１１～ＳＷＡ３１）がオン、スイッチ回路（ＳＷＡ１２～ＳＷＡ３２）がオフとなる。
この状態では、コンデンサ（ＣＡ１）がリセットされ、また、オペアンプ（ＯＰ２）はボルテージホロワ回路を構成し、オペアンプ（ＯＰ２）の出力端子および反転入力端子（－）の電位は第１階調電圧（Ｖｂ）となるので、各コンデンサ（ＣＡ２～ＣＡ４）は、（Ｖ

ｂ－Ｖａ＝ΔＶ）の電圧に充電される。
また、通常の状態では、スイッチ回路（ＳＷＡ０１）がオフとなり、また、スイッチ回路（ＳＷＡ１１～ＳＷＡ３１）およびスイッチ回路（ＳＷＡ１２～ＳＷＡ３２）は、所定の組み合わせにしたがってオンあるいはオフとなる。
これにより、Ｖａの第１階調電圧が第１階調電圧（Ｖｂ）を基準にして反転増幅され、オペアンプ（ＯＰ２）の出力端子から、Ｖｂ＋Ｖａ，Ｖｂ＋Ｖａ＋１／４ΔＶ，Ｖｂ＋Ｖａ＋１／２ΔＶ，Ｖｂ＋Ｖａ＋３／４ΔＶの電圧が出力される。
【０１１６】
［実施の形態４］
本発明の実施の形態４の液晶表示モジュールは、電源回路１２０より負極性の階調基準電圧（Ｖ”５～Ｖ”９）をドレインドライバ１３０に出力し、また、ドレインドライバ１３０において、この負極性の階調基準電圧（Ｖ”５～Ｖ”９）から負極性の３２階調の階調電圧を生成し、さらに、高電圧用アンプ回路２７１として反転増幅回路を用い、前記負極性の階調電圧を反転増幅回路で反転増幅して正極性の階調電圧をドレイン信号線（Ｄ）に印加するようにした点で、前記実施の形態１の液晶表示モジュールと相違する。
以下、本実施の形態のドレインドライバ１３０について、前記実施の形態１との相違点を中心に説明する。
図４５は、本実施の形態３の液晶表示モジュールのドレインドライバ１３０内の出力段の概略構成を示す図である。
同図において、高電圧用アンプ回路２７１には前記図１５に示す差動増幅回路が、また、低電圧用アンプ回路２７２には前記図１４に示す差動増幅回路が使用される。
本実施の形態の高電圧用アンプ回路２７１では、オペアンプ（ＯＰ３）は反転増幅回路を構成する。
そのため、このオペアンプ（ＯＰ３）の入力段には、図６に示す高電圧用デコーダ回路２７８に代えて、図６に示す低電圧用デコーダ回路２７９が接続される。
即ち、本実施の形態では、図６に示すデコーダ部２６１は、全て低電圧用デコーダ回路２７９が使用される。
それに伴い、図示していないが、本実施の形態では、電源回路１２０内の正電圧生成回路１２１、およびドレインドライバ１３０内の正極性階調電圧生成回路１５１ａは必要ではない。
【０１１７】
図４５に示すように、オペアンプ（ＯＰ３）の反転入力端子（－）と出力端子との間には、スイッチ回路（ＳＷＢ１）とコンデンサ（ＣＢ１）の並列回路が接続され、また、オペアンプ（ＯＰ３）の反転入力端子（－）には、コンデンサ（ＣＢ２）の一方の端子が接続される。
コンデンサ（ＣＢ２）の他方の端子には、スイッチ（ＳＷＢ３）を介して低電圧用デコーダ回路２７２からの階調電圧が、また、スイッチ（ＳＷＢ２）を介して基準電位（Ｖｒｅｆ）が印加される。
さらに、オペアンプ（ＯＰ３）の非反転入力端子（＋）には基準電位（Ｖｒｅｆ）が印加される。
ここで、この基準電位（Ｖｒｅｆ）は、コモン電極（ＩＴＯ２）に印加される液晶駆動電圧（Ｖｃｏｍ）の電位でもある。
【０１１８】
この反転増幅回路は、リセット動作時に、スイッチ回路（ＳＷＢ１）およびスイッチ回路（ＳＷＢ２）がオン、スイッチ回路（ＳＷＢ３）がオフとなる。
この状態では、オペアンプ（ＯＰ３）はボルテージホロワ回路を構成し、オペアンプ（ＯＰ３）の出力端子および反転入力端子の電位は基準電位（Ｖｒｅｆ）となり、また、コンデンサ（ＣＢ２）の他方の端子にも、基準電位（Ｖｒｅｆ）が印加されるので、コンデンサ（ＣＢ１）およびコンデンサ（ＣＢ２）はリセットされる。
また、通常の状態では、スイッチ回路（ＳＷＢ１）およびスイッチ回路（ＳＷＢ２）がオ

フ、スイッチ回路（ＳＷＢ３）がオンとなり、コンデンサ（ＣＡ２）を介して入力される負極性の階調電圧は、基準電位（Ｖｒｅｆ）を基準にして反転増幅され、オペアンプ（ＯＰ３）の出力端子から正極性の階調電圧が出力される。
本実施の形態では、図６に示す高電圧用デコーダ回路２７１に代えて、図６に示す低電圧用デコーダ回路２７２が使用され、さらに、電源回路１２０内の正電圧生成回路１２１、およびドレインドライバ１３０内の正極性階調電圧生成回路１５１ａが不要となるので、構成が簡略化することが可能となる。
【０１１９】
［実施の形態５］
本発明の実施の形態５の液晶表示モジュールは、高電圧用アンプ回路２７１および低電圧用アンプ回路２７２として、単一のアンプ回路２７３を使用する点で、前記実施の形態１と相違する。
以下、本実施の形態のドレインドライバ１３０について、前記実施の形態１との相違点を中心に説明する。
図４６は、本実施の形態３の液晶表示モジュールのドレインドライバ１３０内の出力段の概略構成を示す図である。
同図において、２７３は負極性および正極性の階調電圧を出力する単一のアンプ回路であり、本実施の形態では、このアンプ回路２７３から負極性および正極性の階調電圧を出力する。
したがって、このアンプ回路２７３には、高電圧用デコーダ回路２７８で選択された正極性の階調電圧、あるいは負電圧用デコーダ回路２７９で選択された負極性の階調電圧を入力する必要がある。
それに伴い、図４７に示すように、本実施の形態では、スイッチ部（２）２６４は、デコーダ部２６１とアンプ回路対２６３との間に設ける必要がある。
【０１２０】
図４８は、図４６に示すアンプ回路２７３に使用される差動増幅回路の一例の回路構成を示す図である。
図４８に示すアンプ回路２７３において、●はスイッチングトランジスタを示し、図面中でＡと添え書き記載されている●は制御信号（Ａ）でオンするスイチングトランジスタを、Ｂと添え書き記載されている●は制御信号（Ｂ）でオンするスイチングトランジスタを示している。
図４８に示すアンプ回路２７３は、出力段をプッシュプル構成とし、それにより、単一のアンプ回路で、負極性および正極性の階調電圧を出力することを可能としている。
また、図４８に示すアンプ回路２７３は、電流（Ｉ１，Ｉ２）がオフの時でも、電流（Ｉ１’，Ｉ２’）を流すことができるので、ダイナミックレンジが広いという特性を有している。
【０１２１】
本実施の形態では、各ドレイン信号線（Ｄ）毎に単一のアンプ回路から負極性および正極性の階調電圧を出力するようにされており、各画素の輝度は、コモン電極（ＩＴＯ２）に印加されるコモン電位（Ｖｃｏｍ）からの電位で決定されるため、正極性の階調電圧（ＶＨ）とコモン電極（ＩＴＯ２）の電位（Ｖｃｏｍ）との間の電圧（｜ＶＨ－Ｖｃｏｍ｜）と、負極性の階調電圧（ＶＬ）とコモン電極（ＩＴＯ２）の電位（Ｖｃｏｍ）との間の電圧（｜ＶＬ－Ｖｃｏｍ｜）とが等しい（｜ＶＨ－Ｖｃｏｍ｜＝｜ＶＬ－Ｖｃｏｍ｜）場合であれば、縦筋の問題はないが、多くの場合、液晶層の極性による対称性、あるいはゲートドライバ１４０のカップリングにより、正極性の階調電圧（ＶＨ）と負極性の階調電圧（ＶＬ）とは一致しないので、本実施の形態においても本発明は有用である。
【０１２２】
［実施の形態６］
前記した如く、液晶表示装置においては、液晶表示パネルの高解像度化が要求されている。

このような、液晶表示パネルの高解像度化に伴い、表示制御装置１１０、ドレインドライバ１３０およびゲートドライバ１４０も高速動作を余儀なくされており、特に、表示制御装置１１０からドレインドライバ１３０に出力されるクロック（ＣＬ２）および表示データの動作周波数は高速化の影響が大きい。
例えば、ＸＧＡ表示モードの１０２４×７６８画素の液晶表示パネルでは、６５ＭＨｚの周波数のクロック（ＣＬ２）および３２．５ＭＨｚ（６５ＭＨｚの半分）の周波数の表示データが必要となる。

【０１２３】

そのため、例えば、ＸＧＡ表示モードの場合、本実施の形態の液晶表示モジュールでは、表示制御装置１１０からドレインドライバ１３０へ、クロック（ＣＬ２）の周波数を３２．５ＭＨｚ（６５ＭＨｚの半分）にして、ドレインドライバ１３０において、クロック（ＣＬ２）の立ち上がり時および立ち下がり時で表示データをラッチするようにしている。
図４９は、出力回路の構成を中心に、本実施の形態６のドレインドライバ１３０の構成を説明するためのブロック図である。
図４９は、前記図６に対応する図であるが、図４９の図示内容は、図６と若干相違しており、また、シフトレジスタ回路（図６の１５６）は省略してある。
以下、本実施の形態のドライバ１３０について、前記実施の形態１との相違点を中心に説明する。
図４９に示すように、本実施の形態のドライバ１３０においては、プリラッチ部１６０が設けられる。
図５０は、図４９に示すプリラッチ部１６０の一回路構成を示す図である。
図５０に示すように、表示制御装置１１０から送出された表示データの一つは、クロック（ＣＬ２）の立ち上がりでフリップフロップ回路（Ｆ３１）にラッチされ、さらに、クロック（ＣＬ２）の立ち下がりでフリップフロップ回路（Ｆ３２）にラッチされ、スイッチ部（３）２６６に出力される。
また、表示データの一つは、クロック（ＣＬ２）の立ち下がりでフリップフロップ回路（Ｆ３３）にラッチされ、さらに、クロック（ＣＬ２）の立ち上がりでフリップフロップ回路（Ｆ３４）にラッチされ、スイッチ部（３）２６６に出力される。

【０１２４】

プリラッチ部１６０でラッチされた表示データは、スイッチ部（３）で選択されて、表示データのバスライン１６１ａあるいはバスライン１６１ｂに交互に出力される。
この２系統のバスライン（１６１ａ，１６１ｂ）上の表示データは、シフトレジスタ１５３からのデータ取り込み用信号に基づき、データラッチ部２６５に取り込まれる。
この場合に、本実施の形態では、２画素分のデータ（ドレイン信号線（Ｄ）６本分のデータ）が一度にデータラッチ部２６５に取り込まれる。
このデータラッチ部２６５にラッチされた表示データに基づき、表示データに対応する階調電圧が、ドレインドライバ１３０のアンプ回路対２６３から各ドレイン信号線（Ｄ）に出力される。
この動作は、前記実施の形態１と同じであるので、その説明は省略する。

【０１２５】

図５１は、図４９に示すバスライン（１６１ａ，１６１ｂ）上の表示データと、クロック（ＣＬ２）の動作周波数を説明するための図である。
なお、図５１では、表示データの周波数は、データ１個で６０ＭＨｚ（データ２個で３０ＭＨｚ）、クロック（ＣＬ２）の周波数は３０ＭＨｚの場合について説明する。
図５１に示すように、表示制御装置１１０から６０ＭＨｚの周波数で送出された表示データは、フリップフロップ回路（Ｆ３１）とフリップフロップ回路（Ｆ３２）、およびフリップフロップ回路（Ｆ３３）とフリップフロップ回路（Ｆ３４）とでラッチされて、バスライン（１６１ａ，１６１ｂ）に送出されるので、バスライン（１６１ａ，１６１ｂ）上の表示データの周波数は、データ１個で３０ＭＨｚ（データ２個で１５ＭＨｚ）となる。

【０１２６】

図５２は、クロック（ＣＬ２）の立ち上がり時および立ち下がり時で表示データをラッチする場合で、ドレインドライバ内に１系統のバスライン１６１しかない場合の、出力回路の構成を中心に、ドレインドライバの構成を説明するためのブロック図である。
図５３は、図５２に示すバスライン１６１上の表示データと、クロック（ＣＬ２）の動作周波数を説明するための図である。
図５３から分かるように、ドレインドライバ内に１系統のバスライン１６１しかない場合には、その１系統のバスライン１６１上の表示データの周波数は、表示制御装置１１０から送出された表示データと同じ６０ＭＨｚとなる。

【０１２７】

図５４は、図５２に示すドレインドライバを構成する半導体集積回路内のバスライン１６１のレイアウトを示す図である。
図５４に示すように、バスライン１６１は、ドレインドライバを構成する半導体集積回路内の、長手方向にその両端まで形成されているので、プレラッチ部１６０から離れるほど遅延時間が増大する。
そのため、１系統のバスライン１６１上の表示データの周波数が、表示制御装置１１０から送出された表示データと同じ周波数（例えば、６０ＭＨｚ）であると、プレラッチ部１６０から離れた遠方端で表示データをラッチする際のタイミングマージンが減少する。

【０１２８】

しかしながら、本実施の形態では、２系統のバスライン（１６１ａ，１６１ｂ）を設け、当該２系統のバスライン（１６１ａ，１６１ｂ）上の表示データの周波数を、表示制御装置１１０から送出された表示データの周波数（例えば、６０ＭＨｚ）の半分（例えば、３０ＭＨｚ）にできるので、図５２に示すドレインドライバの場合に比して、プレラッチ部１６０から離れた遠方端で表示データをラッチする際のタイミングマージンを２倍にすることができる。
これにより、本実施の形態によれば、ドレインドライバ１３０の高速化を図ることが可能となる。

【０１２９】

また、図５２に示すドレインドライバでは、シフトレジスタ１５３のフリップフロップ回路は、３本のドレイン信号線（Ｄ）毎に１個（例えば、ドレイン信号線（Ｄ）の総数が２５８本であれば８６個）必要となる。
しかしながら、本実施の形態のドレインドライバ１３０では、２画素分のデータ（ドレイン信号線（Ｄ）６本分のデータ）が一度にデータラッチ部２６５に取り込まれるので、シフトレジスタ１５３のフリップフロップ回路は、６本のドレイン信号線（Ｄ）毎に１個（例えば、ドレイン信号線（Ｄ）の総数が２５８本であれば、４３個）でよく、シフトレジスタ１５３のフリップフロップ回路の個数を、図５２に示すドレインドライバ１３０の半分にすることができる。

【０１３０】

さらに、本実施の形態のドレインドライバ１３０では、プリラッチ部１６０から出力される表示データを、スイッチ部（３）２６６で切り替えて、２系統のバスライン（１６１ａ，１６１ｂ）に交互に出力するようにしたので、図５２に示すスイッチ部（１）２６２が必要ない。
このスイッチ部（１）２６２は、６本のドレイン信号線（Ｄ）毎に１個（例えば、ドレイン信号線（Ｄ）の総数が２５８本であれば、４３個）必要となる。
しかしながら、本実施の形態のドレインドライバ１３０のスイッチ部（３）２６６は、表示データのビット数（図４９では、表示データは６ビットであるので、１８個）だけでよい。
このように、本実施の形態のドレインドライバ１３０では、図５２に示すドレインドライバに比して、シフトレジスタ１５３のフリップフロップ回路、およびスイッチ部の個数を大幅に少なくすることができ、ドレインドライバ１３０の内部回路の構成を簡略化することが可能となる。

【０１３１】
なお、前記各実施の形態では、縦電界方式の液晶表示パネルに本発明を適用した実施の形態について説明したが、これに限定されず、本発明は、図４９に示す横電界方式の液晶表示パネルにも適用可能である。
図５５は、電界方式の液晶表示パネルの等価回路を示す図である。
図２または図３に示す縦電界方式の液晶表示パネルでは、カラーフィルタ基板にコモン電極（ＩＴＯ２）が設けられるのに対して、横電界方式の液晶表示パネルでは、ＴＦＴ基板に対向電極（ＣＴ）、および対向電極（ＣＴ）に駆動電圧（ＶＣＯＭ）を印加するための対向電極信号線（ＣＬ）が設けられる。
そのため、液晶容量（Ｃｐｉｘ）は、画素電極（ＰＸ）と対向電極（ＣＴ）と間に等価的に接続される。また、画素電極（ＰＸ）と対向電極（ＣＴ）と間には蓄積容量（Ｃｓｔｇ）も形成される。
また、前記各実施の形態では、駆動方法としてドット反転方式が適用される実施の形態について説明したが、これに限定されず、本発明は、１ライン毎、あるいは１フレーム毎に、画素電極（ＩＴＯ１）およびコモン電極（ＩＴＯ２）に印加する駆動電圧を反転するコモン反転法にも適用可能である。
【０１３２】
以上、本発明者によってなされた発明を、前記発明の実施の形態に基づき具体的に説明したが、本発明は、前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。
【０１３３】
【発明の効果】
本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。
【０１３４】
（１）本発明によれば、映像信号線駆動手段のアンプ回路のオフセット電圧により、液晶表示素子の表示画面中に黒または白の縦筋が生じるのを防止して、液晶表示素子に表示される表示画面の表示品質を向上させることが可能となる。
【０１３５】
（２）本発明によれば、映像信号線駆動手段のレベルシフト回路に、ソース・ドレイン間耐圧が低耐圧のトランジスタを使用して、ソース・ドレイン間耐圧が、低耐圧トランジスタのソース・ドレイン間耐圧以上の高耐圧トランジスタを使用する場合に比して、映像信号線駆動手段のチップ中に占めるレベルシフト回路の面積を小さくすることが可能となる。
【０１３６】
（３）本発明によれば、映像信号線駆動手段のチップサイズを小さくすることが可能となり、それにより、狭額縁化に容易に対応可能となり、かつ、液晶表示装置のコストを低減し、信頼性を向上させることが可能となる。
【０１３７】
（４）本発明によれば、表示データラッチ用クロックおよび表示データの動作周波数が高速化されても、映像信号線駆動手段を構成する半導体集積回路内部で表示データをラッチする際のタイミングマージンを確保することが可能となる。
【図面の簡単な説明】
【図１】本発明の実施の形態１のＴＦＴ方式の液晶表示モジュールの概略構成を示すブロック図である。
【図２】図１に示す液晶表示パネルの一例の等価回路を示す図である。
【図３】図１に示す液晶表示パネルの他の例の等価回路を示す図である。
【図４】液晶表示モジュールの駆動方法として、ドット反転法を使用した場合において、ドレインドライバからドレイン信号線（Ｄ）に出力される液晶駆動電圧の極性を説明するための図である。

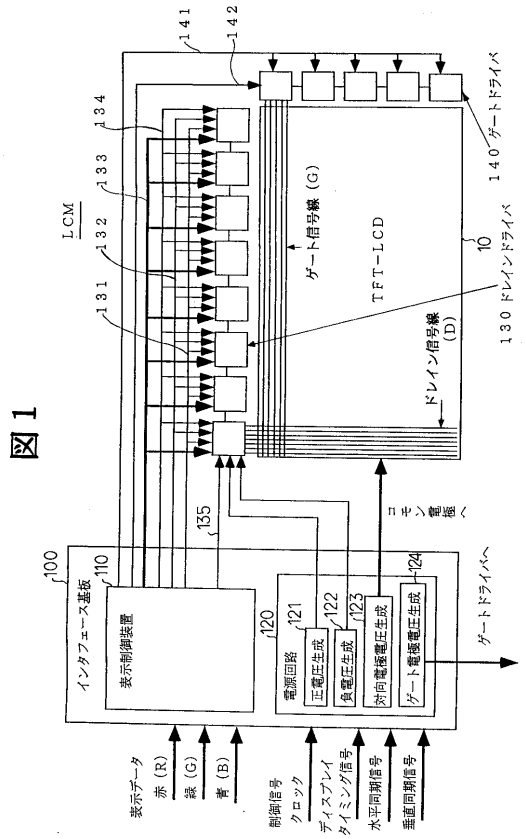
【図５】図１に示すドレインドライバの一例の概略構成示すブロック図である。
【図６】出力回路の構成を中心に、図５に示すドレインドライバの構成を説明するためのブロック図である。
【図７】図６に示すスイッチ部（２）の一スイッチ回路の回路構成を示す回路図である。
【図８】図６に示す高電圧用アンプ回路、および低電圧用アンプ回路として使用されるボルテージホロワ回路を示す回路図である。
【図９】図６に示す低電圧用アンプ回路に使用されるオペアンプを構成する差動増幅回路の一例を示す回路図である。
【図１０】図６に示す高電圧用アンプ回路に使用されるオペアンプを構成する差動増幅回路の一例を示す回路図である。
【図１１】図１１は、オフセット電圧（Ｖｏｆｆ）を考慮したオペアンプの等価回路を示す図である。
【図１２】オフセット電圧（Ｖｏｆｆ）がある場合、およびオフセット電圧（Ｖｏｆｆ）がない場合に、ドレイン信号線（Ｄ）に印加される液晶駆動電圧を説明するための図である。
【図１３】オフセット電圧（Ｖｏｆｆ）により液晶表示パネルに縦筋が生じる理由を説明するたの図である。
【図１４】本実施の形態１の低電圧用アンプ回路の回路構成を示す回路図である。
【図１５】本実施の形態１の高電圧用アンプ回路の回路構成を示す回路図である。
【図１６】本実施の形態１の低電圧用アンプ回路において、制御信号（Ａ）がＨレベルの場合の回路構成を示す回路図である。
【図１７】本実施の形態１の低電圧用アンプ回路において、制御信号（Ｂ）がＨレベルの場合の回路構成を示す回路図である。
【図１８】本実施の形態１のドレインドライバの出力段の構成を示す図である。
【図１９】本実施の形態１のドレインドライバの動作を説明するためのタイミングチャートである。
【図２０】本実施の形態１において、オフセット電圧（Ｖｏｆｆ）により液晶表示パネルに生じる縦筋が目立たなくなる理由を説明するたの図である。
【図２１】本実施の形態１において、オフセット電圧（Ｖｏｆｆ）により液晶表示パネルに生じる縦筋が目立たなくなる理由を説明するたの図である。
【図２２】本実施の形態１において、オフセット電圧（Ｖｏｆｆ）により液晶表示パネルに生じる縦筋が目立たなくなる理由を説明するたの図である。
【図２３】本実施の形態１のドレインドライバ内の制御回路の要部回路構成を示すブロック図である。
【図２４】図２３に示す制御信号生成回路の回路構成を示す回路図である。
【図２５】図２４に示す制御信号生成回路の動作を説明するためのタイミングチャートである。
【図２６】図２３に示すフレーム認識信号生成回路の回路構成を示す回路図である。
【図２７】図２６に示すフレーム認識信号生成回路の動作を説明するためのタイミングチャートである。
【図２８】本実施の形態１の制御回路の動作を説明するためのタイミングチャートである。
【図２９】図２８に示すクロック生成回路の一例を示す回路図である。
【図３０】本実施の形態１のドレインドライバを構成する半導体集積回路内の各部の配置を示す要部レイアウト図である。
【図３１】従来のレベルシフト回路の回路構成を示す回路図である。
【図３２】本実施の形態１のレベルシフト回路の回路構成を示す回路図である。
【図３３】図３２に示す各部の電圧波形を示す図である。
【図３４】本実施の形態１のドレインドライバを構成する半導体集積回路内において、レベルシフト回路が占める領域を説明するための図である。

【図３５】図３２に示すＰＭＯＳトランジスタ（ＰＳＡ１，ＰＳＡ３）およびＮＭＯＳトランジスタ（ＮＳＡ１，ＮＳＡ３）の断面構造を示す要部断面図である。
【図３６】本実施の形態１のドレインドライバ内の高電圧用デコーダ回路および低電圧用デコーダ回路の回路構成を示す回路図である。
【図３７】本実施の形態２のドレインドライバ内の高電圧用デコーダ回路の一例の回路構成を示す回路図である。
【図３８】図３７に示す第２階調電圧生成回路の動作を説明するための図である。
【図３９】本実施の形態２のドレインドライバの出力段の構成を示す図である。
【図４０】本実施の形態２のドレインドライバ内の高電圧用デコーダ回路の他の例の回路構成を示す回路図である。
【図４１】本実施の形態２のドレインドライバ内の低電圧用デコーダ回路の他の例の回路構成を示す回路図である。
【図４２】図４０に示す高電圧用デコーダ回路、あるいは図４１に示す低電圧用デコーダ回路において使用される第２階調電圧生成回路の一例を示す図である。
【図４３】本実施の形態３のドレインドライバの出力段の構成を示す図である。
【図４４】図４３に示す高電圧用アンプ回路、または低電圧用アンプ回路の一つと、その入力段に接続されるスイッチドキャパシタ回路とを示す図である。
【図４５】本実施の形態４のドレインドライバの出力段の構成を示す図である。
【図４６】本実施の形態５のドレインドライバの出力段の構成を示す図である。
【図４７】出力回路の構成を中心に、本実施の形態５のドレインドライバの構成を説明するためのブロック図である。
【図４８】図４７に示すアンプ回路に使用される差動増幅回路の一例の回路構成を示す回路図である。
【図４９】出力回路の構成を中心に、本実施の形態６のドレインドライバ１３０の構成を説明するためのブロック図である。
【図５０】図４９に示すプリラッチ部１６０の一回路構成を示す図である。
【図５１】図４９に示すバスライン（１６１ａ，１６１ｂ）上の表示データと、クロック（ＣＬ２）の動作周波数を説明するための図である。
【図５２】クロック（ＣＬ２）の立ち上がり時および立ち下がり時で表示データをラッチする場合で、ドレインドライバ内に１系統のバスラインしかない場合の、出力回路の構成を中心に、ドレインドライバの構成を説明するためのブロック図である。
【図５３】図５２に示すバスライン上の表示データと、クロック（ＣＬ２）の動作周波数を説明するための図である。
【図５４】図５２に示すドレインドライバを構成する半導体集積回路内のバスラインのレイアウトを示す図である。
【図５５】電界方式の液晶表示パネルの等価回路を示す図である。
【符号の説明】
１０…液晶表示パネル（ＴＦＴ－ＬＣＤ）、２０…ｐ型半導体基板、２１…ｎウェル、２２…ｐウェル、２４ａ，２４ｂ，２４ｃ，２４ｄ…ｎ型半導体領域、２５ａ，２５ｂ，２５ｃ，２５ｄ…ｐ型半導体領域、２６ａ，２６ｂ，２７ａ，２７ｂ…ゲート電極、１００…インタフェース部、１１０…表示制御装置、１２０…電源回路、１２１，１２２…電圧生成回路、１２３…コモン電極電圧生成回路、１２４…ゲート電極電圧生成回路、１３０…ドレインドライバ、１３１，１３２，１３４，１３５，１４１，１４２…信号線、１３３，１６１，１６１ａ，１６１ｂ…表示データのバスライン、１４０…ゲートドライバ、１５１ａ，１５１ｂ…階調電圧生成回路、１５２…制御回路、１５３…シフトレジスタ回路、１５４…入力レジスタ回路、１５５…ストレージレジスタ回路、１５６…レベルシフト回路、１５７…出力回路、１５８ａ，１５８ｂ…電圧バスライン、１６０…プリラッチ部、２６１…デコーダ部、２６２，２６４，２６６…スイッチ部、２６３…アンプ回路対、２６５…データラッチ部、２７１…高電圧用アンプ回路、２７２…低電圧用アンプ回路、２７３…高電圧・低電圧用アンプ回路、２７８，２７９，３０１，３１１，３１２…デ

コーダ回路、３０２…マルチプレクサ、３０３…第２階調電圧生成回路、４００…制御信号生成回路、４０１…ＰＯＲＮ信号生成回路、４０２…分圧回路、４０３…インバータ回路群、４１０…フレーム認識信号生成回路、４２０…シフトクロックイネーブル信号生成回路、４３０…シフト用クロック生成回路、４４０…パルス生成回路、４５０…パルス選択回路、Ｄ…ドレイン信号線（映像信号線または垂直信号線）、Ｇ…ゲート信号線（走査信号線または水平信号線）、ＩＴＯ１，ＣＸ…画素電極、ＩＴＯ２…コモン電極、ＣＴ…対向電極、ＣＬ…対向電極信号線、ＴＦＴ…薄膜トランジスタ、ＣＬＣ，Ｃｐｉｘ…液晶容量、ＣＳＴＧ…保持容量、ＣＡＤＤ…付加容量、Ｃｓｔｇ…蓄積容量、Ｓ，ＳＷＡ，ＳＷＢ…スイッチ素子、ＰＭ，ＰＡ，ＰＢ，ＰＳＢ，ＰＳＡ，ＰＢＰ，ＰＢＢ…ＰＭＯＳトランジスタ、ＮＭ，ＮＡ，ＮＢ，ＮＳＢ，ＮＳＡ，ＮＢＰ，ＮＢＢ…ＮＭＯＳトランジスタ、Ｃ，Ｃｏ，ＣＡ，ＣＢ…コンデンサ、ＳＧ１～ＳＧ３…スチッチ制御回路、ＮＡＮＤ…ナンド回路、ＡＮＤ…アンド回路、ＮＯＲ…ノア回路、ＩＮＶ…インバータ、ＯＰ…オペアンプ、Ｆ…フリップ・フロップ回路、ＥＸＯＲ…排他的論理和回路。

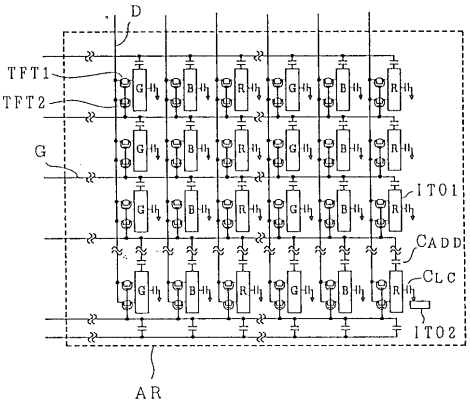
【図１】

図１



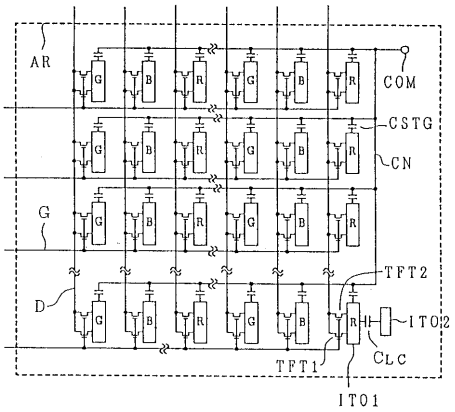

【図２】

図２



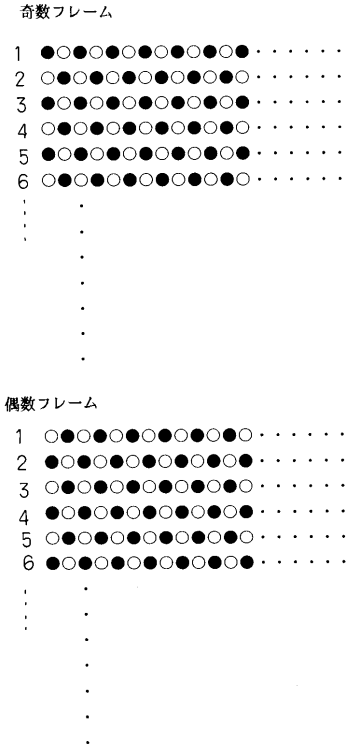
【図３】

図３



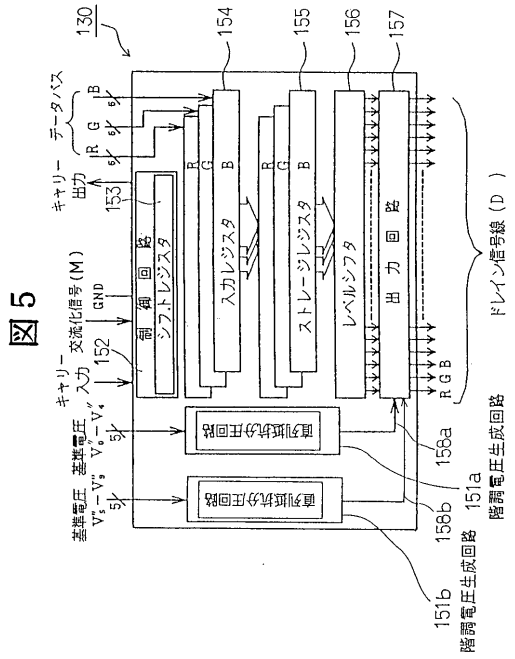

【図４】

図４



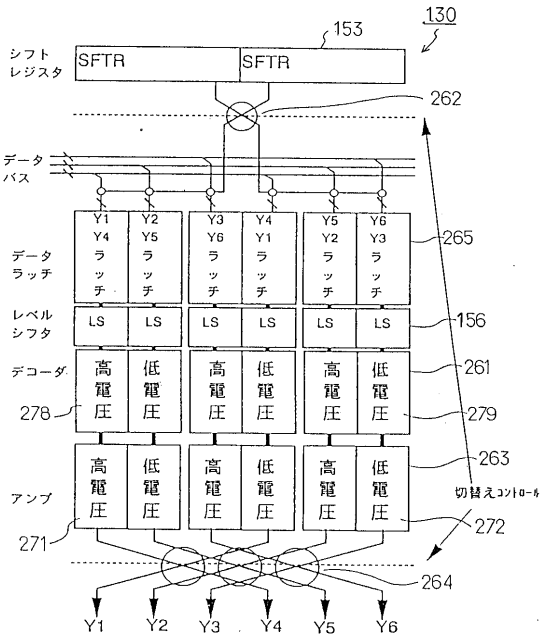

【図５】

図５



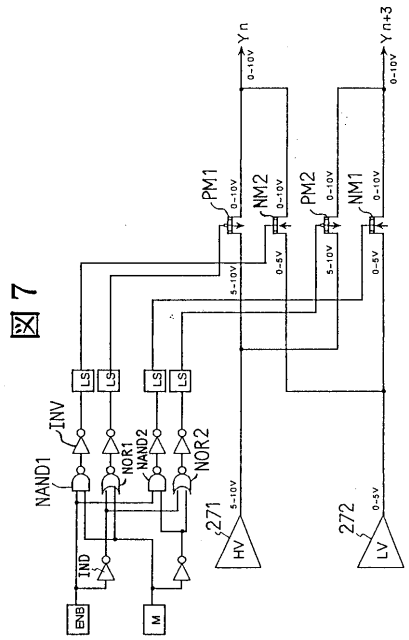

【図６】

図６



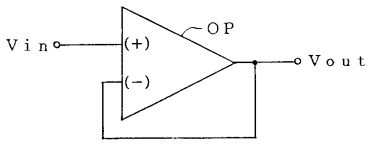
【図７】

図７



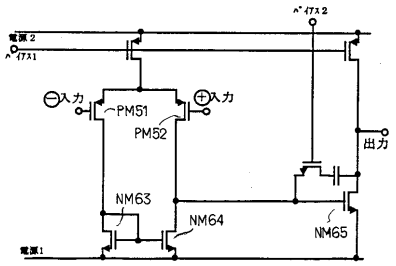

【図８】

図８



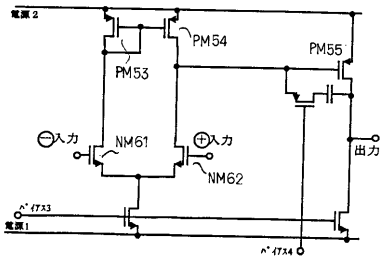

【図９】

図９



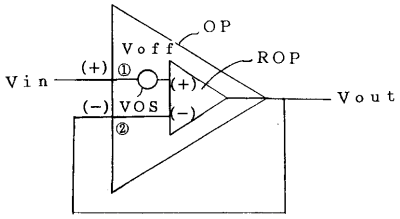

【図１０】

図１０




【図１１】

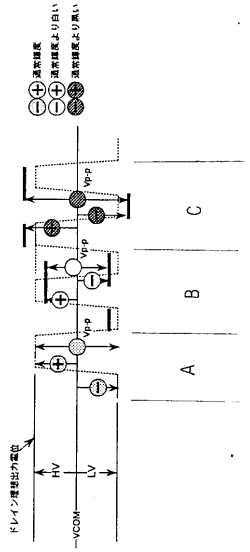
図１１




Ｖｏｕｔ＝Ｖｉｎ（オフセット電圧がない場合）
Ｖｏｕｔ＝Ｖｉｎ＋Ｖｏｆｆ（オフセット電圧がある場合）

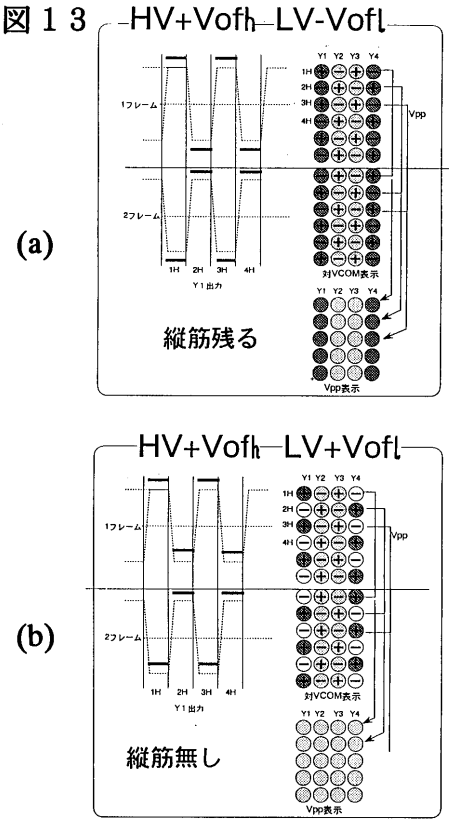
【図１２】

図１２



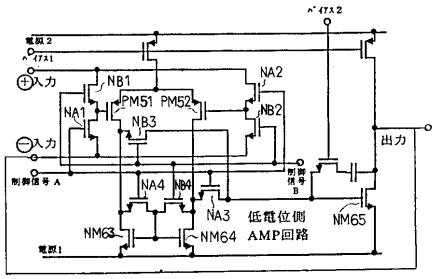
【図１３】

図１３



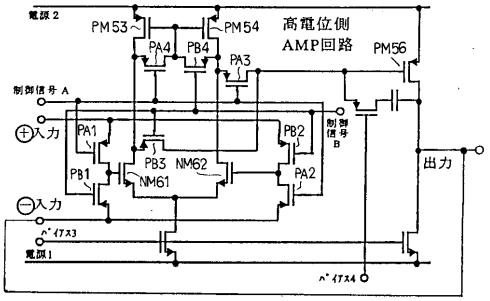

【図１４】

図１４



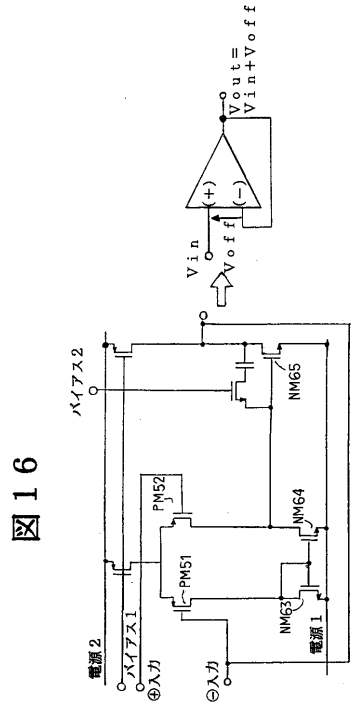

【図１５】

図１５



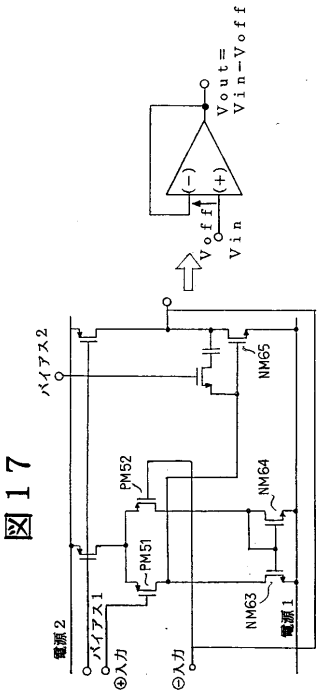

【図１６】

図１６



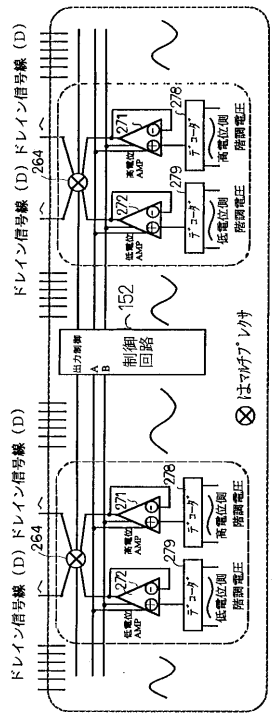

【図１７】

図１７



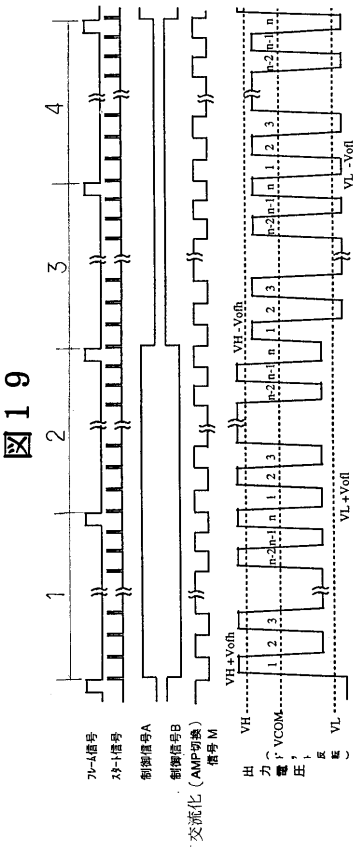
【図１８】

図１８



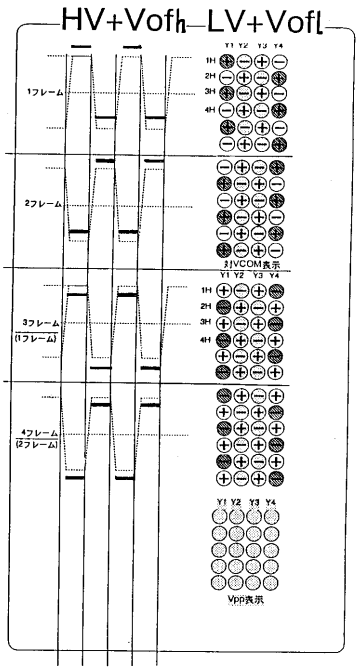

【図１９】

図１９



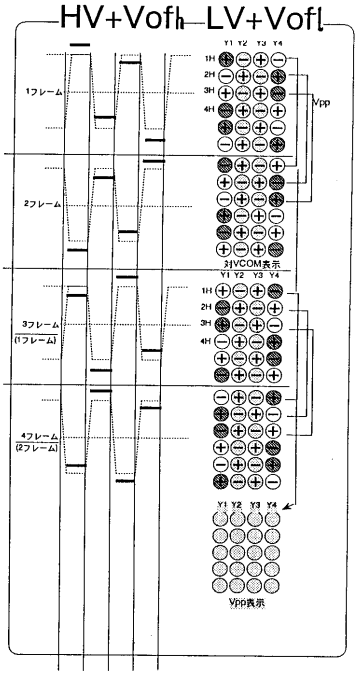

【図２０】

図２０



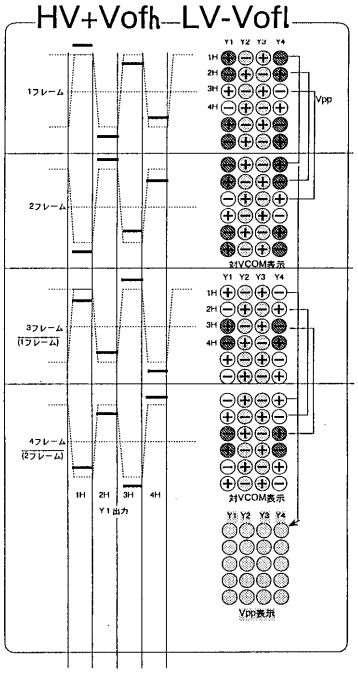

【図２１】

図２１



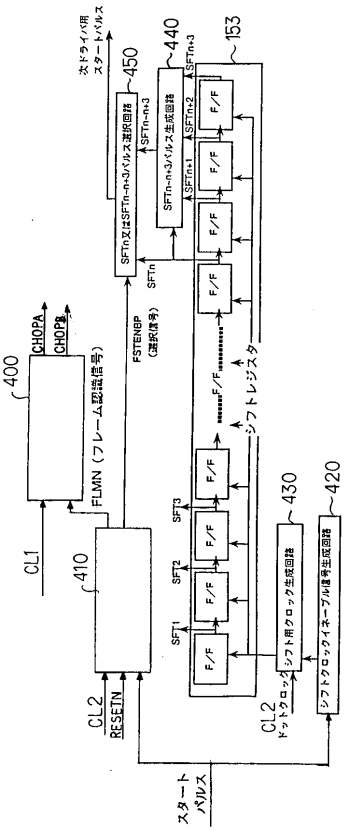
【図２２】

図２２



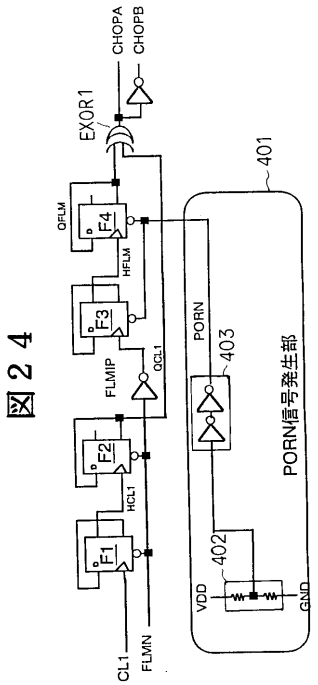

【図２３】

図２３



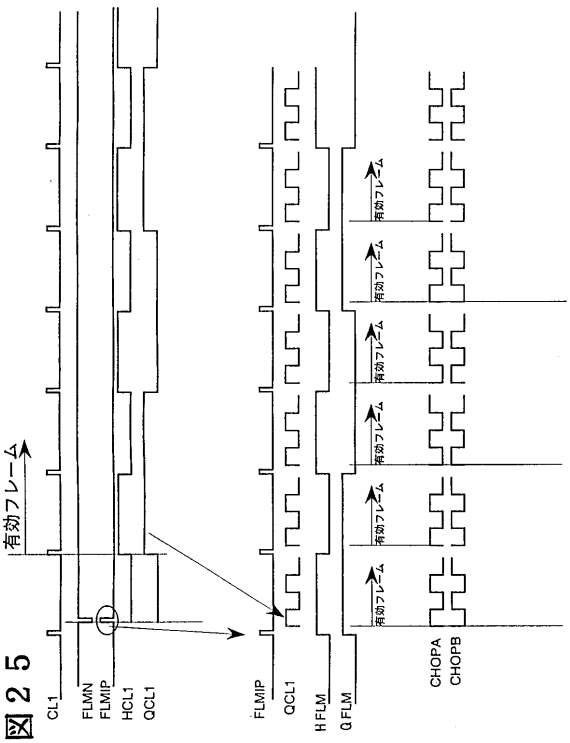

【図２４】

図２４



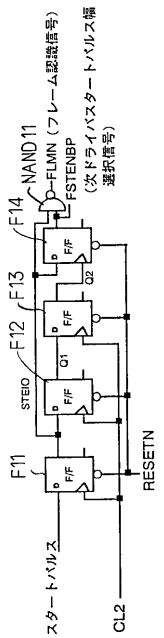

【図２５】

図２５



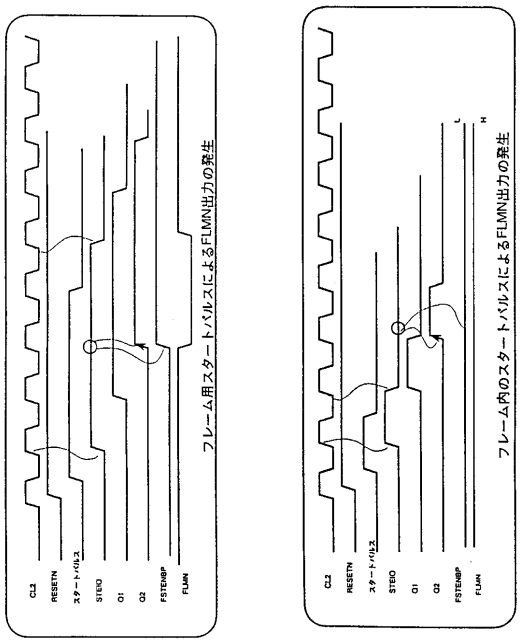
【図２６】

図２６



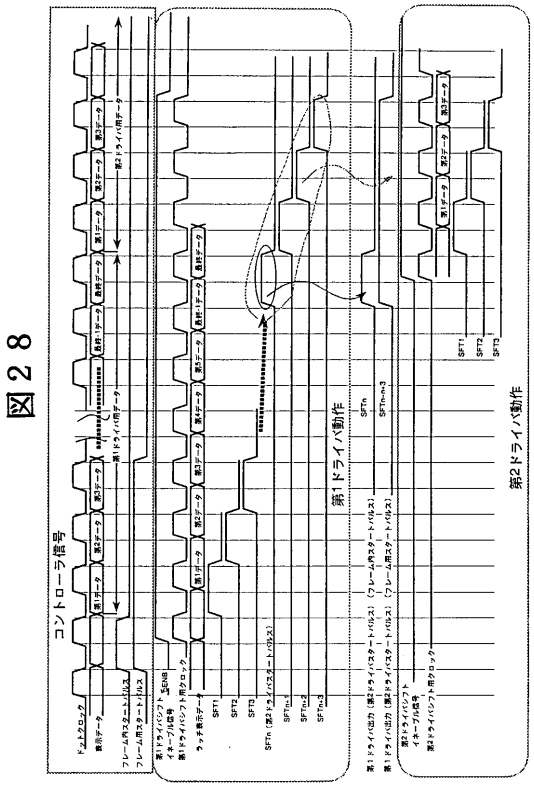

【図２７】

図２７



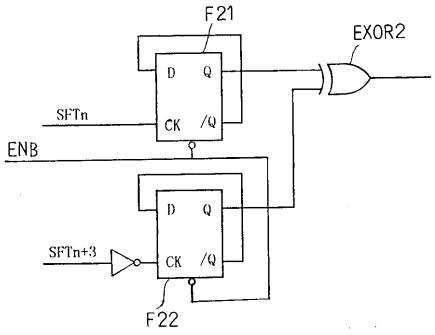

【図２８】

図２８



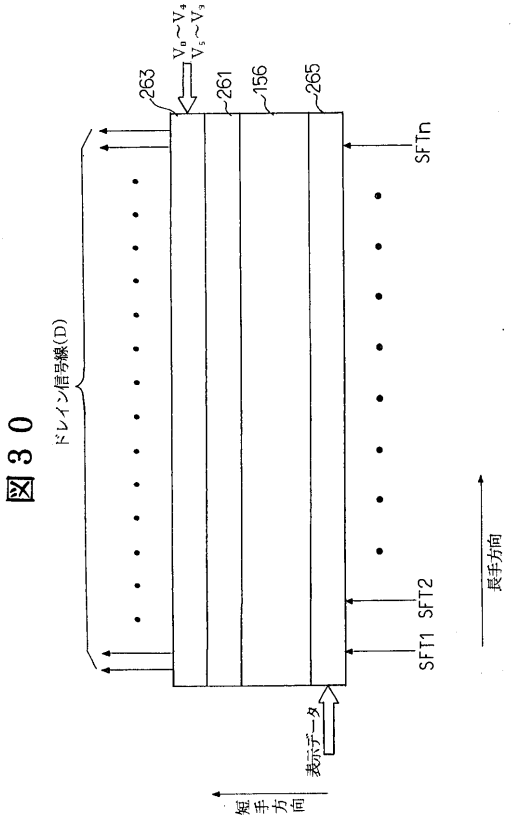

【図２９】

図２９



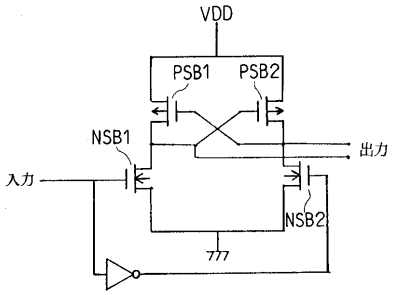
【図３０】

図３０



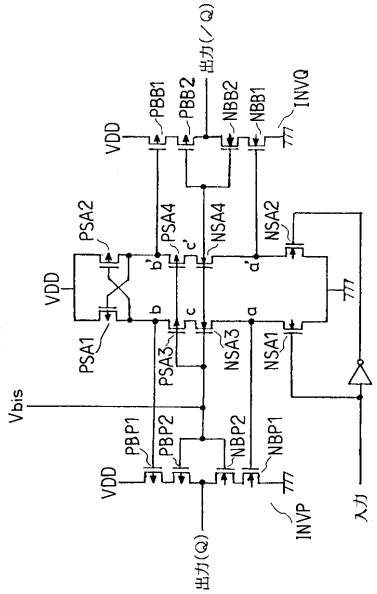

【図３１】

図３１



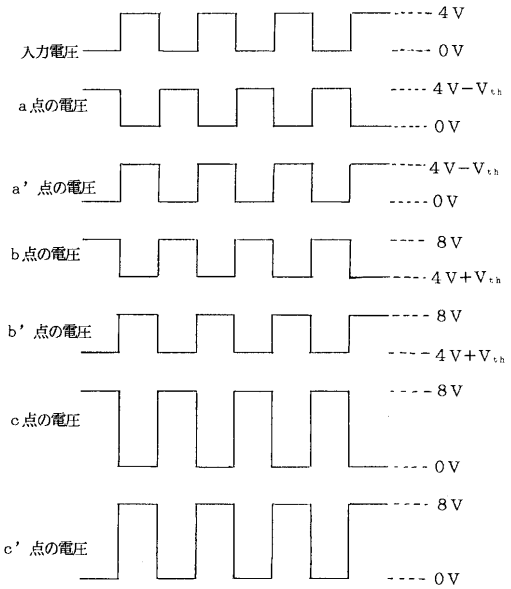

【図３２】

図３２



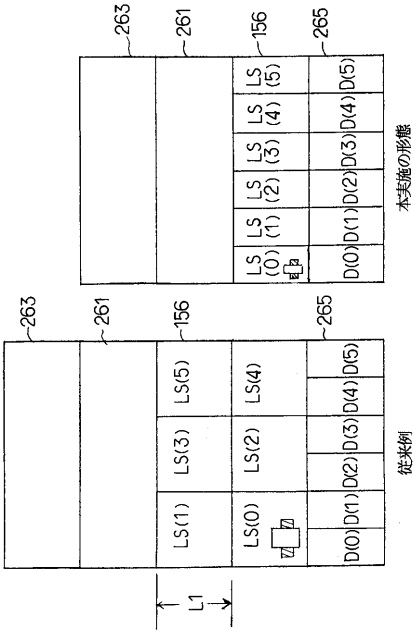

【図３３】

図３３



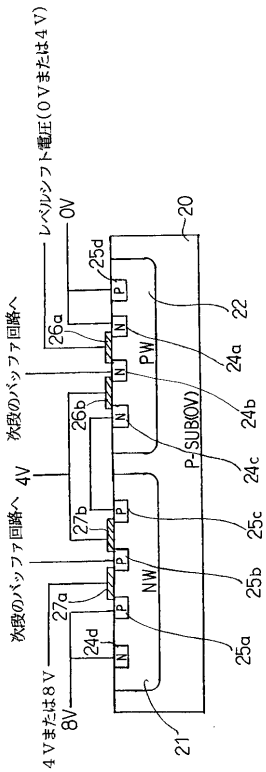
【図３４】

図３４



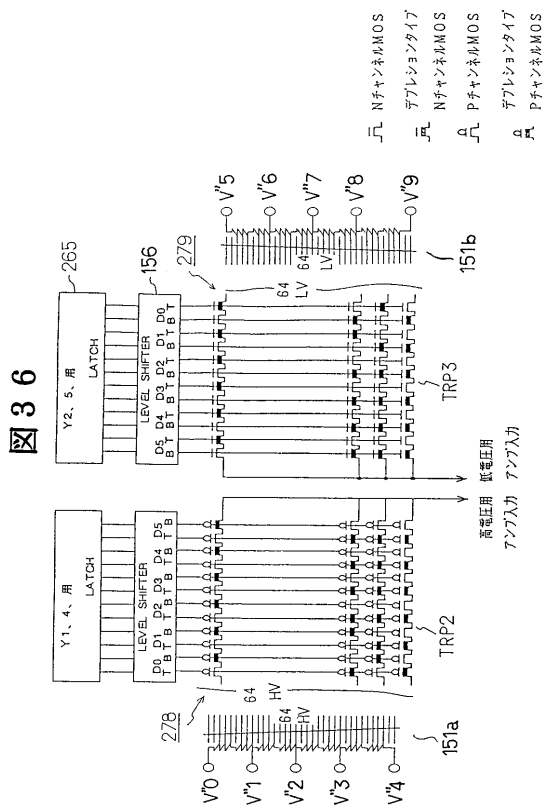

【図３５】

図３５



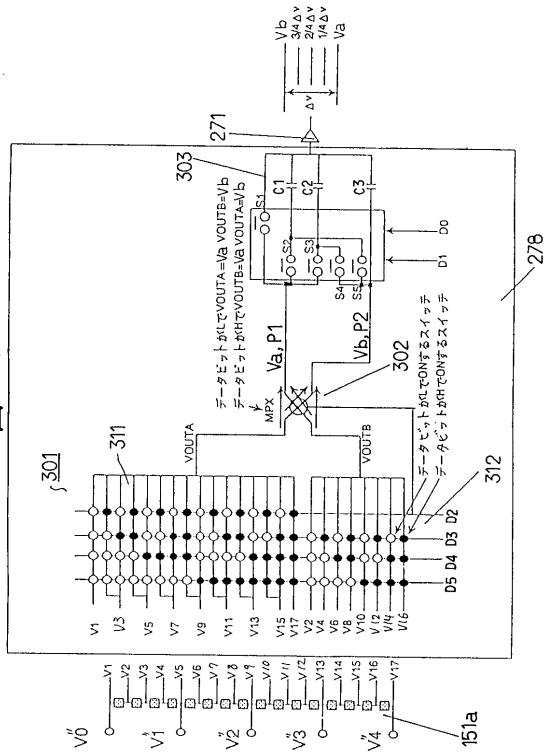

【図３６】

図３６




【図３７】

図３７

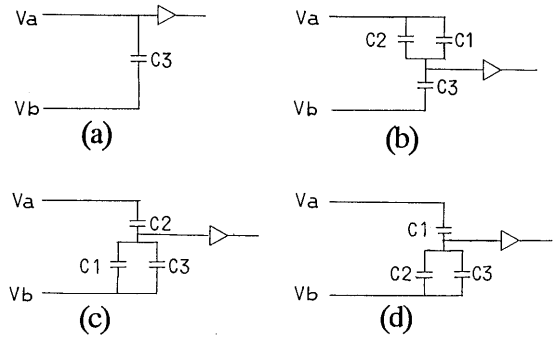


【図３８】

図３８

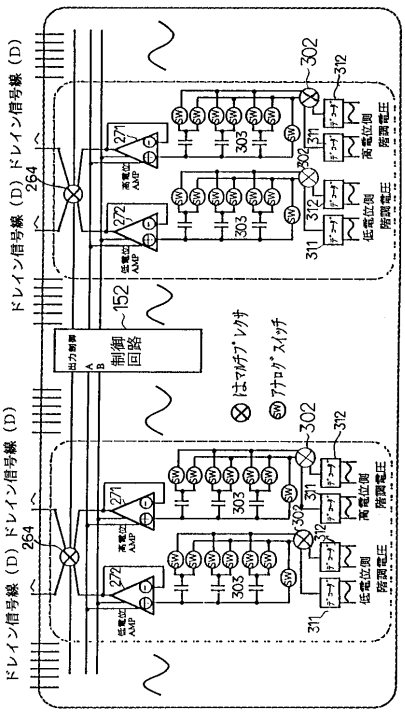
Ｄ１，Ｄ０制御による出力

| | Ｄ１ | Ｄ０ | ｏｎＳＷ | 出力 |
|---|---|---|---|---|
| a | 0 | 0 | Ｓ１ | Va |
| b | 0 | 1 | Ｓ２，Ｓ３ | Va＋１／４ΔＶ |
| c | 1 | 0 | Ｓ３，Ｓ５ | Va＋２／４ΔＶ |
| d | 1 | 1 | Ｓ２，Ｓ４ | Va＋３／４ΔＶ |



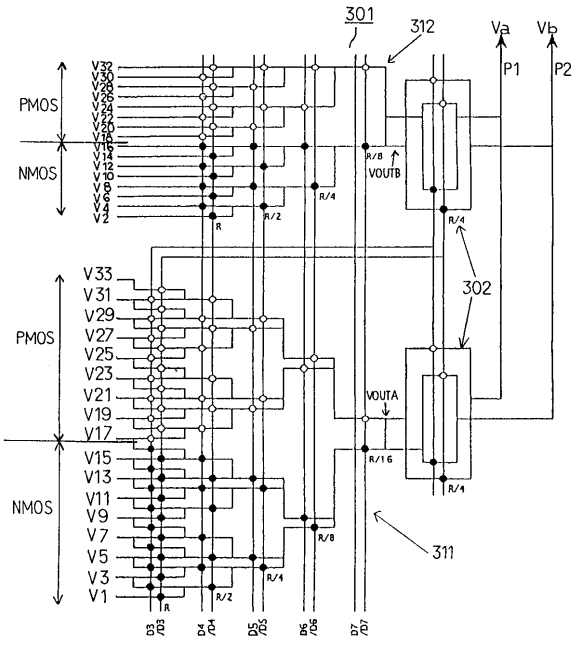

【図３９】

図３９



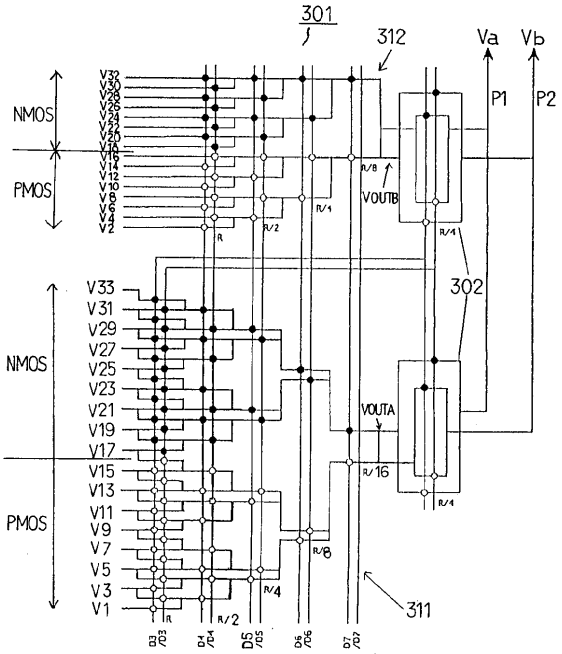

【図４０】

図４０



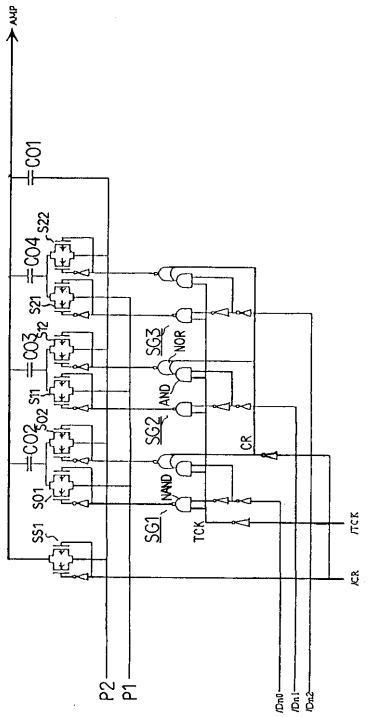

【図４１】

図４１



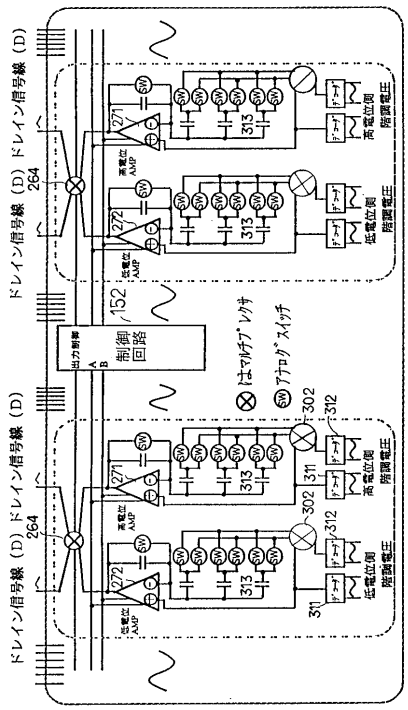
【図４２】

図４２



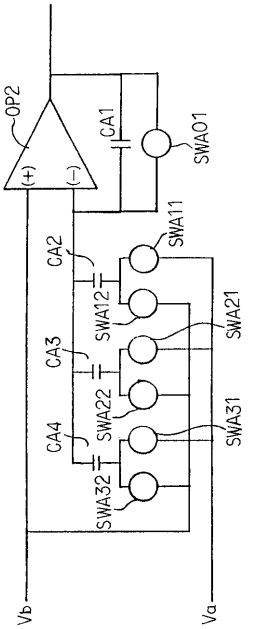

【図４３】

図４３



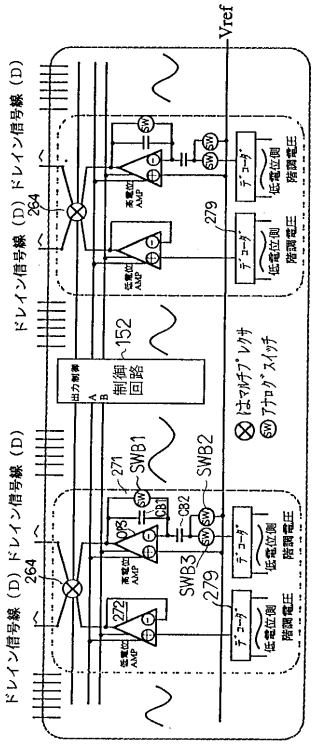

【図４４】

図４４



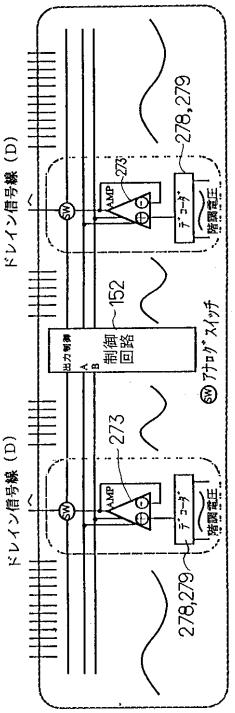

【図４５】

図４５



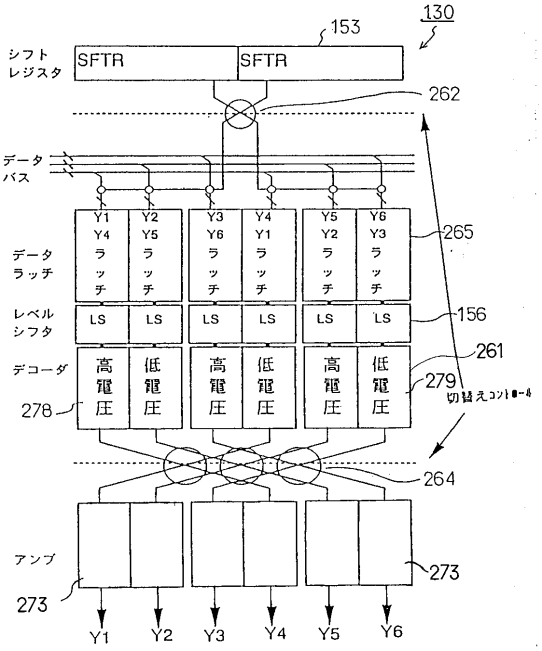
【図４６】

図４６



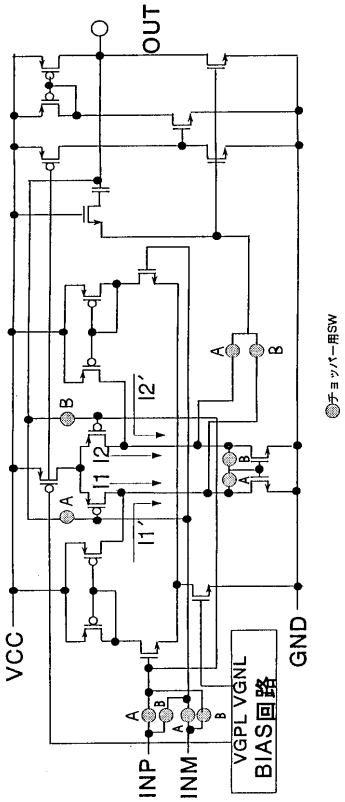

【図４７】

図４７



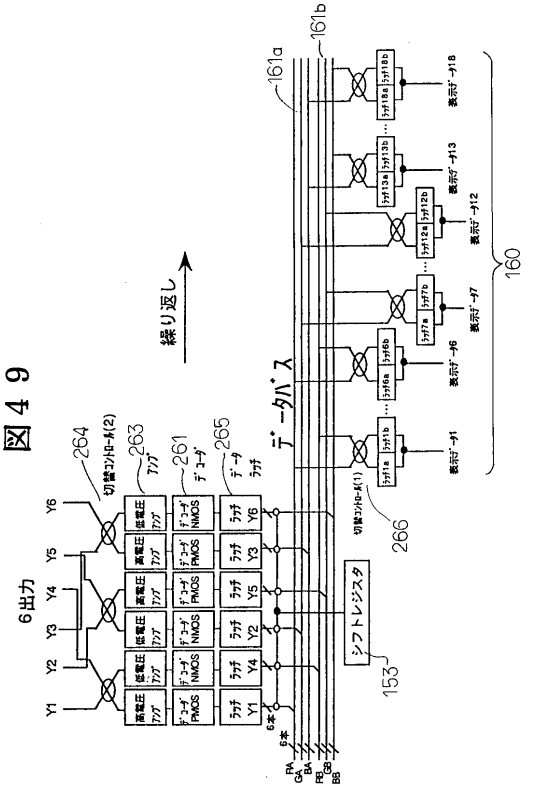

【図４８】

図４８



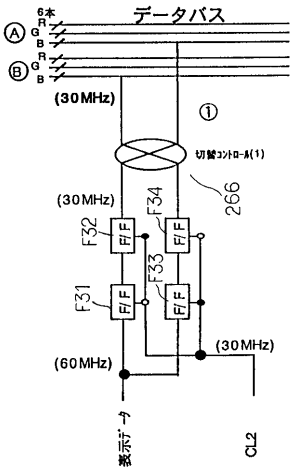

【図４９】

図４９



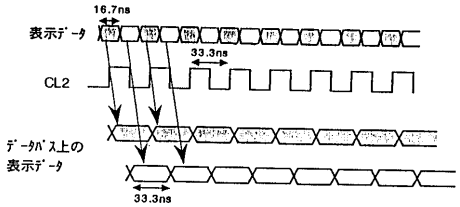
【図５０】

図５０



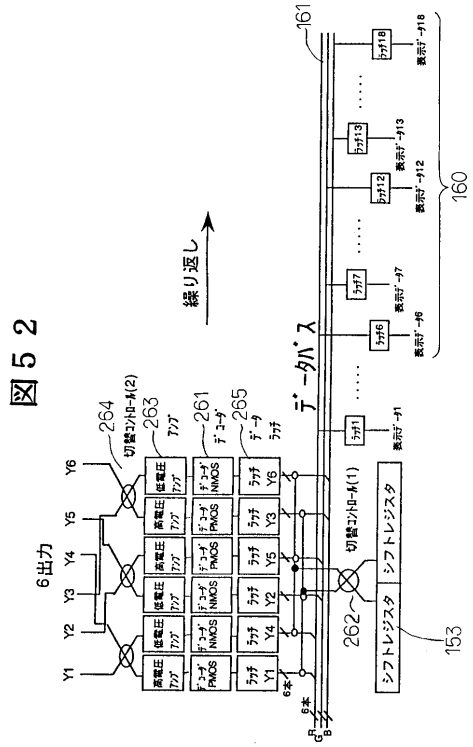

【図５１】

図５１



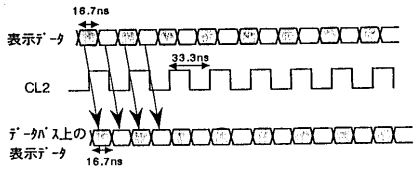

【図５２】

図５２



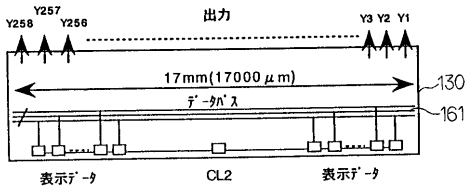

【図５３】

図５３



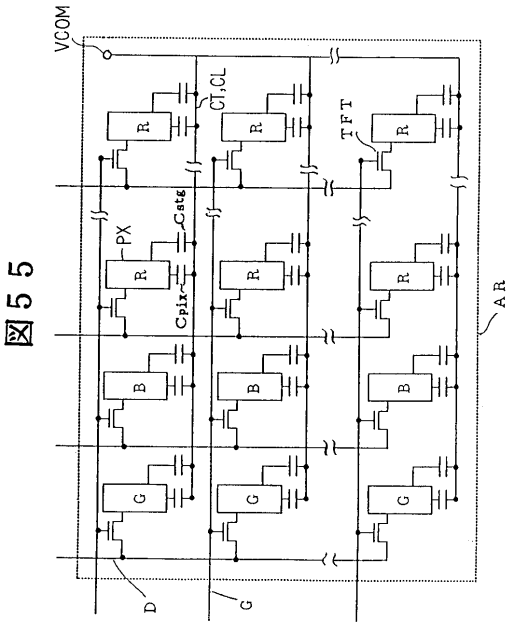

【図５４】

図５４




【図５５】

図５５



フロントページの続き

(72)発明者　片柳　浩
千葉県茂原市早野３３００番地　株式会社日立製作所　電子デバイス事業部内
(72)発明者　尾手　幸秀
千葉県茂原市早野３６８１番地　日立デバイスエンジニアリング株式会社内
(72)発明者　斎藤　良幸
千葉県茂原市早野３６８１番地　日立デバイスエンジニアリング株式会社内
(72)発明者　小寺　浩一
東京都国分寺市東恋ケ窪三丁目１番地１　日立超エル・エス・アイ・エンジニアリング株式会社内

審査官　濱本　禎広

(56)参考文献　特開平０９－１１４４２０（ＪＰ，Ａ）
特開平０９－２８１９３０（ＪＰ，Ａ）
特開昭５９－１４９４０８（ＪＰ，Ａ）
特開平０４－２８０２９０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.$^{7}$，ＤＢ名)
G09G3/00-3/38
G02F1/133
H03F3/45