

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 21 年 12 月 17 日 (2009.12.17)

【公開番号】特開 2008-113375 (P2008-113375A)

【公開日】平成 20 年 5 月 15 日 (2008.5.15)

【年通号数】公開・登録公報 2008-019

【出願番号】特願 2006-296501 (P2006-296501)

【国際特許分類】

H 0 3 M 7/40 (2006.01)

H 0 4 N 7/26 (2006.01)

【F I】

H 0 3 M 7/40

H 0 4 N 7/13 Z

【手続補正書】

【提出日】平成 21 年 10 月 30 日 (2009.10.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

算術符号化処理において現行シンボルの出現値により選択される数直線上の領域のサイズ、領域の下端値、及び未出力ビット数を入力し正規化処理を行う正規化処理装置であって、

前記領域のサイズが設定値以上となるシフト量を算出するシフト量算出手段と、

前記シフト量に基づいて前記領域のサイズ及び前記領域の下端値にシフト処理を施すシフト手段と、

前記未出力ビット数及び前記領域の下端値を用いて出力ビット列のプレフィックスを算出するプレフィックス生成手段と、

前記領域の下端値を用いて出力ビット列のサフィックスを算出するサフィックス生成手段と、

前記未出力ビット数及び前記領域の下端値及び前記シフト量を用いて未出力ビット数を算出する未出力ビット算出手段と、

前記シフト量及び前記未出力ビット数を用いて、前記プレフィックスと前記サフィックスを結合して出力するビット列結合手段とを備えることを特徴とする正規化処理装置。

【請求項 2】

出力ビットが最初の出力ビットか否かを示す先頭ビットフラグを更に入力し、前記未出力ビット算出手段は、前記領域の下端値及び前記シフト量から前記先頭ビットフラグを算出することを特徴とする請求項 1 に記載の正規化処理装置。

【請求項 3】

前記シフト量算出手段は、前記領域のサイズを 2 進数で表現した際に値が 1 となる最も M S B に近いビットの位置を算出するデコード手段を有することを特徴とする請求項 1 又は請求項 2 に記載の正規化処理装置。

【請求項 4】

前記未出力ビット算出手段は、前記領域の下端値を 2 進数で表現した際に値が 0 となる最も L S B に近いビットの位置を算出するデコード手段を有することを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の正規化処理装置。

## 【請求項 5】

前記プレフィックス生成手段は、前記領域の下端値の最上位ビットと、それに続く未出力ビット数分のビットをプレフィックスとして算出することを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の正規化処理装置。

## 【請求項 6】

前記サフィックス生成手段は、前記領域の下端値のビット列の一部をサフィックスとして出力することを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の正規化処理装置。

## 【請求項 7】

前記ビット列結合手段は、前記未出力ビット数を用いて算出されたプレフィックス長を用いて前記プレフィックスと前記サフィックスを結合することを特徴とする請求項 1 ～ 6 のいずれか 1 項に記載の正規化処理装置。

## 【請求項 8】

前記シフト量及び前記未出力ビット数を用いて出力ビット数を算出する算出手段を更に備え、

前記ビット列結合手段は、前記プレフィックスと前記サフィックスが結合されたビット列から、前記出力ビット数分を出力することを特徴とする請求項 1 ～ 7 のいずれか 1 項に記載の正規化処理装置。

## 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

本発明の正規化処理装置は、算術符号化処理において現行シンボルの出現値により選択される数直線上の領域のサイズ、領域の下端値、及び未出力ビット数を入力し正規化処理を行う正規化処理装置であって、前記領域のサイズが設定値以上となるシフト量を算出するシフト量算出手段と、前記シフト量に基づいて前記領域のサイズ及び前記領域の下端値にシフト処理を施すシフト手段と、前記未出力ビット数及び前記領域の下端値を用いて出力ビット列のプレフィックスを算出するプレフィックス生成手段と、前記領域の下端値を用いて出力ビット列のサフィックスを算出するサフィックス生成手段と、前記未出力ビット数及び前記領域の下端値及び前記シフト量を用いて未出力ビット数を算出する未出力ビット算出手段と、前記シフト量及び前記未出力ビット数を用いて、前記プレフィックスと前記サフィックスを結合して出力するビット列結合手段とを備えることを特徴とする。

## 【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正の内容】

【0028】

正規化処理装置 107 には数直線上での範囲として 9 ビットの信号 codlRange (領域のサイズ)、その範囲の最小の座標として 10 ビットの信号 codlLow (領域の下端値)、未出力ビット数として十分に大きなビット数の信号 bitsOutStanding、出力ビットがスライスの最初の出力ビットが否かを示す 1 ビットの信号 firstBitFlag (先頭ビットフラグ) が入力される。

## 【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

シフト手段 1 0 2 は、シフト量算出手段 1 0 1 で算出されたシフト量だけ codIRange および codILow を左シフト (シフト処理) して出力するパレルシフト回路である。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 5

【補正方法】変更

【補正の内容】

【0 0 3 5】

次に codIRange およびシフト量 N の算出について説明する。図 2 のステップ S 2 0 1 で codIRange の値が 0x100 以上 (設定値以上) と判定されるまで、codIRange の値を左シフトするので、codIRange を 2 進数で表現した際に値が 1 となるビットの最大ビット位置を X とすると、シフト量は以下の式で表される。

$$N = \text{Max}(8 - X, 0)$$

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 3

【補正方法】変更

【補正の内容】

【0 0 7 3】

以上説明してきたように本発明は、codIRange および codILow, bitsOutStanding および firstBitFlag からシフト量 N、未出力ビット加算数 M、プレフィックス、サフィックスを算出する。これにより、繰り返し処理を行わずに codIRange および codILow, bitsOutStanding および firstBitFlag および出力ビット列を算出することが出来る。即ち、算術符号化 (算術符号化処理) における正規化処理を一括して高速に行うことが可能になる。