

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5514559号
(P5514559)

(45) 発行日 平成26年6月4日 (2014.6.4)

(24) 登録日 平成26年4月4日 (2014.4.4)

(51) Int.Cl.

F I

H05K 3/46 (2006.01)

H05K 3/46

L

H01L 23/12 (2006.01)

H05K 3/46

Q

H01L 23/473 (2006.01)

H05K 3/46

H

H05K 3/46

U

H05K 3/46

B

請求項の数 16 (全 38 頁) 最終頁に続く

(21) 出願番号 特願2010-4394 (P2010-4394)
 (22) 出願日 平成22年1月12日 (2010.1.12)
 (65) 公開番号 特開2011-146445 (P2011-146445A)
 (43) 公開日 平成23年7月28日 (2011.7.28)
 審査請求日 平成24年12月27日 (2012.12.27)

(73) 特許権者 000190688
 新光電気工業株式会社
 長野県長野市小島田町80番地
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 荒井 直
 長野県長野市小島田町80番地 新光電気
 工業株式会社内
 審査官 川内野 真介

最終頁に続く

(54) 【発明の名称】 配線基板及びその製造方法並びに半導体パッケージ

(57) 【特許請求の範囲】

【請求項 1】

積層された複数のセラミック層及び内部配線を備え、前記内部配線と電気的に接続された電極が一方の面から露出しているセラミック基板と、

主面に形成された配線パターンと、一端が前記配線パターンと電気的に接続され、他端が前記主面の反対面である裏面から露出しているビアフィルと、を含む配線層を備えたシリコン基板と、を有し、

前記シリコン基板の前記裏面は、前記セラミック基板の前記一方の面にポリマー層を介して接合され、

前記シリコン基板の前記ビアフィルは、前記ポリマー層を貫通し、前記セラミック基板の前記電極と直接接合されて一体的に設けられており、

前記シリコン基板には第1ビアホールが設けられ、

前記ポリマー層には前記第1ビアホールに連通する第2ビアホールが設けられ、

前記シリコン基板の主面及び前記第1ビアホールの内側面には酸化膜が設けられ、

前記ビアフィルは、前記シリコン基板及び前記ポリマー層の厚さ方向において、前記酸化膜及び前記ポリマー層と接している配線基板。

【請求項 2】

前記第1ビアホールの直径は、前記電極の前記一方の面からの露出面の直径よりも大きく、

前記第2ビアホールの直径は、前記電極の前記一方の面からの露出面の直径と同じとさ

10

20

れ、かつ、前記第 1 ピアホールの内側面に設けられた酸化膜の内側の直径と同じとされている請求項 1 記載の配線基板。

【請求項 3】

前記各セラミック層のうち、前記シリコン基板から遠いセラミック層の熱膨張係数は、前記シリコン基板に近いセラミック層の熱膨張係数よりも大きい請求項 1 又は 2 記載の配線基板。

【請求項 4】

前記各セラミック層は、アルミナコーゼライトを含有する請求項 1 乃至 3 の何れか一項記載の配線基板。

【請求項 5】

前記各セラミック層は、それぞれ異なる量のアルミナコーゼライトを含有する請求項 4 記載の配線基板。

【請求項 6】

前記シリコン基板の前記裏面側には、前記セラミック基板の前記一方の面を露出する中空部が設けられている請求項 1 乃至 5 の何れか一項記載の配線基板。

【請求項 7】

前記中空部内の前記セラミック基板の前記一方の面には、MEMS デバイスが搭載されている請求項 6 記載の配線基板。

【請求項 8】

前記中空部内の前記セラミック基板の前記一方の面には、コンデンサが搭載されている請求項 6 記載の配線基板。

【請求項 9】

前記中空部は、冷媒が供給される冷媒流路である請求項 6 記載の配線基板。

【請求項 10】

積層された複数のセラミック層及び内部配線を備え、前記内部配線と電氣的に接続された電極が一方の面から露出しているセラミック基板を準備する第 1 工程と、

主面及び前記主面の反対面である裏面を有するシリコンからなる基板本体を準備し、前記セラミック基板の前記一方の面にポリマー層を介して前記基板本体の前記裏面を接合する第 2 工程と、

前記基板本体の前記主面に、前記電極と電氣的に接続する配線層を形成する第 3 工程と、を有し、

前記第 2 工程は、主面及び前記主面の反対面である裏面を有するシリコンからなる基板本体を準備する第 2 A 工程と、

前記基板本体の前記主面に酸化膜を形成するとともに、前記基板本体の前記電極に対応する位置に、内側面に酸化膜が形成されたピアホールを形成する第 2 B 工程と、

前記セラミック基板の前記一方の面又は前記基板本体の前記裏面にポリマー層を形成する第 2 C 工程と、

前記電極の位置と前記ピアホールの位置とを合わせて、前記セラミック基板の前記一方の面に前記ポリマー層を介して前記基板本体の前記裏面を接合する第 2 D 工程と、を含み、

前記第 3 工程は、前記ピアホール内に露出する前記ポリマー層を除去し、前記ポリマー層に貫通孔を形成して前記電極を露出する第 3 A 工程と、

前記酸化膜が形成された前記ピアホール及び前記貫通孔に導体を充填して前記電極と電氣的に接続されたピアフィルを形成するとともに、前記基板本体の前記主面に前記ピアフィルと電氣的に接続された配線パターンを形成して、前記ピアフィルと前記配線パターンとを含む前記配線層を形成する第 3 B 工程と、を含み、

前記第 3 B 工程では、前記基板本体及び前記ポリマー層の厚さ方向において、前記酸化膜及び前記ポリマー層と接するように前記ピアフィルを形成する配線基板の製造方法。

【請求項 11】

前記第 2 B 工程は、前記基板本体の前記主面の前記電極に対応する位置に凹部を形成す

10

20

30

40

50

る工程と、

前記基板本体の前記主面並びに前記凹部の内側面及び底面に酸化膜を形成する工程と、
前記基板本体を前記裏面側から研磨して薄型化して前記凹部を貫通させ、前記内側面に前記酸化膜が形成されたビアホールを形成する工程と、を有する請求項 10 記載の配線基板の製造方法。

【請求項 12】

前記第 1 工程では、前記セラミック基板を複数個準備し、

前記第 2 工程では、前記基板本体に代えて、主面及び前記主面の反対面である裏面を有し、個片化されると前記基板本体となる複数の領域を有する第 1 基板を準備し、前記第 1 基板の前記裏面の前記複数の領域のそれぞれに、ポリマー層を介して前記セラミック基板の前記一方の面を接合し、

前記第 3 工程では、前記第 1 基板の前記主面に、前記電極と電氣的に接続する配線層を形成し、

前記第 3 工程の後、前記第 1 基板の前記複数の領域のそれぞれにポリマー層を介して前記セラミック基板が接合された構造体を前記複数の領域間で切断して個片化し、前記基板本体にポリマー層を介して前記セラミック基板が接合され前記基板本体に前記電極と電氣的に接続する前記配線層が形成された複数の配線基板を作製する請求項 10 又は 11 項記載の配線基板の製造方法。

【請求項 13】

前記第 2 工程は、主面及び前記主面の反対面である裏面を有し、個片化されると前記基板本体となる複数の領域を有する第 1 基板を準備する第 2 E 工程と、

前記第 1 基板の前記主面に酸化膜を形成するとともに、前記第 1 基板の前記セラミック基板のそれぞれの前記電極に対応する位置に、内側面に酸化膜が形成されたビアホールを形成する第 2 F 工程と、

前記セラミック基板のそれぞれの前記一方の面又は前記第 1 基板の前記裏面にポリマー層を形成する第 2 G 工程と、

前記セラミック基板のそれぞれの前記電極の位置と、対応する前記ビアホールの位置とを合わせて、前記第 1 基板の前記裏面の前記複数の領域のそれぞれに、前記ポリマー層を介して前記セラミック基板のそれぞれの前記一方の面を接合する第 2 H 工程と、を有する請求項 12 記載の配線基板の製造方法。

【請求項 14】

前記第 2 F 工程は、前記第 1 基板の前記主面の前記電極に対応する位置に凹部を形成する工程と、

前記第 1 基板の前記主面並びに前記凹部の内側面及び底面に酸化膜を形成する工程と、

前記第 1 基板を前記裏面側から研磨して薄型化して前記凹部を貫通させ、前記内側面に前記酸化膜が形成されたビアホールを形成する工程と、を有する請求項 13 記載の配線基板の製造方法。

【請求項 15】

前記第 3 工程は、前記ビアホール内に露出する前記ポリマー層を除去し、前記ポリマー層に貫通孔を形成して前記電極を露出する第 3 C 工程と、

前記酸化膜が形成された前記ビアホール及び前記貫通孔に導体を充填して前記電極と電氣的に接続されたビアフィルを形成するとともに、前記第 1 基板の前記主面に前記ビアフィルと電氣的に接続された配線パターンを形成して、前記ビアフィルと前記配線パターンとを含む前記配線層を形成する第 3 D 工程と、を有する請求項 13 又は 14 記載の配線基板の製造方法。

【請求項 16】

請求項 1 乃至 9 の何れか一項記載の配線基板の前記シリコン基板の前記主面に半導体チップが搭載された半導体パッケージ。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明は、シリコンとセラミックとを有する配線基板及びその製造方法、並びに前記配線基板を有する半導体パッケージに関する。

【 背景技術 】

【 0 0 0 2 】

従来より、配線基板上に、はんだバンプ等を介して半導体チップを搭載した半導体パッケージが知られている。このような半導体パッケージにおいて、配線基板は、半導体チップとマザーボード等の実装基板とを接続する際のインターポーザとして機能する。以下、図面を参照しながら、インターポーザとして機能する配線基板を有する従来の半導体パッケージについて例示する。

10

【 0 0 0 3 】

図 1 は、従来の半導体パッケージを例示する断面図である。図 1 を参照するに、半導体パッケージ 5 0 0 において、配線基板 1 0 0 の略中央部には、はんだバンプ 3 0 0 を介して半導体チップ 2 0 0 が実装され、アンダーフィル樹脂 4 0 0 で封止されている。

【 0 0 0 4 】

配線基板 1 0 0 は、第 1 配線層 1 1 0、第 1 絶縁層 1 4 0、第 2 配線層 1 2 0、第 2 絶縁層 1 5 0、第 3 配線層 1 3 0、ソルダーレジスト層 1 6 0 が順次積層された構造である。第 1 配線層 1 1 0 と第 2 配線層 1 2 0 とは、第 1 絶縁層 1 4 0 に設けられた第 1 ピアホール 1 4 0 x を介して電氣的に接続されている。第 2 配線層 1 2 0 と第 3 配線層 1 3 0 とは、第 2 絶縁層 1 5 0 に設けられた第 2 ピアホール 1 5 0 x を介して電氣的に接続されている。

20

【 0 0 0 5 】

ソルダーレジスト層 1 6 0 の開口部 1 6 0 x 内に露出する第 3 配線層 1 3 0 上には、はんだボール等の外部接続端子 1 7 0 が形成されている。第 1 配線層 1 1 0 は、半導体チップ 2 0 0 の電極パッド 2 2 0 と接続される電極パッドとして機能する。外部接続端子 1 7 0 は、マザーボード等の実装基板と接続される端子として機能する。なお、配線基板 1 0 0 は、配線幅やピアホール径等の制約により、多層になることが一般的である。

【 0 0 0 6 】

半導体チップ 2 0 0 は、半導体基板 2 1 0 と、電極パッド 2 2 0 とを有する。半導体基板 2 1 0 は、例えばシリコン (S i) 等からなる基板に半導体集積回路 (図示せず) が形成されたものである。電極パッド 2 2 0 は、半導体基板 2 1 0 の一方の側に形成されており、半導体集積回路 (図示せず) と電氣的に接続されている。

30

【 0 0 0 7 】

配線基板 1 0 0 の第 1 配線層 1 1 0 と半導体チップ 2 0 0 の電極パッド 2 2 0 とは、はんだバンプ 3 0 0 を介して電氣的に接続されている。半導体チップ 2 0 0 と配線基板 1 0 0 の対向する面の間には、アンダーフィル樹脂 4 0 0 が充填されている。

【 0 0 0 8 】

続いて、従来の半導体パッケージの製造方法について簡単に説明する。図 2 及び図 3 は、従来の半導体パッケージの製造工程を例示する図である。図 2 及び図 3 において、図 1 と同一部品については、同一符号を付し、その説明は省略する場合がある。

40

【 0 0 0 9 】

始めに、図 2 に示す工程では、それぞれ周知の方法で作製された配線基板 1 0 0 と半導体チップ 2 0 0 とを用意する。配線基板 1 0 0 の第 1 配線層 1 1 0 上には、プレソルダー 4 1 0 が形成されている。半導体チップ 2 0 0 の電極パッド 2 2 0 上には、プレソルダー 4 2 0 が形成されている。

【 0 0 1 0 】

次いで、図 3 に示す工程では、配線基板 1 0 0 の第 1 配線層 1 1 0 側と半導体チップ 2 0 0 の電極パッド 2 2 0 側とを対向させて、プレソルダー 4 1 0 と 4 2 0 とが対応する位置に来るように配置する。そして、プレソルダー 4 1 0 と 4 2 0 を例えば 2 3 0 に加熱し、はんだを融解させることにより、はんだバンプ 3 0 0 を形成する。

50

【 0 0 1 1 】

次いで、図 3 下側に示す構造体において、半導体チップ 2 0 0 と配線基板 1 0 0 の対向する面の間にアンダーフィル樹脂 4 0 0 を充填することにより、図 1 に示す半導体チップ 2 0 0 を搭載した半導体パッケージ 5 0 0 が完成する。なお、アンダーフィル樹脂 4 0 0 の硬化収縮の影響により配線基板 1 0 0 に反りが生じるため、配線基板 1 0 0 にはある程度以上の厚さが必要である。

【 0 0 1 2 】

半導体パッケージ 5 0 0 は、外部接続端子 1 7 0 を介してマザーボード等の実装基板と接続される。このように、半導体パッケージ 5 0 0 において、配線基板 1 0 0 は、半導体チップ 2 0 0 とマザーボード等の実装基板とを接続する際のインターポーザとして機能する。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 1 3 】

【 特許文献 1 】 特表 2 0 0 3 - 5 0 3 8 5 5 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 4 】

しかしながら、ダウンサイジングの進化の中で、半導体チップの微細化が進んでいるため、半導体チップを搭載するインターポーザ側にも微細配線が要求され、図 1 に示すような従来の配線基板では対応が困難になりつつある。そこで、微細配線に対応可能なシリコンをベースとした多層構造のインターポーザが検討されているが、多層構造にするためには製造設備に対する投資額が大きくなり、製造コストが増大するという問題があった。

20

【 0 0 1 5 】

本発明は、上記の点に鑑みてなされたものであり、製造コストの増大を抑制でき、かつ、微細配線に対応可能な配線基板及びその製造方法並びに前記配線基板を有する半導体パッケージを提供することを課題とする。

【 課題を解決するための手段 】

【 0 0 1 6 】

本配線基板は、積層された複数のセラミック層及び内部配線を備え、前記内部配線と電氣的に接続された電極が一方の面から露出しているセラミック基板と、主面に形成された配線パターンと、一端が前記配線パターンと電氣的に接続され、他端が前記主面の反対面である裏面から露出しているビアフィルと、を含む配線層を備えたシリコン基板と、を有し、前記シリコン基板の前記裏面は、前記セラミック基板の前記一方の面にポリマー層を介して接合され、前記シリコン基板の前記ビアフィルは、前記ポリマー層を貫通し、前記セラミック基板の前記電極と直接接合されて一体的に設けられており、前記シリコン基板には第 1 ビアホールが設けられ、前記ポリマー層には前記第 1 ビアホールに連通する第 2 ビアホールが設けられ、前記シリコン基板の主面及び前記第 1 ビアホールの内側面には酸化膜が設けられ、前記ビアフィルは、前記シリコン基板及び前記ポリマー層の厚さ方向において、前記酸化膜及び前記ポリマー層と接していることを要件とする。

30

40

【 0 0 1 7 】

本配線基板の製造方法は、積層された複数のセラミック層及び内部配線を備え、前記内部配線と電氣的に接続された電極が一方の面から露出しているセラミック基板を準備する第 1 工程と、主面及び前記主面の反対面である裏面を有するシリコンからなる基板本体を準備し、前記セラミック基板の前記一方の面にポリマー層を介して前記基板本体の前記裏面を接合する第 2 工程と、前記基板本体の前記主面に、前記電極と電氣的に接続する配線層を形成する第 3 工程と、を有し、前記第 2 工程は、主面及び前記主面の反対面である裏面を有するシリコンからなる基板本体を準備する第 2 A 工程と、前記基板本体の前記主面に酸化膜を形成するとともに、前記基板本体の前記電極に対応する位置に、内側面に酸化膜が形成されたビアホールを形成する第 2 B 工程と、前記セラミック基板の前記一方の面

50

又は前記基板本体の前記裏面にポリマー層を形成する第２Ｃ工程と、前記電極の位置と前記ビアホールとの位置とを合わせて、前記セラミック基板の前記一方の面に前記ポリマー層を介して前記基板本体の前記裏面を接合する第２Ｄ工程と、を含み、前記第３工程は、前記ビアホール内に露出する前記ポリマー層を除去し、前記ポリマー層に貫通孔を形成して前記電極を露出する第３Ａ工程と、前記酸化膜が形成された前記ビアホール及び前記貫通孔に導体を充填して前記電極と電氣的に接続されたビアフィルを形成するとともに、前記基板本体の前記主面に前記ビアフィルと電氣的に接続された配線パターンを形成して、前記ビアフィルと前記配線パターンとを含む前記配線層を形成する第３Ｂ工程と、を含み、前記第３Ｂ工程では、前記基板本体及び前記ポリマー層の厚さ方向において、前記酸化膜及び前記ポリマー層と接するように前記ビアフィルを形成することを要件とする。

10

【００１８】

本半導体パッケージは、本発明に係る配線基板の前記シリコン基板の前記主面に半導体チップが搭載されたことを要件とする。

【発明の効果】

【００１９】

開示の技術によれば、製造コストの増大を抑制でき、かつ、微細配線に対応可能な配線基板及びその製造方法並びに前記配線基板を有する半導体パッケージを提供することができる。

【図面の簡単な説明】

【００２０】

20

【図１】従来の半導体パッケージを例示する断面図である。

【図２】従来の半導体パッケージの製造工程を例示する図（その１）である。

【図３】従来の半導体パッケージの製造工程を例示する図（その２）である。

【図４】第１の実施の形態に係る配線基板を例示する断面図である。

【図５】第１の実施の形態に係る配線基板の製造工程を例示する図（その１）である。

【図６】第１の実施の形態に係る配線基板の製造工程を例示する図（その２）である。

【図７】第１の実施の形態に係る配線基板の製造工程を例示する図（その３）である。

【図８】第１の実施の形態に係る配線基板の製造工程を例示する図（その４）である。

【図９】第１の実施の形態に係る配線基板の製造工程を例示する図（その５）である。

【図１０】第１の実施の形態に係る配線基板の製造工程を例示する図（その６）である。

30

【図１１】第１の実施の形態に係る配線基板の製造工程を例示する図（その７）である。

【図１２】第１の実施の形態に係る配線基板の製造工程を例示する図（その８）である。

【図１３】第１の実施の形態に係る配線基板の製造工程を例示する図（その９）である。

【図１４】第１の実施の形態に係る配線基板の製造工程を例示する図（その１０）である。

。

【図１５】第１の実施の形態に係る配線基板の製造工程を例示する図（その１１）である。

。

【図１６】第１の実施の形態に係る配線基板の製造工程を例示する図（その１２）である。

。

【図１７】第１の実施の形態に係る配線基板の製造工程を例示する図（その１３）である。

40

。

【図１８】第１の実施の形態に係る配線基板の製造工程を例示する図（その１４）である。

。

【図１９】第２の実施の形態に係る配線基板の製造工程を例示する図（その１）である。

【図２０】第２の実施の形態に係る配線基板の製造工程を例示する図（その２）である。

【図２１】第２の実施の形態に係る配線基板の製造工程を例示する図（その３）である。

【図２２】第２の実施の形態に係る配線基板の製造工程を例示する図（その４）である。

【図２３】第２の実施の形態に係る配線基板の製造工程を例示する図（その５）である。

【図２４】第３の実施の形態に係る半導体パッケージを例示する断面図である。

【図２５】第３の実施の形態に係る半導体パッケージの製造工程を例示する図（その１）

50

である。

【図 2 6】第 3 の実施の形態に係る半導体パッケージの製造工程を例示する図（その 2）である。

【図 2 7】第 3 の実施の形態の変形例 1 に係る半導体パッケージを例示する断面図である。

【図 2 8】第 3 の実施の形態の変形例 2 に係る半導体パッケージを例示する断面図である。

【図 2 9】第 3 の実施の形態の変形例 3 に係る半導体パッケージを例示する断面図である。

【発明を実施するための形態】

10

【0021】

以下、図面を参照して発明を実施するための形態について説明する。

【0022】

第 1 の実施の形態

[第 1 の実施の形態に係る配線基板の構造]

図 4 は、第 1 の実施の形態に係る配線基板を例示する断面図である。図 4 を参照するに、配線基板 10 は、セラミック基板 20 上にポリマー層 40 を介してシリコン基板 30 が接合された構造（所謂ポリマー接合）を有し、セラミック基板 20 には外部接続端子 29 が設けられている。

【0023】

20

配線基板 10 の平面形状は例えば矩形状であり、その寸法は、例えば幅 15 mm（X 方向）×奥行き 15 mm（Y 方向）程度とすることができる。セラミック基板 20 の厚さ（Z 方向）は、例えば 50 ~ 1000 μm 程度とすることができる。シリコン基板 30 の厚さ（Z 方向）は、例えば 50 ~ 500 μm 程度とすることができる。ポリマー層 40 の厚さ（Z 方向）は、例えば 5 ~ 20 μm 程度とすることができる。以下、セラミック基板 20、外部接続端子 29、シリコン基板 30、及びポリマー層 40 について詳説する。

【0024】

セラミック基板 20 は、第 1 配線層 21 と、第 1 セラミック層 22 と、第 2 配線層 23 と、第 2 セラミック層 24 と、第 3 配線層 25 と、第 3 セラミック層 26 と、電極 27 と、ソルダーレジスト層 28 とを有する。セラミック基板 20 において、第 1 セラミック層 22、第 2 セラミック層 24、及び第 3 セラミック層 26 は、絶縁層として用いられている。セラミック基板 20 は、所謂 LTCC（Low Temperature Co-fire Ceramic）と呼ばれる低温同時焼結セラミック多層基板である。但し、セラミック基板 20 として、所謂 HTCC（High Temperature Co-fire Ceramic）と呼ばれる高温同時焼結セラミック多層基板等を用いても構わない。

30

【0025】

所謂 LTCC は、所謂 HTCC に比べて薄型化が可能である。又、所謂 LTCC は 900 程度の低温で焼成するため、電極や配線層の材料として銅（Cu）、銀（Ag）、金（Au）等の融点が低く導電率の高い材料を用いることが可能であり、配線抵抗を小さくすることができる。但し、所謂 LTCC は、所謂 HTCC に比べて酸やアルカリに弱く、

40

【0026】

一方、所謂 HTCC は、所謂 LTCC に比べて薄型化が困難である。又、所謂 HTCC は、1600 程度の高温で焼成するため、電極や配線層の材料として銅（Cu）、銀（Ag）、金（Au）等の融点が低く導電率の高い材料を用いることはできず、タングステンやモリブデン等の融点が高く導電率の低い材料を用いる必要があり、配線抵抗を小さくすることができない。但し、所謂 HTCC は、所謂 LTCC に比べて酸やアルカリに強く、所謂 LTCC に比べて高剛性である。

【0027】

このように、所謂 LTCC と所謂 HTCC とは互いに異なる特徴を有するため、用途に

50

応じて何れか適切な方を選定すればよい。本実施の形態では、セラミック基板 20 として、所謂 L T C C を用いる場合を例に以下の説明を行う。

【0028】

第 1 配線層 21 は、第 1 セラミック層 22 の一方の面に形成されている。第 1 配線層 21 の材料としては、例えば銅 (Cu) 等を用いることができる。第 1 配線層 21 の材料として、銀 (Ag) や金 (Au) 等を用いても構わない。第 1 配線層 21 の厚さは、例えば 5 μm 程度とすることができる。

【0029】

第 1 セラミック層 22 の材料としては、例えば酸化ナトリウム (Na_2O)、酸化アルミニウム (Al_2O_3)、酸化ホウ素 (B_2O_3)、二酸化珪素 (SiO_2) を含むガラスにアルミナコーゼライトを添加したもの等を用いることができる。第 1 セラミック層 22 の厚さは、例えば 10 μm 程度とすることができる。

10

【0030】

ここで、コーゼライトとは、酸化マグネシウム (MgO) と酸化アルミニウム (Al_2O_3) と二酸化珪素 (SiO_2) とを含む化合物であり、組成の一例として $2\text{MgO} \cdot 2\text{Al}_2\text{O}_3 \cdot 5\text{SiO}_2$ を挙げることができる。又、アルミナコーゼライトとは、コーゼライトに酸化アルミニウム (Al_2O_3) を配合したものである。

【0031】

第 2 配線層 23 は、第 1 セラミック層 22 の他方の面に形成されている。第 2 配線層 23 は、第 1 セラミック層 22 を貫通し第 1 配線層 21 の上面を露出する第 1 ピアホール 22x 内に充填されたピアフィル、及び第 1 セラミック層 22 上に形成された配線パターンを含んで構成されている。第 2 配線層 23 は、第 1 ピアホール 22x 内に露出した第 1 配線層 21 と電氣的に接続されている。第 2 配線層 23 の材料としては、例えば銅 (Cu) 等を用いることができる。第 2 配線層 23 の材料として、銀 (Ag) や金 (Au) 等を用いても構わない。第 2 配線層 23 を構成する配線パターンの厚さは、例えば 5 μm 程度とすることができる。

20

【0032】

第 2 セラミック層 24 は、第 1 セラミック層 22 上に、第 2 配線層 23 を覆うように形成されている。第 2 セラミック層 24 の材料としては、例えば酸化ナトリウム (Na_2O)、酸化アルミニウム (Al_2O_3)、酸化ホウ素 (B_2O_3)、二酸化珪素 (SiO_2) を含むガラスにアルミナコーゼライトを添加したもの等を用いることができる。第 2 セラミック層 24 の厚さは、例えば 10 μm 程度とすることができる。

30

【0033】

第 3 配線層 25 は、第 2 セラミック層 24 上に形成されている。第 3 配線層 25 は、第 2 セラミック層 24 を貫通し第 2 配線層 23 の上面を露出する第 2 ピアホール 24x 内に充填されたピアフィル、及び第 2 セラミック層 24 上に形成された配線パターンを含んで構成されている。第 3 配線層 25 は、第 2 ピアホール 24x 内に露出した第 2 配線層 23 と電氣的に接続されている。第 3 配線層 25 の材料としては、例えば銅 (Cu) 等を用いることができる。第 3 配線層 25 の材料として、銀 (Ag) や金 (Au) 等を用いても構わない。第 3 配線層 25 を構成する配線パターンの厚さは、例えば 5 μm 程度とすることができる。

40

【0034】

第 3 セラミック層 26 は、第 2 セラミック層 24 上に、第 3 配線層 25 を覆うように形成されている。第 3 セラミック層 26 の材料としては、例えば酸化ナトリウム (Na_2O)、酸化アルミニウム (Al_2O_3)、酸化ホウ素 (B_2O_3)、二酸化珪素 (SiO_2) を含むガラスにアルミナコーゼライトを添加したもの等を用いることができる。第 3 セラミック層 26 の厚さは、例えば 10 μm 程度とすることができる。

【0035】

なお、アルミナコーゼライトの添加量を変えることにより、第 1 セラミック層 22、第 2 セラミック層 24、及び第 3 セラミック層 26 の C T E (Coefficient of thermal

50

expansion、熱膨張率)を調整することができる。第1セラミック層22、第2セラミック層24、及び第3セラミック層26のCTEを調整する技術的な意義については、後述する。

【0036】

電極27は、第3セラミック層26を貫通し第3配線層25の上面を露出する第3ビアホール26x内に充填されたビアフィルを含んで構成されている。電極27の面27aは、第3セラミック層26の面26aと略面一とされている。つまり、電極27の面27aは、第3セラミック層26の面26aから露出している。電極27は、第3ビアホール26x内に露出した第3配線層25と電氣的に接続されている。電極27の材料としては、例えば銅(Cu)等を用いることができる。電極27の材料として、銀(Ag)や金(Au)等を用いても構わない。電極27の厚さは、例えば5μm程度とすることができる。

10

【0037】

ソルダーレジスト層28は、第1セラミック層22の一方の面に、第1配線層21を覆うように形成されている。ソルダーレジスト層28は開口部28xを有し、第1配線層21の一部はソルダーレジスト層28の開口部28x内に露出している。ソルダーレジスト層28の材料としては、例えばエポキシ系樹脂やイミド系樹脂等を含む感光性樹脂組成物等を用いることができる。ソルダーレジスト層28の厚さは、例えば15μm程度とすることができる。

【0038】

必要に応じ、開口部28x内に露出する第1配線層21上に、金属層等を形成してもよい。金属層の例としては、Au層や、Ni/Au層(Ni層とAu層をこの順番で積層した金属層)、Ni/Pd/Au層(Ni層とPd層とAu層をこの順番で積層した金属層)等を挙げることができる。

20

【0039】

外部接続端子29は、セラミック基板20のソルダーレジスト層28の開口部28x内に露出する第1配線層21上に(第1配線層21上に金属層等が形成されている場合には、金属層等の上に)形成されている。

【0040】

平面視において、外部接続端子29の形成されている領域は、後述する開口部34x内に露出している配線層33(半導体チップと接続される電極パッドとして機能する)の形成されている領域の周囲に拡張されている。つまり、半導体チップが接続される領域の周囲にも外部接続端子29が位置するように、第1配線層21~第3配線層25を引き回している。このように、配線基板10は、所謂ファンアウト構造を有する。

30

【0041】

隣接する外部接続端子29のピッチは、隣接する開口部34x内に露出している配線層33のピッチ(例えば80μm程度)よりも拡大することが可能となり、例えば400μm程度とすることができる。但し、配線基板10は、目的に応じて所謂ファンイン構造を有しても構わない。

【0042】

外部接続端子29は、マザーボード等の実装基板(図示せず)に設けられたパッドと電氣的に接続される端子として機能する。外部接続端子29としては、例えば、はんだボール等を用いることができる。はんだボールの材料としては、例えばPbを含む合金、SnとCuの合金、SnとAgの合金、SnとAgとCuの合金等を用いることができる。なお、外部接続端子29として、リードピンを用いても構わない。

40

【0043】

但し、第1の実施の形態では外部接続端子29を形成しているが、外部接続端子29は必ずしも形成する必要はない。要は、必要なときに外部接続端子29等を形成できるように、第1配線層21の一部がソルダーレジスト層28から露出し、パッドとして用いることができるようにされていれば十分である。

【0044】

50

シリコン基板 30 は、セラミック基板 20 上にポリマー層 40 を介して接合（所謂ポリマー接合）されている。ポリマー層 40 の材料としては、例えばベンゾシクロブテン（BCB）、ポリベンゾオキサゾール（PBO）、ポリイミド（PI）等のポリマー性の絶縁樹脂を用いることができる。これらの絶縁樹脂は、半導体プロセスにおいて実績のある材料であるとともに、350 を超える耐熱温度を有する点で好適である。

【0045】

シリコン基板 30 は、基板本体 31 と、絶縁層 32 と、第 1 金属層 33a と第 2 金属層 33b とを含む配線層 33 と、ガイドレジスト層 34 と、第 3 金属層 35 とを有する。

【0046】

基板本体 31 は、シリコンから構成されている。基板本体 31 の厚さは、例えば 50 ~ 500 μm 程度とすることができる。ビアホール 31z は、基板本体 31 の面 31a（主面）から面 31b（裏面）に貫通するビアホール 31y 及びポリマー層 40 を貫通するビアホール 40x からなり、セラミック基板 20 の電極 27 の面 27a を露出する貫通孔である。ビアホール 31z の配設ピッチは、適宜選択することが可能であるが、例えば 80 μm 程度とすることができる。ビアホール 31z は、例えば平面視において（基板本体 31 の面 31a 又は 31b 側から見て）円形であり、その直径は、例えば 10 ~ 200 μm 程度とすることができる。

【0047】

絶縁層 32 は、基板本体 31 の面 31a 及びビアホール 31y の内側面に形成されている。絶縁層 32 は、基板本体 31 と配線層 33 との間を絶縁するための膜である。絶縁層 32 としては、熱酸化膜（ SiO_2 ）を用いることができる。絶縁層 32 の厚さは、例えば 1 ~ 2 μm 程度とすることができる。

【0048】

配線層 33 は、第 1 金属層 33a と第 2 金属層 33b とを含んで構成されている。配線層 33 は、ビアホール 31z（絶縁層 32 が形成されたビアホール 31y 及びビアホール 40x）に充填されたビアフィル、及び基板本体 31 の面 31a に絶縁層 32 を介して形成された配線パターンを含んで構成されている。配線層 33 は、セラミック基板 20 の電極 27 と電気的に接続されている。

【0049】

なお、本実施の形態では、ビアホール 31y の直径を電極 27 の面 27a の直径よりも大きくし、ビアホール 40x の直径を電極 27 の面 27a の直径と同程度として、電極 27 の面 27a がビアホール 40x の底面部分に露出する配線層 33 のみと接するようにしている。又、この際、ビアホール 31y 及びビアホール 40x の中心軸と電極 27 の面 27a の中心軸を一致させるようにしている。しかしながら、必ずしもこのような構造には限定されない。

【0050】

配線層 33 は、シリコンから構成された基板本体 31 に半導体プロセスにより形成可能であるため、超微細なビアホール及び超微細な配線パターンとすることができる。配線層 33 を構成する配線パターンは、例えばライン/スペース = 1 / 1 μm ~ 10 / 10 μm 程度とすることができる。配線層 33 を構成する配線パターンの厚さは、例えば 1 ~ 10 μm 程度（ライン/スペース = 1 / 1 μm ~ 10 / 10 μm 程度の場合）とすることができる。

【0051】

ガイドレジスト層 34 は、基板本体 31 の面 31a に形成された絶縁層 32 上に、配線層 33 を覆うように形成されている。ガイドレジスト層 34 は開口部 34x を有し、配線層 33 の一部はガイドレジスト層 34 の開口部 34x 内に露出している。開口部 34x 内に露出している配線層 33 は、半導体チップと接続される電極パッドとして機能する。ガイドレジスト層 34 の材料としては、例えばベンゾシクロブテン（BCB）、ポリベンゾオキサゾール（PBO）、ポリイミド（PI）等の絶縁樹脂を用いることができる。ガイドレジスト層 34 の材料として、エポキシ系樹脂やイミド系樹脂等を含む感光性樹脂組成

10

20

30

40

50

物等を用いても構わない。ガイドレジスト層 34 の厚さは、例えば $5 \sim 30 \mu\text{m}$ 程度とすることができる。

【0052】

第3金属層 35 は、ガイドレジスト層 34 の開口部 34x 内に露出する配線層 33 上に形成されている。第3金属層 35 は、開口部 34x 内に露出している配線層 33 が半導体チップと接続される際の接続信頼性を向上するために設けられている。従って、ガイドレジスト層 34 に覆われている配線層 33 上には第3金属層 35 を形成しなくても構わない。第3金属層 35 の例としては、Au 層や、Ni / Au 層 (Ni 層と Au 層をこの順番で積層した金属層)、Ni / Pd / Au 層 (Ni 層と Pd 層と Au 層をこの順番で積層した金属層) 等を挙げることができる。又、第3金属層 35 の他の例としては、例えば SnAg や SnAgCu 等のはんだめっきを挙げることができる。但し、仕様によっては、ガイドレジスト層 34 の開口部 34x 内に露出する配線層 33 上に第3金属層 35 を形成しなくても構わない。

【0053】

このように、配線基板 10 は、半導体チップ (図示せず) とマザーボード等の実装基板 (図示せず) とを接続するインターポーザとしての機能を有する。ところで、シリコン基板 30 の CTE は、略 $3 \text{ ppm} / ^\circ\text{C}$ 程度である。又、シリコン基板 30 側に接続される半導体チップがシリコンである場合の CTE も、略 $3 \text{ ppm} / ^\circ\text{C}$ 程度である。このように、半導体チップとシリコン基板 30 の CTE が略一致しているため、半導体チップとシリコン基板 30 とを接続する際等に加熱されても、CTE の違いに起因する熱応力 (ストレス) が半導体チップとシリコン基板 30 との接続部に生じ難い。そのため、半導体チップとシリコン基板 30 との接続信頼性を高めることができる。

【0054】

一方、セラミック基板 20 とシリコン基板 30 との間にはポリマー層 40 が存在しているため、セラミック基板 20 の CTE をシリコン基板 30 の CTE ($3 \text{ ppm} / ^\circ\text{C}$ 程度) に合わせ込まなくても構わない。セラミック基板 20 とシリコン基板 30 とを接続する際等に加熱されても、ポリマー層 40 が CTE の違いに起因する熱応力 (ストレス) を吸収するため、セラミック基板 20 とシリコン基板 30 との接続部には熱応力 (ストレス) が生じ難い。そのため、セラミック基板 20 の CTE をシリコン基板 30 の CTE ($3 \text{ ppm} / ^\circ\text{C}$ 程度) に合わせ込まなくても、セラミック基板 20 とシリコン基板 30 との接続信頼性を確保することができる。

【0055】

セラミック基板 20 の CTE をシリコン基板 30 の CTE ($3 \text{ ppm} / ^\circ\text{C}$ 程度) に合わせ込まなくても問題がないこと、及び、セラミック基板 20 側に接続される主に樹脂基板からなるマザーボード等の実装基板の CTE が略 $18 \text{ ppm} / ^\circ\text{C}$ 程度であることを考慮すると、シリコン基板 30 とマザーボード等の実装基板との間に配置されるセラミック基板 20 の CTE は、 $10 \text{ ppm} / ^\circ\text{C} \sim 12 \text{ ppm} / ^\circ\text{C}$ 程度とすることが好ましい。なお、前述のように、各セラミック層の CTE は、アルミナコージェライトの添加量を変えることにより調整することができる。

【0056】

このように、セラミック基板 20 とシリコン基板 30 とをポリマー層 40 を介して接合 (所謂ポリマー接合) することにより、セラミック基板 20 の CTE をシリコン基板 30 の CTE ($3 \text{ ppm} / ^\circ\text{C}$ 程度) に合わせ込まなくても、セラミック基板 20 とシリコン基板 30 との接続信頼性を確保することができる。又、セラミック基板 20 の CTE を主に樹脂基板からなるマザーボード等の実装基板の CTE (略 $18 \text{ ppm} / ^\circ\text{C}$ 程度) に近い値 ($10 \text{ ppm} / ^\circ\text{C} \sim 12 \text{ ppm} / ^\circ\text{C}$ 程度) とすることにより、セラミック基板 20 とマザーボード等の実装基板との接続信頼性を確保することができる。

【0057】

但し、セラミック基板 20 とマザーボード等の実装基板との接続信頼性をより高めたい場合には、セラミック基板 20 において、シリコン基板 30 側からマザーボード等の実装

10

20

30

40

50

基板側に近づくにつれてCTEを徐々に増加させることもできる。一例を挙げれば、シリコン基板30に最も近い第3セラミック層26のCTEは10ppm/°C ~ 12ppm/°C程度とし、マザーボード等の実装基板に最も近い第1セラミック層22のCTEは15ppm/°C ~ 17ppm/°C程度とし、その中間に配置される第2セラミック層24のCTEは13ppm/°C ~ 14ppm/°C程度とするが如くである。

【0058】

このように、セラミック基板20においてシリコン基板30側からマザーボード等の実装基板側に近づくにつれてCTEを徐々に増加させて、マザーボード等の実装基板のCTEとマザーボード等の実装基板に最も近い第1セラミック層22のCTEとを略一致させると、マザーボード等の実装基板とセラミック基板20とを接続する際等に加熱されても、CTEの違いに起因する熱応力（ストレス）がマザーボード等の実装基板とセラミック基板20との接続部に生じ難い。そのため、セラミック基板20とマザーボード等の実装基板との接続信頼性をより一層高めることができる。

10

【0059】

又、同様の理由により、セラミック基板20内にもCTEの違いに起因する熱応力（ストレス）が生じ難いため、各接続部の接続信頼性を高めることができる。

【0060】

以上が、セラミック基板20及びシリコン基板30を有する配線基板10の構造である。

【0061】

20

〔第1の実施の形態に係る配線基板の製造方法〕

続いて、第1の実施の形態に係る配線基板の製造方法について説明する。図5～図18は、第1の実施の形態に係る配線基板の製造工程を例示する図である。図5～図18において、図4と同一部分については、同一符号を付し、その説明は省略する場合がある。

【0062】

始めに、図5に示す工程では、基板本体31Sを準備し、基板本体31Sの面31aに、セラミック基板20Sの電極27に対応する開口部61xを有するレジスト層61を形成する。基板本体31Sは、最終的に個片化されて基板本体31（図4参照）となる複数の領域を有する基板である。基板本体31Sとしては、例えば薄型化されていない6インチ（約150mm）、8インチ（約200mm）、12インチ（約300mm）等のシリコンウェハ等を用いることができる。基板本体31Sの厚さは、例えば0.625mm（6インチの場合）、0.725mm（8インチの場合）、0.775mm（12インチの場合）等とすることができる。但し、基板本体31Sは、シリコンウェハ等の平面形状が円形の基板でなくても良く、例えば平面形状が矩形の基板であっても構わない。

30

【0063】

レジスト層61を形成するには、基板本体31Sの面31aに、例えばエポキシ系樹脂やイミド系樹脂等を含む感光性樹脂組成物からなる液状又はペースト状のレジストを塗布する。或いは、基板本体31Sの面31aに、例えばエポキシ系樹脂やイミド系樹脂等を含む感光性樹脂組成物からなるフィルム状のレジストをラミネートする。そして、塗布又はラミネートしたレジストを露光、現像することで開口部61xを形成する。これにより、開口部61xを有するレジスト層61が形成される。なお、予め開口部61xを形成したフィルム状のレジストを基板本体31Sの面31aにラミネートしても構わない。

40

【0064】

開口部61xは電極27に対応する位置に形成されるが、その配設ピッチは、例えば80μm程度とすることができる。開口部61xは、例えば平面視において（基板本体31Sの面31a又は31b側から見て）円形であり、その直径は、例えば10～200μm程度とすることができる。なお、本実施の形態では、開口部61xの直径は、電極27の面27aの直径よりも大きくしている。

【0065】

次いで、図6に示す工程では、図5に示すレジスト層61をマスクとして基板本体31

50

Sをエッチングすることにより、凹部31xを形成する。そして、図5に示すレジスト層61を除去する。これにより、セラミック基板20Sの電極27に対応する位置に凹部31xが形成される。凹部31xは、例えばSF₆を用いた反応性イオンエッチング(DRIE: Deep Reactive Ion Etch)等の異方性エッチング法により形成することができる。凹部31xの配設ピッチは、開口部61xの配設ピッチに対応し、例えば80μm程度とすることができる。凹部31xは、例えば平面視において(基板本体31Sの面31a側から見て)円形であり、その直径は、開口部61xの直径に対応し、例えば10~200μm程度とすることができる。凹部31xの深さは、後述する図8に示す工程で、貫通孔(ビアホール31y)が形成できる程度とする。

【0066】

次いで、図7に示す工程では、基板本体31Sの面31a並びに凹部31xの内側面及び底面に、絶縁層32を形成する。絶縁層32としては、熱酸化膜(SiO₂)を用いることができる。絶縁層32は、基板本体31Sの表面近傍の温度を例えば1000℃以上とするウェット熱酸化法により熱酸化することで形成することができる。絶縁層32の厚さは、例えば1~2μm程度とすることができる。

【0067】

このように、絶縁層32をウェット熱酸化法等の熱酸化法で形成することにより、絶縁材料をスピコート法等で塗布する場合に比べて製造工程を簡略化することが可能となり、配線基板10の製造コストを低減することができる。又、ウェット熱酸化法による絶縁層32の形成は、ドライ熱酸化法による絶縁層32の形成に比べて膜厚を厚くすることができる点で好適である。

【0068】

但し、絶縁特性をより向上させたい場合や挿入損出を低減させたい場合には、スピコート法等によりベンゾシクロブテン(BCB)等からなる絶縁層を形成する方が好ましい。スピコート法等により形成されたベンゾシクロブテン(BCB)等からなる絶縁層は、熱酸化法により形成された絶縁層32よりも厚くすることが可能である。絶縁層を厚くすることにより、基板本体31Sと配線層33との間の静電容量を小さくすることが可能となり、挿入損出を低減させることができる。

【0069】

次いで、図8に示す工程では、基板本体31Sを面31b側から研磨又は研削して基板本体31Sを薄型化する。基板本体31Sの薄型化により、図7に示す凹部31xは貫通し、セラミック基板20Sの電極27に対応する位置に、内側面が絶縁層32で被覆されたビアホール31yが形成される。基板本体31Sの薄型化には、例えばバックサイドグラインダー等を用いることができる。以降、薄型化後の基板本体31Sを基板本体31Tと称する。基板本体31Tの厚さは、例えば50~500μm程度とすることができる。なお、基板本体31Sを薄型化した後、研磨又は研削した面(基板本体31Tの面31b)に、熱酸化法等により絶縁層を設けても良い。

【0070】

次いで、図9に示す工程では、セラミック基板20Sを準備する。セラミック基板20Sは、最終的に個片化されてセラミック基板20(図4参照)となる複数の領域を有する基板である。セラミック基板20Sは、所謂LTCC(Low Temperature Co-fire Ceramic)と呼ばれる低温同時焼結セラミック多層基板である。なお、セラミック基板20Sには外部接続端子29が形成されているが、必ずしもこの時点で形成されていなくてもよく、必要な時に形成すればよい。

【0071】

セラミック基板20Sの有する各セラミック層の材料としては、例えば酸化ナトリウム(Na₂O)、酸化アルミニウム(Al₂O₃)、酸化ホウ素(B₂O₃)、二酸化珪素(SiO₂)を含むガラスにアルミナコーゼライトを添加したもの等を用いることができる。セラミック基板20Sの平面形状は例えば円形とすることができ、その直径は例えば6インチ(約150mm)、8インチ(約200mm)、12インチ(約300mm)

10

20

30

40

50

等とすることができる。セラミック基板 20S の厚さは、例えば 50 ~ 1000 μm 程度とすることができる。

【0072】

セラミック基板 20S は、例えば以下のようにして作製することができる。始めに、例えば酸化ナトリウム (Na_2O)、酸化アルミニウム (Al_2O_3)、酸化ホウ素 (B_2O_3)、二酸化珪素 (SiO_2) を含むガラスの粉末にアルミナコージェライトの粉末を添加した材料に有機バインダーと溶剤を加え、混練しスラリーを作り成膜装置でシート化する。成膜装置より吐出したスラリーは、キャリアテープ上に塗布され乾燥ゾーンを通過した後グリーンシートとなり、所定のサイズに切断される。次に、このグリーンシートに最終的にビアホールとなる穴を開け、最終的にビアフィル及び配線パターンとなる導電材料を印刷した後に積層し、焼結することにより、セラミック基板 20S が作製される。

10

【0073】

次いで、図 10 に示す工程では、セラミック基板 20S と基板本体 31T とを、ポリマー層 40 を介して貼り合わせる。具体的には、始めに、セラミック基板 20S の面 26a 又は基板本体 31T の面 31b の何れか一方の面に、ポリマー層 40 の材料である液状又はペースト状のベンゾシクロブテン (BCB)、ポリベンゾオキサゾール (PBO)、ポリイミド (PI) 等のポリマー性の絶縁樹脂をスピンコート法等により塗布する。或いは、セラミック基板 20S の面 26a 又は基板本体 31T の面 31b の何れか一方の面に、フィルム状のベンゾシクロブテン (BCB)、ポリベンゾオキサゾール (PBO)、ポリイミド (PI) 等のポリマー性の絶縁樹脂をラミネートする。そして、セラミック基板 20S の電極 27 の中心と基板本体 31T のビアホール 31y の中心とを位置合わせし、セラミック基板 20S と基板本体 31T とをポリマー層 40 を介して貼り合わせる。未硬化のポリマー層 40 は粘着性を有するため、セラミック基板 20S と基板本体 31T とはポリマー層 40 を介して仮固定される。

20

【0074】

なお、セラミック基板 20S の面 26a 又は基板本体 31T の面 31b の何れか一方の面に、予めビアホール 31y の位置に対応する開口部を形成したフィルム状のベンゾシクロブテン (BCB)、ポリベンゾオキサゾール (PBO)、ポリイミド (PI) 等のポリマー性の絶縁樹脂をラミネートしてもよい。この場合には、セラミック基板 20S 上にポリマー層 40 を介して基板本体 31T を接合することにより、ビアホール 31y 及びポリマー層 40 の開口部内に電極 27 の面 27a が露出する。

30

【0075】

次いで、図 11 に示す工程では、ビアホール 31y 内に露出するポリマー層 40 を除去してポリマー層 40 にビアホール 40x を形成し、電極 27 の面 27a を露出させる。そして、ポリマー層 40 を 250 ~ 350 程度に加熱して硬化させる。これにより、セラミック基板 20S と基板本体 31T とは、ポリマー層 40 を介して接合 (所謂ポリマー接合) される。内側面に絶縁層 32 が形成されたビアホール 31y とビアホール 40x とは、連続する 1 つの貫通孔となる (この貫通孔をビアホール 31z と称する)。

【0076】

ポリマー層 40 としてポジ型の感光性絶縁樹脂を用いている場合には、基板本体 31T をマスクとしてビアホール 31y 内に露出するポリマー層 40 を紫外光等により露光し更に現像して、ビアホール 31y 内に露出するポリマー層 40 を除去することにより、ポリマー層 40 にビアホール 40x を形成することができる。又、ポリマー層 40 として非感光性絶縁樹脂を用いている場合には、基板本体 31T をマスクとして CO_2 レーザー等のレーザー光を照射し、ビアホール 31y 内に露出するポリマー層 40 を除去することにより、ポリマー層 40 にビアホール 40x を形成することができる。但し、この場合には、ポリマー層 40 のビアホール 40x 内に露出する電極 27 の面 27a に残渣が生じるため、アルゴンガスや CF_4 ガス等を用いてポリマー層 40 のビアホール 40x 内に露出する電極 27 の面 27a のクリーニング処理を行う必要がある。

40

【0077】

50

なお、前述の図10に示す工程において、セラミック基板20Sの面26a又は基板本体31Tの面31bの何れか一方の面に、予めビアホール31yの位置に対応する開口部を形成したフィルム状のベンゾシクロブテン(BCB)、ポリベンゾオキサゾール(PBO)、ポリイミド(PI)等のポリマー性の絶縁樹脂をラミネートした場合には、図11に示す工程を削除することができる。

【0078】

次いで、図12に示す工程では、250～350 程度に加熱してポリマー層40を硬化させた後、ビアホール31z内に露出した電極27の面27a、絶縁層32上(ビアホール31yの内側面を覆う絶縁層32上も含む)、及びビアホール40xの内側面上に第1金属層33aを形成する。第1金属層33aは、例えばスパッタ法等により形成することができる。第1金属層33aとしては、例えばTi/Cu層(Ti層とCu層をこの順番で積層した金属層)やCr/Cu層(Cr層とCu層をこの順番で積層した金属層)等を用いることができる。第1金属層33aを構成する各層の厚さは、例えばTi層を0.1～0.2μm程度、Cr層を0.05～0.1μm程度、Cu層を0.1～0.5μm程度とすることができる。

10

【0079】

次いで、図13に示す工程では、第1金属層33a上に、配線層33に対応する開口部63xを有するレジスト層63を形成する。具体的には、第1金属層33a上に、例えばエポキシ系樹脂やイミド系樹脂等を含む感光性樹脂組成物からなる液状又はペースト状のレジストを塗布する。或いは、第1金属層33a上に、例えばエポキシ系樹脂やイミド系樹脂等を含む感光性樹脂組成物からなるフィルム状のレジストをラミネートする。そして、塗布又はラミネートしたレジストを露光、現像することで開口部63xを形成する。これにより、開口部63xを有するレジスト層63が形成される。なお、予め開口部63xを形成したフィルム状のレジストを第1金属層33a上にラミネートしても構わない。

20

【0080】

次いで、図14に示す工程では、開口部63x内に露出する第1金属層33a上に第2金属層33bを形成する。第2金属層33bは、例えば第1金属層33aを給電層に利用した電解めっき法により形成することができる。第2金属層33bとしては、例えばCu層等を用いることができる。

【0081】

30

次いで、図15に示す工程では、第2金属層33b上に第3金属層35を形成する。第3金属層35は、例えば第1金属層33aを給電層に利用した電解めっき法により形成することができる。第3金属層35としては、例えばAu層や、Ni/Au層(Ni層とAu層をこの順番で積層した金属層)、Ni/Pd/Au層(Ni層とPd層とAu層をこの順番で積層した金属層)等を用いることができる。第3金属層35として、例えばSnAgやSnAgCu等のはんだめっきを用いても構わない。但し、仕様に応じて、第3金属層35は形成しなくても構わない。第3金属層35の厚さは、例えば0.5～5μm程度とすることができる。

【0082】

なお、第3金属層35は、配線層33が半導体チップと接続される際の接続信頼性を向上するために設けられている。そのため、最終的にガイドレジスト層34から露出しない部分には第3金属層35を形成する必要はない。そこで、予め最終的にガイドレジスト層34から露出しない部分の配線層33をマスクしてから第3金属層35を形成することが好ましい。これにより、第3金属層35を構成するAu等の材料コストを削減することができる。

40

【0083】

次いで、図16に示す工程では、図15に示すレジスト層63を除去した後、第2金属層33bをマスクにして、第2金属層33bに覆われていない部分の第1金属層33aをエッチングにより除去する。これにより、第1金属層33a及び第2金属層33bを含み、内側面に絶縁層32が形成されたビアホール31y及びビアホール40xに充填された

50

ビアフィル、及び基板本体 3 1 T の面 3 1 a に絶縁層 3 2 を介して形成された配線パターンを含んで構成される配線層 3 3 が形成される。

【 0 0 8 4 】

配線層 3 3 を構成する配線パターンは、例えばライン / スペース = 1 / 1 μ m ~ 10 / 10 μ m 程度とすることができる。配線層 3 3 を構成する配線パターンの厚さは、例えば 1 ~ 10 μ m 程度 (ライン / スペース = 1 / 1 μ m ~ 10 / 10 μ m 程度の場合) とすることができる。このように、配線層 3 3 はセミアディティブ法により形成することができる。但し、配線層 3 3 は、セミアディティブ法以外に、サブトラクティブ法等の各種の配線形成方法を用いて形成しても構わない。

【 0 0 8 5 】

シリコン基板 3 0 は配線層 3 3 のみを有し、多層化されていないため、設備投資額を抑制でき、かつ、高い歩留まりで製造することが可能となり、製造コストを低減することができる。

【 0 0 8 6 】

次いで、図 1 7 に示す工程では、基板本体 3 1 T の面 3 1 a に形成された絶縁層 3 2 上に、第 3 金属層 3 5 を露出する開口部 3 4 x を有するガイドレジスト層 3 4 を形成する。具体的には、例えば第 3 金属層 3 5 上にマスクを配置し、基板本体 3 1 T の面 3 1 a に形成された絶縁層 3 2 上にマスクを介して、例えばベンゾシクロブテン (B C B)、ポリベンゾオキサゾール (P B O)、ポリイミド (P I) 等の絶縁樹脂をスピンコート法等により塗布して硬化させる。そして、マスクを除去することで開口部 3 4 x を形成する。これにより、開口部 3 4 x を有するガイドレジスト層 3 4 が形成され、第 3 金属層 3 5 はガイドレジスト層 3 4 の開口部 3 4 x 内に露出する。ガイドレジスト層 3 4 の厚さは、例えば 2 ~ 30 μ m 程度とすることができる。

【 0 0 8 7 】

なお、ガイドレジスト層 3 4 の材料として、エポキシ系樹脂やイミド系樹脂等を含む感光性樹脂組成物等を用いても構わない。その場合には、基板本体 3 1 T の面 3 1 a に形成された絶縁層 3 2 上に、配線層 3 3 及び第 3 金属層 3 5 を覆うように、例えばエポキシ系樹脂やイミド系樹脂等を含む感光性樹脂組成物からなるソルダーレジストを塗布する。そして、塗布したソルダーレジストを露光、現像することで開口部 3 4 x を形成する。これにより、開口部 3 4 x を有するガイドレジスト層 3 4 が形成される。

【 0 0 8 8 】

次いで、図 1 8 に示す工程では、図 1 7 に示す構造体を所定の位置で切断して個片化することにより、図 4 に示すセラミック基板 2 0 及びシリコン基板 3 0 を有する配線基板 1 0 が完成する。図 1 7 に示す構造体の切断は、ダイシングブレード 4 4 を用いたダイシング等によって行うことができる。なお、所定の位置とは、セラミック基板 2 0 S のセラミック基板 2 0 となる複数の領域間並びに基板本体 3 1 T 及びポリマー層 4 0 のそれに対応する位置である。なお、基板本体 3 1 T は切断されて、基板本体 3 1 となる。

【 0 0 8 9 】

以上のように、第 1 の実施の形態によれば、積層された複数のセラミック層及び内部配線を備え、この内部配線と電氣的に接続された電極が一方の面から露出しているセラミック基板を準備する。又、主面及び主面の反対面である裏面を有するシリコンからなる基板本体を準備し、準備した基板本体の主面に絶縁層を形成するとともに、基板本体のセラミック基板の電極に対応する位置に、内側面に絶縁層が形成されたビアホールを形成する。そして、セラミック基板の一方の面又は基板本体の裏面にポリマー層を形成し、セラミック基板の電極の位置と基板本体のビアホールの位置とを合わせて、セラミック基板の一方の面にポリマー層を介して基板本体の裏面を接合する。

【 0 0 9 0 】

更に、ビアホール内に露出するポリマー層を除去し、ポリマー層に貫通孔を形成してセラミック基板の電極を露出する。そして、絶縁層が形成されたビアホール及びポリマー層の貫通孔に導体を充填してセラミック基板の電極と電氣的に接続されたビアフィルを形成

10

20

30

40

50

するとともに、基板本体の主面にビアフィルと電氣的に接続された配線パターンを形成して、ビアフィルと配線パターンとを含む配線層を形成してシリコン基板を完成させる。

【 0 0 9 1 】

その結果、超微細なビアホール及び超微細な配線パターンが形成できるというシリコン基板の特徴と、剛性及び熱伝導性が良好であり低コストで多層化が可能であるセラミック基板の特徴を兼ね備えた配線基板を実現することができる。

【 0 0 9 2 】

又、シリコン基板は 1 層の配線層のみを有し、多層化されていないため、設備投資額を抑制でき、かつ、高い歩留まりで製造することが可能となる。その結果、シリコン基板とセラミック基板とを有する配線基板の製造コストを低減することが可能となるため、この配線基板を半導体チップとマザーボード等の実装基板とを接続する際のインターポーザとして機能させることにより、半導体チップの微細化に対応できるインターポーザを低コストで実現することができる。

【 0 0 9 3 】

又、セラミック基板とシリコン基板とをポリマー層を介して接合（所謂ポリマー接合）することにより、セラミック基板の C T E をシリコン基板の C T E（ $3 \text{ ppm / }^\circ\text{C}$ 程度）に合わせ込まなくても、セラミック基板とシリコン基板との接続信頼性を確保することができる。又、セラミック基板の C T E を主に樹脂基板からなるマザーボード等の実装基板の C T E（略 $18 \text{ ppm / }^\circ\text{C}$ 程度）に近い値（ $10 \text{ ppm / }^\circ\text{C} \sim 12 \text{ ppm / }^\circ\text{C}$ 程度）とすることにより、第 1 の実施の形態に係る配線基板が半導体チップとマザーボード等の実装基板とのインターポーザとして機能する際に、セラミック基板とマザーボード等の実装基板との接続信頼性を確保することができる。

【 0 0 9 4 】

又、シリコン基板から遠いセラミック層の C T E を、シリコン基板に近いセラミック層の C T E よりも大きくしてマザーボード等の実装基板の C T E に近い値とすることにより、セラミック基板とマザーボード等の実装基板との接続部に C T E の違いに起因する熱応力（ストレス）が生じ難くなるため、第 1 の実施の形態に係る配線基板が半導体チップとマザーボード等の実装基板とのインターポーザとして機能する際に、セラミック基板とマザーボード等の実装基板との接続信頼性をより一層高めることができる。

【 0 0 9 5 】

又、第 1 の実施の形態に係る配線基板に半導体チップを搭載した半導体パッケージを製造する際に、半導体チップはシリコン基板上に搭載されるが、半導体チップがシリコンである場合に半導体チップとシリコン基板の C T E は略等しいため、C T E の違いに起因する熱応力（ストレス）が半導体チップとシリコン基板との接続部に生じ難い。その結果、半導体チップとシリコン基板との接続信頼性が十分に確保できるため、半導体パッケージを製造する際に、半導体チップとシリコン基板との間にアンダーフィル樹脂を充填する必要性が低くなる。

【 0 0 9 6 】

又、基板本体と配線パターンとの間を絶縁するための絶縁層をウェット熱酸化法等の熱酸化法で形成することにより、絶縁材料をスピンコート法等で塗布する場合に比べて製造工程を簡略化することが可能となり、配線基板の製造コストを低減することができる。

【 0 0 9 7 】

第 2 の実施の形態

第 2 の実施の形態では、図 4 に示す配線基板 10 を、第 1 の実施の形態とは異なる製造方法で製造する例を示す。図 19 ~ 図 23 は、第 2 の実施の形態に係る配線基板の製造工程を例示する図である。図 19 ~ 図 23 において、図 4 と同一部分については、同一符号を付し、その説明は省略する場合がある。

【 0 0 9 8 】

始めに、図 19 に示す工程では、第 1 の実施の形態の図 5 ~ 図 8 と同様の工程を行うことにより、面 31a 上及びビアホール 31y の内側面に絶縁層 32 が形成された基板本体

10

20

30

40

50

3 1 Tを準備する。基板本体 3 1 Tの厚さは、例えば 5 0 ~ 5 0 0 μ m程度とすることができる。又、セラミック基板 2 0 Sを個片化した複数のセラミック基板 2 0を準備する。なお、図 1 9は、図 9等とは反転して描かれている。

【 0 0 9 9 】

次いで、図 2 0に示す工程では、各セラミック基板 2 0と基板本体 3 1 Tとを、ポリマー層 4 0を介して貼り合わせる。なお、図 2 0において、(a)は断面図、(b)は平面図である。具体的には、始めに、各セラミック基板 2 0の面 2 6 a又は基板本体 3 1 Tの面 3 1 bの何れか一方の面に、ポリマー層 4 0の材料である液状又はペースト状のベンゾシクロブテン(B C B)、ポリベンゾオキサゾール(P B O)、ポリイミド(P I)等のポリマー性の絶縁樹脂をスピンコート法等により塗布する。或いは、各セラミック基板 2 0の面 2 6 a又は基板本体 3 1 Tの面 3 1 bの何れか一方の面に、フィルム状のベンゾシクロブテン(B C B)、ポリベンゾオキサゾール(P B O)、ポリイミド(P I)等のポリマー性の絶縁樹脂をラミネートする。そして、各セラミック基板 2 0の電極 2 7と、対応する基板本体 3 1 Tのビアホール 3 1 yとを位置合わせして、各セラミック基板 2 0と基板本体 3 1 Tとをポリマー層 4 0を介して貼り合わせる。未硬化のポリマー層 4 0は粘着性を有するため、各セラミック基板 2 0と基板本体 3 1 Tとはポリマー層 4 0を介して仮固定される。

【 0 1 0 0 】

なお、各セラミック基板 2 0の面 2 6 a又は基板本体 3 1 Tの面 3 1 bの何れか一方の面に、予めビアホール 3 1 yの位置に対応する開口部を形成したフィルム状のベンゾシクロブテン(B C B)、ポリベンゾオキサゾール(P B O)、ポリイミド(P I)等のポリマー性の絶縁樹脂をラミネートしてもよい。この場合には、各セラミック基板 2 0上にポリマー層 4 0を介して基板本体 3 1 Tを接合することにより、ビアホール 3 1 y及びポリマー層 4 0の開口部内に電極 2 7の面 2 7 aが露出する。

【 0 1 0 1 】

次いで、図 2 1に示す工程では、ビアホール 3 1 y内に露出するポリマー層 4 0を除去してポリマー層 4 0にビアホール 4 0 xを形成し、電極 2 7の面 2 7 aを露出させる。そして、ポリマー層 4 0を 2 5 0 ~ 3 5 0 程度に加熱して硬化させる。これにより、各セラミック基板 2 0と基板本体 3 1 Tとは、ポリマー層 4 0を介して接合(所謂ポリマー接合)される。内側面に絶縁層 3 2が形成されたビアホール 3 1 yとビアホール 4 0 xとは、連続する 1 つの貫通孔となる(この貫通孔をビアホール 3 1 zと称する)。

【 0 1 0 2 】

ポリマー層 4 0としてポジ型の感光性絶縁樹脂を用いている場合には、基板本体 3 1 Tをマスクとしてビアホール 3 1 y内に露出するポリマー層 4 0を紫外光等により露光し更に現像して、ビアホール 3 1 y内に露出するポリマー層 4 0を除去することにより、ポリマー層 4 0にビアホール 4 0 xを形成することができる。又、ポリマー層 4 0として非感光性絶縁樹脂を用いている場合には、基板本体 3 1 Tをマスクとして C O ₂ レーザー等のレーザー光を照射し、ビアホール 3 1 y内に露出するポリマー層 4 0を除去することにより、ポリマー層 4 0にビアホール 4 0 xを形成することができる。但し、この場合には、ポリマー層 4 0のビアホール 4 0 x内に露出する電極 2 7の面 2 7 aに残渣が生じるため、アルゴンガスや C F ₄ ガス等を用いてポリマー層 4 0のビアホール 4 0 x内に露出する電極 2 7の面 2 7 aのクリーニング処理を行う必要がある。

【 0 1 0 3 】

なお、前述の図 2 0に示す工程において、各セラミック基板 2 0の面 2 6 a又は基板本体 3 1 Tの面 3 1 bの何れか一方の面に、予めビアホール 3 1 yの位置に対応する開口部を形成したフィルム状のベンゾシクロブテン(B C B)、ポリベンゾオキサゾール(P B O)、ポリイミド(P I)等のポリマー性の絶縁樹脂をラミネートした場合には、図 2 1に示す工程を削除することができる。

【 0 1 0 4 】

予め各セラミック基板 2 0の電気特性検査等を実施して良否判定をし、良品のセラミッ

ク基板 20 のみを基板本体 31 T にポリマー接合することにより、配線基板 10 の歩留まりを向上させることができる。

【0105】

次いで、図 22 に示す工程では、各セラミック基板 20 の基板本体 31 T の反対側に支持基板 72 を貼り付ける。支持基板 72 としては、耐熱性及び耐薬性に優れた材料を用いることが好ましい。又、支持基板 72 としては、外部接続端子 29 の高さを吸収できる柔軟性を有する材料を用いることが好ましい。支持基板 72 の一例としては、熱剥離テープや P D M S (Poly-dimethyl-siloxane) 系テープ、或いは補強板に P D M S 系テープ等を貼り付けたもの等を用いることができる。支持基板 72 の厚さは、例えば 500 μ m 程度とすることができる。

10

【0106】

次いで、図 23 に示す工程では、図 22 に示す構造体を上下反転させて支持基板 72 を下側にし、第 1 の実施の形態の図 12 ~ 図 17 に示す工程と同様の工程を行って配線層 33 等を形成した後、支持基板 72 を除去して、図 23 の上側に示す構造体を作製する。そして、図 23 の上側に示す構造体を所定の位置で切断して個片化することにより、図 4 に示すセラミック基板 20 及びシリコン基板 30 を有する配線基板 10 が完成する。図 23 の上側に示す構造体の切断は、ダイシングブレード 44 を用いたダイシング等によって行うことができる。なお、所定の位置は、各セラミック基板 20 を含んで個片化できればどこでもよいが、例えば、各セラミック基板 20 の外縁部とすることができる。なお、基板本体 31 T は切断されて、基板本体 31 となる。

20

【0107】

以上のように、第 2 の実施の形態によれば、積層された複数のセラミック層及び内部配線を備え、この内部配線と電氣的に接続された電極が一方の面から露出しているセラミック基板が個片化された複数のセラミック基板を準備する。又、主面及び主面の反対面である裏面を有し、個片化されると基板本体となる複数の領域を有する基板を準備し、準備した基板の主面に絶縁層を形成するとともに、準備した基板のセラミック基板のそれぞれの電極に対応する位置に、内側面に絶縁層が形成されたビアホールを形成する。そして、セラミック基板のそれぞれの一方の面又は準備した基板の裏面にポリマー層を形成し、セラミック基板のそれぞれの電極の位置と、対応するビアホールの位置とを合わせて、セラミック基板のそれぞれの一方の面にポリマー層を介して準備した基板の裏面を接合する。

30

【0108】

更に、ビアホール内に露出するポリマー層を除去し、ポリマー層に貫通孔を形成してセラミック基板の電極を露出する。そして、絶縁層が形成されたビアホール及びポリマー層の貫通孔に導体を充填してセラミック基板の電極と電氣的に接続されたビアフィルを形成するとともに、準備した基板の主面にビアフィルと電氣的に接続された配線パターンを形成して、ビアフィルと配線パターンとを含む配線層を形成してシリコン基板を完成させる。その後、作製した構造体を切断して個片化し、セラミック基板とシリコン基板とがポリマー層を介して接合された複数の配線基板を作製する。

【0109】

その結果、第 1 の実施の形態と同様の効果を奏するが、更に以下の効果を奏する。すなわち、個片化された複数のセラミック基板を、個片化されると基板本体となる複数の領域を有する基板の一方の面にポリマー接合してから配線基板を作製するため、予め各セラミック基板の電気特性検査等を実施して良否判定をし、良品のセラミック基板のみを前記本体にポリマー接合することが可能となり、配線基板の歩留まりを向上させることができる。

40

【0110】

第 3 の実施の形態

第 3 の実施の形態では、第 1 の実施の形態に係る配線基板 10 (図 4 参照) に半導体チップを搭載した半導体パッケージの例を示す。第 3 の実施の形態において、第 1 の実施の形態と共通する部分についてはその説明を省略し、第 1 の実施の形態と異なる部分を中心

50

に説明する。

【 0 1 1 1 】

[第 3 の実施の形態に係る半導体パッケージの構造]

図 2 4 は、第 3 の実施の形態に係る半導体パッケージを例示する断面図である。図 2 4 において、図 4 と同一部品については、同一符号を付し、その説明は省略する場合がある。図 2 4 を参照するに、半導体パッケージ 8 0 は、図 4 に示す配線基板 1 0 と、半導体チップ 8 1 と、はんだバンプ 9 0 とを有する。

【 0 1 1 2 】

半導体チップ 8 1 は、半導体基板 8 2 と、電極パッド 8 3 とを有する。半導体基板 8 2 は、例えばシリコン (S i) やゲルマニウム (G e) 等からなる基板に半導体集積回路 (図示せず) が形成されたものである。電極パッド 8 3 は、半導体基板 8 2 の一方の側に形成されており、半導体集積回路 (図示せず) と電気的に接続されている。電極パッド 8 3 の材料としては、例えばアルミニウム (A l) 等を用いることができる。電極パッド 8 3 の材料として、銅 (C u) とアルミニウム (A l) をこの順番で積層したもの、銅 (C u) とアルミニウム (A l) とシリコン (S i) をこの順番で積層したもの等を用いても構わない。

【 0 1 1 3 】

はんだバンプ 9 0 は、配線基板 1 0 の第 3 金属層 3 5 と半導体チップ 8 1 の電極パッド 8 3 とを電気的に接続している。はんだバンプ 9 0 の材料としては、例えば P b を含む合金、S n と C u の合金、S n と A g の合金、S n と A g と C u の合金等を用いることができる。以上が、第 3 の実施の形態に係る半導体パッケージの構造である。

【 0 1 1 4 】

[第 3 の実施の形態に係る半導体パッケージの製造方法]

続いて、第 3 の実施の形態に係る半導体パッケージの製造方法について説明する。図 2 5 及び図 2 6 は、第 3 の実施の形態に係る半導体パッケージの製造工程を例示する図である。図 2 5 及び図 2 6 において、図 2 4 と同一部品については、同一符号を付し、その説明は省略する場合がある。

【 0 1 1 5 】

始めに、図 2 5 に示す工程では、配線基板 1 0 を準備し、第 3 金属層 3 5 上にプレソルダー 9 1 を形成する。又、半導体チップ 8 1 を準備し、電極パッド 8 3 上にプレソルダー 9 2 を形成する。プレソルダー 9 1 及び 9 2 は、第 3 金属層 3 5 上及び電極パッド 8 3 上に、例えば P b を含む合金、S n と C u の合金、S n と A g の合金、S n と A g と C u の合金等からなるはんだペーストを塗布し、リフローを行うことにより形成することができる。

【 0 1 1 6 】

次いで、図 2 6 に示す工程では、配線基板 1 0 の第 3 金属層 3 5 側と半導体チップ 8 1 の電極パッド 8 3 側とを対向させて、プレソルダー 9 1 と 9 2 とが対応する位置に来るように配置する。そして、プレソルダー 9 1 及び 9 2 を例えば 2 3 0 に加熱することで、プレソルダー 9 1 及び 9 2 は溶融して 1 つの合金となり、はんだバンプ 9 0 が形成される。これにより、図 2 4 に示す半導体パッケージ 8 0 が完成する。

【 0 1 1 7 】

以上のように、第 3 の実施の形態によれば、第 1 の実施の形態に係る配線基板に接続端子を介して半導体チップを搭載した半導体パッケージを製造する。ここで、搭載される半導体チップがシリコンである場合には、配線基板を構成するシリコン基板と半導体チップの C T E は略等しい。その結果、配線基板と半導体チップとの接続部には、C T E の違いに起因する熱応力 (ストレス) が生じ難く、配線基板と半導体チップとの接続信頼性を向上することができる。又、配線基板と半導体チップとの接続信頼性が向上した結果、半導体パッケージを製造する際に、半導体チップとシリコン基板との間にアンダーフィル樹脂を充填する工程を省略することができる。

【 0 1 1 8 】

又、配線基板を構成するセラミック基板とシリコン基板とをポリマー層を介して接合（所謂ポリマー接合）することにより、セラミック基板のCTEをシリコン基板のCTE（3 ppm/ 程度）に合わせ込まなくても、セラミック基板とシリコン基板との接続信頼性を確保することができるため、配線基板を構成する各セラミック基板のCTEを主に樹脂基板からなるマザーボード等の実装基板のCTE（略18 ppm/ 程度）に近い値（10 ppm/ ～12 ppm/ 程度）とすることができる。その結果、第3の実施の形態に係る半導体パッケージをマザーボード等の実装基板と接続した場合に、配線基板とマザーボード等の実装基板との接続部には、CTEの違いに起因する熱応力（ストレス）が生じ難く、配線基板とマザーボード等との接続信頼性を高めることができる。

【0119】

10

又、配線基板のセラミック基板を構成する各セラミック層のうち、シリコン基板から遠いセラミック層のCTEを、シリコン基板に近いセラミック層のCTEよりも大きくし、マザーボード等の実装基板のCTEに近い値とすることができる。その結果、第3の実施の形態に係る半導体パッケージをマザーボード等の実装基板と接続した場合に、配線基板とマザーボード等の実装基板との接続部には、CTEの違いに起因する熱応力（ストレス）が更に生じ難く、配線基板とマザーボード等との接続信頼性をより一層高めることができる。

【0120】

第3の実施の形態の変形例1

第3の実施の形態の変形例1では、第3の実施の形態に係る半導体パッケージ80（図24参照）の変形例を示す。第3の実施の形態の変形例1において、第3の実施の形態と共通する部分についてはその説明を省略し、第3の実施の形態と異なる部分を中心に説明する。

20

【0121】

図27は、第3の実施の形態の変形例1に係る半導体パッケージを例示する断面図である。図27において、図24と同一部品については、同一符号を付し、その説明は省略する場合がある。図27を参照するに、半導体パッケージ80Aは、配線基板10の基板本体31に中空部95を設け、中空部95中にMEMSデバイス96を埋め込んだ構造を有する。

【0122】

30

中空部95は、基板本体31とセラミック基板20とをポリマー接合する前に、例えばSF₆を用いた反応性イオンエッチング（DRIE：Deep Reactive Ion Etch）等の異方性エッチング法により、基板本体31に形成することができる。MEMSデバイス96は、第4ビアホール26y内に充填されたビアフィルにより第3配線層25と電氣的に接続されている。MEMSデバイス96は、基板本体31とセラミック基板20とをポリマー接合する前に、セラミック基板20に搭載することができる。ポリマー層40は、セラミック基板20の面26aに、例えば予めビアホール31y及びMEMSデバイス96の位置に対応する開口部を形成したフィルム状のベンゾシクロブテン等のポリマー性の絶縁樹脂をラミネートすることにより形成することができる。MEMSデバイス96の一例としては、例えば圧力センサーや加速度センサー等を挙げることができる。半導体チップ81は、MEMSデバイス96を制御する機能を有する。

40

【0123】

以上のように、第3の実施の形態の変形例1によれば、第3の実施の形態と同様の効果を奏するが、更に以下の効果を奏する。すなわち、配線基板の基板本体に中空部を設け、中空部にMEMSデバイスを埋め込んだ構造とし、半導体チップに配線基板の有するMEMSデバイスを制御する機能を持たせることにより、MEMSデバイスを有し、その制御が可能な半導体パッケージを実現できる。

【0124】

第3の実施の形態の変形例2

第3の実施の形態の変形例2では、第3の実施の形態に係る半導体パッケージ80（図

50

24参照)の他の変形例を示す。第3の実施の形態の変形例2において、第3の実施の形態と共通する部分についてはその説明を省略し、第3の実施の形態と異なる部分を中心に説明する。

【0125】

図28は、第3の実施の形態の変形例2に係る半導体パッケージを例示する断面図である。図28において、図24と同一部品については、同一符号を付し、その説明は省略する場合がある。図28を参照するに、半導体パッケージ80Bは、配線基板10の基板本体31に中空部95を設け、中空部95中にコンデンサ97(チップキャパシタ)を埋め込んだ構造を有する。

【0126】

中空部95は、基板本体31とセラミック基板20とをポリマー接合する前に、例えばSF₆を用いた反応性イオンエッチング(DRIE: Deep Reactive Ion Etch)等の異方性エッチング法により、基板本体31に形成することができる。コンデンサ97は、第4ビアホール26y内に充填されたビアフィルにより第3配線層25と電気的に接続されている。コンデンサ97は、半導体チップ81の直下に形成することが好ましい。コンデンサ97は、基板本体31とセラミック基板20とをポリマー接合する前に、セラミック基板20に搭載することができる。ポリマー層40は、セラミック基板20の面26aに、例えば予めビアホール31y及びコンデンサ97の位置に対応する開口部を形成したフィルム状のベンゾシクロブテン等のポリマー性の絶縁樹脂をラミネートすることにより形成することができる。

【0127】

以上のように、第3の実施の形態の変形例2によれば、第3の実施の形態と同様の効果を奏するが、更に以下の効果を奏する。すなわち、配線基板の基板本体に中空部を設け、中空部にコンデンサを埋め込んだ構造とすることにより、半導体チップ直下にコンデンサを配置することが可能になり、半導体パッケージの電気的特性を向上することができる。なお、中空部95には、コンデンサ(チップキャパシタ)以外にも、抵抗やインダクタ等の各種電子部品を搭載することができる。

【0128】

第3の実施の形態の変形例3

第3の実施の形態の変形例3では、第3の実施の形態に係る半導体パッケージ80(図24参照)の他の変形例を示す。第3の実施の形態の変形例3において、第3の実施の形態と共通する部分についてはその説明を省略し、第3の実施の形態と異なる部分を中心に説明する。

【0129】

図29は、第3の実施の形態の変形例3に係る半導体パッケージを例示する断面図である。図29において、図24と同一部品については、同一符号を付し、その説明は省略する場合がある。図29を参照するに、半導体パッケージ80Cは、配線基板10の基板本体31に中空部95を設け、中空部95を水等の冷媒が供給される冷媒流路として用いている。

【0130】

中空部95は、基板本体31とセラミック基板20とをポリマー接合する前に、例えばSF₆を用いた反応性イオンエッチング(DRIE: Deep Reactive Ion Etch)等の異方性エッチング法により、基板本体31に形成することができる。中空部95は、半導体チップ81の直下に形成することが好ましい。

【0131】

以上のように、第3の実施の形態の変形例3によれば、第3の実施の形態と同様の効果を奏するが、更に以下の効果を奏する。すなわち、配線基板の基板本体に中空部を設け、中空部を水等の冷媒が供給される冷媒流路として用いることにより、半導体チップ直下に冷媒流路を配置することが可能になり、半導体パッケージの放熱特性を向上することができる。

【 0 1 3 2 】

以上、好ましい実施の形態について詳説したが、上述した実施の形態に制限されることなく、特許請求の範囲に記載された範囲を逸脱することなく、上述した実施の形態に種々の変形及び置換を加えることができる。

【 0 1 3 3 】

例えば、基板本体の主面に凹部を形成し、基板本体の主面並びに凹部の内側面及び底面に絶縁層を形成し、更に基板本体を裏面側から研磨して薄型化して凹部を貫通させ、内側面に絶縁層が形成されたビアホールを形成する工程に代えて、以下のような工程にしても構わない。すなわち、基板本体を裏面側から研磨して薄型化し、薄型化した基板本体を貫通するビアホールを形成し、薄型化した基板本体の表面（主面及びビアホールの内側面も含む）に絶縁層を形成する工程にしても構わない。

10

【符号の説明】

【 0 1 3 4 】

- 1 0 配線基板
- 2 0、2 0 S セラミック基板
- 2 1 第 1 配線層
- 2 2 第 1 セラミック層
- 2 2 x 第 1 ビアホール
- 2 3 第 2 配線層
- 2 4 第 2 セラミック層
- 2 4 x 第 2 ビアホール
- 2 5 第 3 配線層
- 2 6 第 3 セラミック層
- 2 6 a、2 7 a、3 1 a、3 1 b 面
- 2 6 x 第 3 ビアホール
- 2 6 y 第 4 ビアホール
- 2 7 電極
- 2 8 ソルダレジスト層
- 2 8 x、3 4 x、6 1 x、6 3 x 開口部
- 2 9 外部接続端子
- 3 0 シリコン基板
- 3 1、3 1 S、3 1 T 基板本体
- 3 1 x 凹部
- 3 1 y、3 1 z、4 0 x ビアホール
- 3 2 絶縁層
- 3 3 配線層
- 3 3 a 第 1 金属層
- 3 3 b 第 2 金属層
- 3 4 ガイドレジスト層
- 3 5 第 3 金属層
- 4 0 ポリマー層
- 4 4 ダイシングブレード
- 6 1、6 3 レジスト層
- 7 2 支持基板
- 8 0、8 0 A、8 0 B、8 0 C 半導体パッケージ
- 8 1 半導体チップ
- 8 2 半導体基板
- 8 3 電極パッド
- 9 0 はんだバンプ
- 9 1、9 2 プレスOLDER

20

30

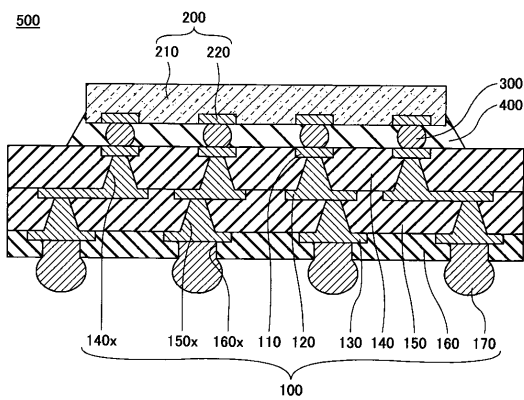
40

50

- 9 5 中空部
- 9 6 M E M S デバイス
- 9 7 コンデンサ

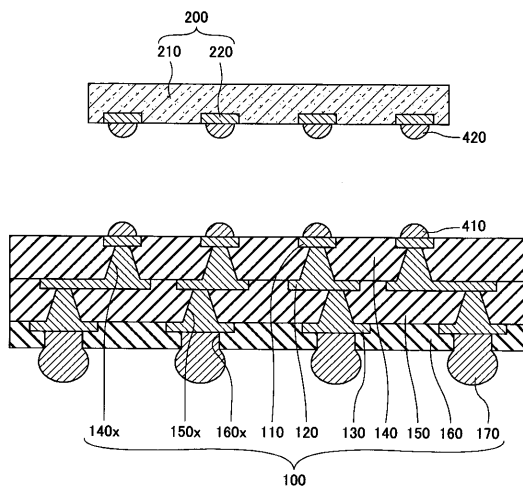
【図 1】

従来の半導体パッケージを例示する断面図



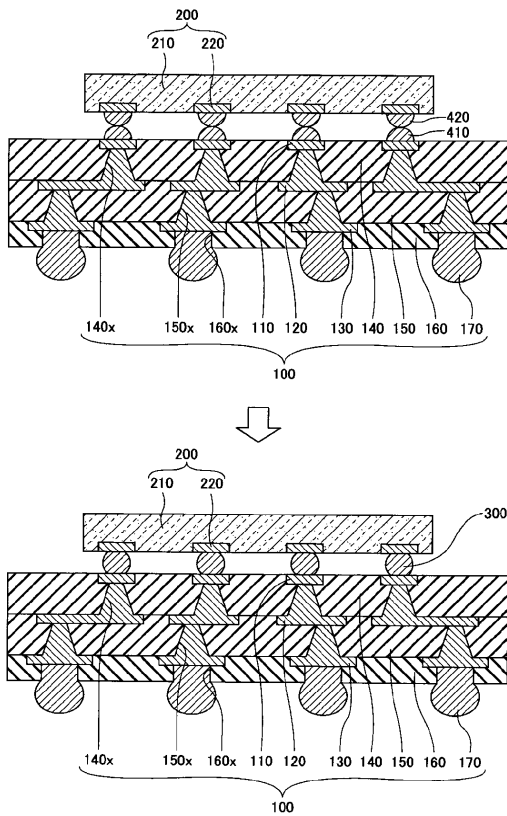
【図 2】

従来の半導体パッケージの製造工程を例示する図(その1)



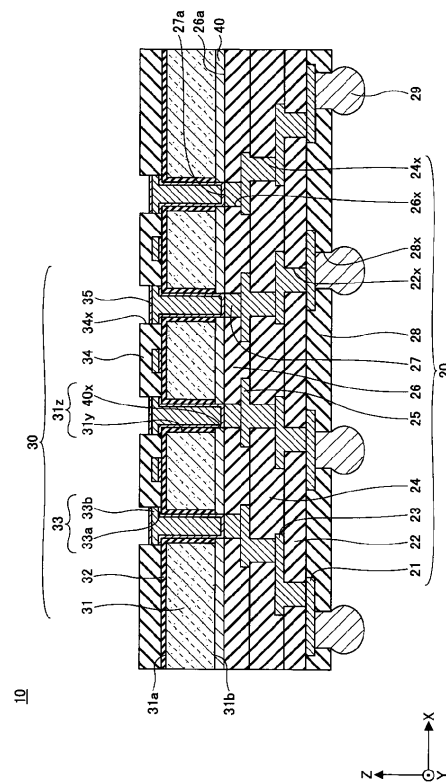
【図 3】

従来の半導体パッケージの製造工程を例示する図(その2)



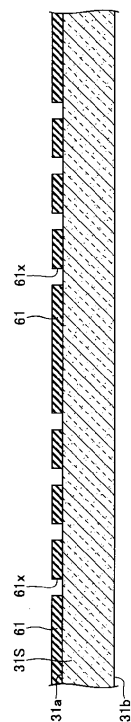
【図 4】

第1の実施の形態に係る配線基板を例示する断面図



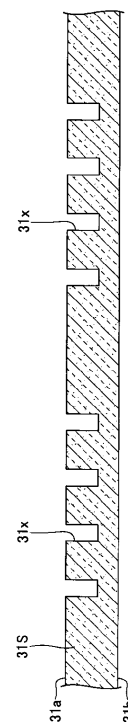
【図 5】

第1の実施の形態に係る配線基板の製造工程を例示する図(その1)



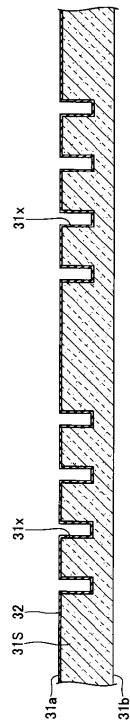
【図 6】

第1の実施の形態に係る配線基板の製造工程を例示する図(その2)



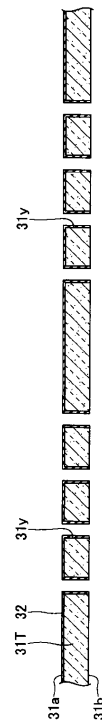
【圖 7】

第1の実施の形態に係る配線基板の製造工程を例示する図(その3)



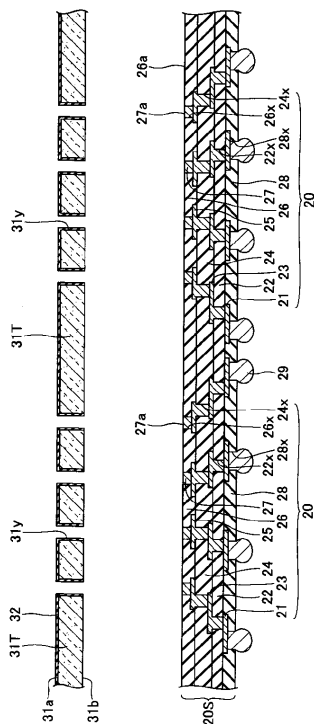
【 図 8 】

第1の実施の形態に係る配線基板の製造工程を例示する図(その4)



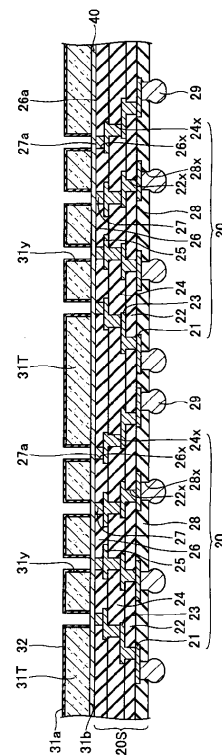
【圖 9】

第1の実施の形態に係る配線基板の製造工程を例示する図(その5)



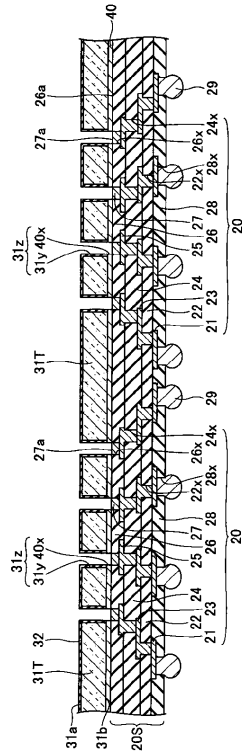
【 図 1 0 】

第1の実施の形態に係る配線基板の製造工程を例示する図(その6)



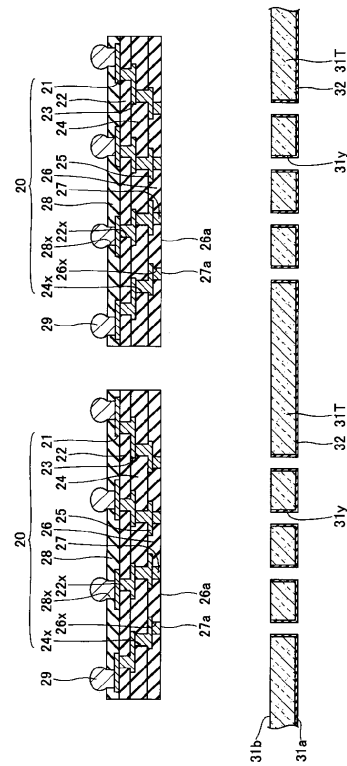
【図 11】

第1の実施の形態に係る配線基板の製造工程を例示する図(その7)



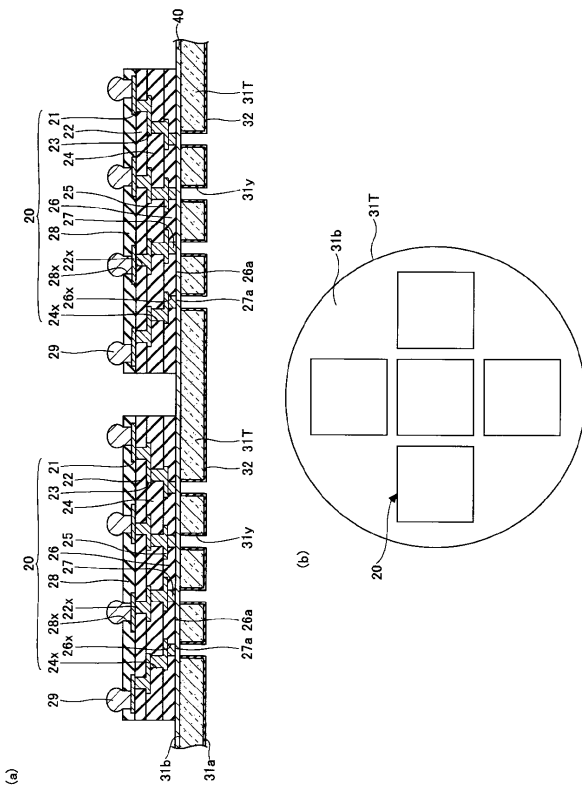
【図 19】

第2の実施の形態に係る配線基板の製造工程を例示する図(その1)



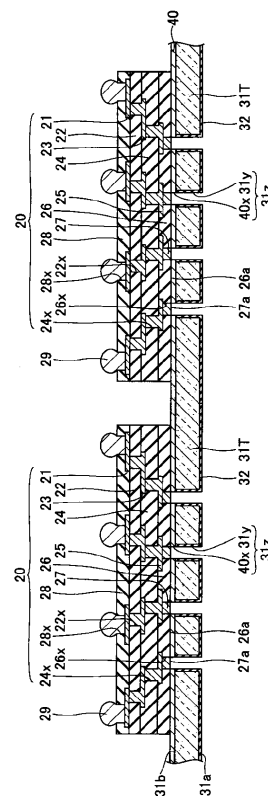
【図 20】

第2の実施の形態に係る配線基板の製造工程を例示する図(その2)



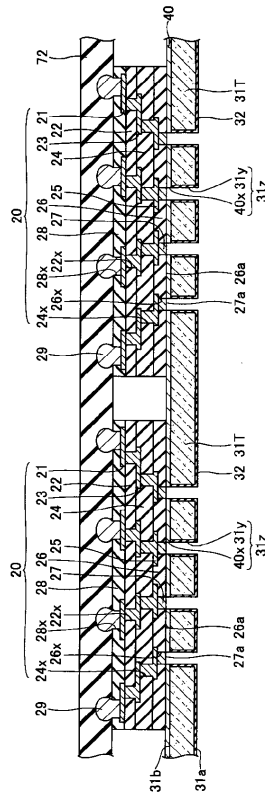
【図 21】

第2の実施の形態に係る配線基板の製造工程を例示する図(その3)



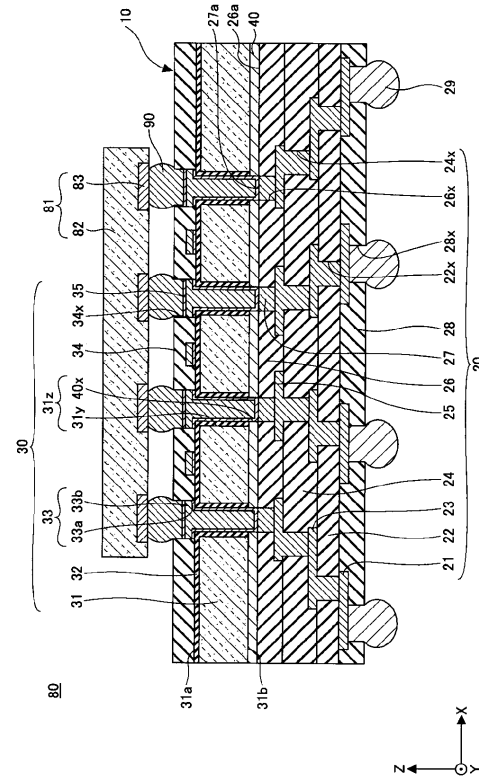
【図 2 2】

第2の実施の形態に係る配線基板の製造工程を例示する図(その4)



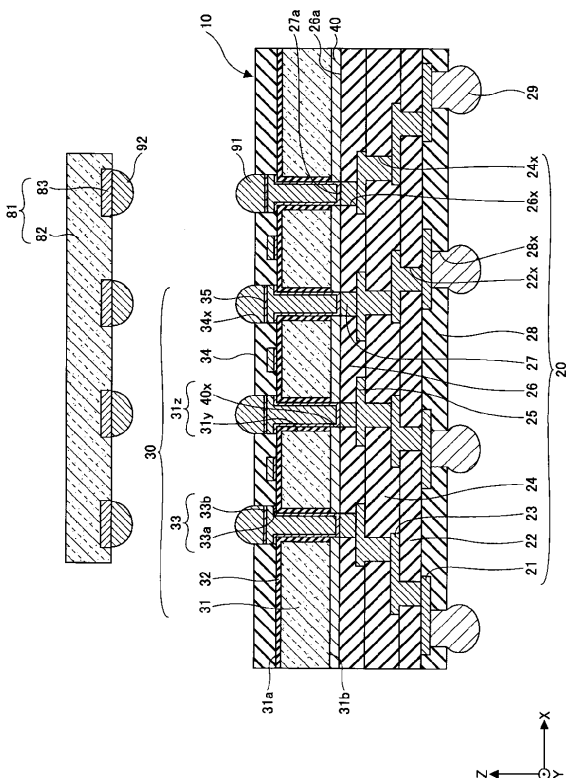
【図 2 4】

第3の実施の形態に係る半導体パッケージを例示する断面図



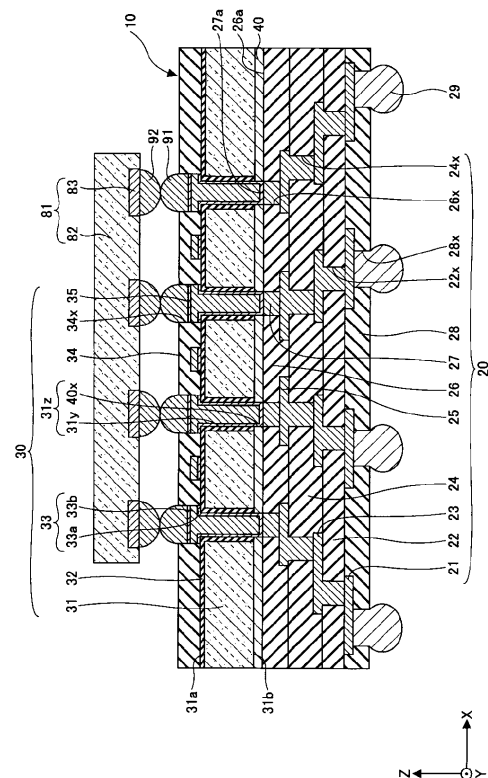
【図 2 5】

第3の実施の形態に係る半導体パッケージの製造工程を例示する図(その1)



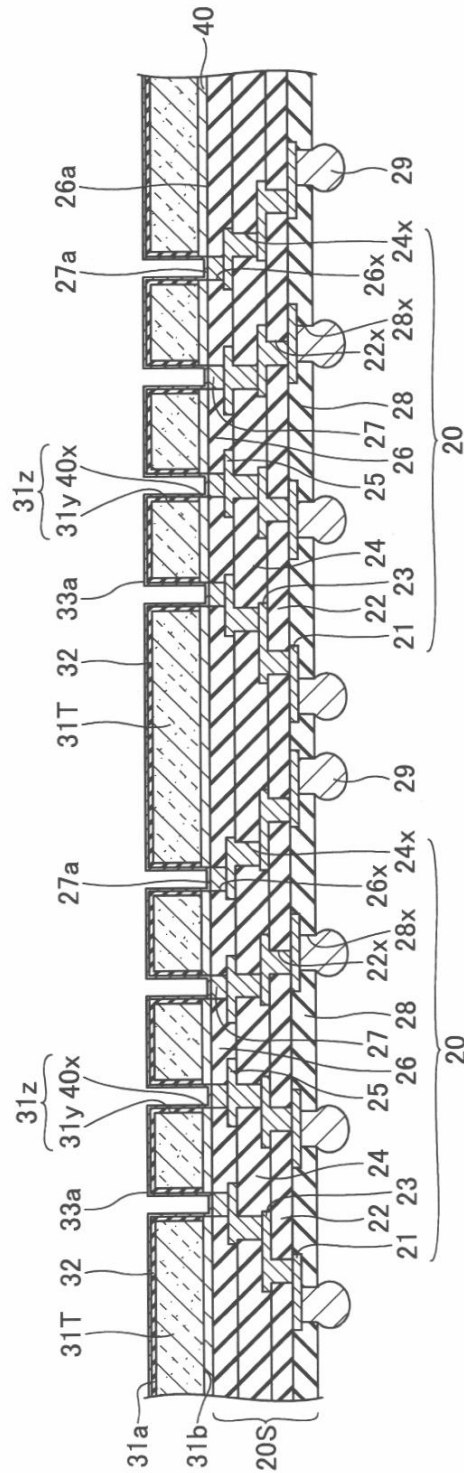
【図 2 6】

第3の実施の形態に係る半導体パッケージの製造工程を例示する図(その2)



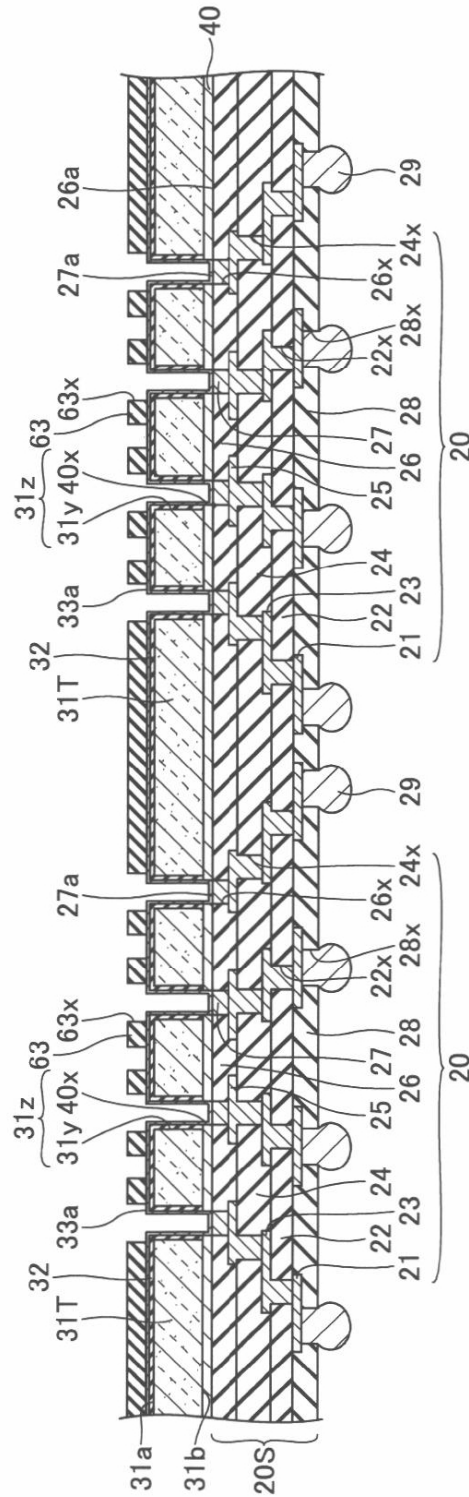
【図 12】

第1の実施の形態に係る配線基板の製造工程を例示する図(その8)

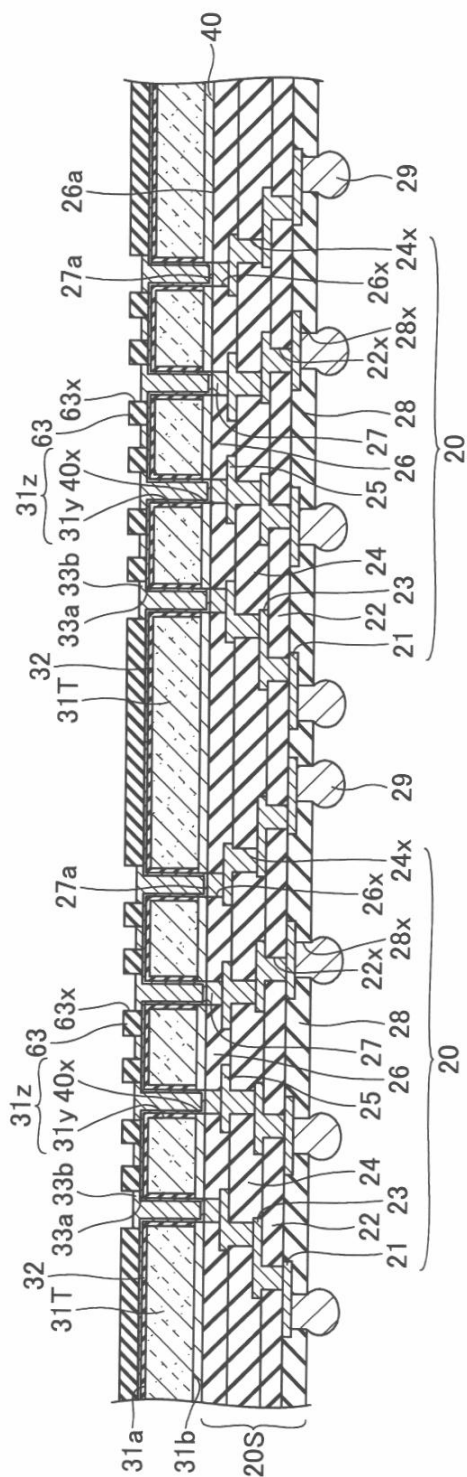


【図 13】

第1の実施の形態に係る配線基板の製造工程を例示する図(その9)

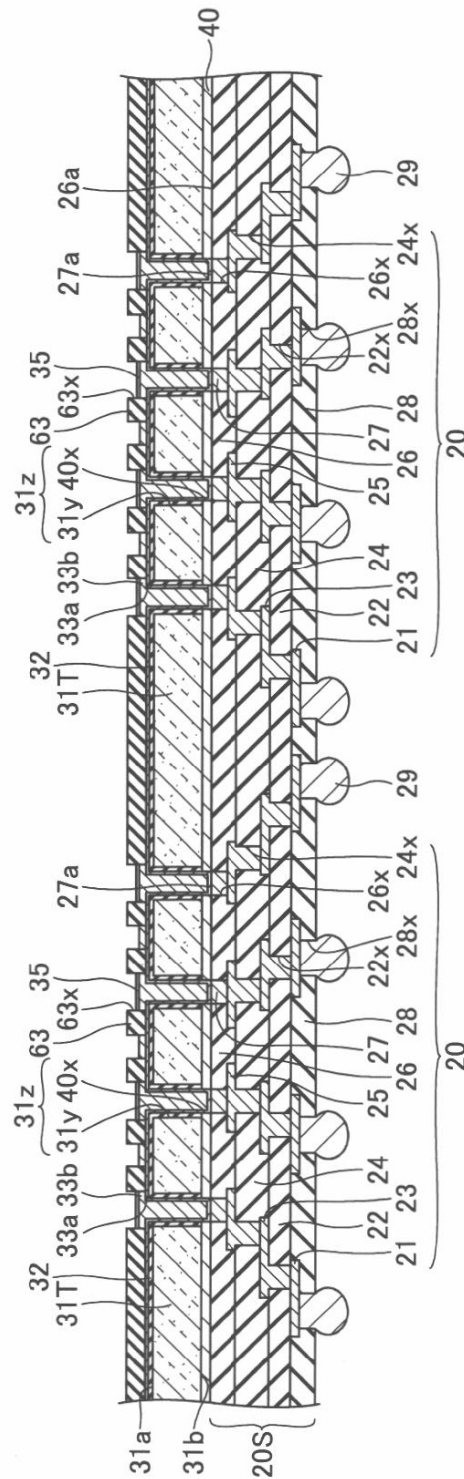


第1の実施の形態に係る配線基板の製造工程を例示する図(その10)



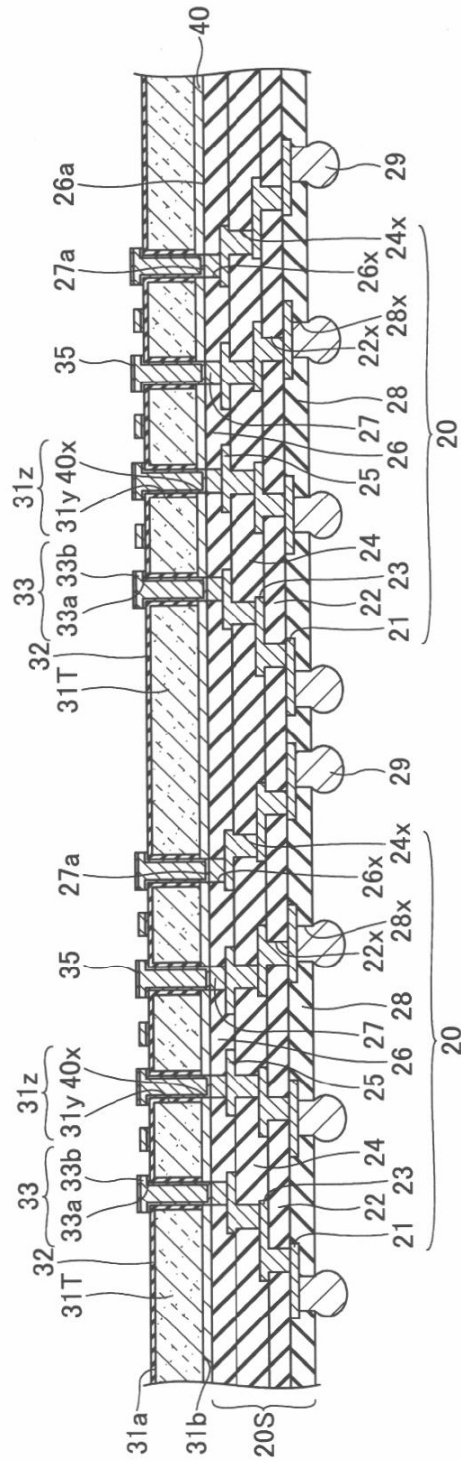
【図 15】

第1の実施の形態に係る配線基板の製造工程を例示する図(その11)



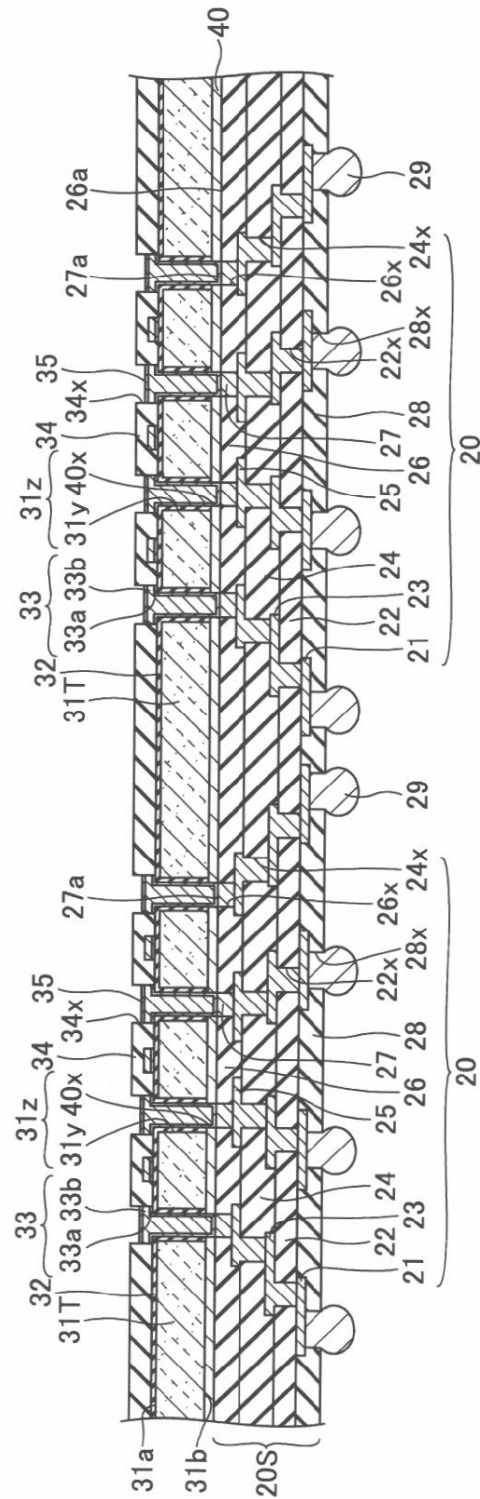
【図 16】

第1の実施の形態に係る配線基板の製造工程を例示する図(その12)

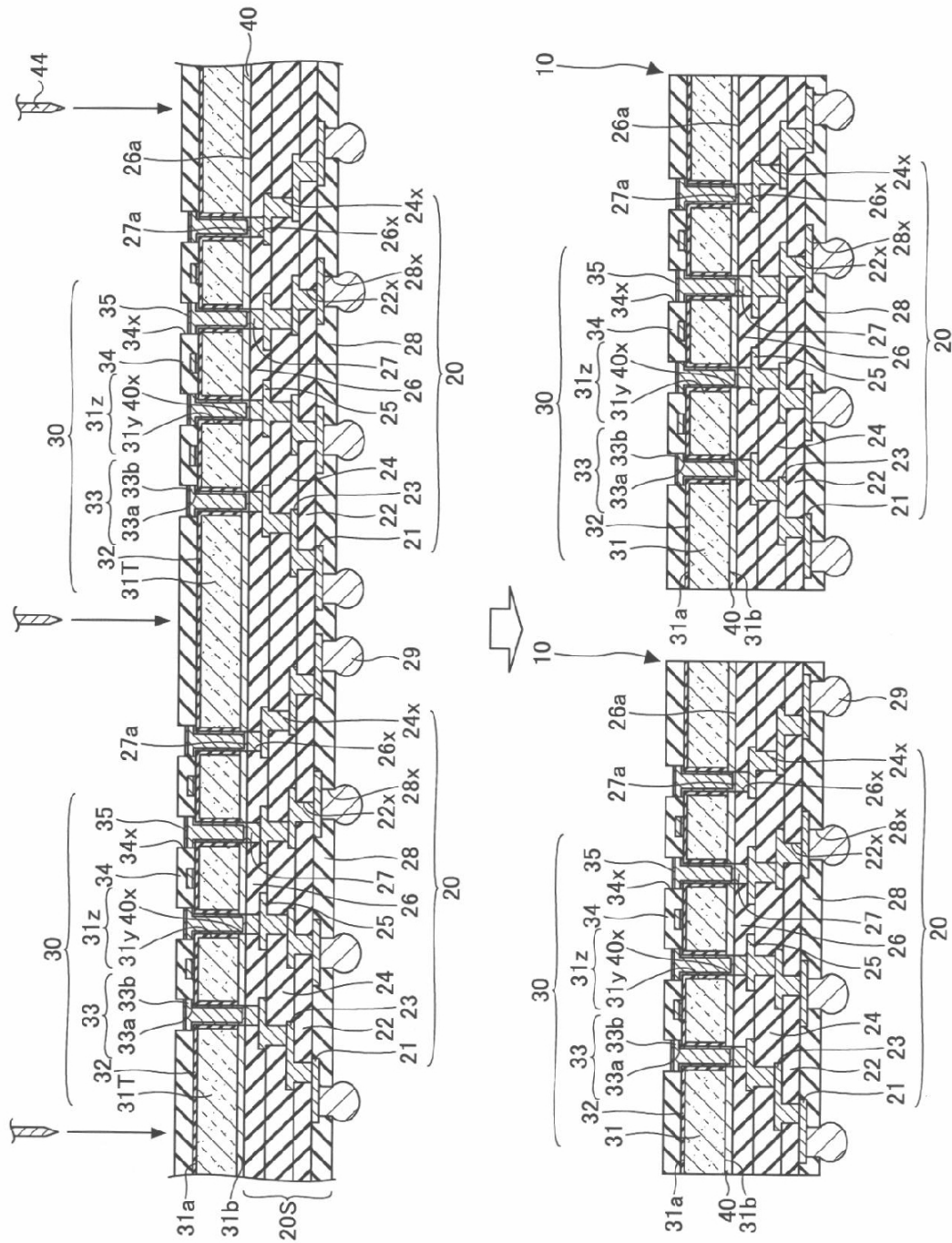


【図 17】

第1の実施の形態に係る配線基板の製造工程を例示する図(その13)

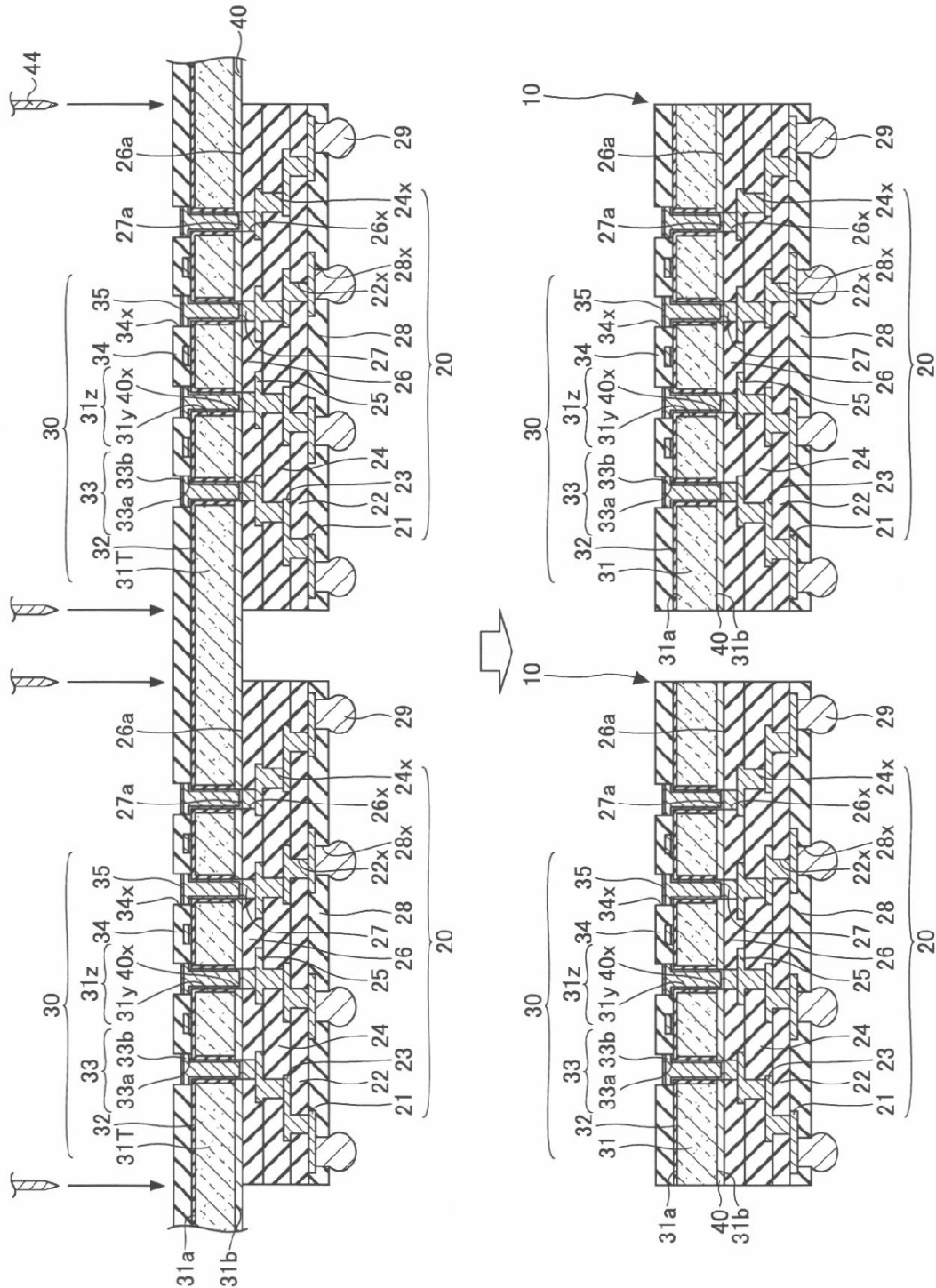


第1の実施の形態に係る配線基板の製造工程を例示する図(その14)



【図 23】

第2の実施の形態に係る配線基板の製造工程を例示する図(その5)



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 23/12 J
H 0 1 L 23/46 Z
H 0 1 L 23/12 N
H 0 1 L 23/12 B
H 0 5 K 3/46 T

(56)参考文献 特開 2 0 0 7 - 2 6 6 1 8 2 (J P , A)
米国特許出願公開第 2 0 0 8 / 0 2 8 4 0 3 7 (U S , A 1)
特開 2 0 0 2 - 2 9 9 4 8 6 (J P , A)
特開 2 0 0 6 - 0 1 2 6 8 7 (J P , A)
特開 2 0 0 7 - 1 2 3 3 7 1 (J P , A)
特開 2 0 0 8 - 1 6 0 0 1 9 (J P , A)
特開 2 0 0 4 - 0 5 6 1 4 5 (J P , A)
特開 2 0 0 1 - 1 8 5 6 4 3 (J P , A)
特開昭 5 7 - 1 6 6 0 5 1 (J P , A)
特開 2 0 0 4 - 3 4 9 6 0 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 5 K 3 / 4 6
H 0 1 L 2 3 / 1 2
H 0 1 L 2 3 / 3 2
H 0 1 L 2 3 / 4 7 3