

(12) 发明专利

(10) 授权公告号 CN 101416435 B

(45) 授权公告日 2012.04.04

(21) 申请号 200780007752.9

H04L 25/03(2006.01)

(22) 申请日 2007.02.20

(56) 对比文件

(30) 优先权数据

US 6839393 B1, 2005.01.04, 全文.

11/368,785 2006.03.06 US

US 20060034358 A1, 2006.02.16, 全文.

(85) PCT申请进入国家阶段日

JP 特开 2004213438 A, 2004.07.29, 全文.

2008.09.03

US 20010038674 A1, 2001.11.08, 全文.

(86) PCT申请的申请数据

审查员 李彬

PCT/US2007/004375 2007.02.20

(87) PCT申请的公布数据

W02007/102981 EN 2007.09.13

(73) 专利权人 格罗方德半导体公司

地址 英属开曼群岛大开曼岛

(72) 发明人 G·R·塔尔博特 R·S·波尔青

(74) 专利代理机构 北京戈程知识产权代理有限公司 11314

代理人 程伟 王锦阳

(51) Int. Cl.

H04L 1/20(2006.01)

H04L 1/24(2006.01)

H04L 1/00(2006.01)

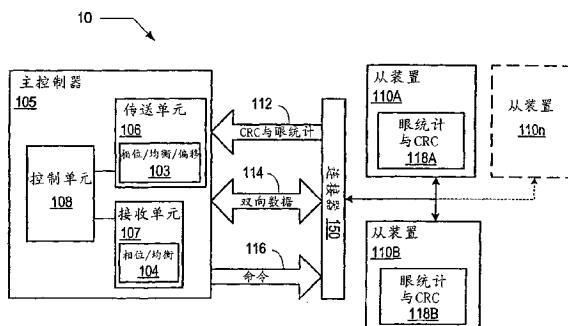
权利要求书 1 页 说明书 10 页 附图 7 页

(54) 发明名称

高速双向发信号的非对称控制

(57) 摘要

一种包含高速双向发信号的非对称控制的系统，包括从装置与主装置，该主装置通过例如多个双向数据路径耦接到该从装置。该主装置可控制该主装置与该从装置间的数据传输。更特别是，该主装置根据通过一个或多个单向数据路径接收自该从装置的信息，于相应地 (adaptively) 修改接收器特性后可相应地修改传送特性。



1. 一种控制发信号的系统 (10), 包括 :

从装置 (110) ; 以及

主装置 (105), 该主装置连接至该从装置, 并被配置以控制该主装置与该从装置间的数据传输;

其中, 该主装置被配置以根据接收自该从装置的信息, 相应地修改该主装置的接收器特性, 之后相应地修改该主装置的传送特性; 以及

其中, 该主装置被配置以依据接收自该从装置的信息, 来相应地修改该主装置的接收器取样时钟的相位校正, 其中, 接收自该从装置的该信息包含通过一个或多个单向循环冗余码 CRC 数据路径 (112) 所发送的 CRC 信息, 以及, 其中, 该 CRC 信息对应于通过多个双向数据路径 (114) 由该主装置所发送的数据。

2. 如权利要求 1 所述的系统, 其中, 接收自该从装置的该信息包含通过该一个或多个单向 CRC 数据路径发送的数据眼信息, 其中, 该数据眼信息对应于在该多个双向数据路径上由该从装置所接收的数据信号转换的边缘位置。

3. 如权利要求 2 所述的系统, 其中, 该主装置被配置以依据该 CRC 信息及该数据眼信息, 相应地修改通过该多个双向数据路径, 由该主装置传送的数据的相位校正。

4. 如权利要求 2 所述的系统, 其中, 该主装置被配置以传送预定图样给该从装置, 并根据该对应的 CRC 信息及该数据眼信息, 对该多个双向数据路径的各路径, 相应地修改该主装置内的数据路径均衡系数。

5. 一种控制发信号的方法, 包括下列步骤 :

主装置 (105) 控制该主装置与从装置 (110) 之间的数据传输;

该主装置根据接收自该从装置的信息, 相应地修改该主装置的接收器特性, 之后相应地修改该主装置的传送特性; 以及

该主装置依据接收自该从装置的信息, 来相应地修改该主装置的接收器取样时钟的相位校正, 其中, 接收自该从装置的该信息包含通过一个或多个单向循环冗余码 CRC 数据路径 (112) 发送的 CRC 信息, 其中, 该 CRC 信息对应于通过多个双向数据路径 (114) 由该主装置所发送的数据。

6. 如权利要求 5 所述的方法, 其中, 接收自该从装置的该信息包含通过该一个或多个单向 CRC 数据路径所发送的数据眼信息, 其中, 该数据眼信息对应于在该多个双向数据路径上由该从装置接收的数据信号转换的边缘位置。

7. 如权利要求 6 所述的方法, 还包括该主装置依据该 CRC 信息及该数据眼信息而相应地修改通过该多个双向数据路径由该主装置所传送的数据的相位校正。

8. 如权利要求 6 所述的方法, 还包括该主装置传送预定图样给该从装置, 并根据该对应的 CRC 信息及该数据眼信息, 对该多个双向数据路径的各路径, 相应地修改该主装置内的数据路径均衡系数。

高速双向发信号的非对称控制

技术领域

[0001] 本发明是关于通讯连结，且特别是关于通过双向连结的通讯。

背景技术

[0002] 许多系统运用传统的高速双向发信号架构，其中控制透过信道所发送的信号的振幅及相位的工作可在通讯连结的各端间被平均分配。在此种系统中，该连结的控制可以是对称的，使得在该连结的各端的传送器(transmitter)及接收器可包括非常类似的功能。

[0003] 一种此种系统的例子可以是内存系统，其中有可能是复杂的主(master)装置(例如，内存控制器)以及较简单之从(slave)装置(例如，内存装置)。双向数据传输会对应于传输至该从装置时之写入数据及自该从装置传输出时之读取数据。

[0004] 为了使数据传输能以高速数据传输速率(high data rates)出现，可在双向数据总线之各端的接收器中执行时钟相位复原功能。对具有显著高频耗损或反射的信道而言，可均衡该信道以防止由于符码间干扰(inter-symbol interference, ISI)的效应而造成数据眼闭合(data eye closure)。除此之外，具有高速数据传输速率的连结还可能具有显著的位错误出现的可能性。因此，一般系安装错误侦测的装置。如上所述，传统上在该连结的两端执行这些功能。然而，在维持行进于两方向的数据波形的模拟属性的控制时，可能需要简化从装置。

发明内容

[0005] 本发明揭露包括高速双向发信号的非对称控制的系统的各种实施例。在一个实施例中，例如，该系统包括从装置(slave device)及透过多个双向数据路径耦接到该从装置的主装置(master device)。该主装置可控制该主装置与该从装置之间的数据传输。更特别的是，该主装置根据透过一个或多个单向数据路径从该从装置接收的信息而在相应地修改接收器特性后可相应地修改传送特性。

[0006] 在一个实施例中，该信息可包括循环冗余码(cyclic redundancy code, CRC)信息，该CRC信息对应于通过该双向数据路径由该主装置所发送的数据。除此之外，该主装置可依据该CRC信息相应地修改该主装置的接收器取样时钟的相位校正。

[0007] 在另一实施例中，该信息可包括数据眼信息(data eye information)，该数据眼信息对应于在该多个双向数据路径上由该从装置所接收的数据信号转换的边缘位置(edge position)。该主装置可依据该CRC信息及该数据眼信息而通过该多个双向数据路径来相应地修改该主装置所传送的数据的相位校正。

[0008] 在又一实施例中，该主装置可传送预定图样(predetermined pattern)给该从装置，并且根据该对应的CRC信息及该数据眼信息，对该多个双向数据路径的各路径相应地修改该主装置内的数据路径均衡系数(data path equalization coefficient)。

附图说明

- [0009] 图 1 系包括双向数据传输的非对称控制的系统的一个实施例的方块图；
[0010] 图 2 系例示图 1 的从装置的一个实施例的更详细的态样；
[0011] 图 3 系描述显示于图 1 与图 2 中诸实施例的操作的流程图；
[0012] 图 4 系例示图 1 的系统的实施例的附加细节的方块图, 包括加扰逻辑及解扰逻辑；
[0013] 图 5 系例示示范编码于字节群组的实施例图；
[0014] 图 6 系例示遮蔽写入操作的编码的实施例图；以及
[0015] 图 7 系单端切换双向信号架构的实施例图。
[0016] 尽管本发明容易作各种修改及替代的形式, 但其特定的实施例藉由图中的例子来显示, 且将在本文中详细描述。然而, 应该了解其图式及详细说明并非要局限本发明至所揭露的特定形式, 相反地, 本发明系要涵盖落于本发明的精神与范畴内的所有修改、相等物、以及替代物, 如所附的申请专利范围内所界定。请注意, 该字“可 (may)” 系以允许的意思(例如, 具有可能性、能够), 而不是命令的意思(例如, 必须) 用于整个申请案中。
[0017] 主要组件符号说明
[0018] 10 系统 103 相位及均衡单元
[0019] 104 取样时钟调整逻辑 105 主控制器
[0020] 106 传送单元 107 接收单元
[0021] 108 控制单元 110 从装置
[0022] 110A 至 110n 从装置 112CRC 与眼统计路径
[0023] 114 双向数据路径 116 命令路径
[0024] 118、118A、118B 眼统计与 CRC 产生逻辑
[0025] 150 连接器 205 至 208 正反器
[0026] 209、210、211 缓冲器 225 眼计算单元
[0027] 226 缓存器 230CRC 产生单元
[0028] 250 多任务器 255 次核心逻辑
[0029] 300 至 360 步骤 405 加扰 / 解扰
[0030] 410 PRBS 产生器 415 用互斥 - 或 (XOR)
[0031] 430 加扰 / 解扰 435PRBS 产生器
[0032] 440 互斥 - 或 (XOR)
[0033] 300、305、310、311、315、320、325 方块
[0034] 330、335、340、345、350、355、360 方块
[0035] 361、362、363、365、366、367 方块
[0036] 601、613 装置 I/0 602、614 装置 I/O
[0037] 603、615 装置 I/0 604、616 箍制器
[0038] 701、711 集成电路 (IC) 装置

具体实施方式

- [0039] 兹参考图 1, 其系显示包括双向数据传输的非对称控制的系统的一个实施例的方块图。系统 10 包括主控制器 (master controller) 105, 该主控制器 105 通过多个信号路

径及连接器 150 而与从装置 110A 至 110n 耦接。如图所示,该信号路径包括双向 (birdir) 数据路径 114、命令路径 116、以及循环冗余码 (CRC) 与眼统计信息 (eye statistic information) 路径 112。请注意,从装置 110n 系意欲说明可被使用的从装置的任何数字。同时请注意,包括具有数字及字母的参考组件符号的组件仅与该组件符号关联而已。例如,从装置 110A 可适当参照为从装置 110。

[0040] 在该例示的实施例中,主控制器 105 包括传送单元 106、接收单元 107、以及同时与该传送单元 106 及接收单元 107 耦接的控制单元 108。在一个实施例中,系统 10 可以是内存次系统的范例。确切的说,例如主控制器 105 可以是内存控制器,而从装置 110A 至 110n 可以是在内存装置的动态随机存取内存 (DRAM) 类内装置的内存装置。确切的说,连接器 150 可以是例如在内存模块上找到的连接器,该内存模块包括例如从装置 110 的多个内存装置。此外,命令路径 116 可输送地址及控制信息,且该双向数据路径 114 可以双向输送数据。CRC 与眼统计路径 112 可从从装置 110 输送 CRC 信息至主控制器 105。如以下结合图 2 的说明所作的更详细的描述,CRC 与眼统计路径 112 亦可输送从装置 110 所产生的数据信号相位信息。请注意一般而言,系统 10 可代表运用双向数据路径的任何类型的系统。

[0041] 在一个实施例中,尽管可使用任何数目的信号路径,然而 CRC 与眼统计路径 112 可包括两个信号路径。该双向数据路径 114 可包括一些八位 (字节宽 (byte-wide)) 的数据路径。例如,全数据路径可以是 64 位宽,但可将该数据路径划分成数个字节大小的组成份,该全数据路径可包括任何数目的数据位,且可被划分成不同大小的组成份。

[0042] 如上所述,许多传统的系统藉由例如在两种通讯装置中安装如时钟相位复原、信道均衡、错误侦测的控制功能来控制高速双向通讯。然而,如以下之详述,可简化从装置 110。明确的说,主控制器 105 可包括控制功能,该控制功能可动态与适应地调整已传送数据的信号特征 (例如,相位及均衡、以及电压偏移 (voltage offset) 等) 以使从装置 110 能够正确读取根据从从装置 110 所接收到信息的数据。除此之外,主控制器 105 可调整内部接收器的特征以使主控制器 105 能接收从装置 110 所发送的数据。

[0043] 特别是,在高速数据传输速率下,在总线中对不同信号的传输路径中的延迟的不确定性需要该接收器的取样时钟的每位相位调整。为避免在从装置 110 中使用此电路,主控制器 105 可调整其已传送信号的相位而与该从装置内部所产生的取样时钟一致,因而避免了该从装置的复杂移相电路 (phase shifting circuits)。

[0044] 因此,传送单元 106 接收来自从装置 110 的信息,该从装置 110 可用来调整其传送相位。明确的说,从装置 110 可包括眼统计与 CRC 产生逻辑 118,该眼统计与 CRC 产生逻辑 118 可藉由使用相位侦测器 (显示于图 2) 累积有关数据转换的边缘位置的统计,该相位侦测器有时称为“碰 - 碰相位侦测器 (bang-bang phase detector)”。可将此侦测器的早到 / 晚到信号加以整合且通过该单向 CRC 信号路径 112 发送到主控制器 105。在一个实施例中,从装置 110 可对各接收的“位传巷 (bit lane)”或数据路径发送此信息给主控制器 105。

[0045] 此外,在高速数据传输速率下,从装置 110 或主控制器 105 接收到位错误的机率系有意义的。因此,可能需要用错误侦测码保护传送,此将健全侦测在受保护的区块 (block) 内多个位错误。当在任一方向的连结上侦测到错误时,主控制器可藉由重试该操作来更正该错误。

[0046] 在一个实施例中,可用 CRC 码提供多个位错误侦测。特别是,如图 2 所示,为简化

该从装置的逻辑运算并且回报错误给主控制器 105，从装置 110 根据其产生的数据或其接收的数据计算 CRC。因此，为回传该 CRC 信息给主控制器 105，可使用一个或多个单向 CRC 信号路径 12。如图 2 所示，CRC 产生单元 230 根据其内部数据计算该 CRC，且将该 CRC 数据回送给主控制器 105。

[0047] 在一个实施例中，可计算该 CRC 信息，并且与自从装置 110 传送至主控制器 105 的数据平行传送，使得该 CRC 在其抵达主控制器 105 时，该 CRC 在其保护的数据区块 (data block) 之同时可使用。

[0048] 请注意，从主控制器 105 到从装置 110 的传输会由于从装置 110 内部接收数据、计算 CRC 以及将该计算结果发送给主控制器 105 而有一些固有延迟。然而，如以下结合图 5 的说明所作的更进一步的描述，此种延迟可在写到读 (write-to-read) 与读到写 (read-to-write) 总线转换的数据总线上插入间隔 (gap) 来重叠。

[0049] 请参阅图 2，其系例示图 1 的从装置的一个实施例的更详细态样的图。从装置 110 包括含有数据输入缓冲器 209 的逻辑 118，该缓冲器 209 系与双向数据路径 114 的一个信号路径及正反器 (flip-flops, FF) 208 的输入端耦接。该正反器 208 的输出端系与次核心逻辑 255 耦接。次核心逻辑 255 的数据输出信号也与正反器 206 的输入端耦接。该正反器 206 的输出端与数据输出缓冲器耦接，该数据输出缓冲器系与相同的信号路径耦接。该正反器 207 的输入端亦与双向数据路径 114 的信号路径耦接。该正反器 207 的输出端系与眼计算单元 225 耦接。该眼计算单元 225 的输出系与多任务器 250 的一个输入端耦接。该数据输入与数据输出信号亦均与 CRC 单元 230 耦接，该 CRC 单元 230 的输出端系依次与该多任务器 250 的另一输入端耦接。多任务器 250 的输出端与正反器 205 的输入端耦接。该正反器 205 的输出端与缓冲器 211 耦接，该缓冲器 211 耦接至 CRC 与眼统计信号路径 112 的一个信号路径耦接。次取样时钟信号与正反器 205 至 208 的各时钟输入端耦接。

[0050] 在该例示的实施例中，正反器 207 与正反器 208 在该数据信号的边缘及中央处分别对缓冲器 209 的输出端的模拟电压信号取样。这两个取样信号系为眼计算单元 225 的输入信号，其可计算有关该收到数据眼的各种统计。为了调整主控制器 105 所传送数据的相位，每一边缘转换 (edge transition) 可在眼计算单元 225 内的计数器 / 缓存器 (register) 226 中累积。在一个实施例中，早到与晚到的边缘分别递增与递减缓存器 226，其可对该传送数据的相位提供比例索引 (scaled index)。如以下更进一步描述，也可累计附加的统计以调整传送器 (transmitter) 均衡及主控制器 105 的输入接收器偏移 (offset) 调整。

[0051] 在一个实施例中，相位信息累积所接收到的各数据位转换。此相位信息在每一数据路径的基础上可累积超过十六位从发 (burst)。缓存器 226 可以是四位的计数器，该计数器依据该转换为晚到或早到而可递增或递减。从装置 110 可以经十六位从发将每数据路径单位回送给主控制器 105 以指示该四位计数器值为正值或负值。在接收到该转换错误信息后，控制单元 108 可更进一步整合此转换信息以控制该已传送数据的相位。明确的说，传送单元 106 可调整或修改该已传送数据的相位直到从装置 110 锁住该数据为止。

[0052] 如上所述，主控制器 105 可调整接收器电路以正确接收从装置 110 所送出的数据。在一个实施例中，接收单元 107 包括取样时钟调整逻辑 103，该取样时钟调整逻辑 103 可包括碰 - 碰相位侦测器而类似于图 2 所显示的相位侦测器。明确的说，当主控制器 105 在接收

来自从装置 110 的数据时,接收单元 107 可使用碰 - 碰相位侦测器以调整其本身局部取样时钟而能最佳化接收从装置 110 所传送的数据。以下将结合图 3 的说明作更详细的描述。

[0053] 除了该已传送数据的相位调整以及在接收单元 107 内该接收取样时钟的调整外,还可能需要将数据路径信道均衡。特别是,由于该信道的高频率的损失及 / 或可能因接到相同信道(如图 1 所示)的多个从装置 110 所引起的反射,所以可能需要均衡数据路径。该数据路径的均衡可将在从装置 110 的接收器逻辑中的眼开口最佳化。因此,在一个实施例中,传送单元 106 包括相位及均衡单元 103,其运用具有多个系数的有限脉冲响应(finite impulse response, FIR) 滤波器以驱动其输出数字 - 到 - 模拟转换器阶段。

[0054] 在一个实施例中,该 FIR 滤波器的系数可被训练或相应地修改成用于各单独数据路径的特征。为允许该传送单元 106 调整其均衡,主控制器 105 接收来自从装置 110 的错误信息,该错误信息对应于在从装置 110 的各输入端看到的 ISI。

[0055] 为简化或减少在从装置 110 内所需的逻辑,传送单元 106 内的均衡器单元 103 也可使用在从装置 110 内的逻辑 118,该逻辑 118 取样数据相位以判定其均衡该信道情况如何。为使从装置 110 能够产生所收到的眼振幅(eye amplitude)的错误值,主控制器 105 发送可能造成从装置 110 改变其输入接收临界一些偏移量的命令给从装置 110。可选择此偏移,使得已正确均衡的信道有大约 50% 的误差率,并且此 50% 的误差率的偏差可指示主控制器 105 在传送单元 106 内执行的均衡过程中的错误。替代地,如图 2 所示,主控制器 105 可提供接收临界值,其系藉由将该接收临界值通过接口的另一信号路径直接提供给从装置 110。

[0056] 在一个实施例中,主控制器 105 可发送十六位的数据块,而从装置 110 报告此目前十六位数据块的第十五位所取样的值。主控制器 105 可对除了该第十五位的本数据块内的所有数据位发送随机数据,该随机数据可以是被选来搭配从装置 110 使用于其接收器内的偏移值的预定值。因为主控制器 105 知道正在传送什么数据值,所以主控制器 105 可在每一系数的基础上使用这些数据值以调整各系数的值,其中该各系数的值系依据从装置 110 所回传的错误位的记号而定。举例来说,藉由使用例如记号 - 记号最小平均方差(sign-sign LMS) 适应地算法的算法然后训练发送系数(transmit coefficient)。该欲训练的系数的数字可以是该信道的脉冲响应的后端长度的函数。

[0057] 在一个实施例中,主控制器 105 可使用四分路(tap) 决策回馈均衡器(decision feedback equalizer, DFE) 以修正在该信道的传输响应中含有零的脉冲响应,该信道的传输响应可包括由于多接点数据总线(multi-drop data bus) 所造成的从装置阻塞(stubs) 的反射。然而,可思考其它实施例,例如可用其它数目的分路以涵盖可能因信道的往返(roundtrip) 所造成的任何反射。

[0058] 图 3 系描述显示于图 1 与图 2 的实施例的操作的流程图。尤其是如上所述,可配置主控制器以适应地调整其传送及接收特性,使得该主控制器可传送可被该从装置正确接收的数据,且该主控制器可正确接收该从装置所发送的数据。

[0059] 共同参考图 1 至图 3,且从图 3 的方块 300 开始,在重新激活(reset) 或电源开启的情况下,可训练该主控制器 105 的接收单元 107 接收 CRC 路径 112 的至少两个数据路径。因此,主控制器 105 写入已知的第一训练图样给从装置 110 内的预定位置(方块 305)。为响应该写入,从装置 110 根据通过 CRC 路径 112 所接收的数据产生及发送 CRC。主控制器

105 接收该 CRC 并且判定是否该接收单元 107 锁定该 CRC 数据（方块 310）。若该主控制器非锁定该 CRC 数据，则控制单元 108 可能造成该接收单元 103 的相位及均衡被调整（方块 311）且该写入图样被重新发送（方块 305）。

[0060] 当主控制器 105 判定该接收单元 107 系锁定该 CRC 数据时（方块 310），主控制器 105 尝试训练该传送单元 106 发送该从装置 110 能正确接收的数据。特别是，主控制器 105 发送第二训练图样给从装置 110（方块 315）。在一个实施方式中，该第二训练图样可以是一种不需数据路径被均衡的图样。举例来说，可使用例如 11001100b 的图样。根据从从装置 110 所接收的 CRC 数据与边缘统计，主控制器 105 判定是否该从装置系正确锁定该写入数据（方块 320）。若该主控制器 105 判定该从装置非锁定该数据，则控制单元 108 可能造成该已传送数据的相位被调整，且要重送该图样（方块 315）。

[0061] 然而，若 CRC 及眼统计信息指示该从装置 110 系锁定该已传送数据（方块 320），则主控制器 105 可能尝试均衡该双向路径数据 114 的数据路径。在一个实施例中，主控制器 105 通过双向数据路径 114 发送第三训练图样给从装置 110（方块 325）。在一个实施方式中，该第三图样可能是更随机化的图样。再一次，根据所接收到的 CRC 数据，主控制器 105 可判定是否多分路前馈式均衡器（feed forward equalizer, FFE）的系数系收敛（方块 330）。此外，该已传送数据的相位校正可在该系数的调整期间移动，因此亦可重新检查该相位，且使用训练图样 2 来调整（方块 335 与 340）。因此，如图所示，主控制器 105 可适应该系数并且反复追踪该相位，直到两者系数已收敛，且该已传送数据相位被校正（方块 330）。

[0062] 一旦已校正该传送数据相位且已均衡该传送数据路径，可调整接收单元 107 的特征且训练成在该双向数据路径 114 上可靠地接收数据。因此，主控制器 105 传送第四图样以储存至例如该从装置 110 内的储存位置（未图标）（方块 345）。主控制器 105 从从装置 110 执行第四图样的后续的读取。因为该图像系已知的，控制单元 108 可能造成接收单元 106 的相位及均衡调整成可信赖接收从装置 110 所发送的数据（方块 350）。若主控制器 105 判定该接收单元未被训练（方块 355），则主控制器 105 可开始该图样数据的更进一步读取，且可作进一步调整（方块 350）。一旦训练过该接收单元 106，则系统 10 在主控制器 105 可执行读取及写入从装置 110 期间可开始正常操作。

[0063] 继续进至方块 361，在系统 10 的正常操作期间，相位可能漂移（drift）。只要有读取及写入发生且数据在该数据路径上传送，该相位校正可被主控制器 105 持续检查。然而，总线流量中大的间隔可允许漂移的相位不被侦测到。明确的说，若在读取与写入上有超过预定时间量的间隔，则主控制器 105 可开始虚拟写入及读取循环以保持该训练过的传送单元 106 及接收单元 107 的相位。

[0064] 尤其是，在一个实施例中，控制单元 108 可使用例如定时器来测量连续读取间及连续写入间的经过时间（方块 362）。若写入定时器（timer）到期（expire）（在两写入间经历太多时间）（方块 363），则控制单元 108 可能造成一个或多个虚拟写入循环发生，其包括写入第二训练图样至从装置 110。根据所接收到的 CRC 及眼统计，控制单元 108 可能造成传送单元 106 的相位被调整（方块 365）。

[0065] 同样地，若读取定时器到期（在两读取间经历太多时间）（方块 366），控制单元 108 可能造成一个或多个虚拟读取循环发生，其包括自从装置 1110 读取第四训练图样。控制单元 108 可造成接收单元 107 的相位被调整（方块 367）。一旦训练过或检查过，即可正

常进行如方块 361 的操作。请注意,在其它实施例中,主控制器 105 可依据除了经时定时器 (elapsed timer) 外的诸因素开始虚拟读取及写入循环。例如,主控制器 105 可根据接收到的数据或 CRC 位的误差率开始重新训练该传送单元 106 及接收单元 107。

[0066] 从装置输入偏移修正

[0067] 藉由改变使用于从装置 110 的接收器的偏移的极性,主控制器 105 可判定如取样于十六位从发的第十五位在逻辑 1 对逻辑 0 的误差范率范围内是否有任何偏压。此偏压可指示从装置 110 的接收器的输入偏移。主控制器 105 藉由移动其已传送的波长往上或往下可补偿该偏移。在一个实施例中,传送单元 106 可修正从装置接收器的输入偏移达到 $\pm 50\text{mV}$ 。

[0068] 数据加扰 (Data scrambling)

[0069] 当通过耗损性信道以高速数据传输速率传输数据时,某些数据图样比他数据图样具有更高机率产生位错误。此外,大部分有兴趣的信道系由多个平行金属线组成,该多个平行金属线在总线的数据路径间可呈现显著的串讯 (crosstalk)。该串讯可因印刷电路板上的平行导线间的耦接、通过数组、连接器、封装件、插座等的耦接来产生。同样地,在单端切换系统 (single ended switching system) 的情况,串讯可能是多个输出同时切换的结果。

[0070] 请参照图 4,例示图 1 的系统的一个实施例的方块图,包括所显示的加扰逻辑 (scrambling logic)。请注意,除了以下所描述的功能,图 4 的主控制器 105 可包括图 1 的主控制器 105 的所有功能。同样的,图 4 的从装置 110 也可包括图 1 的从装置 110 的所有功能。然而,为了简化起见,该功能不会在此重复。因为所传输的数据并不保证是随机的,有可能在受扰线 (victim line) 及其显著的干扰者 (aggressor) 上传输病态坏的数据图案 (pathologically bad data pattern)。为避免此造成在该连结的位错误率上不需要的增加,在各路径上的数据可扰乱。在一个实施方式中,该数据可藉由使用互斥 - 或 (exclusive-OR, XOR) 功能来结合虚拟随机二进制序列 (pseudo random binary sequence, PRBS) 的输出。

[0071] 在一个实施例中,主控制器 105 及从装置 110 可包括完全相同的 PRBS 产生器,该 PRBS 产生器可在训练期间开始。根据数据流的方向,该连结的一端用已知的 PRBS 加扰该数据,而另一端用其局部的 PRBS 产生器进行解扰 (de-scramble) 数据。因此,主控制器 105 包括加扰 / 解扰 405,其中该加扰 / 解扰 405 含有与 XOR 区块 415 耦接的 PRBS 产生器 410。同样的,从装置 110 包括加扰 / 解扰 430,该加扰 / 解扰 430 含有与 XOR 区块 440 耦接的 PRBS 产生器 435。

[0072] 为了避免数据路径间的相互关联,各路径可用不同的 PRBS 加扰,从而在频率域中有效散布任何病态坏的串讯数据图样,并且允许其效应以常态分布来统计评估。加扰该数据也可帮助确保所产生的数据图案在该频谱域上系光谱白 (spectrally white),使得该 LMS 适应地算法对可被适应地的任一分路系数不会具有任何统计偏差。

[0073] 在一个实施例中,为了将实施成本最小化,各该 PRBS 产生器 410 与 435 可从含有多个分路的主控制器的 PRBS 产生器来实施。不同的产生器分路可使用于各数据路径的数据而互斥或 (XOR) 得出以产生每一路非重叠的 PRBS。可选择诸分路以将各路径上所使用序列间的差异最大化。

[0074] 在从装置 110 可以是内存装置的实施例中,可将数据以加扰状态储存,因而避免加扰于该内存装置中的实施成本。为了确保该主控制器 105 能将该加扰过的数据译码,

可从混杂数据的储存地址计算出加扰种子,因此通过该总线所传输的数据可维持统计随机性,即使以经常发生序列内存存取图样为例。

[0075] 在一个实施方式中,可藉由预先加载该加扰器 PRBS 及欲存取的区块的地址来产生混杂的地址,然后以某一固定级数 (stage number) 移动该 PRBS,从而将该地址随机化以对传输至内存和从该内存传输的各数据区块产生唯一的种子。请注意,在使用关键词元顺序的系统中,可能要采取额外注意以确保当第一地址存取没有在区块边界上发生时,该解扰考虑到会发生卷绕 (wrapping)。在此种例子中,可对该数据区块适当地计算卷绕加扰图样。

[0076] 同时请注意,当在内存装置中储存加扰过的数据时,内存装置控制缓存器的存取将不会自然地被加扰。明确的说,可能需要确定该控制信息传输藉由适当界定该内存装置控制缓存器位值的意义也能起随机数据作用,以将病理上坏的数据图样的可能性最小化。例如,可改变该内存装置控制缓存器位,使得逻辑 1 在 1 位位置可表示一件事,然而逻辑 1 在另一位置可能是相反的。因此,具有相同逻辑值的位可能更随机出现来分布。

[0077] 减少从装置到主控制器的等待时间 (latency)

[0078] 在将总线效率的影响减到最小时,为了从该 CRC 的得到足够的错误涵盖范围,可将数据集结于计算该 CRC 的区块中。在从装置 110 传输至主控制器 105 时,区块中数据的正确性无法被建立,直到已接收到所有的数据区块和该 CRC 为止。然而,此举会增加该区块的第一部份的等待时间,其对系统中的转送进度可能是关键词元。

[0079] 请参照图 5,例示示范编码于字节群组的图。在一个实施例中,可藉由含有额外直接插入 (in-line) 错误码来额外保护该关键词元,该错误码系插入于该关键词元与其余的区块之间。例如,如图 5 所示,可藉由在该区块的起始点重复该关键词元 (例如,字节 0) 来实施额外的错误侦测信息。藉由发送该关键词元两次,主控制器 105 可验证各位在两个复本 (copy) 间系一致的,而大幅降低该关键词元的错误率,因而在已接收到该区块的完整的 CRC 前,允许该关键词元被视为是有效的。以另一种方式来说,在读取操作期间,从装置 110 可在读取区块的前两个拍频 (beat) 或位时间 (bit time) 期间送出该关键词元。

[0080] 如图 5 所示的实施例中,藉由使用十六位的丛发,两个 CRC 信号路径保护八个数据路径。为容纳该两个复本关键词元的空间,字节 3 于该读取区块之前四个拍频期间在该 CRC 路径上输出。此亦容许在该关键词元传送后计算出该读取 CRC。在写入时,该 CRC 计算花较长的时间,所以允许 12 个位时间系用在此计算,且写 - 读转回时的重叠在该总线转回延迟中发生。请注意,该 CRC 不会改变读取与写入间的方向。如所示,此编码可提供某种额外的频宽,该频宽可用来输出写入数据眼统计。同时请注意,当超过一个从装置时,可能需要于主控制器 105 控制器改变从装置为读取或写入时插入一间隔 (gap) (亦即,泡沫 (bubble))。

[0081] 遍及字节群组中的歪斜管理 (Skew Management)

[0082] 为了降低从装置 110 与主控制器 105 的复杂性,在字节群组内的数据路径间的歪斜 (skew) 可在从装置 110、主控制器 105 以及 PCB 布线的设计中受到控制。在一个实施例中,在 3.2Gb/s 下可控制字节群组内的位间的最大歪斜到 0.1 单位区间 (UI) 内,而允许该群组内的不同数据路径被视为相同的均衡。

[0083] 藉由此种方式控制该歪斜,该同时切换输出 (simultaneously switching output, SSO) 所产生的噪声在该接收到的数据眼边缘处可准确校正,从而将其在眼闭合处上的影响

最小化。然而在传送的同时,此可能无法对SSO在该主控制器接收CRC数据上的影响提供任何缓和,而这样额外的负担可能加在主控制器上以正确接收所产生的较小的数据眼。然而,该主控制器可减轻此种现象,该主控制器对其输入接收器具有外部参考电压,其中该输入接收器系内部端接且参考该CRC接收位的信号接地。藉由此种作法,可将该SSO噪声转换成共模式噪声(common mode noise),因而该SSO噪声被用于该CRC位的输入接收器所消除。

[0084] 字节模式写入至内存

[0085] 在一些内存应用程序中,可能需要在内存控制器与内存装置间支持字节写入特征以避免从发导向式异动(transaction)的读取/修正/写入操作。明确的说,在主控制器105系内存控制器且从装置110系内存装置的实施例中,藉由使用遮蔽写入,可实施字节写入。参照图6,系显示示例遮蔽写入操作的实施例图。用于该遮蔽写入的额外的频宽系由先前该具有八位的短从发的写入数据酬载(write data payload)来完成,其中该写入数据酬载含有遮蔽信息(mask information)。

[0086] 因为主控制器105一般不会知道不要修改的内存内容,该遮蔽信息中一位的错误可能造成内存中的数据被错误的修改。为了克服此种问题,主控制器105传送该遮蔽信息对于四个连续位时间,且从装置110使用第三个位时间来取样该数据。在一个实施例中,尤其是该第三位时间系被装置规格保证是稳定的。然而,请注意,在其它实施例中,可用其它数目的连续位时间传送遮蔽信息。明确的说,可保证其它位时间是稳定的且从装置110可使用该稳定位时间来取样该数据。

[0087] 单端切换I/O拓朴(Topology)

[0088] 图7系使用单端切换双向发信号架构的系统的一个实施例图。在例如图1的系统的单端切换发信号架构的例子中,垫(pad)I/O电容的最小化及晶粒上(on-die)VDD的控制均是关键设计参数。结合晶粒上并联稳压器(shunt regulator)的简单电压模式传送器及接收器终端器可在电源消耗及简化的I/O架构间提供良好的妥协。

[0089] 因此,系统700包括与通过总线114的IC装置711耦接的集成电路(IC)装置701,该总线114包括多个双向信号路径。对各双向信号路径而言,IC701包括与该信号路径耦接的驱动器电路。如图7所示,示范的驱动器电路系如装置I/0601、602、以及603所显示,尽管为了简化起见,仅将装置I/0601的细部态样显示出来。明确的说,装置I/0601将含有晶体管T1与T2的附赠式金属氧化物半导体(complimentary metal oxide semiconductor, CMOS)驱动器电路具体化。该tx[0]输入端系与该驱动器电路的输入端耦接。该输出系与总线714的信号路径耦接并且与该接收信号路径rx[0]耦接。请注意,该驱动器电路602与603可包括与装置I/0601实质上相同的电路。

[0090] 在所例示的实施例中,装置I/O系电压模式驱动器,具有大约VDD/2的电压摆幅(voltage swing)进入到实质上相等驱动器(例如,装置I/0613)所端接的传输线(例如,信号路径714),该驱动器(例如,装置I/0613)驱动该晶粒-垫接地,从而将该接收器端接于地。请注意,在所例示的实施例中,例如,用于两个IC装置(芯片)的供应电压可以是如1.5V及1.0V的不同的电压。

[0091] IC701也包括并联稳压器电路、指定箝制器(clamp)604,其侦测超出平均DC电压在晶粒上VDD的转换。除了包括电感器L1与L2的输电回路(power delivery loop)外,

也显示电压源 V1。请注意，电感器 L1 与 L2 系代表可能因封装中、引线长度等而导致之内在电感 (intrinsic inductance) 之模型，而电压源 V1 则代表 VDD 供应的模型。

[0092] 当晶粒 VDD 转换超出平均的 DC 电压时，放大器 A1 导通晶体管 T3，此维持了流经感应输电回路（例如 L1、V1 与 L2）的电流。此举有效箝制正电压过量 (overshoot)。此结合发送加扰数据（如上所述）的箝制作用在某些实施例中可减少超过 50% 晶粒上 VDD 的噪声。为了在总线转回（例如，写到读与读到写的转换）期间将噪声最小化，该箝制晶体管 (clamp transistor) T3 在致能该传送器切换之前可导通短暂停时间。此举可从晶粒 VDD 上去耦电容器 C1 牵引电流，而可依次开始增加流经输电回路的电流。该箝制晶体管 T3 可能造成晶粒上 VDD 的感应环而在传送第一位前切断，此举可能导致并联稳压器 604 簈制，从而确保当传送器开启时可忽略的晶粒上 VDD 电压降 (drop)。

[0093] 如图所示，IC 装置 711 包括几乎完全一样的电路，因此，操作几乎与 IC 装置 701 相同。于是，为了简洁起见，该 IC 装置 711 的操作不再进一步描述。

[0094] 请注意，该切换 I/O 的平均功率可能不会因此技术而显著改变，然而吸引来自供应商的用于驱动 1 或 0 的恒定电流的驱动器可能耗损大约两倍的该平均切换功率。

[0095] 请注意，显示于图 7 的该 IC701 与 IC711 可例示任何两种装置，该两种装置可运用两晶粒间的双向发信号架构。然而，在一个实施例中，IC701 与 IC711 可代表绘制于以上结合图 1 至图 6 的说明所描述于实施例中的主控制器 105 与从装置 110。

[0096] 虽然，已经非常详细描述上述的实施例，但是一旦完全了解以上揭露的内容，各种变化与修改对在此技术领域具有通常技艺者将会显而易见。以下主张的权利项将被诠释以包含所有的此种变化及修改。

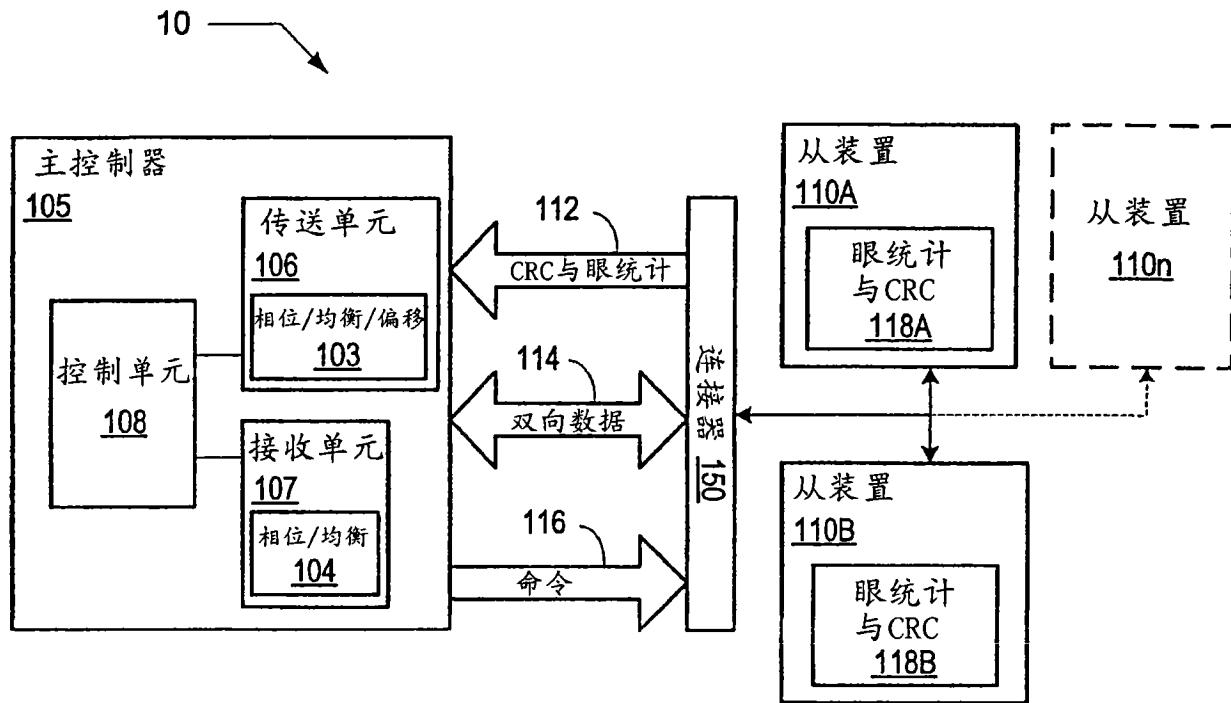


图 1

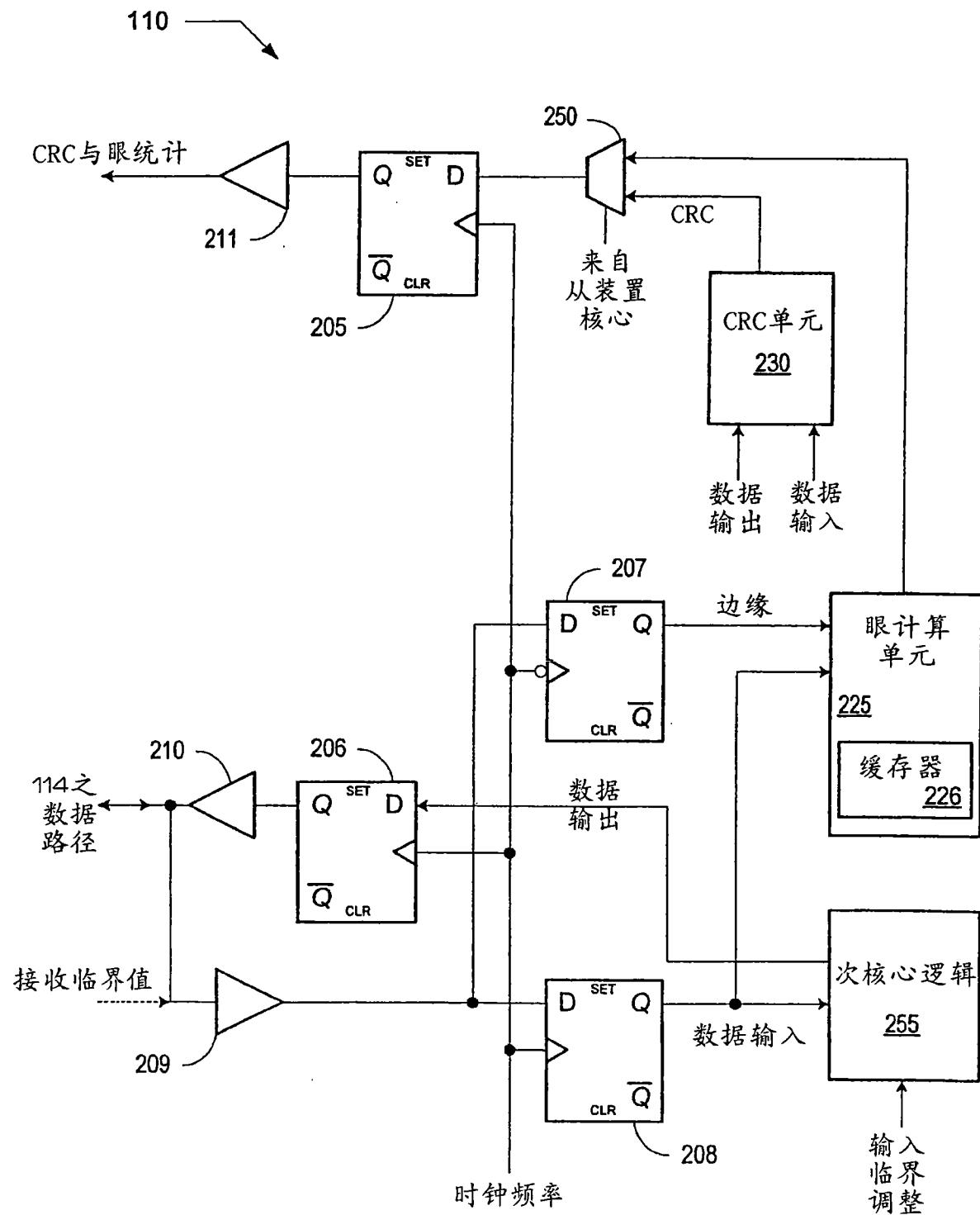


图 2

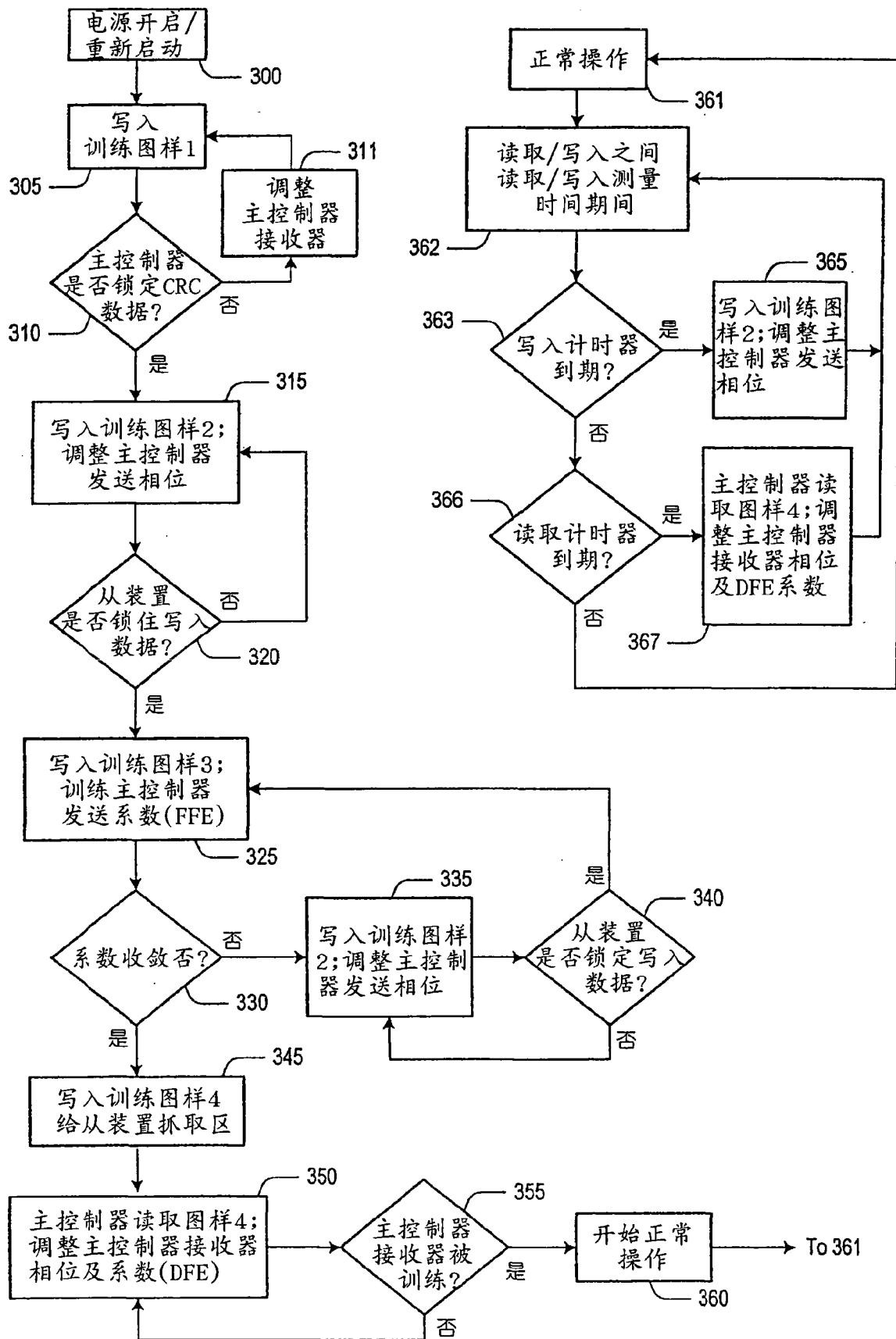


图 3

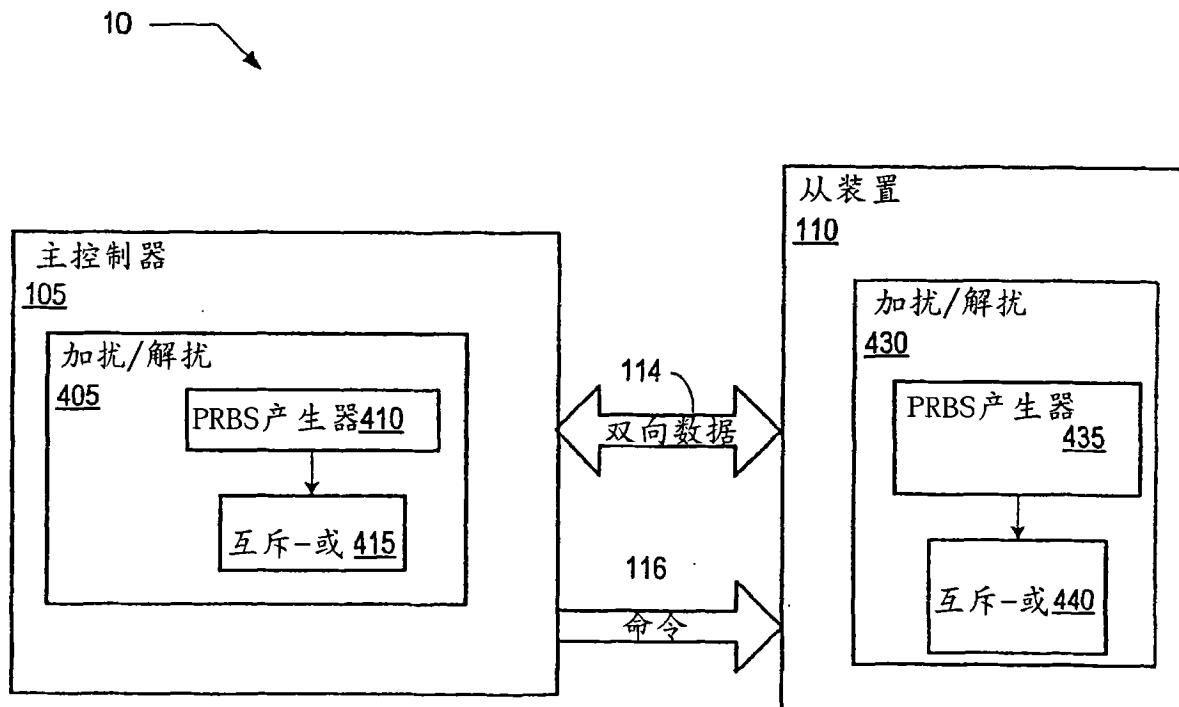


图 4

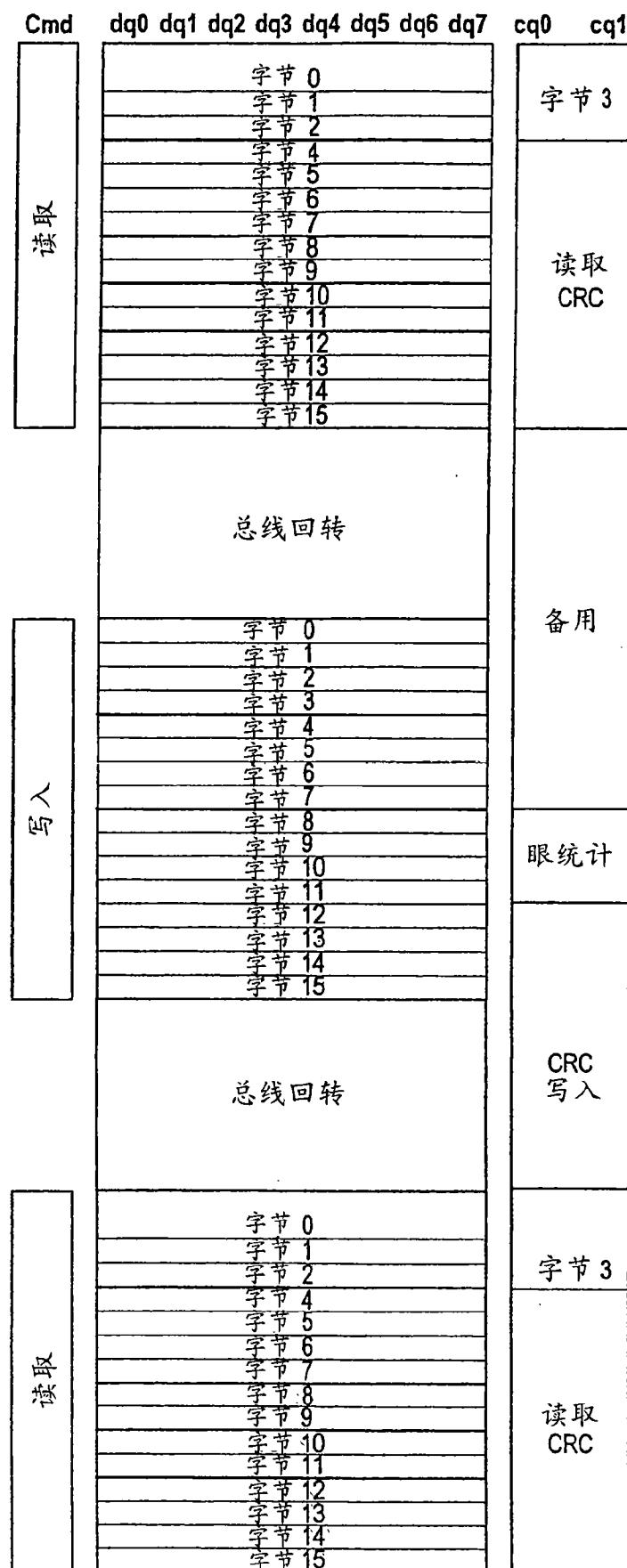


图 5

Cmd dq0 dq1 dq2 dq3 dq4 dq5 dq6 dq7 cq0 cq1

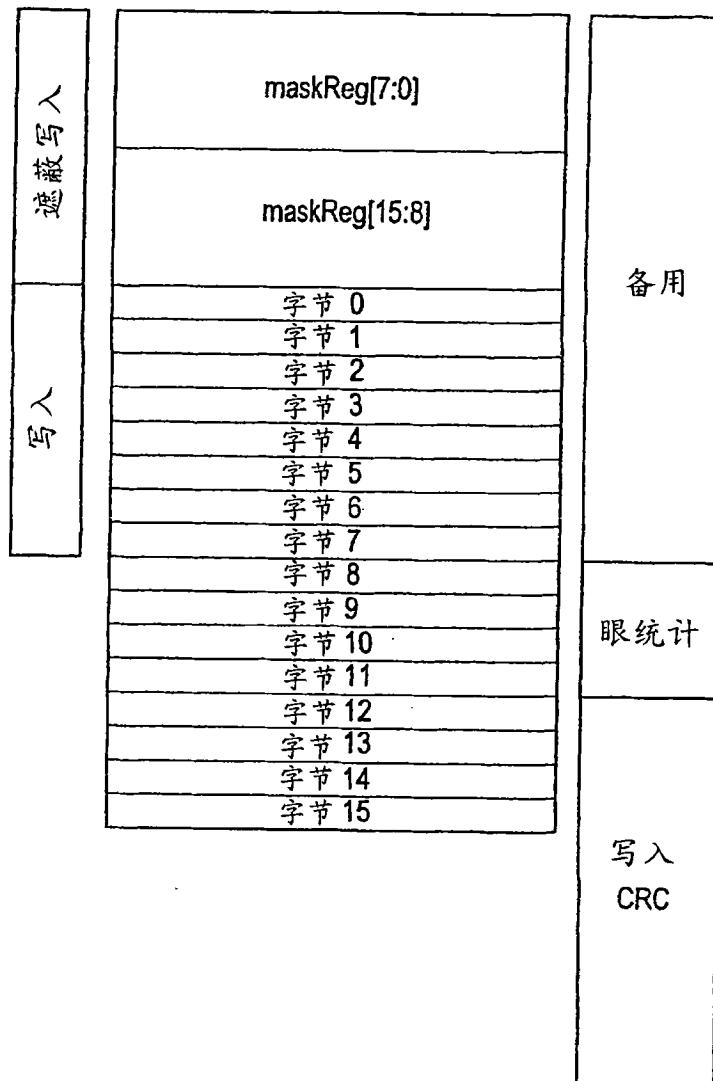


图 6

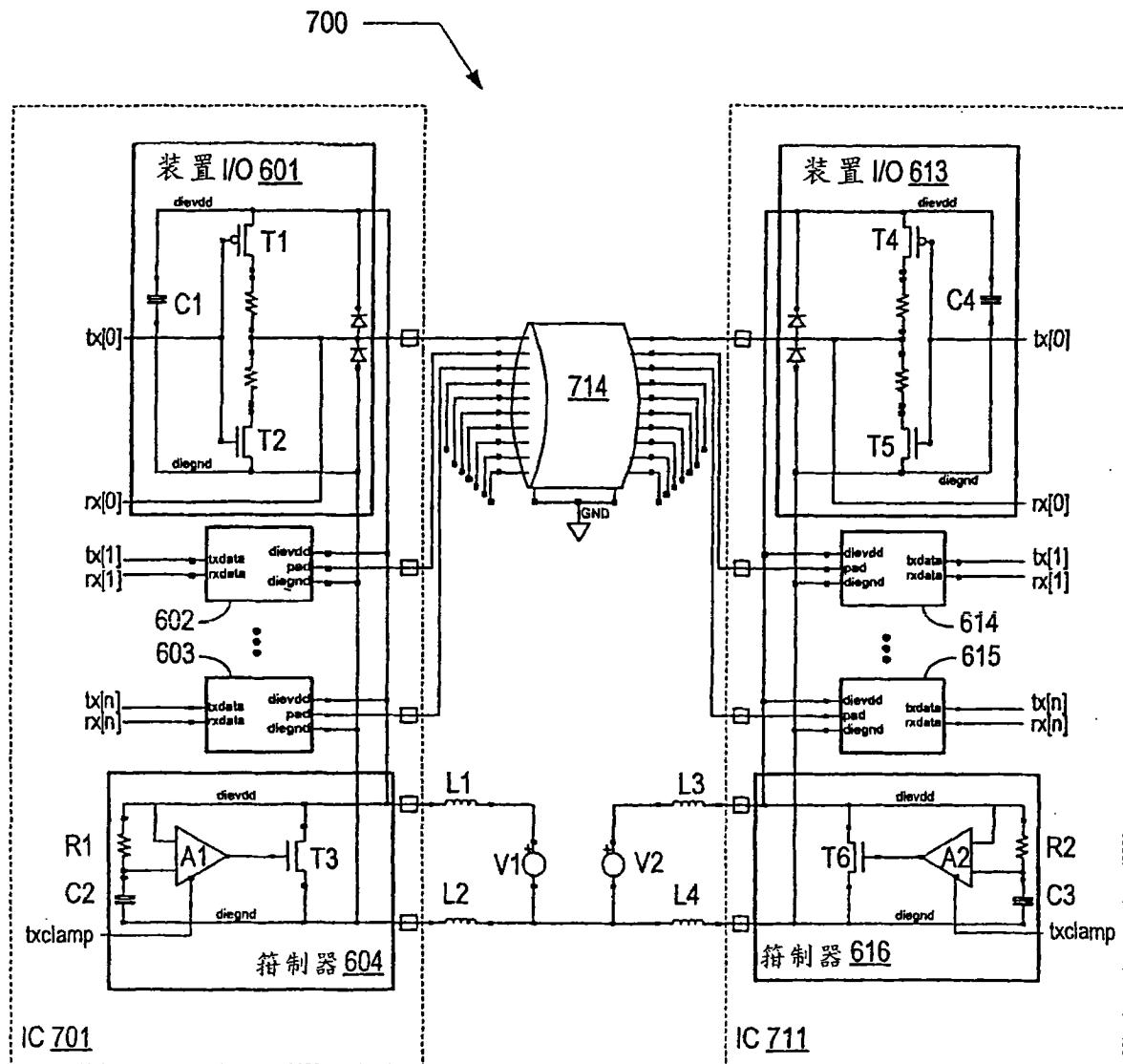


图 7