

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6569743号
(P6569743)

(45) 発行日 令和1年9月4日(2019.9.4)

(24) 登録日 令和1年8月16日(2019.8.16)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 623R
G09F 9/30 (2006.01)	G09G 3/20 633P
	G09G 3/20 621M
	G09G 3/20 611C
	請求項の数 3 (全 10 頁) 最終頁に続く

(21) 出願番号	特願2017-562881 (P2017-562881)	(73) 特許権者	000003193 凸版印刷株式会社 東京都台東区台東1丁目5番1号
(86) (22) 出願日	平成29年1月19日(2017.1.19)	(74) 代理人	100108855 弁理士 蔵田 昌俊
(86) 国際出願番号	PCT/JP2017/001723	(74) 代理人	100103034 弁理士 野河 信久
(87) 国際公開番号	W02017/126600	(74) 代理人	100153051 弁理士 河野 直樹
(87) 国際公開日	平成29年7月27日(2017.7.27)	(74) 代理人	100179062 弁理士 井上 正
審査請求日	平成30年2月28日(2018.2.28)	(74) 代理人	100189913 弁理士 鶴飼 健
(31) 優先権主張番号	特願2016-7836 (P2016-7836)	(74) 代理人	100199565 弁理士 飯野 茂
(32) 優先日	平成28年1月19日(2016.1.19)		
(33) 優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

マトリクス状に配置した複数の表示画素を含む表示領域と、前記表示領域において、第1方向に沿って延びた複数の走査線と、前記第1方向と交差した第2方向に沿って延びた複数の信号線と、前記表示領域の周囲に配置され、前記複数の走査線を駆動するゲートドライバと、前記複数の信号線を駆動する複数のソースドライバと、を備えた表示パネルと、

前記表示パネルの一端にフレキシブル基板を介して電氣的に接続し、前記表示パネルへ駆動信号を供給する回路基板と、を備え、

前記複数のソースドライバは、前記駆動信号を受信しTTL方式の信号に変換するレシーバと、前記TTL方式の信号が書き込まれるバッファと、を含むマスタードライバと、前記マスタードライバを介して前記TTL方式の信号を受信する複数のスレーブドライバとを含み、

前記マスタードライバは、前記第1方向における両端にそれぞれ配置された電源入力端子と、前記電源入力端子間に配置された、映像信号入力端子およびTTL信号入力端子を備え、

前記回路基板は、前記第1方向に延びた電源供給ラインおよびTTL信号供給ラインと、駆動信号供給ラインと、を備え、

前記電源供給ラインには前記電源入力端子から前記第2方向に延びた配線が電氣的に接続し、前記TTL信号供給ラインには前記TTL信号入力端子から前記第2方向に延びた

配線が電氣的に接続し、前記駆動信号供給ラインには前記映像信号入力端子から前記第2方向に延びた配線が電氣的に接続し、前記駆動信号供給ラインは、前記回路基板上において前記電源供給ラインと1ヶ所で交差している、表示装置。

【請求項2】

前記駆動信号は、LVDS信号、MIPI DSI規格に基づく信号、DisplayPort規格に基づく信号、eDP規格に基づく信号、および、HDMI (High-Definition Multimedia Interface) 規格に基づく信号のいずれかである、請求項1記載の表示装置。

【請求項3】

前記駆動信号は映像信号を含む、請求項1又は請求項2記載の表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明の実施形態は、表示装置に関する。

【背景技術】

【0002】

表示装置として、例えば液晶表示装置や有機EL表示装置等が普及している。アクティブマトリクス型の表示装置は、マトリクス状に配置した複数の表示画素を含む表示領域を備えた表示パネルと、例えばフレキシブル基板を介して表示パネルと電氣的に接続した回路基板と、を備えている。表示パネルの表示領域の周囲や回路基板には、複数の表示画素を駆動するドライバ回路等が搭載されている。

20

【0003】

近年では表示装置の高精細化が進み、これに伴い、複数の表示画素を駆動するための信号線の本数も増加している。高精細の表示装置において、複数の信号線を複数のソースドライバで駆動する表示装置が提案されている。

【0004】

複数のソースドライバを備えた表示装置において、例えば、LVDS (Low-Voltage Differential Signaling: 小振幅作動方式) のインタフェース及びマルチチップに対応した表示装置駆動用のドライバを採用する場合、LVDSで通信される信号 (LVDS信号) を送信する配線をマルチドロップ (単一終端) 構成とすることが可能である。

【0005】

30

LVDS信号を送信する配線をマルチドロップ構成とする場合、LVDS信号が、例えばTTL (Transistor Transistor Logic) 回路やチャージポンプ昇圧回路などへ延びる配線からのクロストークの影響を受け難くする為には、マルチドロップ構成においてスタブ長を極力短くし、かつ、最終端ドライバに配置する終端抵抗はレシーバの極力近くに配置することが望ましい。

【発明の概要】

【0006】

しかしながら、表示パネルへLVDS信号などの駆動信号や電源などを供給する配線は、フレキシブル基板を介して引き回される。また、多くの場合、フレキシブル基板は、表示パネルの裏側へ折り曲げられる。フレキシブル基板の折り曲げられる部分は、配線パターンのクラックなどを防止するために、部品やスルーホールを配置しないように設計されることが望ましく、配線や部品などの配置には制約があることが多い。その結果、マルチドロップ構成において、レシーバまでのスタブ長が長くなり、終端抵抗がレシーバの近くに配置できないなどの制約が生じることがあった。

40

【0007】

また、表示パネルにタイミングコントローラや電源昇圧回路が内蔵され、マルチチップ構成を採用すると、LVDS配線がTTL信号配線や電源配線と交差して、クロストークの影響を回避することが困難であった。LVDS信号がクロストーク等の影響を受けると、表示装置の表示品質が不安定となる。

【0008】

50

本発明は、上記事情を鑑みて成されたものであって、安定した表示品質の表示装置を提供することを目的とする。

【0009】

本発明の一態様に係る表示装置は、マトリクス状に配置した複数の表示画素を含む表示領域と、前記表示領域の第1方向に沿って延びた複数の走査線と、前記第1方向と交差した第2方向に沿って延びた複数の信号線と、前記表示領域の周囲に配置され、前記複数の走査線を駆動するゲートドライバと、前記複数の信号線を駆動する複数のソースドライバと、を備えた表示パネルと、前記表示パネルの一端にフレキシブル基板を介して電氣的に接続し、前記表示パネルへ駆動信号を供給する回路基板と、を備え、前記複数のソースドライバは、前記駆動信号を受信しTTL方式の信号に変換するレシーバと、前記TTL方式の信号が書き込まれるバッファと、を含むマスタードライバと、前記TTL方式の信号を受信する複数のスレーブドライバとを含み、前記マスタードライバは、前記第1方向における両端にそれぞれ配置された電源入力端子と、前記電源入力端子間に配置された、映像信号入力端子およびTTL信号入力端子を備え、前記回路基板は、前記第1方向に延びた電源供給ラインおよびTTL信号供給ラインと、駆動信号供給ラインと、を備え、前記電源供給ラインには前記電源入力端子から前記第2方向に延びた配線が電氣的に接続し、前記TTL信号供給ラインには前記TTL信号入力端子から前記第2方向に延びた配線が電氣的に接続し、前記駆動信号供給ラインには前記映像信号入力端子から前記第2方向に延びた配線が電氣的に接続し、前記駆動信号供給ラインは、前記回路基板上において前記電源供給ラインと1ヶ所で交差している。

10

20

【発明の効果】

【0010】

本発明によれば、安定した表示品質の表示装置を提供することができる。

【図面の簡単な説明】

【0011】

【図1】図1は、本実施形態の表示装置の一構成例を概略的に示す図である。

【図2】図2は、図1に示す表示装置の、ソースドライバ、回路基板およびフレキシブル基板の一構成例を概略的に示す図である。

【図3】図3は、比較例の表示装置におけるソースドライバ、回路基板およびフレキシブル基板の一構成例を概略的に示す図である。

30

【実施形態】

【0012】

以下、本発明の実施形態の表示装置について図面を参照して説明する。ただし、図面は模式的または概念的なものであり、各図面の寸法および比率等は必ずしも現実のものと同じとは限らないことに留意すべきである。また、図面の相互間で同じ部分を表す場合においても、互いの寸法の関係や比率が異なって表される場合もある。特に、以下に示す幾つかの実施形態は、本発明の技術思想を具体化するための装置および方法を例示したものであって、構成部品の形状、構造、配置等によって、本発明の技術思想が特定されるものではない。なお、以下の説明において、同一の機能及び構成を有する要素については同一符号を付し、重複説明は必要な場合にのみ行う。

40

【0013】

図1は、本実施形態の表示装置の一構成例を概略的に示す図である。

本実施形態の表示装置は、液晶表示パネルPNLと、回路基板10と、フレキシブル基板20と、を備えている。

【0014】

液晶表示パネルPNLは、対向して配置された一对の基板(図示せず)と、一对の基板間に保持された液晶層(図示せず)と、マトリクス状に配置した複数の表示画素を含む表示領域DYPと、ゲートドライバGDと、ソースドライバとSD1~SDnと、を備えている。

【0015】

50

表示領域 D Y P は、マトリクス状に配置した複数の表示画素の行（第 1 方向）に沿って延びた複数の走査線 G L と、マトリクス状に配置した複数の表示画素の列（第 2 方向）に沿って延びた複数の信号線 S L と、走査線 G L と信号線 S L とが交差した位置近傍に配置されたスイッチング素子（図示せず）と、を備えている。

【 0 0 1 6 】

それぞれの表示画素に配置されたスイッチング素子は、例えば薄膜トランジスタ（T F T : Thin Film Transistor）であって、そのゲート電極は対応する走査線 G L と電氣的に接続し（あるいは一体に形成され）、ソース電極は対応する信号線 S L と電氣的に接続し（あるいは一体に形成され）、ドレイン電極は対応する画素電極（図示せず）と電氣的に接続し（あるいは一体に形成され）ている。

10

【 0 0 1 7 】

複数の走査線 G L の一端はゲートドライバ G D と電氣的に接続している。複数の信号線 S L の一端は、ソースドライバ S D 1 ~ S D n の何れかと電氣的に接続している。ゲートドライバ G D とソースドライバ S D 1 ~ S D n とは、表示領域 D Y P の周囲において、一対の基板の一方上に配置されている。ゲートドライバ G D は、表示領域 D Y P の列方向に延びた一辺に沿って配置されている。ソースドライバ S D 1 ~ S D n は、表示領域 D Y P の行方向に延びた一辺に並んで配置されている。

【 0 0 1 8 】

ゲートドライバ G D は、垂直同期信号と水平同期信号とに基づくタイミングで、複数の走査線 G L を順次駆動する。ソースドライバ S D 1 ~ S D n は、垂直同期信号と水平同期信号とに基づくタイミングで、それぞれの走査線 G L が駆動されている期間において、1 ライン分の映像信号を複数の信号線 S L に供給する。

20

【 0 0 1 9 】

ソースドライバ S D 1 ~ S D n には、回路基板 1 0 およびフレキシブル基板 2 0 を介して、映像信号、電源信号、などが供給されている。映像信号は、回路基板 1 0 の外部に設けられたトランシーバ T R から L V D S 信号形式で供給される。なお、L V D S 信号形式の映像信号は、映像信号と、水平同期信号および垂直同期信号等の同期信号とが合成された信号である。

【 0 0 2 0 】

回路基板 1 0 は、液晶表示パネル P N L の一端にフレキシブル基板 2 0 を介して電氣的に接続し、表示パネル P N L へ駆動信号として L V D S 信号を供給する。本実施形態では、回路基板 1 0 は、複数のソースドライバ S D 1 ~ S D n が並んだ領域近傍の液晶表示パネル P N L の一端に、フレキシブル基板 2 0 を介して電氣的に接続している。

30

【 0 0 2 1 】

なお、回路基板 1 0 からフレキシブル基板 2 0 を介して表示パネル P N L へ供給される駆動信号は、例えば、M I P I D S I（Mobile Industry Processor Interface Display Serial Interface）規格に基づく信号、DisplayPort 規格に基づく信号、e D P（embedded Display Port）規格に基づく信号、および、H D M I（High-Definition Multimedia Interface）（登録商標）規格に基づく信号のいずれかであってもよい。更に、表示装置の信号伝送に適用される上記以外の規格に基づく信号であっても、本願に開示された技術

40

【 0 0 2 2 】

図 2 は、図 1 に示す表示装置の、ソースドライバ、回路基板およびフレキシブル基板の一構成例を概略的に示す図である。なお、図 2 では、ソースドライバ S D 1 ~ S D n が互いに映像信号を共有するための構成について主に説明し、他の構成については図示を省略している。

【 0 0 2 3 】

本実施形態では、ソースドライバ S D 1 ~ S D n はマスタードライバとスレーブドライ

50

バとを含む。図 2 に示す例では、ソースドライバ S D 1 はマスタードライバであって、ソースドライバ S D 2 ~ S D n はスレーブドライバである。

ソースドライバ S D 1 は、電源チャージポンプ回路 1 と、レシーバ 2 と、タイミングコントローラ 3 と、電源回路 4 と、バッファ M と、通信部 5 と、を備えている。

【 0 0 2 4 】

電源チャージポンプ回路 1 と電源回路 4 との電源入力端子は、ソースドライバ S D 1 において、複数のソースドライバ S D 1 ~ S D n が並んだ方向（第 1 方向）における両端にそれぞれ配置されている。レシーバ 2 の映像信号入力端子とタイミングコントローラ 3 の T T L 信号入力端子とは、電源チャージポンプ回路 1 の電源入力端子と電源回路 4 の電源入力端子との間に配置されている。

10

【 0 0 2 5 】

電源チャージポンプ回路 1 には回路基板 1 0 から電源が供給されている。電源チャージポンプ回路 1 は、供給された電源電圧を昇圧あるいは降圧して、駆動に必要な電圧を出力する回路である。

【 0 0 2 6 】

タイミングコントローラ 3 は例えば T T L 回路であって、回路基板 1 0 から供給されたタイミング信号に基づいてソースドライバ S D 1 ~ S D n の同期信号を生成して通信部 5 へ出力する。また、タイミングコントローラ 3 は、内部でタイミング信号を生成することも可能である。タイミングコントローラ 3 には、回路基板 1 0 から T T L 信号が供給される。タイミングコントローラ 3 に供給される T T L 信号は、主に、L C D ドライバのレジスタ設定を行う 3 線（または 4 線）シリアルインターフェース（S P I）への信号や、ソースドライバおよびゲートドライバの M O D E 端子（解像度や転送方向、反転駆動方式などを選択する M O D E 端子）への信号である。

20

【 0 0 2 7 】

電源回路 4 は、回路基板 1 0 から供給された電源と電源チャージポンプ回路 1 で生成した電源によりゲートドライバ G D 及びソースドライバ S D の電源電圧を生成する回路である。

【 0 0 2 8 】

レシーバ 2 は L V D S 信号を受信し、T T L 方式の信号に変換する変換手段を備えている。本実施形態では、レシーバ 2 は L V D S 信号である映像信号と同期信号とを受信し、例えば 2 4 ビットの階調信号としての映像信号（T T L 信号）に変換する変換手段を備えている。レシーバ 2 は、変換した 1 ライン分の映像信号のデータをバッファ M へ書き込む。なお、レシーバ 2 は、L V D S 信号である映像信号の 1 ライン分をバッファ M へ書き込むように構成されても構わない。

30

【 0 0 2 9 】

通信部 5 は、ソースドライバ S D 1 ~ S D n 間で信号を送受信する回路である。通信部 5 には、バッファ M から読みだした映像信号と、タイミングコントローラ 3 から供給された垂直同期信号、水平同期信号と、クロック信号と、が入力される。

【 0 0 3 0 】

バッファ M は、例えば R A M（Random Access Memory）であり、少なくとも 2 4 ビットの映像信号データを 1 ライン分格納することが可能なラインバッファである。上記のように、レシーバ 2 で変換された映像信号（T T L 信号）を、バッファ M に格納した後に、通信部 5 へ送信することにより、複数のソースドライバ S D 1 ~ S D n へ映像信号が供給される際に遅延が生じることを回避することができる。

40

【 0 0 3 1 】

ソースドライバ S D 1 ~ S D n の通信部 5 間には、例えば、2 4 ビットの映像信号と、垂直同期信号と、水平同期信号と、クロック信号と、を通信するための 2 8 本の配線が延びている。ソースドライバ S D 1 ~ S D n の通信部 5 間に延びる配線は、ソースドライバ S D 1 ~ S D n が形成されたパネル上に形成された金属配線または I T O 配線により形成されている。

50

【 0 0 3 2 】

ソースドライバSD2～SDnは、マスタードライバ(ソースドライバSD1)の近傍(上流側)から離れる方向(下流側)に向かって、順次並んで配置している。すなわち、ソースドライバSD2がソースドライバSD1の最も近く(上流側)に配置され、ソースドライバSD3、SD4、SD5...が下流側に向かって順次並んで配置している。

【 0 0 3 3 】

ソースドライバSD2～SDnは、同じ構成である。ソースドライバSD2～SDnは、通信部5を2つ備え、レシーバ2と、バッファMとを備えていない点で、上述のソースドライバSD1と構成が異なっている。すなわち、本実施形態では、回路基板10およびフレキシブル基板20を介してLVDS信号を受信するのは、マスタードライバであるソースドライバSD1のみである。

10

【 0 0 3 4 】

ソースドライバSD2～SDnは、マスタードライバSD1を介して例えばTTL信号である映像信号を受信する。ソースドライバSD2～SDnの一方の通信部5は、上流側において隣り合うソースドライバの通信部5と通信ラインにより接続している。一方の通信部5は、上流側のソースドライバから受信した垂直同期信号、水平同期信号およびクロック信号などの同期信号に従って、24ビットの映像信号を受信する。

【 0 0 3 5 】

他方の通信部5は下流側において隣り合うソースドライバの通信部5と通信ラインにより接続している。他方の通信部5には、一方の通信部5から24ビットの映像信号と同期信号(例えばTTL信号であって、LVDS信号、MIDDSI規格に基づく信号、DisplayPort規格に基づく信号、eDP規格に基づく信号、および、HDMI規格に基づく信号など他の通信規格に基づく信号であってもよい。)とが供給される。また、最も下流側に配置されたソースドライバSDnは、一方の通信部5により映像信号、垂直同期信号、水平同期信号およびクロック信号を受信し、他方の通信部5へ映像信号を出力しなくても構わない。

20

【 0 0 3 6 】

回路基板10には、電源供給ラインW1と、垂直同期信号、水平同期信号、およびクロック信号などを供給するTTL信号供給ラインW2と、LVDS信号供給ライン(駆動信号供給ライン)W3と、を含む各種配線が互いに絶縁された状態で配置されている。

30

【 0 0 3 7 】

電源供給ラインW1およびレジスタ設定信号、MODE信号等の供給ラインW2は、回路基板10上において、水平方向(走査線GLが延びた方向)と略平行な方向に延びて配置されている。電源供給ラインW1には、ソースドライバSD1～SDnの電源チャージポンプ回路1および電源回路4から、フレキシブル基板20を介して配線が延びて電氣的に接続している。レジスタ設定信号、MODE信号等のTTL信号供給ラインW2には、ソースドライバSD1～SDnのタイミングコントローラ3から配線が延びて電氣的に接続している。

【 0 0 3 8 】

上記のように、電源供給ラインW1およびTTL信号供給ラインW2は、複数のソースドライバSD1～SDnへ信号を供給する配線であって、複数のソースドライバSD1～SDnが並んだ位置に対応して、回路基板10の水平方向の一端から他端に渡って延びて配置されている。

40

【 0 0 3 9 】

また、LVDS信号供給ラインW3の一端は、垂直方向(信号線SLが延びた方向)と略平行に延び、フレキシブル基板20を介して、ソースドライバSD1のレシーバ2と電氣的に接続している。また、LVDS信号供給ラインW3には、回路基板10上において、抵抗器Rが挿入されている。LVDS信号供給ラインW3の他端は、回路基板10の外側において、映像信号の供給源であるトランシーバTRと電氣的に接続している。

【 0 0 4 0 】

50

上記のように、本実施形態の表示装置では、外部から供給されたLVDS信号である映像信号と同期信号とを、回路基板10からマスタードライバであるソースドライバSD1のみに供給している。したがって、LVDS信号供給ラインW3は、回路基板10において電源供給ラインW1と1ヶ所で交差するのみとすることができる。

【0041】

[比較例]

以下に、比較例の表示装置をについて図面を参照して説明する。

図3は、比較例の表示装置におけるソースドライバ、回路基板およびフレキシブル基板の一構成例を概略的に示す図である。なお、以下の説明において、上述の実施形態と同様の構成については、同一の符号を付して説明を省略する。

10

【0042】

この例では、回路基板10に配置されたLVDS信号供給ラインW3から、複数のソースドライバSD1～SDnの夫々に、映像信号が供給されているマルチドロップ構成が採用されている。すなわち、全てのソースドライバSD1～SDnがレシーバ2を備え、ソースドライバSD1～SDnの夫々においてLVDS信号である映像信号を24ビットの階調信号に変換して、垂直同期信号水平同期信号に従って、対応する信号線SLへ映像信号を出力している。

【0043】

この例では、ソースドライバSD1～SDnの通信部5間では、映像信号を供給する必要がなくなる。通信部5は、タイミングコントローラ3から供給される垂直同期信号、水平同期信号およびクロック信号を含む制御信号を上流側から下流側へ送信している。このことにより、複数のソースドライバSD1～SDnは、互いに動作を同期させることができる。

20

【0044】

回路基板10には、電源供給ラインW1と、TTL信号供給ラインW2と、LVDS信号供給ラインW3と、を含む各種配線が互いに絶縁された状態で配置されている。TTL信号供給ラインW2は、ソースドライバおよびゲートドライバのレジスタ設定を行う3線(または4線)シリアルインターフェース(SPI)への信号や、ソースドライバおよびゲートドライバの各MODE端子への信号を供給する配線である。

【0045】

電源供給ラインW1と、TTL信号供給ラインW2と、LVDS信号供給ラインW3とは、回路基板10上において、水平方向に延びて配置されている。電源供給ラインW1には、ソースドライバSD1～SDnの電源チャージポンプ回路1および電源回路4から、フレキシブル基板20を介して配線が延びて電氣的に接続している。TTL信号供給ラインW2には、ソースドライバSD1～SDnのタイミングコントローラ3から配線が延びて電氣的に接続している。LVDS信号供給ラインW3には、ソースドライバSD1～SDnのレシーバ2から、フレキシブル基板20を介して配線が延びて電氣的に接続している。

30

【0046】

上記のように、この例では、電源供給ラインW1、TTL信号供給ラインW2およびLVDS信号供給ラインW3は、複数のソースドライバSD1～SDnへ信号を供給する配線であって、複数のソースドライバSD1～SDnが並んだ位置に対応して、回路基板10の水平方向の一端から他端に渡って延びて配置されている。

40

【0047】

なお、LVDS信号を送信する配線をマルチドロップ構成とする場合には、スタブ長を極力短くすることが望ましい。このことから、LVDS信号供給ラインW3は、電源供給ラインW1およびTTL信号供給ラインW2よりもフレキシブル基板20側に配置されることが望ましい。LVDS信号供給ラインW3をフレキシブル基板20の近傍に配置した場合、複数のソースドライバSD1～SDnの電源チャージポンプ回路1、タイミングコントローラ3および電源回路4から、電源供給ラインW1およびTTL信号供給ラインW

50

2に延びた配線は、LVDS信号供給ラインW3と交差して配置されることとなる。図3に示す構成では、LVDS信号供給ラインW3は、少なくとも3(n-1)箇所において、電源信号あるいはTTL信号を供給する配線と絶縁層を介して交差することとなる。

【0048】

これに対し、上述の実施形態の表示装置では、LVDS信号供給ラインをマルチドロップ構成とすることなく、マスタードライバであるソースドライバSD1のみがLVDS信号を受信するレシーバ2を備えた構成となっている。このことにより、本実施形態の表示装置では、回路基板10上のフレキシブル基板20近傍において、LVDS信号供給ラインW3を水平方向に渡って配置する必要がなくなり、LVDS信号供給ラインW3と電源信号あるいはTTL信号を供給する配線とが絶縁層を介して交差する箇所を最小限とすることができる。その結果、LVDS信号である映像信号や同期信号にクロストークなどによるノイズが生じることを回避することができ、表示領域DYPに表示される映像の表示品質を安定させることができる。

10

【0049】

すなわち、本発明の実施形態によれば、安定した表示品質の表示装置を提供することができる。

なお、上述の実施形態では、複数のソースドライバSD1~SDn間で、TTL信号(24ビットの階調信号)の映像信号を通信していたが、通信部5間でLVDS信号である映像信号を通信するように構成されても構わない。その場合には、スレーブドライバであるソースドライバSD2~SDnは、LVDS信号である映像信号をTTL信号である映像信号に変換する変換手段を更に備え、ソースドライバSD1~SDnは、変換手段により変換された映像信号を夫々対応する信号線SLへ出力する。

20

【0050】

また、上述の実施形態では、LVDS信号供給ラインW3に、回路基板10上において抵抗器Rが挿入されていたが、抵抗器Rは、ソースドライバSD1内に搭載されていても構わない。上述の実施形態では、LVDS信号供給ラインはマルチドロップ形式を採用していないため、終端抵抗はレシーバから離れた位置に配置されてもインピーダンスの整合をとることが比較的容易である。一方で、ソースドライバSD1内に抵抗器Rを搭載すると、レシーバの近傍に終端抵抗を配置することが可能となるが、ドライバチップにより抵抗値にバラツキが生じることがある。したがって、表示装置の設計に応じて、抵抗器Rの搭載位置は適切に選択すべきである。

30

【0051】

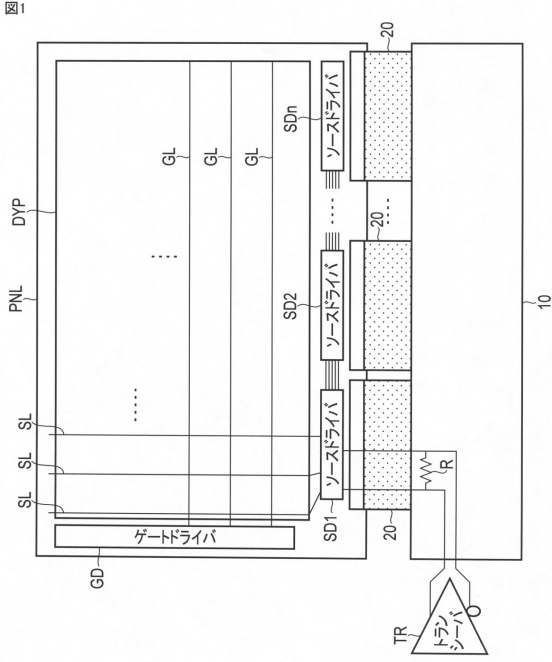
また、上述の実施形態では、LVDS信号として映像信号を回路基板から液晶表示パネルPNLへ供給する例について説明したが、LVDS信号は映像信号に限定されるものではない。映像信号以外の他の信号をLVDSおよび他の通信規格に基づいて通信する際にも、上述の実施形態と同様に、回路基板からマルチチップの1つへフレキシブル基板を介してLVDS信号を通信し、1つのチップから他の複数のチップへ順次通信することにより、上述の実施形態と同様の効果を得ることができる。

【0052】

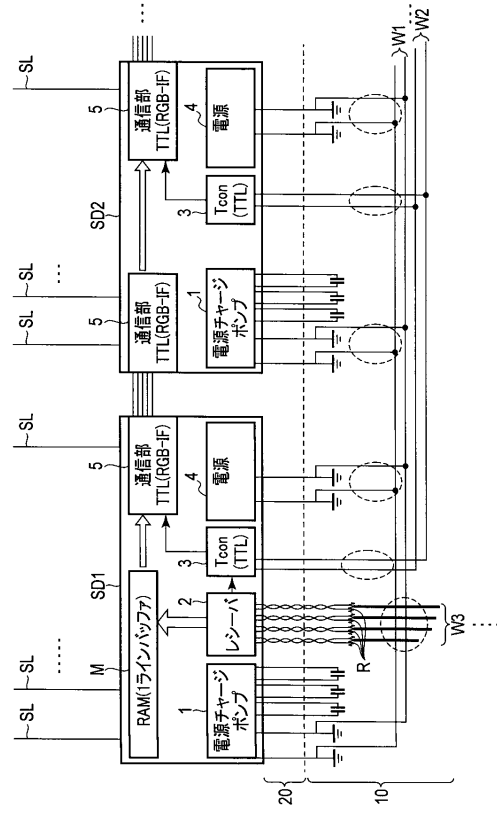
本発明は、上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲内で、構成要素を変形して具体化することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、1つの実施形態に開示される複数の構成要素の適宜な組み合わせ、若しくは異なる実施形態に開示される構成要素の適宜な組み合わせにより種々の発明を構成することができる。例えば、実施形態に開示される全構成要素から幾つかの構成要素が削除されても、発明が解決しようとする課題が解決でき、発明の効果が得られる場合には、これらの構成要素が削除された実施形態が発明として抽出されうる。

40

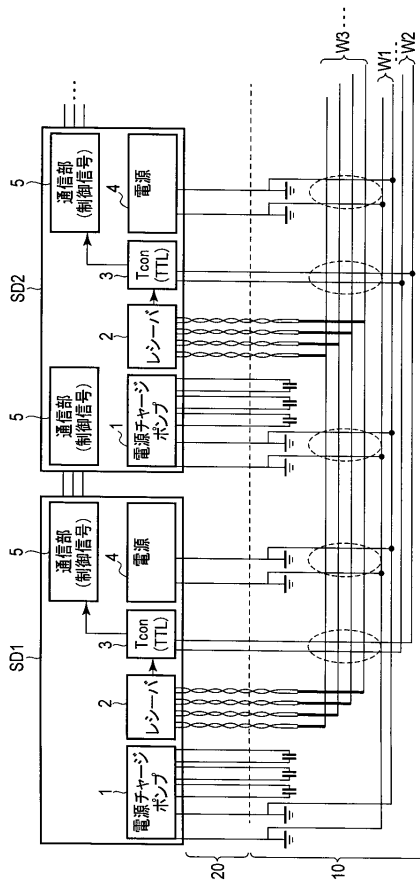
【図1】



【図2】



【図3】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 1 D
G 0 9 F 9/30 3 3 8

(72)発明者 上岡 政博
東京都日野市旭が丘 2 - 8 - 7 株式会社オルタステクノロジー内

審査官 西島 篤宏

(56)参考文献 特開 2 0 0 6 - 3 5 0 3 4 1 (J P , A)
特開 2 0 0 6 - 0 3 0 9 4 9 (J P , A)
米国特許出願公開第 2 0 1 0 / 0 2 8 9 8 3 9 (U S , A 1)
特開 2 0 0 8 - 1 8 0 8 1 6 (J P , A)
特開 2 0 0 4 - 3 5 4 5 6 7 (J P , A)
特開 2 0 1 4 - 1 9 1 0 2 0 (J P , A)
特開 2 0 1 1 - 2 2 3 0 0 5 (J P , A)
米国特許出願公開第 2 0 1 0 / 0 2 7 7 4 5 8 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 9 F 9 / 3 0