



(12)发明专利申请

(10)申请公布号 CN 109509783 A

(43)申请公布日 2019.03.22

(21)申请号 201810181613.8

(22)申请日 2018.03.06

(30)优先权数据

2017-178413 2017.09.15 JP

(71)申请人 株式会社东芝

地址 日本东京都

申请人 东芝电子元件及存储装置株式会社

(72)发明人 小野升太郎 大田浩史 一条尚生

山下浩明

(74)专利代理机构 永新专利商标代理有限公司

72002

代理人 牛玉婷

(51)Int.Cl.

H01L 29/06(2006.01)

H01L 29/78(2006.01)

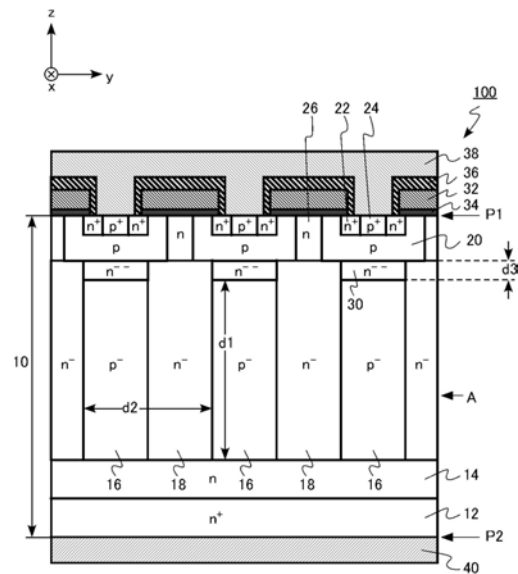
权利要求书2页 说明书12页 附图14页

(54)发明名称

半导体装置

(57)摘要

本发明提供一种能够抑制开关动作时的噪声的半导体装置。该半导体装置具备：具有第1面与第2面的半导体层、半导体层之中的第1导电型的第1半导体区域、第1半导体区域与第1面之间的第2导电型的多个第2半导体区域、设于第1半导体区域与第1面之间并设于多个第2半导体区域之间的第1导电型的多个第3半导体区域、设于第2半导体区域与第1面之间且第2导电型杂质浓度高于第2半导体区域的第4半导体区域、第4半导体区域与第1面之间的第1导电型的第5半导体区域、设于第2半导体区域与第4半导体区域之间且每单位深度的电阻比第2半导体区域的每单位深度的电阻高的第6半导体区域、栅极电极、及第4半导体区域与栅极电极之间的栅极绝缘膜。



1. 一种半导体装置,具备:
 - 半导体层,具有第1面与第2面;
 - 第1导电型的第1半导体区域,设于上述半导体层之中;
 - 第2导电型的多个第2半导体区域,设于上述第1半导体区域与上述第1面之间;
 - 第1导电型的多个第3半导体区域,设于上述第1半导体区域与上述第1面之间,并设于多个上述第2半导体区域之间;
 - 第4半导体区域,设于上述第2半导体区域与上述第1面之间,至少一部分与上述第1面接触地设置,该第4半导体区域的第2导电型杂质浓度比上述第2半导体区域高;
 - 第1导电型的第5半导体区域,设于上述第4半导体区域与上述第1面之间;
 - 第6半导体区域,设于上述第2半导体区域与上述第4半导体区域之间,每单位深度的电阻比上述第2半导体区域的每单位深度的电阻高;
 - 栅极电极;以及
 - 栅极绝缘膜,设于上述第4半导体区域的上述至少一部分与上述栅极电极之间。
2. 如权利要求1所述的半导体装置,其中,
 - 上述第6半导体区域是第1导电型,上述第6半导体区域的第1导电型杂质浓度比上述第3半导体区域的第1导电型杂质浓度低。
3. 如权利要求1所述的半导体装置,其中,
 - 上述第6半导体区域是第2导电型,上述第6半导体区域的第2导电型杂质浓度比上述第2半导体区域的第2导电型杂质浓度低。
4. 如权利要求1所述的半导体装置,其中,
 - 上述第6半导体区域是第2导电型,上述第6半导体区域的宽度比上述第2半导体区域的宽度窄。
5. 如权利要求1~4中任一项所述的半导体装置,其中,
 - 从上述第2半导体区域的上述第1面侧的端部至上述第2半导体区域的上述第2面侧的端部的距离为20 μm 以上。
6. 如权利要求1~4中任一项所述的半导体装置,其中,
 - 上述第2半导体区域的深度方向的第2导电型杂质浓度大致恒定。
7. 如权利要求1~4中任一项所述的半导体装置,其中,
 - 上述第2半导体区域的第2导电型杂质浓度从上述第1面侧的端部朝向上述第2面侧的端部单调地降低。
8. 如权利要求1所述的半导体装置,其中,
 - 还具备第7半导体区域,该第7半导体区域设于上述第6半导体区域与上述第4半导体区域之间,该第7半导体区域的第2导电型杂质浓度低于上述第4半导体区域,
 - 上述第6半导体区域的每单位深度的电阻比上述第7半导体区域的每单位深度的电阻高。
9. 如权利要求8所述的半导体装置,其中,
 - 上述第6半导体区域是第1导电型,上述第6半导体区域的第1导电型杂质浓度比上述第3半导体区域的第1导电型杂质浓度低。
10. 如权利要求8所述的半导体装置,其中,

上述第6半导体区域是第2导电型,上述第6半导体区域的第2导电型杂质浓度比上述第7半导体区域的第2导电型杂质浓度低。

11. 如权利要求8所述的半导体装置,其中,

上述第6半导体区域是第2导电型,上述第6半导体区域的宽度比上述第2半导体区域的宽度以及上述第7半导体区域的宽度窄。

12. 如权利要求8~11中任一项所述的半导体装置,其中,

从上述第7半导体区域的上述第1面侧的端部至上述第2半导体区域的上述第2面侧的端部的距离为20 μm 以上。

半导体装置

[0001] 相关申请

[0002] 本申请享受以日本专利申请2017-178413号(申请日:2017年9月15日)为基础申请的优先权,本申请通过参照该基础申请而包含基础申请的全部内容。

技术领域

[0003] 本发明的实施方式涉及半导体装置。

背景技术

[0004] 作为兼备高耐压与低导通电阻的半导体装置,存在具备在半导体层之中交替地排列有n型区域与p型区域的超结构造(以下也称为“SJ构造”)的MOSFET(Metal Oxide Semiconductor Field Effect Transistor)。在SJ构造中,通过使n型区域所含的n型杂质量与p型区域所含的p型杂质量相等,从而虚拟地制作出非掺杂区域,实现高耐压。同时,由于能够提高n型区域的杂质浓度,因此能够实现低导通电阻。

[0005] 但是,在SJ构造的MOSFET中,存在开关动作时的噪声增大的隐患。在MOSFET的关断时,n型区域与p型区域急剧耗尽,使得漏极·源极间电容(C_{ds})以及栅极·漏极间电容(C_{gd})急剧降低。因此,漏极电压的时间变化量(dv/dt)以及漏极电流的时间变化量(di/dt)变大。其结果,产生基于寄生电感的反电动势、以及基于寄生电容的位移电流,开关动作时的噪声增大。

[0006] 若开关动作时的噪声增大,则担心给周围的电子设备、人体带来负面影响。因此,要求抑制SJ构造的MOSFET的开关动作时的噪声。

发明内容

[0007] 本发明提供一种能够抑制开关动作时的噪声的半导体装置。

[0008] 一个实施方式的半导体装置具备:半导体层,具有第1面与第2面;第1导电型的第1半导体区域,设于上述半导体层之中;第2导电型的多个第2半导体区域,设于上述第1半导体区域与上述第1面之间;第1导电型的多个第3半导体区域,设于上述第1半导体区域与上述第1面之间,并设于多个上述第2半导体区域之间;第4半导体区域,设于上述第2半导体区域与上述第1面之间,至少一部分与上述第1面接触地设置,该第4半导体区域的第2导电型杂质浓度比上述第2半导体区域高;第1导电型的第5半导体区域,设于上述第4半导体区域与上述第1面之间;第6半导体区域,设于上述第2半导体区域与上述第4半导体区域之间,每单位深度的电阻比上述第2半导体区域的每单位深度的电阻高;栅极电极;以及栅极绝缘膜,设于上述第4半导体区域的上述至少一部分与上述栅极电极之间。

附图说明

[0009] 图1是第1实施方式的半导体装置的示意剖面图。

[0010] 图2是第1实施方式的半导体装置的示意俯视图。

- [0011] 图3是表示第1实施方式的半导体装置的p型杂质浓度的分布的示意图。
- [0012] 图4是比较例的半导体装置的示意剖面图。
- [0013] 图5是第1实施方式的半导体装置的课题的说明图。
- [0014] 图6是第1实施方式的半导体装置的作用以及效果的说明图。
- [0015] 图7是第1实施方式的半导体装置的作用以及效果的说明图。
- [0016] 图8是第2实施方式的半导体装置的示意剖面图。
- [0017] 图9是第3实施方式的半导体装置的示意剖面图。
- [0018] 图10是第4实施方式的半导体装置的示意剖面图。
- [0019] 图11是第5实施方式的半导体装置的示意剖面图。
- [0020] 图12是第6实施方式的半导体装置的示意剖面图。
- [0021] 图13是第7实施方式的半导体装置的示意剖面图。
- [0022] 图14是第8实施方式的半导体装置的示意剖面图。

具体实施方式

[0023] 以下,参照附图对本发明的实施方式进行说明。此外,在以下的说明中,对相同或者类似的部件等标注相同的附图标记,并对已说明过一次的部件等适当地省略其说明。

[0024] 另外,以下的说明中,有时用 n^+ 、 n 、 n^- 、 n^{-} 以及 p^+ 、 p 、 p^- 、 p^{-} 的表述来表示各导电型中的杂质浓度的相对高低。即, n^+ 表示与 n 相比n型杂质浓度相对较高, n^- 表示与 n 相比n型杂质浓度相对较低, n^{-} 表示与 n^- 相比n型杂质浓度相对较低。另外, p^+ 表示与 p 相比p型杂质浓度相对较高, p^- 表示与 p 相比p型杂质浓度相对较低, p^{-} 表示与 p^- 相比p型杂质浓度相对较低。此外,有时也将 n^+ 型、 n^- 型、 n^{-} 简记为n型,将 p^+ 型、 p^- 型、 p^{-} 简记为p型。

[0025] 在本说明书中,p型杂质浓度指的是实质(net,净含量)的p型杂质浓度。实质的p型杂质浓度指的是从半导体区域的实际的p型杂质浓度中减去实际的n型杂质浓度而得的浓度。同样,本说明书中,n型杂质浓度指的是实质(net,净含量)的n型杂质浓度。实质的n型杂质浓度指的是从半导体区域的实际的n型杂质浓度中减去实际的p型杂质浓度而得的浓度。

[0026] (第1实施方式)

[0027] 第1实施方式的半导体装置具备:半导体层,具有第1面与第2面;第1导电型的第1半导体区域,设于半导体层之中;第2导电型的多个第2半导体区域,设于第1半导体区域与第1面之间;第1导电型的多个第3半导体区域,设于第1半导体区域与第1面之间,并设于多个第2半导体区域之间;第4半导体区域,设于第2半导体区域与第1面之间,至少一部分与第1面接触地设置,该第4半导体区域的第2导电型杂质浓度比第2半导体区域高;第1导电型的第5半导体区域,设于第4半导体区域与第1面之间;第6半导体区域,设于第2半导体区域与第4半导体区域之间,每单位深度的电阻比第2半导体区域的每单位深度的电阻高;栅极电极;以及栅极绝缘膜,设于第4半导体区域的至少一部分与栅极电极之间。

[0028] 图1是第1实施方式的半导体装置的示意剖面图。图2是第1实施方式的半导体装置的示意俯视图。图2是与xy平面平行的面的剖面图。图2(a)示出半导体装置的上表面(图1中的P1)的位置处的半导体区域的图案。图2(b)示出半导体装置的图1中的A的位置处的半导体区域的图案。

[0029] 第1实施方式的半导体装置是具有SJ构造的纵型的MOSFET100。MOSFET100是在半

导体层的表面具有MOS构造的平面栅型的MOSFET。MOSFET100例如是具备250V以上的耐压的高耐压MOSFET。

[0030] MOSFET100是以电子为载流子的n型MOSFET。在第1实施方式中,第1导电型为n型,第2导电型为p型。

[0031] MOSFET100具备半导体层10、n⁺型的漏极区域12(第1半导体区域)、n型的缓冲区域14、p⁻型的p柱区域16(第2半导体区域)、n⁻型的n柱区域18(第3半导体区域)、p型的基底区域20(第4半导体区域)、n⁺型的源极区域22(第5半导体区域)、p⁺型的接触区域24、n型的JFET区域26、n⁻型的高电阻区域30(第6半导体区域)、栅极电极32、栅极绝缘膜34、层间绝缘膜36、源极电极38、漏极电极40。

[0032] 半导体层10具备第1面(图1中的P1)和与第1面对置的第2面(图1中的P2)。在图1中,第1面指的是图的上侧的面,第2面指的是图的下侧的面。

[0033] 半导体层10例如是单晶硅。

[0034] n⁺型的漏极区域12设于半导体层10之中。漏极区域12与半导体层10的第2面接触地设置。

[0035] 漏极区域12含有n型杂质。n型杂质例如是磷(P)。n型杂质浓度例如是 $1 \times 10^{18} \text{cm}^{-3}$ 以上且 $1 \times 10^{21} \text{cm}^{-3}$ 以下。

[0036] 漏极区域12与漏极电极40电连接。漏极区域12具有减少半导体层10与漏极电极40之间的接触电阻的功能。

[0037] n型的缓冲区域14设于半导体层10之中。缓冲区域14设于漏极区域12之上。

[0038] 缓冲区域14含有n型杂质。n型杂质例如是磷(P)。

[0039] 缓冲区域14的n型杂质浓度比漏极区域12的n型杂质浓度低。n型杂质浓度例如是 $1 \times 10^{15} \text{cm}^{-3}$ 以上且 $1 \times 10^{17} \text{cm}^{-3}$ 以下。

[0040] 缓冲区域14具有抑制在MOSFET100的断开动作时延展的耗尽层的功能。

[0041] p⁻型的多个p柱区域16设于漏极区域12与第1面之间。p柱区域16设于缓冲区域14之上。

[0042] p柱区域16如图2(b)所示那样沿x方向延伸。p柱区域16具有与xz平面平行的平板状的形状。从p柱区域16的第1面侧的端部至p柱区域16的第2面侧的端部的距离(图1中的d1)例如为20 μm 以上。

[0043] p柱区域16含有p型杂质。p型杂质例如是硼(B)。p型杂质浓度例如是 $1 \times 10^{15} \text{cm}^{-3}$ 以上且 $8 \times 10^{16} \text{cm}^{-3}$ 以下。

[0044] 图3是表示第1实施方式的半导体装置的p型杂质浓度的分布的示意图。图3示出p柱区域16的深度方向(z方向)的p型杂质浓度的分布。如图3所示,p柱区域16的深度方向的p型杂质浓度大致恒定。

[0045] n⁻型的多个n柱区域18设于漏极区域12与第1面之间。n柱区域18设于缓冲区域14之上。n柱区域18设于p柱区域16之间。

[0046] n柱区域18如图2(b)所示那样沿x方向延伸。n柱区域18具有与xz平面平行的平板状的形状。

[0047] n柱区域18含有n型杂质。n型杂质例如是磷(P)。

[0048] n柱区域18的n型杂质浓度例如是 $1 \times 10^{15} \text{cm}^{-3}$ 以上且 $8 \times 10^{16} \text{cm}^{-3}$ 以下。n柱区域18

的n型杂质浓度在深度方向上大致恒定。

[0049] n柱区域18在MOSFET100的导通动作时作为电流路径发挥功能。

[0050] p柱区域16与n柱区域18沿y方向交替地配置。p柱区域16与n柱区域18形成SJ构造。利用SJ构造，MOSFET100的耐压的提高，以及导通电阻减少。p柱区域16与n柱区域18的y方向的配置间距(图1中的d2)例如为4 μm 以上且20 μm 以下。

[0051] p型的基底区域20设于p柱区域16与第1面之间。基底区域20的至少一部分与第1面相接。基底区域20沿x方向延伸。

[0052] 基底区域20含有p型杂质。p型杂质例如是硼(B)。基底区域20的p型杂质浓度比p柱区域16的p型杂质浓度高。p型杂质浓度例如是 $5 \times 10^{16} \text{cm}^{-3}$ 以上且 $5 \times 10^{18} \text{cm}^{-3}$ 以下。

[0053] 在MOSFET100的导通动作时，在基底区域20的栅极电极32正下方的区域形成反型层。反型层作为MOSFET100的沟道发挥功能。

[0054] n⁺型的源极区域22设于基底区域20与第1面之间。源极区域22沿x方向延伸。源极区域22含有n型杂质。n型杂质例如是磷(P)。n型杂质浓度例如是 $1 \times 10^{18} \text{cm}^{-3}$ 以上且 $1 \times 10^{22} \text{cm}^{-3}$ 以下。

[0055] 源极区域22与源极电极38电连接。

[0056] p⁺型的接触区域24设于基底区域20与第1面之间。接触区域24与源极区域22邻接地设置。接触区域24沿x方向延伸。

[0057] 接触区域24含有p型杂质。p型杂质例如是硼(B)。p型杂质浓度例如是 $1 \times 10^{18} \text{cm}^{-3}$ 以上且 $1 \times 10^{22} \text{cm}^{-3}$ 以下。

[0058] 接触区域24与源极电极38电连接。接触区域24具有减少半导体层10与源极电极38之间的接触电阻的功能。

[0059] n型的JFET区域26设于n柱区域18与第1面之间。JFET区域26的至少一部分与第1面相接。JFET区域26夹在基底区域20之间。

[0060] JFET区域26含有n型杂质。n型杂质例如是磷(P)。JFET区域26的n型杂质浓度比n柱区域18的n型杂质浓度更高。n型杂质浓度例如是 $1 \times 10^{15} \text{cm}^{-3}$ 以上且 $5 \times 10^{17} \text{cm}^{-3}$ 以下。

[0061] JFET区域26在MOSFET100的导通动作时作为电流路径发挥功能。

[0062] n⁻型的高电阻区域30设于p柱区域16与基底区域20之间。高电阻区域30的每单位深度的电阻比p柱区域16的每单位深度的电阻高。单位深度指的是从第1面朝向第2面的方向、即图1的z方向的规定的距离。

[0063] 高电阻区域30含有n型杂质。n型杂质例如是磷(P)。n型杂质浓度例如是 $1 \times 10^{15} \text{cm}^{-3}$ 以下。

[0064] 高电阻区域30的n型杂质浓度比n柱区域18的n型杂质浓度低。高电阻区域30的深度方向(z方向的)的长度(图1中的d3)例如是从p柱区域16的第1面侧的端部至p柱区域16的第2面侧的端部的距离(图1中的d1)的十分之一以下。

[0065] 栅极电极32设于半导体层10的第1面之上。栅极电极32是导电层。栅极电极32沿x方向延伸。栅极电极32例如是含有n型杂质或者p型杂质的多晶硅。

[0066] 栅极绝缘膜34设于栅极电极32与半导体层10之间。栅极绝缘膜34设于栅极电极32和基底区域20与第1面相接的部分之间。栅极绝缘膜34例如是氧化硅。

[0067] 层间绝缘膜36设于栅极电极32之上。层间绝缘膜36例如是氧化硅。

[0068] 源极电极38与半导体层10的第1面相接。在设于层间绝缘膜36的开口部,源极电极38与第1面相接。源极电极38与源极区域22以及接触区域24相接。源极电极38与源极区域22以及接触区域24之间的接触是欧姆接触。

[0069] 源极电极38是金属。源极电极38是例如钛(Ti)、钨(W)与铝(Al)的层叠膜。

[0070] 漏极电极40与半导体层10的第2面相接。漏极电极40与漏极区域12相接。漏极电极40与漏极区域12之间的接触是欧姆接触。

[0071] 半导体区域中的杂质浓度以及杂质浓度的分布例如能够使用二次离子质量分析法(Secondary Ion Mass Spectroscopy:SIMS)求出。

[0072] 半导体区域中的杂质浓度的分布以及杂质浓度的大小关系例如也能够使用扫描式静电电容显微镜法(Scanning Capacitance Microscopy:SCM)求出。

[0073] 此外,在比较半导体区域之间的杂质浓度的大小的情况下,例如将各个半导体区域的中央附近的杂质浓度视作该半导体区域的杂质浓度而比较。

[0074] 半导体区域的深度、宽度等距离例如能够由SIMS求出。此外,半导体区域的深度、宽度等距离例如能够根据SCM像与AFM(Atomic Force Microscope)像的合成图像求出。

[0075] 关于高电阻区域30的每单位深度的电阻与p柱区域16的每单位深度的电阻的大小关系的判定,例如能够使用扫描扩展电阻显微镜法(Scanning Spreading Resistance Microscopy:SSRM)二维地测量电阻的分布。另外,能够使用SCM二维地测量非杂质浓度的分布。

[0076] 此外,第1实施方式的SJ构造例如能够通过为了形成p柱区域而用p型半导体埋入形成于半导体层10的n型半导体区域的沟槽内、的所谓的单晶外延(Single epitaxial)法来形成。另外,SJ构造例如也能够通过重复多次进行n型的外延层的形成与p型杂质的离子注入的、所谓的多晶外延(multi epitaxial)法来形成。

[0077] n⁻型的高电阻区域30例如能够通过通过在SJ构造的形成后向p柱区域16与基底区域20之间的区域离子注入n型杂质来形成。通过离子注入n型杂质,使得p柱区域16的p型杂质得到补偿,转换为n型。

[0078] 接下来,对第1实施方式的半导体装置的作用以及效果进行说明。

[0079] 在开关电源等的电源电路所使用的MOSFET中,出于电源电路的小型化的要求,谋求导通电阻的减少和开关速度的提高。通过使MOSFET的开关速度提高,能够缩小电源电路内的电感、电容等无源器件的尺寸,能够实现电源电路的小型化。

[0080] 但是,若加快MOSFET的开关速度,则担心开关动作时的噪声增大。特别是,在SJ构造的MOSFET中,在MOSFET的关断时,n型区域与p型区域急剧耗尽,使得漏极·源极间电容(C_{ds})以及栅极·漏极间电容(C_{gd})急剧降低。因此,漏极电压的时间变化量(dv/dt)以及漏极电流的时间变化量(di/dt)变大。其结果,产生基于寄生电感的反电动势、以及基于寄生电容的位移电流,开关动作时的噪声增大。

[0081] 图4是比较例的半导体装置的示意剖面图。比较例的半导体装置是具有SJ构造的纵型的MOSFET。比较例的MOSFET900除了不具备n⁻型的高电阻区域30这一点以外,与第1实施方式的MOSFET100相同。

[0082] 图5是第1实施方式的半导体装置的课题的说明图。图5(a)是比较例的MOSFET900的SJ构造的示意图,图5(b)是表示比较例的MOSFET900的漏极电压(V_{ds})与漏极·源极间电

容 (Cds) 的关系的图。

[0083] 为了减少MOSFET的导通电阻,考虑使SJ构造的间距细微化,减少每单位面积的导通电阻。例如,考虑从图5 (a) 的图案A变更为使SJ构造的间距为2分之1的图案B并使导通电阻减少的情况。图5 (a) 还将SJ构造的耗尽状况用虚线示意性地示出。

[0084] 若从图案A变更为细微化的图案B,则如图5 (b) 所示,相对于漏极电压 (Vds),漏极·源极间电容 (Cds) 急剧降低。这是因为,SJ构造的间距变小,使得SJ构造更加急剧地耗尽。因此,若使SJ构造的间距细微化,则更担心噪声的增大。

[0085] 图6是第1实施方式的半导体装置的作用以及效果的说明图。图6 (a) 是表示第1实施方式的MOSFET100与比较例的MOSFET900的、漏极电压 (Vds) 与漏极·源极间电容 (Cds) 的关系的模拟结果的图。图6 (b) 是表示第1实施方式的MOSFET100与比较例的MOSFET900的、漏极电压 (Vds) 与栅极·漏极间电容 (Cgd) 的关系的模拟结果的图。

[0086] 根据图6可知,在第1实施方式的MOSFET100的情况下,与比较例的MOSFET900相比,漏极·源极间电容 (Cds) 以及栅极·漏极间电容 (Cgd) 相对于漏极电压 (Vds) 的变化变得缓慢。认为这是因为通过设置n⁻型的高电阻区域30,使得MOSFET100的关断时的SJ构造的耗尽速度缓和。更具体而言,认为是因为n⁻型的高电阻区域30的存在而使关断时空穴从p柱区域16向源极电极38的抽出速度缓和。

[0087] 图7是第1实施方式的半导体装置的作用以及效果的说明图。图7是表示第1实施方式的MOSFET100与比较例的MOSFET900的、漏极电压的时间变化量 (dv/dt) 的模拟结果的图。

[0088] 根据图7可知,在第1实施方式的MOSFET100的情况下,与比较例的MOSFET900相比,漏极电压的时间变化量 (dv/dt) 减少。这是因为,如图6所示,在MOSFET100的情况下,漏极·源极间电容 (Cds) 以及栅极·漏极间电容 (Cgd) 相对于漏极电压 (Vds) 的变化变得缓慢。因此,根据第1实施方式的MOSFET100,能够抑制开关动作时的噪声。

[0089] 另外,根据图7可知,漏极电压的时间变化量 (dv/dt) 的外部栅极电阻依赖性变大。因此,在第1实施方式的MOSFET100中,通过调整外部栅极电阻,易于调整MOSFET100的开关速度的提高和噪声的抑制之间的平衡。

[0090] 根据第1实施方式的MOSFET100,能够抑制开关动作时的噪声,因此也能够容易实现因SJ构造的间距的缩小引起的每单位面积的导通电阻的减少。

[0091] 从p柱区域16的第1面侧的端部至p柱区域16的第2面侧的端部的距离(图1中的d1)取决于所希望的耐压。例如为了使耐压为250V以上,优选的是20 μ m以上,例如为了使耐压为600V以上,优选的是30 μ m以上。若低于上述范围,则担心不能实现希望的耐压。

[0092] p柱区域16与n柱区域18的y方向的配置间距(图1中的d2)优选的是4 μ m以上且20 μ m以下,更优选的是5 μ m以上且10 μ m以下。若低于上述范围,则担心不能实现希望的耐压。另外,若高于上述范围,则担心每单位面积的导通电阻增大。

[0093] 高电阻区域30的深度方向(z方向的)的长度(图1中的d3)优选的是,为从p柱区域16的第1面侧的端部至p柱区域16的第2面侧的端部的距离(图1中的d1)的10分之1以下。若高于上述范围,则担心SJ构造的充电平衡破坏,耐压降低。

[0094] 根据第1实施方式的MOSFET100,能够抑制开关动作时的噪声。另外,易于调整开关速度的提高与噪声的抑制之间的平衡。另外,容易实现因SJ构造的间距的缩小而引起的每单位面积的导通电阻的减少。

[0095] (第2实施方式)

[0096] 第2实施方式的半导体装置除了第6半导体区域是第2导电型、第6半导体区域的第2导电型杂质浓度比第2半导体区域的第2导电型杂质浓度低这一点以外,与第1实施方式相同。以下,对于与第1实施方式重复的内容,省略一部分叙述。

[0097] 图8是第2实施方式的半导体装置的示意剖面图。第2实施方式的半导体装置是具有SJ构造的纵型的MOSFET200。

[0098] MOSFET200具备半导体层10、n⁺型的漏极区域12(第1半导体区域)、n型的缓冲区域14、p⁻型的p柱区域16(第2半导体区域)、n⁻型的n柱区域18(第3半导体区域)、p型的基底区域20(第4半导体区域)、n⁺型的源极区域22(第5半导体区域)、p⁺型的接触区域24、n型的JFET区域26、p⁻型的高电阻区域30(第6半导体区域)、栅极电极32、栅极绝缘膜34、层间绝缘膜36、源极电极38、漏极电极40。

[0099] p⁻型的高电阻区域30设于p柱区域16与基底区域20之间。高电阻区域30的每单位深度的电阻比p柱区域16的每单位深度的电阻高。

[0100] 高电阻区域30含有p型杂质。p型杂质例如是硼(B)。p型杂质浓度例如是 $1 \times 10^{15} \text{cm}^{-3}$ 以下。

[0101] 高电阻区域30的p型杂质浓度比p柱区域16的p型杂质浓度低。

[0102] p⁻型的高电阻区域30例如能够在SJ构造的形成后向p柱区域16与基底区域20之间的区域离子注入n型杂质来形成。通过离子注入n型杂质,使得p柱区域16的p型杂质得到补偿,p型杂质浓度减少。

[0103] 根据第2实施方式的MOSFET200,与第1实施方式相同,能够抑制开关动作时的噪声。另外,易于调整开关速度的提高和噪声的抑制之间的平衡。另外,易于实现因SJ构造的间距的缩小而引起的每单位面积的导通电阻的减少。

[0104] (第3实施方式)

[0105] 第3实施方式的半导体装置除了第6半导体区域是第2导电型、第6半导体区域的宽度比第2半导体区域的宽度窄这一点以外,与第1实施方式相同。以下,对于与第1实施方式重复的内容,省略一部分叙述。

[0106] 图9是第3实施方式的半导体装置的示意剖面图。第3实施方式的半导体装置是具有SJ构造的纵型的MOSFET300。

[0107] MOSFET300具备半导体层10、n⁺型的漏极区域12(第1半导体区域)、n型的缓冲区域14、p⁻型的p柱区域16(第2半导体区域)、n⁻型的n柱区域18(第3半导体区域)、p型的基底区域20(第4半导体区域)、n⁺型的源极区域22(第5半导体区域)、p⁺型的接触区域24、n型的JFET区域26、p⁻型的高电阻区域30(第6半导体区域)、栅极电极32、栅极绝缘膜34、层间绝缘膜36、源极电极38、漏极电极40。

[0108] p⁻型的高电阻区域30设于p柱区域16与基底区域20之间。高电阻区域30的每单位深度的电阻比p柱区域16的每单位深度的电阻高。

[0109] 高电阻区域30的y方向的宽度(图9中的w1)比p柱区域16的y方向的宽度(图9中的w2)窄。例如,高电阻区域30的y方向的宽度(图9中的w1)是p柱区域16的y方向的宽度(图9中的w2)的2分之1以下。

[0110] 高电阻区域30含有p型杂质。p型杂质例如是硼(B)。

[0111] 高电阻区域30的p型杂质浓度例如与p柱区域16的p型杂质浓度大致相同。p型杂质浓度例如是 $5 \times 10^{14} \text{cm}^{-3}$ 以上且 $1 \times 10^{16} \text{cm}^{-3}$ 以下。

[0112] p⁻型的高电阻区域30例如能够在SJ构造的形成后向p柱区域16与基底区域20之间的区域的、未形成高电阻区域30的区域离子注入n型杂质而形成。通过离子注入n型杂质，p柱区域16的p型杂质得到补偿，高电阻区域30以外的区域被转换为n型。

[0113] 高电阻区域30的y方向的宽度(图9中的w1)优选的是，p柱区域16的y方向的宽度(图9中的w2)的2分之1以下。若高于上述范围，则担心开关动作时的噪声的抑制效果变得不充分。

[0114] 根据第3实施方式的MOSFET300，与第1实施方式相同，能够抑制开关动作时的噪声。另外，易于调整开关速度的提高和噪声的抑制之间的平衡。另外，易于实现因SJ构造的间距的缩小而引起的每单位面积的导通电阻的减少。

[0115] (第4实施方式)

[0116] 第4实施方式的半导体装置除了第2半导体区域的第2导电型杂质浓度从第1面侧的端部朝向第2面侧的端部单调地降低这一点以外，与第1实施方式相同。以下，对于与第1实施方式重复的内容，省略一部分叙述。

[0117] 图10是第4实施方式的半导体装置的示意剖面图。第4实施方式的半导体装置是具有SJ构造的纵型的MOSFET400。图10中也示出第4实施方式的半导体装置的p型杂质浓度的分布。

[0118] MOSFET400具备半导体层10、n⁺型的漏极区域12(第1半导体区域)、n型的缓冲区域14、p⁻型的p柱区域16(第2半导体区域)、n⁻型的n柱区域18(第3半导体区域)、p型的基底区域20(第4半导体区域)、n⁺型的源极区域22(第5半导体区域)、p⁺型的接触区域24、n型的JFET区域26、n⁻型的高电阻区域30(第6半导体区域)、栅极电极32、栅极绝缘膜34、层间绝缘膜36、源极电极38、漏极电极40。

[0119] 如图10所示，p柱区域16的p型杂质浓度从p柱区域16的第1面侧的端部朝向p柱区域16的第2面侧的端部单调地降低。

[0120] p柱区域16的p型杂质浓度的最大值例如是p柱区域16的p型杂质浓度的最小值的5倍以下。

[0121] MOSFET400的p⁻型的p柱区域16的p型杂质浓度的分布例如能够通过使以单晶外延法形成p柱区域16时的沟槽为正锥形状来形成。

[0122] 根据第4实施方式的MOSFET400，与第1实施方式相同，能够抑制开关动作时的噪声。另外，易于调整开关速度的提高和噪声的抑制之间的平衡。另外，易于实现因SJ构造的间距的缩小而引起的每单位面积的导通电阻的减少。

[0123] (第5实施方式)

[0124] 第5实施方式的半导体装置除了在n柱区域18与n型的JFET区域26之间还具备n⁺型的中间区域这一点以外，与第1实施方式相同。以下，对于与第1实施方式重复的内容，省略一部分叙述。

[0125] 图11是第5实施方式的半导体装置的示意剖面图。第5实施方式的半导体装置是具有SJ构造的纵型的MOSFET500。

[0126] MOSFET500具备半导体层10、n⁺型的漏极区域12(第1半导体区域)、n型的缓冲区域

14、p⁻型的p柱区域16(第2半导体区域)、n⁻型的n柱区域18(第3半导体区域)、p型的基底区域20(第4半导体区域)、n⁺型的源极区域22(第5半导体区域)、p⁺型的接触区域24、n型的JFET区域26、n⁻型的高电阻区域30(第6半导体区域)、n⁺型的中间区域31、栅极电极32、栅极绝缘膜34、层间绝缘膜36、源极电极38、漏极电极40。

[0127] n⁺型的中间区域31含有n型杂质。中间区域31的n型杂质浓度比n柱区域18的n型杂质浓度高。中间区域31的n型杂质浓度比JFET区域26的n型杂质浓度高。

[0128] n型杂质例如是磷(P)。n型杂质浓度例如是 $5 \times 10^{15} \text{cm}^{-3}$ 以上且 $5 \times 10^{17} \text{cm}^{-3}$ 以下。

[0129] 中间区域31在MOSFET500的导通动作时作为电流路径发挥功能。

[0130] n⁺型的中间区域31例如能够通过n柱区域18与JFET区域26之间也同时进行形成n⁻型的高电阻区域30时的n型杂质的离子注入来形成。

[0131] 根据第5实施方式的MOSFET500,与第1实施方式相同,能够抑制开关动作时的噪声。另外,易于调整开关速度的提高和噪声的抑制之间的平衡。另外,易于实现因SJ构造的间距的缩小而引起的每单位面积的导通电阻的减少。

[0132] (第6实施方式)

[0133] 第6实施方式的半导体装置在以下这点与第1实施方式不同,即:还具备设于第6半导体区域与第4半导体区域之间、且第2导电型杂质浓度低于第4半导体区域的第7半导体区域,第6半导体区域的每单位深度的电阻比第7半导体区域的每单位深度的电阻高。以下,对于与第1实施方式重复的内容,省略一部分叙述。

[0134] 图12是第6实施方式的半导体装置的示意剖面图。第6实施方式的半导体装置是具有SJ构造的纵型的MOSFET600。

[0135] MOSFET600具备半导体层10、n⁺型的漏极区域12(第1半导体区域)、n型的缓冲区域14、p⁻型的下部p柱区域16a(第2半导体区域)、p⁻型的上部p柱区域16b(第7半导体区域)、n⁻型的n柱区域18(第3半导体区域)、p型的基底区域20(第4半导体区域)、n⁺型的源极区域22(第5半导体区域)、p⁺型的接触区域24、n型的JFET区域26、n⁻型的高电阻区域30(第6半导体区域)、栅极电极32、栅极绝缘膜34、层间绝缘膜36、源极电极38、漏极电极40。

[0136] p⁻型的多个下部p柱区域16a设于漏极区域12与第1面之间。下部p柱区域16a设于缓冲区域14之上。下部p柱区域16a沿x方向延伸。下部p柱区域16a具有与xz平面平行的平板状的形状。

[0137] 下部p柱区域16a含有p型杂质。p型杂质例如是硼(B)。p型杂质浓度例如是 $1 \times 10^{15} \text{cm}^{-3}$ 以上且 $5 \times 10^{17} \text{cm}^{-3}$ 以下。

[0138] p⁻型的多个上部p柱区域16b设于漏极区域12与第1面之间。上部p柱区域16b设于n⁻型的高电阻区域30与p型的基底区域20之间。上部p柱区域16b沿x方向延伸。上部p柱区域16b具有与xz平面平行的平板状的形状。

[0139] 上部p柱区域16b含有p型杂质。p型杂质例如是硼(B)。

[0140] 上部p柱区域16b的p型杂质浓度比基底区域20的p型杂质浓度低。p型杂质浓度例如是 $1 \times 10^{15} \text{cm}^{-3}$ 以上且 $5 \times 10^{17} \text{cm}^{-3}$ 以下。

[0141] MOSFET600的柱区域由下部p柱区域16a与上部p柱区域16b构成。在下部p柱区域16a与上部p柱区域16b之间夹设有n⁻型的高电阻区域30。

[0142] 从上部p柱区域16b的第1面侧的端部至下部p柱区域16a的第2面侧的端部的距离

(图12中的d4)例如是20 μm 以上。

[0143] n^- 型的高电阻区域30的每单位深度的电阻比下部p柱区域16a以及上部p柱区域16b的每单位深度的电阻高。

[0144] 高电阻区域30含有n型杂质。n型杂质例如是磷(P)。n型杂质浓度例如是 $1 \times 10^{15} \text{cm}^{-3}$ 以下。

[0145] 高电阻区域30的n型杂质浓度比n柱区域18的n型杂质浓度低。

[0146] n^- 型的高电阻区域30例如能够通过以多晶外延法形成SJ构造时使对一部分的外延层离子注入的p型杂质质量减少来形成。

[0147] 根据第6实施方式的MOSFET600,与第1实施方式相同,能够抑制开关动作时的噪声。另外,易于调整开关速度的提高和噪声的抑制之间的平衡。另外,易于实现因SJ构造的间距的缩小而引起的每单位面积的导通电阻的减少。

[0148] (第7实施方式)

[0149] 第7实施方式的半导体装置除了第6半导体区域是第2导电型、第6半导体区域的第2导电型杂质浓度比第7半导体区域的第2导电型杂质浓度低这一点以外,与第6实施方式相同。以下,对于与第6实施方式重复的内容,省略一部分叙述。

[0150] 图13是第7实施方式的半导体装置的示意剖面图。第7实施方式的半导体装置是具有SJ构造的纵型的MOSFET700。

[0151] MOSFET700具备半导体层10、 n^+ 型的漏极区域12(第1半导体区域)、n型的缓冲区域14、 p^- 型的下部p柱区域16a(第2半导体区域)、 p^- 型的上部p柱区域16b(第7半导体区域)、 n^- 型的n柱区域18(第3半导体区域)、p型的基底区域20(第4半导体区域)、 n^+ 型的源极区域22(第5半导体区域)、 p^+ 型的接触区域24、n型的JFET区域26、 p^- 型的高电阻区域30(第6半导体区域)、栅极电极32、栅极绝缘膜34、层间绝缘膜36、源极电极38、漏极电极40。

[0152] MOSFET700的柱区域由下部p柱区域16a与上部p柱区域16b构成。在下部p柱区域16a与上部p柱区域16b之间夹设有 p^- 型的高电阻区域30。

[0153] p^- 型的高电阻区域30的每单位深度的电阻比下部p柱区域16a以及上部p柱区域16b的每单位深度的电阻高。

[0154] 高电阻区域30含有p型杂质。p型杂质例如是硼(B)。p型杂质浓度例如是 $1 \times 10^{15} \text{cm}^{-3}$ 以下。

[0155] 高电阻区域30的p型杂质浓度比下部p柱区域16a以及上部p柱区域16b的p型杂质浓度低。

[0156] p^- 型的高电阻区域30例如能够通过以多外延法形成SJ构造时使对一部分的外延层离子注入的p型杂质质量减少来形成。

[0157] 此外,多个高电阻区域30也能够设为夹在柱区域之间的构成。

[0158] 根据第7实施方式的MOSFET700,与第6实施方式相同,能够抑制开关动作时的噪声。另外,易于调整开关速度的提高和噪声的抑制之间的平衡。另外,易于实现因SJ构造的间距的缩小而引起的每单位面积的导通电阻的减少。

[0159] (第8实施方式)

[0160] 第8实施方式的半导体装置除了第6半导体区域是第2导电型、第6半导体区域的宽度比第2半导体区域的宽度以及第7半导体区域的宽度窄这一点以外,与第6实施方式相同。

以下,对于与第6实施方式重复的内容,省略一部分叙述。

[0161] 图14是第8实施方式的半导体装置的示意剖面图。第8实施方式的半导体装置是具有SJ构造的纵型的MOSFET800。

[0162] MOSFET800具备半导体层10、n⁺型的漏极区域12(第1半导体区域)、n型的缓冲区域14、p⁻型的下部p柱区域16a(第2半导体区域)、p⁻型的上部p柱区域16b(第7半导体区域)、n⁻型的n柱区域18(第3半导体区域)、p型的基底区域20(第4半导体区域)、n⁺型的源极区域22(第5半导体区域)、p⁺型的接触区域24、n型的JFET区域26、p⁻型的高电阻区域30(第6半导体区域)、栅极电极32、栅极绝缘膜34、层间绝缘膜36、源极电极38、漏极电极40。

[0163] MOSFET800的柱区域由下部p柱区域16a与上部p柱区域16b构成。在下部p柱区域16a与上部p柱区域16b之间夹设有p⁻型的高电阻区域30。

[0164] p⁻型的高电阻区域30的每单位深度的电阻比下部p柱区域16a以及上部p柱区域16b的每单位深度的电阻高。

[0165] 高电阻区域30含有p型杂质。高电阻区域30的y方向的宽度(图14中的w3)比下部p柱区域16a的y方向的宽度(图14中的w4)、以及上部p柱区域16b的y方向的宽度(图14中的w5)窄。例如,高电阻区域30的y方向的宽度(图14中的w3)是下部p柱区域16a的y方向的宽度(图14中的w4)、以及上部p柱区域16b的y方向的宽度(图14中的w5)的2分之1以下。

[0166] p型杂质例如是硼(B)。p型杂质浓度例如是 $5 \times 10^{14} \text{cm}^{-3}$ 以上且 $1 \times 10^{16} \text{cm}^{-3}$ 以下。

[0167] 高电阻区域30的p型杂质浓度例如与下部p柱区域16a和上部p柱区域16b的p型杂质浓度大致相同。

[0168] p⁻型的高电阻区域30例如能够通过以单晶外延法形成SJ构造时、预先在半导体层10之中的高电阻区域30的形成预定位置将n型杂质浓度较高的区域设为与xy平面平行的层状来形成。即,在高电阻区域30的形成预定位置,为了形成p柱区域,使n型杂质浓度较高的区域位于埋入到沟槽内的p型半导体的侧面。从该区域通过热扩散使n型杂质扩散,缩窄p柱区域的宽度,从而能够形成高电阻区域30。

[0169] 根据第8实施方式的MOSFET800,与第6实施方式相同,能够抑制开关动作时的噪声。另外,易于调整开关速度的提高和噪声的抑制之间的平衡。另外,易于实现因SJ构造的间距的缩小而引起的每单位面积的导通电阻的减少。

[0170] 以上,在实施方式中,以半导体层10为硅的情况为例进行了说明,但半导体层10也可以是SiC、GaN类半导体等其他半导体。

[0171] 另外,在实施方式中,以第1导电型为n型、第2导电型为p型的情况为例进行了说明,但也可以将第1导电型设为p型,将第2导电型设为n型。在该情况下,MOSFET成为以空穴为载流子的p型MOSFET。

[0172] 另外,在实施方式中,以高电阻区域30为n型半导体或者p型半导体的情况为例进行了说明,但高电阻区域30也可以是本征半导体。

[0173] 另外,在实施方式中,以构成SJ构造的p柱区域16以及n柱区域18沿x方向、即与栅极电极相同的方向延伸的情况为例进行了说明,但也可以采用p柱区域16以及n柱区域18沿y方向、即与栅极电极正交的方向延伸的构成。

[0174] 另外,在实施方式中,以形成SJ构造的p柱区域16以及n柱区域18沿x方向、即与栅极电极相同的方向延伸的情况为例进行了说明,但即使p柱区域16在x-y面中配置成点状,

只要无损于与n柱区域18之间的充电平衡,就可作为SJ构造发挥功能。

[0175] 虽然说明了本发明的几个实施方式,但是这些实施方式是作为例子而提出的,并不意图限定本发明的范围。这些新的实施方式可以以其他各种形态实施,在不脱离发明主旨的范围内,可以进行各种省略、替换、变更。例如,也可以将一实施方式的构成要素与其他实施方式的构成要素进行替换或者变更。这些实施方式及其变形包含在本发明的范围或主旨中,并且包含在权利要求书中记载的发明及其等同的范围内。

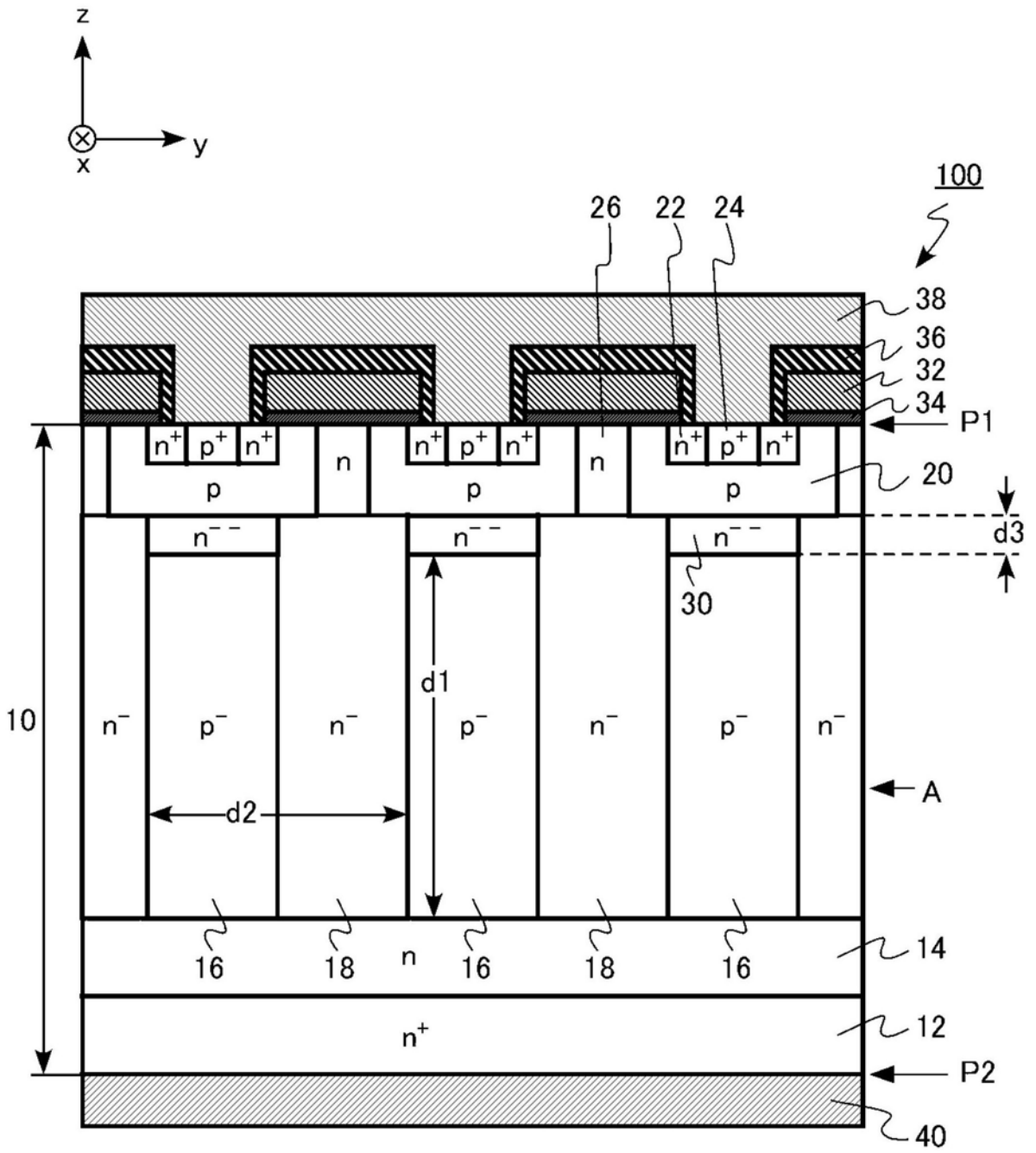
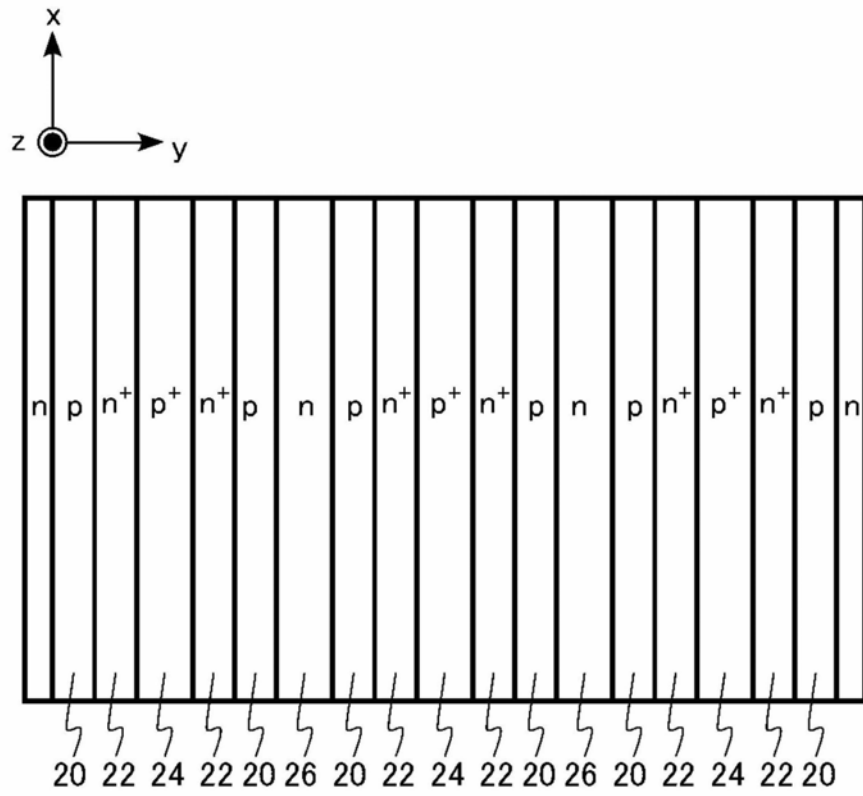


图1

(a)



(b)

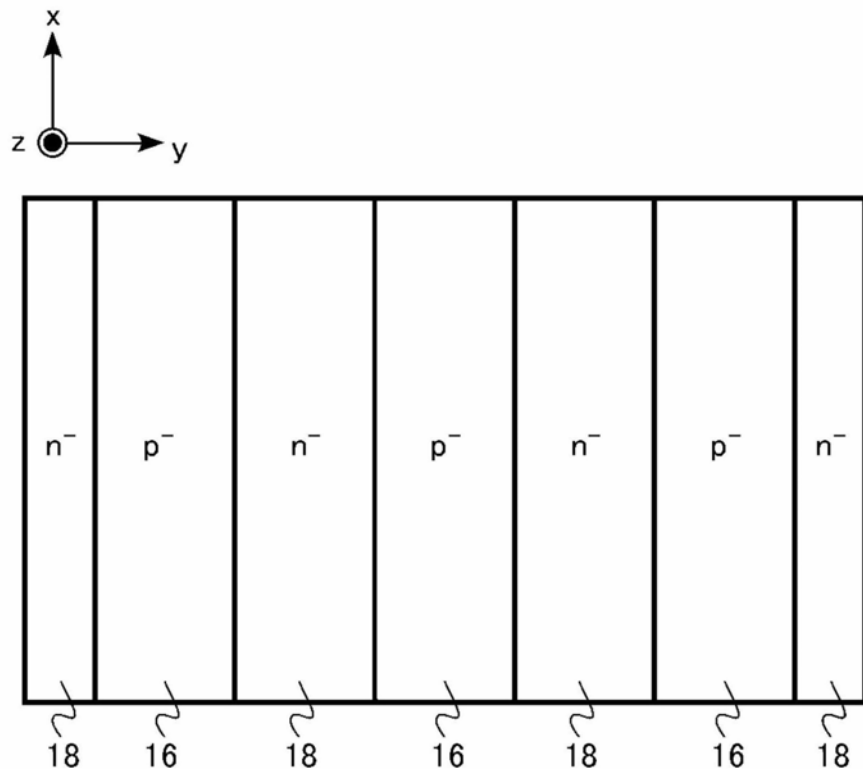


图2

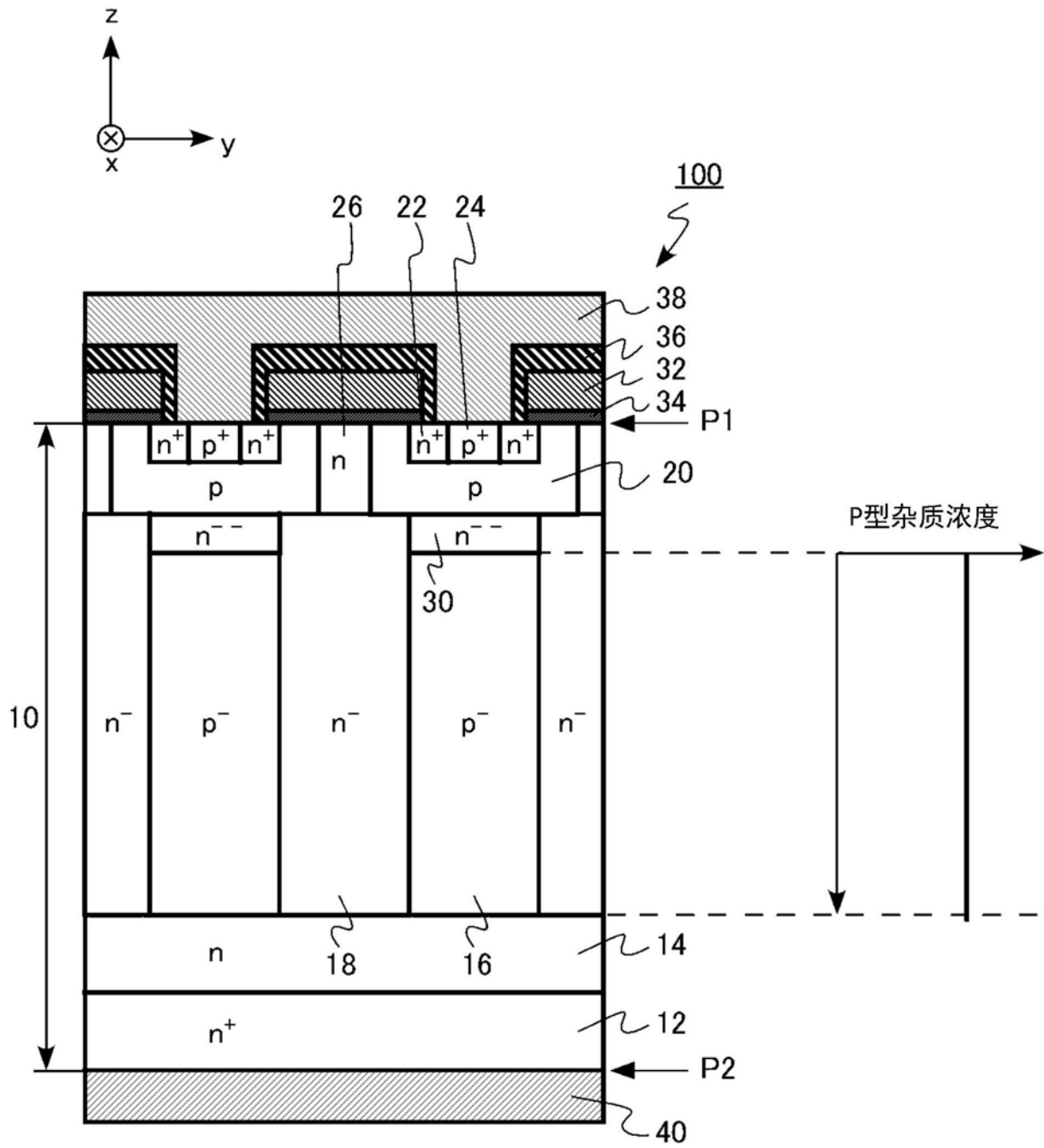


图3

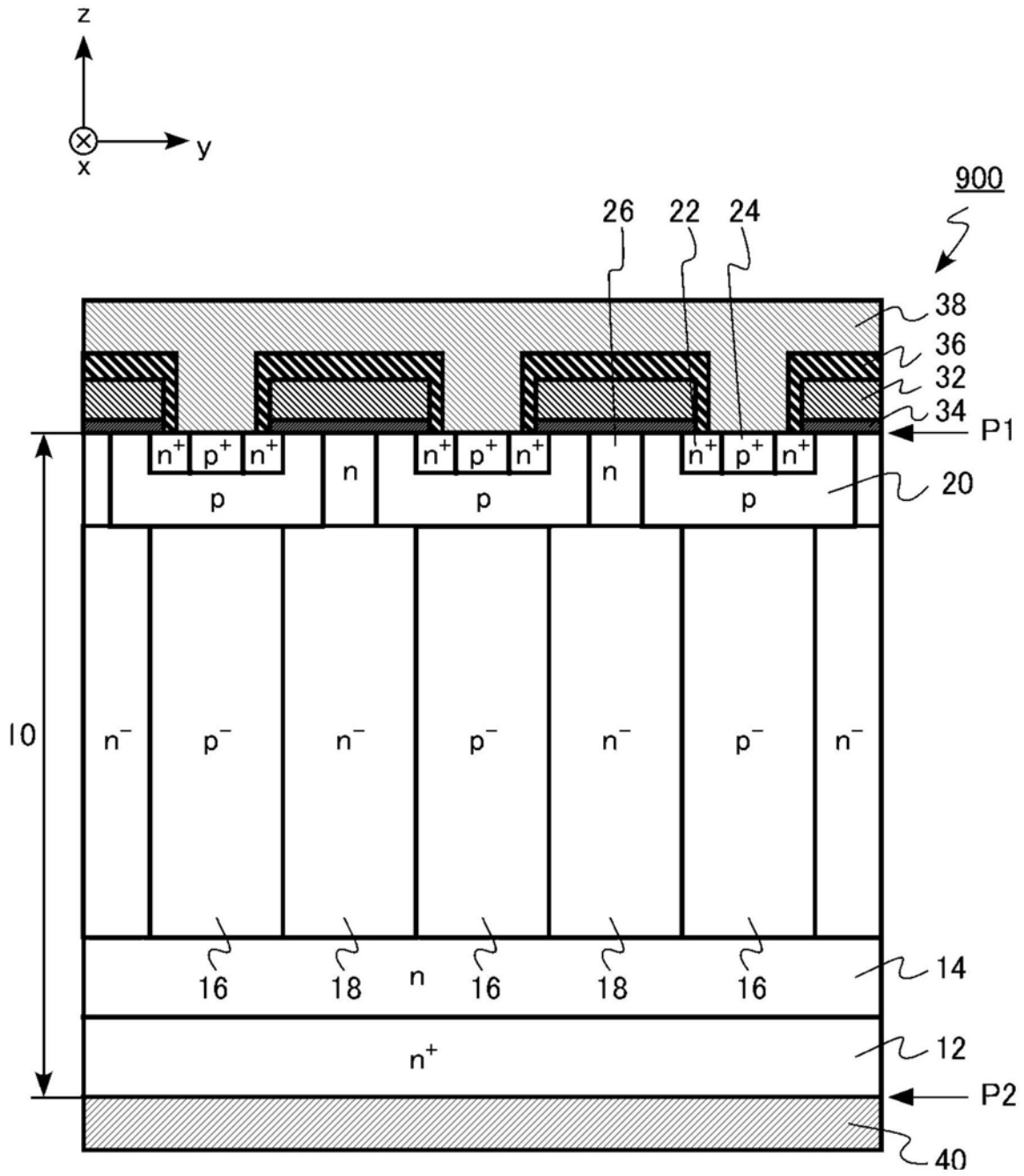
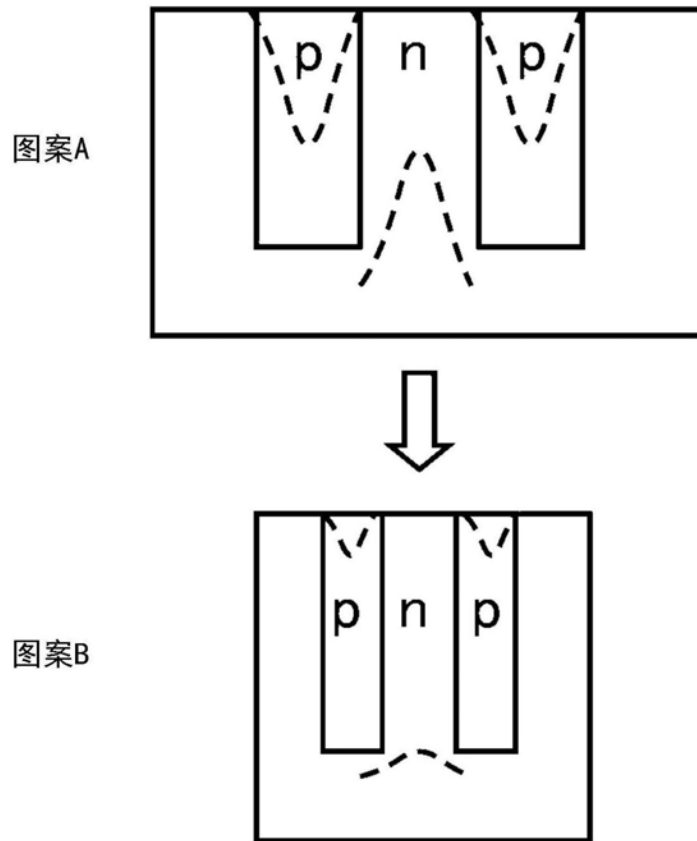


图4

(a)



(b)

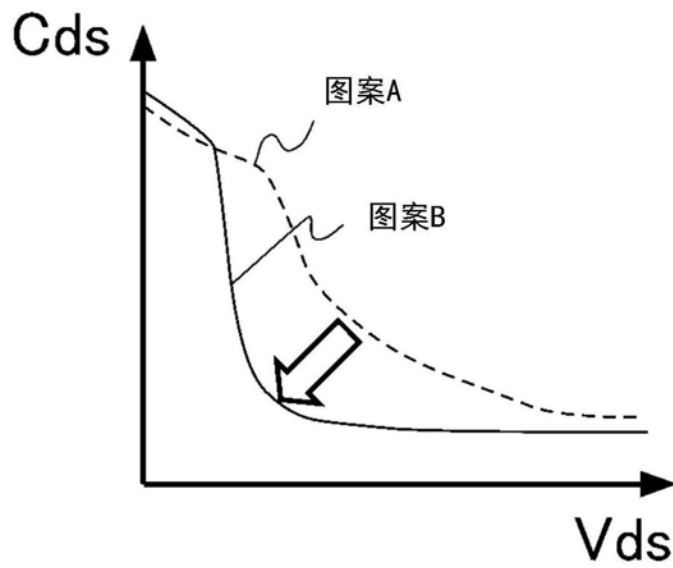
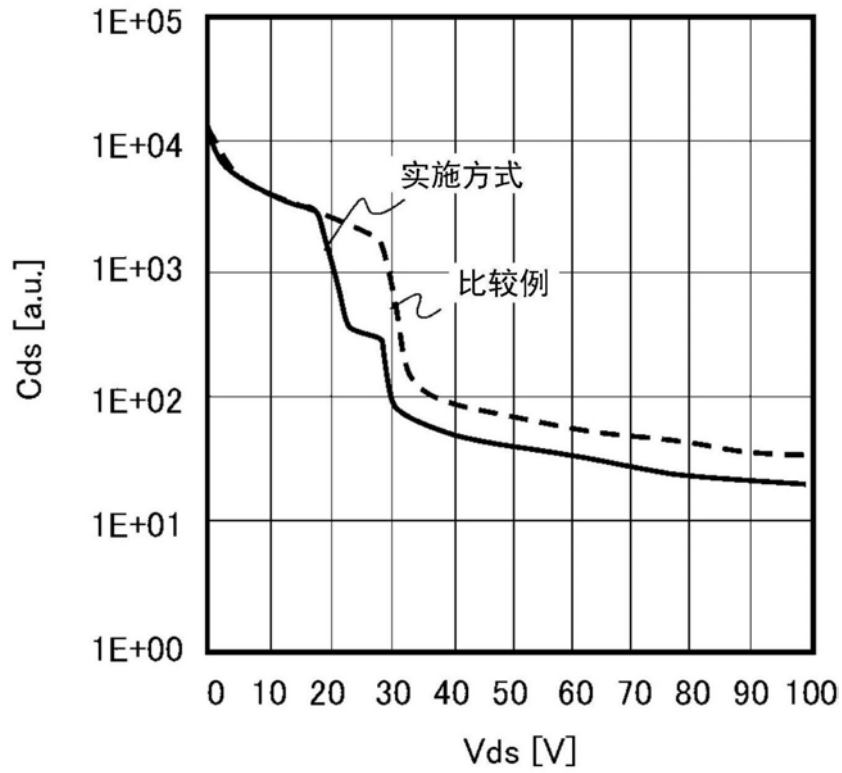


图5

(a)



(b)

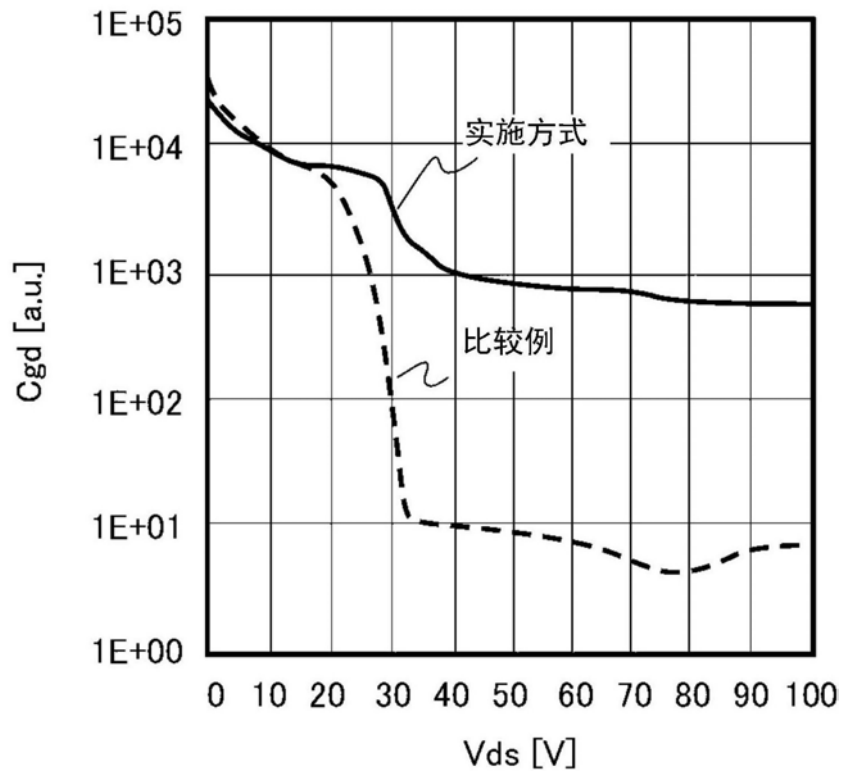


图6

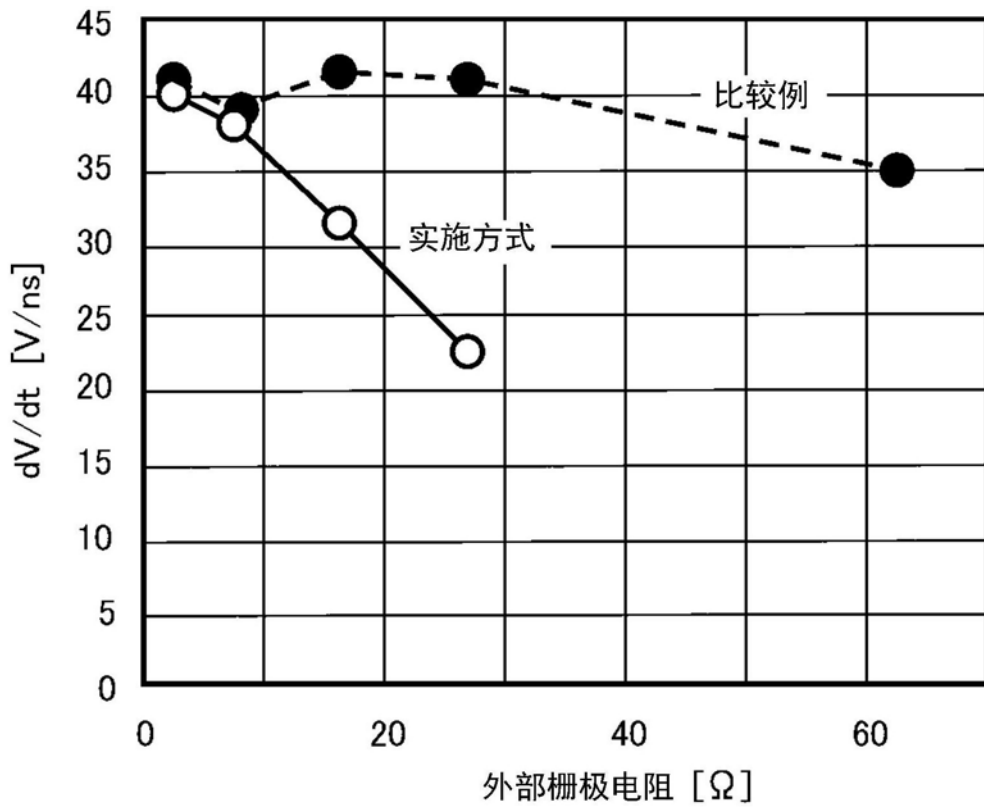


图7

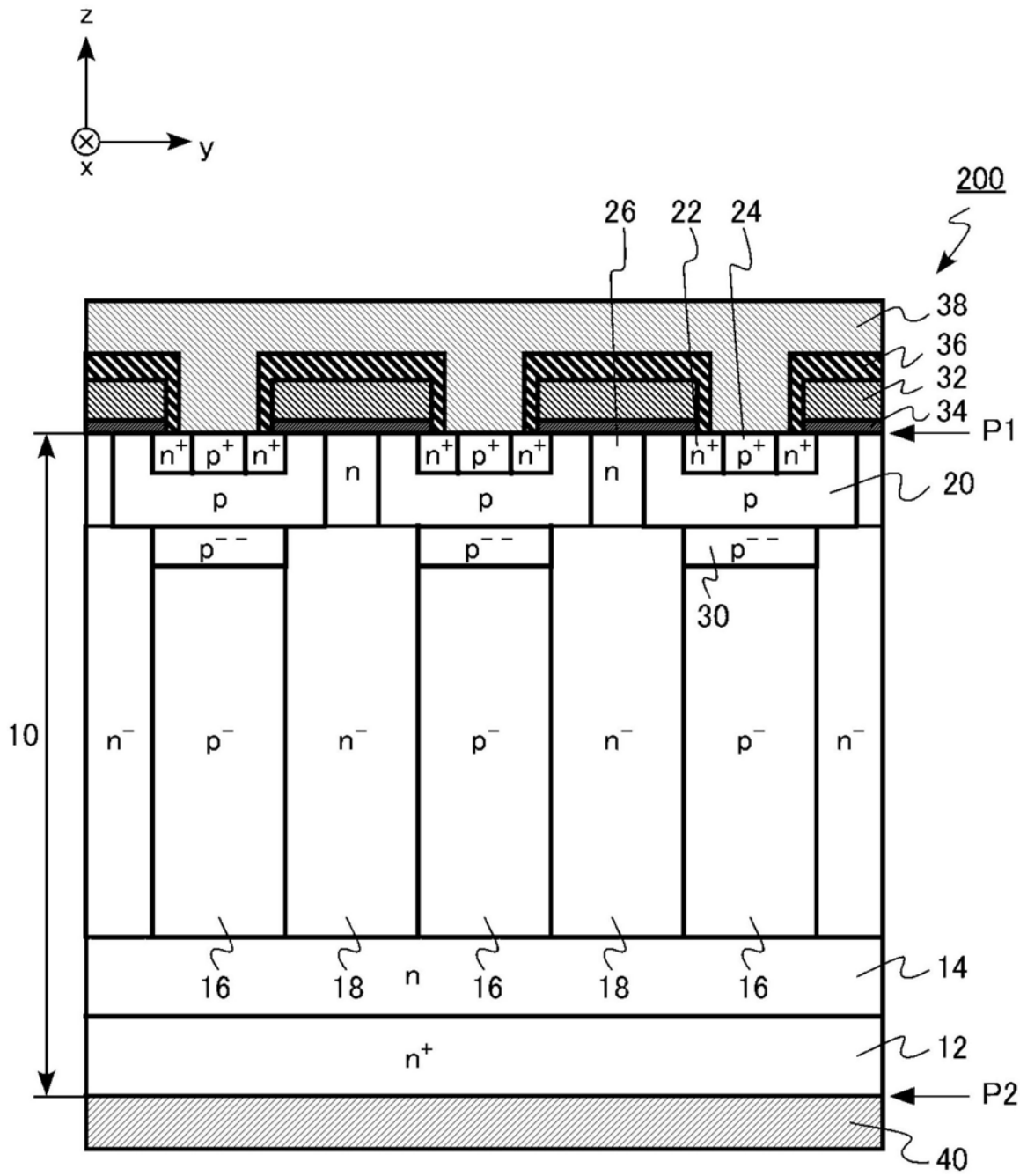


图8

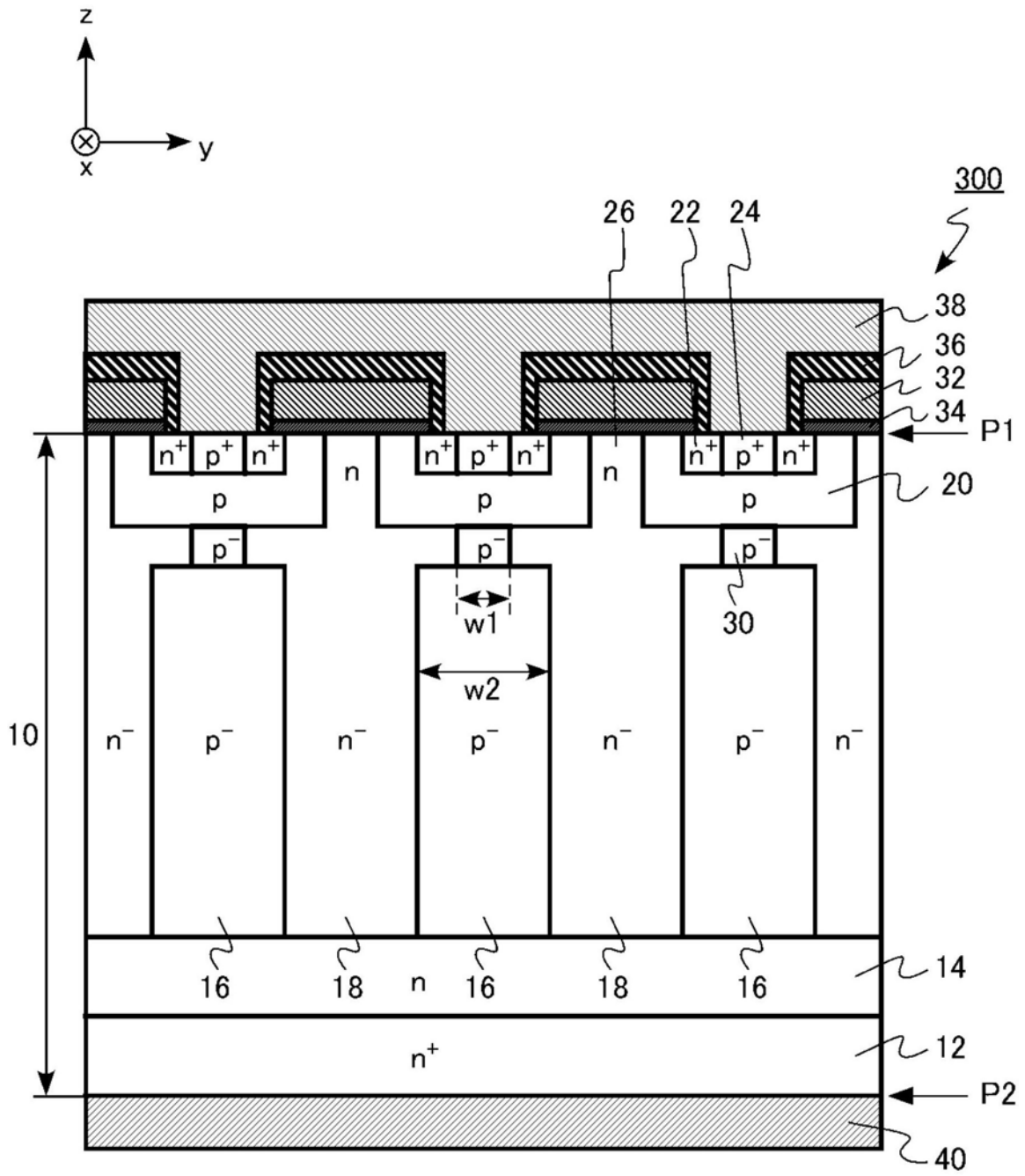


图9

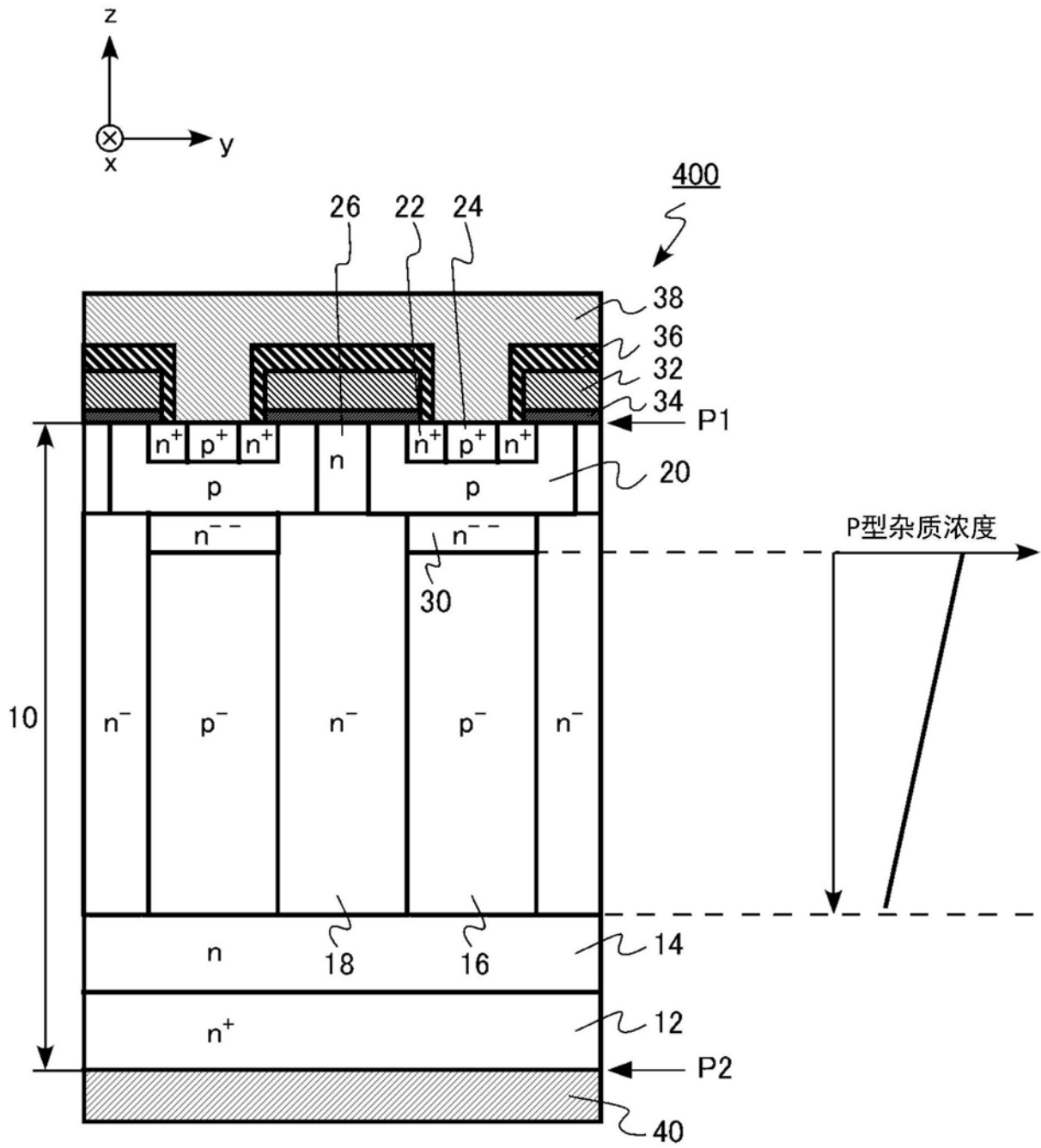


图10

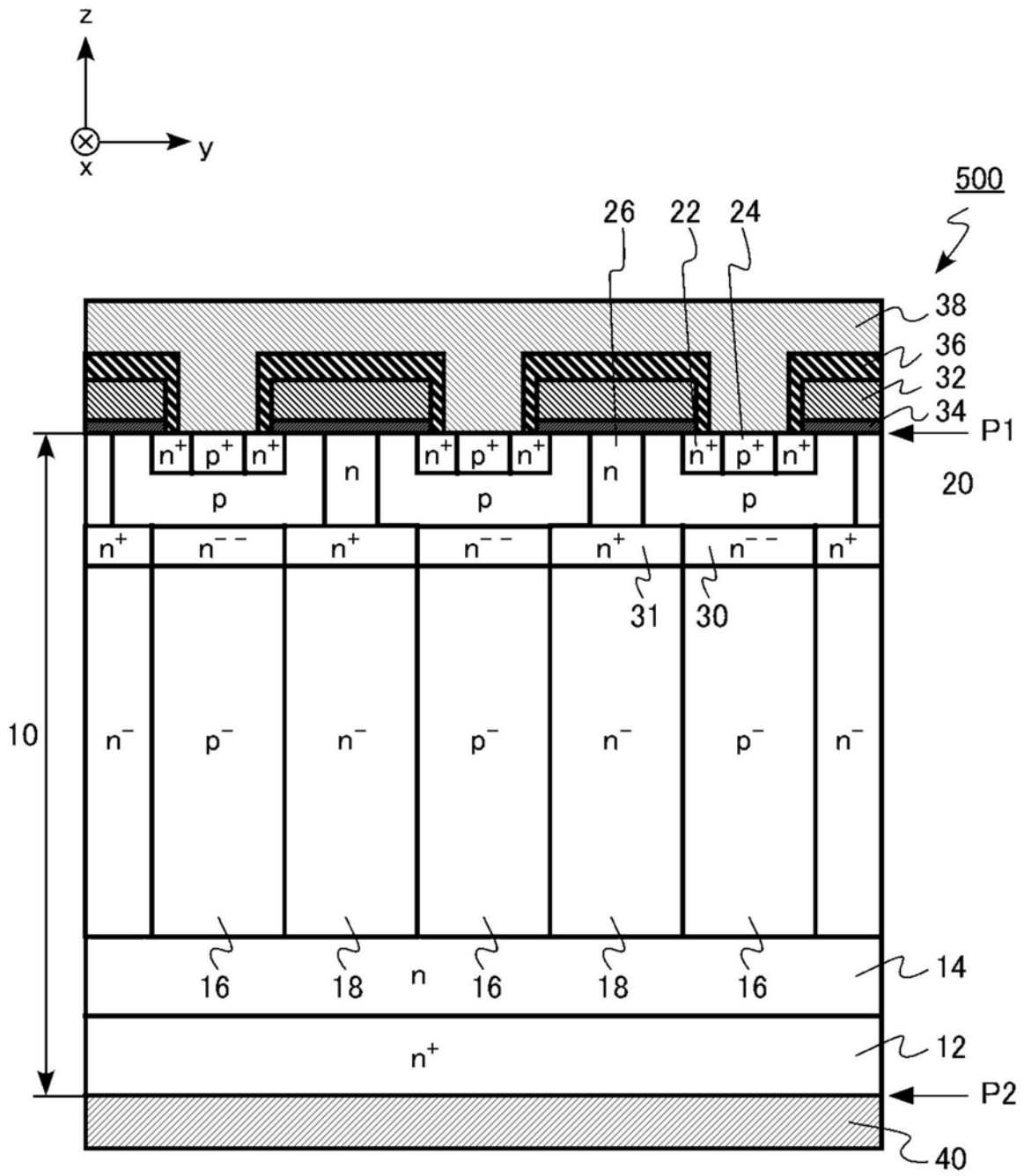


图11

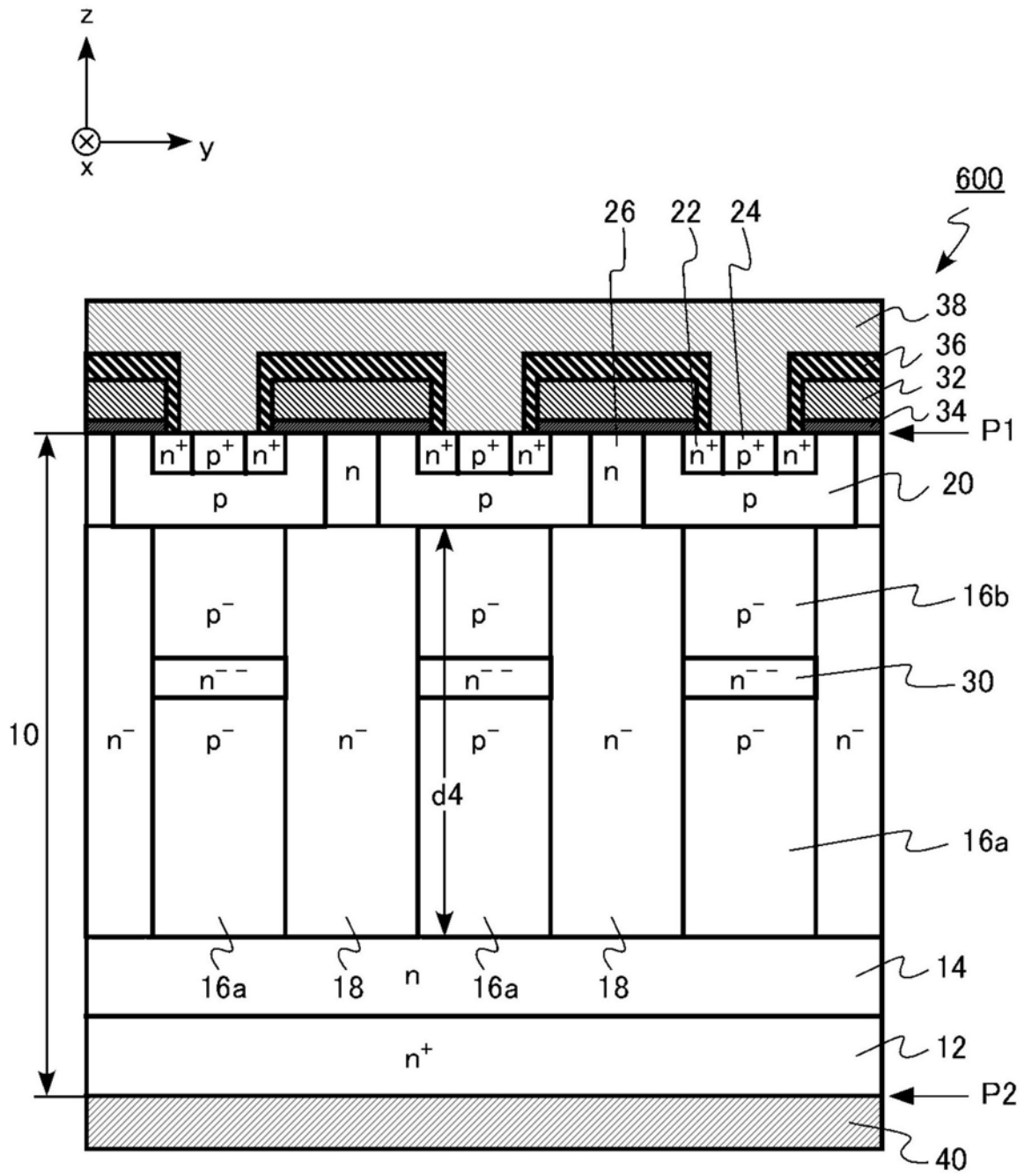


图12

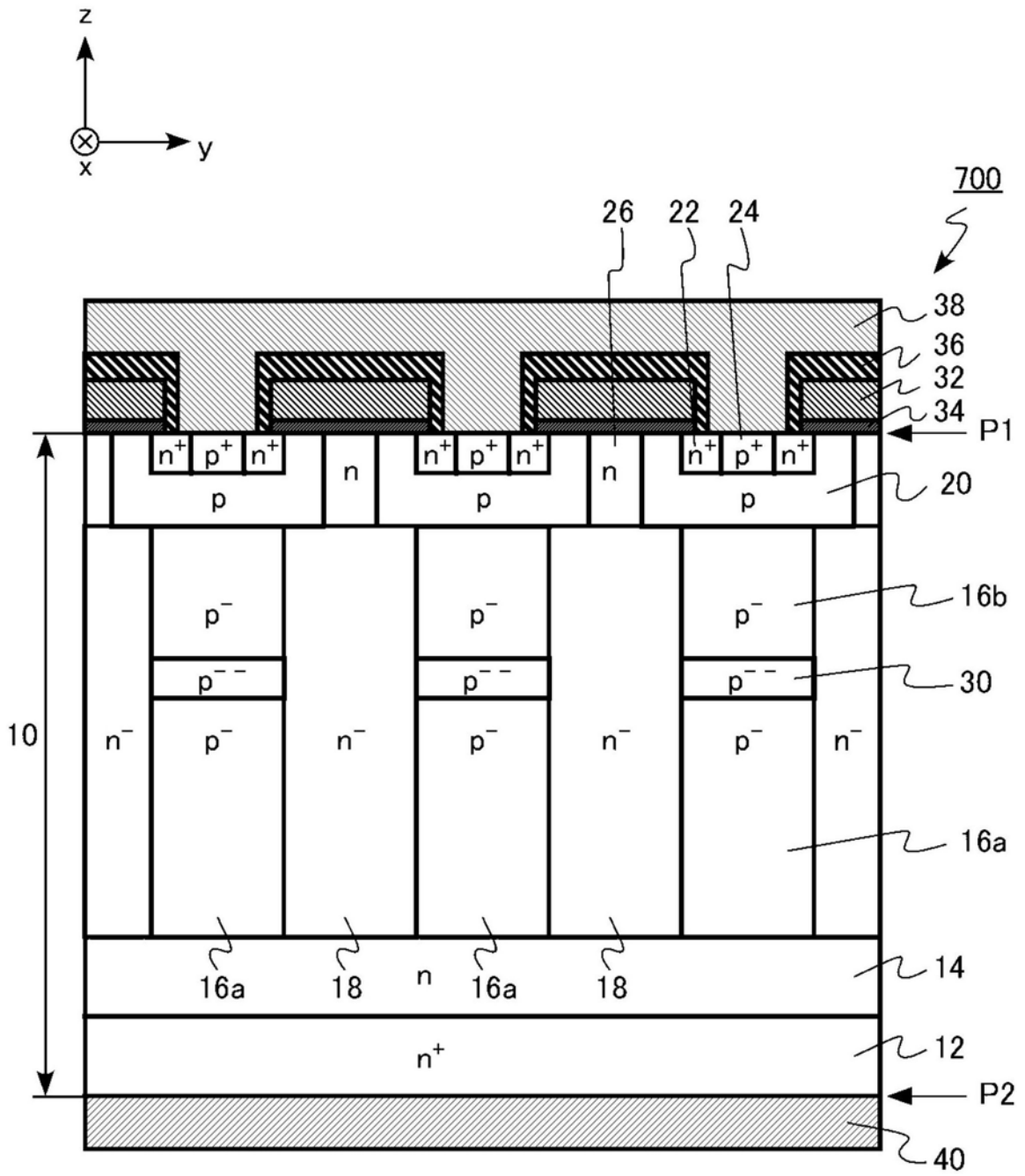


图13

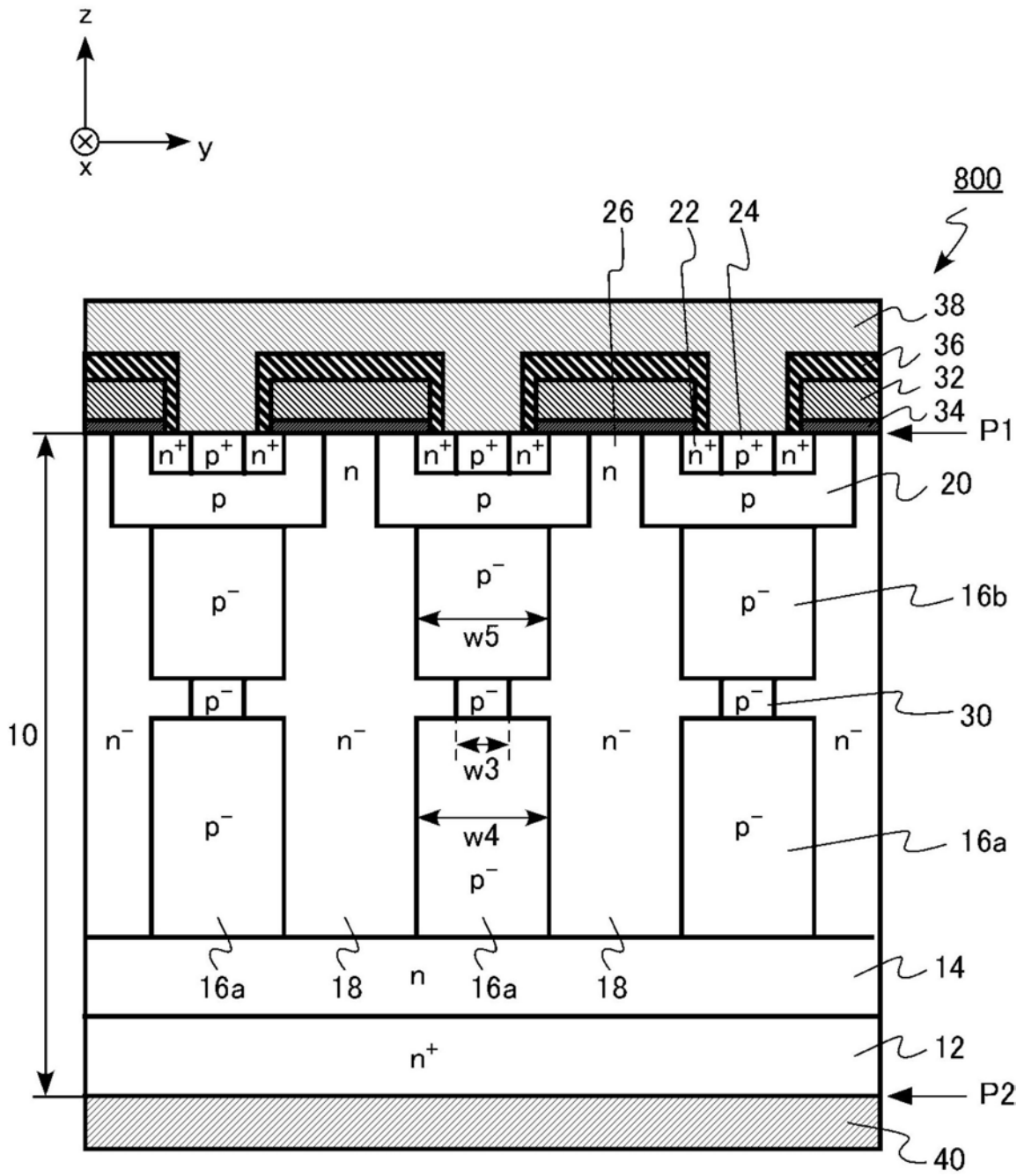


图14