I868171

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I868171 B**

(45)公告日： 中華民國 114 (2025) 年 01 月 01 日

(21)申請案號：109121739 (22)申請日： 中華民國 109 (2020) 年 06 月 24 日

(51)Int. Cl.： ***H01L31/04 (2014.01)*** ***H01L31/0328(2006.01)***
H01L31/14 (2006.01)

(30)優先權：2019/06/26 日本 2019-118489

(71)申請人：日商索尼半導體解決方案公司 (日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)
日本

(72)發明人：坂直樹 SAKA, NAOKI (JP) ；岡本晋太郎 OKAMOTO, SHINTARO (JP) ；幸山裕亮 KOHYAMA, YUSUKE (JP) ；森茂貴 MORI, SHIGETAKA (JP)

(74)代理人：陳長文

(56)參考文獻：

JP	H11-274316A	JP	2007-228460A
JP	2010-93229A	JP	2010-225768A
JP	2014-22561A	JP	2015-32687A
JP	2018-129374A	WO	2018/180570A1

審查人員：林君濤

申請專利範圍項數：14 項 圖式數：113 共 278 頁

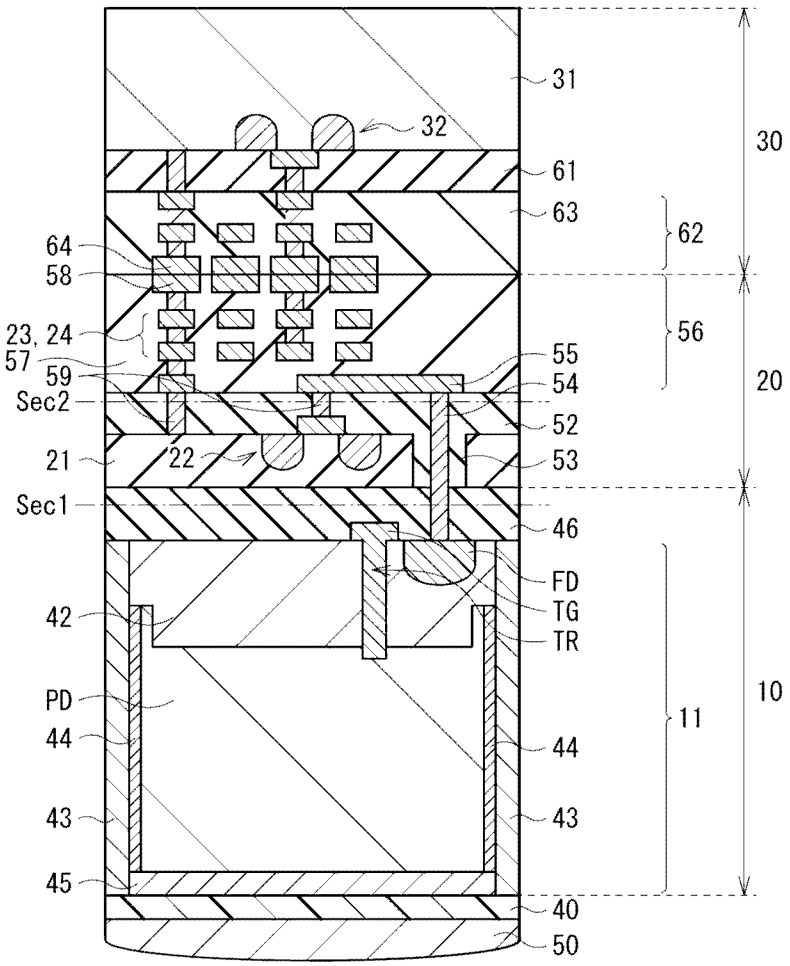
(54)名稱

攝像裝置

(57)摘要

本發明之一實施形態之攝像裝置具備：第 1 基板，其具有進行光電轉換之感測像素；第 2 基板，其具有基於自上述感測像素輸出之電荷而輸出像素信號之像素電路；及第 3 基板，其具有對上述像素信號進行信號處理之處理電路；且上述第 1 基板、上述第 2 基板、及上述第 3 基板依序積層；供設置上述像素電路之場效電晶體的半導體層之至少 1 個以上中，上述第 1 基板側之區域之導電型雜質濃度，高於上述第 3 基板側之區域之導電型雜質濃度。

指定代表圖：



【圖7】

符號簡單說明：

10:第 1 基板

11:第 1 半導體基板

20:第 2 基板

21:第 2 半導體基板

22:像素電路

23:像素驅動線

24:垂直信號線

30:第 3 基板

31:第 3 半導體基板

32:處理電路

40:彩色濾光片

42:p 井層

43:元件分離部

44:p 井層

45:固定電荷膜

46:第 1 絕緣層

50:受光透鏡

52:第 2 絕緣層

53:分離絕緣層

54:貫通配線

55:連接配線

56:配線層

57:層間絕緣層

58:焊墊電極

59:連接部

61:第 3 絕緣膜

62:配線層

63:層間絕緣層

64:焊墊電極

FD:浮動擴散區

PD:光電二極體

Sec1:切剖面

Sec2:切剖面

TG:傳輸閘極

TR:傳輸電晶體

公告本

I868171

【發明摘要】

【中文發明名稱】

攝像裝置

【中文】

本發明之一實施形態之攝像裝置具備：第1基板，其具有進行光電轉換之感測像素；第2基板，其具有基於自上述感測像素輸出之電荷而輸出像素信號之像素電路；及第3基板，其具有對上述像素信號進行信號處理之處理電路；且上述第1基板、上述第2基板、及上述第3基板依序積層；供設置上述像素電路之場效電晶體的半導體層之至少1個以上中，上述第1基板側之區域之導電型雜質濃度，高於上述第3基板側之區域之導電型雜質濃度。

【指定代表圖】

圖7

【代表圖之符號簡單說明】

10:第1基板

11:第1半導體基板

20:第2基板

21:第2半導體基板

22:像素電路

23:像素驅動線

24:垂直信號線

30:第3基板

31:第3半導體基板

32:處理電路

40:彩色濾光片

42:p井層

43:元件分離部

44:p井層

45:固定電荷膜

46:第1絕緣層

50:受光透鏡

52:第2絕緣層

53:分離絕緣層

54:貫通配線

55:連接配線

56:配線層

57:層間絕緣層

58:焊墊電極

59:連接部

61:第3絕緣膜

62:配線層

63:層間絕緣層

64:焊墊電極

FD:浮動擴散區

PD:光電二極體

Sec1:切剖面

Sec2:切剖面

TG:傳輸閘極

TR:傳輸電晶體

【發明說明書】

【中文發明名稱】

攝像裝置

【技術領域】

【0001】

本發明係關於一種攝像裝置。

【先前技術】

【0002】

藉由導入微細製程及提高安裝密度而實現二維構造之攝像裝置之每1像素之面積的微細化。近年來，為了實現攝像裝置之更小型化、及像素之更高密度化，而正在開發三維構造之攝像裝置。三維構造之攝像裝置例如係藉由將具有複數個感測像素之半導體基板、與具有對利用各感測像素獲得之信號進行處理之信號處理電路的半導體基板相互積層而構成(參照專利文獻1)。

[先前技術文獻]

[專利文獻]

【0003】

[專利文獻1]日本專利特開2010-245506號公報

【發明內容】

【0004】

於三維構造之攝像裝置中，為了半導體基板間之電性連接之高速化、及晶片之小型化等，而使具有像素電路之半導體基板薄壁化，該像素電路讀出經各感測像素進行光電轉換而得之電荷。但，經薄壁化之半導體

基板與薄壁化前相比厚度極薄，因此需要於經薄壁化之半導體基板上適當形成電晶體等之技術。

【0005】

即，於積層之半導體基板經薄壁化而得之三維構造的攝像裝置中，較理想的是提高像素電路之電性特性。

【0006】

本發明之一實施形態之攝像裝置具備：第1基板，其具有進行光電轉換之感測像素；第2基板，其具有基於自上述感測像素輸出之電荷而輸出像素信號之像素電路；及第3基板，其具有對上述像素信號進行信號處理之處理電路；且上述第1基板、上述第2基板、及上述第3基板依序積層；供設置上述像素電路之場效電晶體的半導體層之至少1個以上，上述第1基板側之區域之導電型雜質濃度，高於上述第3基板側之區域之導電型雜質濃度。

【0007】

本發明之一實施形態之攝像裝置具備：第1基板，其具有進行光電轉換之感測像素；第2基板，其具有基於自上述感測像素輸出之電荷而輸出像素信號之像素電路；及第3基板，其具有對上述像素信號進行信號處理之處理電路；且上述第1基板、上述第2基板、及上述第3基板依序積層；供設置上述像素電路之場效電晶體的半導體層之至少1個以上中，上述第1基板側之區域之導電型雜質濃度，設定得高於上述第3基板側之區域之導電型雜質濃度。藉此，例如本發明之一實施形態之攝像裝置可適當形成第2基板中所含之第2半導體基板之井區域。

【圖式簡單說明】

【0008】

圖1係表示本發明之一實施形態之攝像裝置1之概略構成之一例之示意圖。

圖2係表示感測像素12、及像素電路22之一例之電路圖。

圖3係表示感測像素12、及像素電路22之另一例之電路圖。

圖4係表示感測像素12、及像素電路22之另一例之電路圖。

圖5係表示感測像素12、及像素電路22之另一例之電路圖。

圖6係表示複數個像素電路22與複數條垂直信號線24之連接之一例之電路圖。

圖7係表示攝像裝置1之積層方向之剖面構成之一例之縱剖視圖。

圖8係表示攝像裝置1之水平方向之剖面構成之一例之示意圖。

圖9係表示攝像裝置1之水平方向之剖面構成之一例之示意圖。

圖10係表示攝像裝置1之水平面內之配線佈局之一例之示意圖。

圖11係表示攝像裝置1之水平面內之配線佈局之一例之示意圖。

圖12係表示攝像裝置1之水平面內之配線佈局之一例之示意圖。

圖13係表示攝像裝置1之水平面內之配線佈局之一例之示意圖。

圖14A係表示設置於第1實施形態之第2半導體基板21之場效電晶體1100之一例之立體圖。

圖14B係表示將圖14A所示之場效電晶體沿擴散層1120之延伸方向切斷之剖面構成之示意圖。

圖15係表示包含第1區域1111之半導體層1110之形成方法之概略之示意圖。

圖16係示意性表示第1實施形態之場效電晶體1100之構造變化之立體

圖。

圖17係表示將第1實施形態之場效電晶體1100與通常之場效電晶體1900混載之變化之示意圖。

圖18係依序表示適用第1實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

圖19係依序表示適用第1實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

圖20係依序表示適用第1實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

圖21係依序表示適用第1實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

圖22係依序表示適用第1實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

圖23係依序表示適用第1實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

圖24係依序表示適用第1實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

圖25係依序表示適用第1實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

圖26係依序表示適用第1實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

圖27係依序表示適用第1實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

圖28係依序表示適用第1實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

圖29係依序表示適用第1實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

圖30係依序表示適用第1實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

圖31係依序表示適用第1實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

圖32係依序表示適用第1實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

圖33係依序表示適用第1實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

圖34係依序表示適用第1實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

圖35係依序表示適用第1實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

圖36係表示將第2實施形態之第2半導體基板1210貼合於第1基板1201時之形態之示意圖。

圖37係表示將第2實施形態之第2半導體基板1210貼合於第1基板1201時之另一形態之示意圖。

圖38係表示將第2實施形態之第2半導體基板1210貼合於第1基板1201時之另一形態之示意圖。

圖39係表示將第2實施形態之第2半導體基板1210貼合於第1基板

1201時之另一形態之示意圖。

圖40係表示將第2實施形態之第2半導體基板1210貼合於第1基板1201時之又一形態之示意圖。

圖41係表示將第2實施形態之第2半導體基板1210貼合於第1基板1201時之又一形態之示意圖。

圖42係表示將第2實施形態之第2半導體基板1210貼合於第1基板1201時之又一形態之示意圖。

圖43係表示將第2實施形態之第2半導體基板1210貼合於第1基板1201時之又一形態之示意圖。

圖44係示意性表示相對於設置於第2實施形態之第2半導體基板1210之場效電晶體之井區域之接觸插塞的構造變化之縱剖視圖。

圖45係示意性表示相對於設置於第2實施形態之第2半導體基板1210之場效電晶體之井區域之接觸插塞的構造變化之縱剖視圖。

圖46係示意性表示相對於設置於第2實施形態之第2半導體基板1210之場效電晶體之井區域之接觸插塞的構造變化之縱剖視圖。

圖47係示意性表示相對於設置於第2實施形態之第2半導體基板1210之場效電晶體之井區域之接觸插塞的構造變化之縱剖視圖。

圖48係表示第3實施形態之第2半導體基板1310上之第1區域1311之形成、及場效電晶體之形成之形態之示意圖。

圖49係表示第3實施形態之第2半導體基板1310上之第1區域1311之形成、及場效電晶體之形成之形態之示意圖。

圖50係示意性表示設置於第3實施形態之第2半導體基板1310之場效電晶體之構造變化之剖視圖。

圖51係示意性表示設置於第3實施形態之第2半導體基板1310之場效電晶體之構造變化之剖視圖。

圖52係表示圖7記載之剖面構成之一變化例之縱剖視圖。

圖53係表示圖7記載之剖面構成之一變化例之縱剖視圖。

圖54係表示第3變化例之攝像裝置之構成例之厚度方向之剖視圖。

圖55係表示第3變化例之攝像裝置之構成例之厚度方向之剖視圖。

圖56係表示第3變化例之攝像裝置之構成例之厚度方向之剖視圖。

圖57係表示第3變化例之複數個像素單元之佈局例之水平方向之剖視圖。

圖58係表示第3變化例之複數個像素單元之佈局例之水平方向之剖視圖。

圖59係表示第3變化例之複數個像素單元之佈局例之水平方向之剖視圖。

圖60係表示圖7中之切剖面Sec1、及切剖面Sec2之剖面構成之一變化例之示意圖。

圖61係表示圖7中之切剖面Sec1、及切剖面Sec2之剖面構成之一變化例之示意圖。

圖62係表示圖7中之切剖面Sec1、及切剖面Sec2之剖面構成之一變化例之示意圖。

圖63係表示圖7中之切剖面Sec1、及切剖面Sec2之剖面構成之一變化例之示意圖。

圖64係表示圖7中之切剖面Sec1、及切剖面Sec2之剖面構成之一變化例之示意圖。

圖65係表示第7變化例之攝像裝置1之切剖面Sec2之剖面構成之另一例之示意圖。

圖66係表示第7變化例之攝像裝置1之切剖面Sec2之剖面構成之另一例之示意圖。

圖67係表示以行並聯搭載ADC之CMOS影像感測器之電路構成之示意圖。

圖68係表示積層3個基板而構成圖67所示之攝像裝置1一例之示意圖。

圖69係表示第10變化例之攝像裝置1之剖面構成之一例之示意圖。

圖70係表示於積層3個基板而構成之攝像裝置1適用包含$CoSi_2$或NiSi等矽化物之低電阻區域26之例之示意圖。

圖71係表示本發明之一實施形態之攝像裝置之功能構成之一例之方塊圖。

圖72係表示圖71所示之攝像裝置之概略構成之示意俯視圖。

圖73係表示沿圖72所示之III-III'線之剖面構成之示意圖。

圖74係圖71所示之像素共有單元之等效電路圖。

圖75係表示複數個像素共有單元與複數條垂直信號線之連接樣態之一例之圖。

圖76係表示圖73所示之攝像裝置之具體構成之一例之示意剖視圖。

圖77A係表示圖76所示之第1基板之主要部分之平面構成之一例之示意圖。

圖77B係表示圖77A所示之第1基板之主要部分及焊墊部之平面構成之示意圖。

圖78係表示圖76所示之第2基板(半導體層)之平面構成之一例之示意圖。

圖79係表示圖76所示之第1配線層與像素電路及第1基板之主要部分之平面構成之一例之示意圖。

圖80係表示圖76所示之第1配線層及第2配線層之平面構成之一例之示意圖。

圖81係表示圖76所示之第2配線層及第3配線層之平面構成之一例之示意圖。

圖82係表示圖76所示之第3配線層及第4配線層之平面構成之一例之示意圖。

圖83係用以說明輸入信號向圖73所示之攝像裝置之輸入路徑之示意圖。

圖84係用以對圖73所示之攝像裝置之像素信號之信號路徑進行說明之示意圖。

圖85係表示圖78所示之第2基板(半導體層)之平面構成之一變化例之示意圖。

圖86係表示圖85所示之像素電路與第1配線層及第1基板之主要部分之平面構成之示意圖。

圖87係表示圖86所示之第1配線層及第2配線層之平面構成之一例之示意圖。

圖88係表示圖87所示之第2配線層及第3配線層之平面構成之一例之示意圖。

圖89係表示圖88所示之第3配線層及第4配線層之平面構成之一例之

示意圖。

圖90係表示圖77A所示之第1基板之平面構成之一變化例之示意圖。

圖91係表示積層於圖90所示之第1基板之第2基板(半導體層)之平面構成之一例之示意圖。

圖92係表示圖91所示之像素電路及第1配線層之平面構成之一例之示意圖。

圖93係表示圖92所示之第1配線層及第2配線層之平面構成之一例之示意圖。

圖94係表示圖93所示之第2配線層及第3配線層之平面構成之一例之示意圖。

圖95係表示圖94所示之第3配線層及第4配線層之平面構成之一例之示意圖。

圖96係表示圖90所示之第1基板之平面構成之另一例之示意圖。

圖97係表示積層於圖96所示之第1基板之第2基板(半導體層)之平面構成之一例之示意圖。

圖98係表示圖97所示之像素電路及第1配線層之平面構成之一例之示意圖。

圖99係表示圖98所示之第1配線層及第2配線層之平面構成之一例之示意圖。

圖100係表示圖99所示之第2配線層及第3配線層之平面構成之一例之示意圖。

圖101係表示圖100所示之第3配線層及第4配線層之平面構成的一例之示意圖。

圖102係表示圖73所示之攝像裝置之另一例之示意剖視圖。

圖103係用以說明輸入信號向圖102所示之攝像裝置輸入之路徑之示意圖。

圖104係用以對圖102所示之攝像裝置之像素信號的信號路徑進行說明之示意圖。

圖105係表示圖76所示之攝像裝置之另一例之示意剖視圖。

圖106係表示圖74所示之等效電路之另一例之圖。

圖107係表示圖77A等所示之像素分離部之另一例之示意俯視圖。

圖108係表示具備上述實施形態及其變化例之攝像裝置之攝像系統的概略構成之一例之圖。

圖109係表示圖108所示之攝像系統之拍攝程序的一例之圖。

圖110係表示車輛控制系統之概略構成之一例之方塊圖。

圖111係表示車外資訊檢測部及攝像部之設置位置之一例之說明圖。

圖112係表示內視鏡手術系統之概略構成之一例之圖。

圖113係表示相機鏡頭及CCU之功能構成之一例之方塊圖。

【實施方式】

【0009】

以下，參照圖式對本發明之實施形態進行詳細說明。以下說明之實施形態為本發明之一例，本發明之技術並不限定於以下樣態。又，本發明之各圖所示之各構成要素之配置、尺寸、及比例等並不限定於各圖所示者。

【0010】

再者，按以下順序進行說明。

1.攝像裝置之構成

2.第1實施形態

3.第2實施形態

4.第3實施形態

5.變化例

6.具體例

6.1.實施形態(具有3個基板之積層構造之攝像裝置)

6.2.變化例1(平面構成之例1)

6.3.變化例2(平面構成之例2)

6.4.變化例3(平面構成之例3)

6.5.變化例4(於像素陣列部之中央部具有基板間之接點部之例)

6.6.變化例5(具有平面型之傳輸電晶體之例)

6.7.變化例6(於1個像素電路連接1個像素之例)

6.8.變化例7(像素分離部之構成例)

6.9.適用例(攝像系統)

6.10.應用例

【0011】

＜＜1.攝像裝置之構成＞＞

首先，參照圖1～圖13對適用本發明之技術之攝像裝置進行說明。

【0012】

圖1係表示本發明之一實施形態之攝像裝置1的概略構成之一例之示意圖。如圖1所示，攝像裝置1係三維構造之攝像裝置，其具備第1基板10、第2基板20、及第3基板30，且係藉由將該等3個基板貼合而構成。再

者，第1基板10、第2基板20及第3基板30依序積層。

【0013】

第1基板10包含第1半導體基板11，該第1半導體基板11具有進行光電轉換之複數個感測像素12。複數個感測像素12設置為以矩陣狀配置於第1基板10之像素區域13之內部。

【0014】

第2基板20包含第2半導體基板21，該第2半導體基板21具有根據來自感測像素12之電荷而輸出像素信號之像素電路22。像素電路22例如針對每4個感測像素12而各設置有1個。又，第2基板20具備於列方向延伸之複數條像素驅動線23、及於行方向延伸之複數條垂直信號線24。

【0015】

第3基板30包含第3半導體基板31，該第3半導體基板31具有對像素信號進行信號處理之處理電路32。又，處理電路32例如具有垂直驅動電路33、列信號處理電路34、水平驅動電路35、及系統控制電路36。處理電路32可將每一感測像素12之輸出電壓Vout自水平驅動電路35輸出至外部。

【0016】

垂直驅動電路33例如以列單位依序選擇複數個感測像素12。列信號處理電路34例如對自藉由垂直驅動電路33選擇之列之各感測像素12輸出之像素信號實施相關雙取樣處理。例如列信號處理電路34可藉由實施相關雙取樣處理而擷取像素信號之信號位準，且保持與各感測像素12之受光量對應之像素資料。水平驅動電路35例如將列信號處理電路34中保持之像素資料依序輸出至外部。系統控制電路36例如控制處理電路32內之各構

成之驅動。藉此，處理電路32可將基於各感測像素12之受光量之像素資料輸出至外部。

【0017】

圖2係表示感測像素12及像素電路22之一例之電路圖。圖2所示之電路圖中，4個感測像素12共有1個像素電路22。此處之「共有」係表示來自4個感測像素12之輸出被輸入至共通之1個像素電路22。

【0018】

各感測像素12具有相互共通之構成要素。以下，於要將各感測像素12之構成要素相互區分之情形時，對構成要素之符號之末尾賦予識別編號(1、2、3、4)。另一方面，於不要將各感測像素12相互區分之情形時，省略對構成要素之符號之末尾賦予識別編號。

【0019】

感測像素12例如具有光電二極體PD、與光電二極體PD電性連接之傳輸電晶體TR、及暫時保持經由傳輸電晶體TR自光電二極體PD輸出之電荷之浮動擴散區FD。光電二極體PD係藉由進行光電轉換而產生與受光量對應之電荷之光電轉換元件。傳輸電晶體TR例如為MOS(Metal-Oxide-Semiconductor，金氧半導體)電晶體。

【0020】

光電二極體PD之陰極與傳輸電晶體TR之源極電性連接，光電二極體PD之陽極與基準電位線(例如地面)電性連接。傳輸電晶體TR之汲極與浮動擴散區FD電性連接，傳輸電晶體TR之閘極與像素驅動線23電性連接。

【0021】

共有像素電路22之各感測像素12之浮動擴散區FD相互電性連接，且

與共通之像素電路22之輸入端電性連接。像素電路22例如具有重置電晶體RST、選擇電晶體SEL、及放大電晶體AMP。進而，像素電路22任意具有選擇電晶體SEL。

【0022】

重置電晶體RST之源極(即，像素電路22之輸入端)與浮動擴散區FD電性連接，重置電晶體RST之汲極與電源線VDD、及放大電晶體AMP之汲極電性連接，重置電晶體RST之閘極與像素驅動線23電性連接。放大電晶體AMP之源極與選擇電晶體SEL之汲極電性連接，放大電晶體AMP之閘極與重置電晶體RST之源極電性連接。選擇電晶體SEL之源極(即，像素電路22之輸出端)與垂直信號線24電性連接，選擇電晶體SEL之閘極與像素驅動線23電性連接。

【0023】

成為接通狀態之傳輸電晶體TR將由光電二極體PD進行光電轉換而得之電荷傳輸至浮動擴散區FD。重置電晶體RST將浮動擴散區FD之電位重置為特定電位。成為接通狀態之重置電晶體RST將浮動擴散區FD之電位重置為電源線VDD之電位。選擇電晶體SEL控制來自像素電路22之像素信號之輸出時序。

【0024】

放大電晶體AMP產生與浮動擴散區FD中保持之電荷之位準對應之電壓的信號作為像素信號。放大電晶體AMP構成所謂之源極隨耦型之放大器，輸出與於光電二極體PD產生之電荷之位準對應之電壓的像素信號。於選擇電晶體SEL成為接通狀態之情形時，放大電晶體AMP將浮動擴散區FD之電位放大，並經由垂直信號線24將與經放大之電位對應之電壓輸出

至列信號處理電路34。重置電晶體RST、放大電晶體AMP、及選擇電晶體SEL例如為MOS電晶體。

【0025】

圖3～圖5係表示感測像素12及像素電路22之另一例之電路圖。

【0026】

如圖3所示，選擇電晶體SEL亦可設置於電源線VDD與放大電晶體AMP之間。該情形時，重置電晶體RST之汲極與電源線VDD、及選擇電晶體SEL之汲極電性連接。選擇電晶體SEL之源極與放大電晶體AMP之汲極電性連接，選擇電晶體SEL之閘極與像素驅動線23電性連接。放大電晶體AMP之源極(即，像素電路22之輸出端)與垂直信號線24電性連接，放大電晶體AMP之閘極與重置電晶體RST之源極電性連接。

【0027】

又，如圖4或圖5所示，亦可於重置電晶體RST之源極與放大電晶體AMP之閘極之間，進而設置有FD轉換增益切換電晶體FDG。

【0028】

電荷Q以電容C與電壓V之積表示，因此於浮動擴散區FD之電容C較大之情形時，於放大電晶體AMP轉換後之電壓V變低。另一方面，於像素信號之電荷Q較大之情形時，若浮動擴散區FD之電容C不夠大，則於浮動擴散區FD無法完全保持來自光電二極體PD之電荷Q。又，亦重要的是，使浮動擴散區FD之電容C大小適度，以免經放大電晶體AMP轉換後之電壓V過高。由此，設置FD轉換增益切換電晶體FDG以切換像素電路22之電荷-電壓轉換效率。

【0029】

FD轉換增益切換電晶體FDG藉由成為接通狀態，與斷開狀態相比，可使浮動擴散區FD之電容C變大FD轉換增益切換電晶體FDG之閘極電容之量。因此，藉由切換FD轉換增益切換電晶體FDG之接通或斷開之狀態而使浮動擴散區FD之電容C可變，可切換像素電路22之電荷-電壓轉換效率。

【0030】

圖6係表示複數個像素電路22與複數條垂直信號線24之連接之一例之電路圖。

【0031】

如圖6所示，於複數個像素電路22排列配置於垂直信號線24之延伸方向(例如行方向)之情形時，複數條垂直信號線24亦可針對每一像素電路22各分配1個。再者，圖6中，為了區分各垂直信號線24，對各垂直信號線24之符號之末尾附上識別編號(1、2、3、4)。

【0032】

圖7係表示攝像裝置1之積層方向之剖面構成的一例之縱剖視圖。

【0033】

如圖7所示，攝像裝置1係將第1基板10、第2基板20及第3基板30依序積層而構成。於第1基板10之光入射面側(亦稱為背面側)，例如針對每一感測像素12分別設置有彩色濾光片40、及受光透鏡50。即，攝像裝置1為所謂之背面照射型攝像裝置。

【0034】

第1基板10係於第1半導體基板11上積層第1絕緣層46而構成。第1半導體基板11為矽基板，例如於表面之一部分及其附近具有p井層42，於除

此以外之區域(即，較p井層42深之區域)具有光電二極體PD。p井層42由p型半導體區域構成，光電二極體PD由與p井層42不同之導電型(具體而言為n型)之半導體區域構成。第1半導體基板11於p井層42之內部具有與p井層42不同之導電型(具體而言為n型)之半導體區域即浮動擴散區FD。

【0035】

第1基板10針對每一感測像素12具有光電二極體PD、傳輸電晶體TR、及浮動擴散區FD。第1基板10於第1半導體基板11之與光入射面側為相反側(即，正面側、或第2基板20側)之部分具有傳輸電晶體TR、及浮動擴散區FD。

【0036】

第1基板10具有將各感測像素12分離之元件分離部43。元件分離部43於第1半導體基板11之主面之法線方向(相對於第1半導體基板11之表面垂直之方向)延伸而形成，將相互鄰接之各感測像素12電性分離。元件分離部43例如由貫通第1半導體基板11之氧化矽構成。

【0037】

第1基板10例如具有與元件分離部43之光電二極體PD側之側面相接之p井層44。p井層44由與光電二極體PD不同之導電型(具體而言為p型)之半導體區域構成。第1基板10例如具有與第1半導體基板11之背面相接之固定電荷膜45。固定電荷膜45由具有負之固定電荷之絕緣膜構成，以抑制由第1半導體基板11之受光面側之界面能階引起產生暗電流。作為固定電荷膜45之材料，例如可例示氧化鉿、氧化鋯、氧化鋁、氧化鈦、或氧化鉭等。固定電荷膜45可藉由感應電場而於第1半導體基板11之受光面側之界面，形成抑制自界面產生電子之電洞儲存層。

【0038】

彩色濾光片40設置於第1半導體基板11之背面側。具體而言，彩色濾光片40例如與固定電荷膜45相接設置在相對於固定電荷膜45而與感測像素12對向之位置。受光透鏡50例如與彩色濾光片40相接設置在相對於彩色濾光片40及固定電荷膜45而與感測像素12對向之位置。

【0039】

第2基板20係於第2半導體基板21之上積層第2絕緣層52而構成。第2半導體基板21為矽基板，針對每4個感測像素12而具有1個像素電路22。第2基板20於第2半導體基板21之第3基板30側(即，正面側)之部分具有像素電路22。第2基板20以第2半導體基板21之背面朝向第1半導體基板11之正面側之方式貼合於第1基板10。即，第2基板20以面對背與第1基板10貼合。

【0040】

於第2半導體基板21設置有分離絕緣層53，於分離絕緣層53之內部設置有貫通配線54。貫通配線54藉由以分離絕緣層53覆蓋側面而與第2半導體基板21電性絕緣。貫通配線54於第2半導體基板21之主面之法線方向延伸，將第1基板10之各元件、及第2基板20之各元件相互電性連接。具體而言，貫通配線54將浮動擴散區FD、及連接配線55電性連接。貫通配線54例如係針對每一感測像素12各設置有1個。

【0041】

第2基板20例如於第2絕緣層52內具有與像素電路22或第2半導體基板21電性連接之複數個連接部59。配線層56例如具有層間絕緣層57、設置於層間絕緣層57之內部之複數條像素驅動線23、及複數條垂直信號線

24。配線層56例如於層間絕緣層57之內部，針對每4個感測像素12而各具有1個連接配線55。連接配線55將共有像素電路22之4個感測像素12之貫通配線54相互電性連接。

【0042】

配線層56進而於層間絕緣層57之內部具有複數個焊墊電極58。各焊墊電極58例如由銅(Cu)等金屬形成。各焊墊電極58露出於配線層56之表面，用於第2基板20與第3基板30之貼合、及第2基板20與第3基板30之電性連接。複數個焊墊電極58例如針對每一像素驅動線23及垂直信號線24而各設置1個。

【0043】

此處，第2基板20亦可以複數個半導體基板與複數個絕緣層之積層構造設置。

【0044】

具體而言，第2基板20亦可包含沿厚度方向積層之2個半導體基板。例如亦可藉由於積層於第2半導體基板21之上之第2絕緣層52之上進而積層半導體基板來設置第2基板20。於進而設置於第2絕緣層52之上之半導體基板例如設置有電晶體，該電晶體經由連接部59與設置於第2半導體基板21之電晶體電性連接。

【0045】

即，設置於第2基板20之像素電路22亦可分開設置於第2半導體基板21與進而積層於第2絕緣層52之上之半導體基板。具體而言，亦可為像素電路22中所包含之放大電晶體AMP、重置電晶體RST、及選擇電晶體SEL中之至少1個以上之電晶體設置於第2半導體基板21，剩餘之電晶體設置

於進而積層於第2絕緣層52之上之半導體基板。作為一例，亦可為於第2半導體基板21設置放大電晶體AMP，於進而積層於第2絕緣層52之上之半導體基板設置重置電晶體RST及選擇電晶體SEL。

【0046】

或，第2基板20亦可包含沿厚度方向積層之3個半導體基板。例如亦可藉由於積層於第2半導體基板21之上之第2緣層52之上進而積層上部第1半導體基板，且於上部第1半導體基板之上隔著絕緣層進而積層上部第2半導體基板來設置第2基板20。於積層之上部第1半導體基板、及上部第2半導體基板例如設置有電晶體，該電晶體經由連接部59等與設置於第2半導體基板21之電晶體電性連接。

【0047】

即，設置於第2基板20之像素電路22亦可分開設置於第2半導體基板21與積層之上部第1半導體基板、及上部第2半導體基板。具體而言，亦可為像素電路22中所包含之放大電晶體AMP、重置電晶體RST、及選擇電晶體SEL中之至少1個以上之電晶體分別設置於第2半導體基板21、上部第1半導體基板、及上部第2半導體基板。作為一例，亦可為於第2半導體基板21設置有放大電晶體AMP，於進而設置於第2半導體基板21之上之上部第1半導體基板設置有重置電晶體RST，於進而設置於上部第1半導體基板之上之上部第2半導體基板設置有選擇電晶體SEL。

【0048】

包含沿厚度方向積層之複數個半導體基板之第2基板20中，藉由將半導體基板分開積層而可使1個像素電路22所占之半導體基板之面積更小。藉由使用該第2基板20，攝像裝置1能夠使攝像裝置1之晶片面積更小。

【0049】

又，藉由使用該第2基板20，攝像裝置1可選擇性地擴大像素電路22中所包含之放大電晶體AMP、重置電晶體RST、及選擇電晶體SEL中之任意電晶體之面積。藉此，攝像裝置1能夠藉由擴大放大電晶體AMP之面積而進一步減少雜訊。

【0050】

第3基板30例如係於第3半導體基板31上積層第3絕緣膜61而構成。第3半導體基板31為矽基板，具有處理電路32。再者，第3基板30相對於第2基板20以正面側之面彼此貼合。因此，關於第3基板30之各構成之說明中，上下之說明與圖式中之上下方向相反。第3基板30以第3半導體基板31之正面朝向第2半導體基板21之正面側之方式貼合於第2基板20。即，第3基板30以面對面與第2基板20貼合。

【0051】

第3基板30例如於第3絕緣膜61上具有配線層62。配線層62例如具有層間絕緣層63、及設置於層間絕緣層63之內部且與處理電路32電性連接之複數個焊墊電極64。焊墊電極64之各者例如由銅(Cu)等金屬形成。焊墊電極64露出於配線層62之表面，用於第2基板20與第3基板30之貼合、及第2基板20與第3基板30之電性連接。第2基板20及第3基板30藉由焊墊電極58、64彼此之接合而相互電性連接。即，傳輸電晶體TR之閘極(傳輸閘極TG)經由貫通配線54及焊墊電極58、64與處理電路32電性連接。

【0052】

圖8及圖9係表示攝像裝置1之水平方向之剖面構成之一例之示意圖。圖8及圖9之上側之圖係表示圖7中之切剖面Sec1之剖面構成之一例之示意

圖，圖8及圖9之下側之圖係表示圖7中之切剖面Sec2之剖面構成之一例之示意圖。

【0053】

圖8中例示於第1方向V1排列有2組2×2之4個感測像素12之構成例，圖9中例示於第1方向V1及第2方向V2排列有4組2×2之4個感測像素12之構成例。

【0054】

第1方向V1平行於矩陣狀配置之複數個感測像素12之2個排列方向(例如列方向、及行方向)中之一排列方向(例如列方向)。又，第2方向V2平行於與第1方向正交之排列方向(例如行方向)。

【0055】

貫通配線54例如係針對每一感測像素12而設置，將浮動擴散區FD及後述之連接配線55電性連接。貫通配線47、48例如係針對每一感測像素12而設置。貫通配線47將第1半導體基板11之p井層42與第2基板20內之配線電性連接。貫通配線48將傳輸閘極TG及像素驅動線23電性連接。

【0056】

如圖8所示，複數條貫通配線54、複數條貫通配線48、及複數條貫通配線47於第1基板10之面內沿第2方向V2(圖8之上下方向)呈帶狀排列配置。圖8中例示複數條貫通配線54、複數條貫通配線48、及複數條貫通配線47沿第2方向V2排列配置2行之情形。

【0057】

如圖9所示，複數條貫通配線54、複數條貫通配線48、及複數條貫通配線47於第1基板10之面內沿第1方向V1(圖9之左右方向)呈帶狀排列配

置。圖9中例示複數條貫通配線54、複數條貫通配線48、及複數條貫通配線47沿第1方向V1排列配置2行之情形。

【0058】

於共有像素電路22之4個感測像素12中，4個浮動擴散區FD例如隔著元件分離部43相互接近配置。於共有像素電路22之4個感測像素12中，4個傳輸閘極TG以包圍4個浮動擴散區FD之方式配置，例如由4個傳輸閘極TG構成圓環形狀。

【0059】

如圖8所示，分離絕緣層53由沿第2方向V2延伸之複數個區塊構成。第2半導體基板21由沿第2方向V2延伸、且沿第2方向V2排列配置之複數個島狀之區塊21A構成。於各區塊21A例如設置有複數組重置電晶體RST、放大電晶體AMP、及選擇電晶體SEL。由4個感測像素12共有之1個像素電路22，例如由存在於與4個感測像素12對應之區域內之重置電晶體RST、放大電晶體AMP及選擇電晶體SEL構成。例如像素電路22由分離絕緣層53之左鄰之區塊21A內之放大電晶體AMP、與分離絕緣層53之右鄰之區塊21A內之重置電晶體RST、及選擇電晶體SEL構成。

【0060】

又，如圖9所示，分離絕緣層53由沿第1方向V1延伸之複數個區塊構成。第2半導體基板21由沿第1方向V1延伸、且沿第1方向V1排列配置之複數個島狀之區塊21A構成。於各區塊21A例如設置有複數組重置電晶體RST、放大電晶體AMP、及選擇電晶體SEL。由4個感測像素12共有之1個像素電路22，例如由存在於與4個感測像素12對應之區域內之重置電晶體RST、放大電晶體AMP、及選擇電晶體SEL構成。例如像素電路22由分

離絕緣層53之左鄰之區塊21A內之放大電晶體AMP、與分離絕緣層53之右鄰之區塊21A內之重置電晶體RST、及選擇電晶體SEL構成。

【0061】

圖10～圖13係表示攝像裝置1之水平面內之配線佈局之一例之示意圖。圖10～圖13中，與圖8相同，表示由4個感測像素12共有之1個像素電路22設置於與4個感測像素12對應之區域內之情形時之配線佈局之一例。圖10～圖13中，例如分別表示配線層56中設置於互不相同之層內之配線之佈局。

【0062】

如圖10所示，例如相互鄰接之4個貫通配線54與連接配線55電性連接。貫通配線54經由連接配線55及連接部59與分離絕緣層53之左鄰的區塊21A中所含之放大電晶體AMP之閘極、及分離絕緣層53之右鄰的區塊21A中所含之重置電晶體RST之閘極電性連接。

【0063】

如圖11所示，例如電源線VDD配置於與沿第1方向V1排列配置之各像素電路22對應之位置。電源線VDD經由連接部59與沿第1方向V1排列配置之各像素電路22之放大電晶體AMP之汲極、及重置電晶體RST之汲極電性連接。例如2條像素驅動線23配置於與沿第1方向V1排列配置之各像素電路22對應之位置。像素驅動線23之一者例如作為與沿第1方向V1排列配置之各像素電路22之重置電晶體RST之閘極電性連接之配線RSTG發揮功能。像素驅動線23之另一者例如作為與沿第1方向V1排列配置之各像素電路22之選擇電晶體SEL之閘極電性連接之配線SELG發揮功能。例如放大電晶體AMP之源極與選擇電晶體SEL之汲極經由配線25相互電性連

接。

【0064】

如圖12所示，例如2條電源線VSS配置於與沿第1方向V1排列配置之各像素電路22對應之位置。各電源線VSS於與沿第2方向V2排列配置之各感測像素12對應之位置，與複數條貫通配線47電性連接。例如4條像素驅動線23配置於與沿第1方向V1排列配置之各像素電路22對應之位置。4條像素驅動線23分別作為與沿第1方向V1排列配置之各像素電路22對應之1個感測像素12之貫通配線48電性連接之配線TRG發揮功能。4條像素驅動線23與沿第1方向V1排列配置之各感測像素12之傳輸電晶體TR之閘極電性連接。圖12中，為了區分各配線TRG，對配線TRG之末尾賦予識別編號(1、2、3、4)。

【0065】

如圖13所示，例如垂直信號線24配置於與沿第2方向V2排列配置之各像素電路22對應之位置。垂直信號線24與沿第2方向V2排列配置之各像素電路22之放大電晶體AMP之源極電性連接。

【0066】

本發明之技術適用於上述說明之積層型之攝像裝置1。以下，對本發明之技術分為第1～第3實施形態進行說明。

【0067】

＜＜2.第1實施形態＞＞

首先，參照圖14A～圖35對本發明之第1實施形態之技術進行說明。本實施形態之技術係關於設置於第2基板20之第2半導體基板21之場效電晶體。

【0068】

藉由積層3個基板而構成之攝像裝置1中，第2基板20中所含之第2半導體基板21在貼合於第1基板10之後進行薄壁化。又，第2基板20以面對背與第1基板10貼合，因此於第2半導體基板21之背面側(即，與設置有像素電路22之正面側為相反側)設置有第1絕緣層46。

【0069】

該情形時，為了避免第2半導體基板21之電位成為浮動狀態，於設置於第2半導體基板21之場效電晶體，除設置閘極、源極、及汲極以外，還設置對第2半導體基板21供給特定電位之主體端子。

【0070】

但，經薄壁化之第2半導體基板21中存在如下情況，即，自汲極區域擴展之空乏層到達第1絕緣層46而將第2半導體基板21之一部分區域電性隔離。因此，因配置主體端子而存在如下可能性，即，自主體端子向第2半導體基板21之電位供給被電性切斷，從而第2半導體基板21成為電性浮動狀態，場效電晶體之特性降低。

【0071】

本實施形態之技術係鑒於上述情況而想到者。本實施形態之技術藉由於設置有像素電路22之第2半導體基板21的背面側設置導電型雜質濃度較第2半導體基板21之其他區域高之區域，而更容易對場效電晶體之主體區域即第2半導體基板21供給電位。

【0072】

再者，於第2基板20包含沿厚度方向積層之複數個半導體基板之情形時，亦可於積層之複數個半導體基板(即，第2半導體基板21、及設置於第

2半導體基板21之上之至少1個以上之半導體基板)各者之背面側，設置有導電型雜質濃度較半導體基板之其他區域高之區域。

【0073】

圖14A係表示設置於第2半導體基板21之場效電晶體1100之一例之立體圖。

【0074】

如圖14A所示，場效電晶體1100具備半導體層1110、設置於半導體層1110與第1絕緣層1140之界面附近之第1區域1111、凸設於半導體層1110之上之擴散層1120、設置於擴散層1120之源極區域1120S、及汲極區域1120D、隔著未圖示之閘極絕緣膜而設置於擴散層1120之上之閘極電極1131、及與半導體層1110電性連接之主體端子1132。即，場效電晶體1100例如為設置於積層於第1絕緣層1140之上之半導體層1110之鰭型場效電晶體。

【0075】

第1絕緣層1140相當於第1絕緣層46。第1絕緣層1140例如包含氧化矽(SiO_2)。

【0076】

半導體層1110相當於經薄壁化之第2半導體基板21。半導體層1110為導入有第1導電型雜質(例如硼(B)、或鋁(Al)等p型雜質)之矽層。

【0077】

第1區域1111為設置於包含半導體層1110與第1絕緣層1140之界面之區域、且第1導電型雜質(例如硼(B)、或鋁(Al)等p型雜質)之濃度較半導體層1110之其他區域高的區域。具體而言，第1區域1111設置於包含半導體

層1110與第1絕緣層1140之界面、且不包含半導體層1110與擴散層1120之界面之區域。於第1區域1111擴展至半導體層1110與擴散層1120之界面附近之情形時，有可能對場效電晶體1100之特性造成影響。因此，第1區域1111較佳為遠離半導體層1110與擴散層1120之界面而設置。

【0078】

第1區域1111例如設置為包含10^{18}個/cm^3以上之第1導電型雜質即硼(B)之區域。又，半導體層1110之除第1區域1111以外之其他區域，設置為包含10^{16}個/cm^3以下之第1導電型雜質即硼(B)之區域。

【0079】

第1區域1111為了將設置於場效電晶體1100之通道區域之下方之主體區域與主體端子1132電性連接，而至少設置於汲極區域1120D之下方。藉此，第1區域1111可防止因自汲極區域1120D擴展之空乏層Dep而將半導體層1110之一部分區域電性絕緣，從而切斷自主體端子1132向半導體層1110供給電位。

【0080】

為了更確實地進行自主體端子1132向半導體層1110供給電位，較佳為跨及設置有場效電晶體1100之區域全域而設置第1區域1111。又，為了更容易地進行第1區域1111之形成，更佳為跨及半導體層1110之整個表面而設置第1區域1111。

【0081】

主體端子1132設置於半導體層1110之正面側，經由第1區域1111對場效電晶體1100之主體區域供給特定電位。主體端子1132例如與地面電性連接，對場效電晶體1100之主體區域供給接地電位。

【0082】

主體端子1132只要能夠與第1區域1111電性連接，亦可設置於半導體層1110之正面側之任意場所。但，形成有空乏層Dep之汲極區域1120D側之半導體層1110之電阻，高於源極區域1120S側之半導體層1110之電阻。因此，藉由將主體端子1132相對於閘極電極1131設置於源極區域1120S側，可降低自主體端子1132向主體區域之電阻值。

【0083】

擴散層1120向一方向延伸而自半導體層1110之一主面凸設。擴散層1120係與半導體層1110相同包含矽等。擴散層1120例如藉由如下方法形成，即，以抗蝕劑等保護與擴散層1120對應之區域後，對半導體層1110進行蝕刻，將除與擴散層1120對應之區域以外之區域之半導體層1110除去。

【0084】

源極區域1120S及汲極區域1120D隔著閘極電極1131而設置於兩側之擴散層1120。具體而言，源極區域1120S及汲極區域1120D，可藉由對擴散層1120之未被閘極電極1131覆蓋之區域導入第2導電型雜質(例如磷(P)、或砷(As)等n型雜質)而形成。此時，隔著閘極電極1131，一擴散層1120成為源極區域1120S，另一擴散層1120成為汲極區域1120D。因此，源極區域1120S及汲極區域1120D亦可自圖14A所示之例替換。

【0085】

閘極電極1131於與擴散層1120之延伸方向正交之方向延伸，且跨設於擴散層1120之上。閘極電極1131藉由隔著未圖示之閘極絕緣膜設置於擴散層1120之上，而於擴散層1120之上表面及側面之3面形成閘極構造。

閘極電極1131例如包含多晶矽等導電性材料，閘極絕緣膜例如包含氧化矽等。

【0086】

此處，為了對場效電晶體1100之閘極構造具體地進行說明，而將沿擴散層1120之延伸方向切斷場效電晶體1100而得之剖面構成示於圖14B。圖14B是表示將圖14A所示之場效電晶體沿擴散層1120之延伸方向切斷而得之剖面構成之示意圖。

【0087】

如圖14B所示，於擴散層1120之上隔著閘極絕緣膜1130而設置有閘極電極1131。又，於隔著閘極電極1131之兩側之擴散層1120，分別形成有源極區域1120S、及汲極區域1120D。藉此，源極區域1120S與汲極區域1120D之間之擴散層1120之區域成為通道區域1120C。通道區域1120C之電阻藉由施加至設置於通道區域1120C之上之閘極電極1131之電壓而控制。

【0088】

繼而，參照圖15對包含第1區域1111之半導體層1110之形成方法進行說明。圖15係表示包含第1區域1111之半導體層1110之形成方法之概略之示意圖。

【0089】

如圖15所示，第1區域1111於將第1基板10與第2基板20貼合之前，預先形成於第2基板20之半導體層1110(第2導體基板21)。具體而言，於在積層形成有光電二極體PD等之第1半導體基板11、及第1絕緣層46而成之第1基板10貼合包含半導體層1110之第2基板20之情形時，預先於半導體層

1110之貼合面側形成第1區域1111。

【0090】

第1區域1111可藉由對半導體層1110之貼合面側之區域導入第1導電型雜質而形成。作為對第1區域1111導入第1導電型雜質之方法，可使用離子植入、固相擴散、或電漿摻雜等周知之摻雜方法。於在貼合於第1基板10之前形成第1區域1111之情形時，可自與第1基板10之貼合面側對半導體層1110導入第1導電型雜質。該情形時，可自更靠近形成第1區域1111之區域之面進行第1導電型雜質之摻雜，因此可以更高精度控制形成第1區域1111之深度。

【0091】

繼而，參照圖16及圖17對本實施形態之技術之變化進行說明。圖16係示意性表示本實施形態之場效電晶體1100之構造之變化之立體圖。

【0092】

如圖16所示，亦可自包含半導體層1110與第1絕緣層1140之界面之區域延伸至半導體層1110之正面側之設置有主體端子1132之區域而設置第1區域1111A。該情形時，可進一步降低自主體端子1132至場效電晶體1100之主體區域之導通電阻。

【0093】

但，該情形時，設置於半導體層1110之正面側之第1區域1111A、與設置於擴散層1120之源極區域1120S或汲極區域1120D接近。因此，場效電晶體1100之主體端子與源極或汲極端子有可能意外導通。因此，設置於半導體層1110之正面側之第1區域1111A、與設置於擴散層1120之源極區域1120S或汲極區域1120D之間，設置有包含SiO_2等絕緣性材料之元件分

離層1115。藉此，場效電晶體1100藉由於適當區域設置元件分離層1115，可防止延伸之第1區域1111A與意外之要素導通或產生漏電。

【0094】

圖17係表示將本實施形態之場效電晶體1100與通常之場效電晶體1900混載之變化之示意圖。

【0095】

如圖17所示，亦可於半導體層1110混載本實施形態之場效電晶體1100與平面型之場效電晶體1900。

【0096】

具體而言，場效電晶體1100如上所述係鰭型場效電晶體，即，於自半導體層1110向一方向延伸而凸設之擴散層1120之上，隔著閘極絕緣膜1130而跨設有閘極電極1131。於隔著閘極電極1131之兩側之擴散層1120，設置有源極區域1120S及汲極區域1120D。

【0097】

另一方面，場效電晶體1900係於半導體層1110之上隔著閘極絕緣膜1930而設置有閘極電極1931之平面型之場效電晶體。於隔著閘極電極1931之兩側之半導體層1110，設置有源極區域1920S及汲極區域1920D。

【0098】

設置有鰭型場效電晶體1100、平面型場效電晶體1900、及主體端子1132之區域，藉由包含絕緣性材料之元件分離層1115相互電性隔離以相互不產生意外導通等。

【0099】

此處，形成於包含半導體層1110與第1絕緣層1140之界面之區域之第

1區域1111A，不僅設置於鰭型場效電晶體1100，而且亦設置於平面型場效電晶體1900之下方。藉此，第1區域1111A藉由延伸至設置有主體端子1132之半導體層1110之正面側之區域，而可對鰭型場效電晶體1100、及平面型場效電晶體1900雙方之主體區域均勻供給電位。

【0100】

其次，參照圖18～圖35對適用本實施形態之技術之場效電晶體1100之更具體構造、及製造方法進行說明。圖18～圖35係依序表示適用本實施形態之技術之場效電晶體1100之製造方法之各工序之示意圖。

【0101】

首先，如圖18所示，於形成有感測像素之第1半導體基板11(未圖示)上形成第1絕緣層1140。其次，藉由對半導體層(第2半導體基板)1110摻雜第1導電型雜質(例如p型雜質)而形成第1區域1111。以形成有第1區域1111之側之面與第1絕緣層1140相向之方式，將半導體層1110貼合於第1半導體基板11。繼而，使半導體層1110薄壁化至特定膜厚之後，使半導體層1110之表面氧化(未圖示)，進而於半導體層1110之氧化表面之上沈積SiN膜1160。

【0102】

其次，如圖19所示，對SiN膜1160及半導體層1110進行蝕刻而形成開口1160A。藉此，如圖19之下側之俯視圖所示，形成有：長方形形狀之主圖案1121，其向一方向延伸，且於延伸方向之一方開口；及虛設圖案1122，其於主圖案1121之兩側沿與主圖案1121之延伸方向平行之方向延伸。主圖案1121最終成為場效電晶體1100之通道、源極、及汲極。

【0103】

繼而，如圖20所示，利用SiO_2膜1171嵌埋開口1160A。

【0104】

其次，如圖21所示，藉由蝕刻使SiO_2膜1171形成凹槽(後退)，藉此形成底部殘存有SiO_2膜1171之開口1160B。此時，虛設圖案1122藉由使蝕刻圖案之密度均勻化，可防止因蝕刻之微負載效應導致主圖案1121之開口1116B之深度不均。因此，根據該構成，可使場效電晶體1100之特性更加良好。

【0105】

繼而，如圖22所示，沈積蝕刻速率較高之材料即BSG(添加硼之矽氧鹽玻璃)膜1172，藉此嵌埋開口1160B。

【0106】

其次，如圖23所示，於BSG膜1172之上形成蝕刻遮罩1173之後，對與虛設圖案1122對應之區域之BSG膜1172、SiN膜1160、及半導體層1110進行蝕刻而形成開口1160C。藉此，如圖23之下側之俯視圖所示將虛設圖案1122除去。

【0107】

繼而，如圖24所示，沈積SiN膜1161之後，各向等性地進行蝕刻，藉此僅於開口1160C之底部沈積SiN膜1161。

【0108】

其次，如圖25所示，使用蒸汽(vapor)狀之氟化氫(HF，hydrofluoric)溶液等選擇性地除去BSG膜1172。藉此，如圖25之下側之俯視圖所示，於半導體層1110僅形成主圖案1121。

【0109】

繼而，如圖26所示，使BSG(添加硼之矽氧鹽玻璃)膜1174以特定膜厚沈積。

【0110】

其後，如圖27所示，藉由將BSG膜1174蝕刻特定膜厚量，而於主圖案1121之側面形成成為側壁之BSG膜1174。藉此，如圖27之下側之俯視圖所示，沿主圖案1121之外周形成經圖案化之BSG膜1174。

【0111】

其次，如圖28所示，跨及半導體層1110之整個表面沈積SiO_2膜1180。

【0112】

繼而，如圖29所示，使用CMP(Chemical Machanical Polishing，化學機械研磨)等使沈積之SiO_2膜1180平坦化，藉此使SiN膜1160露出。

【0113】

其後，如圖30所示，藉由對後段成為通道之區域之SiN膜1160選擇性地進行蝕刻而形成開口1160D。如圖30之下側之俯視圖所示，後段成為通道之區域為於與主圖案1121之延伸方向正交之方向橫斷主圖案1121之中央之區域。

【0114】

其次，如圖31所示，使用蒸汽(vapor)狀之氟化氫(HF)溶液等選擇性地除去BSG膜1174。藉此，如圖31之下側之俯視圖所示，於主圖案1121之一部分區域，藉由開口1160D而使半導體層1110露出。

【0115】

繼而，如圖32所示，使藉由開口1160D露出之半導體層1110之表面

氧化，藉此形成閘極絕緣膜(未圖示)。其後，沈積多晶矽之後，利用CMP等加以平坦化，藉此形成閘極電極1131。此時，如圖32之下側之俯視圖所示，閘極電極1131形成於主圖案1121之周圍、及與開口1160D對應之平面區域。

【0116】

其次，如圖33所示形成硬質遮罩1175，進而於硬質遮罩1175之側面形成間隔件1176。進而，以硬質遮罩1175及間隔件1176為遮罩對半導體層1110進行第2導電型雜質(例如n型雜質)之離子植入，藉此形成成為源極或汲極之擴散層1120。

【0117】

再者，如圖33之下側之俯視圖所示，由硬質遮罩1175之大小決定場效電晶體1100之通道寬度。又，設置間隔件1176以將通道區域與源極區域及汲極區域隔離開。間隔件1176之大小係根據場效電晶體1100之特性而適當調整。

【0118】

繼而，如圖34所示，除去間隔件1176之後，以硬質遮罩1175為遮罩將露出之多晶矽(形成閘極電極1131時沈積之多晶矽)除去。

【0119】

其次，如圖35所示，利用SiO_2等嵌埋藉由除去多晶矽而產生之開口，且將硬質遮罩1175除去。其後，如圖35之下側之俯視圖所示，於包含閘極電極1131之一部分之平面區域形成接觸孔，且利用鎢嵌埋所形成之接觸孔，藉此形成自閘極電極1131之上表面至側面接觸之接觸插塞1190。接觸插塞1190與形成於未圖示之第1基板10之感測像素12之浮動擴

散區FD電性連接。

【0120】

藉由該工序，能夠製造適用本實施形態之技術之場效電晶體1100。

【0121】

以上，對本發明之第1實施形態之技術進行詳細說明。根據本實施形態之技術，於設置有像素電路22之第2半導體基板21，能夠容易地對場效電晶體之主體區域供給特定電位。因此，根據本實施形態之技術，可提高設置於第2半導體基板21之場效電晶體之電氣特性之可靠性。

【0122】

＜＜3.第2實施形態＞＞

其次，參照圖36～圖43對本發明之第2實施形態之技術進行說明。本實施形態之技術係關於第2基板20之第2半導體基板21。

【0123】

於藉由積層3個基板而構成之攝像裝置1中，為了將第2基板20中所含之第2半導體基板21之電位固定於特定電位，而於第2半導體基板21之背面側設置導入有導電型雜質之井區域。井區域藉由與外部電源或地面電性連接，而對設置於第2半導體基板21之場效電晶體供給反偏壓電位、或接地電位。

【0124】

該井區域例如可藉由如下方法形成，即，將第1基板10與第2基板20貼合之後，對第2基板20中所含之第2半導體基板21之特定區域離子植入導電型雜質。

【0125】

具體而言，於將第1基板10與第2基板20貼合之後，使第2基板20中所含之第2半導體基板21薄壁化，於經薄壁化之第2半導體基板21形成閘極構造之後進行導電型雜質之離子植入。

【0126】

此處，第2半導體基板21之薄壁化之精度為數百nm左右，因此經薄壁化之第2半導體基板21之厚度不均為數百nm左右。因此，於在固定條件下進行導電型雜質之離子植入之情形時，難以於與第1基板10之界面附近之第2半導體基板21穩定形成井區域。又，於第2半導體基板21之厚度較設定厚度薄之情形時，有可能對第1基板10進行離子植入，因此難以於第2半導體基板21之背面側之較深區域形成井區域。因此，難以使設置於第2半導體基板21之場效電晶體之特性均勻化。

【0127】

又，鰭型場效電晶體與相同平面面積之平面型場效電晶體相比，可使閘極寬度更大，因此期待為可更容易使互導增加之電晶體。又，鰭型場效電晶體中，電荷通過遠離半導體與絕緣體之界面之區域，電荷難以受存在於半導體與絕緣體之界面之陷阱之影響，因此期待為隨機雜訊特性良好之電晶體。因此，研究將鰭型場效電晶體適用於設置於第2半導體基板21之放大電晶體AMP等。

【0128】

然而，鰭型場效電晶體中，於形成於較淺區域之井區域之導電型雜質於鰭構造擴散之情形時，使得場效電晶體之電流-電壓特性降低。因此，於在第2半導體基板21形成鰭型場效電晶體之情形時，重要的是於遠離鰭構造之第2半導體基板21之適當區域形成井區域。

【0129】

本實施形態之技術係鑒於上述情況而想到者。本實施形態之技術係藉由自與第1基板10貼合之前之第2半導體基板21之貼合面側預先導入導電型雜質，而於第2半導體基板21之適當區域形成井區域。

【0130】

尤其，本實施形態之技術中，藉由於與第1基板10貼合之前之第2半導體基板21之貼合面側進行包含導電型雜質之沈積而形成井區域。藉此，可於第2半導體基板21形成導電型雜質之濃度分佈較離子植入等摻雜方法更急遽之井區域。因此，本實施形態之技術能夠對第2半導體基板21之貼合面側之所需區域選擇性地導入導電型雜質。

【0131】

再者，於第2基板20包含沿厚度方向積層之複數個半導體基板之情形時，亦能夠對積層之複數個半導體基板(即，第2半導體基板21、及設置於第2半導體基板21之上之至少1個以上之半導體基板)之各者適用本實施形態之技術。具體而言，積層之複數個半導體基板(即，第2半導體基板21、及設置於第2半導體基板21之上之至少1個以上之半導體基板)之各者，亦可於與其他基板等貼合之前，對貼合面側之所需區域導入導電型雜質。

【0132】

圖36係表示將第2半導體基板1210(21)貼合於第1基板1201(10)時之形態之示意圖。

【0133】

如圖36所示，在貼合於第1基板1201(10)之前段，於第2半導體基板1210(21)設置作為場效電晶體之井區域發揮功能之第1區域1211。

【0134】

第1基板1201係於第1半導體基板1230(11)之上積層第1絕緣層1240(46)而構成。

【0135】

第1半導體基板1230(11)為矽基板，例如於表面之一部分及其附近具有p井層1231(42)，且於除此以外之區域(即，較p井層1231深之區域)具有光電二極體PD。p井層1231由p型半導體區域構成，光電二極體PD由與p井層1231不同之導電型(例如n型)之半導體區域構成。第1半導體基板1230於p井層1231之內部，具有作為與p井層1231不同之導電型(例如n型)之半導體區域之浮動擴散區FD、與自光電二極體PD取出電荷之傳輸電晶體TR之傳輸閘極TG。

【0136】

又，第1半導體基板1230具有將各光電二極體PD分離之元件分離部1241(43)、及與元件分離部1241之光電二極體PD側之側面相接之p井層1242(44)。元件分離部1241於第1半導體基板1230之主面之法線方向(相對於第1半導體基板1230之表面垂直之方向)延伸而形成，且將相互鄰接之各光電二極體PD電性分離。元件分離部1241例如由貫通第1半導體基板1230之氧化矽構成。p井層1242由與光電二極體PD不同之導電型(具體而言為p型)之半導體區域構成。

【0137】

進而，於第1基板1201之與第2半導體基板1210之貼合面之相反側之面，設置有複數個絕緣膜1251、1252、1253與支持基板1250。絕緣膜1251例如為TEOS(TetraEthyl OrthoSilicate，四乙基正矽氧鹽)膜，絕緣

膜1252例如為SiN膜，絕緣膜1253例如為SiO_2膜。支持基板1250例如為矽基板，設置該支持基板1250以於攝像裝置1之製造工序中保持第1基板1201及確保第1基板1201之剛性。

【0138】

第2半導體基板1210例如為矽基板。第2半導體基板1210於與第1基板1201之貼合面側，具有導入有第1導電型雜質(例如硼(B)等p型雜質)之第1區域1211。第2半導體基板1210於形成第1區域1211之後與第1基板1201貼合。

【0139】

第1區域1211係藉由對第2半導體基板1210之貼合面側之區域導入第1導電型雜質而形成之區域。作為對第1區域1211導入第1導電型雜質之方法，可使用離子植入、固相擴散、或電漿摻雜等周知之摻雜方法。

【0140】

於與第1基板1201貼合之前於第2半導體基板1210形成第1區域1211之情形時，可自與第1基板1201之貼合面側進行使用上述周知摻雜方法向第2半導體基板1210摻雜第1導電型雜質。該情形時，可自靠近第1區域1211之面側摻雜第1導電型雜質，因此可以更高精度控制形成第1區域1211之深度。又，可於薄壁化前之第2半導體基板1210摻雜第1導電型雜質，因此可不受薄壁化所致之第2半導體基板1210之厚度不均之影響而於適當區域形成第1區域1211。

【0141】

又，第1區域1211較佳為藉由包含第1導電型雜質(例如硼(B)等p型雜質)之沈積而形成。具體而言，於第2半導體基板1210為矽基板之情形時，

第1區域1211較佳為形成為包含第1導電型雜質(例如硼)之磊晶生長層。或，於第2半導體基板1210為矽基板之情形時，第1區域1211較佳為形成為包含第1導電型雜質(例如硼)之多晶矽層。

【0142】

藉此，可將選擇性地導入第1導電型雜質而沈積之層設為第1區域1211，因此能夠對結晶中之單一原子層導入雜質(進行所謂之δ摻雜)。因此，可使第1區域1211中之第1導電型雜質之厚度方向之濃度分佈更急遽。

【0143】

尤其，於形成第1區域1211作為包含第1導電型雜質之磊晶生長層之情形時，能夠以更高精度控制第1區域1211中之第1導電型雜質之濃度分佈。另一方面，於形成第1區域1211作為包含第1導電型雜質之多晶矽層之情形時，能夠以更容易之製造製程形成第1區域1211。

【0144】

圖37～圖39係表示將第2半導體基板1210(21)貼合於第1基板1201(10)時之另一形態之示意圖。

【0145】

如圖37～圖39所示，本形態係藉由來自包含第1導電型雜質(例如硼(B))之雜質導入膜1212之第1導電型雜質之擴散而形成第1區域1211之形態。

【0146】

具體而言，如圖37所示，雜質導入膜1212亦可沈積於第2半導體基板1210之貼合面側。又，亦可進而於雜質導入膜1212之表面沈積上覆層

1213。

【0147】

雜質導入膜1212係包含硼矽氧鹽玻璃(BoroSilicate Glass：BSG)，且藉由熱擴散使作為第1導電型雜質之硼(B)於第2半導體基板1210擴散而得之膜。上覆層1213係包含利用ALD(atomic layer deposition，原子層沈積)等而沈積之SiO或SiN，抑制雜質導入膜1212之膜質變化、或第1導電型雜質向第1絕緣層1240之擴散之層。

【0148】

該情形時，雜質導入膜1212可使用將第2半導體基板1210貼合於第1基板1201後之製程中產生之熱，使第1導電型雜質(例如硼(B))於第2半導體基板1210擴散。藉此，雜質導入膜1212可於第2半導體基板1210形成包含第1導電型雜質之第1區域1211。

【0149】

再者，第2半導體基板1210亦可在貼合於第1基板10之後，藉由研磨等薄壁化至厚度500 nm左右。第1導電型雜質(例如硼(B))自雜質導入膜1212之擴散亦可於第2半導體基板1210之薄壁化之後進行。

【0150】

又，如圖38所示，雜質導入膜1212亦可沈積於第2半導體基板1210之貼合面側。

【0151】

雜質導入膜1212同樣係包含硼矽氧鹽玻璃(BoroSilicate Glass：BSG)、且藉由熱擴散而使作為第1導電型雜質之硼(B)於第2半導體基板1210擴散而得之膜。該情形時，雜質導入膜1212可使用將第2半導體基板

1210貼合於第1基板1201後之製程中產生之熱，使第1導電型雜質(例如硼(B))於第2半導體基板1210擴散。藉此，雜質導入膜1212可於第2半導體基板1210形成包含第1導電型雜質之第1區域1211。

【0152】

進而，如圖39所示，雜質導入膜1212亦可沈積於第1基板1201之貼合面側。

【0153】

雜質導入膜1212係包含硼矽氧鹽玻璃(BoroSilicate Glass：BSG)、且藉由熱擴散而使作為第1導電型雜質之硼(B)於貼合之第2半導體基板1210擴散而得之膜。該情形時，雜質導入膜1212可使用將第2半導體基板1210貼合於第1基板1201後之製程中產生之熱，使第1導電型雜質(例如硼(B))於第2半導體基板1210擴散。藉此，雜質導入膜1212可於第2半導體基板1210形成包含第1導電型雜質之第1區域1211。

【0154】

圖40～圖43係表示將第2半導體基板1210(21)貼合於第1基板1201(10)時之又一形態之示意圖。

【0155】

如圖40～圖43所示，本形態係分別於第2半導體基板1210形成互不相同之導電型之第1區域1211P、1211N之形態。

【0156】

具體而言，首先，如圖40所示，藉由設以覆蓋第2半導體基板1210之特定區域之方式設置之抗蝕劑1299為遮罩，將第1導電型雜質植入於第2半導體基板121而形成第1區域1211P。例如第1區域1211P可藉由將作為第

1導電型雜質之硼(B)植入於第2半導體基板121而形成。

【0157】

繼而，如圖41所示，藉由設以覆蓋第2半導體基板1210之與第1區域1211P不同之區域之方式設置之抗蝕劑1299為遮罩，將第2導電型雜質植入於第2半導體基板121而形成第1區域1211N。例如第1區域1211N可藉由將作為第2導電型雜質之磷(P)或砷(As)植入於第2半導體基板121而形成。再者，第1區域1211N、1211P之形成順序亦可相反。

【0158】

其次，如圖42所示，設形成有第1區域1211P、1211N之側之面為貼合面將第2半導體基板1210貼合於第1基板1201。

【0159】

第1基板1201係藉由於第1半導體基板1230之上積層第1絕緣層1240而構成。第1半導體基板1230為矽基板，例如於表面之一部分及其附近具有p井層1231，且於除此以外之區域(即，較p井層1231深之區域)具有光電二極體PD。p井層1231由p型半導體區域構成，光電二極體PD由與p井層1231不同之導電型(例如n型)之半導體區域構成。

【0160】

於p井層1231之內部，設置有與p井層1231不同之導電型(例如n型)之半導體區域即浮動擴散區FD、及與p井層1231相同之導電型(例如p型)之半導體區域即井接點well。於p井層1231之上，設置有自光電二極體PD將電荷取出至浮動擴散區FD之傳輸閘極TG、與浮動擴散區FD電性連接之電極1243、及與井接點well電性連接之電極1245。

【0161】

又，於第1半導體基板1230設置有將各光電二極體PD分離之元件分離部1241、及與元件分離部1241之光電二極體PD側之側面相接之p井層1242。元件分離部1241於第1半導體基板1230之主面之法線方向(相對於第1半導體基板1230之表面垂直之方向)延伸而形成，將相互鄰接之光電二極體PD各者電性分離。元件分離部1241例如包含貫通第1半導體基板1230之氧化矽。p井層1242由與光電二極體PD不同之導電型(具體而言為p型)之半導體區域構成。

【0162】

其後，如圖43所示，於第2半導體基板1210設置有p型電晶體TrP、n型電晶體TrN、及鰭型電晶體TrF。於第2半導體基板1210之上，以嵌埋p型電晶體TrP、n型電晶體TrN、及鰭型電晶體TrF之方式積層有第2絕緣層1220。再者，與浮動擴散區FD電性連接之電極1243，經由貫通第1絕緣層1240及第2半導體基板1210之未圖示之接點，與設置於第2半導體基板1210之放大電晶體之閘極電極電性連接。與井接點well電性連接之電極1245可經由貫通第1絕緣層1240之未圖示之接點，例如與第2半導體基板1210之p井(例如後述之第1區域1211P或p井區域1210P)電性連接。

【0163】

具體而言，可藉由於第1區域1211P之一部分區域之上進而設置與第1區域1211P相同之第1導電型(即，p型)之p井區域1210P，而於p井區域1210P形成n型電晶體TrN。又，可藉由於第1區域1211N之一部分區域之上進而設置與第1區域1211N相同之第2導電型(即，n型)之n井區域1210N，而於n井區域1210N形成p型電晶體TrP。進而，於第1區域1211P、1211N各者之其他區域之上，隔著非摻雜之第2半導體基板1210

之區域而設置有鰭型電晶體TrF。

【0164】

藉此，於鰭型電晶體TrF中，可藉由設置於第2半導體基板1210之較深區域之第1區域1211P、1211N而使空乏層下低電阻化。因此，可使向鰭型電晶體TrF之主體區域之電位供給更穩定化。又，能夠藉由於第2半導體基板1210形成不同導電型之第1區域1211P、1211N，而分別於第2半導體基板1210形成不同極性之n型電晶體TrN及p型電晶體TrP。

【0165】

繼而，參照圖44～圖47對本實施形態之技術之變化進行說明。圖44～圖47係示意性表示相對於設置於第2半導體基板1210之場效電晶體之井區域之接觸插塞的構造變化之縱剖視圖。再者，於第2基板20包含沿厚度方向積層之複數個半導體基板之情形時，接觸插塞亦可以下述所示之構造分別設置於積層之複數個半導體基板(即，第2半導體基板1210、及設置於第2半導體基板1210之上之至少1個以上之半導體基板)之各者。

【0166】

圖44～圖47中圖示如下積層體，該積層體係將於第1半導體基板1230(11)之上積層有第1絕緣層1240(46)之第1基板1201(10)、與於第2半導體基板1210(21)之上積層有第2絕緣層1220(52)之第2基板1202(20)貼合而成。因此，圖44～圖47中，省略設置於第1基板1201之背面側之彩色濾光片40、及受光透鏡50、以及設置於第2基板1202之正面側之第3基板30之記載。

【0167】

如圖44～圖47所示，第1基板1201具有光電二極體PD、及電晶體

Tr1，第2基板1202具有電晶體Tr2、及作為電晶體Tr2之井區域發揮功能之第1區域1211。設置於第2基板1202之第1區域1211，經由電性連接之接觸插塞(Contact Plug)CP而固定於特定電位。

【0168】

此處，如圖44所示，接觸插塞CP亦可經由設置於第2半導體基板1210之表面之一部分區域之第2區域1260對作為井區域之第1區域1211供給電位。

【0169】

第2區域1260例如為以與第1區域1211相同程度之高濃度包含第1導電型雜質之區域，設置於第2半導體基板1210之表面之一部分區域。第2區域1260雖未與第1區域1211鄰接設置，但可藉由降低接觸插塞CP與第2半導體基板1210之接觸電阻，而使接觸插塞CP與第1區域1211之間之導通性提高。

【0170】

又，如圖45所示，接觸插塞CP亦可經由設置於第2半導體基板1210之表面之一部分區域之第2區域1260、以及設置於與第2區域1260及第1區域1211鄰接之區域之第3區域1261，對作為井區域之第1區域1211供給電位。

【0171】

第2區域1260例如為以與第1區域1211相同程度之高濃度包含第1導電型雜質之區域，設置於第2半導體基板1210之表面之一部分區域。第3區域1261為以較第1區域1211、及第2區域1260低之濃度包含第1導電型雜質之區域，設置於與第1區域1211及第2區域1260鄰接之區域。具體而言，

第3區域1261亦可於第2半導體基板1210之厚度方向上，設置於第1區域1211與第2區域1260之間之區域。藉此，第2區域1260、及第3區域1261可使接觸插塞CP與第1區域1211之間之導通性進一步提高。

【0172】

又，如圖46所示，接觸插塞CP1亦可貫通第2半導體基板1210而設置，與第1區域1211直接接觸。藉此，接觸插塞CP1可直接對作為井區域之第1區域1211供給電位，因此可以更低電阻對第1區域1211供給電位。

【0173】

再者，亦可於第2半導體基板1210之表面之一部分區域，任意設置以與第1區域1211相同程度之高濃度包含第1導電型雜質之第2區域1260。第2區域1260可使接觸插塞CP1與第1區域1211之間之導通性進一步提高。

【0174】

進而，如圖47所示，接觸插塞CP2亦可貫通第2半導體基板1210及第1絕緣層1240而設置，與第1區域1211及設置於第1半導體基板1230之第4區域1280直接接觸。第4區域1280係以與第1區域1211相同程度之高濃度包含第1導電型雜質之區域，設置於第1半導體基板1230之表面之一部分區域。設置第4區域1280以用以對第1半導體基板1230之井區域供給電位。

【0175】

藉此，接觸插塞CP2可對第2半導體基板1210之第1區域1211與第1半導體基板1230之第4區域1280直接供給電位。因此，可對積層之第1半導體基板1230、及第2半導體基板1210各者以1個接觸插塞CP2供給電位，因而攝像裝置1之面積效率得以改善。

【0176】

再者，亦可於第2半導體基板1210之表面之一部分區域，任意設置以與第1區域1211相同程度之高濃度包含第1導電型雜質之第2區域1260。第2區域1260可使接觸插塞CP2與第1區域1211之間之導通性進一步提高。

【0177】

以上，對本發明之第2實施形態之技術進行詳細說明。根據本實施形態之技術，於設置有像素電路22之第2半導體基板21中，能夠於第2半導體基板21之適當區域形成導入有第1導電型雜質之井區域。因此，根據本實施形態之技術，可使設置於第2半導體基板21之場效電晶體之電氣特性之可靠性提高。

【0178】

＜＜4.第3實施形態＞＞

繼而，參照圖48～圖55對本發明之第3實施形態之技術進行說明。本實施形態之技術係關於第2基板20之第2半導體基板21。

【0179】

於藉由積層3個基板而構成之攝像裝置1中，為了將第2基板20中所含之第2半導體基板21之電位固定於特定電位，而於第2半導體基板21之背面側設置導入有導電型雜質之井區域。井區域藉由與外部電源或地面電性連接，而對設置於第2半導體基板21之場效電晶體供給反偏壓電位、或接地電位。

【0180】

該井區域例如可藉由以下方法形成，即，於將第1基板10與第2基板20貼合之後，對第2基板20中所含之第2半導體基板21之特定區域離子植

入導電型雜質。

【0181】

具體而言，於將第1基板10與第2基板20貼合之後，使第2基板20中所含之第2半導體基板21薄壁化，於經薄壁化之第2半導體基板21形成閘極構造之前進行導電型雜質之離子植入。

【0182】

此處，經薄壁化之第2半導體基板21之厚度為數百nm左右。因此，離子植入之第1導電型雜質於第2半導體基板21較廣地擴散，由此有可能對場效電晶體之電氣特性造成影響。

【0183】

例如鰭型場效電晶體中，於井區域之導電型雜質擴散至鰭構造之情形時，有可能使鰭型場效電晶體之電流-電壓特性降低。因此，為了良好地維持設置於第2半導體基板21之場效電晶體之電氣特性，重要的是適當地控制導電型雜質之擴散以不使井區域之導電型雜質擴散至第2半導體基板21之表面。

【0184】

本實施形態之技術係鑒於上述情況而想到者。本實施形態之技術藉由對第2半導體基板21之井區域進而導入控制導電型雜質之擴散之非導電型雜質，而適當地控制導電型雜質之擴散。

【0185】

再者，於第2基板20包含沿厚度方向積層之複數個半導體基板之情形時，亦能夠對積層之複數個半導體基板(即，第2半導體基板1310、及設置於第2半導體基板1310之上之至少1個以上之半導體基板)之各者適用本實

施形態之技術。具體而言，對積層之複數個半導體基板(即，第2半導體基板1310、及設置於第2半導體基板1310之上之至少1個以上之半導體基板)之第1區域1311除導入第1導電型雜質以外，還可導入抑制導電型雜質之擴散之非導電型雜質。

【0186】

圖48及圖49係表示第2半導體基板1310之第1區域1311之形成、及場效電晶體之形成形態之示意圖。

【0187】

如圖48及圖49所示，第1基板1301(10)係於第1半導體基板1330(11)之上積層第1絕緣層1340(46)而構成。第2半導體基板1310(21)以形成有第1區域1311之側之面朝向第1絕緣層1340之方式與第1基板1301貼合。又，於第2半導體基板1310之與形成有第1區域1311之側為相反側之面，設置有具備閘極電極1320、閘極絕緣膜1321、源極區域1310S、汲極區域1310D、及側壁絕緣膜1322之場效電晶體1300。

【0188】

第1區域1311係藉由對第2半導體基板1310之貼合面側之區域導入第1導電型雜質、及非導電型雜質而形成。作為對第1區域1311導入第1導電型雜質及非導電型雜質之方法，可使用離子植入。又，亦能夠使用固相擴散或電漿摻雜等其他周知之摻雜方法。

【0189】

對第1區域1311導入第1導電型雜質及非導電型雜質之時序，可如圖48所示為第1基板1301與第2半導體基板1310貼合之後，亦可如圖49所示為第1基板1301與第2半導體基板1310貼合之前。

【0190】

第1區域1311例如至少設置於第2半導體基板1310之整個表面中之設置場效電晶體之平面區域。但，為了進一步簡化製造工序，亦可跨及第2半導體基板1310之整個表面而設置第1區域1311。

【0191】

非導電型雜質係藉由與第1導電型雜質鍵結而抑制第1導電型雜質擴散之物質。具體而言，若第1導電型雜質為硼(B)，可使用碳(C)作為與第1導電型雜質鍵結之非導電型雜質。藉由對第1區域1311導入與為了形成第1區域1311而導入至第2半導體基板1310之硼相同濃度或更高濃度之碳，可抑制第2半導體基板1310中之硼擴散。

【0192】

又，若第1導電型雜質為硼(B)，可使用氟(F)作為與第1導電型雜質鍵結之非導電型雜質。藉由對第1區域1311導入相較於為了形成第1區域1311而導入至第2半導體基板1310之硼之濃度更高濃度之氟，可抑制第2半導體基板1310中之硼擴散。

【0193】

因此，根據本實施形態之技術，可抑制導入至形成於第2半導體基板1310之背面側之第1區域1311的第1導電型雜質向第2半導體基板1310之正面側擴散。藉此，本實施形態之技術可抑制設置於第2半導體基板1310之場效電晶體1300之電氣特性降低。

【0194】

繼而，參照圖50及圖51，對本實施形態之技術之變化進行說明。圖50及圖51係示意性表示設置於第2半導體基板1310之場效電晶體之構造之

變化之剖視圖。圖50及圖51係分別自第2半導體基板1310之面內正交之二方向觀察場效電晶體之側視圖。

【0195】

如圖50及圖51所示，場效電晶體1300A設置於與第1基板1301貼合之第2半導體基板1310，該第1基板1301具有積層有第1絕緣層1340之第1半導體基板1330。場效電晶體1300A係於凸設於第2半導體基板1310表面之擴散層1312之上隔著閘極絕緣膜1321而跨設有閘極電極1320之鰭型場效電晶體。

【0196】

場效電晶體1300A中，藉由對隔著閘極電極1320設置於兩側之擴散層1312導入第2導電型雜質，而形成源極區域及汲極區域。又，場效電晶體1300A中，隔著閘極絕緣膜1321而被閘極電極1320覆蓋、且在源極區域與汲極區域之間之擴散層1312成為通道區域。場效電晶體1300A中，於被閘極電極1320覆蓋之擴散層1312之上表面及兩側面之3個面形成閘極構造，因此與以相同平面面積形成之場效電晶體1300相比，可將閘極寬度增大。

【0197】

根據本實施形態之技術，可抑制第1區域1311中所含之第1導電型雜質擴散，因此可降低第1導電型雜質進入形成通道之擴散層1312之可能性。藉此，可抑制因進入擴散層1312之第1導電型雜質而導致實效之閘極寬度縮小，因此能夠良好地維持場效電晶體1300A之電氣特性。

【0198】

以上，對本發明之第3實施形態之技術進行詳細說明。根據本實施形

態之技術，於設置有像素電路22之第2半導體基板21中，可藉由將與第1導電型雜質鍵結之非導電型雜質進而導入至井區域而抑制第1導電型雜質之擴散。因此，根據本實施形態之技術，可抑制設置於第2半導體基板21之場效電晶體之電氣特性因第1導電型雜質之擴散而降低。

【0199】

＜＜5.變化例＞＞

以下，對適用本發明之技術之攝像裝置1之變化例進行說明。再者，以下變化例中，對與上述說明之攝像裝置1共通之構成附上相同符號。

【0200】

(第1變化例)

首先，參照圖52對攝像裝置1之積層方向之剖面構成之一變化例即第1變化例進行說明。圖52係表示圖7中記載之剖面構成之一變化例之縱剖視圖。

【0201】

如圖52所示，第1變化例之攝像裝置1中，傳輸電晶體TR具有平面型之傳輸閘極TG。因此，傳輸閘極TG不貫通p井層42而形成於第1半導體基板11之表面。即便於傳輸電晶體TR使用平面型之傳輸閘極TG之情形時，攝像裝置1亦可發揮與上述相同之效果。

【0202】

(第2變化例)

其次，參照圖53對攝像裝置1之積層方向之剖面構成之一變化例即第2變化例進行說明。圖53係表示圖7中記載之剖面構成之一變化例之縱剖視圖。

【0203】

如圖53所示，第2變化例之攝像裝置1中，第2基板20與第3基板30之電性連接係利用與第1基板10之周邊區域14對應之區域來形成。周邊區域14係第1基板10之與設置於像素區域13周緣之邊框區域對應之區域。第2變化例之攝像裝置1中，第2基板20於與周邊區域14對應之區域具有複數個焊墊電極58，第3基板30於與周邊區域14對應之區域具有複數個焊墊電極64。藉此，第2基板20及第3基板30利用設置於與周邊區域14對應之區域之焊墊電極58、64彼此之接合而相互電性連接。因此，第2變化例之攝像裝置1中，相較於利用與像素區域13對應之區域將焊墊電極58、64彼此接合之情形，可降低焊墊電極58、64彼此之接合影響到像素區域13之可能性。

【0204】

(第3變化例)

進而，參照圖54～圖59對第3變化例之攝像裝置1B之構成例進行說明。圖54～圖56係表示第3變化例之攝像裝置1B之構成例之厚度方向之剖視圖。圖57～圖59係表示第3變化例之攝像裝置1B之複數個像素單元PU之佈局例之水平方向之剖視圖。再者，圖57～圖59所示之剖視圖只不過為示意圖，並非為旨在嚴格準確地表示實際構造之圖。圖57～圖59所示之剖視圖為了於紙面上容易理解地說明攝像裝置1B之構成，而自位置sec1至sec3有意圖地改變電晶體、雜質擴散層之水平方向上之位置來顯示。

【0205】

具體而言，圖54所示之攝像裝置1B之像素單元PU中，位置sec1上之

剖面對應於以A1-A1'線切斷圖57而得之剖面，位置sec2上之剖面對應於以B1-B1'線切斷圖58而得之剖面，位置sec3上之剖面對應於以C1-C1'線切斷圖59而得之剖面。同樣，圖55所示之攝像裝置1B中，位置sec1上之剖面對應於以A2-A2'線切斷圖57而得之剖面，位置sec2上之剖面對應於以B2-B2'線切斷圖58而得之剖面，位置sec3上之剖面對應於以C2-C2'線切斷圖59而得之剖面。圖56所示之攝像裝置1B中，位置sec1上之剖面對應於以A3-A3'線切斷圖57而得之剖面，位置sec2上之剖面對應於以B3-B3'線切斷圖58而得之剖面，位置sec3上之剖面對應於以C3-C3'線切斷圖59而得之剖面。

【0206】

如圖54～圖59所示，於第1基板(底基板)10之正面10a(一面)側積層有第2基板20。於第1基板10之正面10a側設置有光電二極體PD、傳輸電晶體TR、及浮動擴散區FD。針對每一感測像素12而分別設置有光電二極體PD、傳輸電晶體TR及浮動擴散區FD。

【0207】

第1基板10之另一面(例如背面)為光入射面。攝像裝置1B為背面照射型之攝像裝置，於背面設置有彩色濾光片及受光透鏡。針對每一感測像素12而分別設置有彩色濾光片及受光透鏡。

【0208】

第1基板10具有之第1半導體基板11例如由矽基板構成。於第1半導體基板11之表面之一部分及其附近設置有第1導電型(例如p型)井層WE，於較井層WE更深之區域設置有第2導電型(例如n型)光電二極體PD。又，於井層WE內設置有p型濃度較井層WE更高之井接點層與n型浮動擴散區

FD。設置井接點層以用於降低井層WE與配線之接觸電阻。

【0209】

於第1半導體基板11設置有將互為相鄰之感測像素12彼此電性分離之元件分離層16。元件分離層16例如具有STI(Shallow Trench Isolation，淺溝槽隔離)構造，於第1半導體基板11之深度方向延伸。元件分離層16例如包含氧化矽。又，於第1半導體基板11中，元件分離層16與光電二極體PD之間設置有雜質擴散層17。例如雜質擴散層17具有於第1半導體基板11之厚度方向延伸設置之p型層與n型層。p型層位於元件分離層16側，n型層位於光電二極體PD側。

【0210】

於第1半導體基板11之正面11a側設置有絕緣膜2015。絕緣膜2015例如係矽氧化膜(SiO)、矽氮化膜(SiN)、矽氧氮化膜(SiON)或矽碳氮化膜(SiCN)中之1者、或將該等中之2者以上積層而成之膜。

【0211】

第2基板20具有下側基板2210與上側基板2220。下側基板2210具有半導體基板2211。半導體基板2211例如為包含單晶矽之矽基板。於半導體基板2211之一面(例如正面2211a)側，設置有放大電晶體AMP、及包圍放大電晶體AMP之周圍之元件分離層2213。藉由元件分離層2213將相鄰之像素單元PU之一放大電晶體AMP與另一放大電晶體AMP電性分離。

【0212】

下側基板2210具有覆蓋半導體基板2211之正面2211a之絕緣膜2215。藉由絕緣膜2215覆蓋放大電晶體AMP及元件分離層2213。又，下側基板2210具有覆蓋半導體基板2211之另一面(例如背面2211b)之絕緣膜

2217。絕緣膜2215、2217例如為SiO、SiN、SiON或SiCN中之1者、或將該等中之2者以上積層而成之膜。第1基板10之絕緣膜2015與下側基板2210之絕緣膜2217相互接合而構成層間絕緣膜2051。

【0213】

上側基板2220具有半導體基板2221。半導體基板2221例如為包含單晶矽之矽基板。於半導體基板2221之一面(例如正面2221a)側設置有重置電晶體RST及選擇電晶體SEL與元件分離層2223。例如元件分離層2223分別設置於重置電晶體RST與選擇電晶體SEL之間、及選擇電晶體SEL與半導體基板2221之井層之間。

【0214】

上側基板2220具有覆蓋半導體基板2221之正面2221a、背面2221b及側面之絕緣膜2225。絕緣膜2225例如為SiO、SiN、SiON或SiCN中之1者、或將該等中之2者以上積層而成之膜。下側基板2210之絕緣膜2215與上側基板2220之絕緣膜2225相互接合而構成層間絕緣膜2053。

【0215】

攝像裝置1B具備設置於層間絕緣膜2051、2053中且與第1基板10或第2基板20之至少一者電性連接之複數條配線L1至L10。配線L1將放大電晶體AMP之汲極與電源線VDD電性連接。配線L2將1個像素單元PU中所含之4個浮動擴散區FD與放大電晶體AMP之閘極電極AG電性連接。配線L3將放大電晶體AMP之源極與選擇電晶體SEL之汲極電性連接。配線L4將選擇電晶體SEL之閘極電極SG與像素驅動線電性連接。

【0216】

配線L5將選擇電晶體SEL之源極與垂直信號線電性連接。配線L6將

重置電晶體RST之汲極與電源線VDD電性連接。配線L7將重置電晶體RST之閘極電極RG與像素驅動線電性連接。配線L8將重置電晶體RST之源極與配線L2電性連接。配線L9將傳輸電晶體TR之閘極電極TG與像素驅動線電性連接。配線L10將井接點層與供給基準電位(例如接地電位：0 V)之基準電位線電性連接。

【0217】

配線L1～L10中，於積層體之厚度方向延伸設置之部分包含鎢(W)，於與積層體之厚度方向正交之方向(例如水平方向)延伸設置之部分包含銅(Cu)或以Cu為主成分之Cu合金。但，構成配線L1～L10之材料並不限定於此，亦可包含其他材料。

【0218】

第2基板20具有與上述配線L1～L10中之任意配線(例如配線L1、L4～L7、L9、L10)連接之複數個焊墊電極2227。複數個焊墊電極2227例如包含Cu或Cu合金。

【0219】

第3基板30配置於第2基板20之與第1基板10相向之面之相反側(例如正面側)。第3基板30具備半導體基板2301、覆蓋半導體基板2301之正面2301a側之絕緣膜2304、設置於半導體基板2301之正面2301a側之複數條配線L30、及分別與複數條配線L30連接之焊墊電極2305。再者，第3基板30如後述與第2基板20以正面彼此貼合。因此，半導體基板2301之正面2301a朝向下側。

【0220】

半導體基板2301例如為包含單晶矽之矽基板。於半導體基板2301之

正面2301a側，設置有構成邏輯電路之複數個電晶體及雜質擴散層。絕緣膜2304覆蓋構成邏輯電路之複數個電晶體、雜質擴散層。於絕緣膜2304設置有與該等電晶體、雜質擴散層連接之接觸孔。

【0221】

配線L30設置於接觸孔內。配線L30中，於第3基板30之厚度方向延伸設置之部分包含鈦(Ti)或鈷(Co)，於與第3基板30之厚度方向正交之方向(例如水平方向)延伸設置之部分包含Cu或以Cu為主成分之Cu合金。但，構成配線L30之材料並不限定於該等，亦可包含其他材料。

【0222】

於配線L30與半導體基板2301之連接部形成有矽化物2303(例如鈦矽化物(TiSi)或鈷矽化物($CoSi_2$)。藉由矽化物2303而使配線L30與半導體基板2301之連接更接近歐姆接觸，從而降低接觸電阻。藉此，實現邏輯電路之運算速度之高速化。

【0223】

再者，未於第1基板10及第2基板20形成矽化物。藉此，於形成第1基板10與第2基板20時，能夠於超過矽化物之耐熱溫度之溫度進行熱處理等。但，亦可於第1基板10及第2基板20之至少一者形成矽化物。

【0224】

複數個焊墊電極2305例如包含Cu或Cu合金。於攝像裝置1B之厚度方向上，第3基板30之焊墊電極2305與第2基板20之焊墊電極2227相向而電性連接。例如焊墊電極2305、2227以互為相向之狀態Cu-Cu接合而一體化。藉此，第2基板20與第3基板30電性連接，並且第2基板20與第3基板30之貼合強度得以提高。

【0225】

第3變化例之攝像裝置1B中，亦可針對每複數個感測像素12而配置有1個浮動擴散區用接點。例如互為相鄰之4個感測像素12亦可共有1個浮動擴散區用接點。同樣，亦可針對每複數個感測像素12而配置有1個井用接點。例如互為相鄰之4個感測像素12亦可共有1個井用接點。

【0226】

具體而言，亦可如圖55及圖59所示，攝像裝置1B共有以跨及複數個感測像素12之方式配置之共通焊墊電極2102、及設置於共通焊墊電極2102上之1條配線L2。例如於攝像裝置1B存在俯視下4個感測像素12之各浮動擴散區FD1～FD4隔著元件分離層16互為相鄰之區域。於該區域設置有共通焊墊電極2102。共通焊墊電極2102以跨及4個浮動擴散區FD1～FD4之方式配置，分別與4個浮動擴散區FD1～FD4電性連接。共通焊墊電極2102例如由摻雜有n型雜質或p型雜質之多晶矽膜構成。

【0227】

於共通焊墊電極2102之中心部上設置有1條配線L2(即，浮動擴散區用接點)。如圖55、圖57～圖59所示，設置於共通焊墊電極2102之中心部上之配線L2，自第1基板10貫通第2基板20之下側基板2210而延伸設置至第2基板20之上側基板2220為止，經由設置於上側基板2220之配線等與放大電晶體AMP之閘極電極AG連接。

【0228】

又，如圖54及圖59所示，攝像裝置1B亦可共有以跨及複數個感測像素12之方式配置之共通焊墊電極2110、及設置於共通焊墊電極2110上之1條配線L10。例如於攝像裝置1B存在俯視下4個感測像素12之各井層WE隔

著元件分離層16互為相鄰之區域。於該區域設置有共通焊墊電極2110。共通焊墊電極2110以跨及4個感測像素12之各井層WE之方式配置，分別與4個感測像素12之各井層WE電性連接。若列舉一例，則共通焊墊電極2110配置於沿Y軸方向排列之一共通焊墊電極2102與另一共通焊墊電極2102之間。於Y軸方向上，共通焊墊電極2102、2110交替排列配置。共通焊墊電極2110例如由摻雜有n型雜質或p型雜質之多晶矽膜構成。

【0229】

於共通焊墊電極2110之中心部上設置有1條配線L10(即，井用接點)。如圖54、圖57～圖59所示，設置於共通焊墊電極2110之中心部上之配線L10自第1基板10貫通第2基板20之下側基板2210而延伸設置至第2基板20之上側基板2220為止，且經由設置於上側基板2220之配線等與供給基準電位(例如接地電位：0 V)之基準電位線連接。

【0230】

設置於共通焊墊電極2110之中心部上之配線L10分別與共通焊墊電極2110之上表面、設置於下側基板2210之貫通孔之內側面、及設置於上側基板2220之貫通孔之內側面電性連接。藉此，第1基板10之第1半導體基板11之井層WE、與第2基板20之下側基板2210之井層及上側基板2220之井層與基準電位(例如接地電位：0 V)連接。

【0231】

第3變化例之攝像裝置1B進而具備共通焊墊電極2102、2110，該等共通焊墊電極2102、2110設置於構成第1基板10之第1半導體基板11之正面11a側，且以跨及互為相鄰之複數個(例如4個)感測像素12之方式配置。共通焊墊電極2102與4個感測像素12之浮動擴散區FD電性連接，因此可針

對每4個感測像素12而使與浮動擴散區FD連接之配線L2共通化。又，共通焊墊電極2110與4個感測像素12之井層WE電性連接，因此可針對每4個感測像素12而使與井層WE連接之配線L10共通化。藉此，配線L2、L10之條數減少，因此能夠使感測像素12之面積減少，從而能夠使攝像裝置1B小型化。

【0232】

(第4變化例)

繼而，參照圖60及圖61對攝像裝置1之水平方向之剖面構成之一變化例即第4變化例進行說明。圖60及圖61之上側之圖係表示圖7中之切剖面Sec1之剖面構成之一變化例之示意圖，圖60及圖61之下側之圖係表示圖7中之切剖面Sec2之剖面構成之一變化例之示意圖。

【0233】

如圖60及圖61所示，複數條貫通配線54、複數條貫通配線48、及複數條貫通配線47於第1基板10之面內沿第1方向V1(圖60及圖61之左右方向)以帶狀排列配置。圖60及圖61中例示複數條貫通配線54、複數條貫通配線48、及複數條貫通配線47沿第1方向V1排列配置2行之情形。

【0234】

於共有像素電路22之4個感測像素12中，4個浮動擴散區FD例如隔著元件分離部43相互接近配置。於共有像素電路22之4個感測像素12中，4個傳輸閘極TG(TG1、TG2、TG3、TG4)以包圍4個浮動擴散區FD之方式配置。例如4個傳輸閘極TG以成為圓環形狀之方式配置。

【0235】

分離絕緣層53由沿第1方向V1延伸之複數個區塊構成。第2半導體基

板21由沿第1方向V1延伸、且沿第1方向V1排列配置之複數個島狀之區塊21A構成。於各區塊21A例如設置有重置電晶體RST、放大電晶體AMP、及選擇電晶體SEL。由4個感測像素12共有之1個像素電路22，例如不與4個感測像素12對應配置而沿第2方向V2偏移配置。

【0236】

圖60中，由4個感測像素12共有之1個像素電路22由重置電晶體RST、放大電晶體AMP、及選擇電晶體SEL構成，該等電晶體於第2基板20中位於與4個感測像素12對應之區域於第2方向V2偏移而成之區域內。例如由4個感測像素12共有之1個像素電路22由1個區塊21A內之放大電晶體AMP、重置電晶體RST、及選擇電晶體SEL構成。

【0237】

圖61中，由4個感測像素12共有之1個像素電路22由重置電晶體RST、放大電晶體AMP、選擇電晶體SEL、及FD轉換增益切換電晶體FDG構成，該等電晶體於第2基板20中位於與4個感測像素12對應之區域於第2方向V2偏移而成之區域內。例如由4個感測像素12共有之1個像素電路22由1個區塊21A內之放大電晶體AMP、重置電晶體RST、選擇電晶體SEL、及FD轉換增益切換電晶體FDG構成。

【0238】

第4變化例之攝像裝置1中，由4個感測像素12共有之1個像素電路22不正對著4個感測像素12而配置，而自與4個感測像素12正對之位置於第2方向V2偏移配置。根據該構成，第4變化例之攝像裝置1能夠使配線25變短，或省略配線25而由共通之雜質區域構成放大電晶體AMP之源極與選擇電晶體SEL之汲極。因此，第4變化例之攝像裝置1能夠使像素電路22之

尺寸變小。

【0239】

(第5變化例)

其次，參照圖62對攝像裝置1之水平方向之剖面構成之一變化例即第5變化例進行說明。圖62係表示圖7中之切剖面Sec1、及切剖面Sec2之剖面構成之一變化例之示意圖。

【0240】

如圖62所示，第2半導體基板21由隔著分離絕緣層53而沿第1方向V1、及第2方向V2排列配置之複數個島狀之區塊21A構成。於各區塊21A例如設置有一組重置電晶體RST、放大電晶體AMP、及選擇電晶體SEL。該情形時，第5變化例之攝像裝置1可藉由分離絕緣層53抑制相互鄰接之像素電路22彼此之串擾，因此可抑制圖像之解析度降低或由混色所致之畫質降低。

【0241】

(第6變化例)

繼而，參照圖63對攝像裝置1之水平方向之剖面構成之一變化例即第6變化例進行說明。圖63係表示圖7中之切剖面Sec1、及切剖面Sec2之剖面構成之一變化例之示意圖。

【0242】

圖63中，於第2半導體基板21中，由4個感測像素12共有之1個像素電路22例如不與4個感測像素12對應配置而於第1方向V1偏移配置。又，第6變化例之攝像裝置1中，第2半導體基板21由隔著分離絕緣層53而沿第1方向V1、及第2方向V2排列配置之複數個島狀之區塊21A構成。於各區塊

21A例如設置有一組重置電晶體RST、放大電晶體AMP、及選擇電晶體SEL。進而，第6變化例之攝像裝置1中，複數條貫通配線47、及複數條貫通配線54沿第2方向V2排列。

【0243】

藉此，複數條貫通配線47配置於共有1個像素電路22之4條貫通配線54、及共有與該像素電路22於第2方向V2鄰接之另一像素電路22之4條貫通配線54之間。藉此，第6變化例之攝像裝置1可藉由分離絕緣層53及貫通配線47而抑制相互鄰接之像素電路22彼此之串擾，因此可抑制圖像之解析度降低或由混色所致之畫質降低。

【0244】

(第7變化例)

其次，參照圖64～圖66對攝像裝置1之水平方向之剖面構成之一變化例即第7變化例進行說明。圖64係表示圖7中之切剖面Sec1、及切剖面Sec2之剖面構成之一變化例之示意圖。

【0245】

如圖64所示，第7變化例之攝像裝置1中，第1基板10針對每一感測像素12而具有光電二極體PD、及傳輸電晶體TR(即，傳輸閘極TG)，且針對每4個感測像素12而共有浮動擴散區FD。因此，第7變化例之攝像裝置1針對每4個感測像素12而設置有1個貫通配線54。

【0246】

又，第7變化例之攝像裝置1中，針對每一如下區域而設置有貫通配線47，該區域係將與共有1個浮動擴散區FD之4個感測像素12對應之單位區域於第2方向V2偏移1個感測像素12之量而成。即，第7變化例之攝像裝

置1中，與共有1個浮動擴散區FD之4個感測像素12對應之單位區域、及與該單位區域於第2方向V2鄰接之鄰接單位區域之間設置有貫通配線47。又，貫通配線47由存在於貫通配線47周圍之單位區域之2個感測像素12、及存在於貫通配線47周圍之鄰接單位區域之2個感測像素12共有。

【0247】

進而，第7變化例之攝像裝置1中，第1基板10具有將光電二極體PD及傳輸電晶體TR針對每一感測像素12分離之元件分離部43。於自法線方向俯視第1半導體基板11之主面之情形時，元件分離部43不將感測像素12之周圍完全包圍，而於浮動擴散區FD(即，貫通配線54)之附近、及貫通配線47之附近具有間隙(未形成區域)。藉由該間隙，能夠由4個感測像素12共有貫通配線54，及於單位區域與鄰接單位區域之間由4個感測像素12共有貫通配線47。再者，第7變化例之攝像裝置1中，第2基板20針對共有浮動擴散區FD之每4個感測像素12而具有像素電路22。

【0248】

圖65及圖66係表示第7變化例之攝像裝置1之切剖面Sec2之剖面構成之另一例之示意圖。如圖65所示，第1基板10亦可針對每一感測像素12而具有光電二極體PD及傳輸電晶體TR，且針對每4個感測像素12而共有浮動擴散區FD。進而，第1基板10亦可具有針對每一感測像素12而將光電二極體PD及傳輸電晶體TR分離之元件分離部43。又，如圖66所示，亦可針對每一感測像素12而具有光電二極體PD及傳輸電晶體TR，且針對每4個感測像素12而共有浮動擴散區FD。進而，第1基板10亦可具有針對每一感測像素12而將光電二極體PD及傳輸電晶體TR分離之元件分離部43。

【0249】

(第8變化例)

繼而，參照圖67對攝像裝置1之電路構成之一變化例即第8變化例進行說明。圖67係表示以行並聯搭載ADC(Analog to Digital Converter，類比-數位轉換器)之CMOS影像感測器之電路構成之示意圖。

【0250】

如圖67所示，第8變化例之攝像裝置1具備包含光電轉換元件之複數個感測像素12以矩陣狀(即，matrix狀)二維配置之像素區域13、垂直驅動電路33、列信號處理電路34、參照電壓供給部38、水平驅動電路35、水平輸出線37、及系統控制電路36。

【0251】

系統控制電路36基於主時脈MCK而產生成為垂直驅動電路33、列信號處理電路34、參照電壓供給部38、及水平驅動電路35等之動作之基準之時脈信號、及控制信號等。系統控制電路36進而將產生之時脈信號、及控制信號供給至垂直驅動電路33、列信號處理電路34、參照電壓供給部38、及水平驅動電路35。

【0252】

垂直驅動電路33分別形成於第1基板10及第2基板20，該第1基板10形成有像素區域13之各感測像素12，該第2基板20形成有像素電路22。列信號處理電路34、參照電壓供給部38、水平驅動電路35、水平輸出線37、及系統控制電路36形成於第3基板30。

【0253】

雖然此處省略圖示，但感測像素12例如具有光電二極體PD、及將經光電二極體PD光電轉換而得之電荷傳輸至浮動擴散區FD之傳輸電晶體

TR。像素電路22例如具有：重置電晶體RST，其控制浮動擴散區FD之電位；放大電晶體AMP，其輸出與浮動擴散區FD之電位對應之信號；及選擇電晶體SEL，其用以進行像素選擇。

【0254】

於像素區域13中二維配置有感測像素12。例如以n列m行之矩陣狀配置有感測像素12之像素區域13中，於每一列配線有像素驅動線23，於每一行配線有垂直信號線24。於複數條像素驅動線23之一端，分別連接有與垂直驅動電路33之各列對應之輸出端。垂直驅動電路33由移位暫存器等構成，經由複數條像素驅動線23進行像素區域13之列位址或列掃描之控制。

【0255】

列信號處理電路34例如具有針對像素區域13之每一像素行，即針對每一垂直信號線24而設置之ADC(類比-數位轉換電路)34-1～34-m。列信號處理電路34藉由ADC將自像素區域13之各感測像素12針對每一行而輸出之類比信號轉換為數位信號並輸出。

【0256】

參照電壓供給部38例如具有DAC(Digital-to-analog converter，數位-類比轉換電路)38A，產生隨著時間經過而位準傾斜狀變化之所謂斜坡(RAMP)波形之參照電壓Vref。再者，參照電壓供給部38亦可使用DAC38A以外之機構產生斜坡波形之參照電壓Vref。

【0257】

DAC38A基於來自系統控制電路36之控制信號CS1、及時脈CK而產生斜坡波形之參照電壓Vref，並將產生之參照電壓Vref供給至列信號處理

電路34之ADC34-1～34-m。

【0258】

再者，各ADC34-1～34-m構成為能夠選擇性地執行與各動作模式對應之AD轉換動作，該各動作模式係：通常圖框速率模式，其係將所有感測像素12之資訊讀出之漸進掃描方式；及高速圖框速率模式，其係藉由與通常圖框速率模式時相比將感測像素12之曝光時間設定為1/N而將圖框速率提高至N倍(例如2倍)。該動作模式之切換係藉由利用來自系統控制電路36之控制信號CS2、CS3之控制而進行。又，系統控制電路36基於來自外部之系統控制器(未圖示)之指示資訊，而產生用以切換通常圖框速率模式與高速圖框速率模式之各動作模式之控制信號CS2、CS3。

【0259】

ADC34-1～34-m全部為相同構成，因此此處列舉ADC34-m為例進行說明。

【0260】

ADC34-m具有比較器34A、可逆計數器(U/DCNT)34B、傳輸開關34C、及記憶體裝置34D。

【0261】

比較器34A對與自像素區域13之第m行之各感測像素12輸出之信號對應的垂直信號線24之信號電壓Vx、與自參照電壓供給部38供給之斜坡波形之參照電壓Vref進行比較。比較器34A例如於參照電壓Vref較信號電壓Vx大之情形時將輸出Vco設為「H」位準，於參照電壓Vref為信號電壓Vx以下之情形時將輸出Vco設為「L」位準。

【0262】

可逆計數器34B為非同步計數器。可逆計數器34B係由系統控制電路36基於自系統控制電路36賦予之控制信號CS2而供給時脈CK。可逆計數器34B與此時脈CK同步地進行遞減(DOWN)計數、或遞增(UP)計數，藉此計測自比較器34A之比較動作之開始至結束為止之比較期間。

【0263】

具體而言，通常圖框速率模式中，可逆計數器34B於自1個感測像素12之第1次讀出動作時進行遞減計數，藉此計測第1次讀出時之比較時間。又，可逆計數器34B於第2次讀出動作時進行遞增計數，藉此計測第2次讀出時之比較時間。

【0264】

另一方面，高速圖框速率模式中，可逆計數器34B直接保持某列感測像素12之計數結果。其後，可逆計數器34B針對下一列感測像素12，繼承上次計數結果而進行第1次讀出動作時之遞減計數，藉此計測第1次讀出時之比較時間。又，可逆計數器34B於第2次讀出動作時進行遞增計數，藉此計測第2次讀出時之比較時間。

【0265】

傳輸開關34C基於自系統控制電路36賦予之控制信號CS3而動作。傳輸開關34C於通常圖框速率模式中，於可逆計數器34B針對某列感測像素12之計數動作完成之時間點成為接通(閉合)狀態，藉此將可逆計數器34B之計數結果傳輸至記憶體裝置34D。

【0266】

另一方面，例如於N＝2之高速圖框速率中，傳輸開關34C於可逆計數器34B針對某列感測像素12之計數動作完成之時間點維持斷開(打開)狀

態。其後，傳輸開關34C於可逆計數器34B針對下一列感測像素12之計數動作完成之時間點成為接通狀態，藉此將可逆計數器34B之關於垂直2像素量之計數結果傳輸至記憶體裝置34D。

【0267】

如此，自像素區域13之各感測像素12經由垂直信號線24針對每一行而供給之類比信號，藉由ADC34-1～34-m之比較器34A、及可逆計數器34B之動作，而轉換為N位元之數位信號並儲存於記憶體裝置34D。

【0268】

水平驅動電路35由移位暫存器等構成，進行列信號處理電路34中之ADC34-1～34-m之行位址、及行掃描之控制。水平驅動電路35藉由控制各ADC34-1～34-m，而使經AD轉換之N位元之數位信號依序讀出至水平輸出線37。讀出之N位元之數位信號經由水平輸出線37作為拍攝資料輸出。

【0269】

再者，雖未特別圖示，但除上述構成要素以外，亦能夠設置對經由水平輸出線37輸出之拍攝資料實施各種信號處理之電路等。

【0270】

第8變化例之攝像裝置1中，可經由傳輸開關34C將可逆計數器34B之計數結果選擇性地傳輸至記憶體裝置34D。藉此，第8變化例之攝像裝置1中，能夠獨立控制可逆計數器34B之計數動作、與可逆計數器34B之計數結果之向水平輸出線37之讀出動作。

【0271】

(第9變化例)

其次，參照圖68對攝像裝置1之積層構造之一變化例即第9變化例進行說明。圖68係表示積層3個基板而構成圖67所示之攝像裝置1之一例之示意圖。

【0272】

如圖68所示，第9變化例之攝像裝置1係積層第1基板10、第2基板20及第3基板而構成。第1基板10中，於中央部分形成有包含複數個感測像素12之像素區域13，且於像素區域13之周圍形成有垂直驅動電路33。又，第2基板20中，於中央部分形成有包含複數個像素電路22之像素電路區域15，且於像素電路區域15之周圍形成有垂直驅動電路33。進而，第3基板30中形成有列信號處理電路34、水平驅動電路35、系統控制電路36、水平輸出線37、及參照電壓供給部38。再者，垂直驅動電路33可如上所述形成於第1基板10、及第2基板20之兩者，亦可僅形成於第1基板10，亦可僅形成於第2基板20。

【0273】

第9變化例之攝像裝置1可抑制由將基板彼此電性連接之構造引起之晶片尺寸之擴大、或像素面積之擴大。藉此，第9變化例之攝像裝置1能夠使每1像素之面積更微細化。

【0274】

(第10變化例)

繼而，參照圖69及圖70對攝像裝置1之剖面構成之一變化例即第10變化例進行說明。圖69係表示第10變化例之攝像裝置1之剖面構成之一例之示意圖。

【0275】

上述說明之實施形態、及變化例中，表示攝像裝置1係積層第1基板10、第2基板20及第3基板30之3個基板而構成之例。然而，本發明之技術並不限定於上述例示。例如攝像裝置1亦可積層第1基板10及第2基板20之2個基板而構成。

【0276】

如圖69所示，該情形時，處理電路32例如分開形成於第1基板10與第2基板20。

【0277】

於處理電路32中設置於第1基板10側之電路32A設置有電晶體，該電晶體具有將包含可耐高溫製程之材料(例如high-k材料)之高介電常數膜、與金屬閘極電極積層而成之閘極構造。

【0278】

另一方面，關於處理電路32中設置於第2基板20側之電路32B，於與源極電極及汲極電極相接之雜質擴散區域之表面，形成有包含$CoSi_2$或NiSi等矽化物之低電阻區域26。包含矽化物之低電阻區域由半導體基板之材料與金屬之化合物形成，耐熱性較高。因此，於形成感測像素12時可使用熱氧化等高溫製程。又，包含$CoSi_2$或NiSi等矽化物之低電阻區域26可降低接觸電阻，因此可使處理電路32之運算速度高速化。

【0279】

再者，包含$CoSi_2$或NiSi等矽化物之低電阻區域26，亦可設置於上述說明之實施形態及變化例之攝像裝置1。具體而言，即便於積層第1基板10、第2基板20、及第3基板30之3個基板而構成之攝像裝置1，亦可設置包含$CoSi_2$或NiSi等矽化物之低電阻區域26。圖70係表示對積層3個基板

而構成之攝像裝置1適用包含$CoSi_2$或NiSi等矽化物之低電阻區域26之例之示意圖。

【0280】

如圖70所示，關於第3基板30之處理電路32中，亦可於與源極電極及汲極電極相接之雜質擴散區域之表面，形成包含$CoSi_2$或NiSi等矽化物之低電阻區域26。藉此，於形成感測像素12時可使用熱氧化等高溫製程。又，包含$CoSi_2$或NiSi等矽化物之低電阻區域26可降低接觸電阻，因此可使處理電路32之運算速度高速化。

【0281】

＜＜6.具體例＞＞

上述說明之本發明之技術能夠適用於各種攝像裝置等。以下，對適用本發明之技術之攝像裝置、及具備該攝像裝置之機器列舉具體例進行說明。

【0282】

＜6.1.實施形態＞

[攝像裝置1之功能構成]

圖71係表示本發明之一實施形態之攝像裝置(攝像裝置1)之功能構成之一例之方塊圖。

【0283】

圖71之攝像裝置1例如包含輸入部510A、列驅動部520、時序控制部530、像素陣列部540、行信號處理部550、圖像信號處理部560及輸出部510B。

【0284】

於像素陣列部540以陣列狀重複配置有像素541。更具體而言，包含複數個像素之像素共有單元539成為重複單位，其以包含列方向與行方向之陣列狀重複配置。再者，本說明書中，方便起見，存在將列方向稱為H方向，將與列方向正交之行方向稱為V方向之情形。圖71之例中，1個像素共有單元539包含4各像素(像素541A、541B、541C、541D)。像素541A、541B、541C、541D各者具有光電二極體PD(後述之圖76等有圖示)。像素共有單元539為共有1個像素電路(後述之圖73之像素電路210)之單位。換言之，針對每4個像素(像素541A、541B、541C、541D)而具有1個像素電路(後述之像素電路210)。藉由使該像素電路分時動作，而依序讀出像素541A、541B、541C、541D各者之像素信號。像素541A、541B、541C、541D例如以2列×2行配置。於像素陣列部540設置有像素541A、541B、541C、541D與複數條列驅動信號線542及複數條垂直信號線(行讀出線)543。列驅動信號線542對像素陣列部540中沿列方向排列配置之複數個像素共有單元539各者中所含之像素541進行驅動。對像素共有單元539中沿列方向排列配置之各像素進行驅動。於像素共有單元539設置有複數個電晶體，對此下文將參照圖74進行詳細說明。為了分別驅動該複數個電晶體，而於1個像素共有單元539連接有複數條列驅動信號線542。於垂直信號線(行讀出線)543連接有像素共有單元539。自像素共有單元539中所含之像素541A、541B、541C、541D各者經由垂直信號線(行讀出線)543讀出像素信號。

【0285】

列驅動部520例如包含：列位址控制部，換言之列解碼器部，其決定用以驅動像素之列之位置；及列驅動電路部，其產生用以驅動像素

541A、541B、541C、541D之信號。

【0286】

行信號處理部550例如具備負載電路部，該負載電路部與垂直信號線543連接，與像素541A、541B、541C、541D(像素共有單元539)形成源極隨耦電路。行信號處理部550亦可具有將經由垂直信號線543自像素共有單元539讀出之信號放大之放大電路部。行信號處理部550亦可具有雜訊處理部。雜訊處理部中，例如自作為光電轉換之結果而自像素共有單元539讀出之信號去除系統之雜訊位準。

【0287】

行信號處理部550例如具有類比數位轉換器(ADC)。類比數位轉換器中，將自像素共有單元539讀出之信號或經上述雜訊處理之類比信號轉換為數位信號。ADC例如包含比較器部及計數器部。比較器部中，對成為轉換對象之類比信號與成為其比較對象之參照信號進行比較。計數器部中，計測直至比較器部中之比較結果反轉為止之時間。行信號處理部550亦可包含進行掃描讀出行之控制之水平掃描電路部。

【0288】

時序控制部530基於向裝置輸入之基準時脈信號、時序控制信號，而向列驅動部520及行信號處理部550供給控制時序之信號。

【0289】

圖像信號處理部560係對光電轉換之結果所獲得之資料，換言之攝像裝置1之拍攝動作之結果所獲得之資料實施各種信號處理之電路。圖像信號處理部560例如包含圖像信號處理電路部及資料保持部。圖像信號處理部560亦可包含處理器部。

【0290】

圖像信號處理部560中執行之信號處理之一例係色調曲線修正處理，即，於經AD(analog-to-digital，類比-數位)轉換之拍攝資料為拍攝較暗被攝體之資料之情形時保持較多灰階，於為拍攝較亮被攝體之資料之情形時使灰階變少。該情形時，較理想的是預先使圖像信號處理部560之資料保持部記憶基於哪一色調曲線對拍攝資料之灰階進行修正的色調曲線之特性資料。

【0291】

輸入部510A例如用以將上述基準時脈信號、時序控制信號及特性資料等自裝置外部輸入至攝像裝置1。時序控制信號例如為垂直同步信號及水平同步信號等。特性資料例如用以記憶於圖像信號處理部560之資料保持部中。輸入部510A例如包含輸入端子511、輸入電路部512、輸入振幅變更部513、輸入資料轉換電路部514及電源供給部(未圖示)。

【0292】

輸入端子511係用以輸入資料之外部端子。輸入電路部512用以將輸入至輸入端子511之信號取入至攝像裝置1之內部。輸入振幅變更部513中，將利用輸入電路部512取入之信號之振幅變更為容易於攝像裝置1之內部利用之振幅。輸入資料轉換電路部514中，對輸入資料之資料行之排列進行變更。輸入資料轉換電路部514例如由串並聯轉換電路構成。該串並聯轉換電路中，將作為輸入資料而接收之串聯信號轉換為並聯信號。再者，輸入部510A中，亦可省略輸入振幅變更部513及輸入資料轉換電路部514。電源供給部基於自外部供給至攝像裝置1之電源，而供給設定為於攝像裝置1之內部所需之各種電壓之電源。

【0293】

當攝像裝置1與外部之記憶體器件連接時，亦可於輸入部510A設置有接收來自外部之記憶體器件之資料的記憶體介面電路。外部之記憶體器件例如為快閃記憶體、SRAM(semirandom access memory，半隨機存取記憶體)及DRAM(dynamic random access memory，動態隨機存取記憶體)等。

【0294】

輸出部510B將圖像資料輸出至裝置外部。該圖像資料例如為利用攝像裝置1拍攝之圖像資料、及經圖像信號處理部560進行信號處理之圖像資料等。輸出部510B例如包含輸出資料轉換電路部515、輸出振幅變更部516、輸出電路部517及輸出端子518。

【0295】

輸出資料轉換電路部515例如由並聯串聯轉換電路構成，輸出資料轉換電路部515中，將於攝像裝置1內部使用之並聯信號轉換為串聯信號。輸出振幅變更部516對在攝像裝置1之內部使用之信號之振幅進行變更。振幅經變更之信號容易於與攝像裝置1之外部連接之外部器件利用。輸出電路部517係自攝像裝置1之內部向裝置外部輸出資料之電路，藉由輸出電路部517而驅動與輸出端子518連接之攝像裝置1外部之配線。輸出端子518中，自攝像裝置1向裝置外部輸出資料。輸出部510B中，亦可省略輸出資料轉換電路部515及輸出振幅變更部516。

【0296】

當攝像裝置1與外部之記憶體器件連接時，亦可於輸出部510B設置有向外部之記憶體器件輸出資料之記憶體介面電路。外部之記憶體器件例如

為快閃記憶體、SRAM及DRAM等。

【0297】

[攝像裝置1之概略構成]

圖72及圖73係表示攝像裝置1之概略構成之一例之圖。攝像裝置1具備3個基板(第1基板100、第2基板200、第3基板300)。圖72係示意性表示第1基板100、第2基板200、第3基板300各者之平面構成之圖，圖73係示意性表示相互積層之第1基板100、第2基板200及第3基板300之剖面構成之圖。圖73對應於沿圖72所示之III-III'線之剖面構成。攝像裝置1係將3個基板(第1基板100、第2基板200、第3基板300)貼合而構成之三維構造之攝像裝置。第1基板100包含半導體層100S及配線層100T。第2基板200包含半導體層200S及配線層200T。第3基板300包含半導體層300S及配線層300T。此處，方便起見，將第1基板100、第2基板200及第3基板300之各基板中所含之配線與其周圍之層間絕緣膜合併稱為設置於各基板(第1基板100、第2基板200及第3基板300)之配線層(100T、200T、300T)。第1基板100、第2基板200及第3基板300依序積層，沿積層方向依序配置有半導體層100S、配線層100T、半導體層200S、配線層200T、配線層300T及半導體層300S。下文對第1基板100、第2基板200及第3基板300之具體構成進行說明。圖73所示之箭頭表示光L向攝像裝置1之入射方向。本說明書中存在如下情形，即，方便起見，於以下剖視圖中，將攝像裝置1之光入射側稱為「下」、「下側」、「下方」，將光入射側之相反側稱為「上」、「上側」、「上方」。又，本說明書中存在如下情形，即，方便起見，關於具備半導體層與配線層之基板，將配線層側稱為正面，將半導體層側稱為背面。再者，說明書之記載並不限定於上述稱呼。攝像裝置1例如為背面照

射型攝像裝置，即，光自具有光電二極體之第1基板100之背面側入射。

【0298】

像素陣列部540及像素陣列部540中所含之像素共有單元539均使用第1基板100及第2基板200之雙方構成。於第1基板100設置有像素共有單元539所具有之複數個像素541A、541B、541C、541D。該等像素541分別具有光電二極體(後述之光電二極體PD)及傳輸電晶體(後述之傳輸電晶體TR)。於第2基板200設置有像素共有單元539所具有之像素電路(後述之像素電路210)。像素電路將自像素541A、541B、541C、541D各者之光電二極體經由傳輸電晶體傳輸之像素信號讀出，或將光電二極體重置。該第2基板200除該像素電路以外，還具有於列方向延伸之複數條列驅動信號線542及於行方向延伸之複數條垂直信號線543。第2基板200進而具有於列方向延伸之電源線544(後述之電源線VDD等)。第3基板300例如具有輸入部510A、列驅動部520、時序控制部530、行信號處理部550、圖像信號處理部560及輸出部510B。列驅動部520例如於第1基板100、第2基板200及第3基板300之積層方向(以下，簡單地稱為積層方向)上，設置於一部分與像素陣列部540重疊之區域。更具體而言，列驅動部520於積層方向上設置於與像素陣列部540之H方向之端部附近重疊之區域(圖72)。行信號處理部550例如於積層方向上設置於一部分與像素陣列部540重疊之區域。更具體而言，行信號處理部550於積層方向上設置於與像素陣列部540之V方向之端部附近重疊之區域(圖72)。雖省略圖示，但輸入部510A及輸出部510B亦可配置於第3基板300以外之部分，例如亦可配置於第2基板200。或，亦可於第1基板100之背面(光入射面)側設置輸入部510A及輸出部510B。再者，設置於上述第2基板200之像素電路，亦存在用其他稱

呼而稱為像素電晶體電路、像素電晶體群、像素電晶體、像素讀出電路或讀出電路之情形。本說明書中，使用像素電路之稱呼。

【0299】

第1基板100與第2基板200例如藉由貫通電極(後述之圖76之貫通電極120E、121E)電性連接。第2基板200與第3基板300例如經由接點部201、202、301、302電性連接。於第2基板200設置有接點部201、202，於第3基板300設置有接點部301、302。第2基板200之接點部201與第3基板300之接點部301相接，第2基板200之接點部202與第3基板300之接點部302相接。第2基板200具有設置有複數個接點部201之接點區域201R、與設置有複數個接點部202之接點區域202R。第3基板300具有設置有複數個接點部301之接點區域301R、與設置有複數個接點部302之接點區域302R。接點區域201R、301R於積層方向上設置於像素陣列部540與列驅動部520之間(圖73)。換言之，接點區域201R、301R例如設置於列驅動部520(第3基板300)與像素陣列部540(第2基板200)於積層方向上重疊之區域、或其附近區域。接點區域201R、301R例如配置於該區域中之H方向之端部(圖72)。第3基板300中，例如於列驅動部520之一部分，具體而言於與列驅動部520之H方向之端部重疊之位置設置有接點區域301R(圖72、圖73)。接點部201、301例如將設置於第3基板300之列驅動部520與設置於第2基板200之列驅動信號線542連接。接點部201、301例如亦可將設置於第3基板300之輸入部510A與電源線544及基準電位線(後述之基準電位線VSS)連接。接點區域202R、302R於積層方向上設置於像素陣列部540與行信號處理部550之間(圖73)。換言之，接點區域202R、302R例如設置於行信號處理部550(第3基板300)與像素陣列部540(第2基板200)於積層方向上重

疊之區域、或其附近區域。接點區域202R、302R例如配置於該區域中之V方向之端部(圖72)。第3基板300中，例如於行信號處理部550之一部分，具體而言於與行信號處理部550之V方向之端部重疊之位置設置有接點區域301R(圖72、圖73)。接點部202、302例如用以將自像素陣列部540具有之複數個像素共有單元539各者輸出之像素信號(與在光電二極體進行光電轉換之結果產生之電荷量對應之信號)連接於設置於第3基板300之行信號處理部550。像素信號自第2基板200傳輸至第3基板300。

【0300】

如上所述，圖73係攝像裝置1之剖視圖之一例。第1基板100、第2基板200、第3基板300經由配線層100T、200T、300T電性連接。例如攝像裝置1具有將第2基板200與第3基板300電性連接之電性連接部。具體而言，利用由導電材料形成之電極形成接點部201、202、301、302。導電材料例如包含銅(Cu)、鋁(Al)、金(Au)等金屬材料。接點區域201R、202R、301R、302R例如藉由將作為電極形成之配線彼此直接接合而將第2基板與第3基板電性連接，能夠於第2基板200與第3基板300之間進行信號之輸入及/或輸出。

【0301】

將第2基板200與第3基板300電性連接之電性連接部可設置於所需部位。例如圖73中作為接點區域201R、202R、301R、302R所述般，亦可設置於與像素陣列部540於積層方向重疊之區域。又，亦可將電性連接部設置於不與像素陣列部540於積層方向重疊之區域。具體而言，亦可設置於與配置於像素陣列部540之外側之周邊部於積層方向重疊之區域。

【0302】

於第1基板100及第2基板200例如設置有連接孔部H1、H2。連接孔部H1、H2貫通第1基板100及第2基板200(圖73)。連接孔部H1、H2設置於像素陣列部540(或與像素陣列部540重疊之部分)之外側(圖72)。例如連接孔部H1於H方向上配置於較像素陣列部540更外側，連接孔部H2於V方向上配置於較像素陣列部540更外側。例如連接孔部H1到達設置於第3基板300之輸入部510A，連接孔部H2到達設置於第3基板300之輸出部510B。連接孔部H1、H2可為空洞，亦可於至少一部分包含導電材料。例如存在如下構成，即，於作為輸入部510A及/或輸出部510B形成之電極連接接合線。或，存在如下構成，即，將作為輸入部510A及/或輸出部510B形成之電極與設置於連接孔部H1、H2之導電材料連接。設置於連接孔部H1、H2之導電材料可嵌埋於連接孔部H1、H2之一部分或全部，亦可於連接孔部H1、H2之側壁形成導電材料。

【0303】

再者，圖73中設為於第3基板300設置輸入部510A、輸出部510B之構造，但並不限定於此。例如亦可藉由經由配線層200T、300T將第3基板300之信號傳輸至第2基板200，而於第2基板200設置輸入部510A及/或輸出部510B。同樣，亦可藉由經由配線層100T、200T將第2基板200之信號傳輸至第1基板100，而於第1基板100設置輸入部510A及/或輸出部510B。

【0304】

圖74係表示像素共有單元539之構成之一例之等效電路圖。像素共有單元539包含複數個像素541(圖74中，示出像素541A、541B、541C、541D之4個像素541)、與該複數個像素541連接之1個像素電路210、及與

像素電路210連接之垂直信號線543。像素電路210例如包含4個電晶體，具體而言包含放大電晶體AMP、選擇電晶體SEL、重置電晶體RST及FD轉換增益切換電晶體FDG。如上所述，像素共有單元539藉由使1個像素電路210分時動作，而將像素共有單元539中所含之4個像素541(像素541A、541B、541C、541D)各自之像素信號依序輸出至垂直信號線543。於複數個像素541連接有1個像素電路210，將該複數個像素541之像素信號藉由1個像素電路210分時輸出之樣態稱為「複數個像素541共有1個像素電路210」。

【0305】

像素541A、541B、541C、541D具有相互共通之構成要素。以下，為了將像素541A、541B、541C、541D之構成要素相互區分，而對像素541A之構成要素之符號末尾賦予識別編號1，對像素541B之構成要素之符號末尾賦予識別編號2，對像素541C之構成要素之符號末尾賦予識別編號3，對像素541D之構成要素之符號末尾賦予識別編號4。於無需將像素541A、541B、541C、541D之構成要素相互區分之情形時，省略像素541A、541B、541C、541D之構成要素之符號末尾之識別編號。

【0306】

像素541A、541B、541C、541D例如具有光電二極體PD、與光電二極體PD電性連接之傳輸電晶體TR、及與傳輸電晶體TR電性連接之浮動擴散區FD。光電二極體PD(PD1、PD2、PD3、PD4)中，陰極與傳輸電晶體TR之源極電性連接，陽極與基準電位線(例如地面)電性連接。光電二極體PD對入射之光進行光電轉換而產生與其受光量對應之電荷。傳輸電晶體TR(傳輸電晶體TR1、TR2、TR3、TR4)例如係n型之

CMOS(Complementary Metal-Oxide-Semiconductor，互補金氧半導體)電晶體。傳輸電晶體TR中，汲極與浮動擴散區FD電性連接，閘極與驅動信號線電性連接。該驅動信號線係與1個像素共有單元539連接之複數條列驅動信號線542(參照圖71)中之一部分。傳輸電晶體TR將於光電二極體PD產生之電荷傳輸至浮動擴散區FD。浮動擴散區FD(浮動擴散區FD1、FD2、FD3、FD4)係形成於p型半導體層中之n型擴散層區域。浮動擴散區FD係暫時保持自光電二極體PD傳輸之電荷之電荷保持機構，且係產生與其電荷量對應之電壓之電荷-電壓轉換機構。

【0307】

1個像素共有單元539中所含之4個浮動擴散區FD(浮動擴散區FD1、FD2、FD3、FD4)相互電性連接，並且與放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極電性連接。FD轉換增益切換電晶體FDG之汲極與重置電晶體RST之源極連接，FD轉換增益切換電晶體FDG之閘極與驅動信號線連接。該驅動信號線係與1個像素共有單元539連接之複數條列驅動信號線542中之一部分。重置電晶體RST之汲極與電源線VDD連接，重置電晶體RST之閘極與驅動信號線連接。該驅動信號線係與1個像素共有單元539連接之複數條列驅動信號線542中之一部分。放大電晶體AMP之閘極與浮動擴散區FD連接，放大電晶體AMP之汲極與電源線VDD連接，放大電晶體AMP之源極與選擇電晶體SEL之汲極連接。選擇電晶體SEL之源極與垂直信號線543連接，選擇電晶體SEL之閘極與驅動信號線連接。該驅動信號線係與1個像素共有單元539連接之複數條列驅動信號線542中之一部分。

【0308】

當傳輸電晶體TR成為接通狀態時，傳輸電晶體TR將光電二極體PD之電荷傳輸至浮動擴散區FD。傳輸電晶體TR之閘極(傳輸閘極TG)例如包含所謂之豎型電極，如後述之圖76所示，自半導體層(後述之圖76之半導體層100S)之表面延伸至到達PD之深度而設置。重置電晶體RST將浮動擴散區FD之電位重置為特定電位。當重置電晶體RST成為接通狀態時，將浮動擴散區FD之電位重置為電源線VDD之電位。選擇電晶體SEL控制來自像素電路210之像素信號之輸出時序。放大電晶體AMP產生與浮動擴散區FD中保持之電荷之位準對應之電壓的信號作為像素信號。放大電晶體AMP經由選擇電晶體SEL與垂直信號線543連接。該放大電晶體AMP與行信號處理部550中連接於垂直信號線543之負載電路部(參照圖71)一起構成源極隨耦器。當選擇電晶體SEL成為接通狀態時，放大電晶體AMP將浮動擴散區FD之電壓經由垂直信號線543輸出至行信號處理部550。重置電晶體RST、放大電晶體AMP及選擇電晶體SEL例如為N型之CMOS電晶體。

【0309】

FD轉換增益切換電晶體FDG用於對浮動擴散區FD中之電荷-電壓轉換之增益進行變更時。一般而言，於在較暗場所拍攝時像素信號較小。在基於Q＝CV進行電荷電壓轉換時，若浮動擴散區FD之電容(FD電容C)較大，則利用放大電晶體AMP轉換為電壓時之V變小。另一方面，於較亮場所中，像素信號變大，因此若FD電容C不大，則利用浮動擴散區FD無法完全接收光電二極體PD之電荷。進而，需要FD電容C較大，以免利用放大電晶體AMP轉換為電壓時之V過大(換言之變小)。據此，於使FD轉換增益切換電晶體FDG接通時，FD電容C增加FD轉換增益切換電晶體FDG之閘極電容之量，因此FD電容C整體變大。另一方面，於使FD轉換增益切

換電晶體FDG斷開時，FD電容C整體變小。如此，藉由對FD轉換增益切換電晶體FDG進行接通斷開切換，能使FD電容C可變，從而可切換轉換效率。FD轉換增益切換電晶體FDG例如為N型之CMOS電晶體。

【0310】

再者，亦能夠為未設置FD轉換增益切換電晶體FDG之構成。此時，例如，像素電路210由放大電晶體AMP、選擇電晶體SEL及重置電晶體RST三個電晶體構成。像素電路210例如具有放大電晶體AMP、選擇電晶體SEL、重置電晶體RST及FD轉換增益切換電晶體FDG等像素電晶體之至少1者。

【0311】

選擇電晶體SEL亦可設置於電源線VDD與放大電晶體AMP之間。該情形時，重置電晶體RST之汲極與電源線VDD及選擇電晶體SEL之汲極電性連接。選擇電晶體SEL之源極與放大電晶體AMP之汲極電性連接，選擇電晶體SEL之閘極與列驅動信號線542(參照圖71)電性連接。放大電晶體AMP之源極(像素電路210之輸出端)與垂直信號線543電性連接，放大電晶體AMP之閘極與重置電晶體RST之源極電性連接。再者，雖省略圖示，但共有1個像素電路210之像素541之個數亦可為4以外之數。例如2個或8個像素541共有1個像素電路210。

【0312】

圖75係表示複數個像素共有單元539與垂直信號線543之連接樣態之一例之圖。例如於行方向排列之4個像素共有單元539分為4個組，於該4個組分別連接有垂直信號線543。圖75中，為簡化說明，表示4個組分別具有1個像素共有單元539之例，但4個組亦可分別包含複數個像素共有單

元539。如此，攝像裝置1中，於行方向排列之複數個像素共有單元539亦可分為包含1個或複數個像素共有單元539之組。例如於該組分別連接有垂直信號線543及行信號處理部550，可自各組同時讀出像素信號。或，攝像裝置1中，亦可於沿行方向排列之複數個像素共有單元539連接有1條垂直信號線543。此時，自與1條垂直信號線543連接之複數個像素共有單元539分時依序讀出像素信號。

【0313】

[攝像裝置1之具體構成]

圖76係表示相對於攝像裝置1之第1基板100、第2基板200及第3基板300之主面垂直之方向之剖面構成之一例的圖。圖76係為了容易明白構成要素之位置關係而示意性地表示之圖，亦可與實際剖面不同。攝像裝置1中，第1基板100、第2基板200及第3基板300依序積層。攝像裝置1進而於第1基板100之背面側(光入射面側)具有受光透鏡401。亦可於受光透鏡401與第1基板100之間設置有彩色濾光片層(未圖示)。受光透鏡401例如設置於各像素541A、541B、541C、541D。攝像裝置1例如為背面照射型之攝像裝置。攝像裝置1具有配置於中央部之像素陣列部540、與配置於像素陣列部540之外側之周邊部540B。

【0314】

第1基板100自受光透鏡401側依序具有絕緣膜111、固定電荷膜112、半導體層100S及配線層100T。半導體層100S例如由矽基板構成。半導體層100S例如於表面(配線層100T側之面)之一部分及其附近具有p井層115，且於除此以外之區域(較p井層115更深之區域)具有n型半導體區域114。例如由該n型半導體區域114及p井層115構成pn接面型之光電二極體

PD。p井層115係p型半導體區域。

【0315】

圖77A係表示第1基板100之平面構成之一例之圖。圖77A主要表示第1基板100之像素分離部117、光電二極體PD、浮動擴散區FD、VSS接點區域118及傳輸電晶體TR之平面構成。使用圖76及圖77A對第1基板100之構成進行說明。

【0316】

於半導體層100S之表面附近設置有浮動擴散區FD及VSS接點區域118。浮動擴散區FD由設置於p井層115內之n型半導體區域構成。像素541A、541B、541C、541D各者之浮動擴散區FD(浮動擴散區FD1、FD2、FD3、FD4)例如相互接近設置於像素共有單元539之中央部(圖77A)。雖後述詳情，但該像素共有單元539中所含之4個浮動擴散區(浮動擴散區FD1、FD2、FD3、FD4)於第1基板100內(更具體而言為配線層100T內)，經由電性連接機構(後述之焊墊部120)相互電性連接。進而，浮動擴散區FD經由電性機構(後述之貫通電極120E)自第1基板100連接至第2基板200(更具體而言，自配線層100T連接至配線層200T)。第2基板200(更具體而言為配線層200T之內部)中，浮動擴散區FD藉由該電性機構而與放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極電性連接。

【0317】

VSS接點區域118係與基準電位線VSS電性連接之區域，與浮動擴散區FD相隔配置。例如像素541A、541B、541C、541D中，於各像素之V方向之一端配置有浮動擴散區FD，且於另一端配置有VSS接點區域

118(圖77A)。VSS接點區域118例如由p型半導體區域構成。VSS接點區域118例如與接地電位、固定電位連接。藉此，對半導體層100S供給基準電位。

【0318】

於第1基板100設置有光電二極體PD、浮動擴散區FD及VSS接點區域118、與傳輸電晶體TR。該光電二極體PD、浮動擴散區FD、VSS接點區域118及傳輸電晶體TR設置於各像素541A、541B、541C、541D。傳輸電晶體TR設置於半導體層100S之正面側(與光入射面側為相反側，第2基板200側)。傳輸電晶體TR具有傳輸閘極TG。傳輸閘極TG例如包含與半導體層100S之表面對向之水平部分TGb、與設置於半導體層100S內之垂直部分TGa。垂直部分TGa於半導體層100S之厚度方向延伸。垂直部分TGa之一端與水平部分TGb相接，另一端設置於n型半導體區域114內。由該種豎型電晶體構成傳輸電晶體TR，藉此不易產生像素信號之傳輸不良，可使像素信號之讀出效率提高。

【0319】

傳輸閘極TG之水平部分TGb自與垂直部分TGa對向之位置，例如於H方向上朝像素共有單元539之中央部延伸(圖77A)。藉此，可使到達傳輸閘極TG之貫通電極(後述之貫通電極TGV)之H方向之位置，接近於與浮動擴散區FD、VSS接點區域118連接之貫通電極(後述之貫通電極120E、121E)之H方向之位置。例如設置於第1基板100之複數個像素共有單元539具有互為相同之構成(圖77A)。

【0320】

於半導體層100S設置有將像素541A、541B、541C、541D相互分離

之像素分離部117。像素分離部117於半導體層100S之法線方向(相對於半導體層100S之表面垂直之方向)延伸而形成。像素分離部117以將像素541A、541B、541C、541D相互分隔之方式設置，例如具有格子狀之平面形狀(圖77A、圖77B)。像素分離部117例如將像素541A、541B、541C、541D相互電性及光學性分離。像素分離部117例如包含遮光膜117A及絕緣膜117B。遮光膜117A例如使用鎢(W)等。絕緣膜117B設置於遮光膜117A與p井層115或n型半導體區域114之間。絕緣膜117B例如包含氧化矽(SiO)。像素分離部117例如具有FTI(Full Trench Isolation，完全溝槽隔離)構造，且貫通半導體層100S。雖未圖示，但像素分離部117並不限定於貫通半導體層100S之FTI構造。例如亦可為不貫通半導體層100S之DTI(Deep Trench Isolation，深溝槽隔離)構造。像素分離部117於半導體層100S之法線方向延伸，且形成於半導體層100S之一部分區域。

【0321】

於半導體層100S例如設置有第1釘紮區域113及第2釘紮區域116。第1釘紮區域113設置於半導體層100S之背面附近，且配置於n型半導體區域114與固定電荷膜112之間。第2釘紮區域116設置於像素分離部117之側面，具體而言設置於像素分離部117與p井層115或n型半導體區域114之間。第1釘紮區域113及第2釘紮區域116例如由p型半導體區域構成。

【0322】

於半導體層100S與絕緣膜111之間，設置有具有負之固定電荷之固定電荷膜112。藉由固定電荷膜112感應之電場，而於半導體層100S之受光面(背面)側之界面形成電洞儲存層之第1釘紮區域113。藉此，抑制由半導體層100S之受光面側之界面能階引起之暗電流之產生。固定電荷膜112例

如由具有負之固定電荷之絕緣膜形成。作為具有該負之固定電荷之絕緣膜之材料，例如列舉氧化鉿、氧化鋯、氧化鋁、氧化鈦或氧化鉭。

【0323】

於固定電荷膜112與絕緣膜111之間設置有遮光膜117A。該遮光膜117A與構成像素分離部117之遮光膜117A連續設置。該固定電荷膜112與絕緣膜111之間之遮光膜117A，例如選擇性地設置於與半導體層100S內之像素分離部117對向之位置。絕緣膜111以覆蓋該遮光膜117A之方式設置。絕緣膜111例如包含氧化矽。

【0324】

設置於半導體層100S與第2基板200之間之配線層100T，自半導體層100S側依序具有層間絕緣膜119、焊墊部120、121、鈍化膜122、層間絕緣膜123及接合膜124。傳輸閘極TG之水平部分TGb例如設置於該配線層100T。層間絕緣膜119跨及半導體層100S之整個表面而設置，且與半導體層100S相接。層間絕緣膜119例如由氧化矽膜構成。再者，配線層100T之構成並不限定於上述，只要為具有配線與絕緣膜之構成即可。

【0325】

圖77B係表示圖77A所示之平面構成、與焊墊部120、121之構成。焊墊部120、121設置於層間絕緣膜119上之選擇區域。焊墊部120用以將像素541A、541B、541C、541D各者之浮動擴散區FD(浮動擴散區FD1、FD2、FD3、FD4)相互連接。焊墊部120例如針對每一像素共有單元539，於俯視下配置於像素共有單元539之中央部(圖77B)。該焊墊部120以跨越像素分離部117之方式設置，且與浮動擴散區FD1、FD2、FD3、FD4各者之至少一部分重疊而配置(圖76、圖77B)。具體而言，焊墊部120

形成於如下區域，該區域相對於共有像素電路210之複數個浮動擴散區FD(浮動擴散區FD1、FD2、FD3、FD4)各者之至少一部分、與形成於共有該像素電路210之複數個光電二極體PD(光電二極體PD1、PD2、PD3、PD4)之間之像素分離部117之至少一部分，於與半導體層100S之表面垂直之方向上重疊。於層間絕緣膜119設置有用以將焊墊部120與浮動擴散區FD1、FD2、FD3、FD4電性連接之連接通孔120C。連接通孔120C設置於各像素541A、541B、541C、541D。例如藉由將焊墊部120之一部分嵌埋於連接通孔120C，而將焊墊部120與浮動擴散區FD1、FD2、FD3、FD4電性連接。

【0326】

焊墊部121用以將複數個VSS接點區域118相互連接。例如設置於沿V方向相鄰之一像素共有單元539之像素541C、541D之VSS接點區域118，與設置於另一像素共有單元539之像素541A、541B之VSS接點區域118藉由焊墊部121電性連接。焊墊部121例如以跨越像素分離部117之方式設置，且與該4個VSS接點區域118各者之至少一部分重疊而配置。具體而言，焊墊部121形成於如下區域，該區域相對於複數個VSS接點區域118各者之至少一部分、與形成於該複數個VSS接點區域118之間之像素分離部117之至少一部分，於與半導體層100S之表面垂直之方向上重疊。於層間絕緣膜119設置有用以將焊墊部121與VSS接點區域118電性連接之連接通孔121C。連接通孔121C設置於各像素541A、541B、541C、541D。例如藉由將焊墊部121之一部分嵌埋於連接通孔121C，而將焊墊部121與VSS接點區域118電性連接。例如於V方向排列之複數個像素共有單元539各者之焊墊部120及焊墊部121於H方向上配置於大致相同之位置(圖77B)。

【0327】

藉由設置焊墊部120，可於整個晶片減少用以自各浮動擴散區FD向像素電路210(例如放大電晶體AMP之閘極電極)連接之配線。同樣，藉由設置焊墊部121，可於整個晶片減少向各VSS接點區域118供給電位之配線。藉此，能夠使整個晶片之面積縮小，抑制微細化之像素之配線間之電性干擾，及/或利用零件件數之削減實現成本削減等。

【0328】

焊墊部120、121可設置於第1基板100、第2基板200之所需位置。具體而言，可將焊墊部120、121設置於配線層100T、半導體層200S之絕緣區域212之任一者。於設置於配線層100T之情形時，亦可使焊墊部120、121與半導體層100S直接接觸。具體而言，焊墊部120、121亦可為與浮動擴散區FD及/或VSS接點區域118之各者之至少一部分直接連接之構成。又，亦可為如下構成，即，自與焊墊部120、121連接之浮動擴散區FD及/或VSS接點區域118之各者設置連接通孔120C、121C，於配線層100T、半導體層200S之絕緣區域212之所需位置設置焊墊部120、121。

【0329】

尤其，於將焊墊部120、121設置於配線層100T之情形時，可減少半導體層200S之絕緣區域212中之與浮動擴散區FD及/或VSS接點區域118連接之配線。藉此，可削減形成像素電路210之第2基板200中之絕緣區域212之面積，該絕緣區域212用以形成貫通配線，該貫通配線用以自浮動擴散區FD連接至像素電路210。藉此，可確保形成像素電路210之第2基板200之面積較大。藉由確保像素電路210之面積，可較大地形成像素電晶體，從而可有助於利用雜訊減少等提高畫質。

【0330】

尤其，於像素分離部117使用FTI構造之情形時，由於浮動擴散區FD及/或VSS接點區域118較佳為設置於各像素541，因此藉由使用焊墊部120、121之構成，可大幅削減連接第1基板100與第2基板200之配線。

【0331】

又，如圖77B，例如連接有複數個浮動擴散區FD之焊墊部120、與連接有複數個VSS接點區域118之焊墊部121於V方向上以直線狀交替配置。又，焊墊部120、121形成於被複數個光電二極體PD、複數個傳輸閘極TG、複數個浮動擴散區FD包圍之位置。藉此，於形成複數個元件之第1基板100中，可自由配置除浮動擴散區FD與VSS接點區域118以外之元件，從而可實現整個晶片佈局之效率化。又，可確保形成於各像素共有單元539之元件之佈局的對稱性，從而可抑制各像素541之特性不均。

【0332】

焊墊部120、121例如包含多晶矽(Poly Si)，具體而言包含添加有雜質之摻雜多晶矽。焊墊部120、121較佳為包含多晶矽、鎢(W)、鈦(Ti)及氮化鈦(TiN)等耐熱性較高之導電性材料。藉此，能夠於將第2基板200之半導體層200S貼合於第1基板100之後形成像素電路210。以下，對其原因進行說明。再者，以下說明中，將於貼合第1基板100與第2基板200之半導體層200S之後形成像素電路210之方法稱為第1製造方法。

【0333】

此處，亦可考慮於在第2基板200形成像素電路210之後，將該第2基板200貼合於第1基板100(以下稱為第2製造方法)。該第2製造方法中，預先於第1基板100之表面(配線層100T之表面)及第2基板200之表面(配線層

200T之表面)分別形成電性連接用之電極。當將第1基板100與第2基板200貼合時，與此同時，分別形成於第1基板100之表面與第2基板200之表面之電性連接用之電極彼此接觸。藉此，於第1基板100中所含之配線與第2基板200中所含之配線之間形成電性連接。藉此，藉由設為使用第2製造方法之攝像裝置1之構成，例如可根據第1基板100與第2基板200各者之構成而使用適當製程進行製造，從而可製造高品質、高性能之攝像裝置。

【0334】

該第2製造方法中，於將第1基板100與第2基板200貼合時，有時會因貼合用之製造裝置而產生位置對準之誤差。又，第1基板100及第2基板200例如具有直徑數十cm左右之大小，但於將第1基板100與第2基板200貼合時，有於該第1基板100、第2基板200各部分之微觀區域中產生基板伸縮之顧慮。該基板伸縮係由基板彼此接觸之時序略有偏差而引起。有時會因該第1基板100及第2基板200之伸縮，而導致於分別形成於第1基板100之表面及第2基板200之表面之電性連接用之電極位置產生誤差。第2製造方法中，較佳為預先加以處理以使即便產生該誤差，第1基板100及第2基板200各自之電極彼此亦會接觸。具體而言，預先考慮上述誤差而使第1基板100及第2基板200之電極之至少一者，較佳為兩者較大。因此，若使用第2製造方法，則例如形成於第1基板100或第2基板200之表面之電極之大小(基板平面方向之大小)，大於自第1基板100或第2基板200之內部沿厚度方向延伸至表面之內部電極之大小。

【0335】

另一方面，藉由由耐熱性之導電材料構成焊墊部120、121，能夠使用上述第1製造方法。第1製造方法中，於形成包含光電二極體PD及傳輸

電晶體TR等之第1基板100之後，將該第1基板100與第2基板200(半導體層2000S)貼合。此時，第2基板200為未形成構成像素電路210之主動元件及配線層等之圖案之狀態。由於第2基板200為形成圖案之前之狀態，因此即便假設於將第1基板100與第2基板200貼合時於其貼合位置產生誤差，亦不會因該貼合誤差而於第1基板100之圖案與第2基板200之圖案之間之位置對準產生誤差。其原因在於，第2基板200之圖案係於將第1基板100與第2基板200貼合之後形成。再者，於在第2基板形成圖案時，例如於用以形成圖案之曝光裝置，一面將形成於第1基板之圖案作為位置對準之對象一面形成圖案。藉由上述原因，第1基板100與第2基板200之貼合位置之誤差於第1製造方法中，於製造攝像裝置1時不會成為問題。藉由相同原因，第2製造方法中產生之基板伸縮所引起之誤差於第1製造方法中，於製造攝像裝置1時亦不會成為問題。

【0336】

第1製造方法中，如此將第1基板100與第2基板200(半導體層200S)貼合之後，於第2基板200上形成主動元件。其後，形成貫通電極120E、121E及貫通電極TGV(圖76)。該貫通電極120E、121E、TGV之形成中，例如自第2基板200之上方使用曝光裝置之縮小投影曝光形成貫通電極之圖案。由於使用縮小曝光投影，因此即便假設於第2基板200與曝光裝置之位置對準中產生誤差，該誤差之大小於第2基板200中亦僅為上述第2製造方法之誤差之數分之一(縮小曝光投影倍率之倒數)。藉此，藉由設為使用第1製造方法之攝像裝置1之構成，形成於第1基板100與第2基板200各者之元件彼此容易位置對準，從而可製造高品質、高性能之攝像裝置。

【0337】

使用該第1製造方法製造之攝像裝置1具有與利用第2製造方法製造之攝像裝置不同之特徵。具體而言，藉由第1製造方法製造之攝像裝置1中，例如貫通電極120E、121E、TGV自第2基板200至第1基板100成為大致固定之粗度(基板平面方向之大小)。或，於貫通電極120E、121E、TGV具有傾斜形狀時，具有固定斜率之傾斜形狀。具有該貫通電極120E、121E、TGV之攝像裝置1容易使像素541微細化。

【0338】

此處，當藉由第1製造方法製造攝像裝置1時，於將第1基板100與第2基板200(半導體層200S)貼合之後，於第2基板200形成主動元件，因此形成主動元件時所需之加熱處理亦會影響到第1基板100。因此，如上所述，較佳為於設置於第1基板100之焊墊部120、121使用耐熱性較高之導電材料。例如較佳為於焊墊部120、121使用熔點較第2基板200之配線層200T中所含之配線材料之至少一部分高(即耐熱性較高)的材料。例如於焊墊部120、121使用摻雜多晶矽、鎢、鈦或氮化鈦等耐熱性較高之導電材料。藉此，能夠使用上述第1製造方法製造攝像裝置1。

【0339】

鈍化膜122例如以覆蓋焊墊部120、121之方式跨及半導體層100S之整個表面而設置(圖76)。鈍化膜122例如由氮化矽(SiN)膜構成。層間絕緣膜123隔著鈍化膜122而覆蓋焊墊部120、121。該層間絕緣膜123例如跨及半導體層100S之整個表面而設置。層間絕緣膜123例如由氧化矽(SiO)膜構成。接合膜124設置於第1基板100(具體而言為配線層100T)與第2基板200之接合面。即，接合膜124與第2基板200相接。該接合膜124跨及第1基板100之整個主面而設置。接合膜124例如由氮化矽膜構成。

【0340】

受光透鏡401例如隔著固定電荷膜112及絕緣膜111而與半導體層100S對向(圖76)。受光透鏡401例如設置於與像素541A、541B、541C、541D各者之光電二極體PD對向之位置。

【0341】

第2基板200自第1基板100側依序具有半導體層200S及配線層200T。半導體層200S由矽基板構成。半導體層200S中，跨及厚度方向設置有井區域211。井區域211例如為p型半導體區域。於第2基板200，設置有針對每一像素共有單元539而配置之像素電路210。該像素電路210例如設置於半導體層200S之正面側(配線層200T側)。攝像裝置1中，以第2基板200之背面側(半導體層200S側)朝向第1基板100之正面側(配線層100T側)之方式將第2基板200貼合於第1基板100。即，第2基板200以面對背貼合於第1基板100。

【0342】

圖78～圖82示意性表示第2基板200之平面構成之一例。圖78表示設置於半導體層200S之表面附近之像素電路210之構成。圖79示意性表示配線層200T(具體而言為後述之第1配線層W1)、及與配線層200T連接之半導體層200S及第1基板100之各部分之構成。圖80～圖82表示配線層200T之平面構成之一例。以下，使用圖76及圖78～圖82對第2基板200之構成進行說明。圖78及圖79中以虛線表示光電二極體PD之外形(像素分離部117與光電二極體PD之邊界)，且以鏈線表示與構成像素電路210之各電晶體之閘極電極重疊之部分之半導體層200S與元件分離區域213或絕緣區域212之邊界。與放大電晶體AMP之閘極電極重疊之部分中，於通道寬度方

向之一方設置有半導體層200S與元件分離區域213之邊界、及元件分離區域213與絕緣區域212之邊界。

【0343】

於第2基板200設置有將半導體層200S分斷之絕緣區域212、與設置於半導體層200S之厚度方向之一部分之元件分離區域213(圖76)。例如於設置於沿H方向相鄰之2個像素電路210之間之絕緣區域212，配置有與該2個像素電路210連接之2個像素共有單元539之貫通電極120E、121E及貫通電極TGV(貫通電極TGV1、TGV2、TGV3、TGV4)(圖79)。

【0344】

絕緣區域212具有與半導體層200S之厚度大致相同之厚度(圖76)。半導體層200S被該絕緣區域212分斷。於該絕緣區域212配置有貫通電極120E、121E及貫通電極TGV。絕緣區域212例如包含氧化矽。

【0345】

貫通電極120E、121E於厚度方向貫通絕緣區域212而設置。貫通電極120E、121E之上端與配線層200T之配線(後述之第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)連接。該貫通電極120E、121E貫通絕緣區域212、接合膜124、層間絕緣膜123及鈍化膜122而設置，其下端與焊墊部120、121連接(圖76)。貫通電極120E係用以將焊墊部120與像素電路210電性連接者。即，藉由貫通電極120E將第1基板100之浮動擴散區FD電性連接於第2基板200之像素電路210。貫通電極121E係用以將焊墊部121與配線層200T之基準電位線VSS電性連接者。即，藉由貫通電極121E將第1基板100之VSS接點區域118電性連接於第2基板200之基準電位線VSS。

【0346】

貫通電極TGV係於厚度方向貫通絕緣區域212而設置。貫通電極TGV之上端與配線層200T之配線連接。該貫通電極TGV貫通絕緣區域212、接合膜124、層間絕緣膜123、鈍化膜122及層間絕緣膜119而設置，其下端與傳輸閘極TG連接(圖76)。該貫通電極TGV係用以將像素541A、541B、541C、541D各者之傳輸閘極TG(傳輸閘極TG1、TG2、TG3、TG4)與配線層200T之配線(列驅動信號線542之一部分，具體而言為後述之圖81之配線TRG1、TRG2、TRG3、TRG4)電性連接者。即，藉由貫通電極TGV將第1基板100之傳輸閘極TG電性連接於第2基板200之配線TRG，對傳輸電晶體TR(傳輸電晶體TR1、TR2、TR3、TR4)各者傳輸驅動信號。

【0347】

絕緣區域212係用以將上述貫通電極120E、121E及貫通電極TGV與半導體層200S絕緣而設置之區域，上述貫通電極120E、121E及貫通電極TGV用以將第1基板100與第2基板200電性連接。例如於設置於沿H方向相鄰之2個像素電路210(像素共有單元539)之間之絕緣區域212，配置有與該2個像素電路210連接之貫通電極120E、121E及貫通電極TGV(貫通電極TGV1、TGV2、TGV3、TGV4)。絕緣區域212例如於V方向延伸而設置(圖78、圖79)。此處，藉由設計傳輸閘極TG之水平部分TGb之配置，而以與垂直部分TGa之位置相比，貫通電極TGV之H方向之位置更接近貫通電極120E、121E之H方向之位置的方式配置(圖77A、圖79)。例如貫通電極TGV於H方向上配置於與貫通電極120E、120E大致相同之位置。藉此，可於沿V方向延伸之絕緣區域212一併設置貫通電極120E、121E及貫通電極TGV。作為另一配置例，亦可考慮僅於與垂直部分TGa重疊之區域

設置水平部分TGb。該情形時，於垂直部分TGa之大致正上方形成貫通電極TGV，例如於各像素541之H方向及V方向之大致中央部配置貫通電極TGV。此時，貫通電極TGV之H方向之位置與貫通電極120E、121E之H方向之位置較大地偏移。於貫通電極TGV及貫通電極120E、121E之周圍，例如設置有絕緣區域212以與接近之半導體層200S電性絕緣。於貫通電極TGV之H方向之位置與貫通電極120E、121E之H方向之位置較大地遠離的情形時，需要於貫通電極120E、121E、TGV各者之周圍獨立設置絕緣區域212。藉此，較細地分斷半導體層200S。與此相比，於沿V方向延伸之絕緣區域212一併配置貫通電極120E、121E及貫通電極TGV之佈局，可使半導體層200S之H方向之大小變大。藉此，可確保半導體層200S之半導體元件形成區域之面積較大。藉此，例如能夠使放大電晶體AMP之尺寸變大而抑制雜訊。

【0348】

像素共有單元539如參照圖74所說明具有如下構造，即，將分別設置於複數個像素541之浮動擴散區FD之間電性連接，且該複數個像素541共有1個像素電路210。而且，上述浮動擴散區FD間之電性連接係藉由設置於第1基板100之焊墊部120(圖76、圖77B)而實現。設置於第1基板100之電性連接部(焊墊部120)與設置於第2基板200之像素電路210經由1個貫通電極120E電性連接。作為另一構造例，亦可考慮將浮動擴散區FD間之電性連接部設置於第2基板200。該情形時，於像素共有單元539設置有與浮動擴散區FD1、FD2、FD3、FD4各者連接之4個貫通電極。因此，於第2基板200中，貫通半導體層200S之貫通電極之個數增加，將該等貫通電極之周圍絕緣之絕緣區域212變大。與此相比，於第1基板100設置焊墊部

120之構造(圖76、圖77B)可減少貫通電極之個數而使絕緣區域212變小。藉此，可確保半導體層200S之半導體元件形成區域之面積較大。藉此，例如能夠使放大電晶體AMP之尺寸變大而抑制雜訊。

【0349】

元件分離區域213設置於半導體層200S之正面側。元件分離區域213具有STI(Shallow Trench Isolation)構造。該元件分離區域213中，半導體層200S向厚度方向(與第2基板200之主面垂直之方向)凹陷，於該凹陷中嵌埋絕緣膜。該絕緣膜例如包含氧化矽。元件分離區域213將構成像素電路210之複數個電晶體間對應於像素電路210之佈局而進行元件分離。半導體層200S(具體而言為井區域211)向元件分離區域213之下方(半導體層200S之深部)延伸。

【0350】

此處，參照圖77A、圖77B及圖78，對第1基板100上之像素共有單元539之外形形狀(基板平面方向之外形形狀)、與第2基板200上之像素共有單元539之外形形狀之不同進行說明。

【0351】

攝像裝置1中，跨及第1基板100及第2基板200之兩者而設置有像素共有單元539。例如設置於第1基板100之像素共有單元539之外形形狀，與設置於第2基板200之像素共有單元539之外形形狀互不相同。

【0352】

圖77A、圖77B中，以單點鏈線表示像素541A、541B、541C、541D之外形線，以粗線表示像素共有單元539之外形形狀。例如第1基板100之像素共有單元539由沿H方向鄰接配置之2個像素541(像素541A、541B)、

及於V方向與其鄰接配置之2個像素541(像素541C、541D)構成。即，第1基板100之像素共有單元539由鄰接之2列×2行之4個像素541構成，第1基板100之像素共有單元539具有大致正方形之外形形狀。像素陣列部540中，該種像素共有單元539於H方向以2像素間距(相當於2個像素541量之間距)且於V方向以2像素間距(相當於2個像素541量之間距)鄰接配置。

【0353】

圖78及圖79中，以單點鏈線表示像素541A、541B、541C、541D之外形線，以粗線表示像素共有單元539之外形形狀。例如，第2基板200之像素共有單元539之外形形狀於H方向較第1基板100之像素共有單元539小，於V方向較第1基板100之像素共有單元539大。例如，第2基板200之像素共有單元539於H方向以相當於1個像素之大小(區域)形成，於V方向以相當於4個像素之大小形成。即，第2基板200之像素共有單元539以相當於鄰接之配置為1列×4行之像素之大小形成，第2基板200之像素共有單元539具有大致長方形之外形形狀。

【0354】

例如，各像素電路210中，選擇電晶體SEL、放大電晶體AMP、重置電晶體RST及FD轉換增益切換電晶體FDG依序於V方向排列配置(圖78)。藉由將各像素電路210之外形形狀如上述般設置為大致長方形狀，可於一方向(圖78中為V方向)排列配置4個電晶體(選擇電晶體SEL、放大電晶體AMP、重置電晶體RST及FD轉換增益切換電晶體FDG)。藉此，可於一擴散區域(與電源線VDD連接之擴散區域)共有放大電晶體AMP之汲極與重置電晶體RST之汲極。例如，亦能夠將各像素電路210之形成區域設置為大致正方形狀(參照後述之圖91)。該情形時，沿一方向配置2個電晶體，

將難以於一擴散區域共有放大電晶體AMP之汲極與重置電晶體RST之汲極。藉此，藉由將像素電路210之形成區域設置為大致長方形狀，易於將4個電晶體接近配置，從而可將像素電路210之形成區域減小。即，可進行像素之微細化。又，當無需減小像素電路210之形成區域時，可將放大電晶體AMP之形成區域增大而抑制雜訊。

【0355】

例如，於半導體層200S之表面附近，除選擇電晶體SEL、放大電晶體AMP、重置電晶體RST及FD轉換增益切換電晶體FDG以外，還設置有與基準電位線VSS連接之VSS接點區域218。VSS接點區域218例如由p型半導體區域構成。VSS接點區域218經由配線層200T之配線及貫通電極121E與第1基板100(半導體層100S)之VSS接點區域118電性連接。該VSS接點區域218例如隔著元件分離區域213而設置於與FD轉換增益切換電晶體FDG之源極相鄰之位置(圖78)。

【0356】

其次，參照圖77B及圖78，對設置於第1基板100之像素共有單元539與設置於第2基板200之像素共有單元539之位置關係進行說明。例如，第1基板100之於V方向排列之2個像素共有單元539中之一像素共有單元539(例如圖77B之紙面上側者)，與第2基板200之於H方向排列之2個像素共有單元539中之一像素共有單元539(例如圖78之紙面左側者)連接。例如第1基板100之於V方向排列之2個像素共有單元539中之另一像素共有單元539(例如圖77B之紙面下側者)，與第2基板200之於H方向排列之2個像素共有單元539中之另一像素共有單元539(例如圖78之紙面右側者)連接。

【0357】

例如，第2基板200之於H方向排列之2個像素共有單元539中，一像素共有單元539之內部佈局(電晶體等之配置)，大致等於使另一像素共有單元539之內部佈局於V方向及H方向反轉後之佈局。以下，對藉由該佈局而獲得之效果進行說明。

【0358】

第1基板100之於V方向排列之2個像素共有單元539中，各焊墊部120配置於像素共有單元539之外形形狀之中央部，即像素共有單元539之V方向及H方向之中央部(圖77B)。另一方面，第2基板200之像素共有單元539如上所述具有於V方向較長之大致長方形之外形形狀，因此例如與焊墊部120連接之放大電晶體AMP，配置於自像素共有單元539之V方向之中央向紙面上方偏移之位置。例如當第2基板200之於H方向排列之2個像素共有單元539之內部佈局相同時，一像素共有單元539之放大電晶體AMP與焊墊部120(例如圖7之紙面上側之像素共有單元539之焊墊部120)之距離相對變短。但，另一像素共有單元539之放大電晶體AMP與焊墊部120(例如圖7之紙面下側之像素共有單元539之焊墊部120)之距離變長。因此，有該放大電晶體AMP與焊墊部120之連接所需之配線之面積變大，像素共有單元539之配線佈局變得複雜之顧慮。因此，有可能影響到攝像裝置1之微細化。

【0359】

與此相對，藉由於第2基板200之於H方向排列之2個像素共有單元539使相互之內部佈局至少於V方向反轉，可縮短該等2個像素共有單元539兩者之放大電晶體AMP與焊墊部120之距離。因此，與使第2基板200之於H方向排列之2個像素共有單元539之內部佈局相同之構成相比，易於

進行攝像裝置1之微細化。再者，第2基板200之複數個像素共有單元539各者之平面佈局，於圖78記載之範圍內左右對稱，但當包含後述圖79中記載之第1配線層W1之佈局時成為左右非對稱。

【0360】

又，第2基板200之於H方向排列之2個像素共有單元539之內部佈局，較佳為相互亦於H方向反轉。以下，對其原因進行說明。如圖79所示，第2基板200之於H方向排列之2個像素共有單元539分別與第1基板100之焊墊部120、121連接。例如於第2基板200之於H方向排列之2個像素共有單元539之H方向之中央部(於H方向排列之2個像素共有單元539之間)配置有焊墊部120、121。因此，藉由使第2基板200之於H方向排列之2個像素共有單元539之內部佈局相互於H方向反轉，可縮短第2基板200之複數個像素共有單元539各者與焊墊部120、121之距離。即，更容易進行攝像裝置1之微細化。

【0361】

又，第2基板200之像素共有單元539之外形線之位置，亦可不與第1基板100之像素共有單元539之任一外形線之位置一致。例如第2基板200之於H方向排列之2個像素共有單元539中之一(例如圖79之紙面左側)像素共有單元539中，V方向之一(例如圖79之紙面上側)外形線，配置於對應之第1基板100之像素共有單元539(例如圖77B之紙面上側)之V方向之一外形線的外側。又，第2基板200之於H方向排列之2個像素共有單元539中之另一(例如圖79之紙面右側)像素共有單元539中，V方向之另一(例如圖79之紙面下側)外形線，配置於對應之第1基板100之像素共有單元539(例如圖77B之紙面下側)之V方向之另一外形線的外側。如此，藉由將第2基板

200之像素共有單元539與第1基板100之像素共有單元539交替配置，能夠縮短放大電晶體AMP與焊墊部120之距離。因此，易於進行攝像裝置1之微細化。

【0362】

又，於第2基板200之複數個像素共有單元539之間，相互之外形線之位置亦可不一致。例如第2基板200之於H方向排列之2個像素共有單元539係將V方向之外形線之位置偏移而配置。藉此，能夠縮短放大電晶體AMP與焊墊部120之距離。因此，易於進行攝像裝置1之微細化。

【0363】

參照圖77B及圖79對像素陣列部540中之像素共有單元539之重複配置進行說明。第1基板100之像素共有單元539於H方向具有2個像素541量之大小，及於V方向具有2個像素541量之大小(圖77B)。例如第1基板100之像素陣列部540中，相當於該4個像素541之大小之像素共有單元539於H方向以2像素間距(相當於2個像素541量之間距)、且於V方向以2像素間距(相當於2個像素541量之間距)鄰接重複配置。或，亦可於第1基板100之像素陣列部540，設置有於V方向鄰接配置有2個像素共有單元539之一對像素共有單元539。第1基板100之像素陣列部540中，例如該一對像素共有單元539於H方向以2像素間距(相當於2個像素541量之間距)、且於V方向以4像素間距(相當於4個像素541量之間距)鄰接重複配置。第2基板200之像素共有單元539於H方向具有1個像素541量之大小、及於V方向具有4個像素541量之大小(圖79)。例如於第2基板200之像素陣列部540，設置有包含2個相當於該4個像素541之大小之像素共有單元539的一對像素共有單元539。該像素共有單元539於H方向鄰接配置，且於V方向偏移配置。

第2基板200之像素陣列部540中，例如該一對像素共有單元539於H方向以2像素間距(相當於2個像素541量之間距)、且於V方向以4像素間距(相當於4個像素541量之間距)無間隙地鄰接重複配置。藉由該種像素共有單元539之重複配置，能夠將像素共有單元539無間隙地配置。因此，易於進行攝像裝置1之微細化。

【0364】

放大電晶體AMP較佳為例如具有鰭型等三維構造(圖76)。藉此，實效之閘極寬度之大小變大，能夠抑制雜訊。選擇電晶體SEL、重置電晶體RST及FD轉換增益切換電晶體FDG例如具有平面構造。放大電晶體AMP亦可具有平面構造。或，選擇電晶體SEL、重置電晶體RST或FD轉換增益切換電晶體FDG亦可具有三維構造。

【0365】

配線層200T例如包含鈍化膜221、層間絕緣膜222及複數條配線(第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)。鈍化膜221例如與半導體層200S之表面相接，覆蓋半導體層200S之整個表面。該鈍化膜221覆蓋選擇電晶體SEL、放大電晶體AMP、重置電晶體RST及FD轉換增益切換電晶體FDG各者之閘極電極。層間絕緣膜222設置於鈍化膜221與第3基板300之間。藉由該層間絕緣膜222而將複數條配線(第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)分離。層間絕緣膜222例如包含氧化矽。

【0366】

於配線層200T，例如自半導體層200S側依序設置有第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4及接點部201、202，且該

等藉由層間絕緣膜222而相互絕緣。於層間絕緣膜222設置有複數個將第1配線層W1、第2配線層W2、第3配線層W3或第4配線層W4與該等之下層連接之連接部。連接部係於設置於層間絕緣膜222之連接孔中埋設有導電材料之部分。例如於層間絕緣膜222設置有將第1配線層W1與半導體層200S之VSS接點區域218連接之連接部218V。例如將該種第2基板200之元件彼此連接之連接部之孔徑，與貫通電極120E、121E及貫通電極TGV之孔徑不同。具體而言，將第2基板200之元件彼此連接之連接孔之孔徑，較佳為較貫通電極120E、121E及貫通電極TGV之孔徑小。以下，對其原因進行說明。設置於配線層200T內之連接部(連接部218V等)之深度較貫通電極120E、121E及貫通電極TGV之深度小。因此，連接部與貫通電極120E、121E及貫通電極TGV相比，可更容易向連接孔中填埋導電材料。藉由該連接部之孔徑較貫通電極120E、121E及貫通電極TGV之孔徑小，而易於進行攝像裝置1之微細化。

【0367】

例如藉由第1配線層W1而將貫通電極120E與放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極(具體而言為到達FD轉換增益切換電晶體FDG之源極之連接孔)連接。第1配線層W1例如將貫通電極121E與連接部218V連接，藉此，半導體層200S之VSS接點區域218與半導體層100S之VSS接點區域118電性連接。

【0368】

其次，使用圖80～圖82對配線層200T之平面構成進行說明。圖80係表示第1配線層W1及第2配線層W2之平面構成之一例之圖。圖81係表示第2配線層W2及第3配線層W3之平面構成之一例之圖。圖82係表示第3配線

層W3及第4配線層W4之平面構成之一例之圖。

【0369】

例如第3配線層W3包含沿H方向(列方向)延伸之配線TRG1、TRG2、TRG3、TRG4、SELL、RSTL、FDGL(圖81)。該等配線相當於參照圖74說明之複數條列驅動信號線542。配線TRG1、TRG2、TRG3、TRG4分別用以對傳輸閘極TG1、TG2、TG3、TG4傳輸驅動信號。配線TRG1、TRG2、TRG3、TRG4各者經由第2配線層W2、第1配線層W1及貫通電極120E與傳輸閘極TG1、TG2、TG3、TG4連接。配線SELL用以對選擇電晶體SEL之閘極傳輸驅動信號，配線RSTL用以對重置電晶體RST之閘極傳輸驅動信號，配線FDGL用以對FD轉換增益切換電晶體FDG之閘極傳輸驅動信號。配線SELL、RSTL、FDGL各者經由第2配線層W2、第1配線層W1及連接部，與選擇電晶體SEL、重置電晶體RST、FD轉換增益切換電晶體FDG各者之閘極連接。

【0370】

例如第4配線層W4包含沿V方向(行方向)延伸之電源線VDD、基準電位線VSS及垂直信號線543(圖82)。電源線VDD經由第3配線層W3、第2配線層W2、第1配線層W1及連接部而與放大電晶體AMP之汲極及重置電晶體RST之汲極連接。基準電位線VSS經由第3配線層W3、第2配線層W2、第1配線層W1及連接部218V而與VSS接點區域218連接。又，基準電位線VSS經由第3配線層W3、第2配線層W2、第1配線層W1、貫通電極121E及焊墊部121而與第1基板100之VSS接點區域118連接。垂直信號線543經由第3配線層W3、第2配線層W2、第1配線層W1及連接部而與選擇電晶體SEL之源極(Vout)連接。

【0371】

接點部201、202亦可於俯視下設置於與像素陣列部540重疊之位置(例如圖73)，或，亦可設置於像素陣列部540之外側之周邊部540B(例如圖76)。接點部201、202設置於第2基板200之表面(配線層200T側之面)。接點部201、202例如包含Cu(銅)及Al(鋁)等金屬。接點部201、202露出於配線層200T之表面(第3基板300側之面)。接點部201、202用於第2基板200與第3基板300之電性連接、及第2基板200與第3基板300之貼合。

【0372】

圖76中圖示出於第2基板200之周邊部540B設置有周邊電路之例。該周邊電路亦可包含列驅動部520之一部分或行信號處理部550之一部分等。又，如圖73所記載，亦可不於第2基板200之周邊部540B配置周邊電路，而於像素陣列部540之附近配置連接孔部H1、H2。

【0373】

第3基板300例如自第2基板200側依序具有配線層300T及半導體層300S。例如半導體層300S之表面設置於第2基板200側。半導體層300S由矽基板構成。於該半導體層300S之正面側之部分設置有電路。具體而言，於半導體層300S之正面側之部分，例如設置有輸入部510A、列驅動部520、時序控制部530、行信號處理部550、圖像信號處理部560及輸出部510B中之至少一部分。設置於半導體層300S與第2基板200之間之配線層300T，例如包含層間絕緣膜、藉由該層間絕緣膜分離之複數條配線層、及接點部301、302。接點部301、302露出於配線層300T之表面(第2基板200側之面)，接點部301與第2基板200之接點部201相接，接點部302與第2基板200之接點部202相接。接點部301、302與形成於半導體層300S

之電路(例如輸入部510A、列驅動部520、時序控制部530、行信號處理部550、圖像信號處理部560及輸出部510B之至少任一者)電性連接。接點部301、302例如包含Cu(銅)及鋁(Al)等金屬。例如外部端子TA經由連接孔部H1與輸入部510A連接，外部端子TB經由連接孔部H2與輸出部510B連接。

【0374】

此處，對攝像裝置1之特徵進行說明。

【0375】

一般而言，攝像裝置就主要構成而言包含光電二極體與像素電路。此處，當使光電二極體之面積變大時，光電轉換之結果產生之電荷增加，其結果像素信號之信號/雜訊比(S/N(signal-to-noise)比)得以改善，攝像裝置可輸出更佳之圖像資料(圖像資訊)。另一方面，當使像素電路中所含之電晶體之尺寸(尤其是放大電晶體之尺寸)變大時，於像素電路中產生之雜訊減少，其結果可改善拍攝信號之S/N比，攝像裝置輸出更佳之圖像資料(圖像資訊)。

【0376】

但，將光電二極體與像素電路設置於同一半導體基板之攝像裝置中，當於半導體基板之有限面積中使光電二極體之面積變大時，認為像素電路所具備之電晶體之尺寸會變小。又，當使像素電路具備之電晶體之尺寸變大時，認為光電二極體之面積會變小。

【0377】

為了解決上述問題，例如本實施形態之攝像裝置1使用如下構造，即，複數個像素541共有1個像素電路210，且將共有之像素電路210與光

電二極體PD重疊配置。藉此，可於半導體基板之有限面積中，實現使光電二極體PD之面積儘量大、與使像素電路210具備之電晶體之尺寸儘量大。藉此，可改善像素信號之S/N比，攝像裝置1輸出更佳之圖像資料(圖像資訊)。

【0378】

當實現複數個像素541共有1個像素電路210，且將該1個像素電路210與該光電二極體PD重疊配置之構造時，延伸有自複數個像素541各者之浮動擴散區FD連接至1個像素電路210之複數條配線。為了確保形成像素電路210之半導體基板200之面積較大，例如可形成將該等延伸之複數條配線之間相互連接而彙總為1個之連接配線。至於自VSS接點區域118延伸之複數條配線，亦可同樣形成將延伸之複數條配線之間相互連接而彙總為1個之連接配線。

【0379】

例如當於形成像素電路210之半導體基板200形成將自複數個像素541各者之浮動擴散區FD延伸之複數條配線之間相互連接之連接配線時，認為形成像素電路210中所含之電晶體之面積變小。同樣，當於形成像素電路210之半導體基板200形成將自複數個像素541各者之VSS接點區域118延伸之複數條配線之間相互連接而彙總為1個之連接配線時，認為由此導致形成像素電路210中所含之電晶體之面積變小。

【0380】

為了解決上述問題，例如本實施形態之攝像裝置1可具備如下構造，即，複數個像素541共有1個像素電路210，且將共有之像素電路210與光電二極體PD重疊配置，且於第1基板100設置有將上述複數個像素541各者

之浮動擴散區FD之間相互連接而彙總為1個之連接配線、與將上述複數個像素541各者具備之VSS接點區域118之間相互連接而彙總為1個之連接配線。

【0381】

此處，作為用以於第1基板100設置將上述複數個像素541各者之浮動擴散區FD之間相互連接而彙總為1個之連接配線、與將上述複數個像素541各者之VSS接點區域118之間相互連接而彙總為1個之連接配線的製造方法，當使用上述第2製造方法時，例如可根據第1基板100及第2基板200各者之構成而使用適當製程來製造，從而可製造高品質、高性能之攝像裝置。又，可利用容易之製程形成第1基板100及第2基板200之連接配線。具體而言，於使用上述第2製造方法之情形時，於成為第1基板100與第2基板200之貼合邊界面之第1基板100之表面與第2基板200之表面，分別設置與浮動擴散區FD連接之電極、及與VSS接點區域118連接之電極。進而，較佳為使形成於該等2個基板表面之電極較大，以使即便於將第1基板100與第2基板200貼合時在設置於該等2個基板表面之電極間產生位置偏移，形成於該等2個基板表面之電極彼此亦會接觸。該情形時，認為難以於攝像裝置1具備之各像素之有限面積中配置上述電極。

【0382】

為了解決第1基板100與第2基板200之貼合邊界面需要較大電極之問題，例如本實施形態之攝像裝置1可使用上述第1製造方法作為其製造方法，即，複數個像素541共有1個像素電路210，且將共有像素電路210與光電二極體PD重疊配置。藉此，形成於第1基板100及第2基板200各者之元件彼此容易位置對準，可製造高品質、高性能之攝像裝置。進而，可具

備藉由使用該製造方法而產生之固有構造。即，具備將第1基板100之半導體層100S、配線層100T、第2基板200之半導體層200S、及配線層200T依序積層而成之構造，換言之具備將第1基板100與第2基板200以面對背積層而成之構造，且具備自第2基板200之半導體層200S之正面側貫通半導體層200S與第1基板100之配線層100T到達第1基板100之半導體層100S之表面的貫通電極120E、121E。

【0383】

於第1基板100設置有將上述複數個像素541各者之浮動擴散區FD之間相互連接而彙總為1個之連接配線、與將上述複數個像素541各者之VSS接點區域118之間相互連接而彙總為1個之連接配線的構造中，當使用上述第1製造方法積層該構造與第2基板200而於第2基板200形成像素電路210時，形成像素電路210具備之主動元件時所需之加熱處理有可能影響到形成於第1基板100之上述連接配線。

【0384】

由此，為了解決形成上述主動元件時之加熱處理影響到上述連接配線之問題，本實施形態之攝像裝置1較理想的是於如下兩種連接配線使用耐熱性較高之導電材料，該連接配線係將上述複數個像素541各者之浮動擴散區FD彼此相互連接而彙總為1個之連接配線，及將上述複數個像素541各者之VSS接點區域118之間相互連接而彙總為1個之連接配線。具體而言，耐熱性較高之導電材料，可使用熔點較第2基板200之配線層200T中所含之配線材料之至少一部分高之材料。

【0385】

如此，例如本實施形態之攝像裝置1藉由具備如下構造，能夠不於第

1基板100與第2基板200之界面具備較大電極而於第1基板100設置將複數個像素541各者具備之浮動擴散區FD之間相互連接而彙總為1個之連接配線、與將複數個像素541各者具備之VSS接點區域118之間相互連接而彙總為1個之連接配線，上述構造係：(1)將第1基板100與第2基板200以面對背積層而成之構造(具體而言，將第1基板100之半導體層100S、配線層100T、第2基板200之半導體層200S、配線層200T依序積層而成之構造)；(2)設置有自第2基板200之半導體層200S之正面側貫通半導體層200S與第1基板100之配線層100T到達第1基板100之半導體層100S之表面的貫通電極120E、121E之構造；及(3)使用耐熱性較高之導電材料形成將複數個像素541各者具備之浮動擴散區FD之間相互連接而彙總為1個之連接配線、與將複數個像素541各者具備之VSS接點區域118之間相互連接而彙總為1個之連接配線的構造。

【0386】

[攝像裝置1之動作]

其次，使用圖83及圖84對攝像裝置1之動作進行說明。圖83及圖84係對圖73追加表示各信號路徑之箭頭之圖。圖83以箭頭表示自外部輸入至攝像裝置1之輸入信號與電源電位及基準電位之路徑。圖84以箭頭表示自攝像裝置1輸出至外部之像素信號之信號路徑。例如經由輸入部510A輸入至攝像裝置1之輸入信號(例如像素時脈及同步信號)向第3基板300之列驅動部520傳輸，且於列驅動部520產生列驅動信號。該列驅動信號經由接點部301、201傳輸至第2基板200。進而，該列驅動信號經由配線層200T內之列驅動信號線542到達像素陣列部540之各像素共有單元539。到達第2基板200之像素共有單元539之列驅動信號中除傳輸閘極TG以外之驅動信

號輸入至像素電路210，對像素電路210中所含之各電晶體進行驅動。傳輸閘極TG之驅動信號經由貫通電極TGV輸入至第1基板100之傳輸閘極TG1、TG2、TG3、TG4，對像素541A、541B、541C、541D進行驅動(圖83)。又，自攝像裝置1之外部供給至第3基板300之輸入部510A(輸入端子511)之電源電位及基準電位經由接點部301、201傳輸至第2基板200，且經由配線層200T內之配線供給至各像素共有單元539之像素電路210。基準電位進而亦經由貫通電極121E供給至第1基板100之像素541A、541B、541C、541D。另一方面，於第1基板100之像素541A、541B、541C、541D進行光電轉換而得之像素信號，經由貫通電極120E針對每一像素共有單元539傳輸至第2基板200之像素電路210。基於該像素信號之像素信號自像素電路210經由垂直信號線543及接點部202、302傳輸至第3基板300。該像素信號經第3基板300之行信號處理部550及圖像信號處理部560處理後，經由輸出部510B輸出至外部。

【0387】

[效果]

本實施形態中，像素541A、541B、541C、541D(像素共有單元539)與像素電路210設置於互不相同之基板(第1基板100及第2基板200)。藉此，與將像素541A、541B、541C、541D及像素電路210形成於同一基板之情形相比，可擴大像素541A、541B、541C、541D及像素電路210之面積。其結果，能夠使藉由光電轉換而獲得之像素信號之量增大，且能夠減少像素電路210之電晶體雜訊。藉此，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。又，能夠使攝像裝置1微細化(換言之使像素尺寸縮小及使攝像裝置1小型化)。攝像裝置1可藉由縮

小像素尺寸而使每單位面積之像素數增加，從而可輸出高畫質之圖像。

【0388】

又，攝像裝置1中，第1基板100及第2基板200藉由設置於絕緣區域212之貫通電極120E、121E而相互電性連接。例如亦可考慮將第1基板100與第2基板200藉由焊墊電極彼此之接合而連接之方法、藉由貫通半導體層之貫通配線(例如TSV(Thorough Si Via，貫通矽通孔))而連接之方法。與該種方法相比，藉由於絕緣區域212設置貫通電極120E、121E，可使第1基板100及第2基板200之連接所需之面積變小。藉此，可縮小像素尺寸，從而可使攝像裝置1更小型化。又，藉由每1像素之面積更微細化，可使解析度更高。當無需晶片尺寸小型化時，可擴大像素541A、541B、541C、541D及像素電路210之形成區域。其結果，能夠使藉由光電轉換而獲得之像素信號之量增大，且能夠減少像素電路210具備之電晶體之雜訊。藉此，能夠改善像素信號之信號/雜訊比，從而攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0389】

又，攝像裝置1中，像素電路210與行信號處理部550及圖像信號處理部560設置於互不相同之基板(第2基板200及第3基板300)。藉此，與將像素電路210與行信號處理部550及圖像信號處理部560形成於同一基板之情形相比，可擴大像素電路210之面積與行信號處理部550及圖像信號處理部560之面積。藉此，能夠減少於行信號處理部550產生之雜訊，或能夠於圖像信號處理部560搭載更高性能之圖像處理電路。藉此，能夠改善像素信號之信號/雜訊比，從而攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0390】

又，攝像裝置1中，像素陣列部540設置於第1基板100及第2基板200，且行信號處理部550及圖像信號處理部560設置於第3基板300。又，將第2基板200與第3基板300連接之接點部201、202、301、302形成於像素陣列部540之上方。因此，接點部201、202、301、302之佈局能夠不受像素陣列具備之各種配線之干擾而自由佈局。藉此，能夠於第2基板200與第3基板300之電性連接使用接點部201、202、301、302。藉由使用接點部201、202、301、302，例如行信號處理部550及圖像信號處理部560之佈局自由度提高。藉此，可降低於行信號處理部550產生之雜訊，或能夠於圖像信號處理部560搭載更高性能之圖像處理電路。因此，能夠改善像素信號之信號/雜訊比，從而攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0391】

又，攝像裝置1中，像素分離部117貫通半導體層100S。藉此，即便於因每1像素之面積微細化而使得相鄰之像素(像素541A、541B、541C、541D)之距離變近之情形時，亦可抑制像素541A、541B、541C、541D之間之混色。藉此，能夠改善像素信號之信號/雜訊比，從而攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0392】

又，攝像裝置1中，針對每一像素共有單元539而設置有像素電路210。藉此，與於各像素541A、541B、541C、541D設置像素電路210之情形相比，能夠使構成像素電路210之電晶體(放大電晶體AMP、重置電晶體RST、選擇電晶體SEL、FD轉換增益切換電晶體FDG)之形成區域變

大。例如藉由使放大電晶體AMP之形成區域變大而能夠抑制雜訊。藉此，能夠改善像素信號之信號/雜訊比，從而攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0393】

進而，攝像裝置1中，將4個像素(像素541A、541B、541C、541D)之浮動擴散區FD(浮動擴散區FD1、FD2、FD3、FD4)電性連接之焊墊部120設置於第1基板100。藉此，與將該焊墊部120設置於第2基板200之情形相比，可減少連接第1基板100與第2基板200之貫通電極(貫通電極120E)之個數。因此，可使絕緣區域212變小，以充分大小確保構成像素電路210之電晶體之形成區域(半導體層200S)。藉此，能夠降低像素電路210具備之電晶體之雜訊，改善像素信號之信號/雜訊比，從而攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0394】

以下，對上述實施形態之攝像裝置1之變化例進行說明。以下變化例中，對與上述實施形態共通之構成附上同一符號進行說明。

【0395】

＜6.2.變化例1＞

圖85～圖89表示上述實施形態之攝像裝置1之平面構成之一變化例。圖85示意性表示第2基板200之半導體層200S之表面附近之平面構成，對應於上述實施形態中說明之圖78。圖86示意性表示第1配線層W1及與第1配線層W1連接之半導體層200S及第1基板100之各部分之構成，對應於上述實施形態中說明之圖79。圖87表示第1配線層W1及第2配線層W2之平面構成之一例，對應於上述實施形態中說明之圖80。圖88表示第2配線層

W2及第3配線層W3之平面構成之一例，對應於上述實施形態中說明之圖81。圖89表示第3配線層W3及第4配線層W4之平面構成之一例，對應於上述實施形態中說明之圖82。

【0396】

本變化例中，如圖86所示，第2基板200之於H方向排列之2個像素共有單元539中之一(例如紙面右側)像素共有單元539之內部佈局，成為使另一(例如紙面左側)像素共有單元539之內部佈局僅於H方向反轉而成之構成。又，一像素共有單元539之外形線與另一像素共有單元539之外形線之間之V方向的偏移，大於上述實施形態中說明之偏移(圖79)。如此，藉由使V方向之偏移較大，可縮小另一像素共有單元539之放大電晶體AMP、與連接於其之焊墊部120(圖7中記載之於V方向排列之2個像素共有單元539中之另一者(紙面下側)之焊墊部120)之間之距離。藉由該佈局，圖85～圖89中記載之攝像裝置1之變化例1不使於H方向排列之2個像素共有單元539之平面佈局相互於V方向反轉，便可使其面積與上述實施形態中說明之第2基板200之像素共有單元539之面積相同。再者，第1基板100之像素共有單元539之平面佈局與上述實施形態中說明之平面佈局(圖77A、圖77B)相同。因此，本變化例之攝像裝置1可獲得與上述實施形態中說明之攝像裝置1相同之效果。第2基板200之像素共有單元539之配置並不限定於上述實施形態及本變化例中說明之配置。

【0397】

＜6.3.變化例2＞

圖90～圖95表示上述實施形態之攝像裝置1之平面構成之一變化例。圖90示意性表示第1基板100之平面構成，對應於上述實施形態中說明之

圖77A。圖91示意性表示第2基板200之半導體層200S之表面附近之平面構成，對應於上述實施形態中說明之圖78。圖92示意性表示第1配線層W1及與第1配線層W1連接之半導體層200S及第1基板100之各部分之構成，對應於上述實施形態中說明之圖79。圖93表示第1配線層W1及第2配線層W2之平面構成之一例，對應於上述實施形態中說明之圖80。圖94表示第2配線層W2及第3配線層W3之平面構成之一例，對應於上述實施形態中說明之圖81。圖95表示第3配線層W3及第4配線層W4之平面構成之一例，對應於上述實施形態中說明之圖82。

【0398】

本變化例中，各像素電路210之外形具有大致正方形之平面形狀(圖91等)。本變化例之攝像裝置1之平面構成於該方面與上述實施形態中說明之攝像裝置1之平面構成不同。

【0399】

例如第1基板100之像素共有單元539係與上述實施形態中說明者相同跨及2列×2行之像素區域而形成，具有大致正方形之平面形狀(圖90)。例如各像素共有單元539中，一像素行之像素541A及像素541C之傳輸閘極TG1、TG3之水平部分TGb，自與垂直部分TGa重疊之位置於H方向上向朝像素共有單元539之中央部之方向(更具體而言，朝像素541A、541C之外緣之方向，且朝像素共有單元539之中央部之方向)延伸，另一像素行之像素541B及像素541D之傳輸閘極TG2、TG4之水平部分TGb，自與垂直部分TGa重疊之位置於H方向上向朝像素共有單元539之外側之方向(更具體而言，朝像素541B、541D之外緣之方向，且朝像素共有單元539之外側之方向)延伸。與浮動擴散區FD連接之焊墊部120設置於像素共有單元

539之中央部(像素共有單元539之H方向及V方向之中央部)，與VSS接點區域118連接之焊墊部121至少於H方向上(圖90中於H方向及V方向上)設置於像素共有單元539之端部。

【0400】

作為另一配置例，亦可考慮將傳輸閘極TG1、TG2、TG3、TG4之水平部分TGb僅設置於與垂直部分TGa對向之區域。此時，與上述實施形態中說明者相同，容易較細地分斷半導體層200S。因此，難以將像素電路210之電晶體形成得較大。另一方面，若使傳輸閘極TG1、TG2、TG3、TG4之水平部分TGb如上述變化例般自與垂直部分TGa重疊之位置於H方向延伸，則與上述實施形態中說明者相同，能夠使半導體層200S之寬度變大。具體而言，能夠使與傳輸閘極TG1、TG3連接之貫通電極TGV1、TGV3之H方向的位置接近於貫通電極120E之H方向之位置來配置，使與傳輸閘極TG2、TG4連接之貫通電極TGV2、TGV4之H方向的位置接近於貫通電極121E之H方向之位置來配置(圖92)。藉此，與上述實施形態中說明者相同，可使於V方向上延伸之半導體層200S之寬度(H方向之大小)變大。藉此，能夠使像素電路210之電晶體之尺寸，尤其是放大電晶體AMP之尺寸變大。其結果，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

【0401】

第2基板200之像素共有單元539例如與第1基板100之像素共有單元539之H方向及V方向之大小大致相同，例如跨及與大致2列×2行之像素區域對應之區域而設置。例如各像素電路210中，選擇電晶體SEL及放大電晶體AMP沿V方向排列配置於沿V方向延伸之1個半導體層200S，FD轉換

增益切換電晶體FDG及重置電晶體RST沿V方向排列配置於沿V方向延伸之1個半導體層200S。設置有該選擇電晶體SEL及放大電晶體AMP之1個半導體層200S，與設置有FD轉換增益切換電晶體FDG及重置電晶體RST之1個半導體層200S隔著絕緣區域212而排列於H方向。該絕緣區域212於V方向延伸(圖91)。

【0402】

此處，參照圖91及圖92對第2基板200之像素共有單元539之外形進行說明。例如圖90所示之第1基板100之像素共有單元539，連接於設置於焊墊部120之H方向之一方(圖92之紙面左側)之放大電晶體AMP及選擇電晶體SEL、及設置於焊墊部120之H方向之另一方(圖92之紙面右側)之FD轉換增益切換電晶體FDG及重置電晶體RST。包含該放大電晶體AMP、選擇電晶體SEL、FD轉換增益切換電晶體FDG及重置電晶體RST之第2基板200之像素共有單元539之外形由以下4個外緣決定。

【0403】

第1外緣係包含選擇電晶體SEL及放大電晶體AMP之半導體層200S之V方向之一端(圖92之紙面上側之端)之外緣。該第1外緣設置於該像素共有單元539中所含之放大電晶體AMP、與和該像素共有單元539之V方向之一方(圖92之紙面上側)相鄰之像素共有單元539中所含之選擇電晶體SEL之間。更具體而言，第1外緣設置於該等放大電晶體AMP與選擇電晶體SEL之間之元件分離區域213之V方向的中央部。第2外緣係包含選擇電晶體SEL及放大電晶體AMP之半導體層200S之V方向之另一端(圖92之紙面下側之端)之外緣。該第2外緣設置於該像素共有單元539中所含之選擇電晶體SEL、與和該像素共有單元539之V方向之另一方(圖92之紙面下側)相

鄰之像素共有單元539中所含之放大電晶體AMP之間。更具體而言，第2外緣設置於該等選擇電晶體SEL與放大電晶體AMP之間之元件分離區域213之V方向的中央部。第3外緣係包含重置電晶體RST及FD轉換增益切換電晶體FDG之半導體層200S之V方向之另一端(圖92之紙面下側之端)之外緣。該第3外緣設置於該像素共有單元539中所含之FD轉換增益切換電晶體FDG、與和該像素共有單元539之V方向之另一方(圖92之紙面下側)相鄰之像素共有單元539中所含之重置電晶體RST之間。更具體而言，第3外緣設置於該等FD轉換增益切換電晶體FDG與重置電晶體RST之間之元件分離區域213之V方向的中央部。第4外緣係包含重置電晶體RST及FD轉換增益切換電晶體FDG之半導體層200S之V方向之一端(圖92之紙面上側之端)之外緣。該第4外緣設置於該像素共有單元539中所含之重置電晶體RST、與和該像素共有單元539之V方向之一方(圖92之紙面上側)相鄰之像素共有單元539中所含之FD轉換增益切換電晶體FDG(未圖示)之間。更具體而言，第4外緣設置於該等重置電晶體RST與FD轉換增益切換電晶體FDG之間之元件分離區域213(未圖示)之V方向的中央部。

【0404】

包含該第1、第2、第3、第4外緣之第2基板200之像素共有單元539之外形中，第3、第4外緣相對於第1、第2外緣向V方向之一側偏移配置(換言之向V方向之一側偏移)。藉由使用該佈局，能夠將放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極均儘量接近於焊墊部120來配置。因此，使連接該等之配線之面積變小，易於進行攝像裝置1之微細化。再者VSS接點區域218設置於包含選擇電晶體SEL及放大電晶體AMP之半導體層200S、與包含重置電晶體RST及FD轉換增益切換電晶體FDG

之半導體層200S之間。例如複數個像素電路210具有互為相同之配置。

【0405】

具有該第2基板200之攝像裝置1亦可獲得與上述實施形態中說明者相同之效果。第2基板200之像素共有單元539之配置並不限定於上述實施形態及本變化例中說明之配置。

【0406】

＜6.4.變化例3＞

圖96～圖101表示上述實施形態之攝像裝置1之平面構成之一變化例。圖96示意性表示第1基板100之平面構成，對應於上述實施形態中說明之圖77B。圖97示意性表示第2基板200之半導體層200S之表面附近之平面構成，對應於上述實施形態中說明之圖78。圖98示意性表示第1配線層W1及與第1配線層W1連接之半導體層200S及第1基板100之各部分之構成，對應於上述實施形態中說明之圖79。圖99表示第1配線層W1及第2配線層W2之平面構成之一例，對應於上述實施形態中說明之圖80。圖100表示第2配線層W2及第3配線層W3之平面構成之一例，對應於上述實施形態中說明之圖81。圖101表示第3配線層W3及第4配線層W4之平面構成之一例，對應於上述實施形態中說明之圖82。

【0407】

本變化例中，第2基板200之半導體層200S於H方向延伸(圖98)。即，大致對應於使上述圖91等所示之攝像裝置1之平面構成旋轉90度而成之構成。

【0408】

例如第1基板100之像素共有單元539與上述實施形態中說明者相同跨

及2列×2行之像素區域而形成，具有大致正方形之平面形狀(圖96)。例如各像素共有單元539中，一像素列之像素541A及像素541B之傳輸閘極TG1、TG2於V方向朝像素共有單元539之中央部延伸，另一像素列之像素541C及像素541D之傳輸閘極TG3、TG4於V方向朝像素共有單元539之外側方向延伸。與浮動擴散區FD連接之焊墊部120設置於像素共有單元539之中央部，與VSS接點區域118連接之焊墊部121至少於V方向(圖96中於V方向及H方向)設置於像素共有單元539之端部。此時，傳輸閘極TG1、TG2之貫通電極TGV1、TGV2之V方向之位置接近貫通電極120E之V方向之位置，傳輸閘極TG3、TG4之貫通電極TGV3、TGV4之V方向之位置接近貫通電極121E之V方向之位置(圖98)。因此，根據與上述實施形態中說明者相同之原因，可使於H方向延伸之半導體層200S之寬度(V方向之大小)變大。藉此，能夠使放大電晶體AMP之尺寸變大，從而能夠抑制雜訊。

【0409】

各像素電路210中，選擇電晶體SEL及放大電晶體AMP排列配置於H方向，於與選擇電晶體SEL隔著絕緣區域212於V方向相鄰之位置配置有重置電晶體RST(圖97)。FD轉換增益切換電晶體FDG與重置電晶體RST排列配置於H方向。VSS接點區域218以島狀設置於絕緣區域212。例如第3配線層W3於H方向延伸(圖100)，第4配線層W4於V方向延伸(圖101)。

【0410】

具有該第2基板200之攝像裝置1亦可獲得與上述實施形態中說明者相同之效果。第2基板200之像素共有單元539之配置並不限定於上述實施形態及本變化例中說明之配置。例如上述實施形態及變化例1中說明之半導

體層200S亦可於H方向延伸。

【0411】

＜6.5.變化例4＞

圖102示意性表示上述實施形態之攝像裝置1之剖面構成之一變化例。圖102對應於上述實施形態中說明之圖73。本變化例中，攝像裝置1除接點部201、202、301、302以外，還於與像素陣列部540之中央部對向之位置具有接點部203、204、303、304。本變化例之攝像裝置1於該方面與上述實施形態中說明之攝像裝置1不同。

【0412】

接點部203、204設置於第2基板200，於第2基板200之與第3基板300之接合面露出。接點部303、304設置於第3基板300，於第3基板300之與第2基板200之接合面露出。接點部203與接點部303相接，接點部204與接點部304相接。即，該攝像裝置1中，第2基板200與第3基板300除藉由接點部201、202、301、302，還藉由接點部203、204、303、304連接。

【0413】

其次，使用圖103及圖104對該攝像裝置1之動作進行說明。圖103中以箭頭表示自外部輸入至攝像裝置1之輸入信號與電源電位及基準電位之路徑。圖104中以箭頭表示自攝像裝置1輸出至外部之像素信號之信號路徑。例如經由輸入部510A輸入至攝像裝置1之輸入信號傳輸至第3基板300之列驅動部520，且於列驅動部520產生列驅動信號。該列驅動信號經由接點部303、203傳輸至第2基板200。進而，該列驅動信號經由配線層200T內之列驅動信號線542到達像素陣列部540之各像素共有單元539。到達第2基板200之像素共有單元539之列驅動信號中之除傳輸閘極TG以外之

驅動信號輸入至像素電路210，對像素電路210中所含之各電晶體進行驅動。傳輸閘極TG之驅動信號經由貫通電極TGV輸入至第1基板100之傳輸閘極TG1、TG2、TG3、TG4，對像素541A、541B、541C、541D進行驅動。又，自攝像裝置1之外部供給至第3基板300之輸入部510A(輸入端子511)之電源電位及基準電位，經由接點部303、203傳輸至第2基板200，且經由配線層200T內之配線供給至各像素共有單元539之像素電路210。基準電位進而亦經由貫通電極121E供給至第1基板100之像素541A、541B、541C、541D。另一方面，於第1基板100之像素541A、541B、541C、541D進行光電轉換而得之像素信號針對每一像素共有單元539傳輸至第2基板200之像素電路210。基於該像素信號之像素信號自像素電路210經由垂直信號線543及接點部204、304傳輸至第3基板300。該像素信號經第3基板300之行信號處理部550及圖像信號處理部560處理後，經由輸出部510B輸出至外部。

【0414】

具有該接點部203、204、303、304之攝像裝置1亦可獲得與上述實施形態中說明者相同之效果。可根據配線經由接點部303、304之連接地即第3基板300之電路等之設計而改變接點部之位置及個數等。

【0415】

＜6.6.變化例5＞

圖105表示上述實施形態之攝像裝置1之剖面構成之一變化例。圖105對應於上述實施形態中說明之圖76。本變化例中，於第1基板100設置有具有平面構造之傳輸電晶體TR。本變化例之攝像裝置1於該方面與上述實施形態中說明之攝像裝置1不同。

【0416】

該傳輸電晶體TR僅由水平部分TGb構成傳輸閘極TG。換言之，傳輸閘極TG不具有垂直部分TGa，且與半導體層100S對向設置。

【0417】

具有該平面構造之傳輸電晶體TR之攝像裝置1亦可獲得與上述實施形態中說明者相同之效果。進而，藉由於第1基板100設置平面型之傳輸閘極TG，與將豎型傳輸閘極TG設置於第1基板100之情形相比，可將光電二極體PD形成至更靠半導體層100S之表面附近，藉此，亦認為會使飽和信號量(Qs)增加。又，於第1基板100形成平面型之傳輸閘極TG之方法，與於第1基板100形成豎型傳輸閘極TG之方法相比，製造工序數較少，亦認為不易產生由製造工序所引起之對光電二極體PD之不良影響。

【0418】

＜6.7.變化例6＞

圖106表示上述實施形態之攝像裝置1之像素電路之一變化例。圖106對應於上述實施形態中說明之圖74。本變化例中，針對每1個像素(像素541A)設置有像素電路210。即，像素電路210不被複數個像素共有。本變化例之攝像裝置1於該方面與上述實施形態中說明之攝像裝置1不同。

【0419】

本變化例之攝像裝置1將像素541A與像素電路210設置於互不相同之基板(第1基板100及第2基板200)之方面，與上述實施形態中說明之攝像裝置1相同。因此，本變化例之攝像裝置1亦可獲得與上述實施形態中說明者相同之效果。

【0420】

＜6.8.變化例7＞

圖107表示上述實施形態中說明之像素分離部117之平面構成之一變化例。亦可於包圍像素541A、541B、541C、541D各者之像素分離部117設置間隙。即，像素541A、541B、541C、541D之全周亦可不被像素分離部117包圍。例如像素分離部117之間隙設置於焊墊部120、121附近(參照圖77B)。

【0421】

上述實施形態中，對像素分離部117具有貫通半導體層100S之FTI構造之例(參照圖76)進行了說明，但像素分離部117亦可具有FTI構造以外之構成。例如像素分離部117亦可不以完全貫通半導體層100S之方式設置，亦可具有所謂之DTI(Deep Trench Isolation，深溝槽隔離)構造。

【0422】

＜6.9.適用例＞

圖108表示具備上述實施形態及其變化例之攝像裝置1之攝像系統7之概略構成之一例。

【0423】

攝像系統7例如係數位靜態相機、拍攝機等攝像裝置、智慧型手機、平板型終端等便攜終端裝置等電子機器。攝像系統7例如具備上述實施形態及其變化例之攝像裝置1、DSP(digital signal processor，數位信號處理器)電路243、圖框記憶體244、顯示部245、記憶部246、操作部247及電源部248。攝像系統7中，上述實施形態及其變化例之攝像裝置1、DSP電路243、圖框記憶體244、顯示部245、記憶部246、操作部247及電源部248經由匯流排線249相互連接。

【0424】

上述實施形態及其變化例之攝像裝置1輸出與入射光對應之圖像資料。DSP電路243係對自上述實施形態及其變化例之攝像裝置1輸出之信號(圖像資料)進行處理之信號處理電路。圖框記憶體244以圖框單位暫時保持經DSP電路243處理之圖像資料。顯示部245例如包含液晶面板、有機EL(Electro Luminescence，電致發光)面板等面板型顯示裝置，顯示利用上述實施形態及其變化例之攝像裝置1拍攝之動態圖像或靜態圖像。記憶部246將利用上述實施形態及其變化例之攝像裝置1拍攝之動態圖像或靜態圖像之圖像資料記錄於半導體記憶體、硬碟等記錄媒體中。操作部247依照使用者操作，發出關於攝像系統7具有之各種功能之操作指令。電源部248將成為上述實施形態及其變化例之攝像裝置1、DSP電路243、圖框記憶體244、顯示部245、記憶部246及操作部247之動作電源之各種電源適當供給至該等供給對象。

【0425】

其次，對攝像系統7之拍攝程序進行說明。

【0426】

圖109表示攝像系統7之拍攝動作之流程之一例。使用者藉由對操作部247進行操作而指示開始拍攝(步驟S101)。然後，操作部247將拍攝指令發送至攝像裝置1(步驟S102)。攝像裝置1(具體而言為系統控制電路36)當接收到拍攝指令時，以特定拍攝方式執行拍攝(步驟S103)。

【0427】 攝像裝置1將藉由拍攝而獲得之圖像資料輸出至DSP電路243。此處，圖像資料係指基於暫時保持於浮動擴散區FD中之電荷而產生之像素信號之全像素量之資料。DSP電路243基於自攝像裝置1輸入之圖像

資料而進行特定信號處理(例如減少雜訊處理等)(步驟S104)。DSP電路243使經特定信號處理之圖像資料保持於圖框記憶體244，圖框記憶體244使圖像資料記憶於記憶部246(步驟S105)。如此進行攝像系統7之拍攝。

【0428】

本適用例中，上述實施形態及其變化例之攝像裝置1適用於攝像系統7。藉此，可使攝像裝置1小型化或高精細化，因此可提高小型或高精細之攝像系統7。

【0429】

＜6.10.應用例＞

[應用例1]

本發明之技術(本技術)可應用於各種製品。例如本發明之技術亦可作為搭載於汽車、電動汽車、油電混合汽車、機車、自行車、個人乘坐移動機器、飛行器、無人機、船舶、機器人等任一種移動體之裝置而實現。

【0430】

圖110係表示可適用本發明之技術之移動體控制系統之一例即車輛控制系統之概略性構成例之方塊圖。

【0431】

車輛控制系統12000具備經由通信網路12001連接之複數個電子控制單元。圖110所示之例中，車輛控制系統12000具備驅動系統控制單元12010、車身系統控制單元12020、車外資訊檢測單元12030、車內資訊檢測單元12040、及綜合控制單元12050。又，作為綜合控制單元12050之功能構成，圖示有微電腦12051、聲音圖像輸出部12052、及車載網路I/F(interface，介面)12053。

【0432】

驅動系統控制單元12010依照各種程式控制與車輛驅動系統關聯之裝置之動作。例如驅動系統控制單元12010作為內燃機或驅動用馬達等用以產生車輛驅動力之驅動力產生裝置、用以將驅動力傳遞至車輪之驅動力傳遞機構、調節車輛舵角之轉向機構、及產生車輛制動力之制動裝置等之控制裝置發揮功能。

【0433】

車身系統控制單元12020依照各種程式控制車體上裝備之各種裝置之動作。例如車身系統控制單元12020作為無鑰匙進入系統、智慧鑰匙系統、電動窗裝置、或頭燈、尾燈、剎車燈、轉向燈或霧燈等各種燈之控制裝置發揮功能。該情形時，可對車身系統控制單元12020輸入自代替鑰匙之便攜器發送之電波或各種開關信號。車身系統控制單元12020受理該等電波或信號之輸入而控制車輛之門鎖裝置、電動窗裝置、燈等。

【0434】

車外資訊檢測單元12030檢測搭載有車輛控制系統12000之車輛外部之資訊。例如於車外資訊檢測單元12030連接有攝像部12031。車外資訊檢測單元12030使攝像部12031拍攝車外圖像，並且接收拍攝之圖像。車外資訊檢測單元12030亦可基於接收到之圖像而進行人、車、障礙物、標識或路面上之文字等物體檢測處理或距離檢測處理。

【0435】

攝像部12031係接收光並輸出與該光之受光量對應之電氣信號之光感測器。攝像部12031亦可將電氣信號以圖像形式輸出，亦可作為測距資訊輸出。又，攝像部12031接收之光可為可見光，亦可為紅外線等非可見

光。

【0436】

車內資訊檢測單元12040檢測車內資訊。於車內資訊檢測單元12040例如連接有檢測駕駛員狀態之駕駛員狀態檢測部12041。駕駛員狀態檢測部12041例如包含拍攝駕駛員之相機，車內資訊檢測單元12040可基於自駕駛員狀態檢測部12041輸入之檢測資訊而算出駕駛員之疲勞程度或集中程度，亦可判別駕駛員是否瞌睡。

【0437】

微電腦12051可基於利用車外資訊檢測單元12030或車內資訊檢測單元12040獲取之車內外資訊而運算驅動力產生裝置、轉向機構或制動裝置之控制目標值，並對驅動系統控制單元12010輸出控制指令。例如微電腦12051可進行以實現包含車輛碰撞回避或衝擊緩和、基於車間距離之追隨行駛、車速維持行駛、車輛碰撞警告或車輛之車道偏離警告等之ADAS(Advanced Driver Assistance System，高級駕駛輔助系統)之功能為目的之協調控制。

【0438】

又，微電腦12051基於利用車外資訊檢測單元12030或車內資訊檢測單元12040獲取之車輛周圍資訊而控制驅動力產生裝置、轉向機構或制動裝置等，藉此可進行以不依賴駕駛員之操作地自律行駛之自動駕駛等為目的之協調控制。

【0439】

又，微電腦12051可基於利用車外資訊檢測單元12030獲取之車外資訊而對車身系統控制單元12020輸出控制指令。例如微電腦12051可根據

利用車外資訊檢測單元12030偵測出之前車或對向車之位置而控制頭燈，進行以將遠光切換為近光等謀求防眩為目的之協調控制。

【0440】

聲音圖像輸出部12052向能夠對車輛搭乘者或車外於視覺上或聽覺上通知資訊之輸出裝置發送聲音及圖像中之至少一輸出信號。圖110之例中，例示音響揚聲器12061、顯示部12062及儀錶板12063作為輸出裝置。顯示部12062例如亦可包含板載顯示器及抬頭顯示器之至少一者。

【0441】

圖111係表示攝像部12031之設置位置之例之圖。

【0442】

圖111中，車輛12100具有攝像部12101、12102、12103、12104、12105作為攝像部12031。

【0443】

攝像部12101、12102、12103、12104、12105例如設置於車輛12100之前保險桿、側鏡、後保險桿、尾門及車室內之前擋玻璃之上部等位置。設置於前保險桿之攝像部12101及設置於車室內之前擋玻璃之上部之攝像部12105主要獲取車輛12100前方之圖像。設置於側鏡之攝像部12102、12103主要獲取車輛12100側方之圖像。設置於後保險桿或尾門之攝像部12104主要獲取車輛12100後方之圖像。利用攝像部12101及12105獲取之前方圖像主要用於檢測前車輛或行人、障礙物、信號機、交通標識或車道等。

【0444】

再者，圖111表示攝像部12101至12104之攝影範圍之一例。拍攝範

圍12111表示設置於前保險桿之攝像部12101之拍攝範圍，拍攝範圍12112、12113表示分別設置於側鏡之攝像部12102、12103之拍攝範圍，拍攝範圍12114表示設置於後保險桿或尾門之攝像部12104之拍攝範圍。例如藉由將利用攝像部12101至12104拍攝之圖像資料加以重合而獲得自上方觀察車輛12100之俯視圖像。

【0445】

攝像部12101至12104之至少1者亦可具有獲取距離資訊之功能。例如攝像部12101至12104之至少1者可為包含複數個攝像元件之立體相機，亦可為具有相位差檢測用之像素之攝像元件。

【0446】

例如微電腦12051基於由攝像部12101至12104獲得之距離資訊而求出至拍攝範圍12111至12114內之各立體物之距離、與該距離之時間性變化(相對於車輛12100之相對速度)，藉此擷取尤其位於車輛12100之行進路上之最近的立體物中向與車輛12100大致相同之方向以特定速度(例如0 km/h以上)行駛之立體物作為前車。進而，微電腦12051可設定應與前車之近前確保之車間距離，進行自動剎車控制(亦包含追隨停止控制)、自動加速控制(亦包含追隨起動控制)等。如此，可進行以不依賴於駕駛員之操作而自律地行駛之自動駕駛等為目的之協調控制。

【0447】

例如微電腦12051可基於由攝像部12101至12104獲得之距離資訊，將與立體物相關之立體物資料分類為2輪車、普通車輛、大型車輛、行人、電線桿等其他立體物加以擷取而用於自動回避障礙物。例如微電腦12051將車輛12100周邊之障礙物識別為車輛12100之駕駛員能夠視辨之障

礙物與難以視辨之障礙物。而且，微電腦12051判斷表示與各障礙物之碰撞危險度之碰撞風險，於碰撞風險為設定值以上而有可能碰撞之狀況時，可經由音響揚聲器12061或顯示部12062對駕駛員輸出警報，或經由驅動系統控制單元12010進行強制減速或回避操舵，藉此進行用於回避碰撞之駕駛支援。

【0448】

攝像部12101至12104之至少1者亦可為檢測紅外線之紅外線相機。例如微電腦12051可藉由判定攝像部12101至12104之拍攝圖像中是否存在行人而辨識行人。該行人辨識係藉由例如以下程序而進行，該程序係：擷取作為紅外線相機之攝像部12101至12104之拍攝圖像中之特徵點之程序；及對表示物體輪廓之一連串特徵點進行圖案匹配處理而判別是否為行人之程序。微電腦12051當判定攝像部12101至12104之拍攝圖像中存在行人，並辨識出行人時，聲音圖像輸出部12052以於該辨識出之行人重疊顯示用於強調之方形輪廓線之方式控制顯示部12062。又，聲音圖像輸出部12052以將表示行人之圖標等顯示於所需位置之方式控制顯示部12062。

【0449】

以上，對可適用本發明之技術之移動體控制系統之一例進行說明。本發明之技術可適用於以上說明之構成中之攝像部12031。具體而言，上述實施形態及其變化例之攝像裝置1可適用於攝像部12031。藉由於攝像部12031適用本發明之技術，可獲得雜訊較少之高精細之撮影圖像，因此可於移動體控制系統中進行利用撮影圖像之高精度控制。

【0450】

[應用例2]

圖112係表示可適用本發明之技術(本技術)之內視鏡手術系統之概略性構成之一例之圖。

【0451】

圖112中圖示手術人員(醫生)11131使用內視鏡手術系統11000對病床11133上之患者11132進行手術之情況。如圖示，內視鏡手術系統11000包含內視鏡11100、與氣腹管11111、能量處置具11112等其他手術工具11110、及支持內視鏡11100之支持臂裝置11120、搭載有用於內視鏡下手術之各種裝置之手推車11200。

【0452】

內視鏡11100包含：鏡筒11101，其自前端至特定長度之區域插入至患者11132之體腔內；及相機鏡頭11102，其與鏡筒11101之基端連接。圖示之例中，圖示構成為具有硬性鏡筒11101之所謂硬性鏡之內視鏡11100，但內視鏡11100亦可構成為具有軟性鏡筒之所謂軟性鏡。

【0453】

於鏡筒11101之前端設置有嵌入有物鏡之開口部。光源裝置11203與內視鏡11100連接，藉由該光源裝置11203產生之光，由沿鏡筒11101之內部延伸設置之導光件導引至該鏡筒之前端，且經由物鏡向患者11132之體腔內之觀察對象照射。再者，內視鏡11100可為直視鏡，亦可為斜視鏡或側視鏡。

【0454】

於相機鏡頭11102之內部設置有光學系統及攝像元件，來自觀察對象之反射光(觀察光)藉由該光學系統而聚光於該攝像元件。藉由該攝像元件對觀察光進行光電轉換，產生與觀察光對應之電氣信號，即與觀察像對應

之圖像信號。將該圖像信號作為原始資料發送至相機控制單元(CCU：Camera Control Unit)11201。

【0455】

CCU11201包含CPU(Central Processing Unit，中央處理單元)、GPU(Graphics Processing Unit，圖形處理單元)等，總括性地控制內視鏡11100及顯示裝置11202之動作。進而，CCU11201自相機鏡頭11102接收圖像信號，對該圖像信號實施例如顯影處理(解馬賽克處理)等用以顯示基於該圖像信號之圖像之各種圖像處理。

【0456】

顯示裝置11202藉由自CCU11201之控制，而顯示基於經該CCU11201實施圖像處理之圖像信號之圖像。

【0457】

光源裝置11203例如包含LED(Light Emitting Diode，發光二極體)等光源，對內視鏡11100供給拍攝手術部等時之照射光。

【0458】

輸入裝置11204係相對於內視鏡手術系統11000之輸入介面。使用者可經由輸入裝置11204對內視鏡手術系統11000進行各種資訊輸入、指示輸入。例如使用者輸入變更內視鏡11100之拍攝條件(照射光之種類、倍率及焦點距離等)之意旨之指示等。

【0459】

處置具控制裝置11205控制用於組織燒灼、切開或血管封閉等之能量處置具11112之驅動。氣腹裝置11206為了能使患者11132之體腔膨脹以確保內視鏡11100之視野及確保手術人員之作業空間，而經由氣腹管11111對

該體腔內送入氣體。記錄器11207係能夠記錄與手術相關之各種資訊之裝置。印表機11208係能夠以文本、圖像或曲線圖等各種形式印刷與手術相關之各種資訊之裝置。

【0460】

再者，對內視鏡11100供給拍攝手術部時之照射光之光源裝置11203，例如包含LED、雷射光源或由該等組合構成之白色光源。於由RGB(Red-Green-Blue，紅綠藍)雷射光源之組合構成白色光源之情形時，可高精度地控制各色(各波長)之輸出強度及輸出時序，因此可於光源裝置11203中進行拍攝圖像之白平衡調整。又，該情形時，將來自RGB雷射光源各者之雷射光分時照射至觀察對象，且與其照射時序同步地對相機鏡頭11102之攝像元件之驅動進行控制，藉此亦能夠分時拍攝與RGB各者對應之圖像。根據該方法，即便不於該攝像元件設置彩色濾光片亦可獲得彩色圖像。

【0461】

又，光源裝置11203之驅動亦可被控制為於每一特定時間變更輸出之光之強度。與該光強度變更之時序同步地控制相機鏡頭11102之攝像元件之驅動而分時獲取圖像，並將該圖像加以合成，藉此可產生沒有所謂之暗部缺陷及高光溢出之高動態範圍之圖像。

【0462】

又，光源裝置11203亦可構成為能夠供給與特殊光觀察對應之特定波長頻帶之光。特殊光觀察中，例如利用體組織之光吸收波長依存性，照射與通常觀察時之照射光(即，白色光)相比更窄頻帶之光，藉此以高對比度拍攝黏膜表層之血管等特定組織，即進行所謂之窄頻帶光觀察(Narrow

Band Imaging)。或，特殊光觀察中，亦可進行利用由照射激發光產生之螢光來獲得圖像之螢光觀察。螢光觀察中，可進行對體組織照射激發光而觀察來自該體組織之螢光(自身螢光觀察)，或將靛青綠(Indocyanine Green，ICG)等試劑局注於體組織，並且對該體組織照射與該試劑之螢光波長對應之激發光而獲得螢光像等。光源裝置11203可構成為能夠供給與該特殊光觀察對應之窄頻帶光及/或激發光。

【0463】

圖113係表示圖112所示之相機鏡頭11102及CCU11201之功能構成之一例之方塊圖。

【0464】

相機鏡頭11102具有透鏡單元11401、攝像部11402、驅動部11403、通信部11404、相機鏡頭控制部11405。CCU11201具有通信部11411、圖像處理部11412、控制部11413。相機鏡頭11102與CCU11201藉由傳輸纜線11400能夠相互通信地連接。

【0465】

透鏡單元11401係設置於與鏡筒11101之連接部之光學系統。自鏡筒11101之前端取入之觀察光被導引至相機鏡頭11102並入射至該透鏡單元11401。透鏡單元11401係將包含變焦透鏡及聚焦透鏡之複數個透鏡組合而構成。

【0466】

攝像部11402由攝像元件構成。構成攝像部11402之攝像元件可為1個(所謂之單板式)，亦可為複數個(所謂之多板式)。於攝像部11402以多板式構成之情形時，例如亦可藉由各攝像元件產生與RGB各者對應之圖像信

號，且將該等加以合成，藉此獲得彩色圖像。或，攝像部11402亦可構成為具有1對攝像元件，該1對攝像元件用以分別獲取與3D(Dimensional，維)顯示對應之右眼用及左眼用之圖像信號。藉由進行3D顯示，手術人員11131能夠更準備地掌握手術部之生物體組織之深處。再者，於攝像部11402以多板式構成之情形時，亦可對應於各攝像元件而設置有複數個系統之透鏡單元11401。

【0467】

又，攝像部11402亦可不必設置於相機鏡頭11102。例如攝像部11402亦可於鏡筒11101之內部設置於物鏡之正後方。

【0468】

驅動部11403由致動器構成，藉由來自相機鏡頭控制部11405之控制，而使透鏡單元11401之變焦透鏡及聚焦透鏡沿光軸移動特定距離。藉此，可適當調整攝像部11402之拍攝圖像之倍率及焦點。

【0469】

通信部11404由用以於與CCU11201之間接收發送各種資訊之通信裝置構成。通信部11404將由攝像部11402獲得之圖像信號作為原始資料經由傳輸纜線11400發送至CCU11201。

【0470】

又，通信部11404自CCU11201接收用以控制相機鏡頭11102之驅動之控制信號並供給至相機鏡頭控制部11405。該控制信號中例如包含指定拍攝圖像之圖框速率之意旨之資訊、指定拍攝時之曝光值之意旨之資訊、及/或指定拍攝圖像之倍率及焦點之意旨之資訊等與拍攝條件相關之資訊。

【0471】

再者，上述圖框速率、曝光值、倍率、焦點等拍攝條件可由使用者適當指定，亦可由CCU11201之控制部11413基於獲取之圖像信號自動設定。後者情形時，於內視鏡11100搭載有所謂之AE(Auto Exposure，自動曝光)功能、AF(Auto Focus，自動聚焦)功能及AWB(Auto White Balance，自動白平衡)功能。

【0472】

相機鏡頭控制部11405基於經由通信部11404接收之來自CCU11201之控制信號，控制相機鏡頭11102之驅動。

【0473】

通信部11411由用以於與相機鏡頭11102之間接收發送各種資訊之通信裝置構成。通信部11411自相機鏡頭11102接收經由傳輸纜線11400發送之圖像信號。

【0474】

又，通信部11411對相機鏡頭11102發送用以控制相機鏡頭11102之驅動之控制信號。圖像信號、控制信號可藉由電氣通信、光通信等發送。

【0475】

圖像處理部11412對自相機鏡頭11102發送之原始資料即圖像信號實施各種圖像處理。

【0476】

控制部11413進行與利用內視鏡11100拍攝手術部等、及顯示藉由拍攝手術部等而獲得之拍攝圖像相關之各種控制。例如控制部11413產生用以控制相機鏡頭11102之驅動之控制信號。

【0477】

又，控制部11413基於經圖像處理部11412實施圖像處理之圖像信號，使顯示裝置11202顯示映出有手術部等之拍攝圖像。此時，控制部11413亦可使用各種圖像辨識技術辨識拍攝圖像內之各種物體。例如控制部11413可藉由檢測拍攝圖像中所含之物體之邊沿形狀、顏色等，而辨識鉗子等手術工具、特定生物體部位、出血、能量處置具11112之使用時之霧等。控制部11413於使顯示裝置11202顯示拍攝圖像時，亦可使用其辨識結果使各種手術支援資訊重疊顯示於該手術部之圖像上。藉由重疊顯示手術支援資訊而提示給手術人員11131，能夠減輕手術人員11131之負擔，手術人員11131可確實地進行手術。

【0478】

連接相機鏡頭11102及CCU11201之傳輸纜線11400，係與電氣信號之通信對應之電氣信號纜線、與光通信對應之光纖、或該等之複合纜線。

【0479】

此處，圖示之例中，使用傳輸纜線11400進行有線通信，但相機鏡頭11102與CCU11201之間亦可進行無線通信。

【0480】

以上，對可適用本發明之技術之內視鏡手術系統之一例進行了說明。本發明之技術可較佳地適用於以上說明之構成中設置於內視鏡11100之相機鏡頭11102之攝像部11402。藉由於攝像部11402適用本發明之技術，可使攝像部11402小型化或高精細化，因此可提供小型或高精細之內視鏡11100。

【0481】

以上，列舉第1～第3實施形態、變化例、及具體例對本發明之技術進行了說明。但，本發明之技術並不限定於上述實施形態等，能夠進行各種變化。

【0482】

例如上述實施形態、變化例、及具體例中，導電型亦可相反。例如上述實施形態、及變化例之記載中，亦可將p型改稱為n型，並且將n型改稱為p型。該情形時，上述實施形態及變化例可獲得相同效果。

【0483】

進而，各實施形態中說明之構成及動作之全部並非作為本發明之構成及動作而言為必需。例如各實施形態之構成要素中未於表示本發明之最上位概念之獨立請求項中記載之構成要素，應理解為任意構成要素。

【0484】

本說明書及隨附申請專利範圍全體中使用之用語應解釋為「並非限定性的」用語。例如「包含」或「含有」之用語，應解釋為「並不限定於記載之包含物」。「具有」之用語應解釋為「並不限定於記載之所具有物」。而且，本領域技術人員明白可於不脫離隨附申請專利範圍之情況下對本發明之實施形態加以變更。

【0485】

本說明書中使用之用語包含僅為便於說明而使用者、且並非為限定構成及動作者。例如「右」、「左」、「上」、「下」之用語只不過表示參照之圖式上之方向。又，「內側」、「外側」之用語分別表示朝向注目要素中心之方向、遠離注目要素中心之方向。至於與該等類似之用語、相同主旨之用語亦相同。

【0486】

再者，本發明之技術亦能夠採取以下構成。根據具備以下構成之本發明之技術，可提高設置於第2半導體基板之場效電晶體之電性特性，因此可提高像素電路之電性特性。本發明之技術發揮之效果並不限定於此處記載之效果，亦可為本發明中記載之任一效果。

(1)

一種攝像裝置，其具備：

第1基板，其具有進行光電轉換之感測像素；

第2基板，其具有基於自上述感測像素輸出之電荷而輸出像素信號之像素電路；及

第3基板，其具有對上述像素信號進行信號處理之處理電路；且

上述第1基板、上述第2基板、及上述第3基板依序積層，

供設置上述像素電路之場效電晶體的半導體層之至少1個以上中，上述第1基板側之區域之導電型雜質濃度，高於上述第3基板側之區域之導電型雜質濃度。

(2)

如上述(1)記載之攝像裝置，其中

上述感測像素具有：光電轉換元件；傳輸電晶體，其與上述光電轉換元件電性連接；及浮動擴散區，其暫時保持經由上述傳輸電晶體自上述光電轉換元件輸出之上述電荷；且

上述像素電路具有：重置電晶體，其將上述浮動擴散區之電位重置為特定電位；放大電晶體，其產生與上述浮動擴散區中保持之上述電荷之位準對應之電壓的信號作為上述像素信號；及選擇電晶體，其控制來自上

述放大電晶體之上述像素信號之輸出時序。

(3)

如上述(2)記載之攝像裝置，其中

上述第1基板包含於正面側設置有上述光電轉換元件、上述傳輸電晶體、及上述浮動擴散區之第1半導體基板，

上述第2基板包含於正面側設置有上述重置電晶體、上述放大電晶體、及上述選擇電晶體之第2半導體基板，且

上述第2基板係將上述第2半導體基板之與上述正面相反之背面側朝向上述第1半導體基板之上述正面側而貼合。

(4)

如上述(3)記載之攝像裝置，其中

上述第2半導體基板之上述背面隔著絕緣層貼合於上述第1半導體基板之上述正面。

(5)

如上述(4)記載之攝像裝置，其中

上述第2半導體基板與上述絕緣層之界面係上述第1基板與上述第2基板之接合界面。

(6)

如上述(4)或(5)記載之攝像裝置，其中

於包含上述第2半導體基板與上述絕緣層之上述界面的區域設置第1區域，該第1區域包含較上述第2半導體基板之其他區域更高濃度之上述導電型雜質。

(7)

如上述(6)記載之攝像裝置，其中

上述像素電路之場效電晶體之至少1個以上係具備以下之鰭型場效電晶體：

擴散層，其向一方向延伸而自上述第2半導體基板凸設；

閘極電極，其向與上述一方向正交之方向延伸而跨設於上述擴散層；及

源極區域及汲極區域，其等隔著上述閘極電極而設置於兩側之上述擴散層。

(8)

如上述(7)記載之攝像裝置，其中

於上述第2半導體基板之上述正面，設置對上述第2半導體基板供給特定電位之主體接點。

(9)

如上述(8)記載之攝像裝置，其中

上述主體接點設置在相對於上述閘極電極與上述源極區域同一側之平面區域。

(10)

如上述(6)至(9)中任一項記載之攝像裝置，其中

上述第1區域跨及上述第2半導體基板之整面而設置。

(11)

如上述(6)至(10)中任一項記載之攝像裝置，其中

上述第1區域係包含硼原子作為上述導電型雜質之磊晶生長層。

(12)

如上述(6)至(11)中任一項記載之攝像裝置，其中

上述第1區域係包含硼原子作為上述導電型雜質之多晶矽層。

(13)

如上述(6)至(12)中任一項記載之攝像裝置，其中

於上述第2半導體基板之上述正面側之一部分區域進而設置有第2區域，該第2區域與供給特定電位之接觸插塞電性連接，且包含高濃度之上述導電型雜質。

(14)

如上述(13)記載之攝像裝置，其中

於上述第2半導體基板進而設置有第3區域，該第3區域包含較上述第1區域及上述第2區域更低濃度之上述導電型雜質，且與上述第1區域及上述第2區域鄰接。

(15)

如上述(13)記載之攝像裝置，其中

上述接觸插塞貫通上述第2半導體基板而設置，且與上述第1區域直接連接。

(16)

如上述(6)至(15)中任一項記載之攝像裝置，其中

上述第1區域包含硼原子作為上述導電型雜質，且進而包含碳原子作為非導電型雜質。

(17)

如上述(2)至(16)中任一項記載之攝像裝置，其中

上述第1基板於每一上述感測像素具有上述光電轉換元件、上述傳輸

電晶體、及上述浮動擴散區，

上述第2基板於每一上述感測像素具有上述像素電路。

(18)

如上述(2)至(16)中任一項記載之攝像裝置，其中

上述第1基板於每一上述感測像素具有上述光電轉換元件、上述傳輸電晶體、及上述浮動擴散區，

上述第2基板於每複數個上述感測像素具有上述像素電路。

(19)

如上述(2)至(16)中任一項記載之攝像裝置，其中

上述第1基板於每一上述感測像素具有上述光電轉換元件及上述傳輸電晶體，且於每複數個上述感測像素共有上述浮動擴散區，

上述第2基板於共有上述浮動擴散區之每複數個上述感測像素，具有上述像素電路。

(20)

如上述(1)至(19)中任一項記載之攝像裝置，其中

上述第3基板包含第3半導體基板，該第3半導體基板於正面側設置有上述處理電路。

【0487】 本申請案基於2019年6月26日向日本專利廳提出申請之日本專利申請案編號2019-118489號而主張優先權，並將該申請案之全部內容藉由參照而引用於本申請案中。

【0488】

本領域技術人員可根據設計上之必要條件、其他因素而想到各種修正、組合、子組合、及變更，但當理解其等包含於隨附申請專利範圍及其

均等物之範圍內。

【符號說明】

【0489】

1:攝像裝置

1A:攝像裝置

1B:攝像裝置

10:第1基板

10a:正面

11:第1半導體基板

11a:正面

12:感測像素

13:像素區域

14:周邊區域

16:元件分離層

17:雜質擴散層

20:第2基板

21:第2半導體基板

21A:區塊

22:像素電路

23:像素驅動線

24:垂直信號線

26:低電阻區域

30:第3基板

31:第3半導體基板

32:處理電路

32A:電路

32B:電路

33:垂直驅動電路

34:列信號處理電路

34-1:ADC

34-2:ADC

34-m:ADC

34A:比較器

34B:可逆計數器(U/DCNT)

34C:傳輸開關

34D:記憶體裝置

35:水平驅動電路

36:系統控制電路

37:水平輸出線

38:參照電壓供給部

38A:DAC

40:彩色濾光片

42:p井層

43:元件分離部

44:p井層

45:固定電荷膜

46:第1絕緣層

47:貫通配線

48:貫通配線

50:受光透鏡

53:分離絕緣層

52:第2絕緣層

54:貫通配線

55:連接配線

56:配線層

57:層間絕緣層

58:焊墊電極

59:連接部

61:第3絕緣膜

62:配線層

63:層間絕緣層

64:焊墊電極

100:第1基板

100S:半導體層

100T:配線層

111:絕緣膜

112:固定電荷膜

113:第1釘紮區域

114:n型半導體區域

115:p井層

116:第2釘紮區域

117:像素分離部

117A:遮光膜

117B:絕緣膜

118:VSS接點區域

119:層間絕緣膜

120:焊墊部

120C:連接通孔

120E:貫通電極

121:焊墊部

121C:連接通孔

121E:貫通電極

122:鈍化膜

123:層間絕緣膜

124:接合膜

200:第2基板

200S:半導體層

200T:半導體層

201:接點部

201R:接點區域

202:接點部

202R:接點區域

210:像素電路

212:絕緣區域

213:元件分離區域

218:VSS接點區域

218V:連接部

221:鈍化膜

222:層間絕緣膜

243:DSP電路

244:圖框記憶體

245:顯示部

246:記憶部

247:操作部

248:電源部

249:匯流排線

300:第3基板

300S:半導體層

300T:配線層

301:接點部

301R:接點區域

302:接點部

302R:接點區域

510A:輸入部

510B:輸出部

511:輸入端子

512:輸入電路部

513:輸入振幅變更部

514:輸入資料轉換電路部

515:輸出資料轉換電路部

516:輸出振幅變更部

517:輸出電路部

518:輸出端子

520:列驅動部

530:時序控制部

539:像素共有單元

540:像素陣列部

541:像素

541A:像素

541B:像素

541C:像素

541D:像素

542:列驅動信號線

543:垂直信號線

544:電源線

550:行信號處理部

560:圖像信號處理部

1100:場效電晶體

1110:半導體層

1111:第1區域

1111A:第1區域

1115:元件分離層

1120:擴散層

1120C:通道區域

1120D:汲極區域

1120S:源極區域

1121:主圖案

1122:虛設圖案

1131:閘極電極

1132:主體端子

1140:第1絕緣層

1160:SiN膜

1160A:開口

1160B:開口

1160C:開口

1161:SiN膜

1171:SiO_2膜

1172:BSG膜

1173:蝕刻遮罩

1174:BSG膜

1175:硬質遮罩

1176:間隔件

1180:SiO_2膜

1190:接觸插塞

1201:第1基板

1202:第2基板

1210:第2半導體基板

1210N:n井區域

1210P:p井區域

1211:第1區域

1211N:第1區域

1211P:第1區域

1212:雜質導入膜

1213:上覆層

1220:第2絕緣層

1230:第1半導體基板

1231:p井層

1240:第1絕緣層

1241:元件分離部

1242:p井層

1243:電極

1245:電極

1250:支持基板

1251:絕緣膜

1252:絕緣膜

1253:絕緣膜

1260:第2區域

1299:抗蝕劑

1300:場效電晶體

1300A:場效電晶體

1301:第1基板

1310:第2半導體基板

1310D:汲極區域

1310S:源極區域

1311:第1區域

1312:擴散層

1320:閘極電極

1321:閘極絕緣膜

1322:側壁絕緣膜

1330:第1半導體基板

1340:第1絕緣層

1900:場效電晶體

1920D:汲極區域

1920S:源極區域

1930:閘極絕緣膜

1931:閘極電極

2051:層間絕緣膜

2053:層間絕緣膜

2102:共通焊墊電極

2110:共通焊墊電極

2210:下側基板

2211:半導體基板

2211a:正面

2211b:背面

2213:元件分離層

2215:絕緣膜

2217:絕緣膜

2220:上側基板

2221:半導體基板

2221a:正面

2221b:背面

2223:元件分離層

2225:絕緣膜

2227:焊墊電極

2301:半導體基板

2301a:正面

2303:矽化物

2304:絕緣膜

2305:焊墊電極

11000:內視鏡手術系統

11100:內視鏡

11101:鏡筒

11102:相機鏡頭

11110:手術工具

11111:氣腹管

11112:能量處置具

11120:支持臂裝置

11131:手術人員

11132:患者

11133:病床

11201:CCU

11202:顯示裝置

11203:光源裝置

11204:輸入裝置

11205:處置具控制裝置

11206:氣腹裝置

11207:記錄器

11208:印表機

11401:透鏡單元

11402:攝像部

11403:驅動部

11404:通信部

11405:相機鏡頭控制部

11411:通信部

11412:圖像處理部

11413:控制部

12000:車輛控制系統

12001:通信網路

12010:驅動系統單元

12020:車身系統控制單元

12030:車外資訊檢測單元

12031:攝像部

12040:車內資訊檢測單元

12041:駕駛員狀態檢測部

12050:綜合控制單元

12051:微電腦

12052:聲音圖像輸出部

12053:車載網路I/F

12061:音響揚聲器

12062:顯示部

12063:儀錶板

12101:攝像部

12102:攝像部

12103:攝像部

12104:攝像部

12105:攝像部

12111:拍攝範圍

12112:拍攝範圍

12113:拍攝範圍

12114:拍攝範圍

A1-A1':線

A2-A2':線

A3-A3':線

AG:閘極電極

AMP:放大電晶體

B1-B1':線

B2-B2':線

B3-B3':線

C1-C1':線

C2-C2':線

C3-C3':線

CK:時脈

CP:接觸插塞

CS1:控制信號

CS2:控制信號

CS3:控制信號

Dep:空乏層

FD:浮動擴散區

FD1:浮動擴散區

FD2:浮動擴散區

FD3:浮動擴散區

FD4:浮動擴散區

FDG:FD轉換增益切換電晶體

FDGL:配線

GND:接地

H:方向

H1:連接孔部

H2:連接孔部

L:光

L1:配線

L2:配線

L3:配線

L4:配線

L5:配線

L6:配線

L7:配線

L8:配線

L9:配線

L10:配線

L30:配線

MCK:主時脈

PD:光電二極體

PD1:光電二極體

PD2:光電二極體

PD3:光電二極體

PD4:光電二極體

PU:像素單元

RG:閘極電極

RST:重置電晶體

RSTL:配線

S101:步驟

S102:步驟

S103:步驟

S104:步驟

S105:步驟

Sec1:切剖面

Sec2:切剖面

sec1:位置

sec2:位置

sec3:位置

SEL:選擇電晶體

SELG:配線

SELL:配線

SG:閘極電極

TA:外部端子

TB:外部端子

TG:傳輸閘極

TG1:傳輸閘極

TG2:傳輸閘極

TG3:傳輸閘極

TG4:傳輸閘極

TGa:垂直部分

TGb:水平部分

TGV:貫通電極

TGV1:貫通電極

TGV2:貫通電極

TGV3:貫通電極

TGV4:貫通電極

TR:傳輸電晶體

TR1:傳輸電晶體

TR2:傳輸電晶體

TR3:傳輸電晶體

TR4:傳輸電晶體

Tr1:電晶體

Tr2:電晶體

TrF:鰭型電晶體

TrN:n型電晶體

TrP:p型電晶體

TRG1:配線

TRG2:配線

TRG3:配線

TRG4:配線

V:方向

V1:第1方向

V2:第2方向

Vco:輸出

VDD:電源線

Vref:參照電壓

Vout:輸出電壓

VSS:基準電位線

Vx:信號電壓

W1:第1配線層

W2:第2配線層

W3:第3配線層

W4:第4配線層

WE:井層

well:井接點

Y:軸

III-III':線

【發明申請專利範圍】

【請求項1】

一種攝像裝置，其具備：

第1基板，其具有進行光電轉換之感測像素；

第2基板，其具有基於自上述感測像素輸出之電荷而輸出像素信號之像素電路；及

第3基板，其具有對上述像素信號進行信號處理之處理電路；且

上述第1基板、上述第2基板、及上述第3基板依序積層，

供設置上述像素電路之場效電晶體的半導體層之至少1個以上中，上述第1基板側之區域之導電型雜質濃度，高於上述第3基板側之區域之導電型雜質濃度，

上述感測像素具有：光電轉換元件；傳輸電晶體，其與上述光電轉換元件電性連接；及浮動擴散區，其暫時保持經由上述傳輸電晶體自上述光電轉換元件輸出之上述電荷；且

上述像素電路具有：重置電晶體，其將上述浮動擴散區之電位重置為特定電位；放大電晶體，其產生與上述浮動擴散區中保持之上述電荷之位準對應之電壓的信號作為上述像素信號；及選擇電晶體，其控制來自上述放大電晶體之上述像素信號之輸出時序，

上述第1基板包含於正面側設置有上述光電轉換元件、上述傳輸電晶體、及上述浮動擴散區之第1半導體基板，

上述第2基板包含於正面側設置有上述重置電晶體、上述放大電晶體、及上述選擇電晶體之第2半導體基板，且

上述第2基板係將上述第2半導體基板之與上述正面相反之背面側朝

向上述第1半導體基板之上述正面側而貼合，

上述第2半導體基板之上述背面隔著絕緣層而貼合於上述第1半導體基板之上述正面，

上述第2半導體基板與上述絕緣層之界面係上述第1基板與上述第2基板之接合界面，

於包含上述第2半導體基板與上述絕緣層之上述界面的區域設置第1區域，該第1區域包含較上述第2半導體基板之其他區域更高濃度之上述導電型雜質，

於上述第2半導體基板之上述正面，設置對上述第2半導體基板供給特定電位之主體接點，

上述第1區域係設置於：自包含上述第2半導體基板與上述絕緣層之上述界面的區域延伸至上述第2半導體基板之上述表面之設置有上述主體接點的區域。

【請求項2】

如請求項1之攝像裝置，其中

上述像素電路之場效電晶體之至少1個以上係具備以下之鰭型場效電晶體：

擴散層，其向一方向延伸而自上述第2半導體基板凸設；

閘極電極，其向與上述一方向正交之方向延伸而跨設於上述擴散層；及

源極區域及汲極區域，其等隔著上述閘極電極而設置於兩側之上述擴散層。

【請求項3】

如請求項1之攝像裝置，其中

上述主體接點設置在相對於上述閘極電極與上述源極區域同一側之平面區域。

【請求項4】

如請求項1之攝像裝置，其中

上述第1區域跨及上述第2半導體基板之整面而設置。

【請求項5】

如請求項1之攝像裝置，其中

上述第1區域係包含硼原子作為上述導電型雜質之磊晶生長層。

【請求項6】

如請求項1之攝像裝置，其中

上述第1區域係包含硼原子作為上述導電型雜質之多晶矽層。

【請求項7】

如請求項1之攝像裝置，其中

於上述第2半導體基板之上述正面側之一部分區域進而設置第2區域，該第2區域與供給特定電位之接觸插塞電性連接，且包含高濃度之上述導電型雜質。

【請求項8】

如請求項7之攝像裝置，其中

於上述第2半導體基板進而設置第3區域，該第3區域包含較上述第1區域及上述第2區域更低濃度之上述導電型雜質，且與上述第1區域及上述第2區域鄰接。

【請求項9】

如請求項7之攝像裝置，其中

上述接觸插塞貫通上述第2半導體基板而設置，且與上述第1區域直接連接。

【請求項10】

如請求項1之攝像裝置，其中

上述第1區域包含硼原子作為上述導電型雜質，且進而包含碳原子作為非導電型雜質。

【請求項11】

如請求項1之攝像裝置，其中

上述第1基板於每一上述感測像素具有上述光電轉換元件、上述傳輸電晶體、及上述浮動擴散區，

上述第2基板於每一上述感測像素具有上述像素電路。

【請求項12】

如請求項1之攝像裝置，其中

上述第1基板於每一上述感測像素具有上述光電轉換元件、上述傳輸電晶體、及上述浮動擴散區，

上述第2基板於每複數個上述感測像素具有上述像素電路。

【請求項13】

如請求項1之攝像裝置，其中

上述第1基板於每一上述感測像素具有上述光電轉換元件及上述傳輸電晶體，且於每複數個上述感測像素共有上述浮動擴散區，

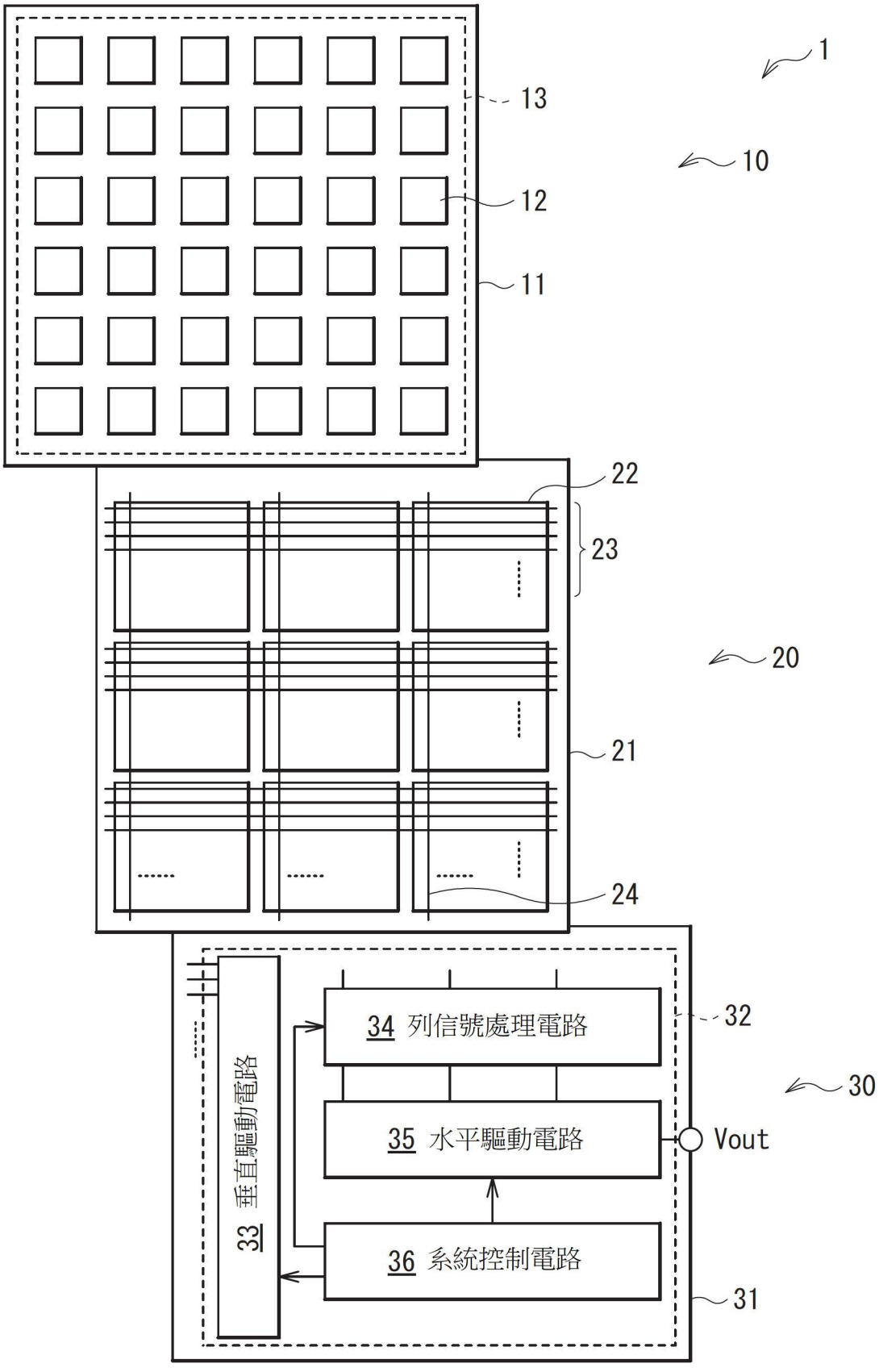
上述第2基板於共有上述浮動擴散區之每複數個上述感測像素，具有上述像素電路。

【請求項14】

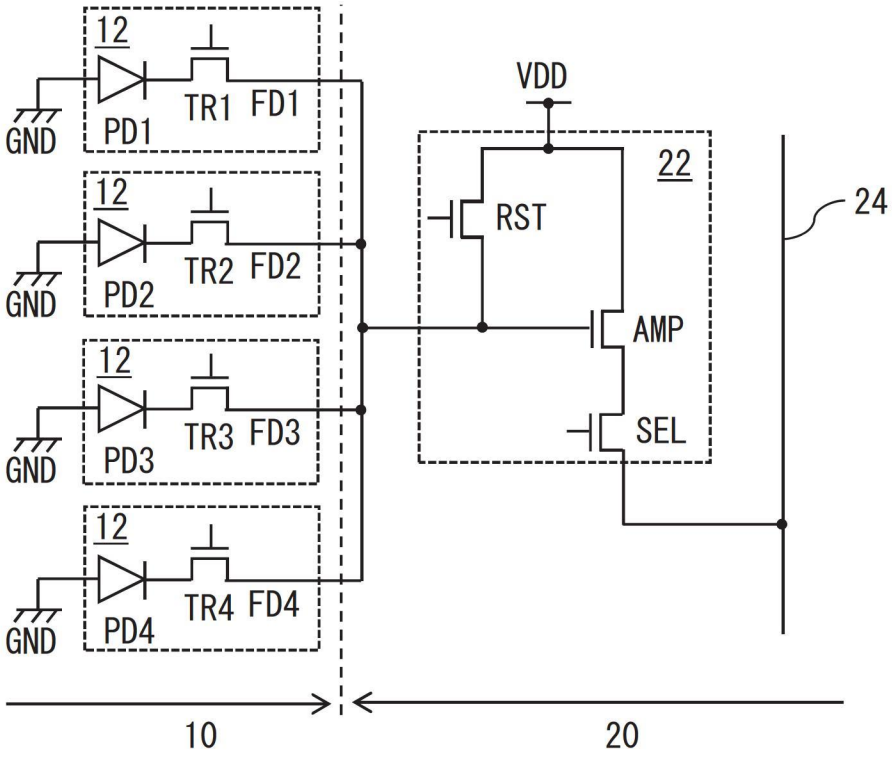
如請求項1之攝像裝置，其中

上述第3基板包含第3半導體基板，該第3半導體基板於正面側設置有上述處理電路。

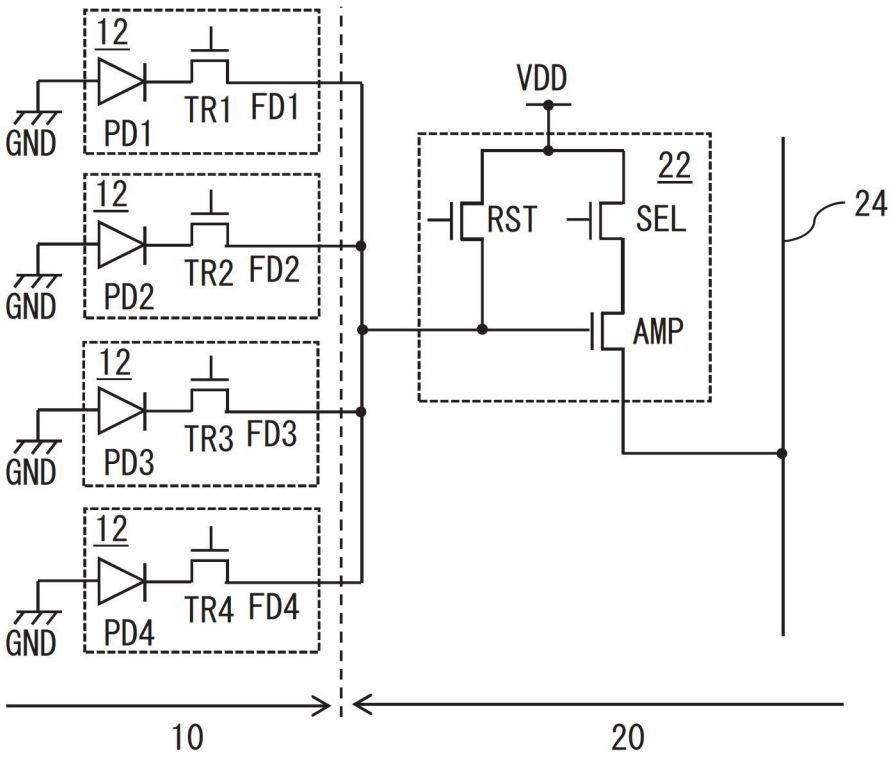
【發明圖式】


1
10
13
12
11
22
23
20
21
24
34 列信號處理電路
32
30
35 水平驅動電路
Vout
33 垂直驅動電路
36 系統控制電路
31

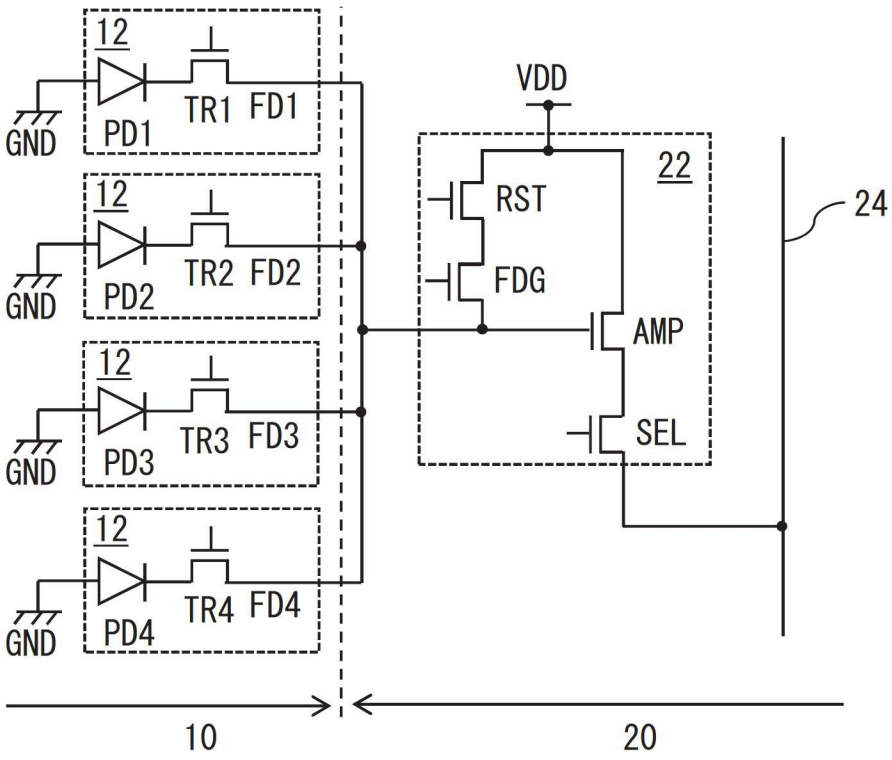
【圖1】


12
PD1
TR1
FD1
GND
12
PD2
TR2
FD2
GND
12
PD3
TR3
FD3
GND
12
PD4
TR4
FD4
GND
VDD
22
RST
AMP
SEL
24
10
20

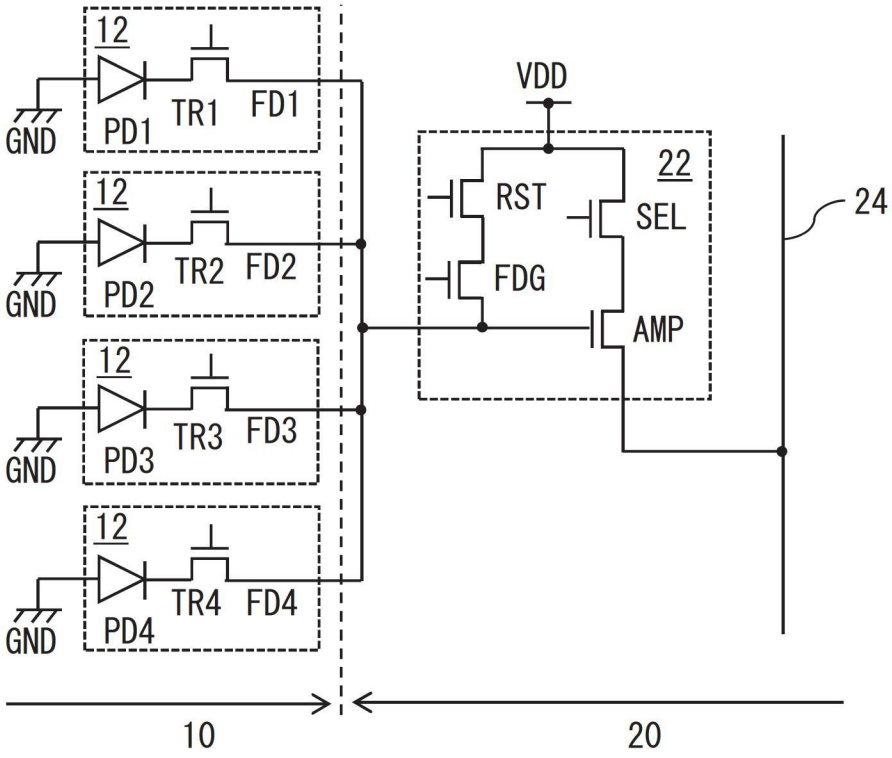
【圖2】


12
PD1
TR1
FD1
GND
12
PD2
TR2
FD2
GND
12
PD3
TR3
FD3
GND
12
PD4
TR4
FD4
GND
VDD
22
RST
SEL
AMP
24
10
20

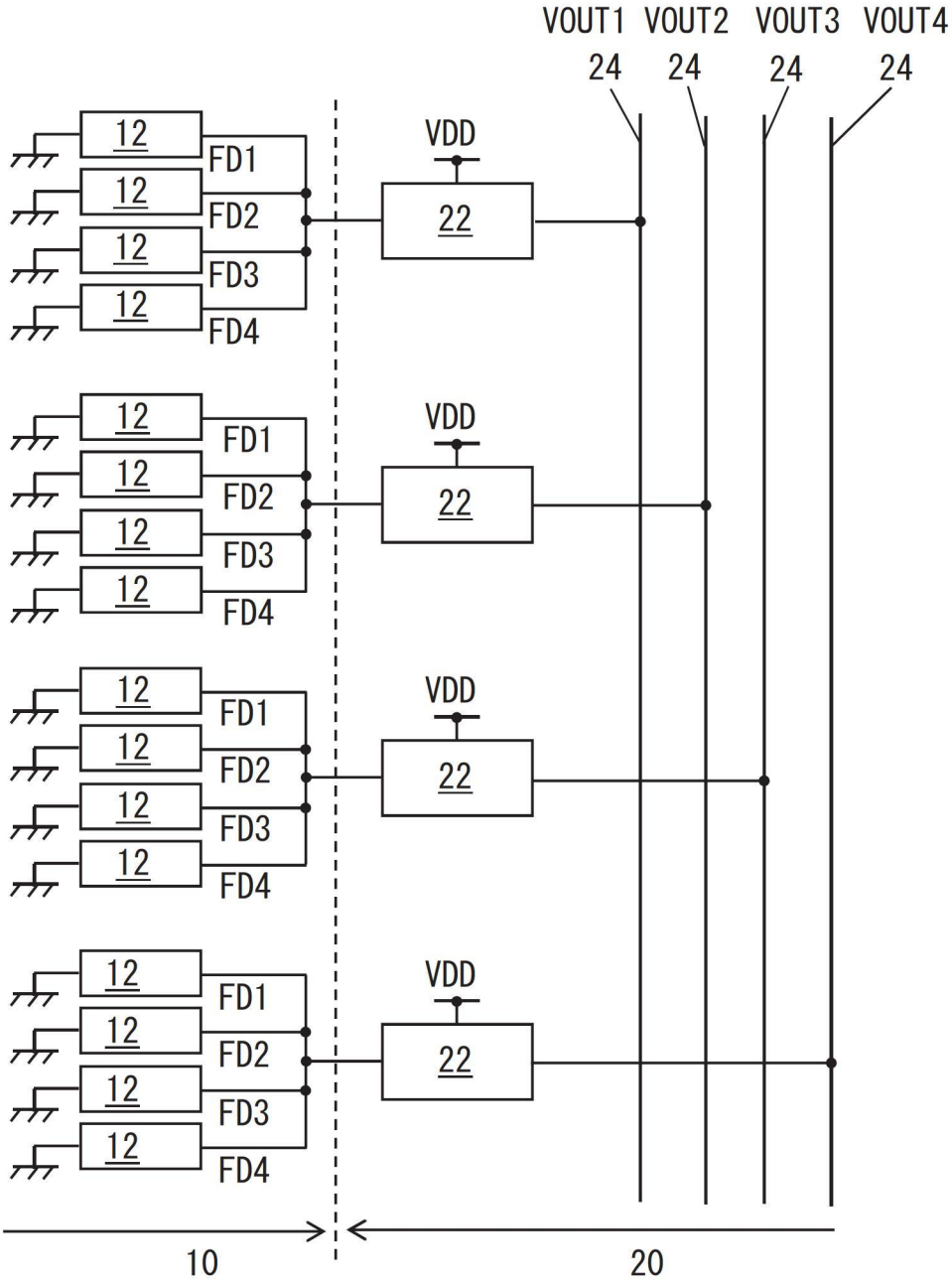
【圖3】


12
PD1
TR1
FD1
GND
12
PD2
TR2
FD2
GND
12
PD3
TR3
FD3
GND
12
PD4
TR4
FD4
GND
VDD
22
RST
FDG
AMP
SEL
24
10
20

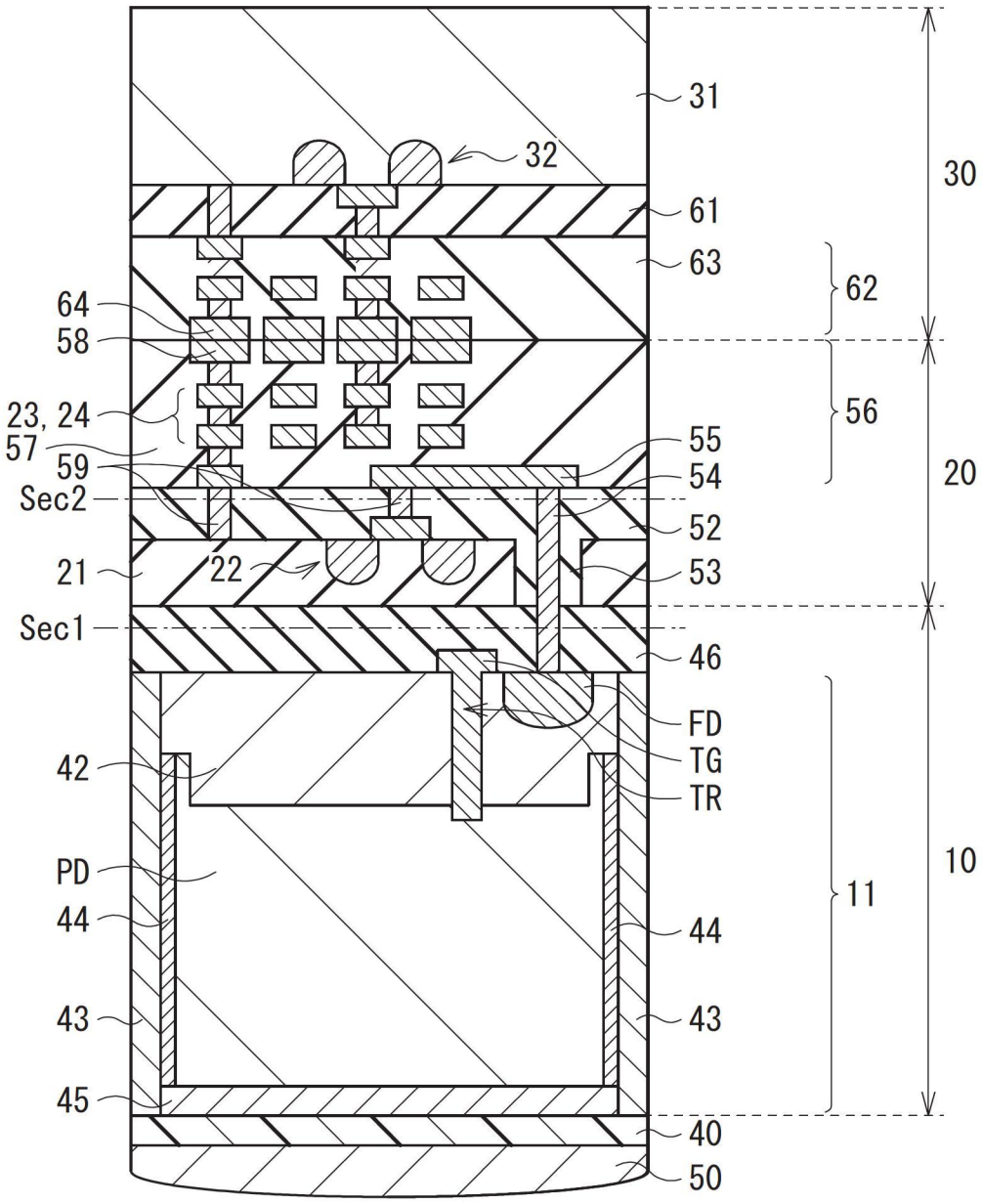
【圖4】


12
PD1
TR1
FD1
GND
12
PD2
TR2
FD2
GND
12
PD3
TR3
FD3
GND
12
PD4
TR4
FD4
GND
VDD
22
RST
SEL
FDG
AMP
24
10
20

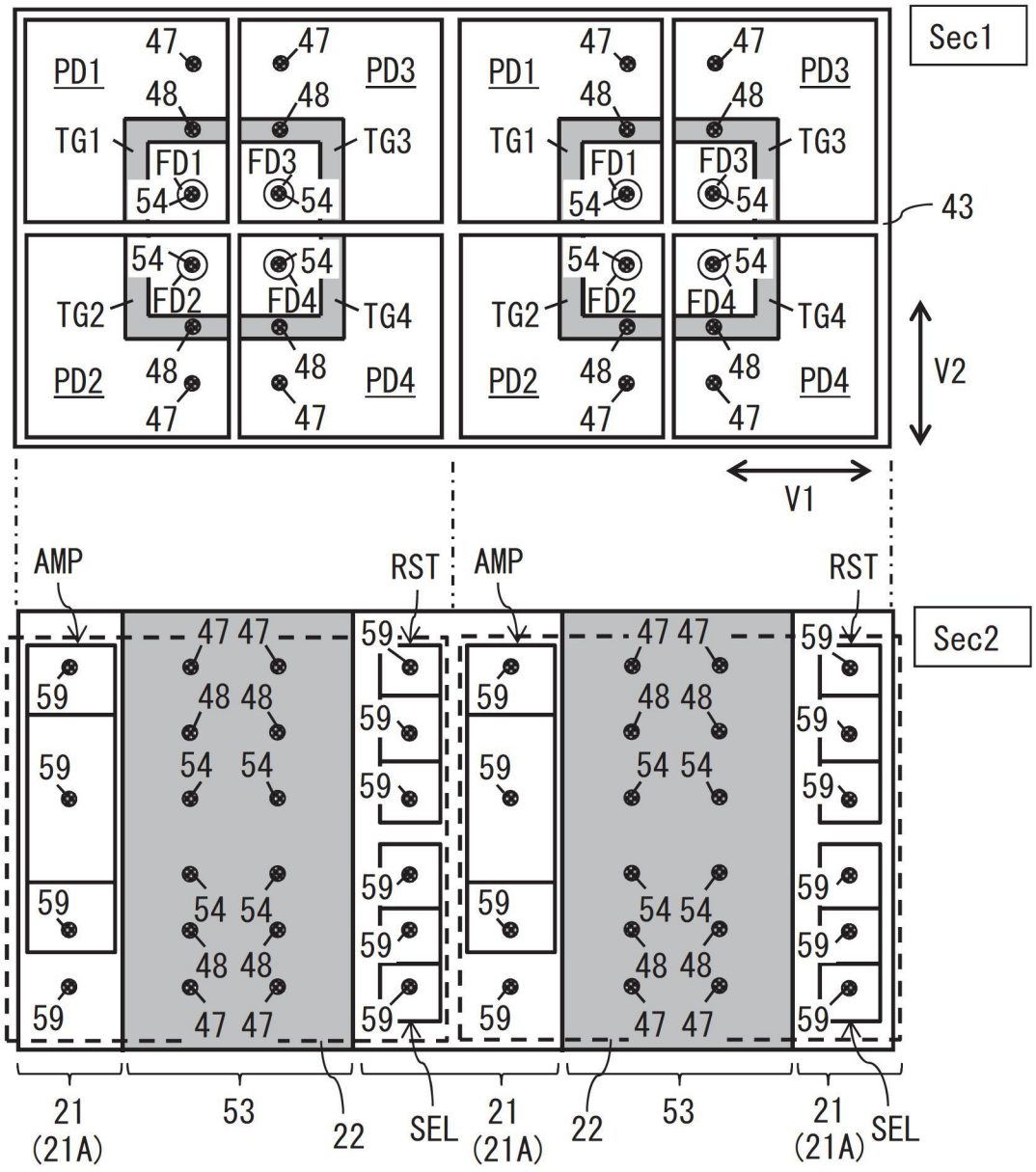
【圖5】


VOUT1
VOUT2
VOUT3
VOUT4
24
24
24
24
12
FD1
FD2
FD3
FD4
VDD
22
10
20

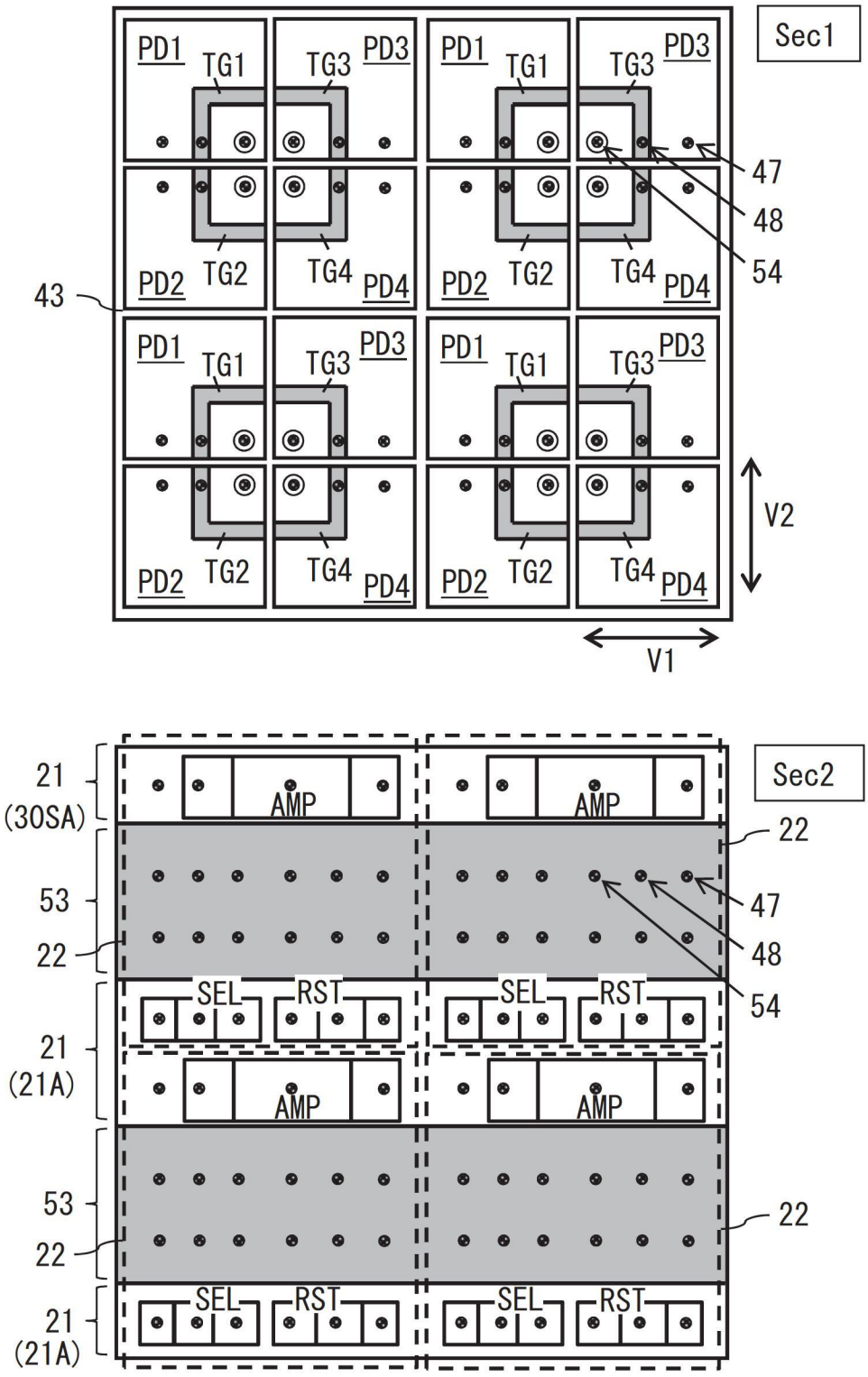
【圖6】


31
32
61
63
64
58
23, 24
57
59
Sec2
21
22
Sec1
42
PD
44
43
45
55
54
52
53
46
FD
TG
TR
44
43
40
50
62
56
11
30
20
10

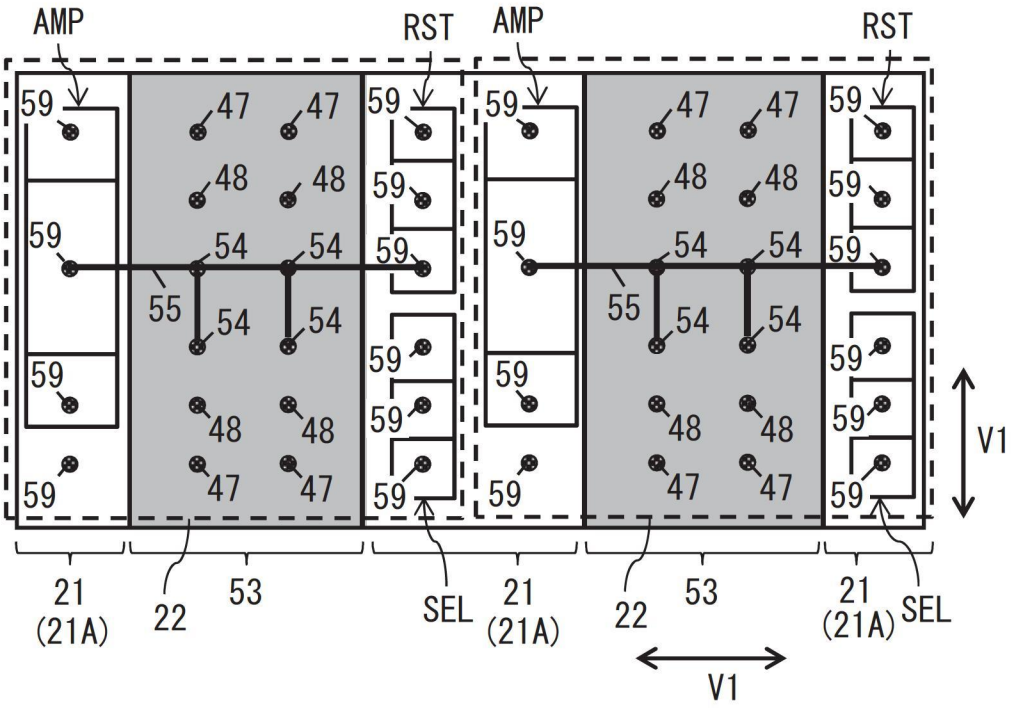
【圖7】


Sec1
PD1
PD3
PD2
PD4
TG1
TG2
TG3
TG4
FD1
FD2
FD3
FD4
47
48
54
43
V1
V2
AMP
RST
Sec2
59
53
22
SEL
21
(21A)

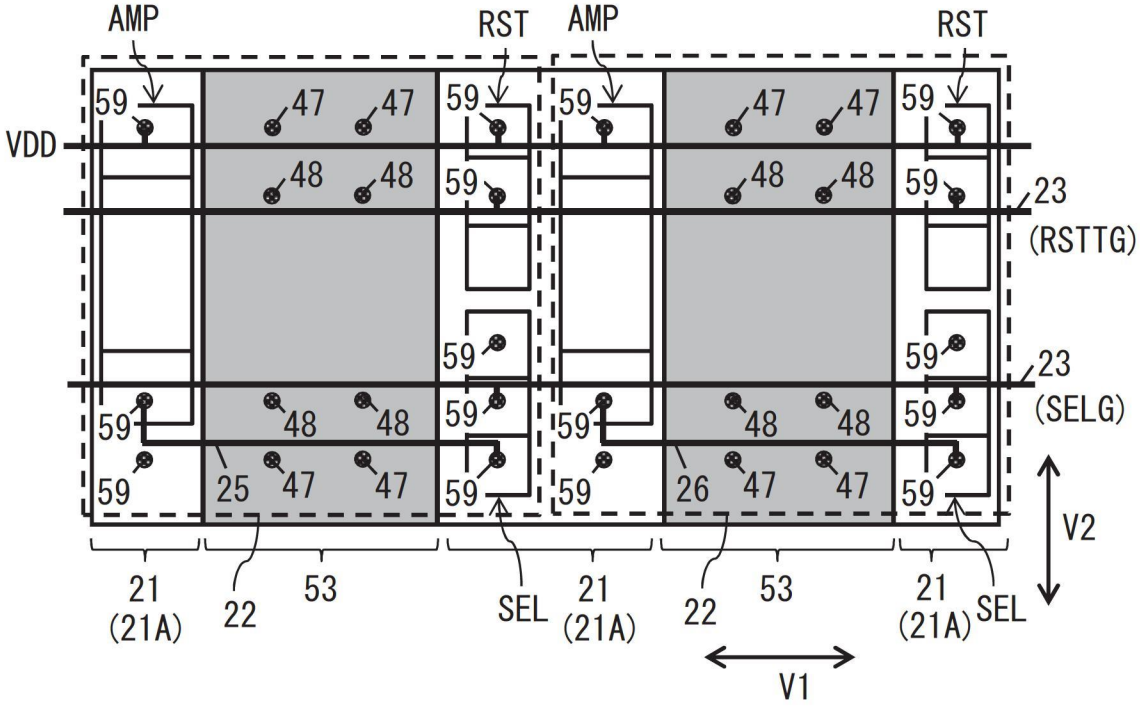
【圖8】


Sec1
PD1
TG1
TG3
PD3
PD2
TG2
TG4
PD4
47
48
54
43
V2
V1
Sec2
21
(30SA)
AMP
22
53
SEL
RST
21
(21A)

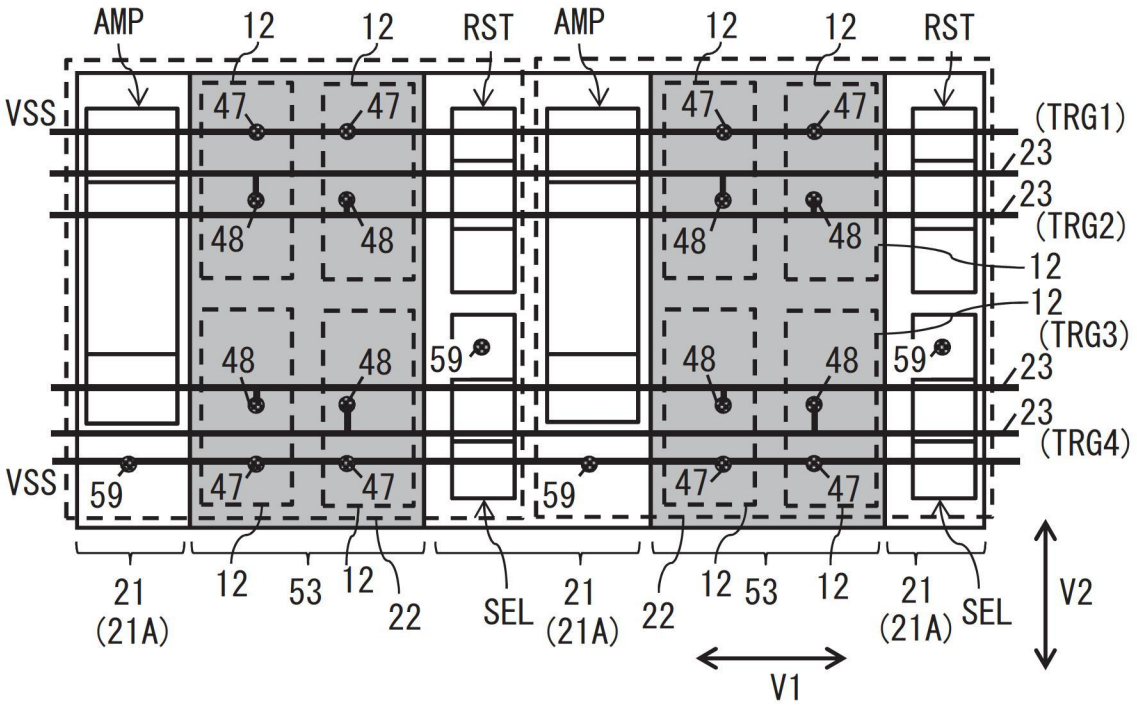
【圖9】


AMP
RST
AMP
RST
59
47
48
54
55
V1
21
(21A)
22
53
SEL

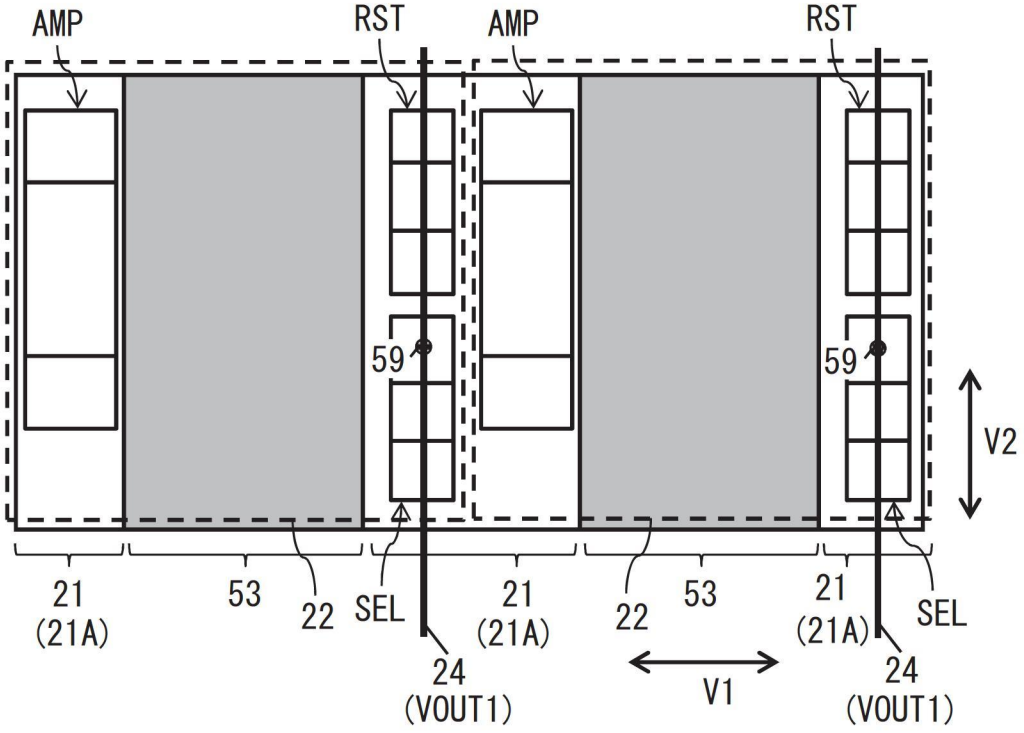
【圖10】


AMP
RST
AMP
RST
VDD
59
47
48
54
55
23
(RSTTG)
23
(SELG)
25
26
V2
V1
21
(21A)
22
53
SEL

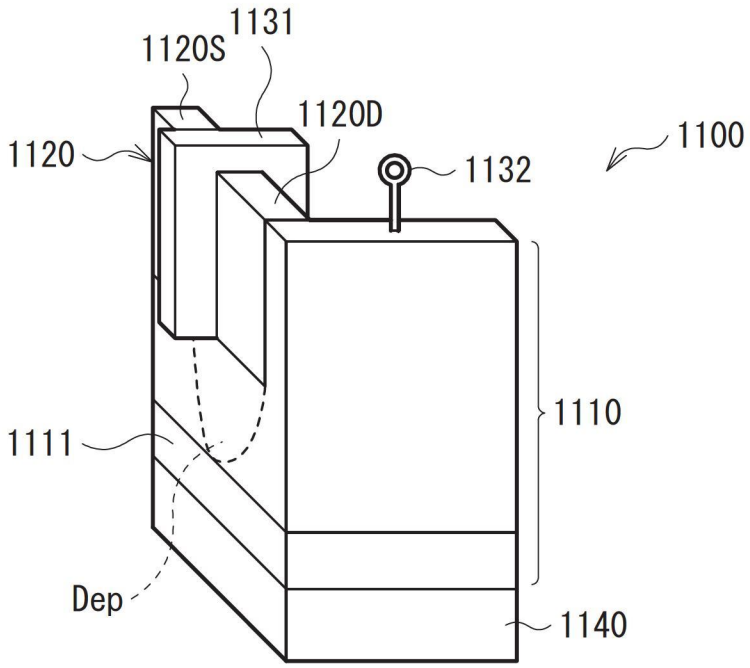
【圖11】


AMP
12
12
RST
AMP
12
12
RST
VSS
47
47
48
48
59
(TRG1)
23
23
(TRG2)
12
12
(TRG3)
23
23
(TRG4)
VSS
21
(21A)
12
53
12
22
SEL
V1
V2

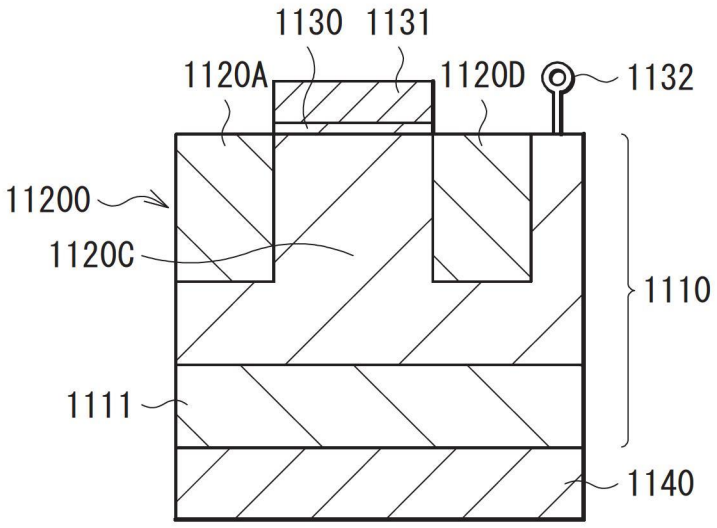
【圖12】


AMP
RST
AMP
RST
59
21
(21A)
53
22
SEL
24
(VOUT1)
V1
V2

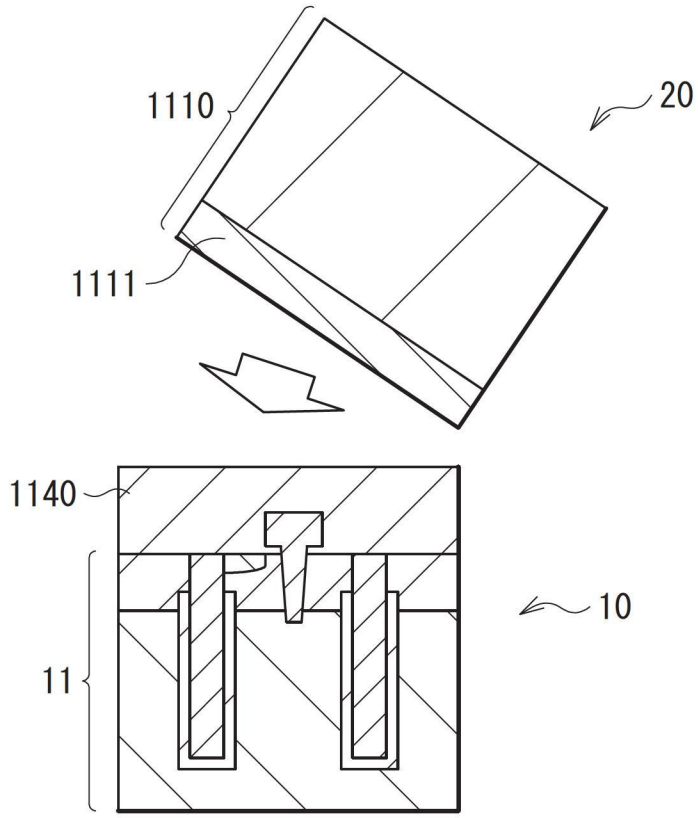
【圖13】


1131
1120S
1120D
1120
1100
1132
1110
1111
Dep
1140

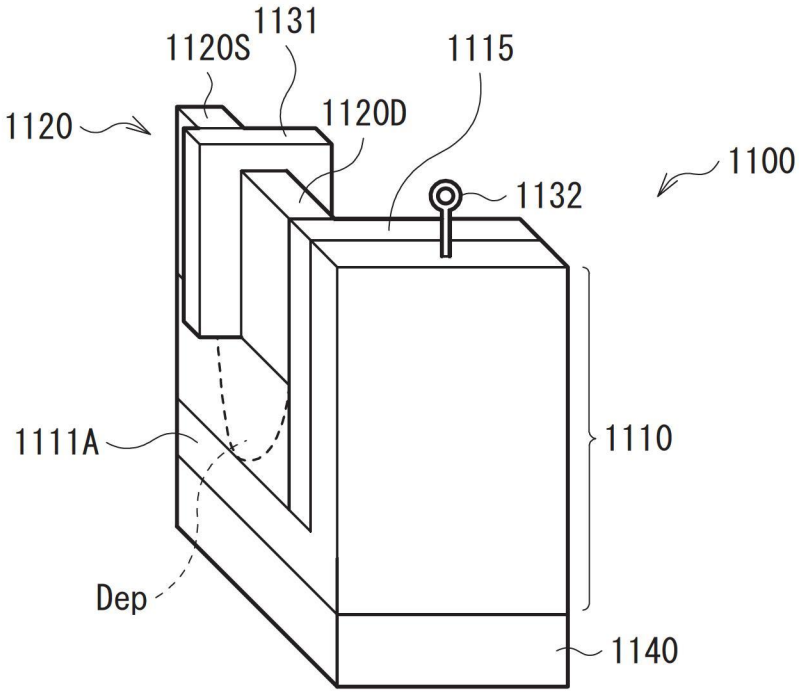
【圖14A】


1130
1131
1120A
1120D
1132
11200
1120C
1110
1111
1140

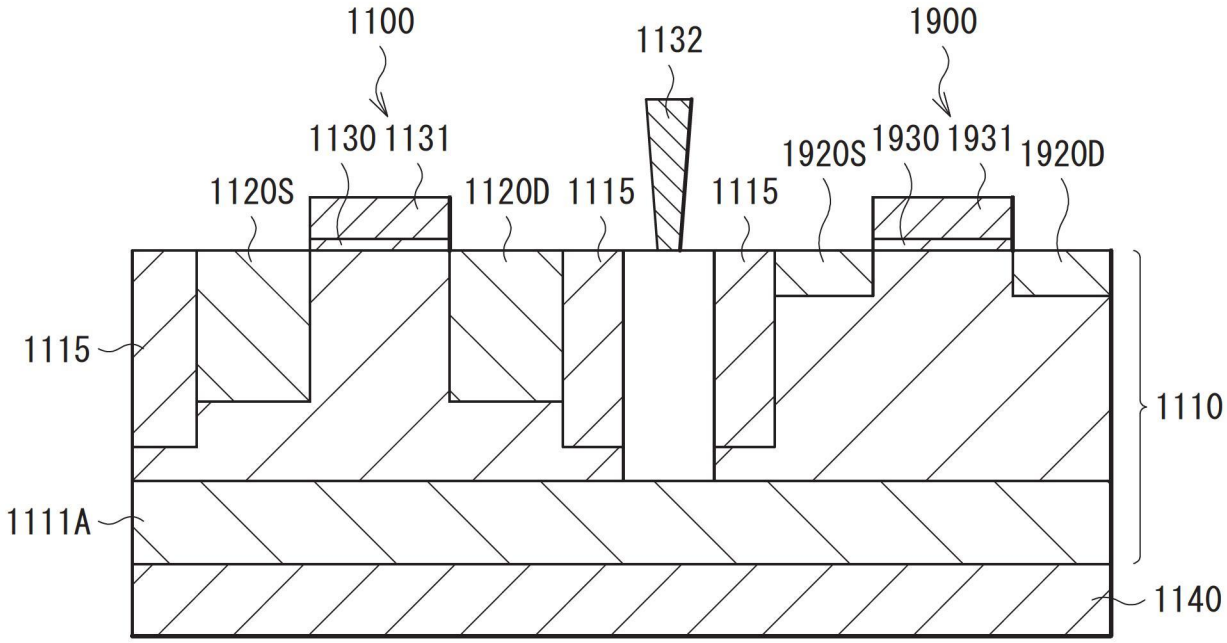
【圖14B】


1110
20
1111
1140
10
11

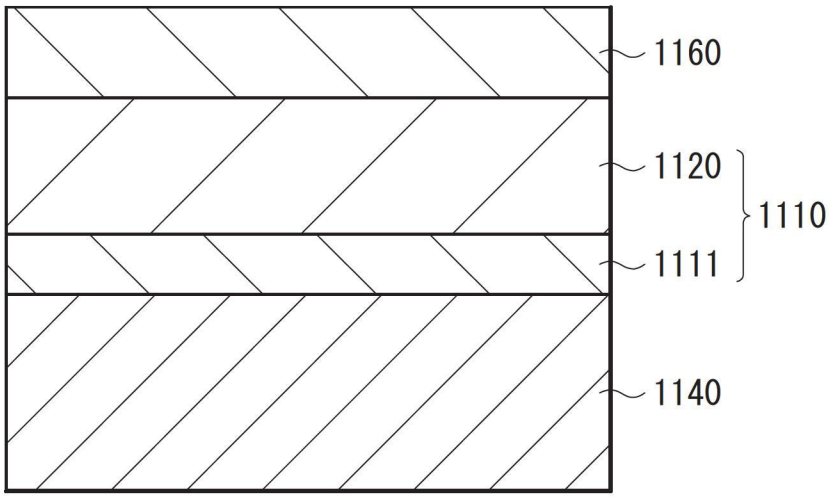
【圖15】


1131
1120S
1115
1120
1120D
1100
1132
1111A
1110
Dep
1140

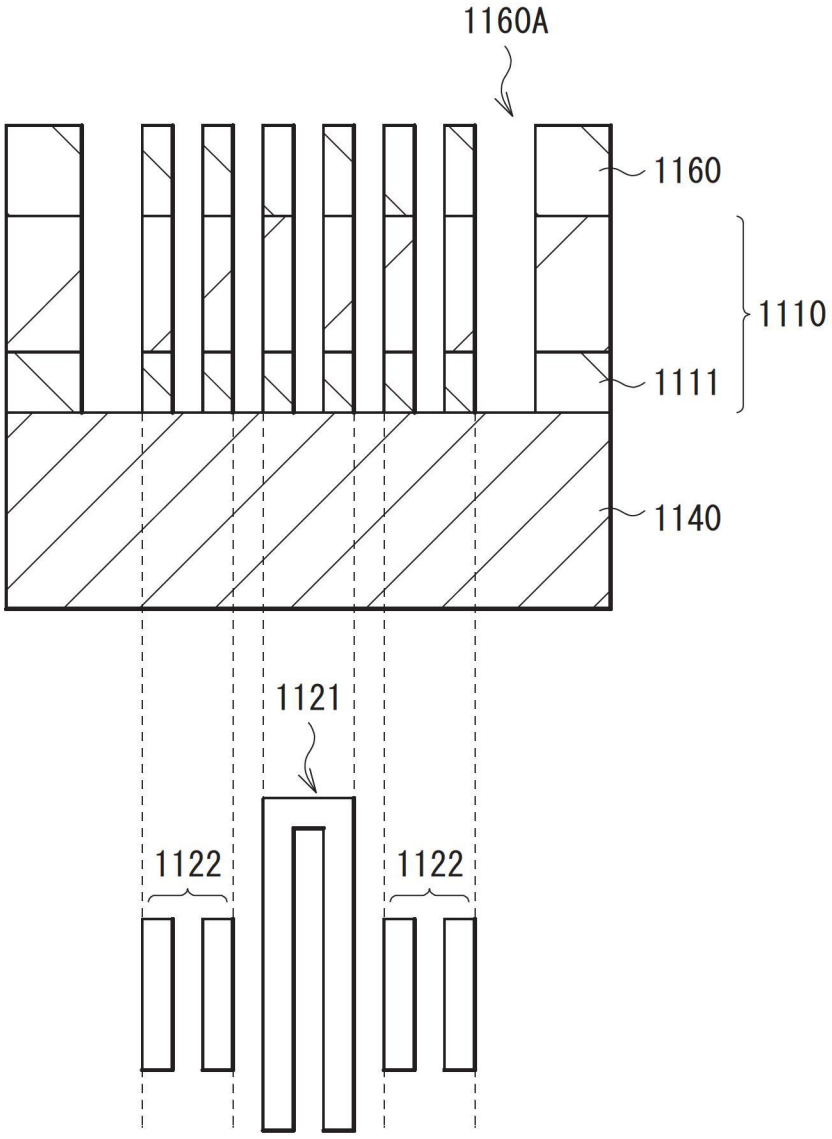
【圖16】


1100
1132
1900
1130 1131
1920S 1930 1931 1920D
1120S
1120D 1115
1115
1115
1110
1111A
1140

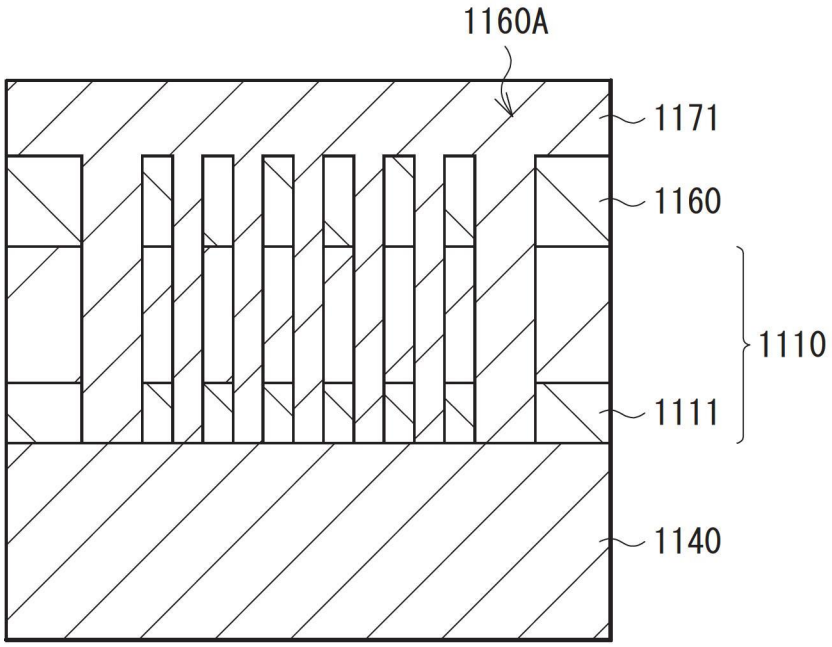
【圖17】


1160
1120
1110
1111
1140

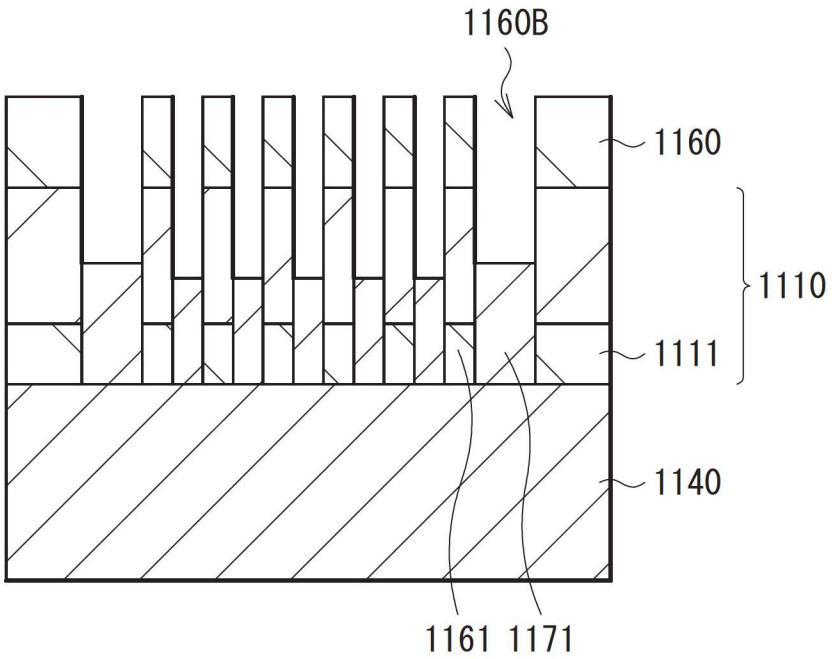
【圖18】



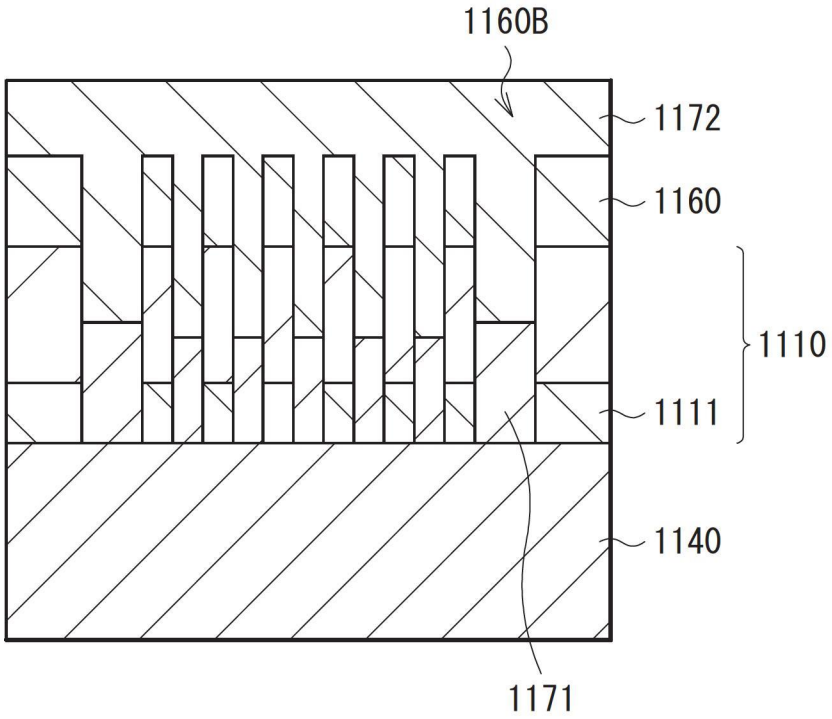
【圖19】


1160A
1171
1160
1110
1111
1140

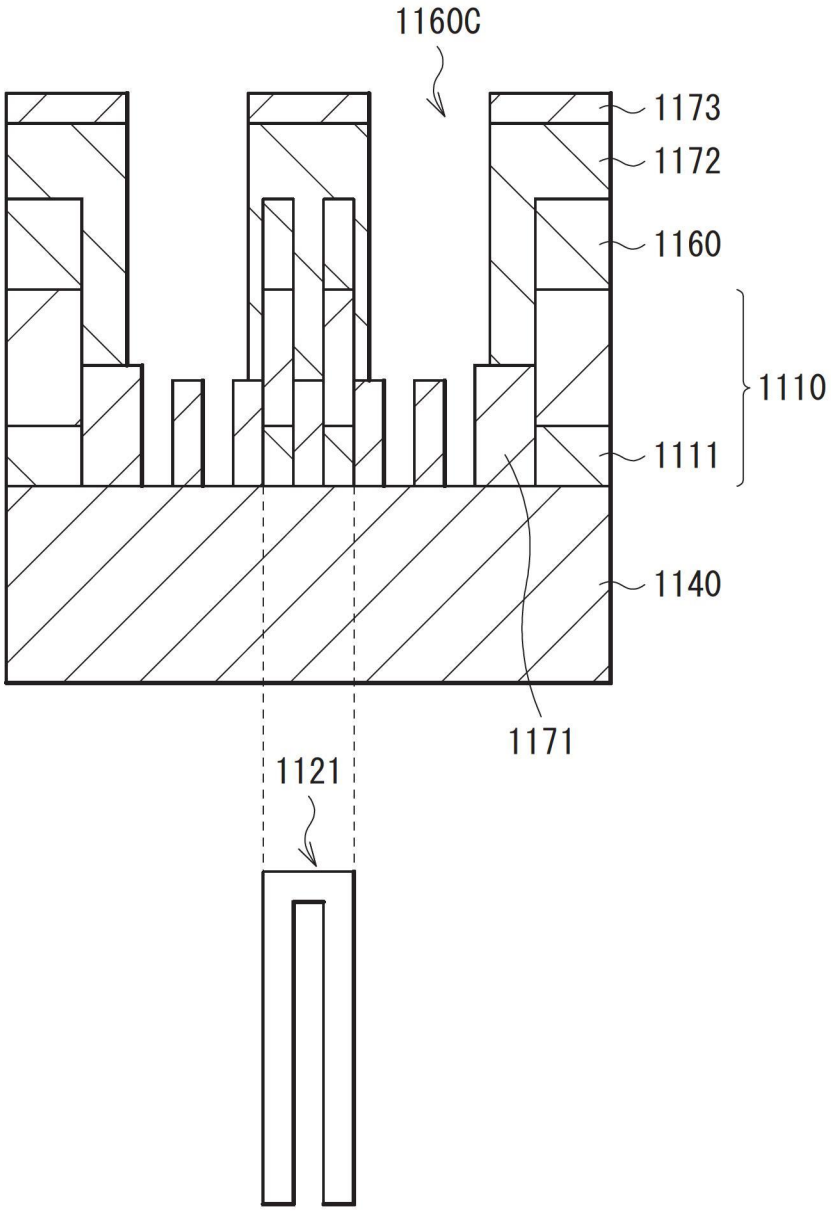
【圖20】


1160B
1160
1110
1111
1140
1161
1171

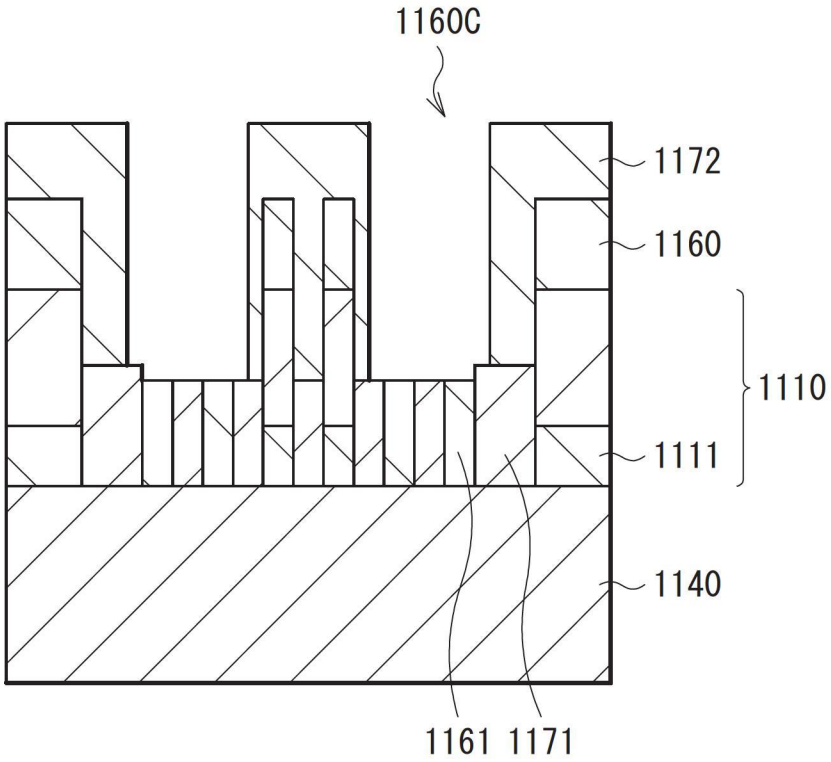
【圖21】



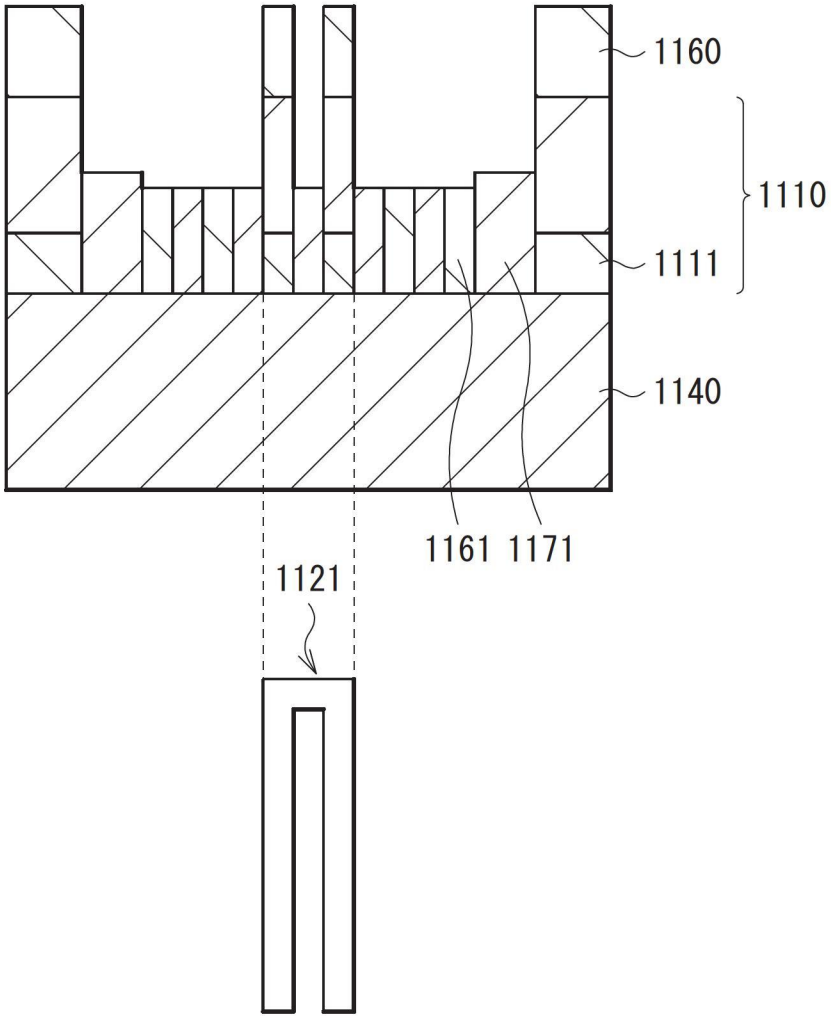
【圖22】



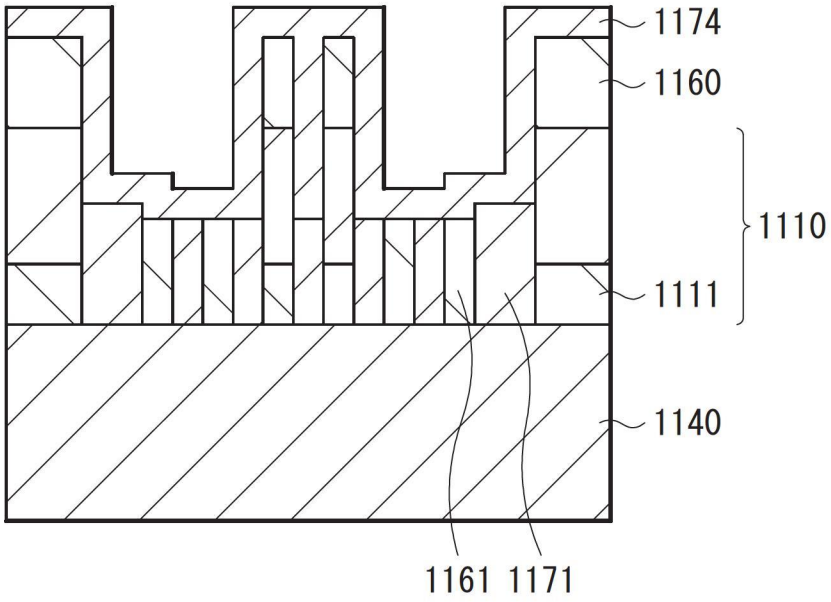
【圖23】



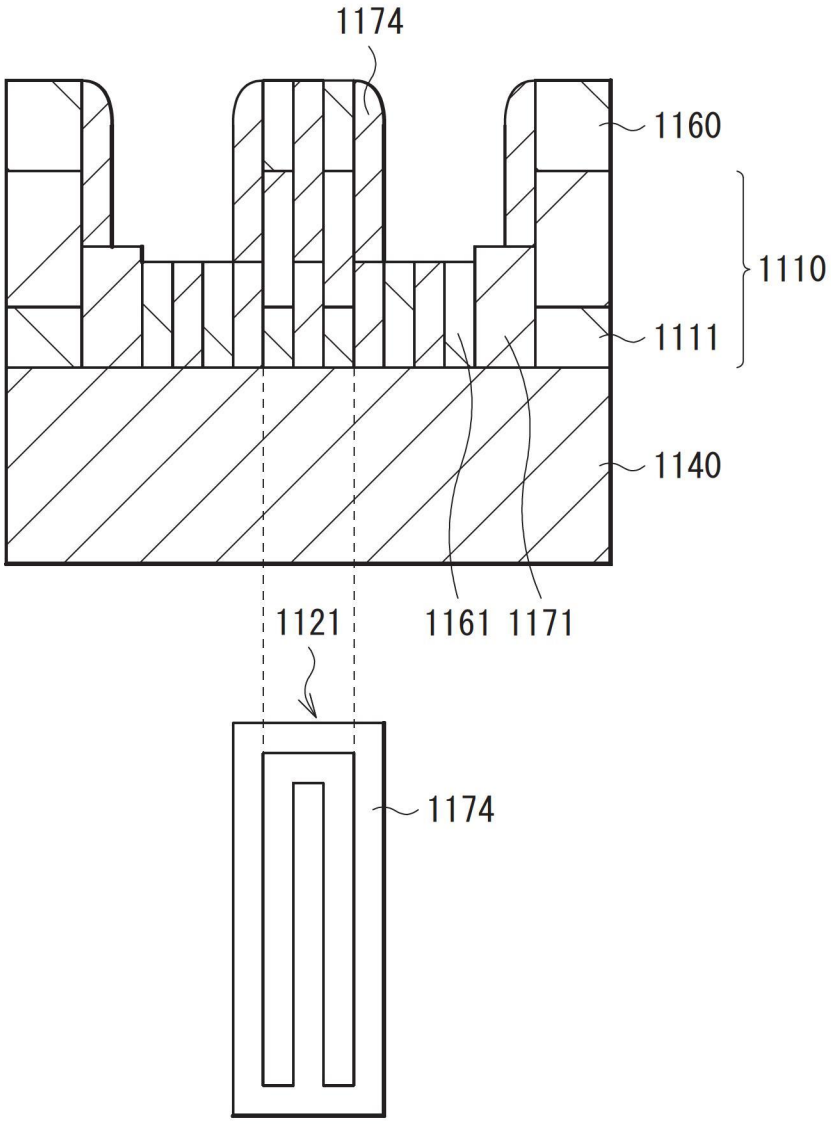
【圖24】



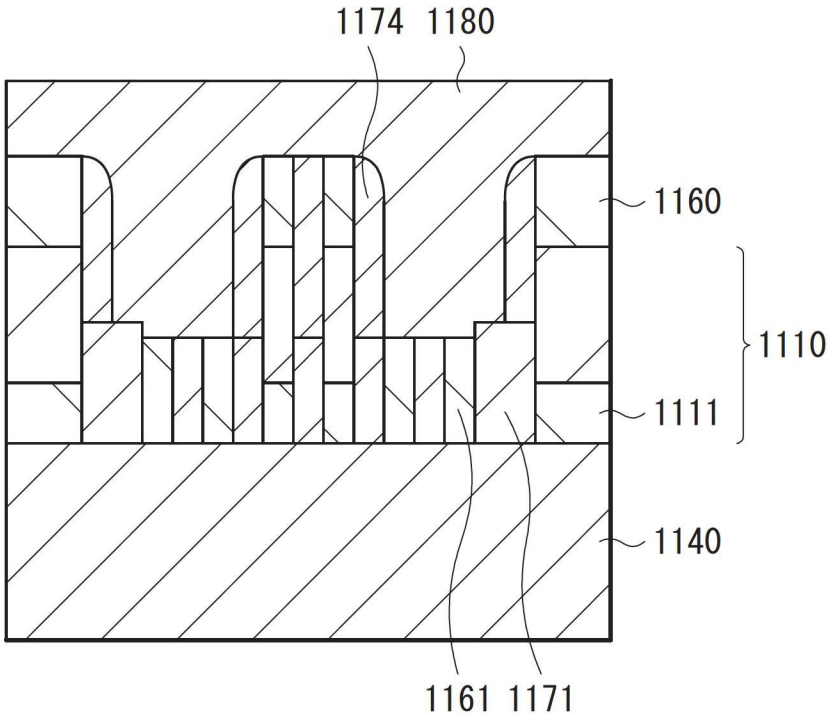
【圖25】



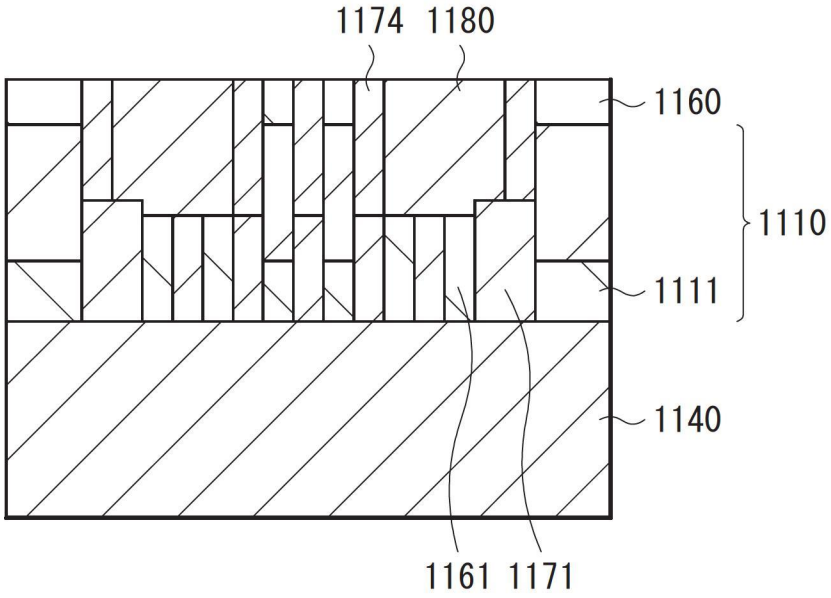
【圖26】



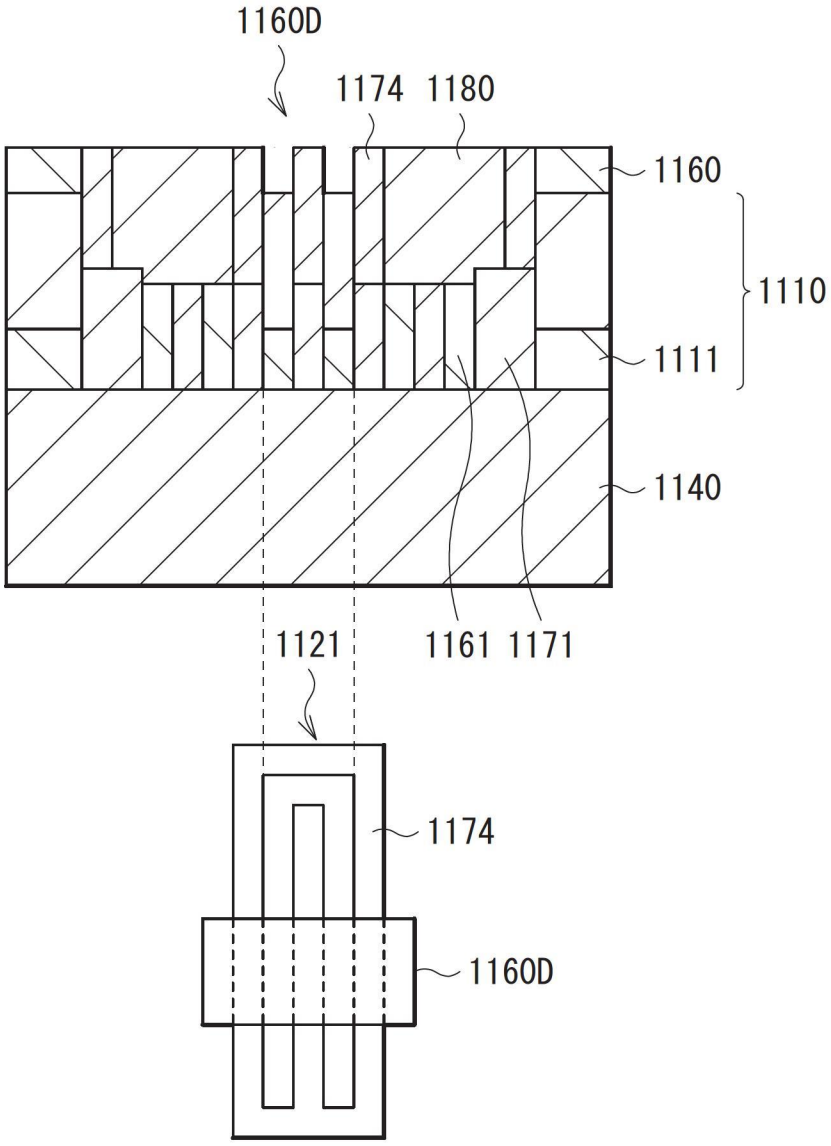
【圖27】


1174
1180
1160
1110
1111
1140
1161
1171

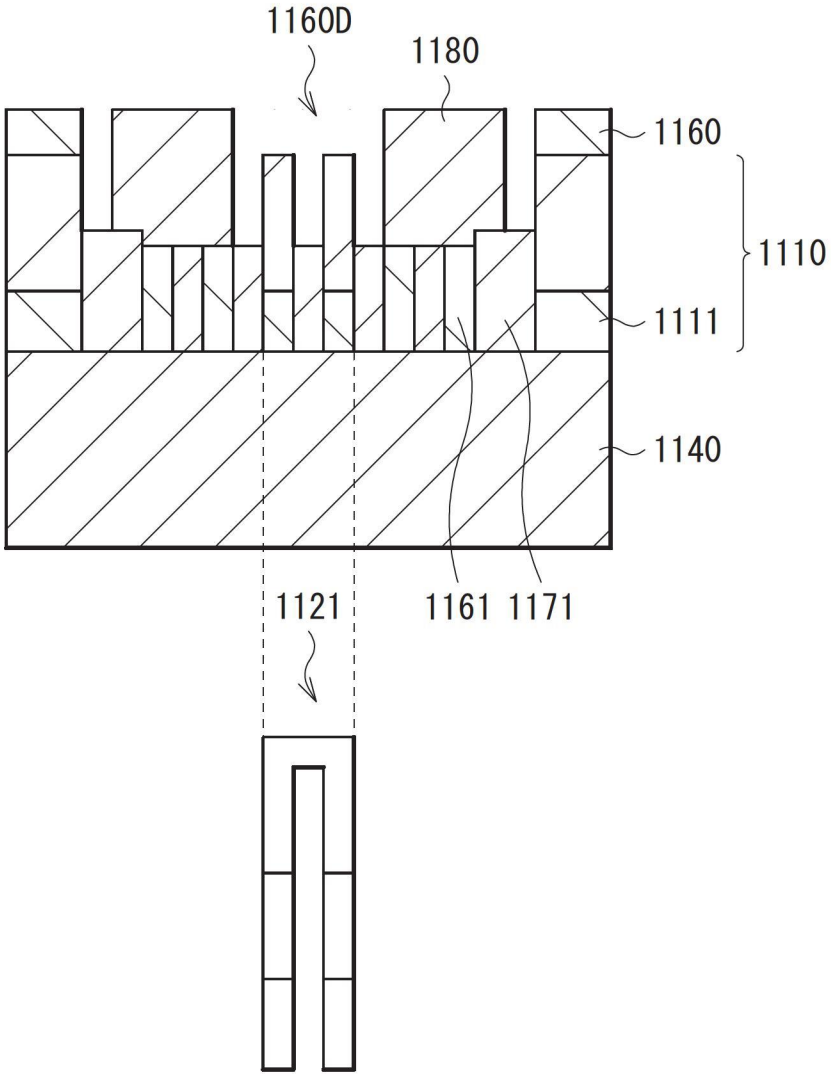
【圖28】


1174
1180
1160
1110
1111
1140
1161
1171

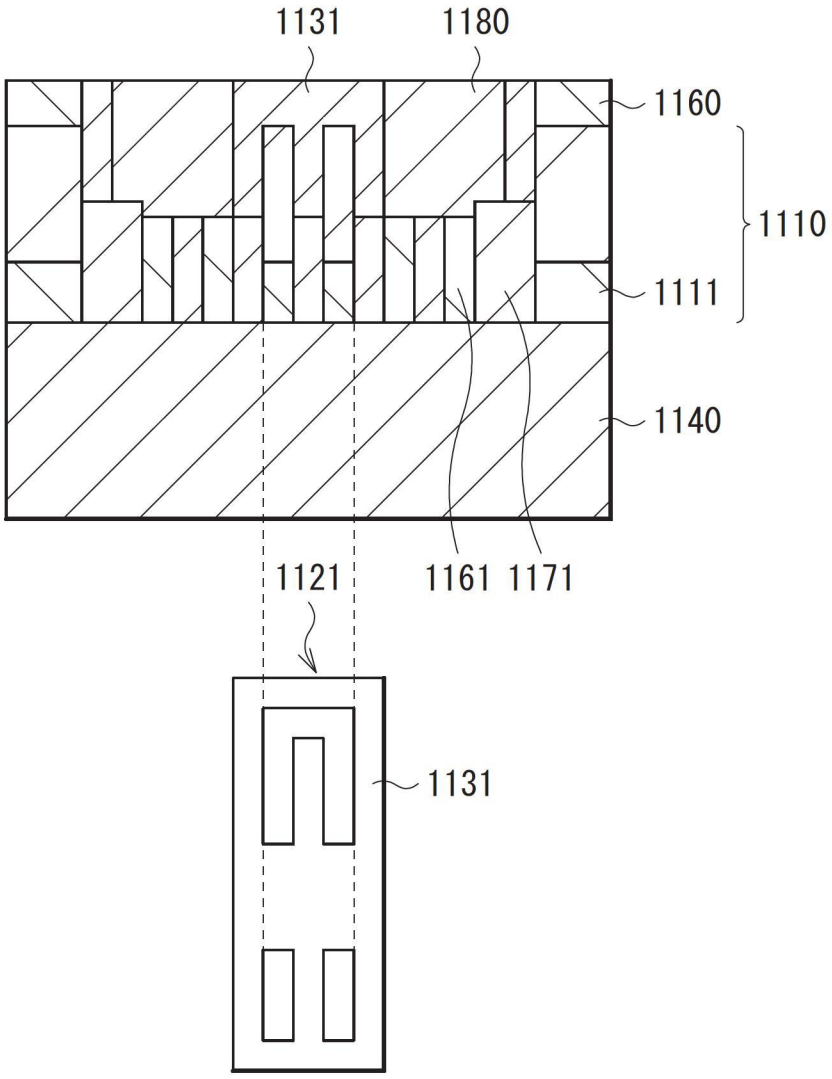
【圖29】


1160D
1174
1180
1160
1110
1111
1140
1161
1171
1121
1174
1160D

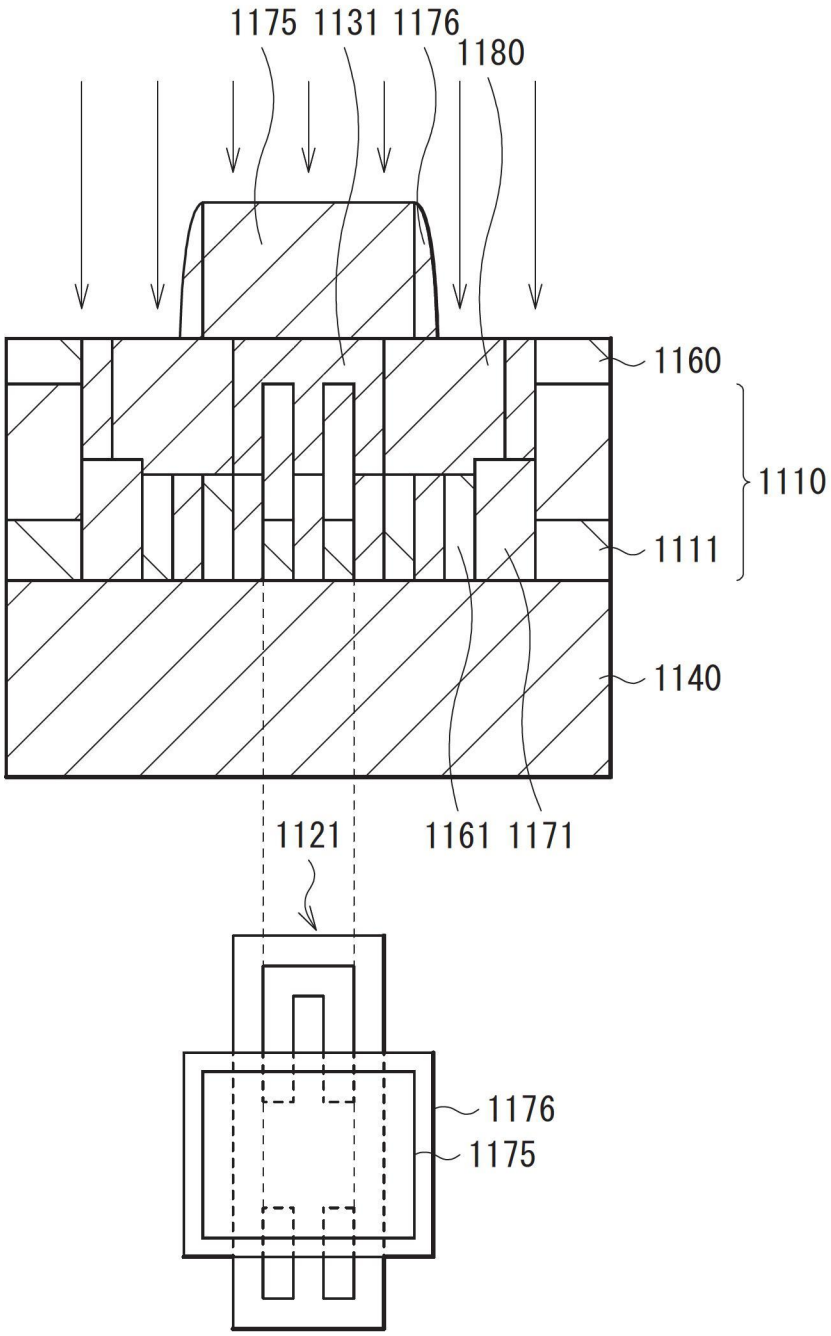
【圖30】



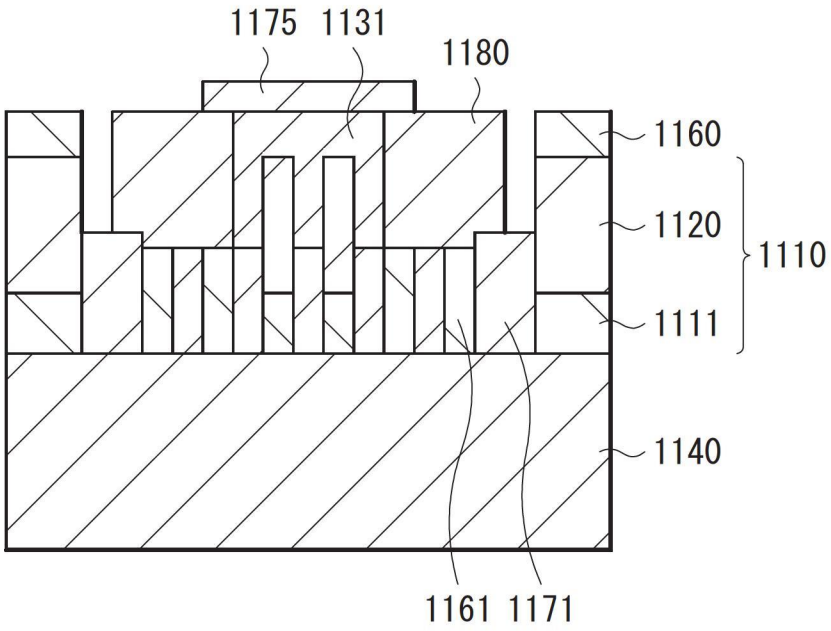
【圖31】



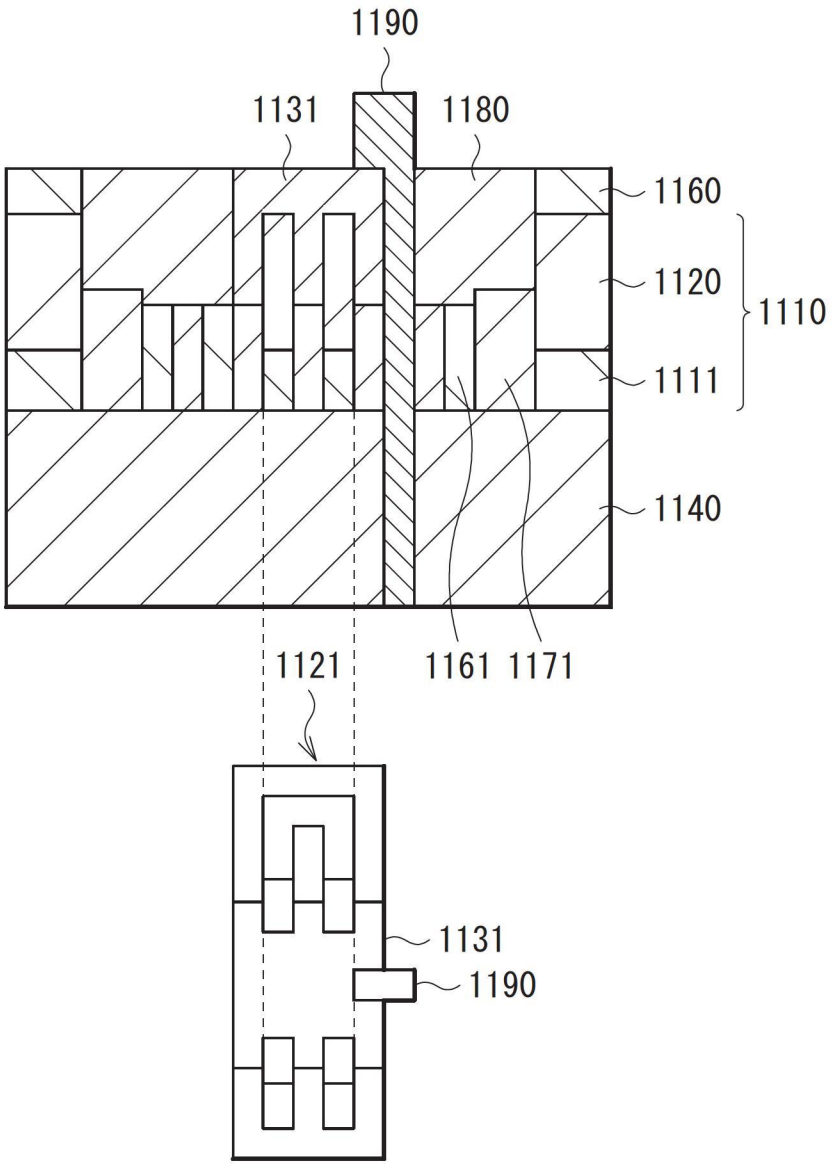
【圖32】


1175
1131
1176
1180
1160
1110
1111
1140
1121
1161
1171
1176
1175

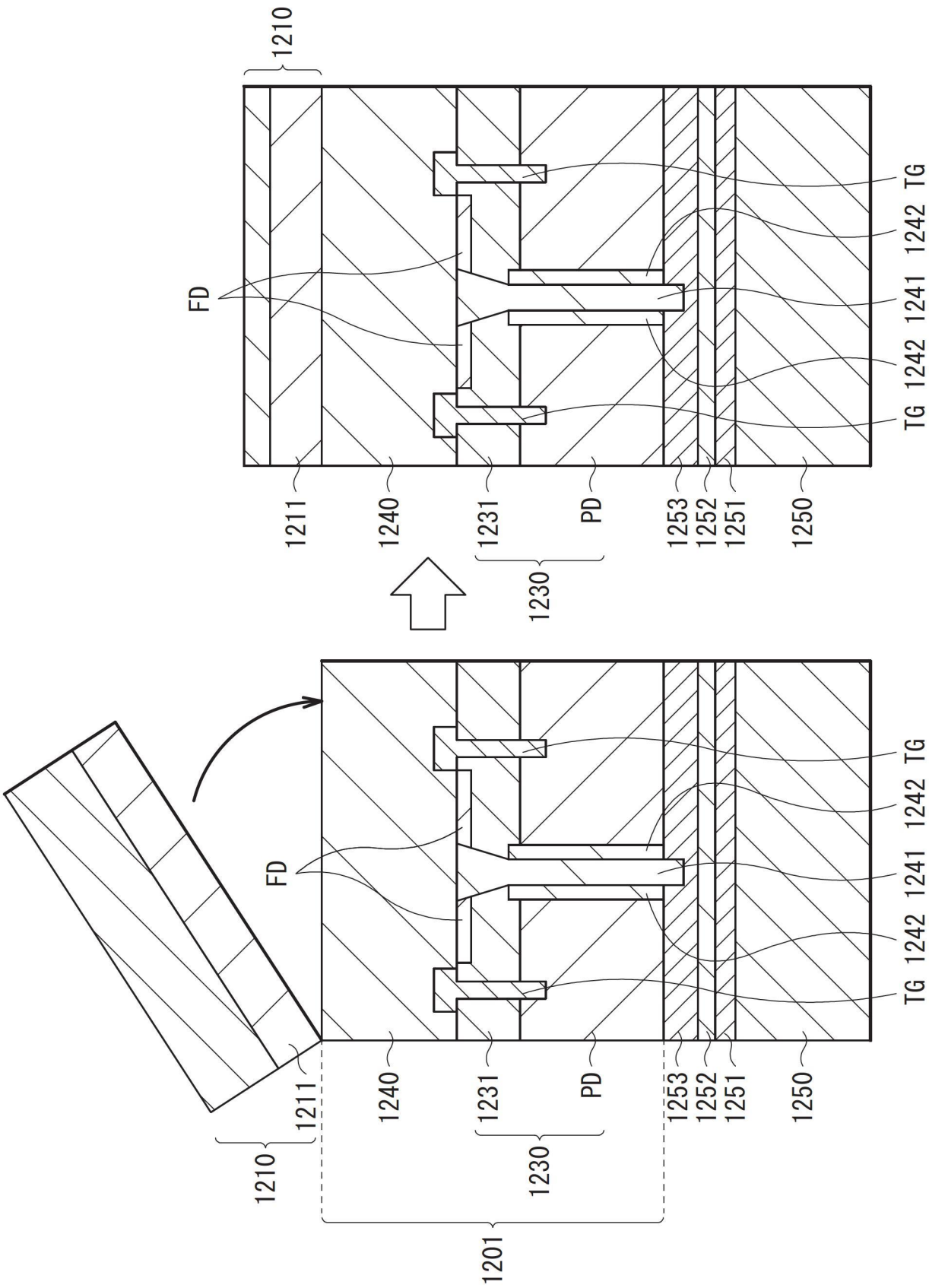
【圖33】



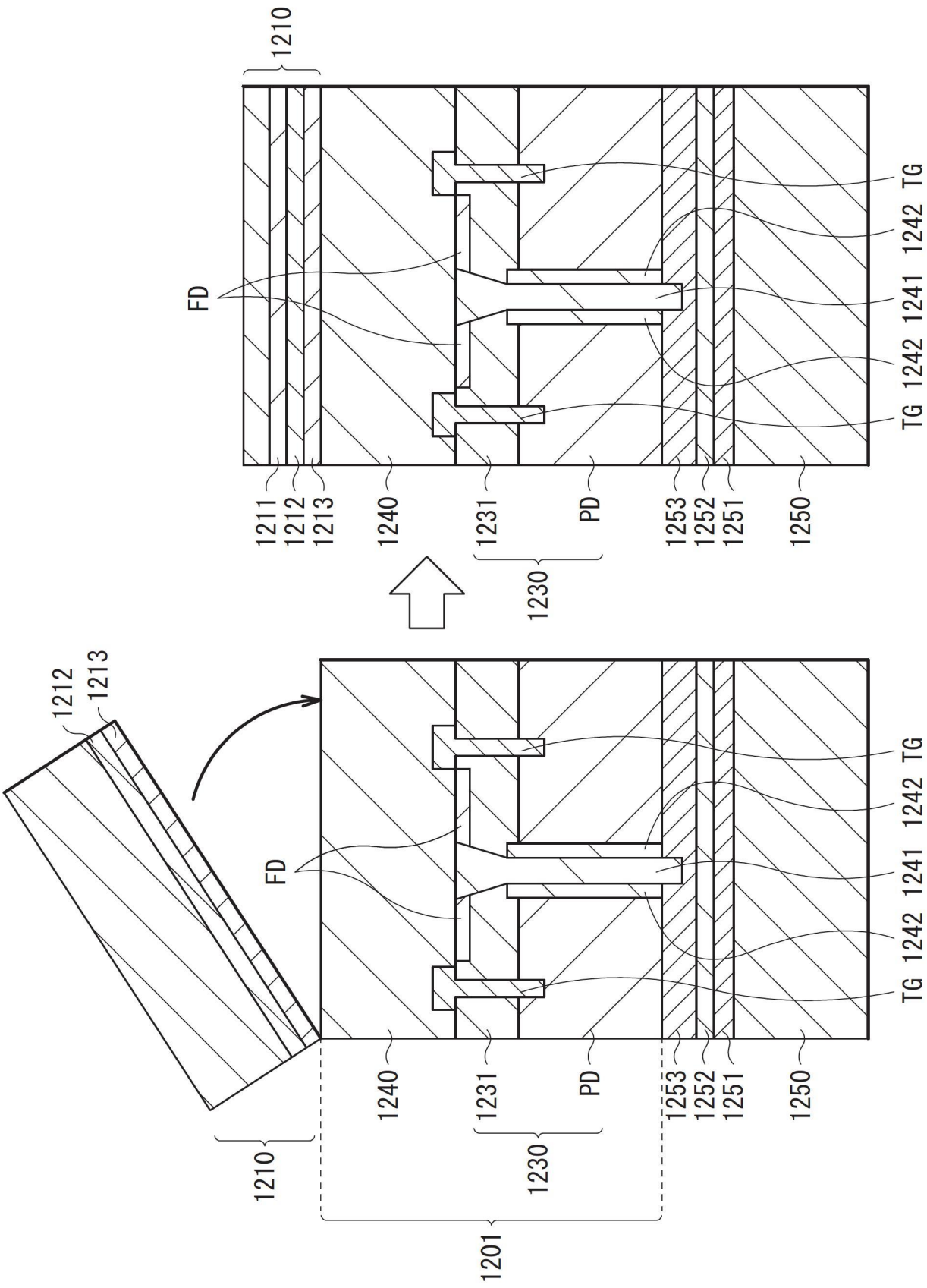
【圖34】


1190
1131
1180
1160
1120
1110
1111
1140
1121
1161
1171
1131
1190

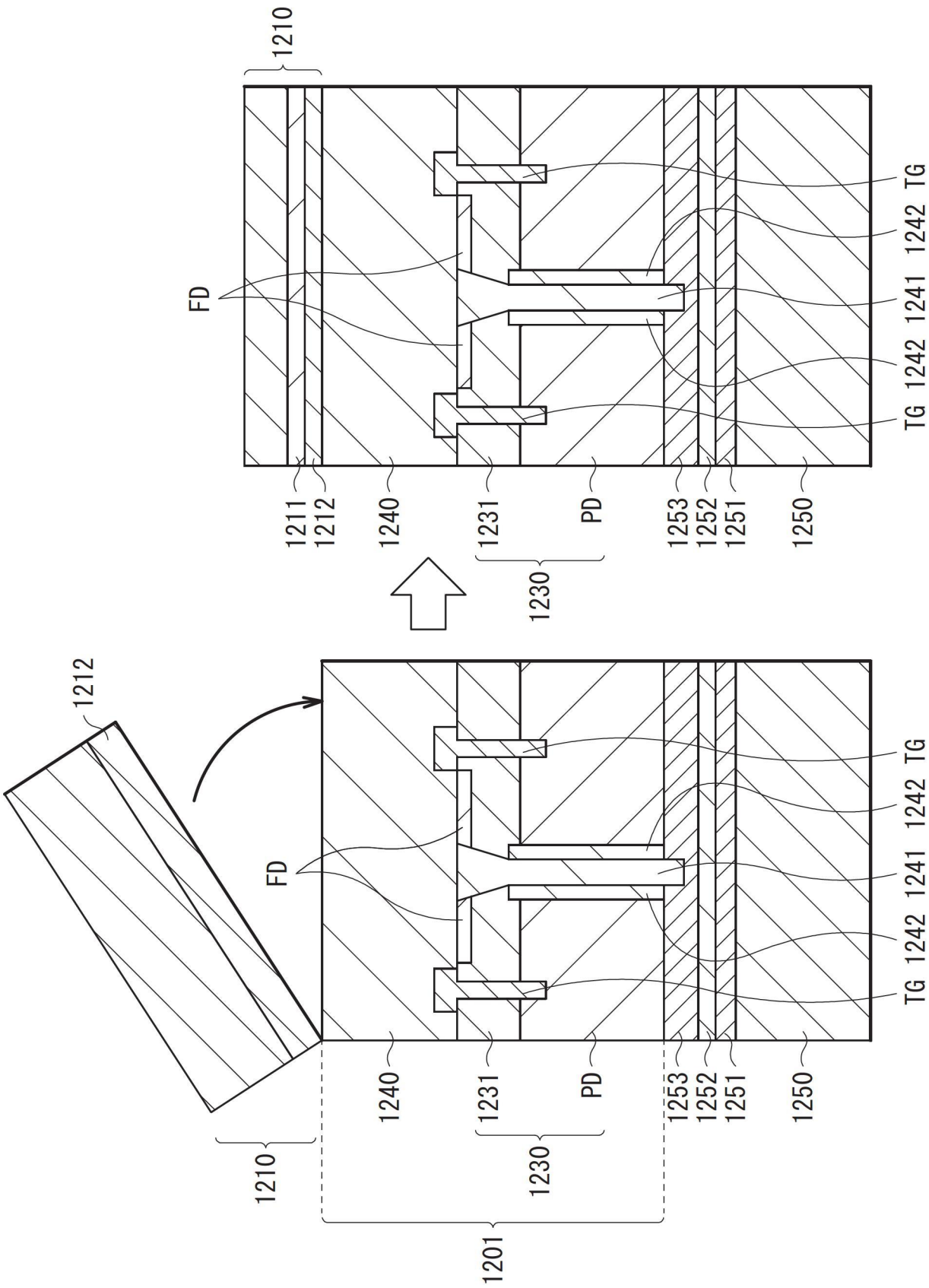
【圖35】


1210
FD
TG
1242
1241
1242
TG
1211
1240
1231
PD
1253
1252
1251
1250
1230
1201

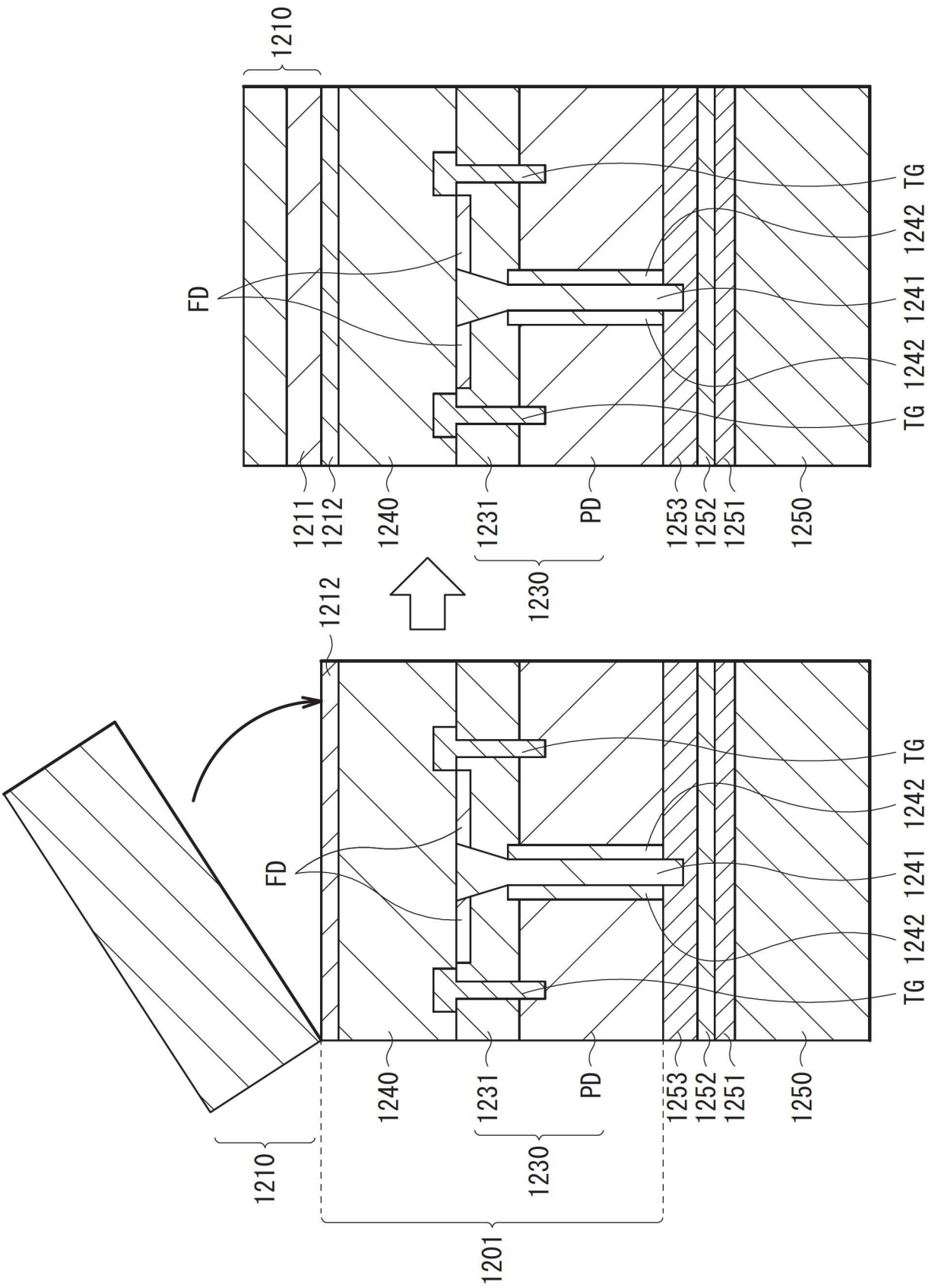
【圖36】


1210
FD
TG
1242
1241
1242
TG
1211
1212
1213
1240
1231
PD
1253
1252
1251
1250
1230
1212
1213
FD
TG
1242
1241
1242
TG
1240
1231
PD
1253
1252
1251
1250
1210
1230
1201

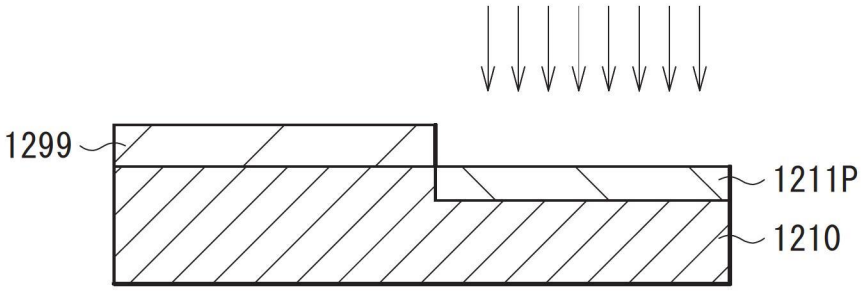
【圖37】


1210
FD
TG
1242
1241
1242
TG
1211
1212
1240
1231
PD
1253
1252
1251
1250
1230
1212
FD
TG
1242
1241
1242
TG
1240
1231
PD
1253
1252
1251
1250
1210
1230
1201

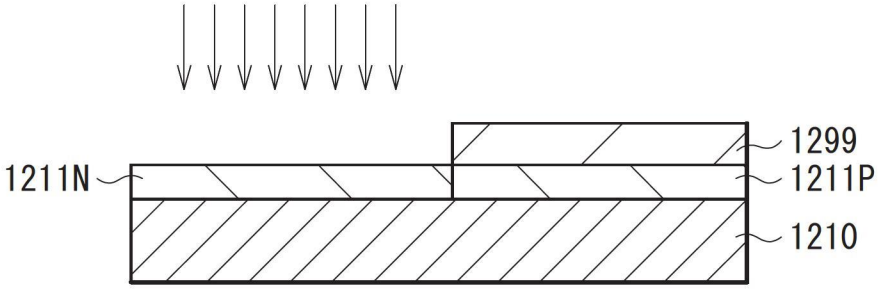
【圖38】


1210
FD
TG
1242
1241
1242
TG
1211
1212
1240
1231
PD
1253
1252
1251
1250
1230
1212
FD
TG
1242
1241
1242
TG
1240
1231
PD
1253
1252
1251
1250
1210
1230
1201

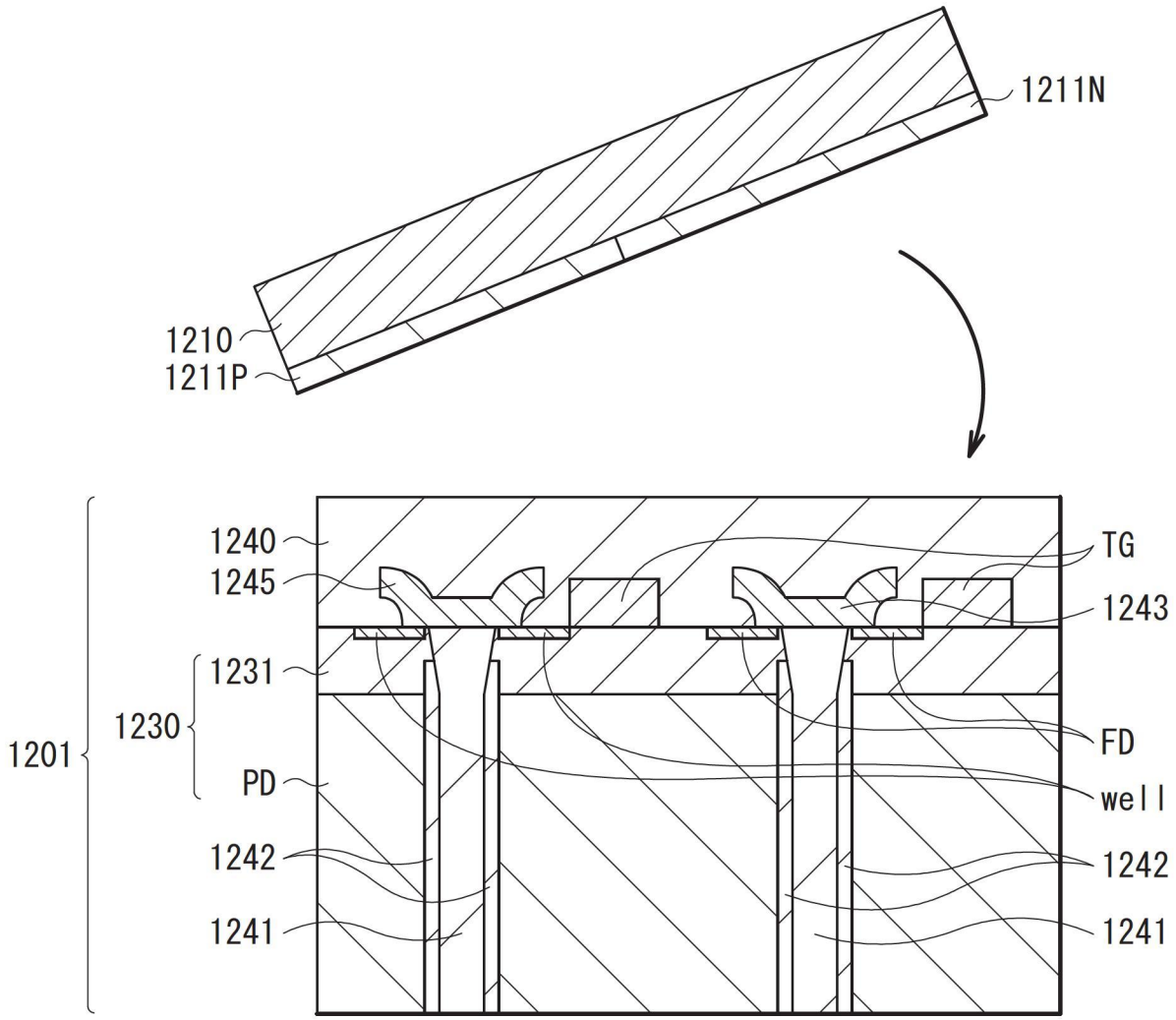
【圖39】



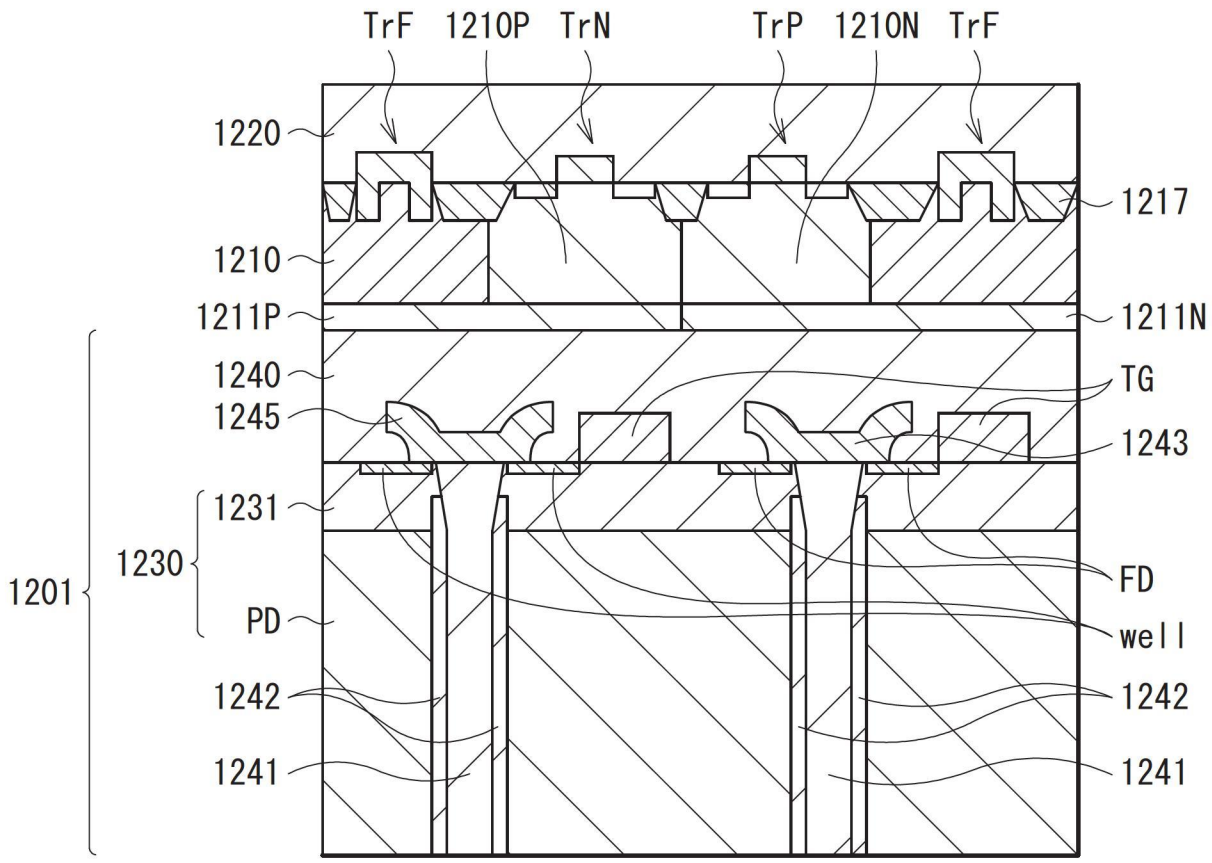
【圖40】



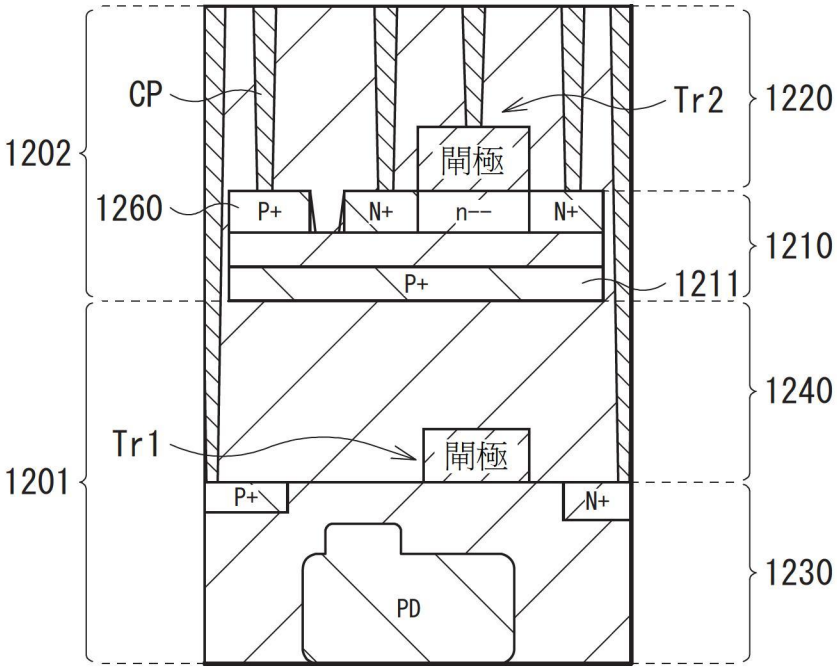
【圖41】


1211N
1210
1211P
1240
1245
1231
1230
1201
PD
1242
1241
TG
1243
FD
well
1242
1241

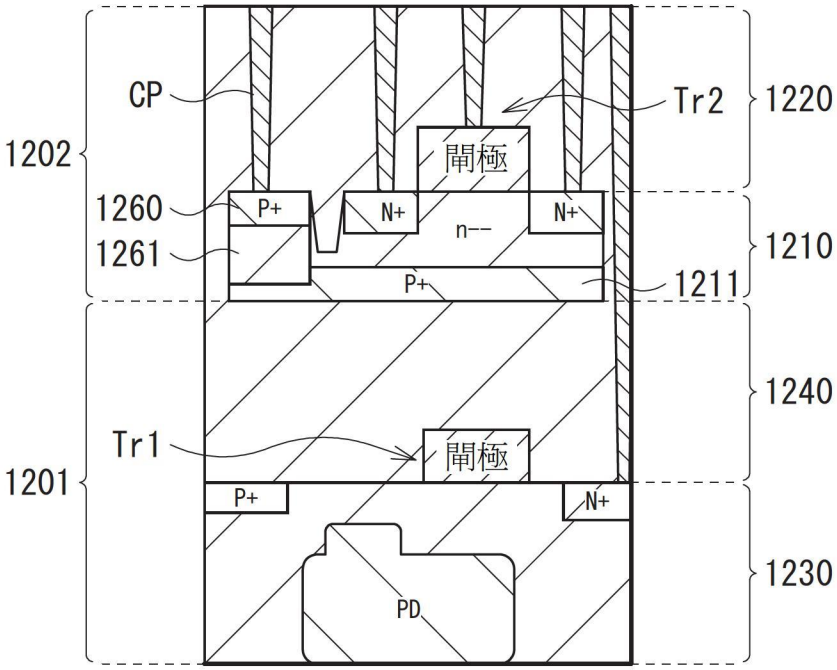
【圖42】


TrF
1210P
TrN
TrP
1210N
TrF
1220
1217
1210
1211P
1211N
1240
TG
1245
1243
1231
1230
1201
FD
PD
well
1242
1242
1241
1241

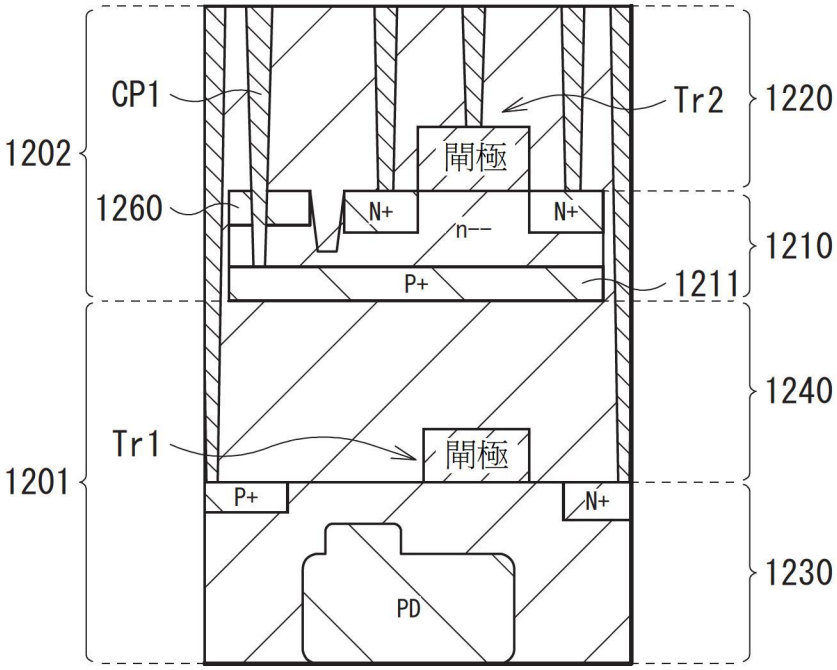
【圖43】


CP
Tr2
1220
1202
閘極
1260
P+
N+
n--
N+
1210
P+
1211
1240
Tr1
閘極
1201
P+
N+
1230
PD

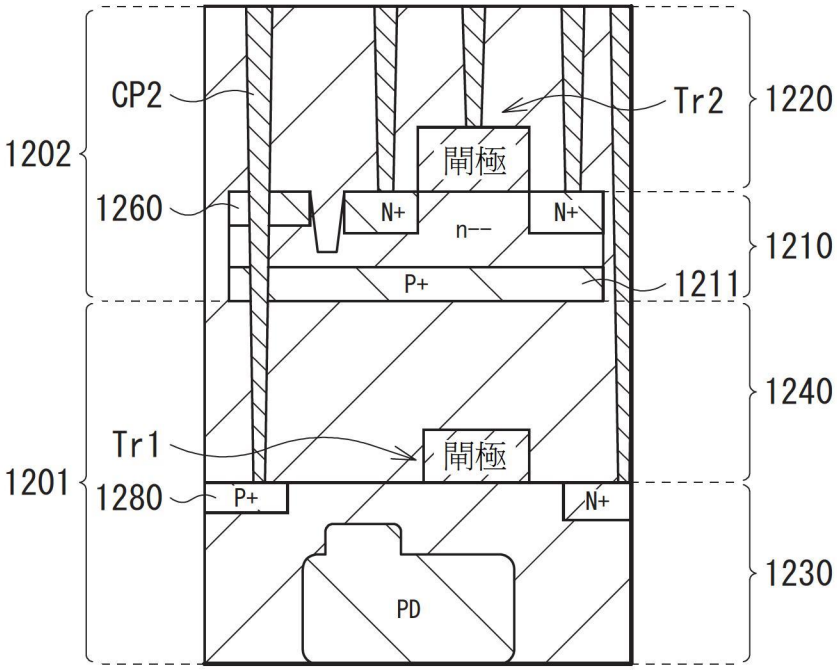
【圖44】


CP
Tr2
1220
1202
閘極
1260
P+
N+
n--
N+
1261
1210
P+
1211
1240
Tr1
閘極
1201
P+
N+
1230
PD

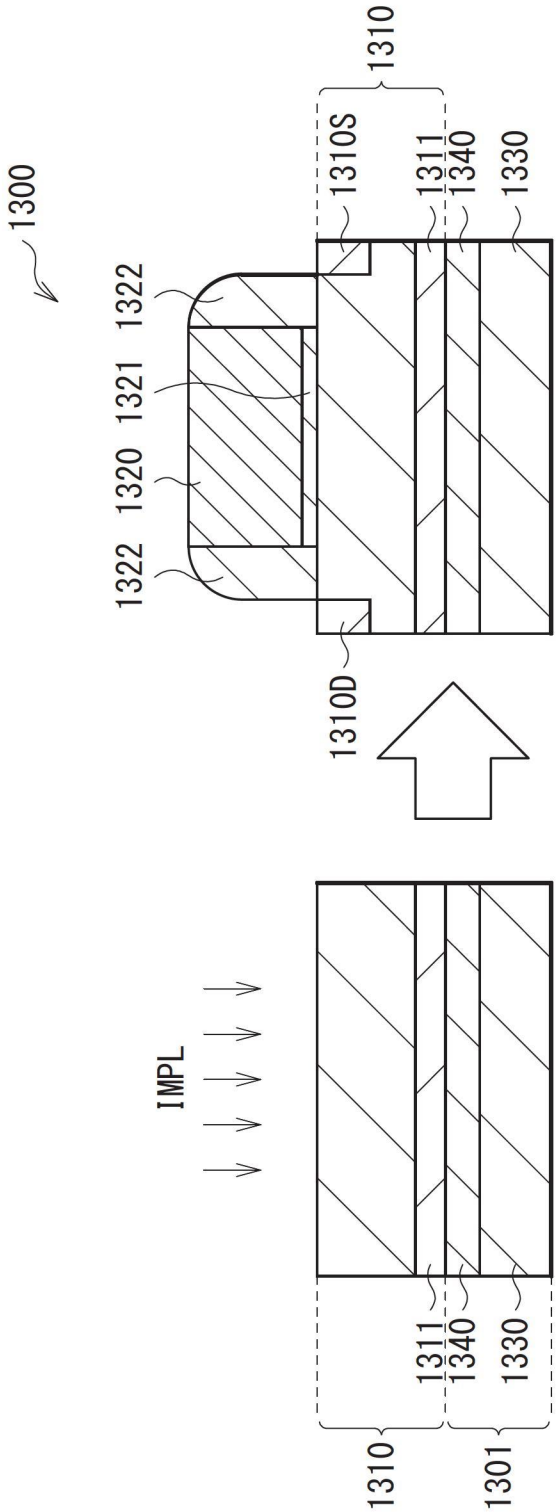
【圖45】


CP1
Tr2
1220
1202
閘極
1260
N+
N+
n--
1210
P+
1211
1240
Tr1
閘極
1201
P+
N+
1230
PD

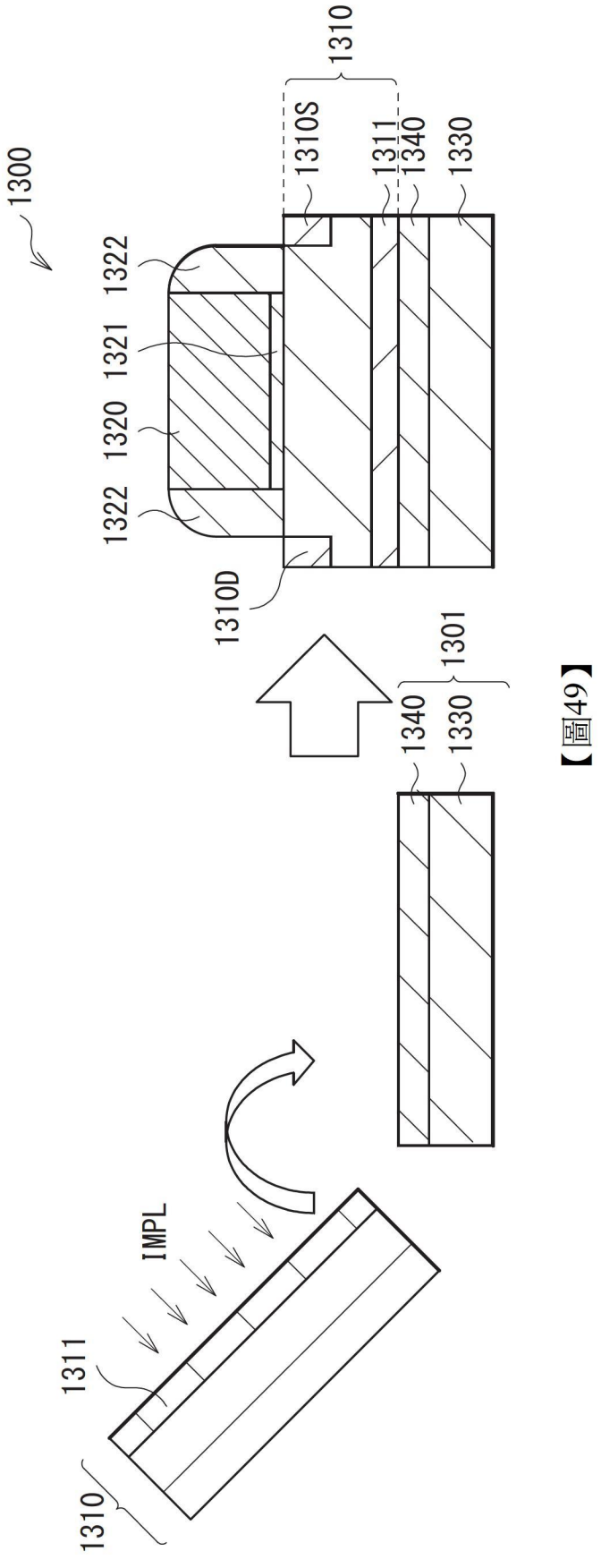
【圖46】


CP2
Tr2
1220
1202
閘極
1260
N+
N+
n--
1210
P+
1211
1240
Tr1
閘極
1201
1280
P+
N+
1230
PD

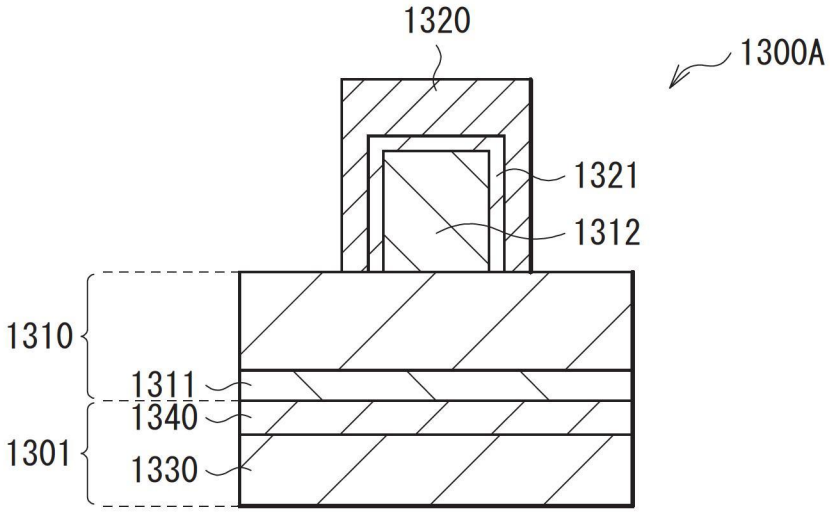
【圖47】


1300
1322
1321
1320
1322
1310
1310S
1311
1340
1330
1310D
IMPL
1311
1340
1330
1310
1301

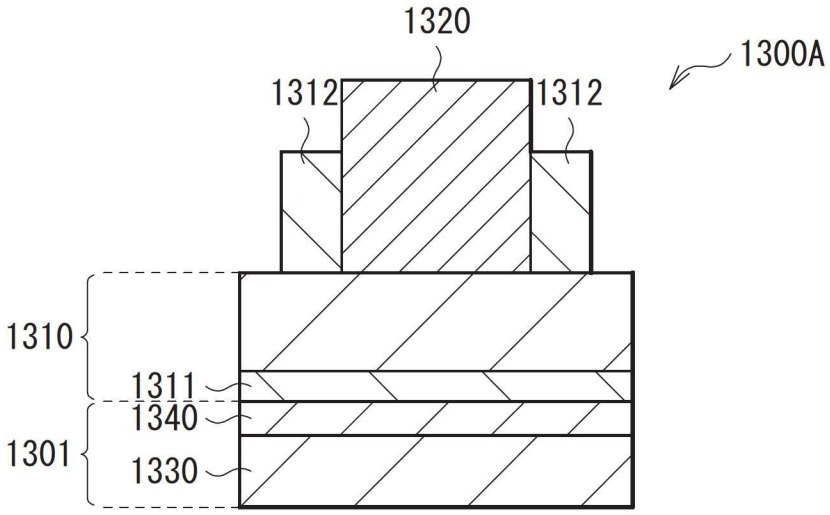
【圖48】


1300
1310
1310S
1311
1340
1330
1322
1321
1320
1322
1310D
1301
1340
1330
IMPL
1311
1310

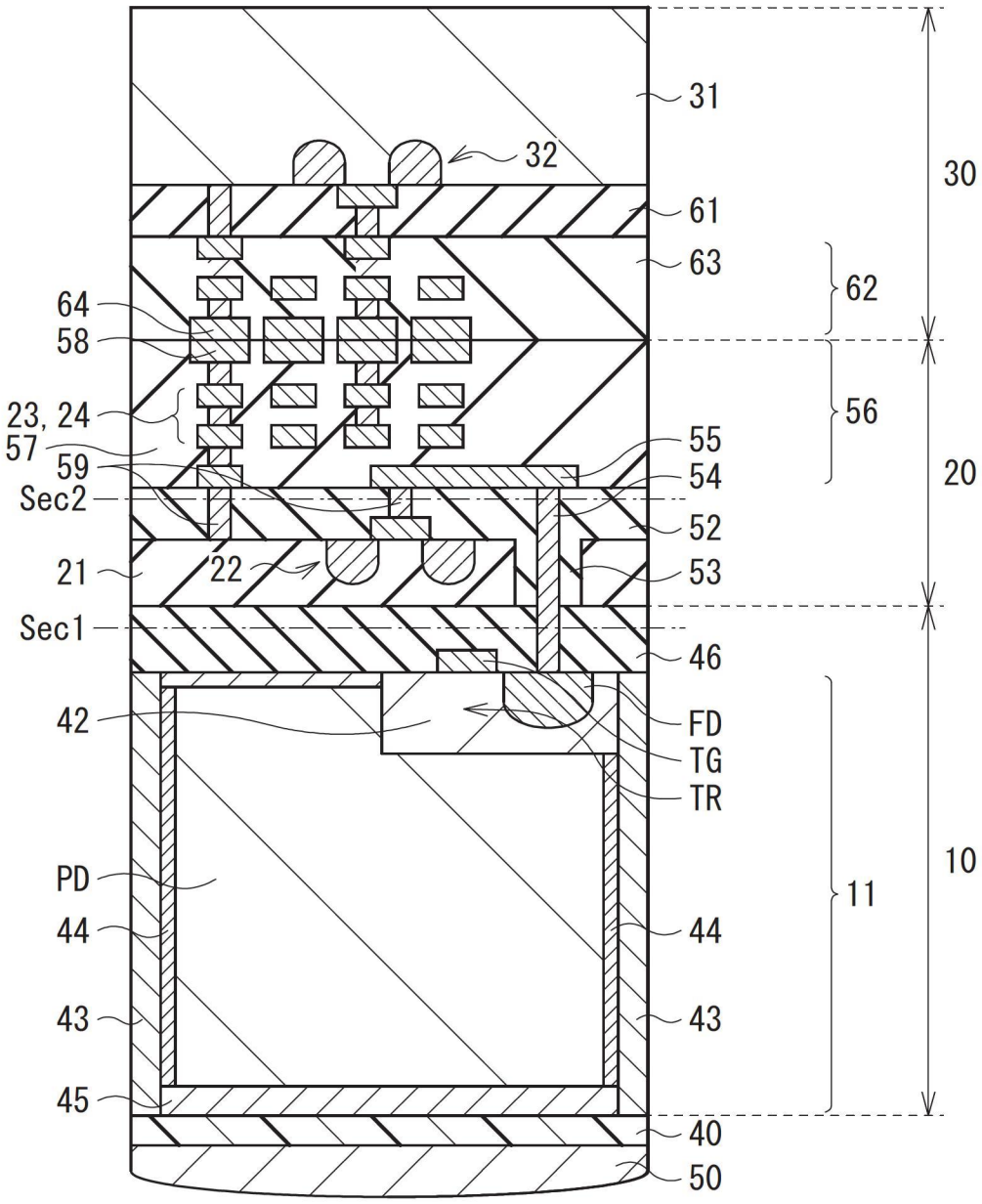
【圖49】


1320
1300A
1321
1312
1310
1311
1340
1301
1330

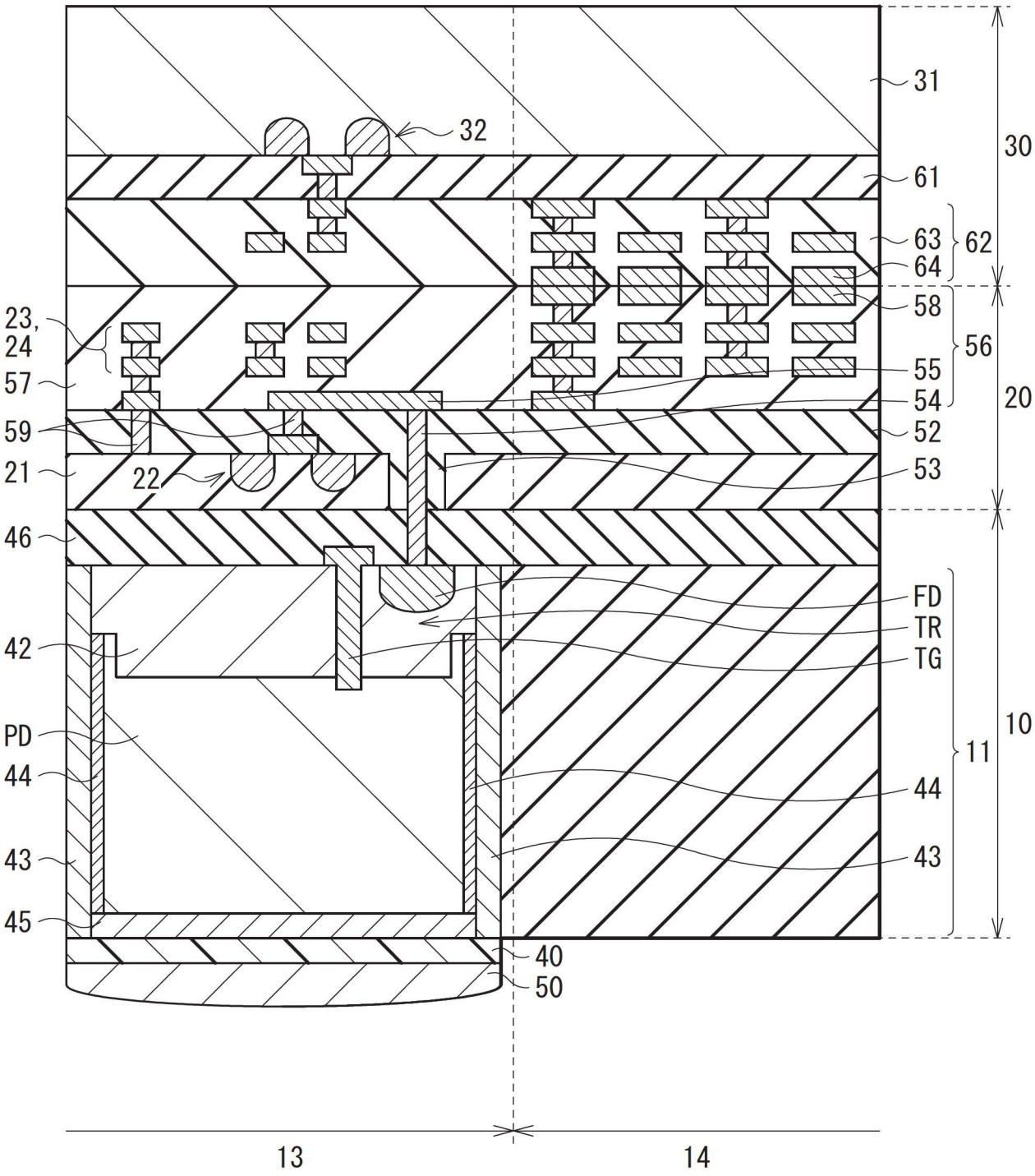
【圖50】


1320
1300A
1312
1312
1310
1311
1340
1301
1330

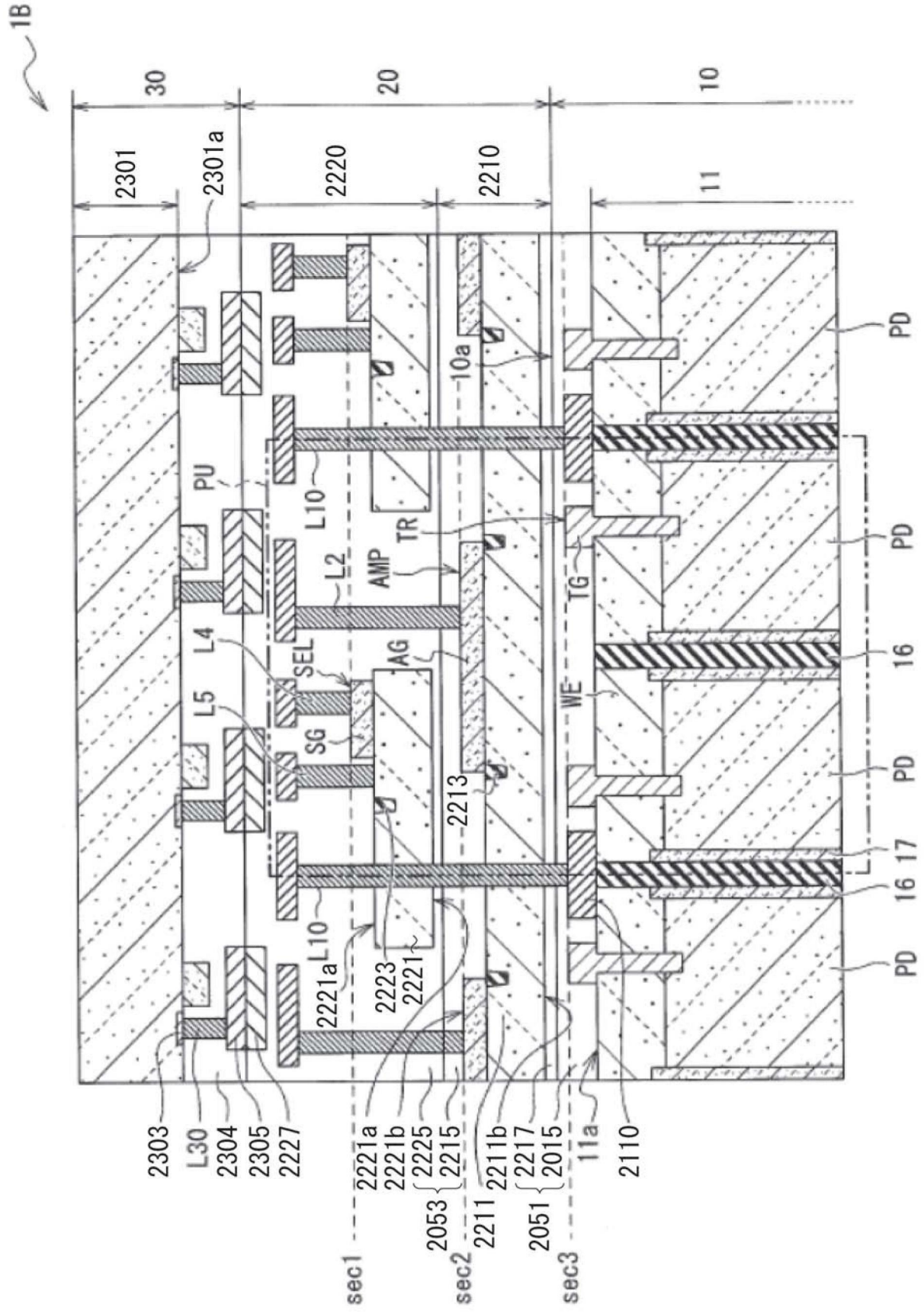
【圖51】


31
32
61
63
64
58
23, 24
57
59
Sec2
21
22
Sec1
42
PD
44
43
45
55
54
52
53
46
FD
TG
TR
44
43
40
50
62
56
11
30
20
10

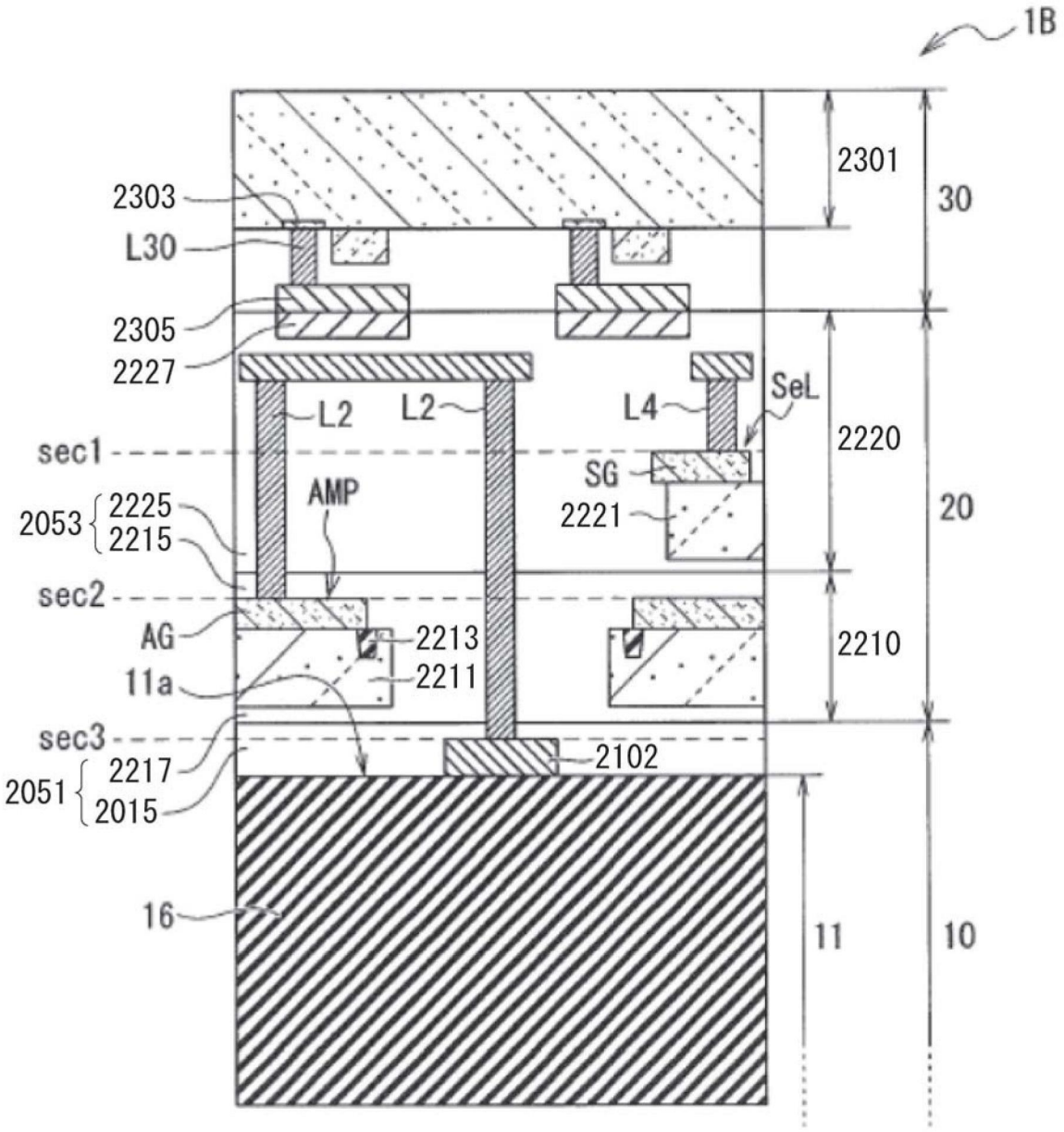
【圖52】


31
32
30
61
63
62
64
58
23,
24
56
57
55
54
20
59
52
21
22
53
46
FD
TR
42
TG
10
PD
11
44
44
43
43
45
40
50
13
14

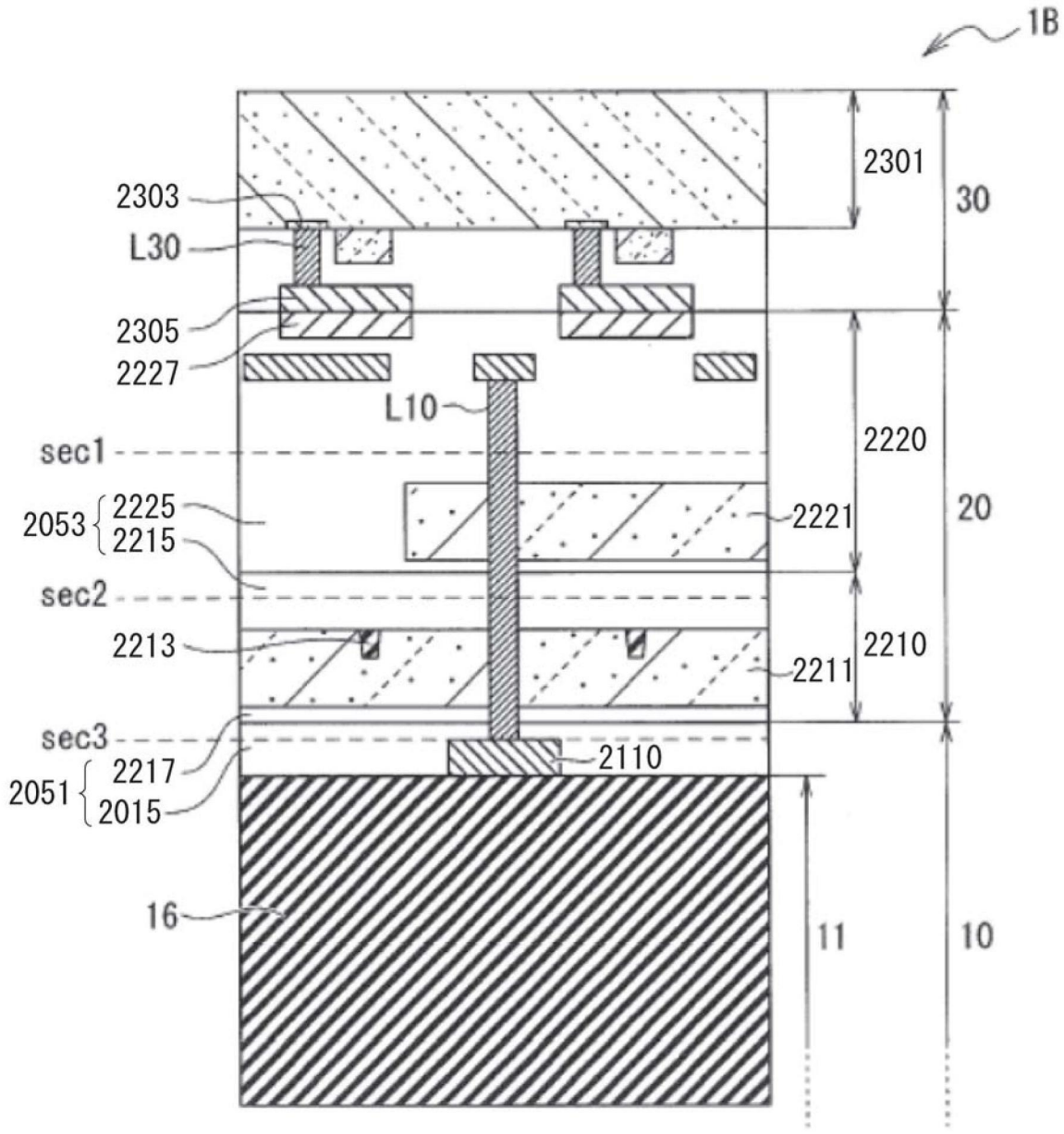
【圖53】


1B
30
20
10
2301
2301a
2220
2210
11
PD
10a
PU
L10
TR
AMP
L2
TG
L4
SEL
AG
L5
SG
WE
16
17
2213
2221a
2223
2221
2303
L30
2304
2305
2227
2221a
2221b
2225
2215
2211
2211b
2217
2015
11a
2110
2053
2051
sec1
sec2
sec3

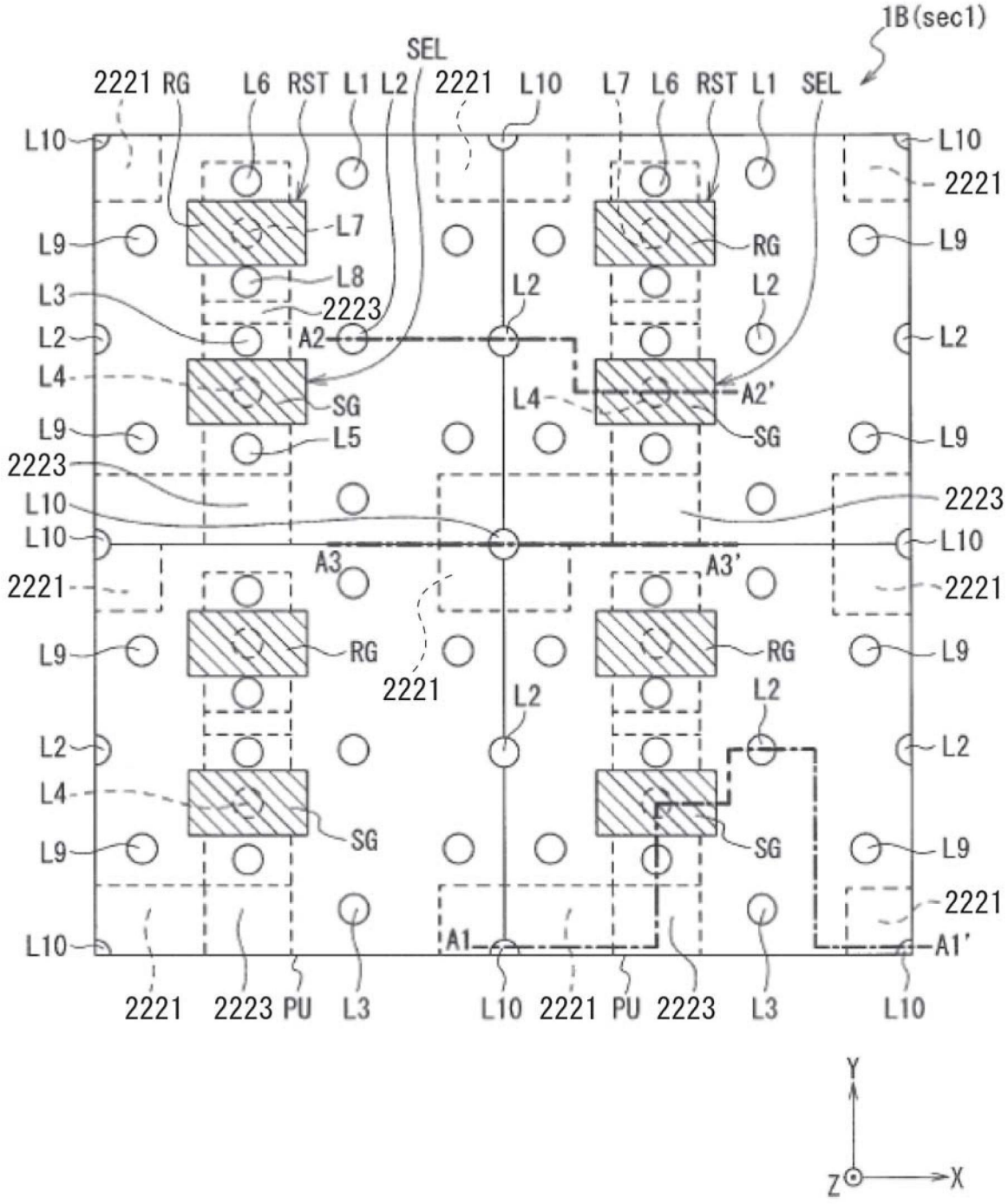
【圖54】


1B
2301
30
2303
L30
2305
2227
L2
L2
L4
SeL
2220
sec1
SG
AMP
2221
20
2053
2225
2215
sec2
AG
2213
2211
2210
11a
sec3
2102
2051
2217
2015
16
11
10

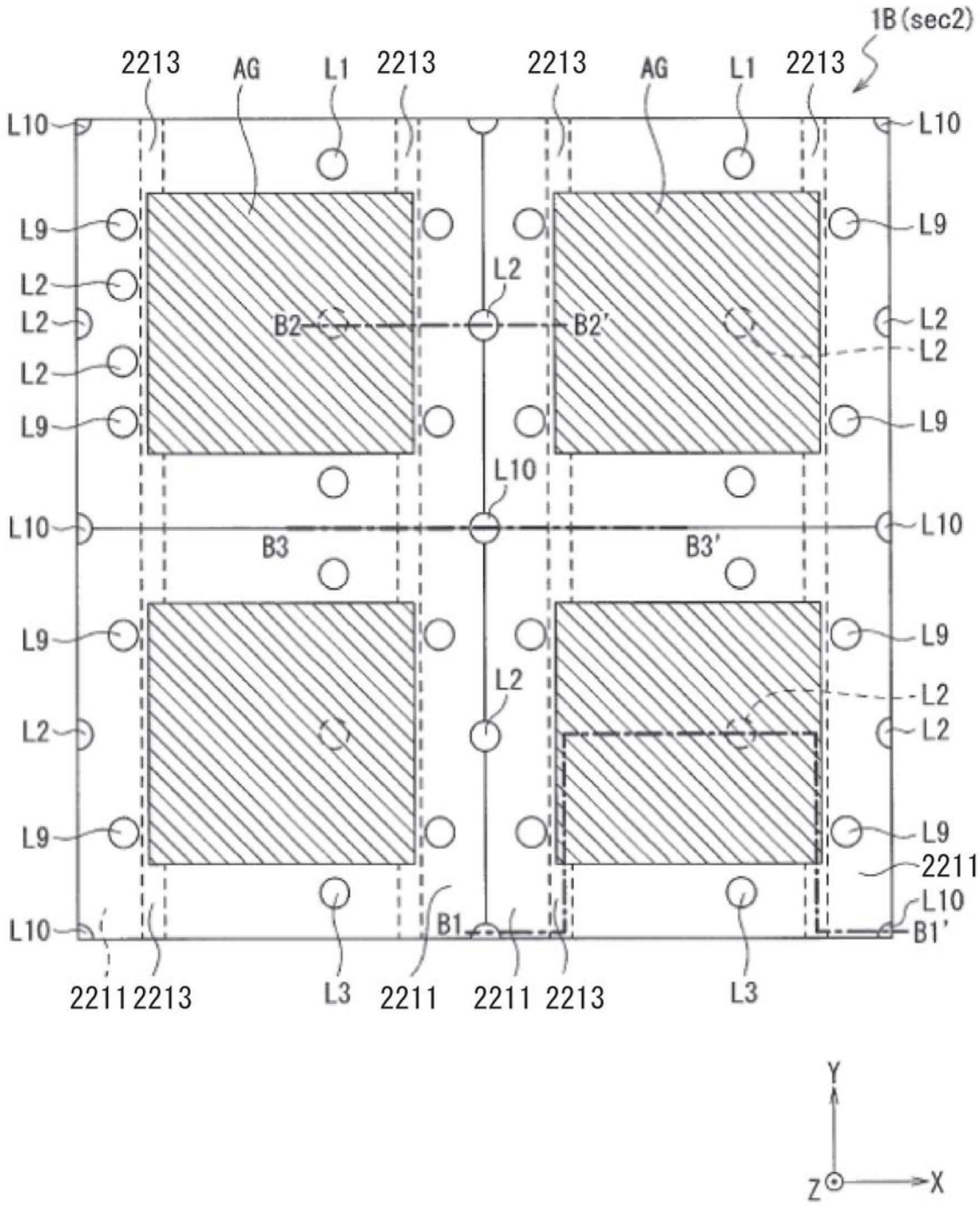
【圖55】


1B
2301
30
2303
L30
2305
2227
L10
2220
sec1
2053
2225
2215
2221
20
sec2
2213
2210
2211
sec3
2110
2051
2217
2015
16
11
10

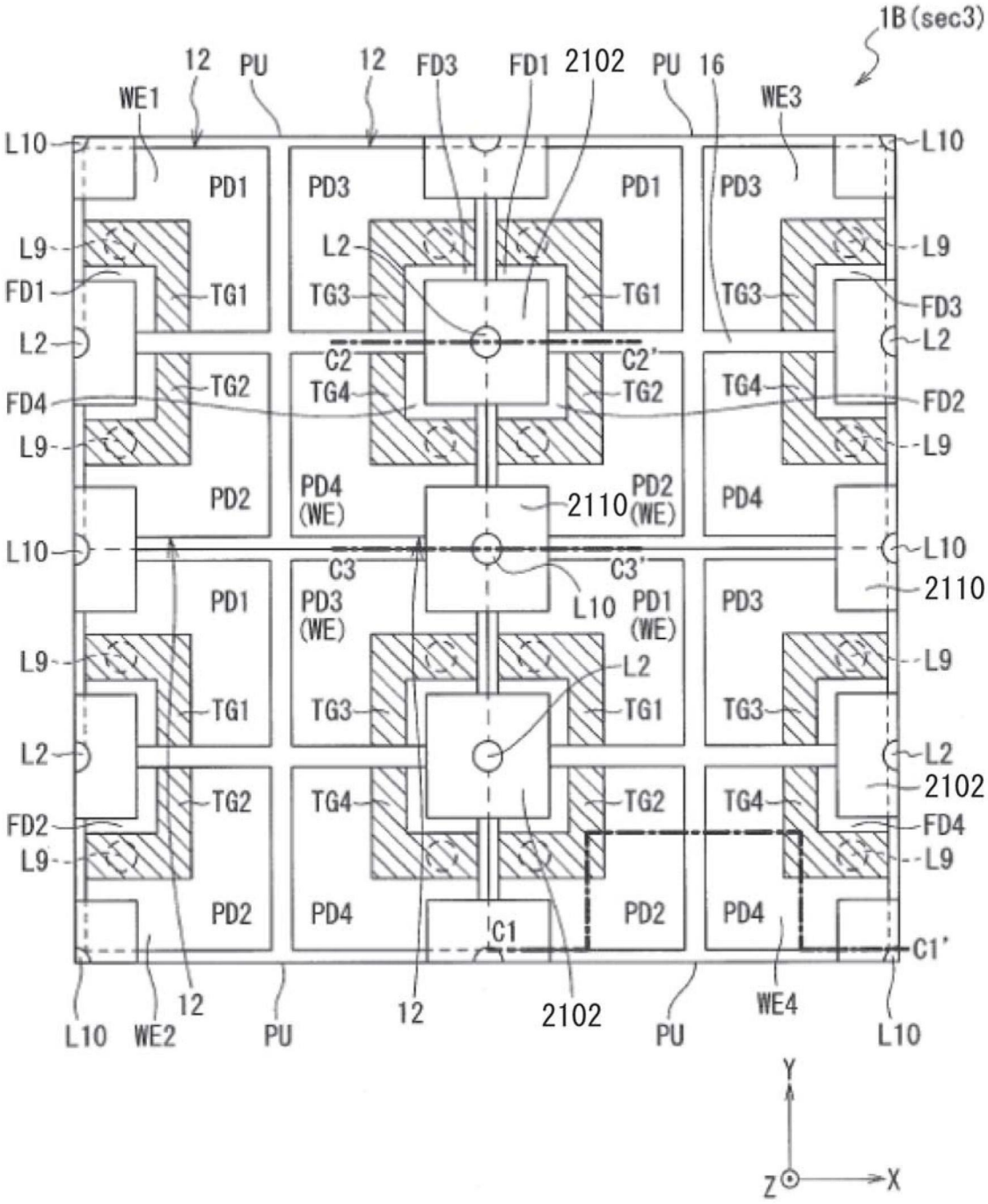
【圖56】


1B(sec1)
SEL
2221 RG
L6 RST L1 L2
2221
L10
L7 L6 RST L1 SEL
L10
2221
L9
L7
RG
L9
L8
L3
2223
L2
L2
L2
A2
L2
L4
SG
L4
A2'
L9
L5
SG
L9
2223
2223
L10
L10
L10
A3
A3'
2221
2221
L9
RG
RG
L9
2221
L2
L2
L2
L4
SG
L9
SG
L9
2221
L10
A1
A1'
2221
2223 PU
L3
L10 2221 PU 2223
L3
L10
Y
Z
X

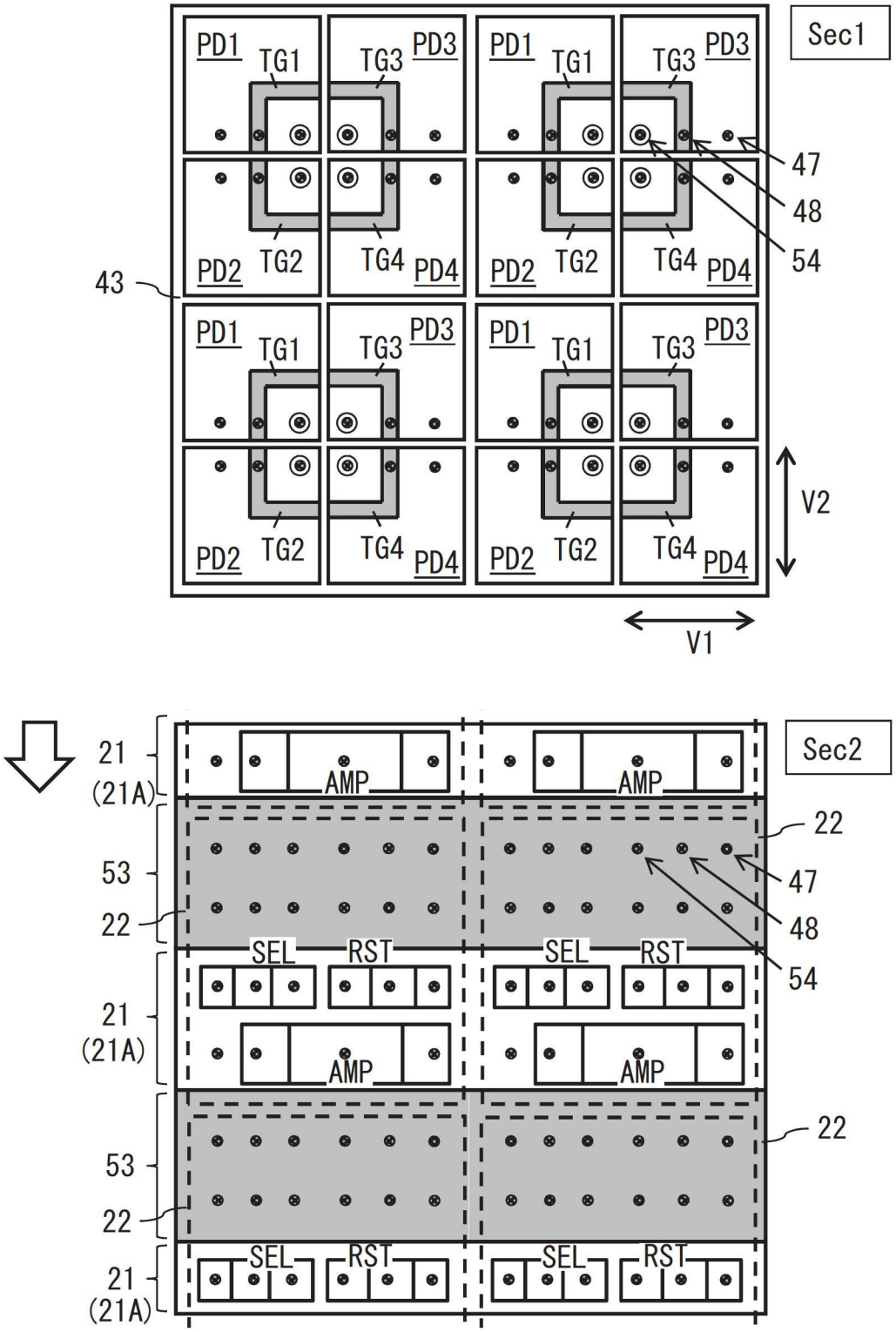
【圖57】


1B(sec2)
2213
AG
L1
2213
2213
AG
L1
2213
L10
L9
L2
B2
B2'
L10
B3
B3'
2211
B1
B1'
L3
Y
Z
X

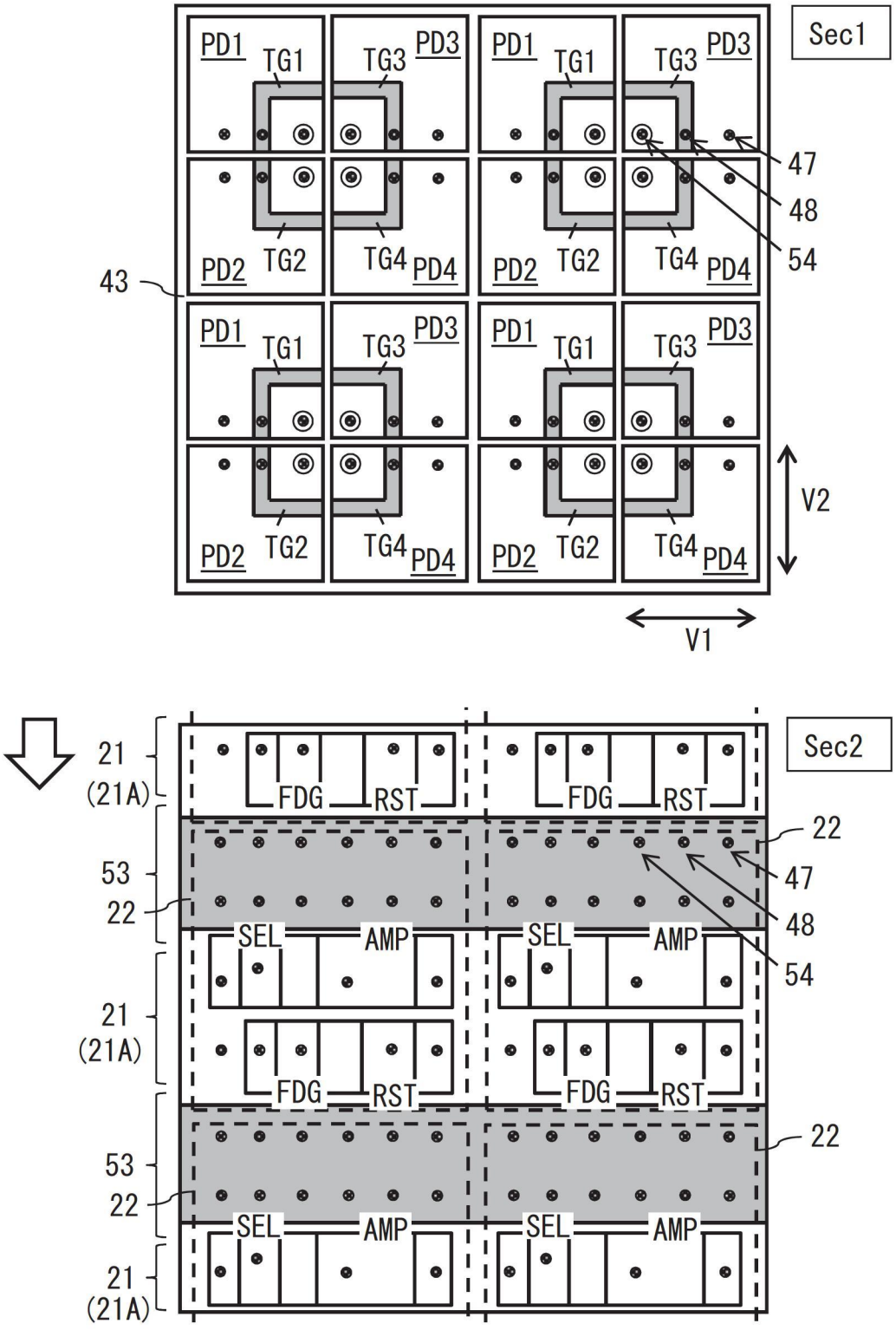
【圖58】


1B(sec3)
12
PU
12
FD3
FD1
2102
PU
16
WE1
WE3
L10
PD1
PD3
L9
L2
TG3
TG1
FD1
FD3
C2
C2'
TG2
TG4
FD4
FD2
PD2
PD4
(WE)
2110
C3
C3'
L10
2110
2102
FD4
FD2
C1
C1'
WE2
WE4
PU
12
2102
PU
L10
Y
Z
X

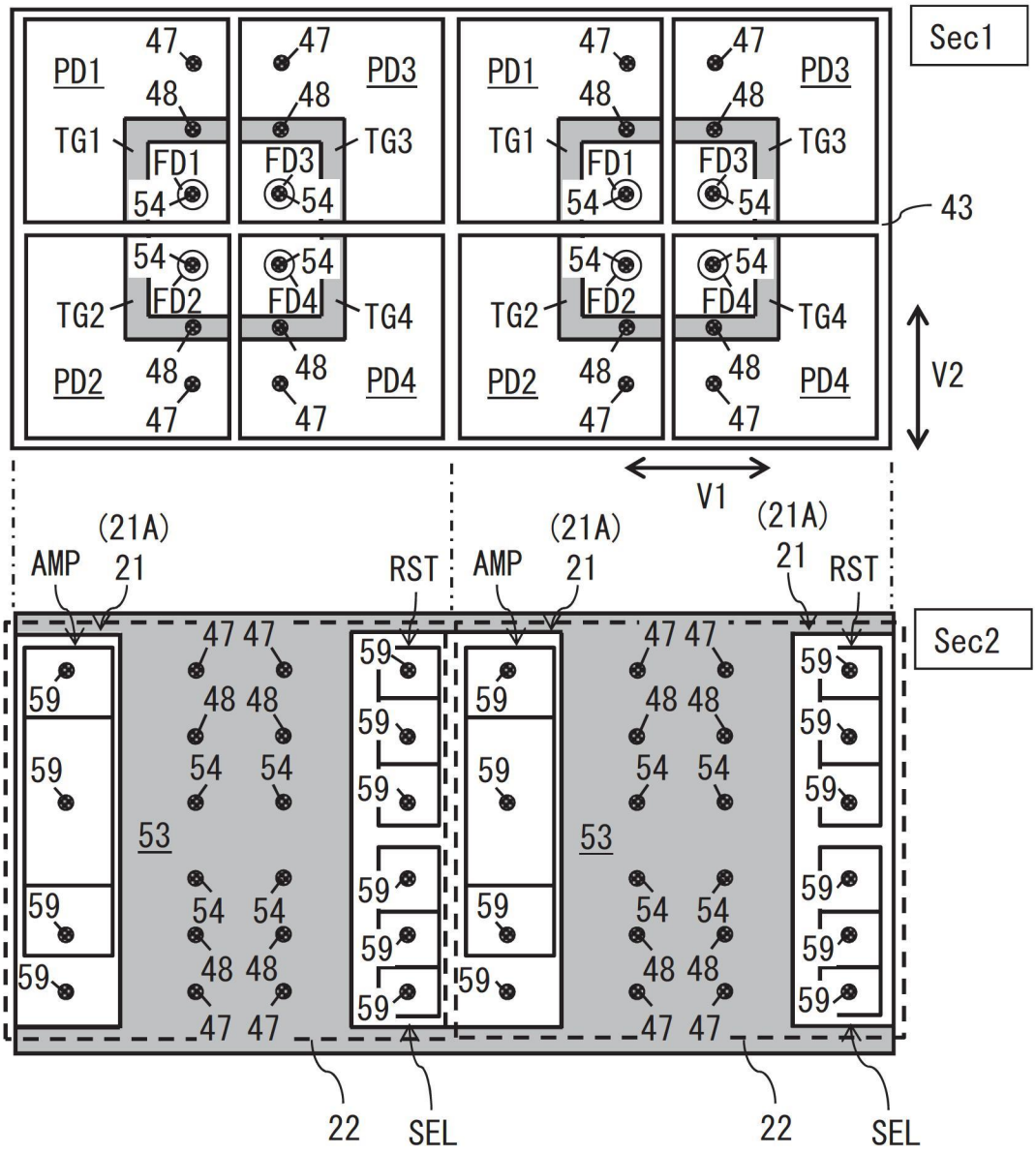
【圖59】


Sec1
PD1
TG1
TG3
PD3
PD2
TG2
TG4
PD4
47
48
54
43
V2
V1
Sec2
21
(21A)
AMP
22
53
SEL
RST

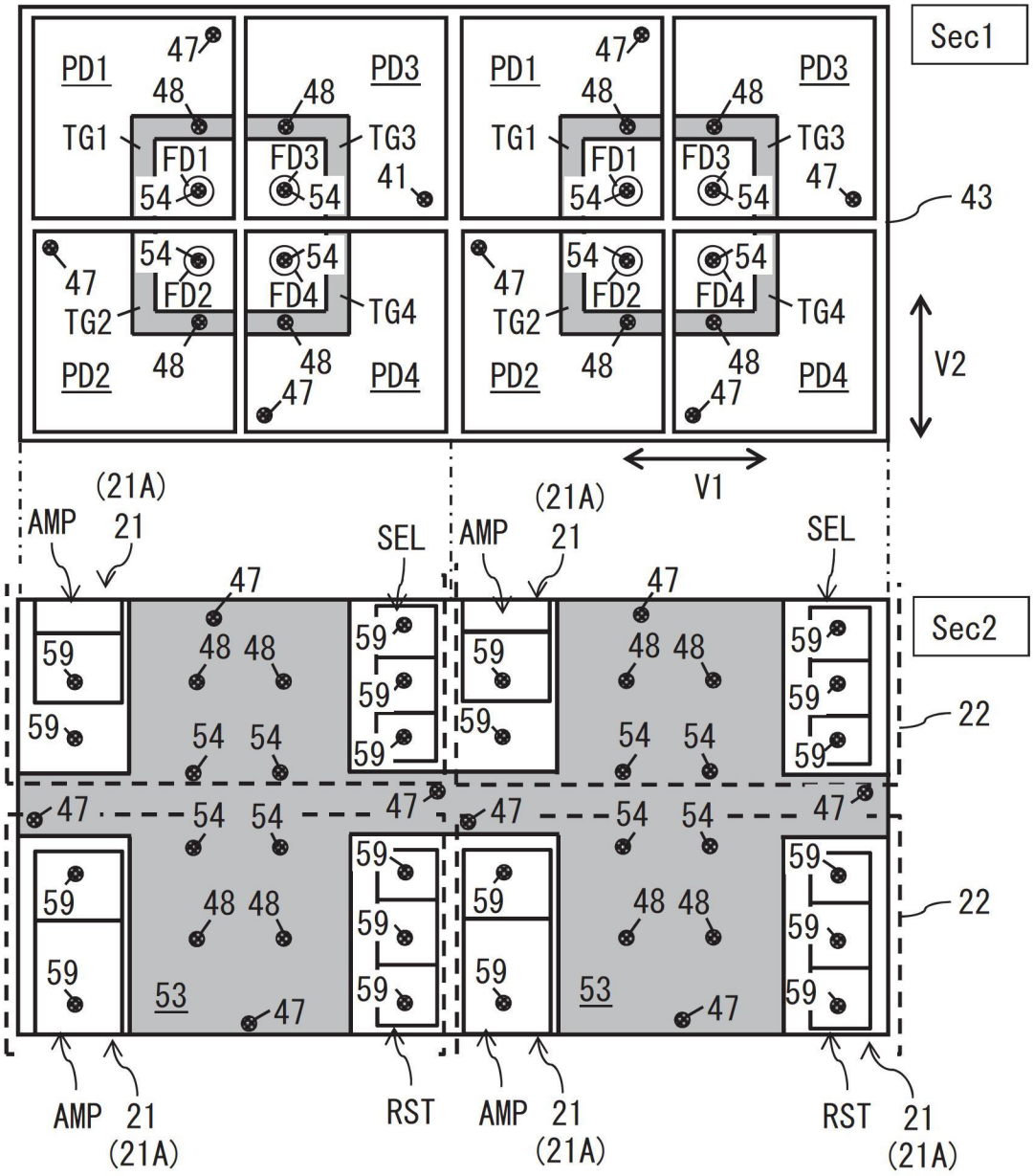
【圖60】


Sec1
PD1
TG1
TG3
PD3
PD2
TG2
TG4
PD4
47
48
54
43
V2
V1
Sec2
21
(21A)
FDG
RST
22
53
SEL
AMP

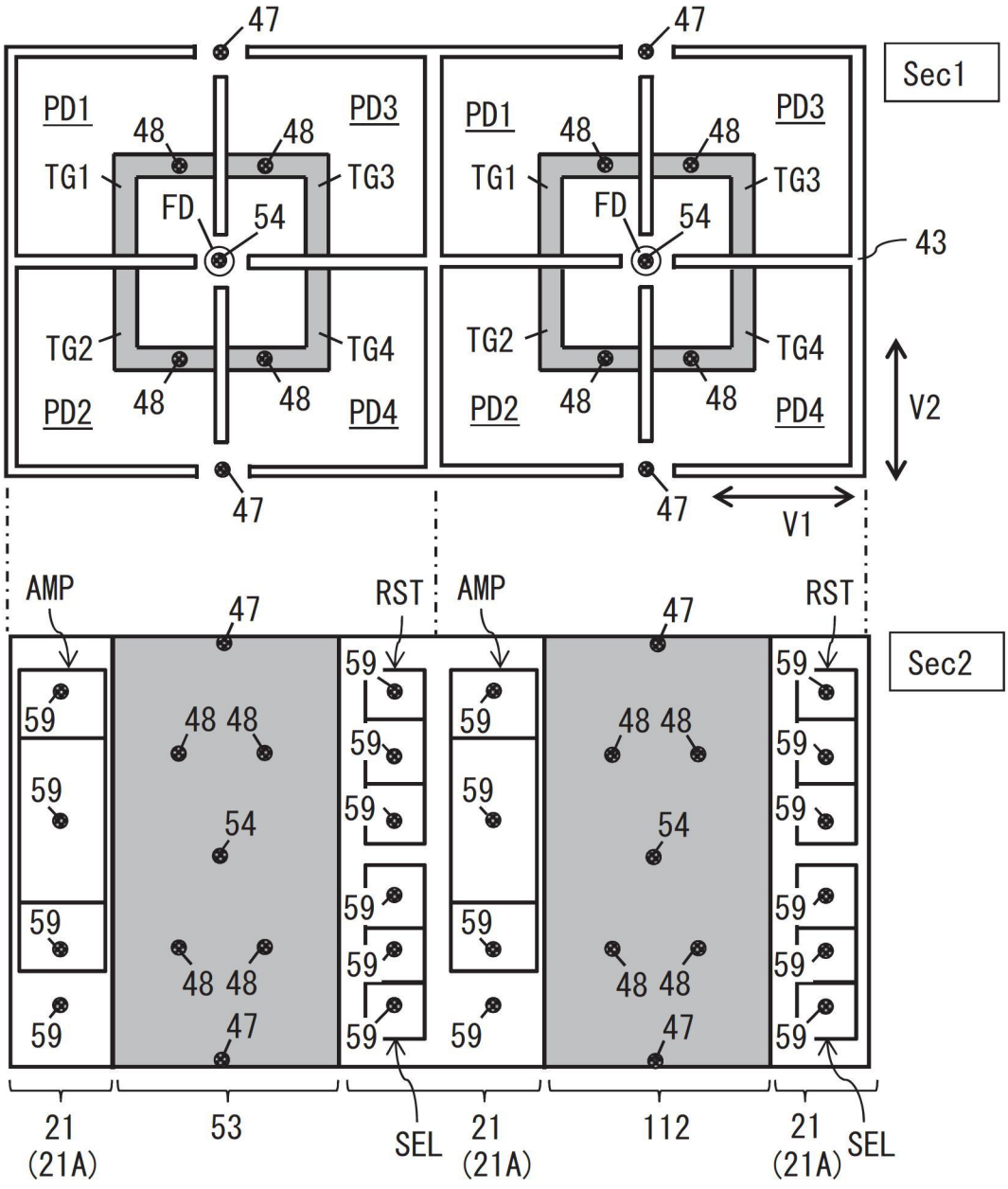
【圖61】


Sec1
PD1
PD3
PD2
PD4
TG1
TG2
TG3
TG4
FD1
FD2
FD3
FD4
47
48
54
43
V1
V2
(21A)
21
AMP
RST
Sec2
53
59
22
SEL

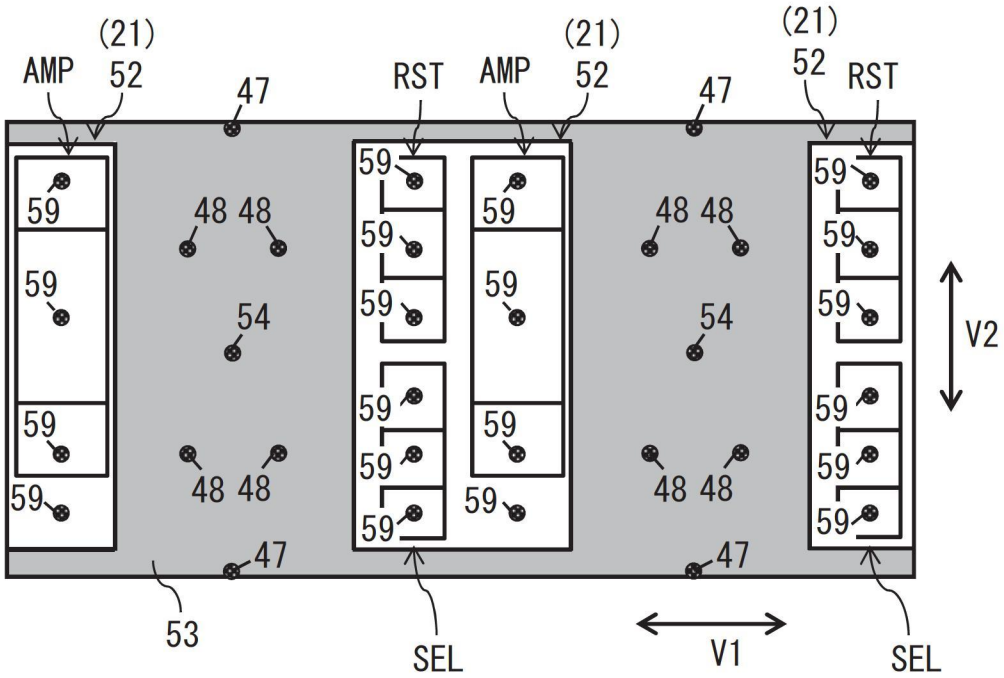
【圖62】


Sec1
PD1
PD3
PD2
PD4
TG1
TG2
TG3
TG4
FD1
FD2
FD3
FD4
47
48
54
41
43
V1
V2
(21A)
AMP
21
SEL
Sec2
59
53
22
RST

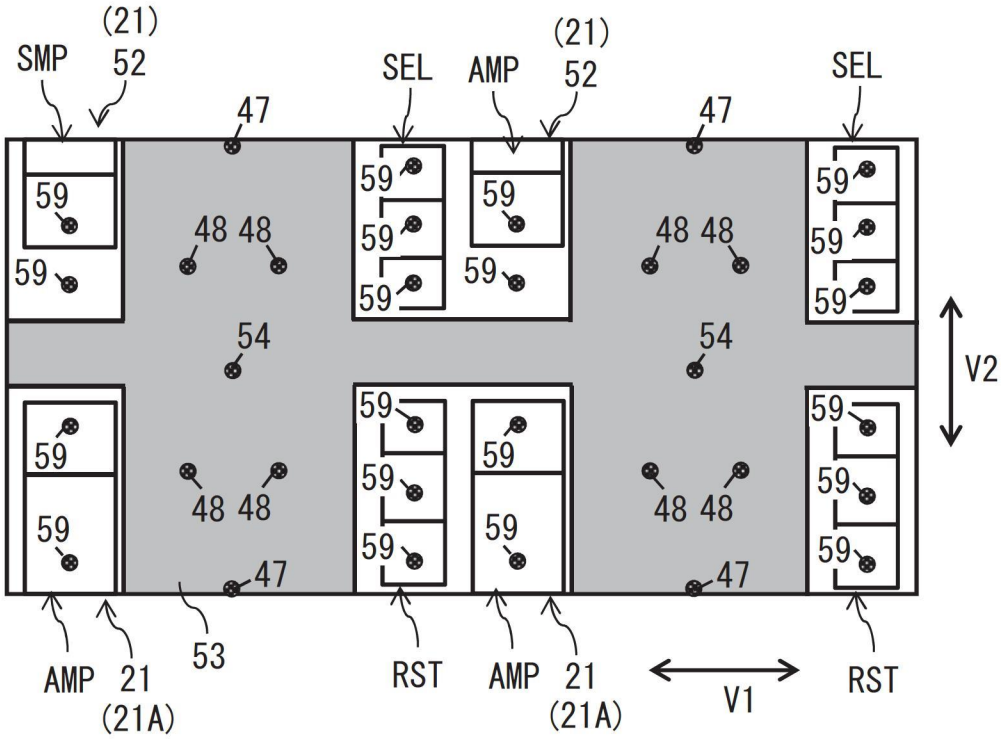
【圖63】


47
PD1
PD3
48
TG1
TG3
FD
54
43
TG2
TG4
PD2
PD4
V2
V1
Sec1
AMP
RST
59
Sec2
21
(21A)
53
SEL
112

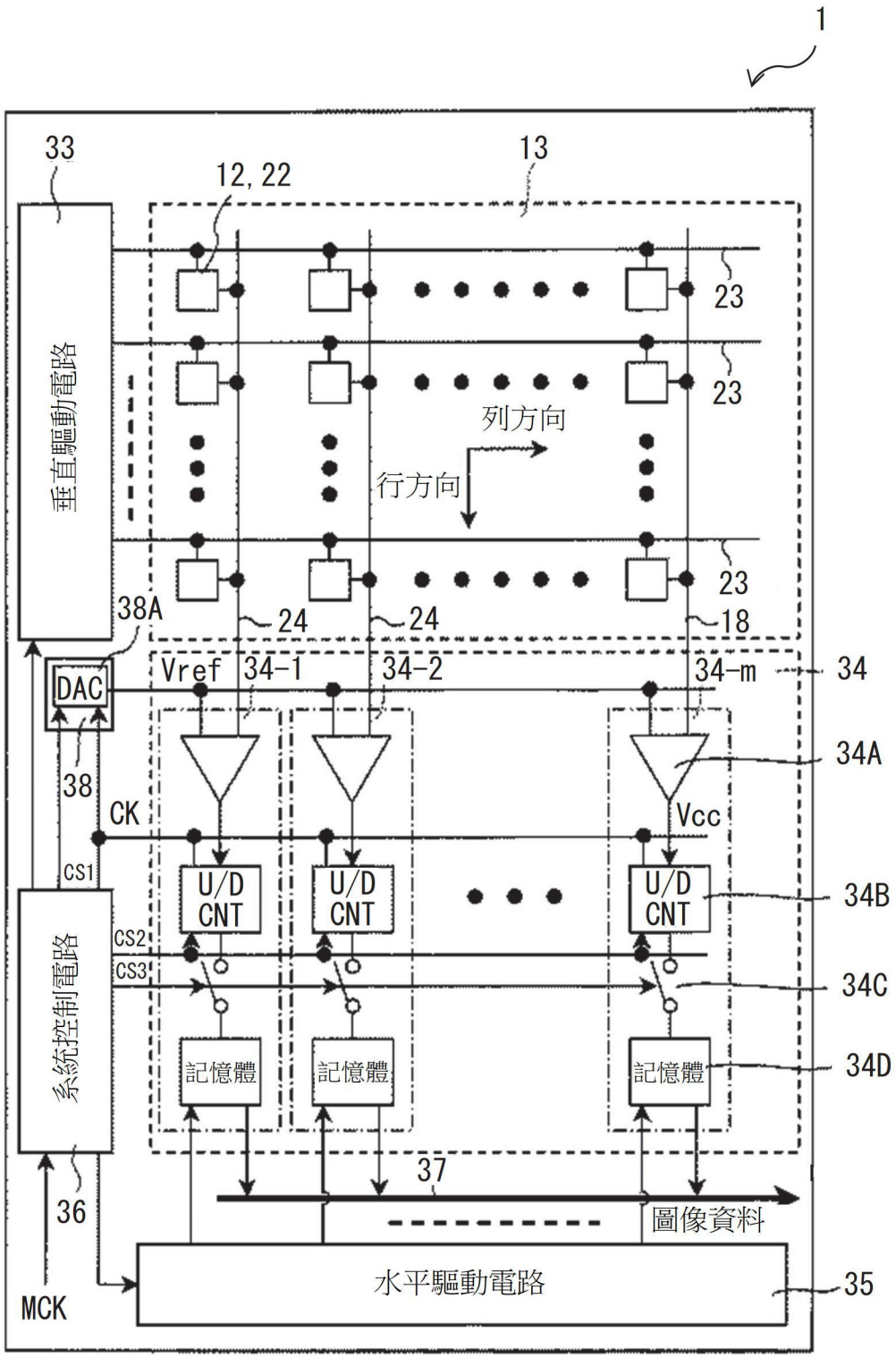
【圖64】


(21)
AMP
52
47
RST
AMP
(21)
52
47
(21)
52
RST
59
48 48
54
V2
53
SEL
V1
SEL

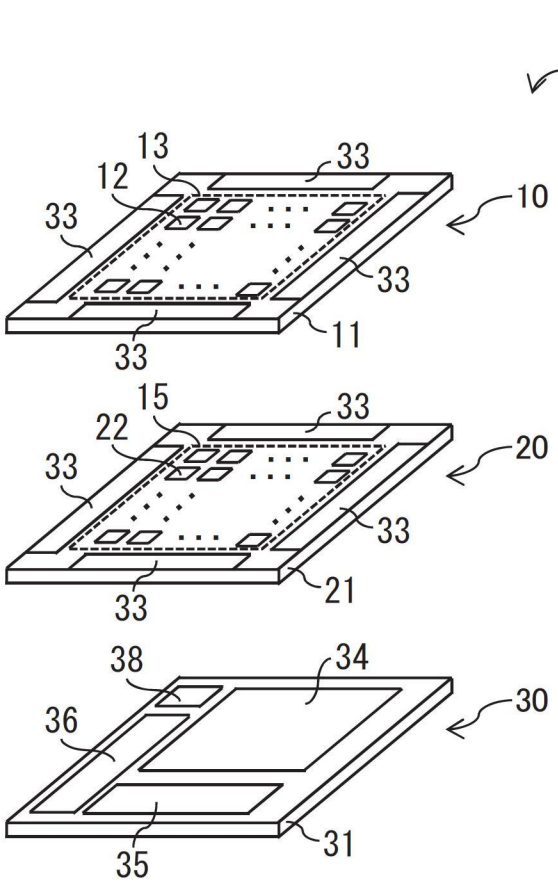
【圖65】


(21)
SMP
52
47
SEL
AMP
(21)
52
47
SEL
59
48 48
54
V2
AMP
21
(21A)
53
RST
AMP
21
(21A)
V1
RST

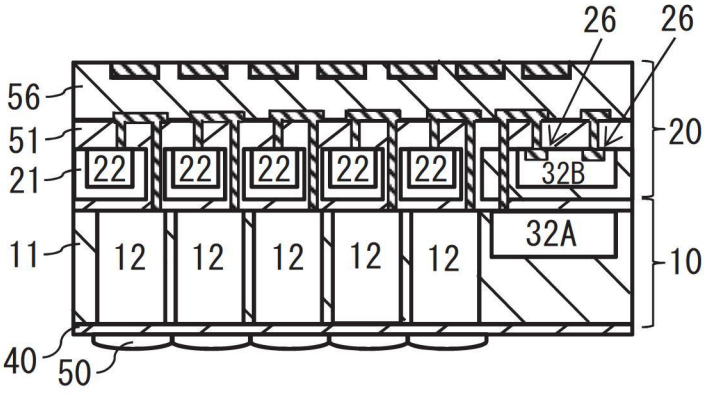
【圖66】


1
33
12, 22
13
23
23
垂直驅動電路
列方向
行方向
23
38A
24
24
18
DAC
Vref
34-1
34-2
34-m
34
34A
38
CK
Vcc
CS1
U/D CNT
U/D CNT
U/D CNT
34B
CS2
CS3
34C
系統控制電路
記憶體
記憶體
記憶體
34D
37
圖像資料
36
水平驅動電路
35
MCK

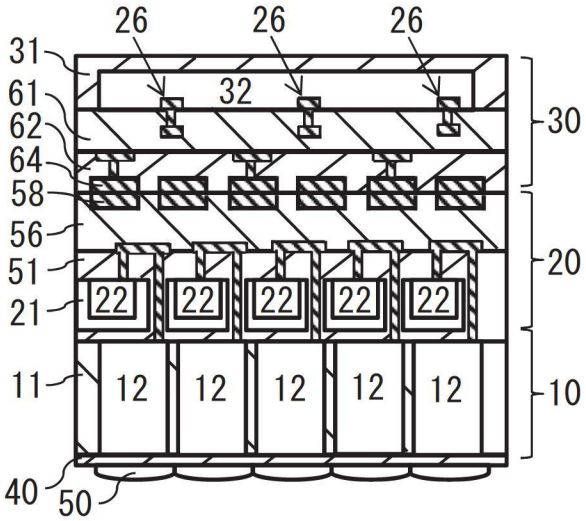
【圖67】


1
13
12
33
33
10
33
33
11
15
22
33
33
20
33
33
21
38
34
36
30
35
31

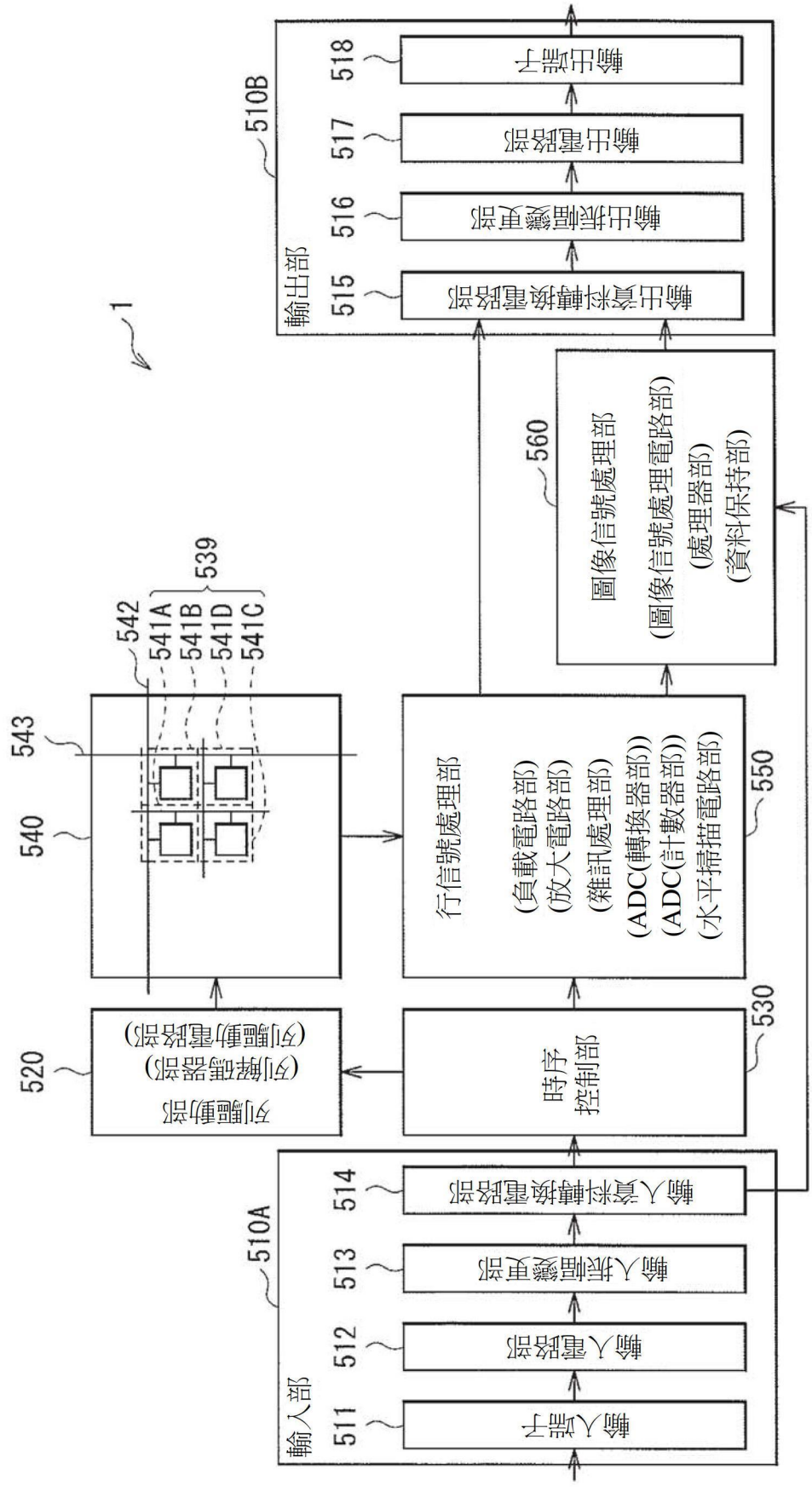
【圖68】


26
26
56
51
21
22
22
22
22
22
32B
20
11
12
12
12
12
12
32A
10
40
50

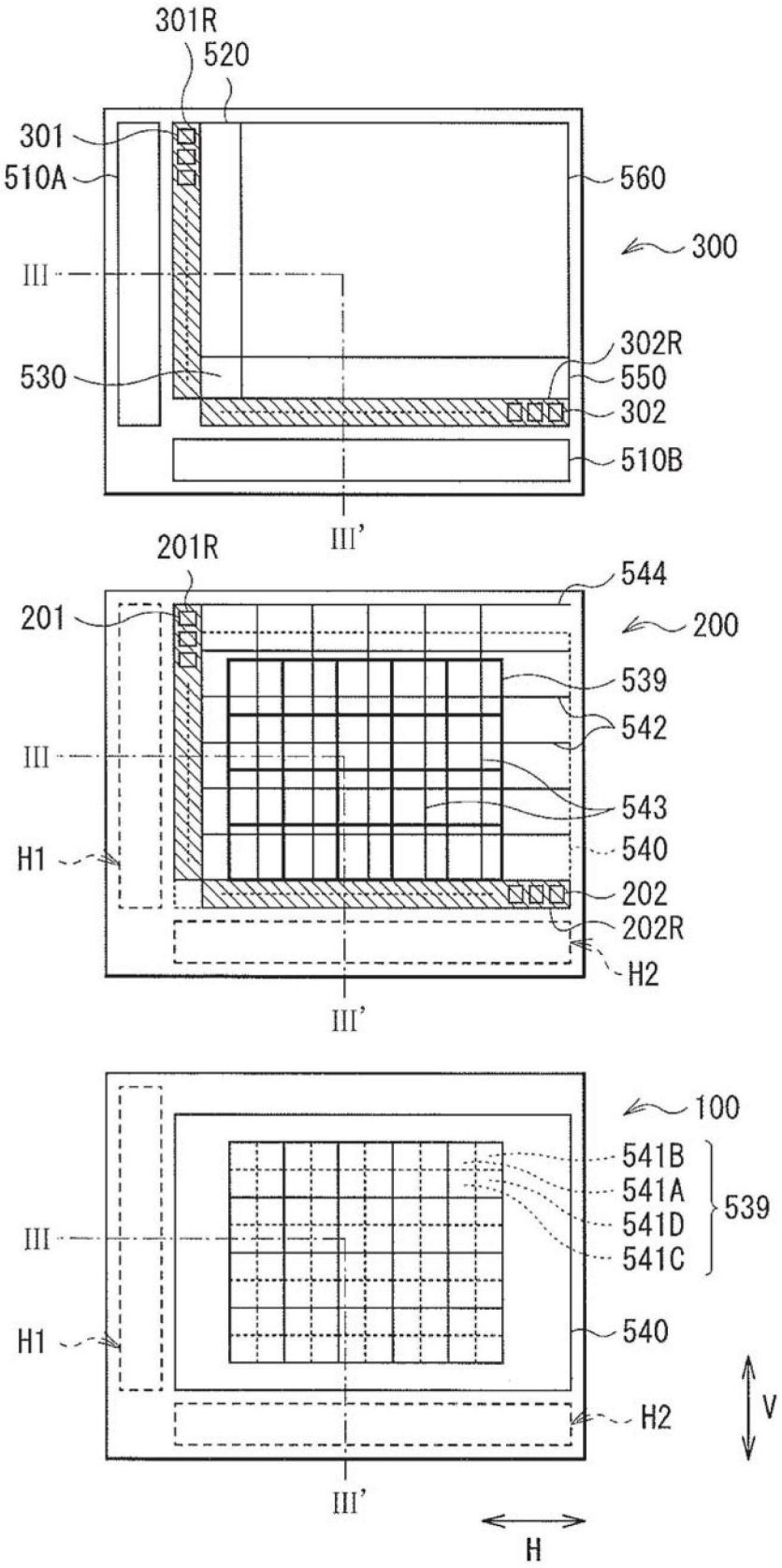
【圖69】



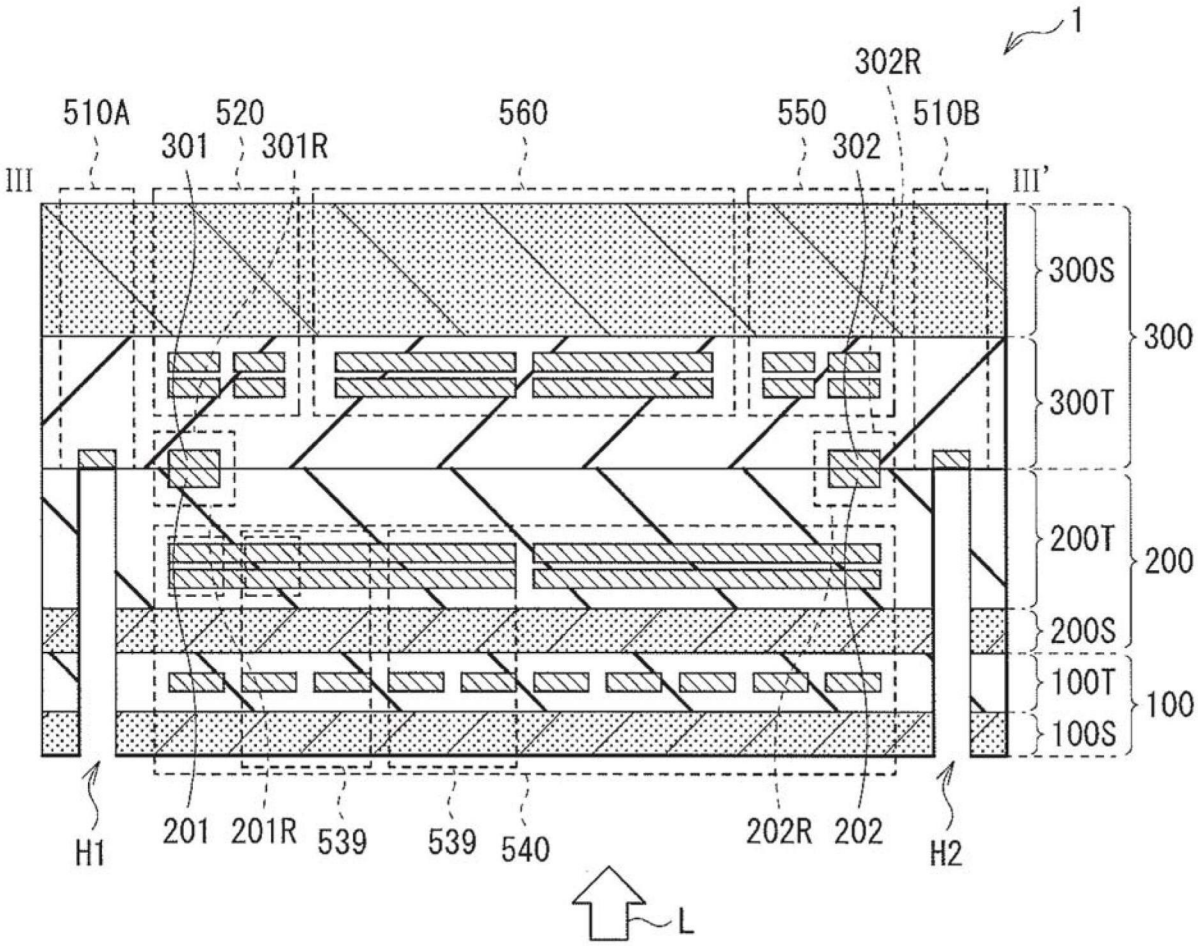
【圖70】


1
輸入部
511 輸入端子
512 輸入電路部
513 輸入振幅變更部
514 輸入資料轉換電路部
510A
520 列驅動部
(列解碼器部)
(列驅動電路部)
530 時序控制部
540
543
542
539
541A
541B
541D
541C
550 行信號處理部
(負載電路部)
(放大電路部)
(雜訊處理部)
(ADC(轉換器部))
(ADC(計數器部))
(水平掃描電路部)
560 圖像信號處理部
(圖像信號處理電路部)
(處理器部)
(資料保持部)
輸出部
515 輸出資料轉換電路部
516 輸出振幅變更部
517 輸出電路部
518 輸出端子
510B

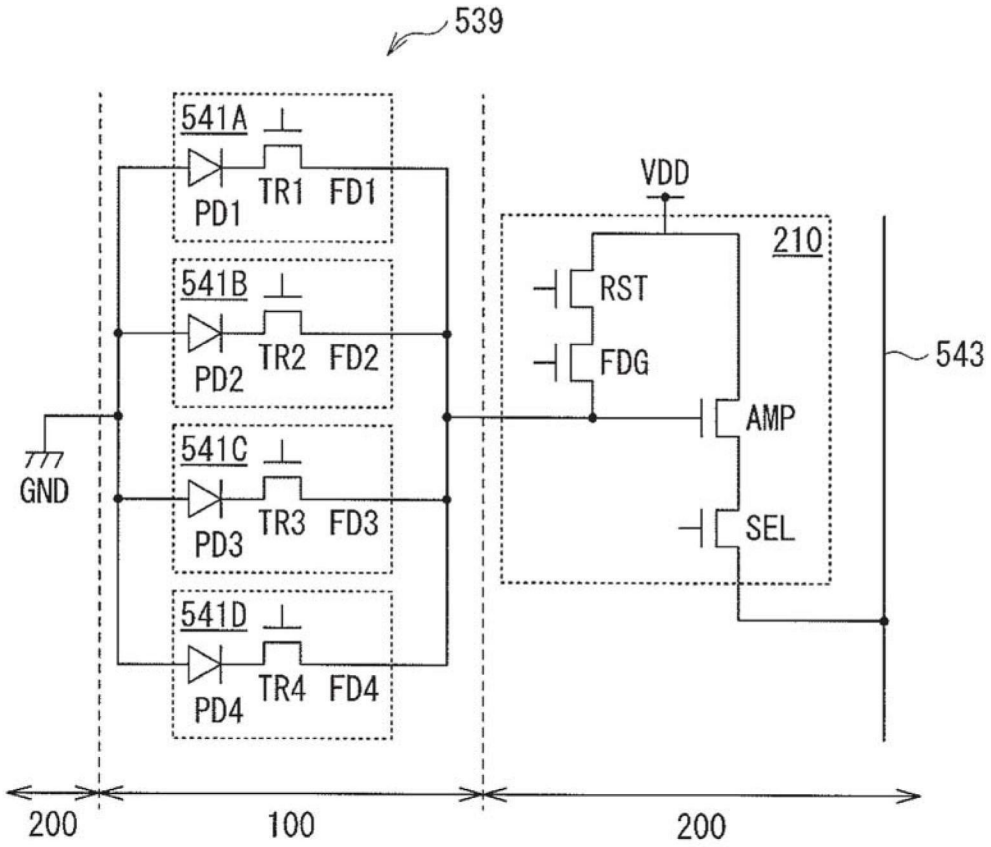
【圖71】


301R
520
301
510A
560
300
III
530
302R
550
302
510B
III'
201R
544
201
200
539
542
III
543
H1
540
202
202R
H2
III'
100
541B
541A
541D
541C
539
III
H1
540
H2
V
III'
H

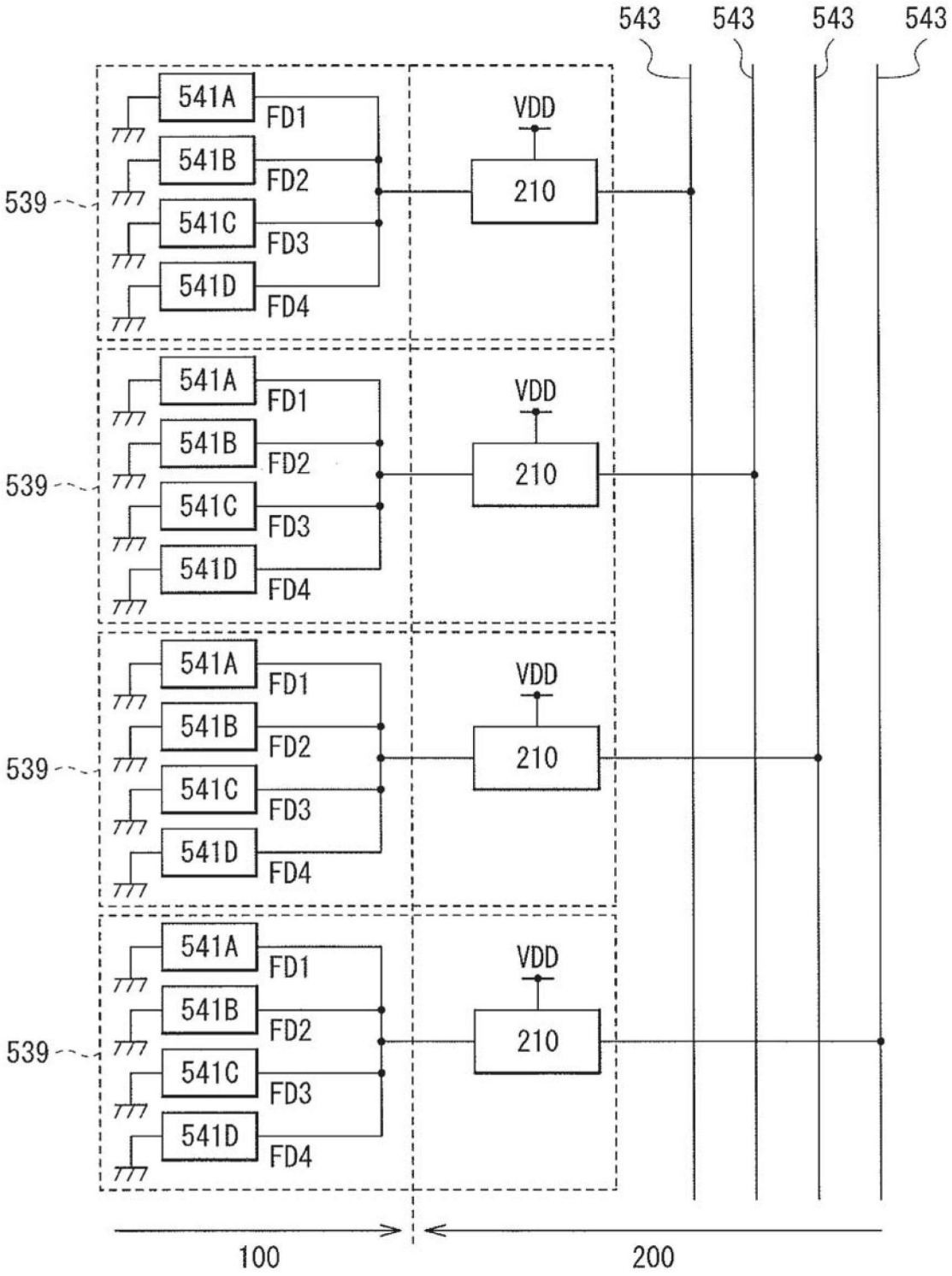
【圖72】


1
302R
510A
520
560
550
510B
301
301R
302
III
III'
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
540
202R
202
H2
L

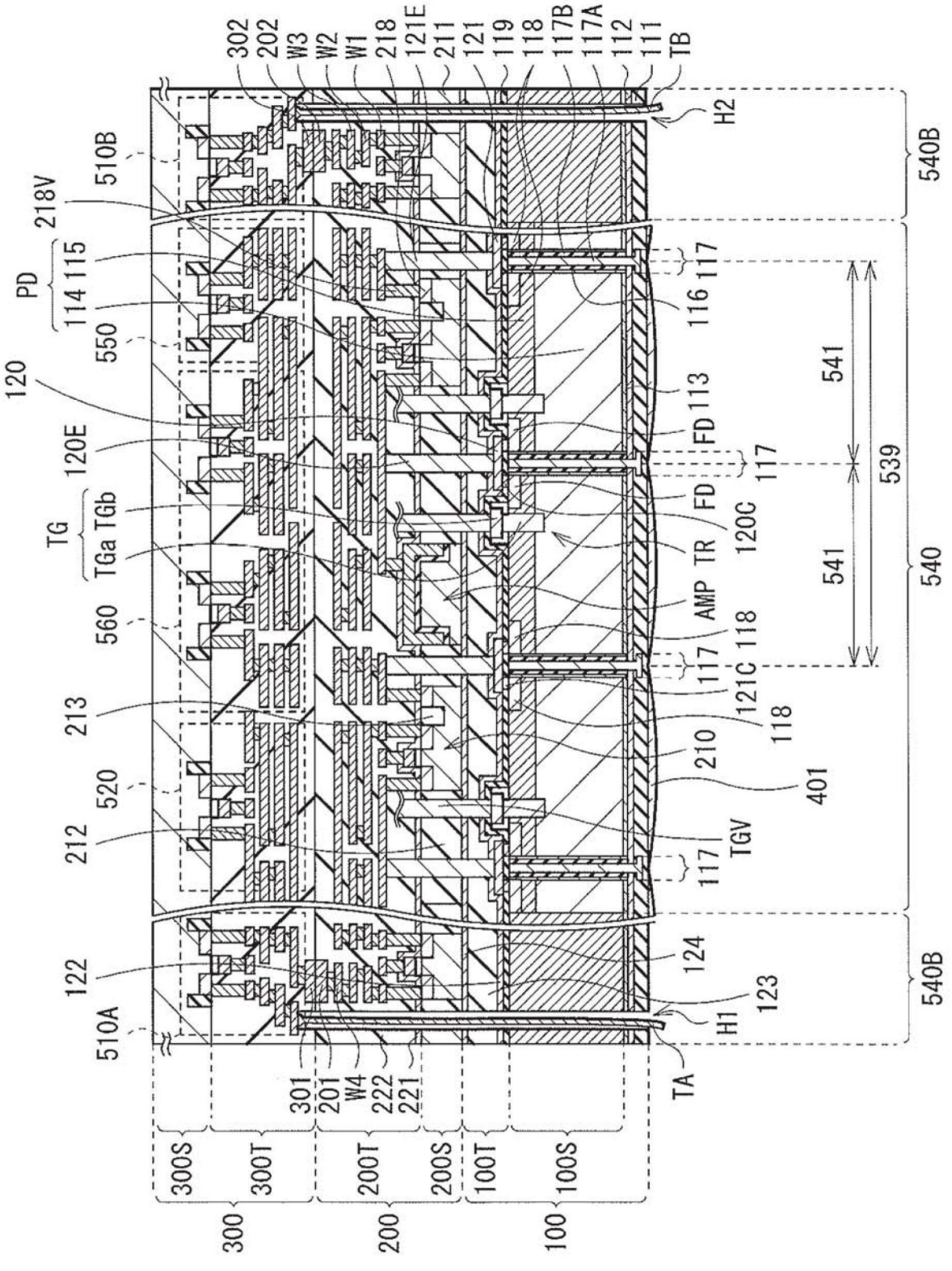
【圖73】


539
541A
PD1
TR1
FD1
541B
PD2
TR2
FD2
541C
PD3
TR3
FD3
541D
PD4
TR4
FD4
GND
VDD
210
RST
FDG
AMP
SEL
543
200
100
200

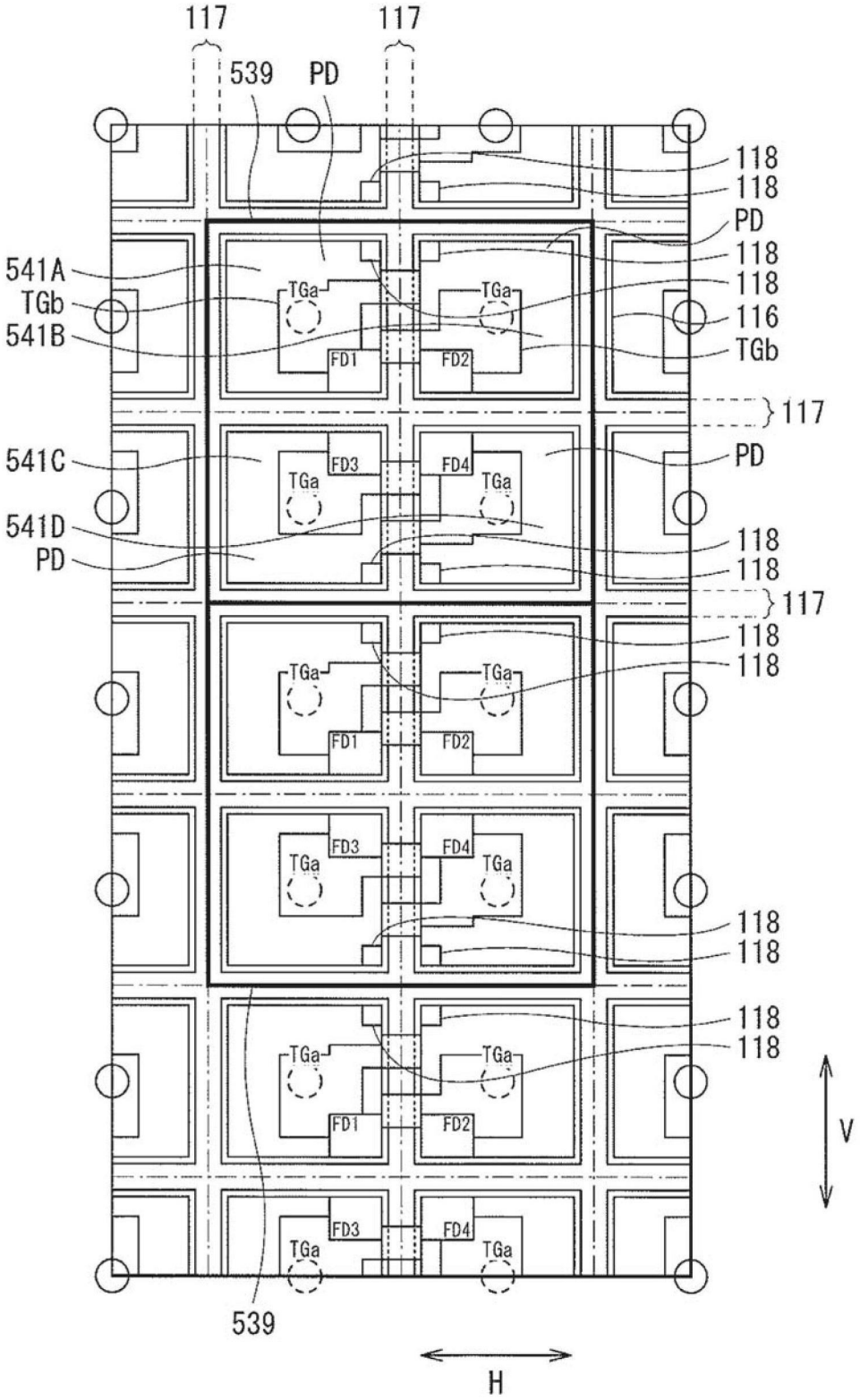
【圖74】


543
543
543
543
539
539
539
539
541A
541B
541C
541D
FD1
FD2
FD3
FD4
VDD
210
100
200

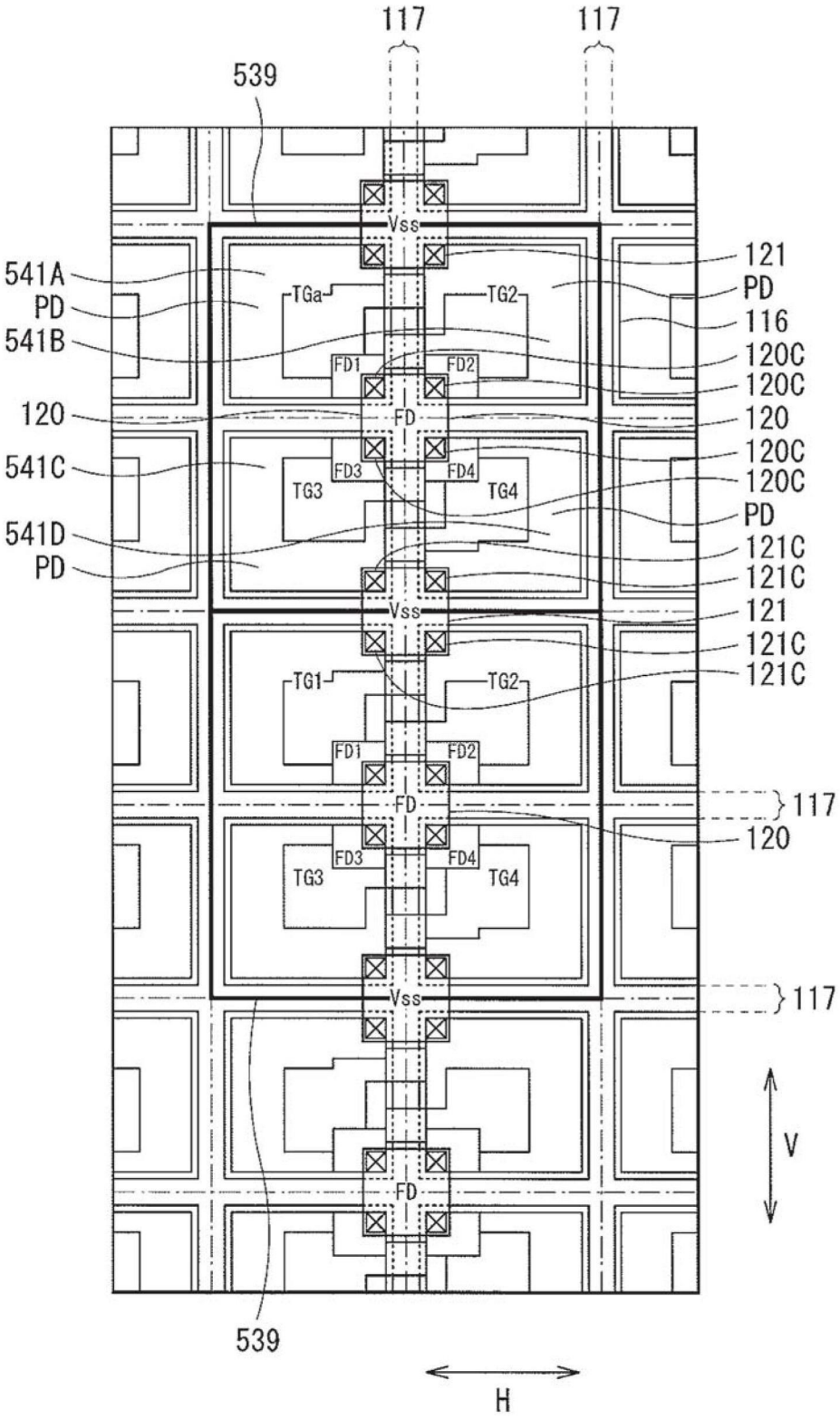
【圖75】


302
202
W3
W2
W1
218
121E
211
121
119
118
117B
117A
112
111
TB
H2
540B
510B
218V
PD
114 115
550
120
120E
TG
TGa TGb
560
213
520
212
122
510A
117
116
113
FD
541
539
TR
AMP
120C
118
121C
210
401
TGV
124
123
H1
TA
301
201
W4
222
221
300S
300T
200T
200S
100T
100S
300
200
100
540

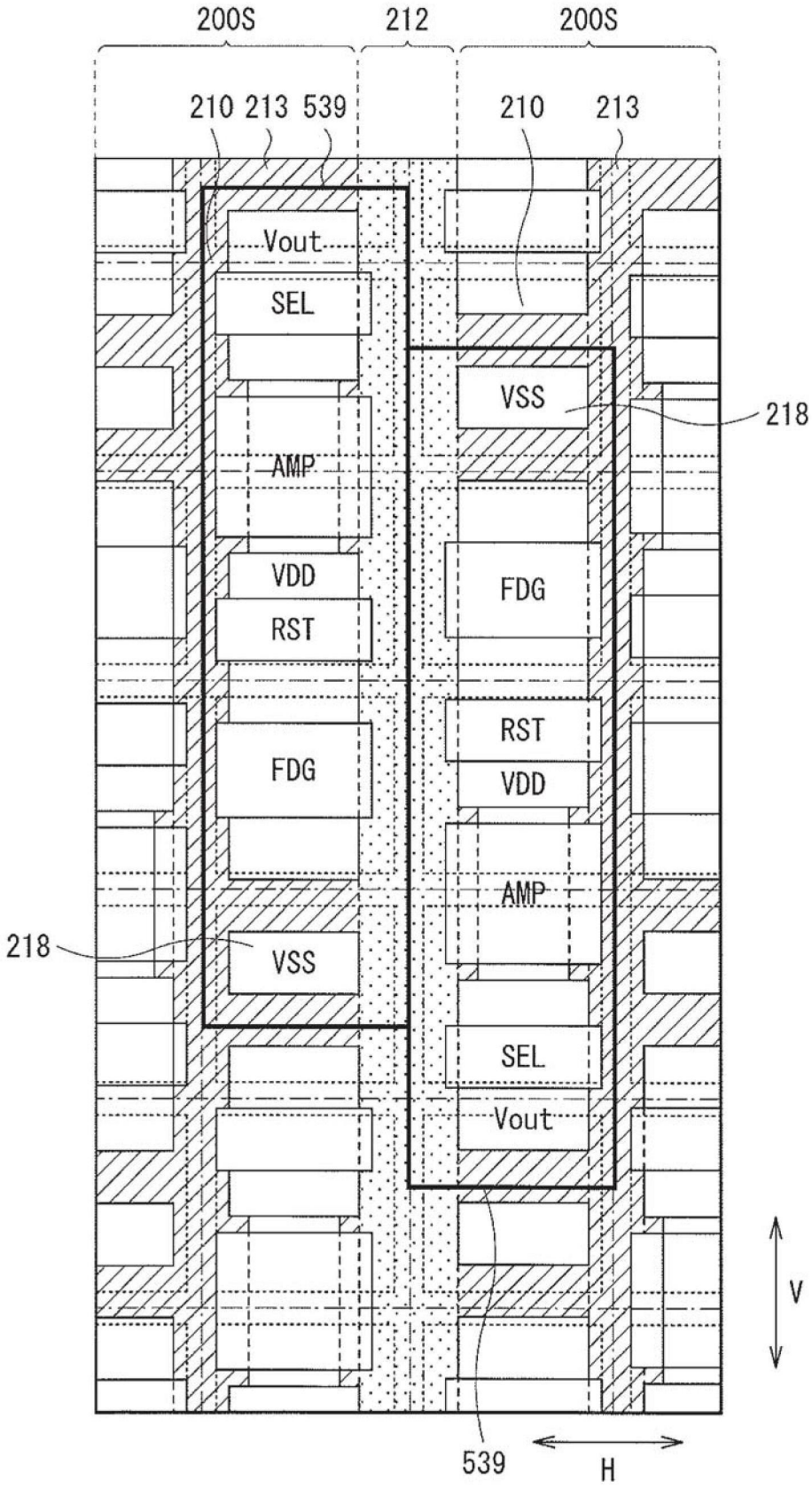
【圖76】


117
117
539
PD
118
118
PD
118
118
116
TGb
541A
TGb
541B
TGa
FD1
FD2
117
541C
541D
PD
FD3
FD4
PD
118
118
117
118
118
118
118
118
118
118
V
539
H

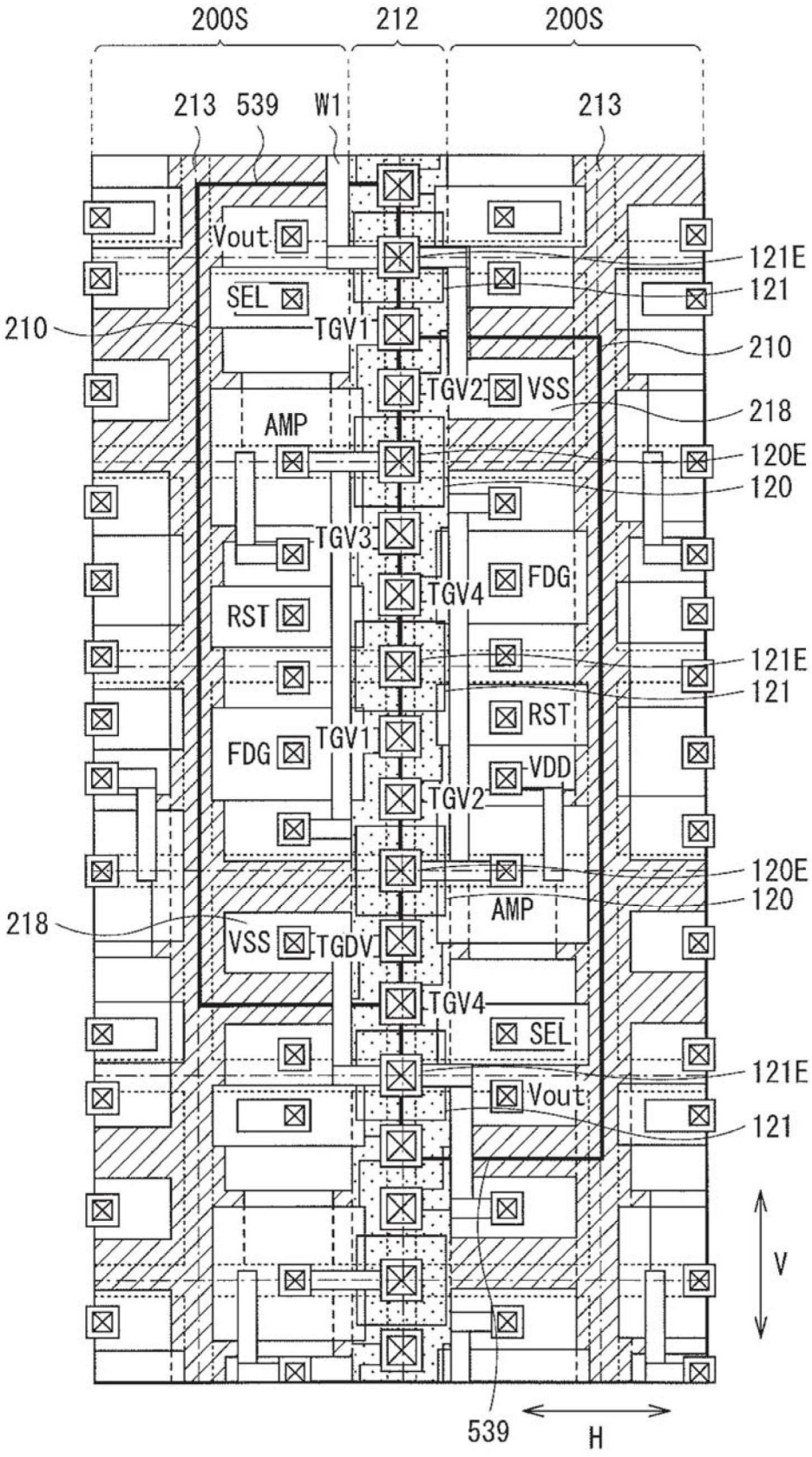
【圖77A】


117
117
539
Vss
541A
PD
541B
120
541C
541D
PD
TGa
TG2
FD1
FD2
FD
FD3
FD4
TG3
TG4
121
PD
116
120C
120C
120
120C
120C
PD
121C
121C
121
121C
121C
117
120
117
V
H
539

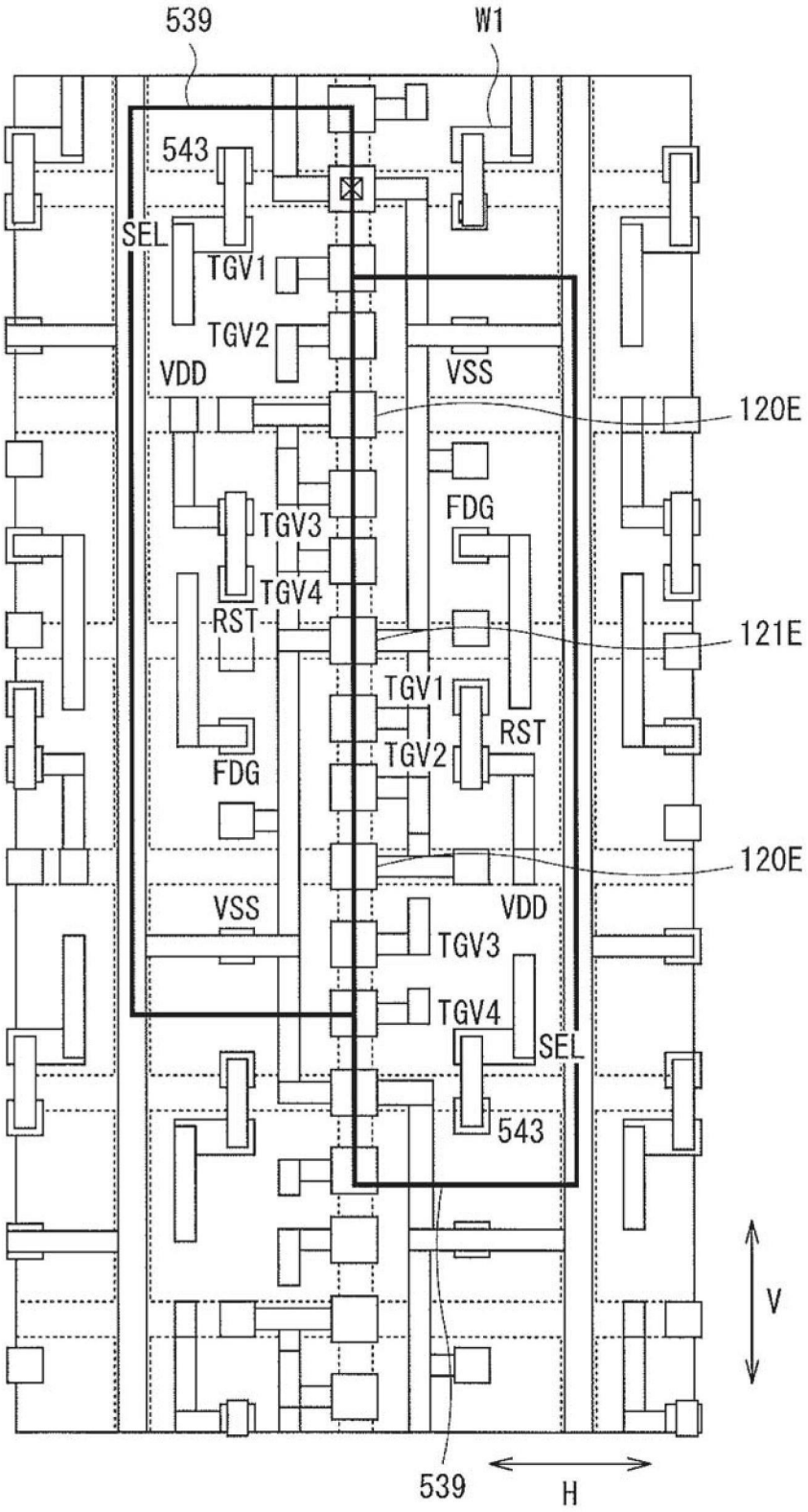
【圖77B】


200S
212
200S
210
213
539
210
213
Vout
SEL
VSS
218
AMP
VDD
RST
FDG
FDG
RST
VDD
AMP
218
VSS
SEL
Vout
V
539
H

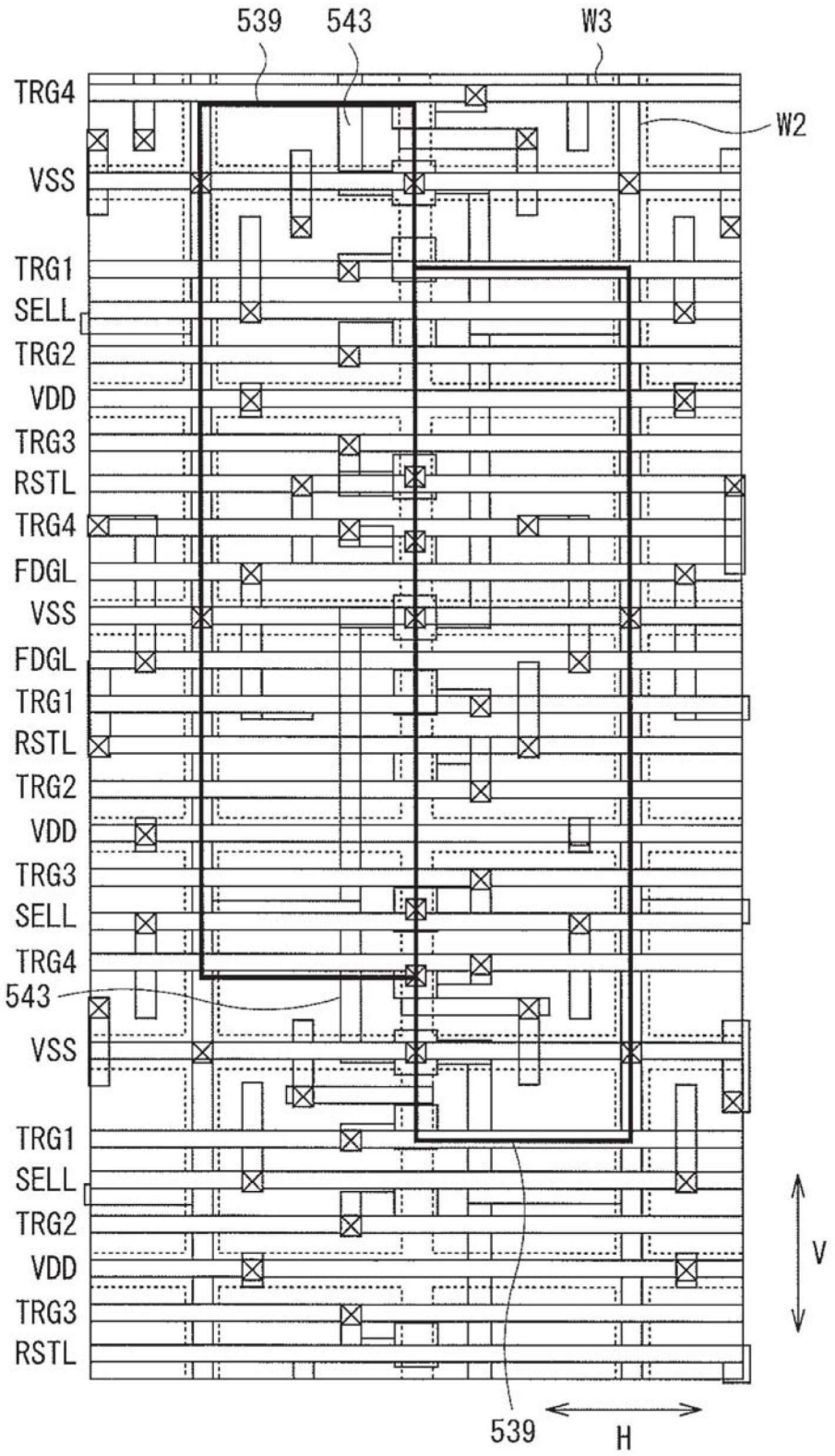
【圖78】


200S
212
200S
213
539
W1
213
Vout
121E
SEL
121
210
TGV1
210
TGV2
VSS
218
AMP
120E
120
TGV3
FDG
TGV4
RST
121E
121
RST
FDG
TGV1
VDD
TGV2
120E
120
AMP
218
VSS
TGDV
TGV4
SEL
121E
Vout
121
V
539
H

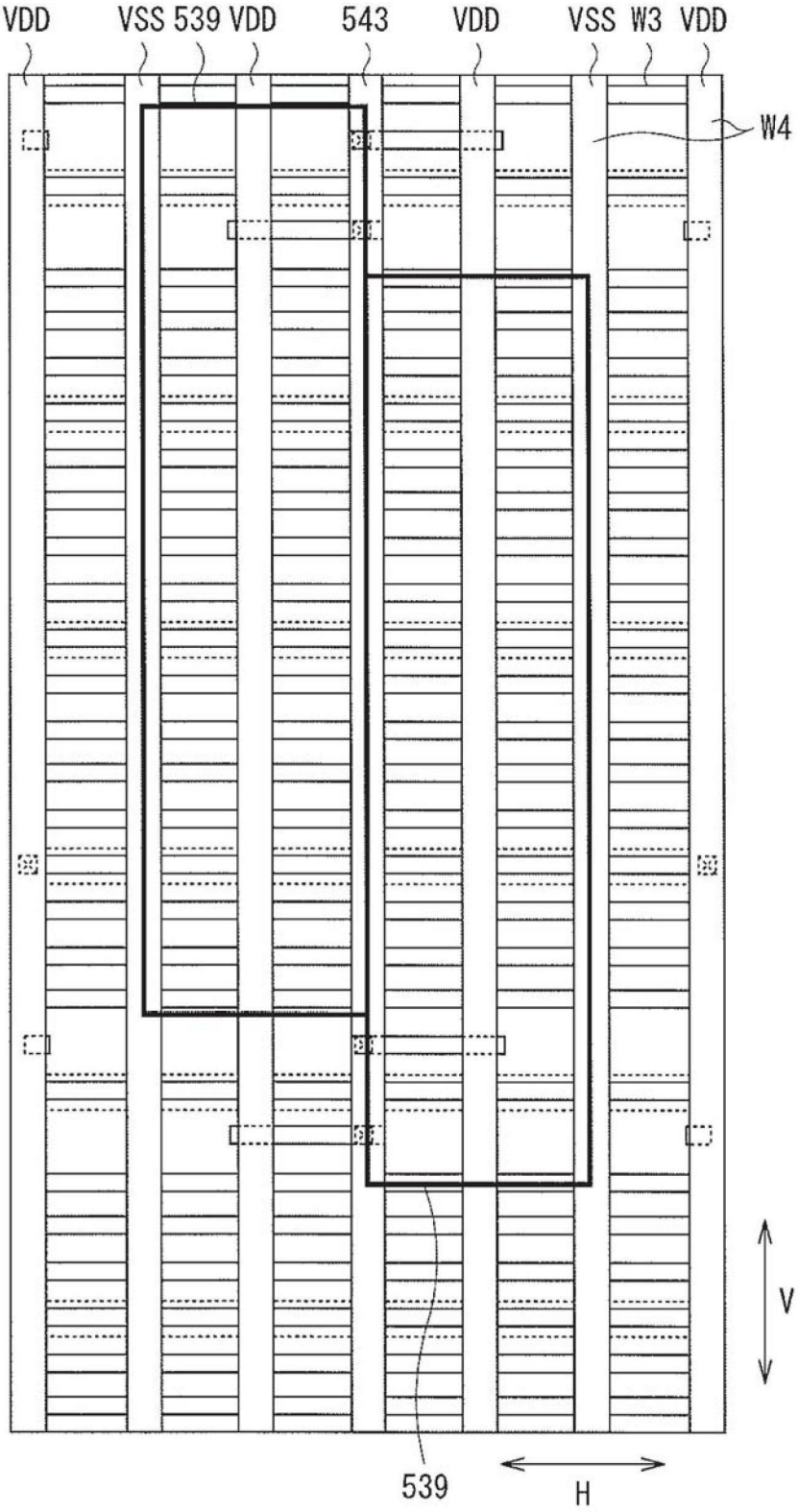
【圖79】


539
W1
543
SEL
TGV1
TGV2
VDD
VSS
120E
FDG
TGV3
TGV4
RST
121E
TGV1
RST
TGV2
FDG
120E
VSS
VDD
TGV3
TGV4
SEL
543
V
539
H

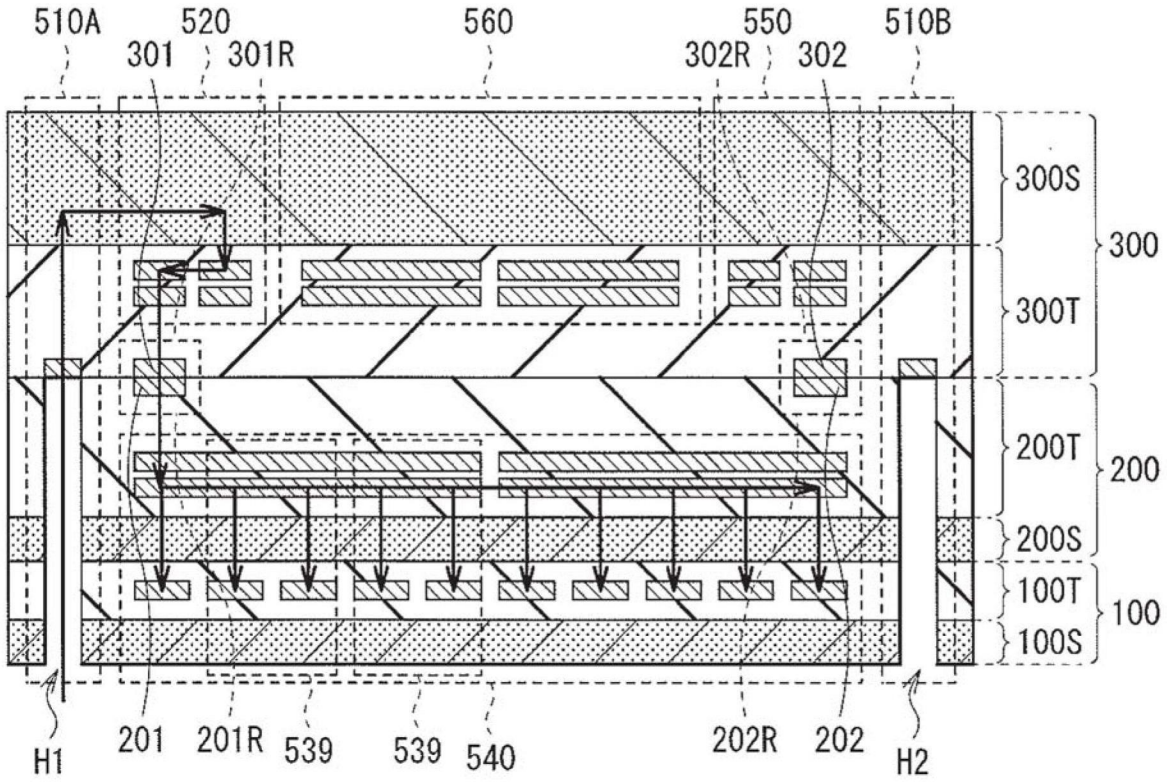
【圖80】


539
543
W3
W2
TRG4
VSS
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
FDGL
TRG1
RSTL
TRG2
VDD
TRG3
SELL
TRG4
543
VSS
TRG1
SELL
TRG2
VDD
TRG3
RSTL
V
539
H

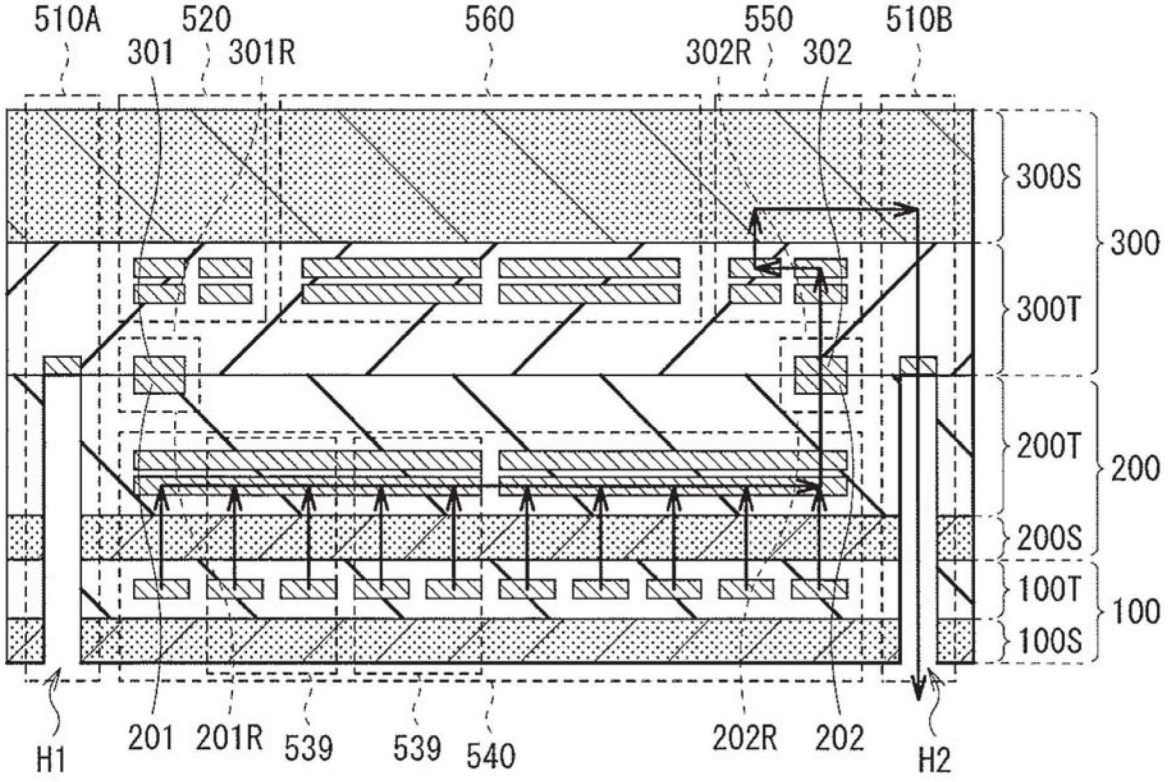
【圖81】



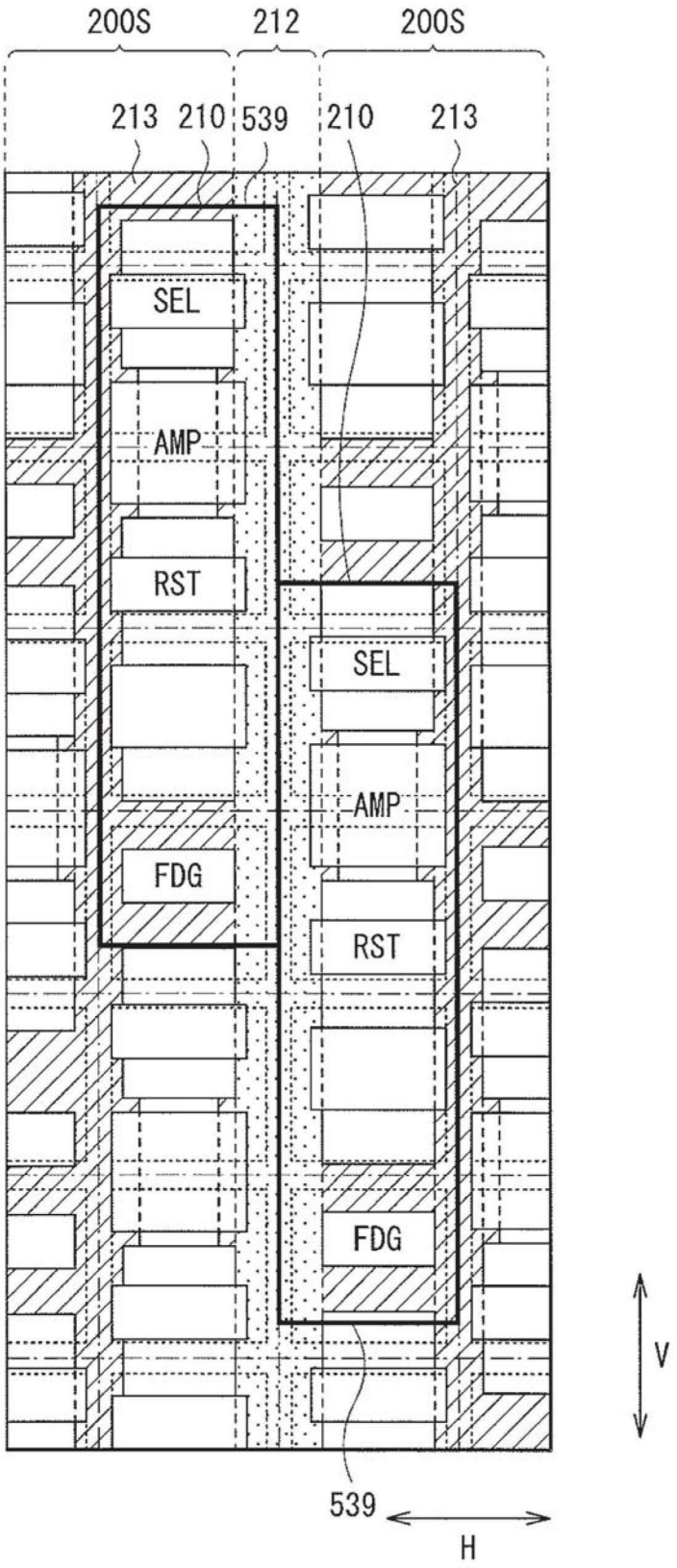
【圖82】


510A
520
301
301R
560
550
302R
302
510B
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
540
202R
202
H2

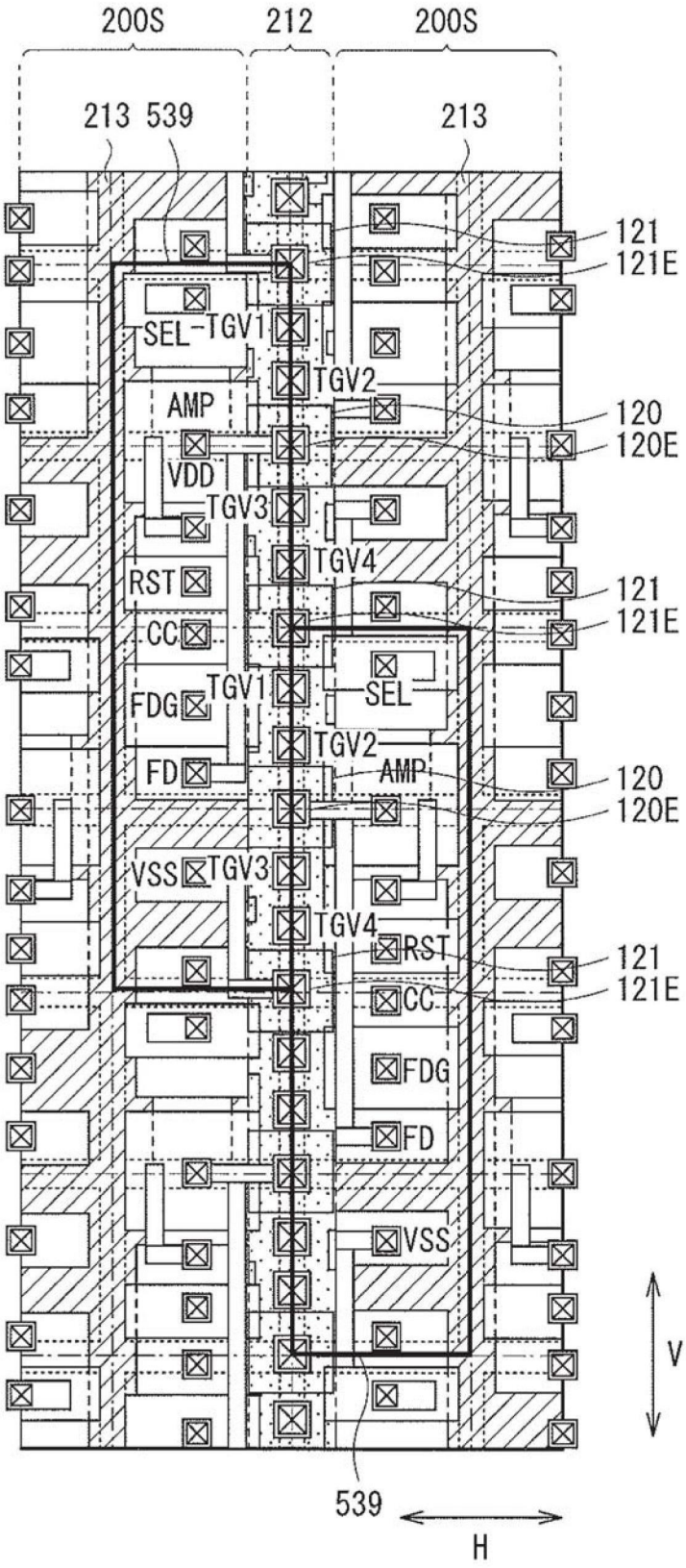
【圖83】


510A
520
301
301R
560
550
302R
302
510B
300S
300
300T
200T
200
200S
100T
100
100S
H1
201
201R
539
539
540
202R
202
H2

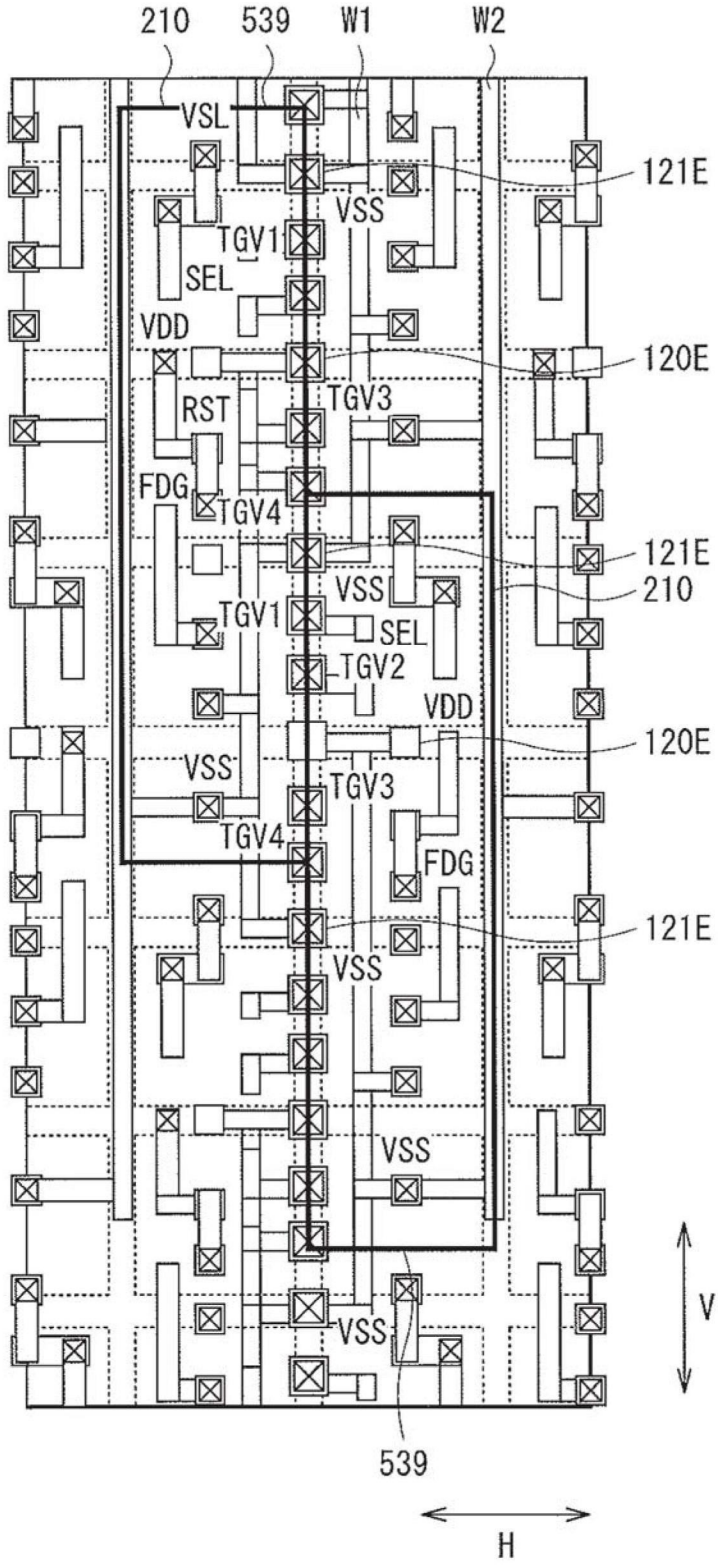
【圖84】


200S
212
200S
213
210
539
210
213
SEL
AMP
RST
SEL
AMP
FDG
RST
FDG
V
539
H

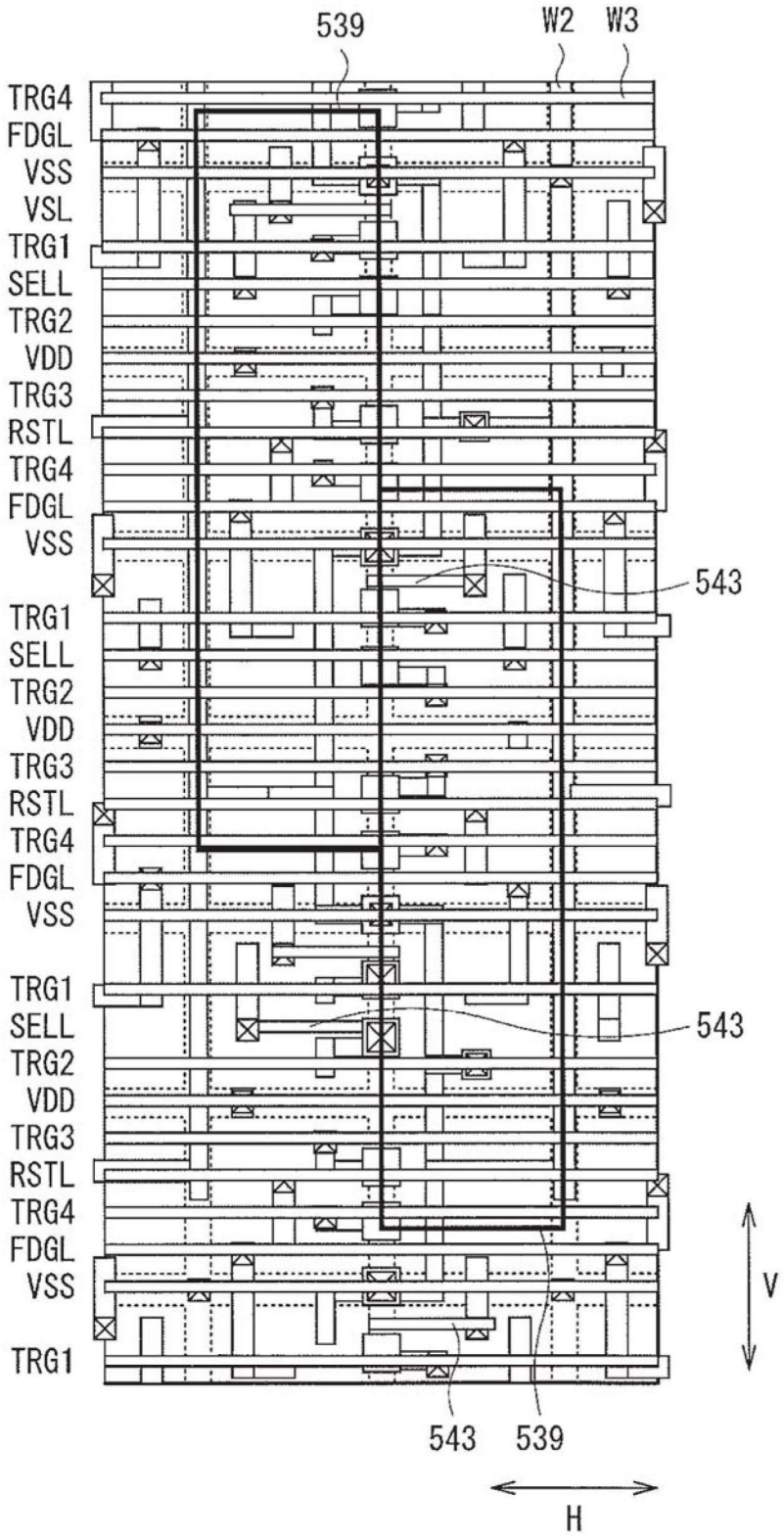
【圖85】


200S
212
200S
213
539
213
121
121E
SEL
TGV1
TGV2
AMP
120
120E
VDD
TGV3
TGV4
RST
121
121E
CC
TGV1
SEL
FDG
TGV2
FD
AMP
120
120E
VSS
TGV3
TGV4
RST
121
121E
CC
FDG
FD
VSS
V
539
H

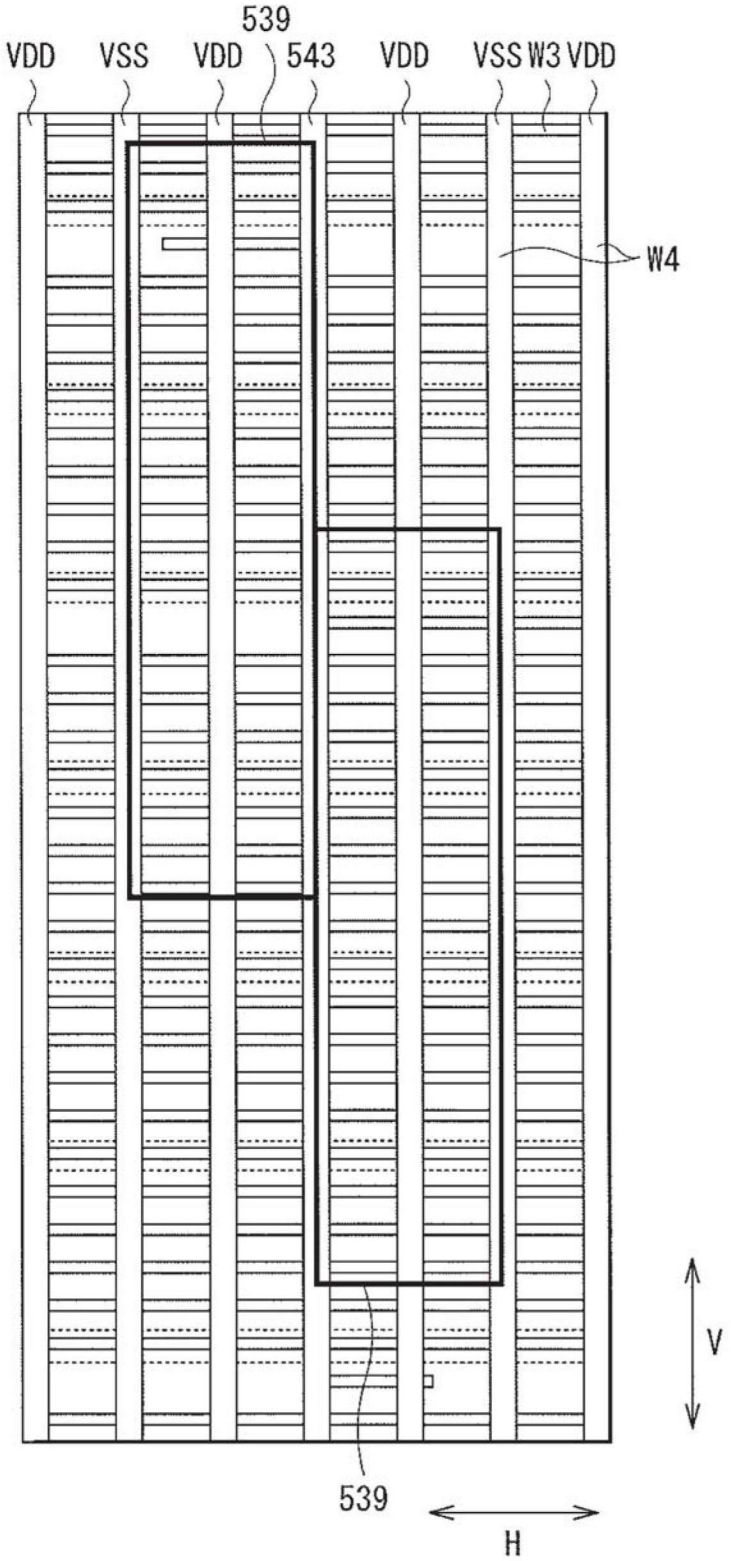
【圖86】


210
539
W1
W2
VSL
121E
VSS
TGV1
SEL
VDD
120E
TGV3
RST
FDG
TGV4
121E
VSS
210
TGV1
SEL
TGV2
VDD
120E
VSS
TGV3
TGV4
FDG
121E
VSS
VSS
VSS
V
539
H

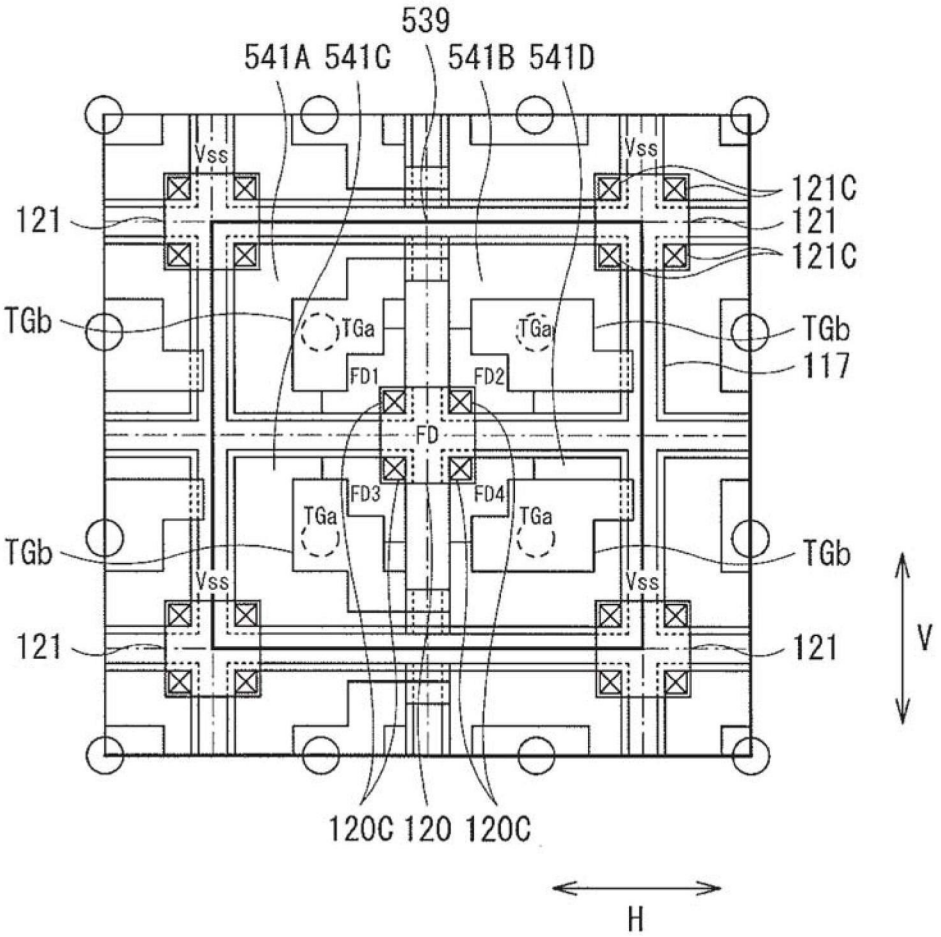
【圖87】


539
W2
W3
TRG4
FDGL
VSS
VSL
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
543
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
TRG1
SELL
TRG2
VDD
TRG3
RSTL
TRG4
FDGL
VSS
TRG1
543
V
543
539
H

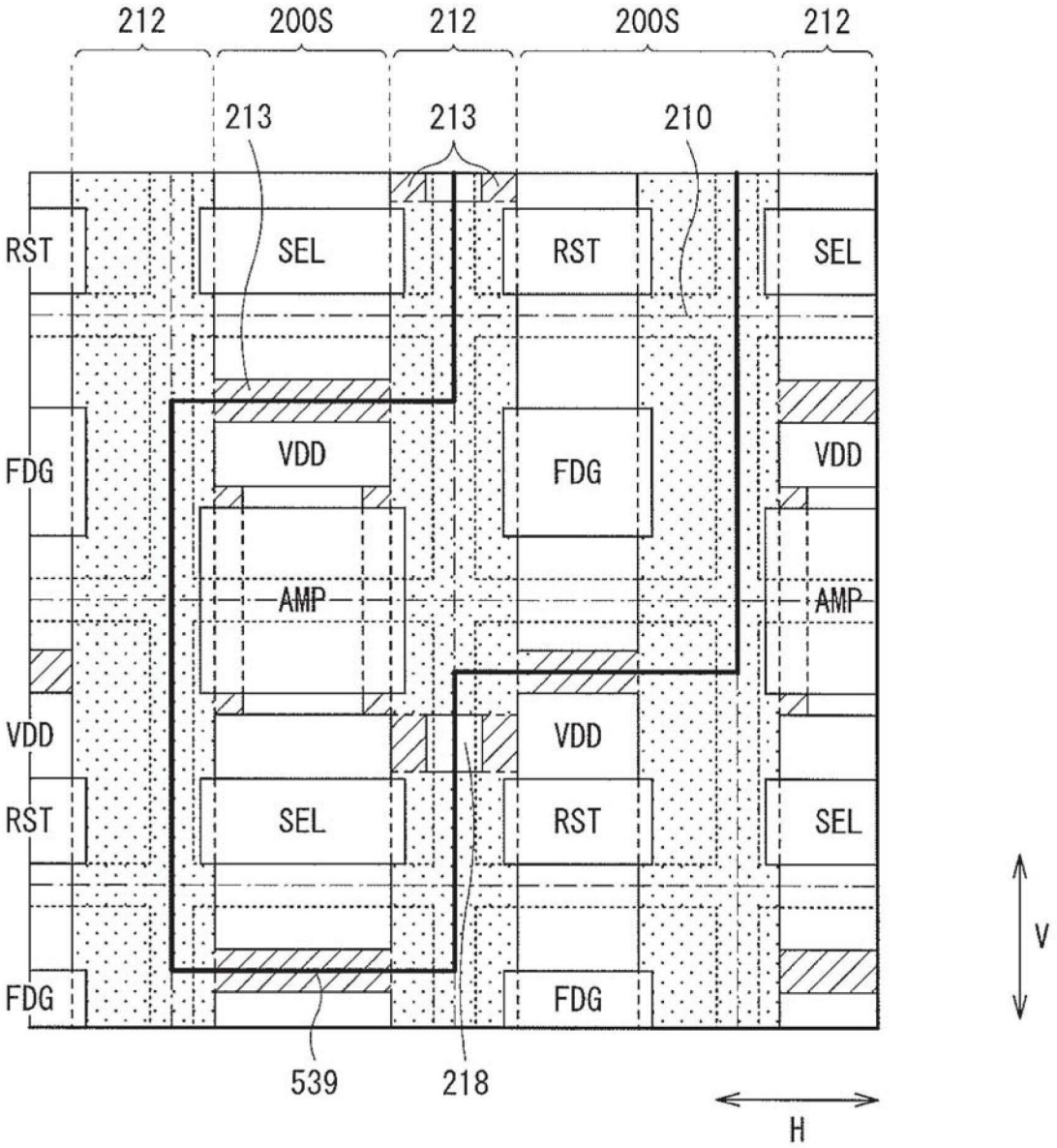
【圖88】



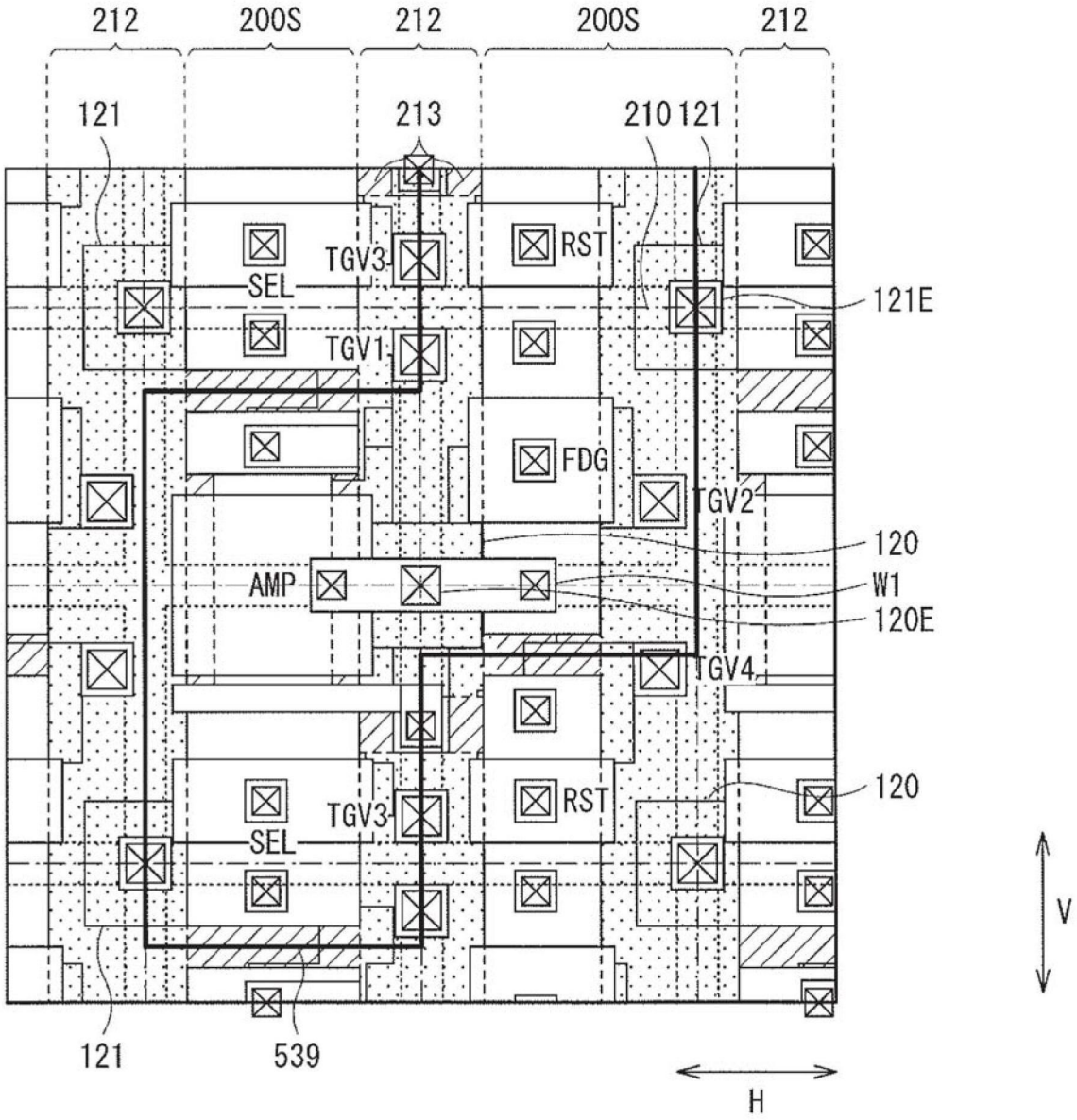
【圖89】


539
541A 541C
541B 541D
Vss
Vss
121C
121
121C
121
TGb
TGa
TGa
TGb
FD1
FD2
117
FD
FD3
FD4
TGa
TGa
TGb
TGb
Vss
Vss
121
121
V
120C 120 120C
H

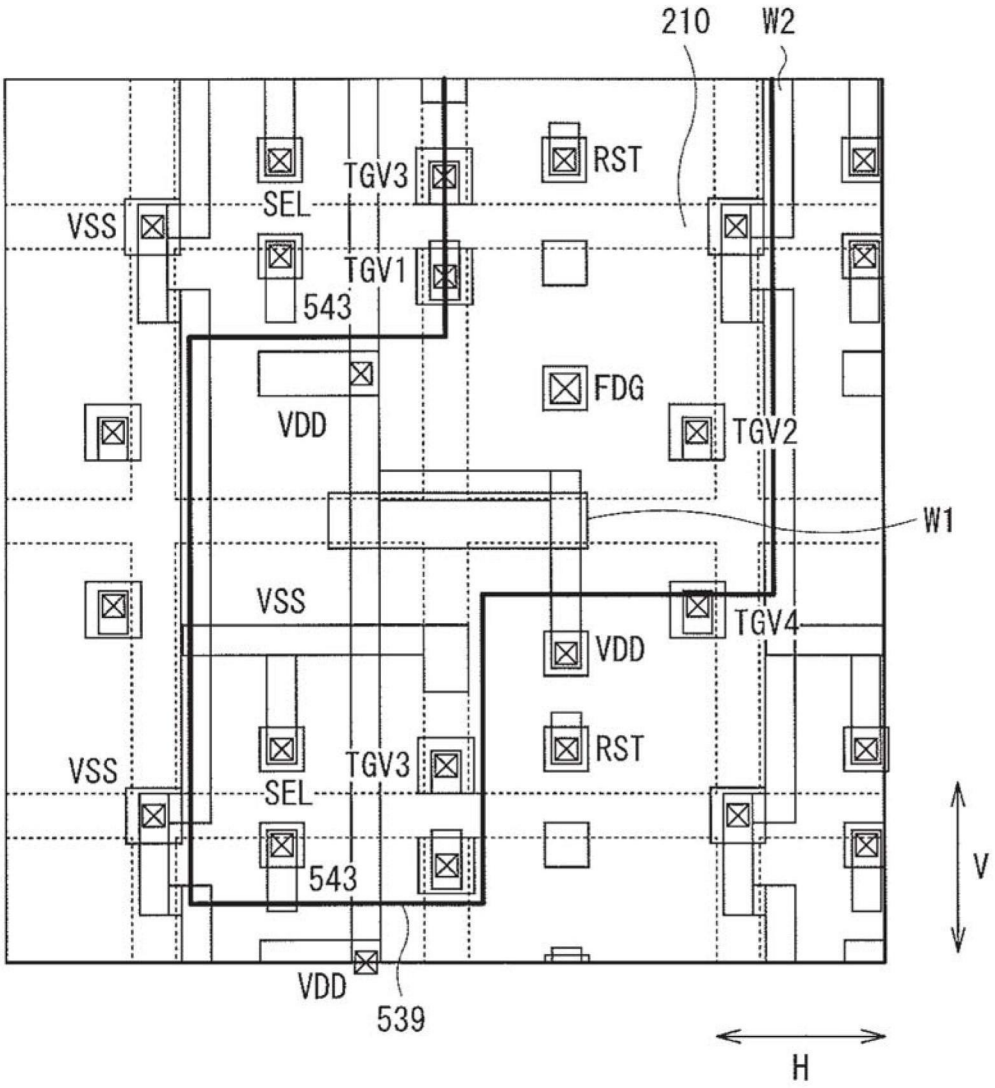
【圖90】


212
200S
212
200S
212
213
213
210
RST
SEL
RST
SEL
FDG
VDD
FDG
VDD
AMP
AMP
VDD
VDD
RST
SEL
RST
SEL
FDG
FDG
539
218
V
H

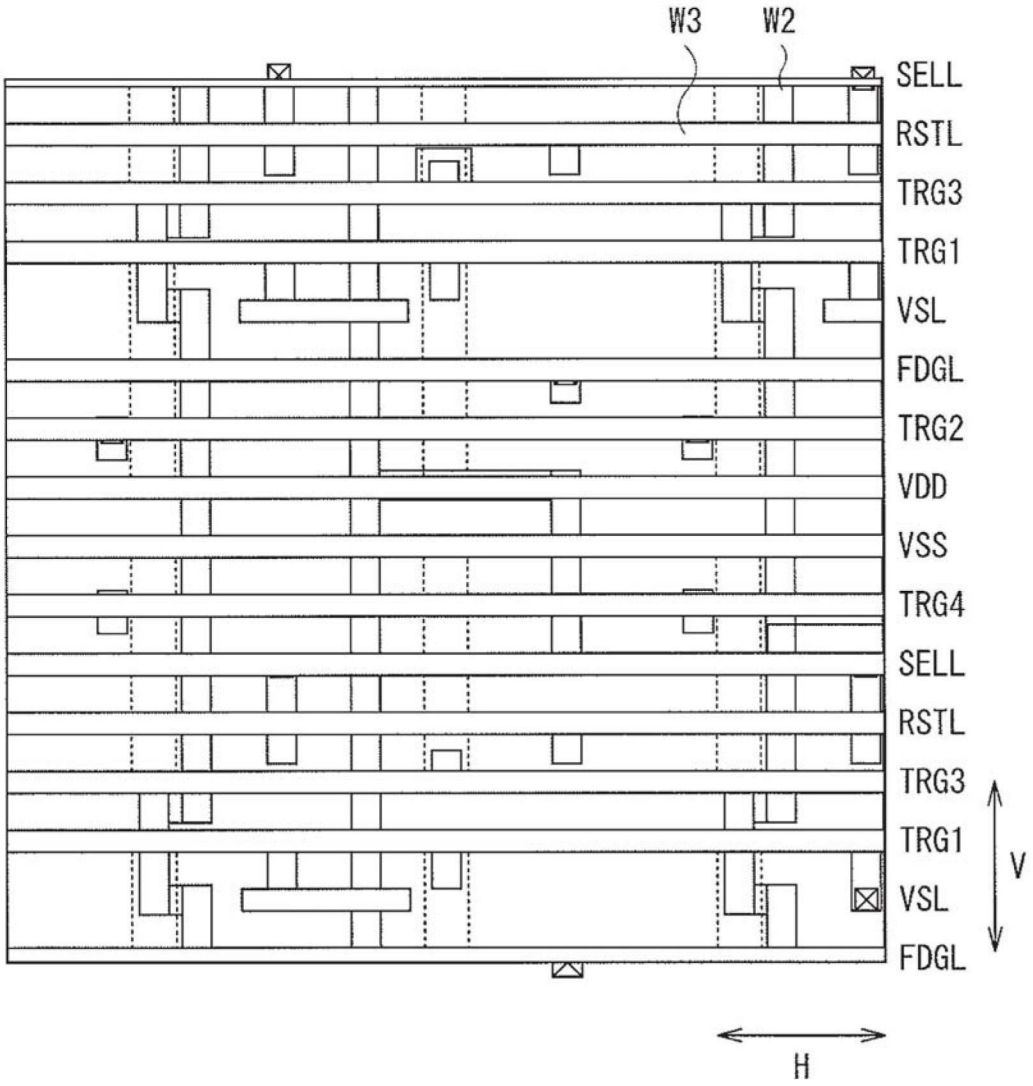
【圖91】


212
200S
212
200S
212
121
213
210
121
TGV3
SEL
RST
121E
TGV1
FDG
TGV2
120
AMP
W1
120E
TGV4
120
TGV3
SEL
RST
V
121
539
H

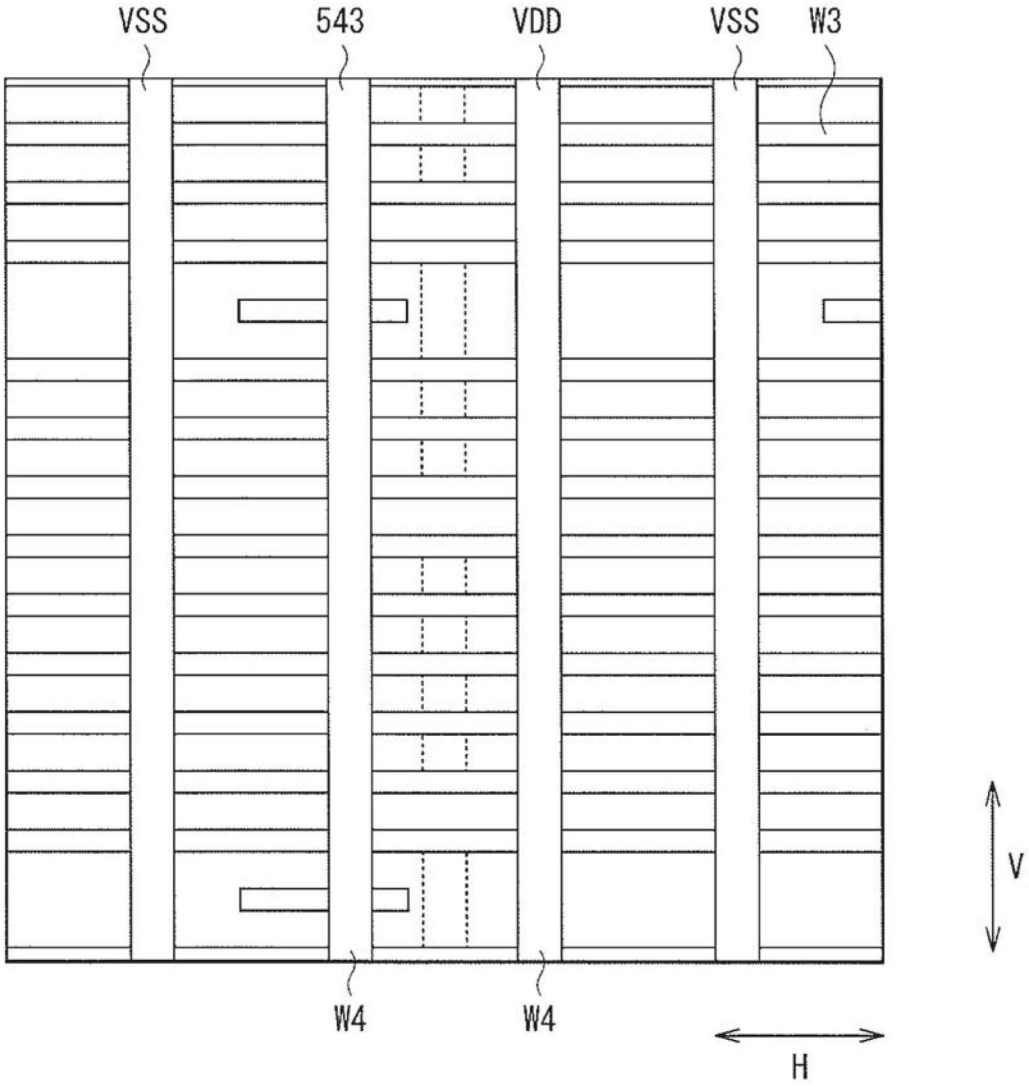
【圖92】


210
W2
RST
TGV3
SEL
VSS
TGV1
543
FDG
VDD
TGV2
W1
VSS
TGV4
VDD
RST
VSS
TGV3
SEL
543
VDD
539
V
H

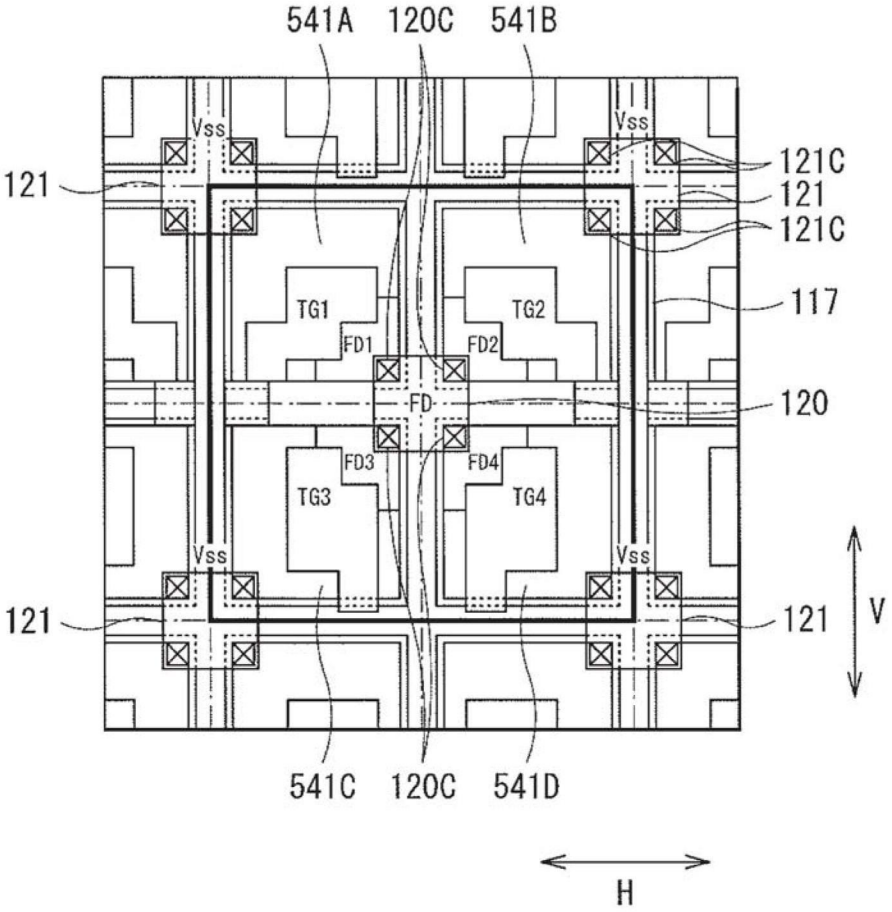
【圖93】


W3
W2
SELL
RSTL
TRG3
TRG1
VSL
FDGL
TRG2
VDD
VSS
TRG4
SELL
RSTL
TRG3
TRG1
VSL
FDGL
V
H

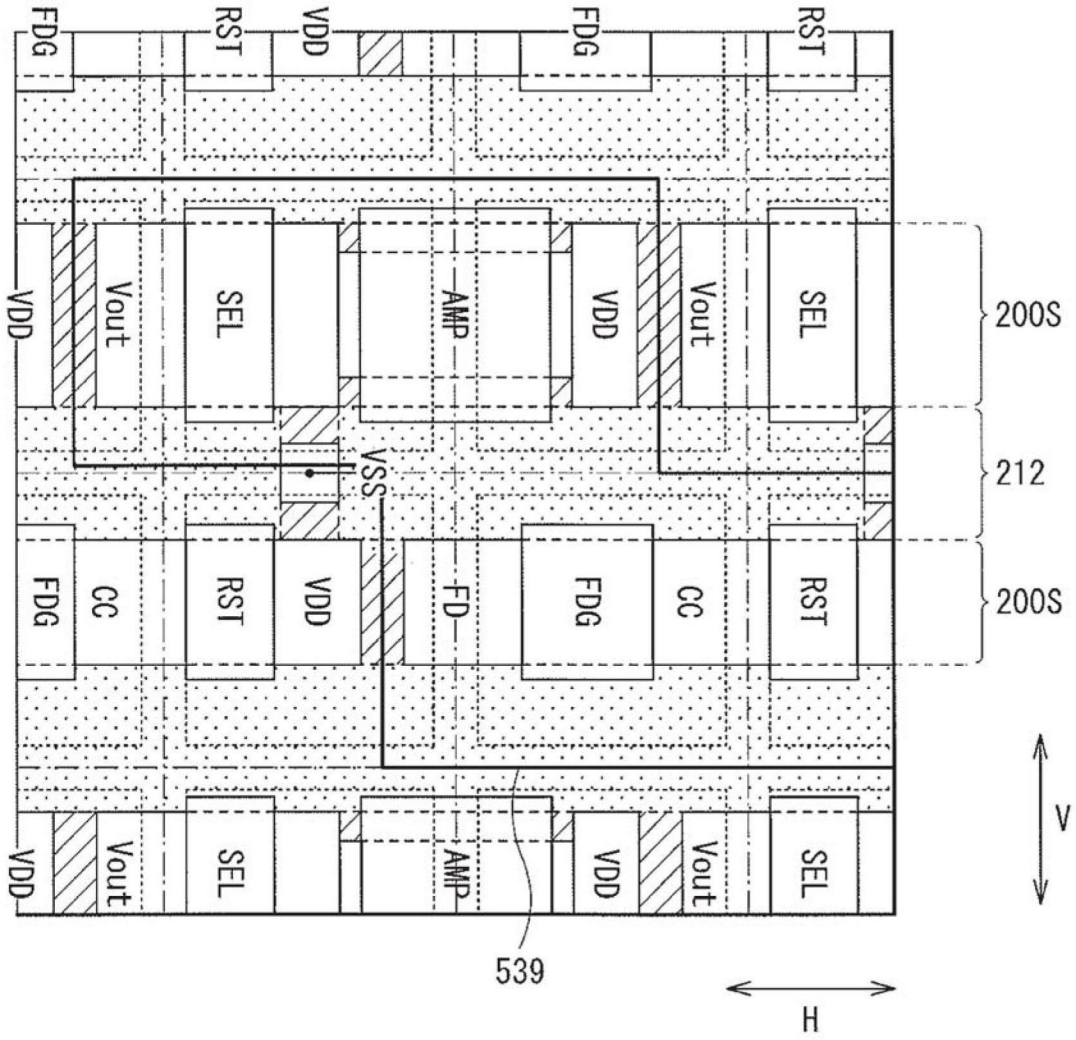
【圖94】



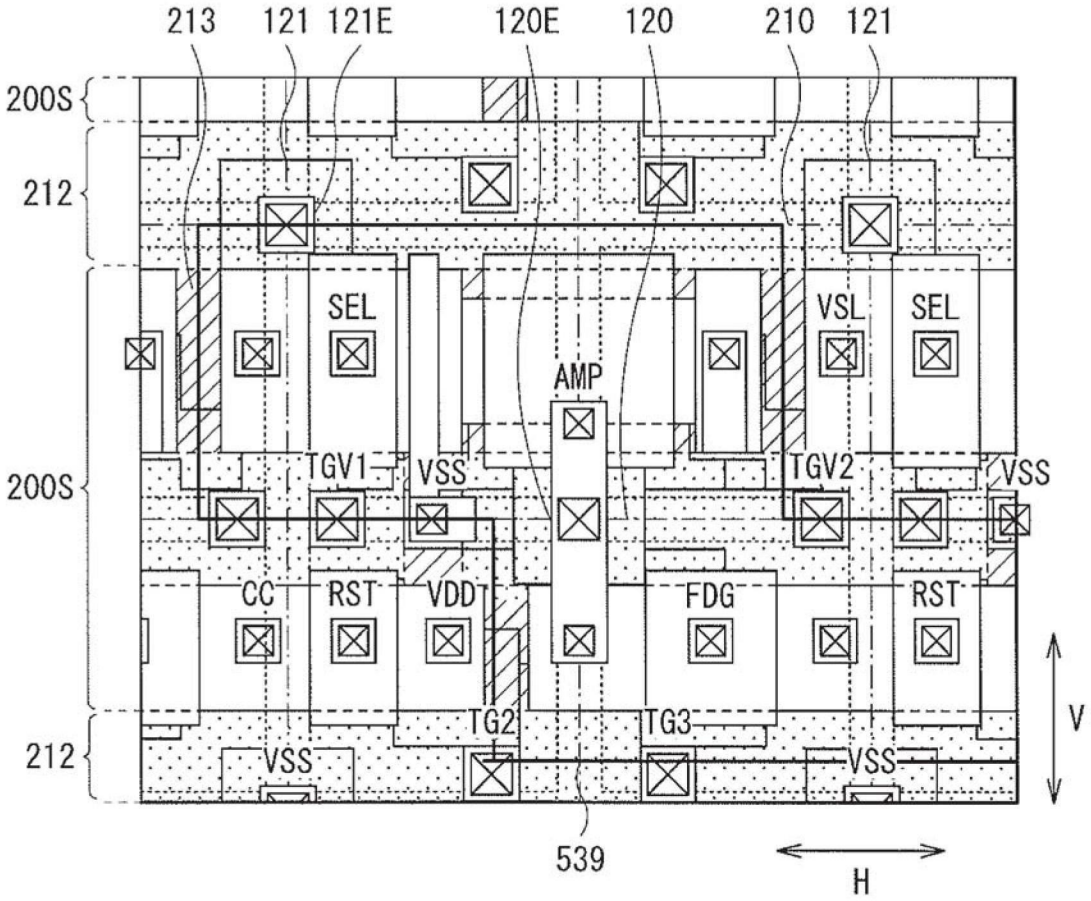
【圖95】


541A
120C
541B
Vss
Vss
121C
121
121C
121
TG1
TG2
117
FD1
FD2
FD
120
FD3
FD4
TG3
TG4
Vss
Vss
121
121
V
541C
120C
541D
H

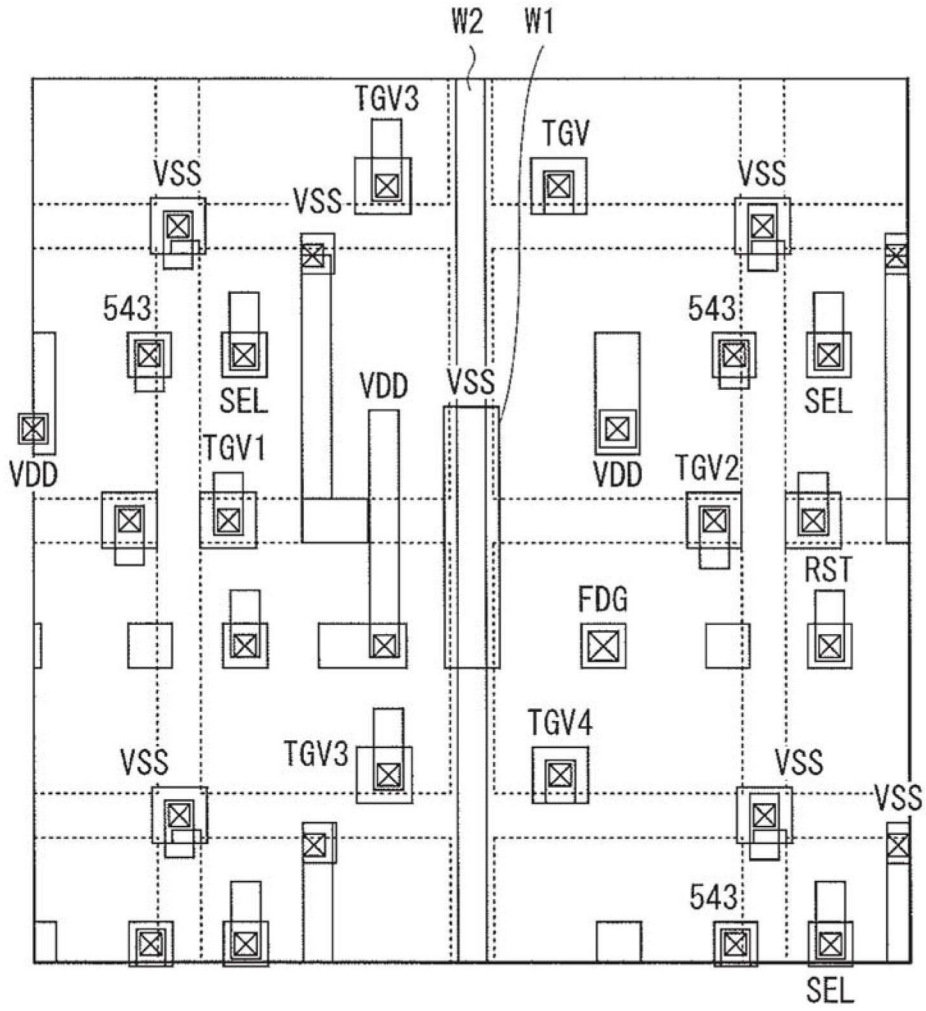
【圖96】


FDG
RST
VDD
FDG
RST
VDD
Vout
SEL
AMP
VDD
Vout
SEL
200S
212
VSS
FDG
CC
RST
VDD
FD
FDG
CC
RST
200S
VDD
Vout
SEL
AMP
VDD
Vout
SEL
539
V
H

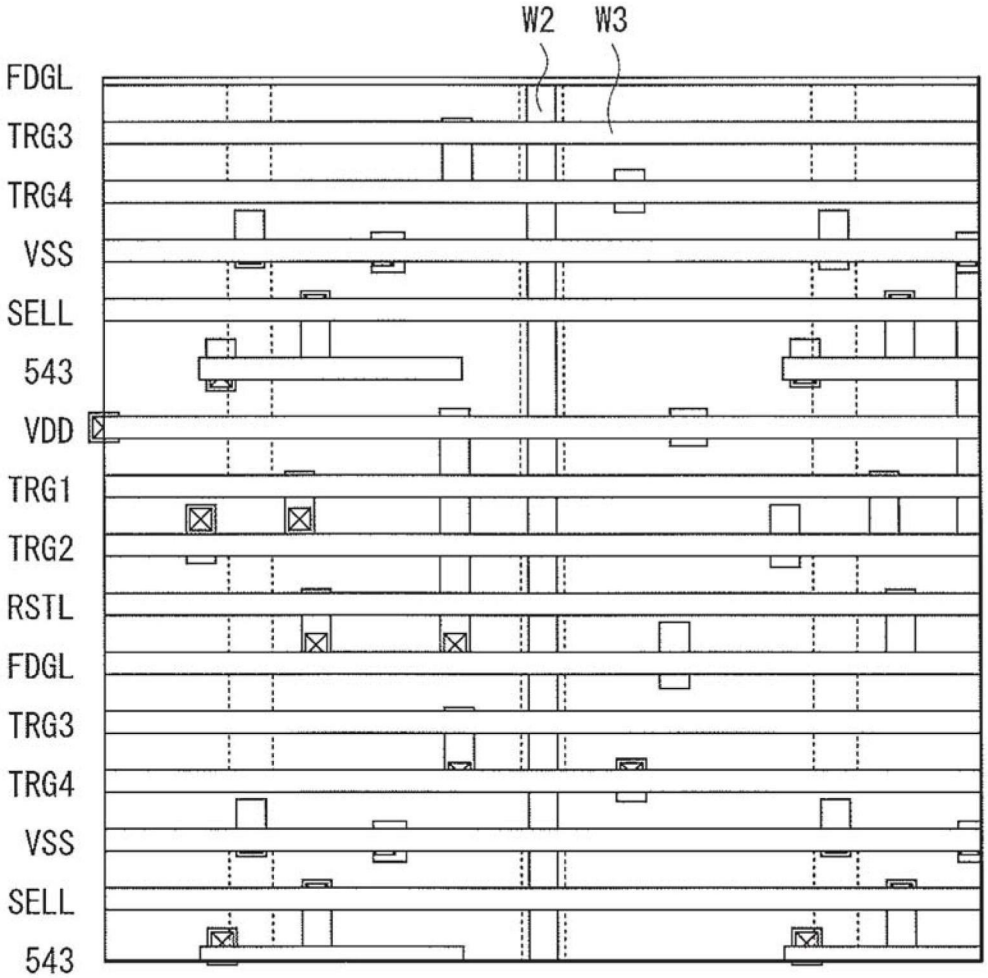
【圖97】


213
121
121E
120E
120
210
121
200S
212
200S
212
SEL
VSL
SEL
AMP
TGV1
VSS
TGV2
VSS
CC
RST
VDD
FDG
RST
TG2
TG3
VSS
VSS
539
V
H

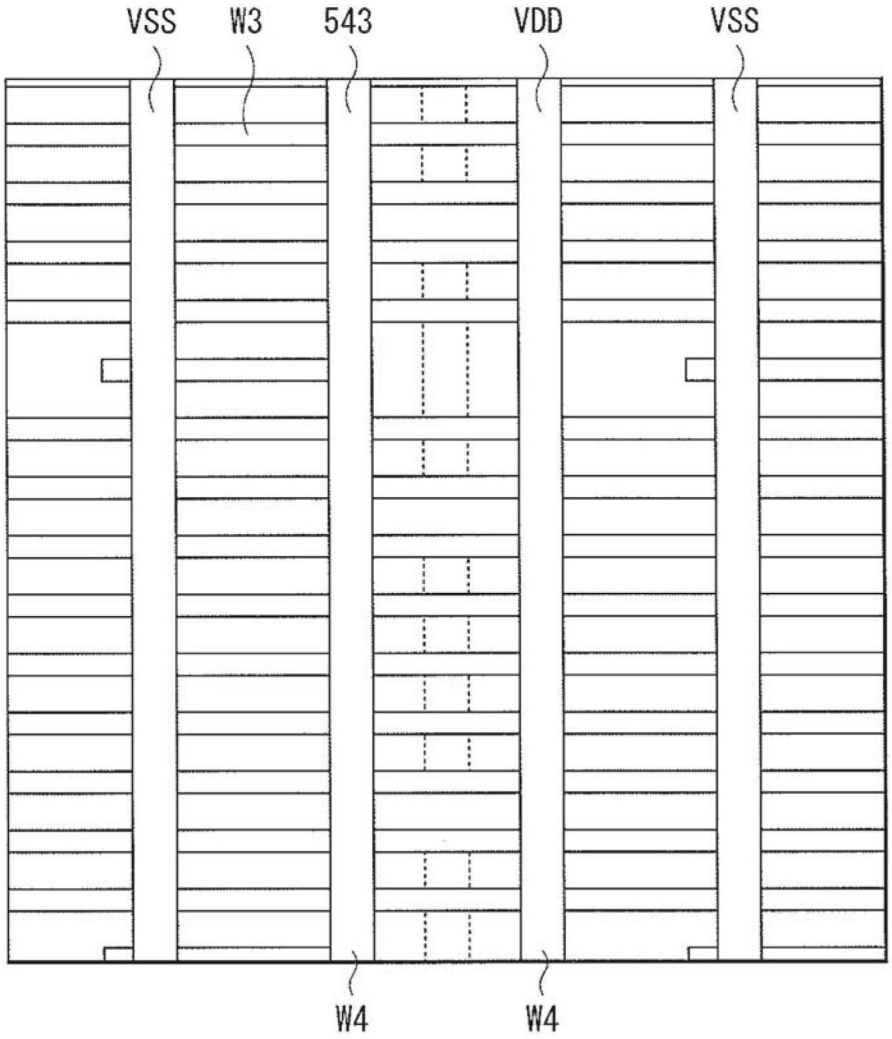
【圖98】


W2
W1
TGV3
TGV
VSS
VSS
VSS
543
543
SEL
SEL
VDD
VSS
VDD
VDD
TGV1
TGV2
RST
FDG
TGV4
TGV3
VSS
VSS
VSS
543
SEL

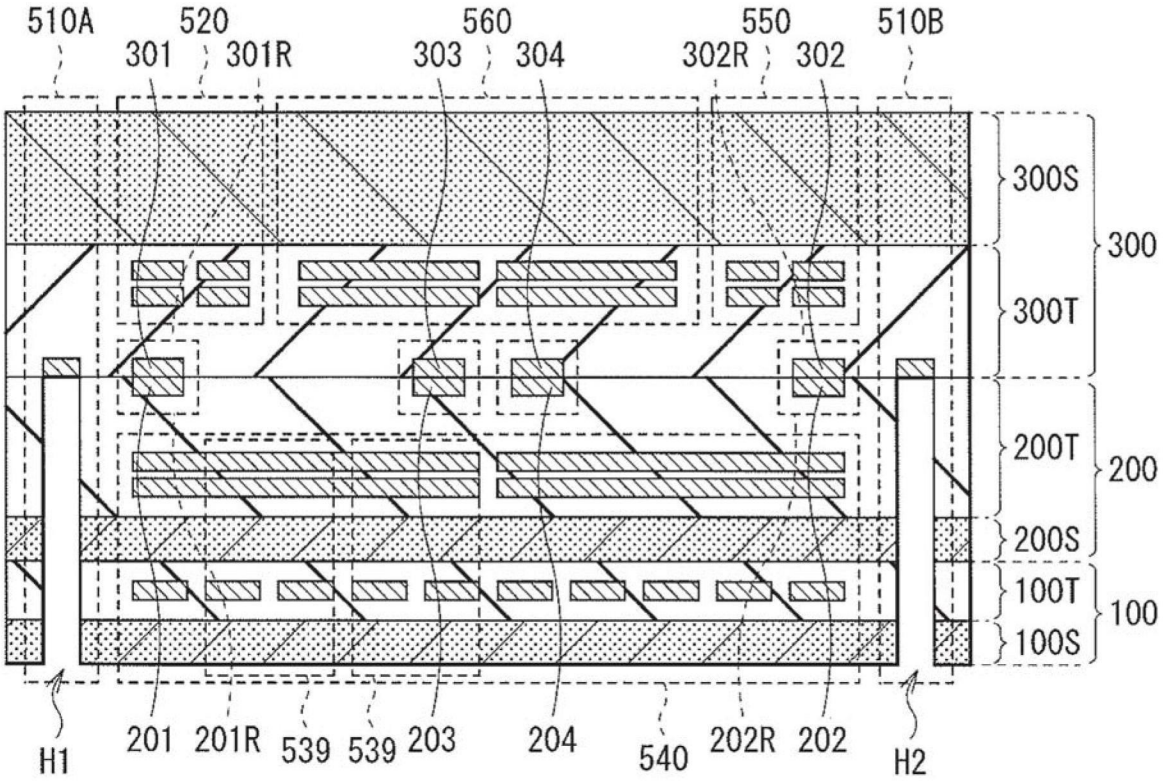
【圖99】


W2
W3
FDGL
TRG3
TRG4
VSS
SELL
543
VDD
TRG1
TRG2
RSTL
FDGL
TRG3
TRG4
VSS
SELL
543

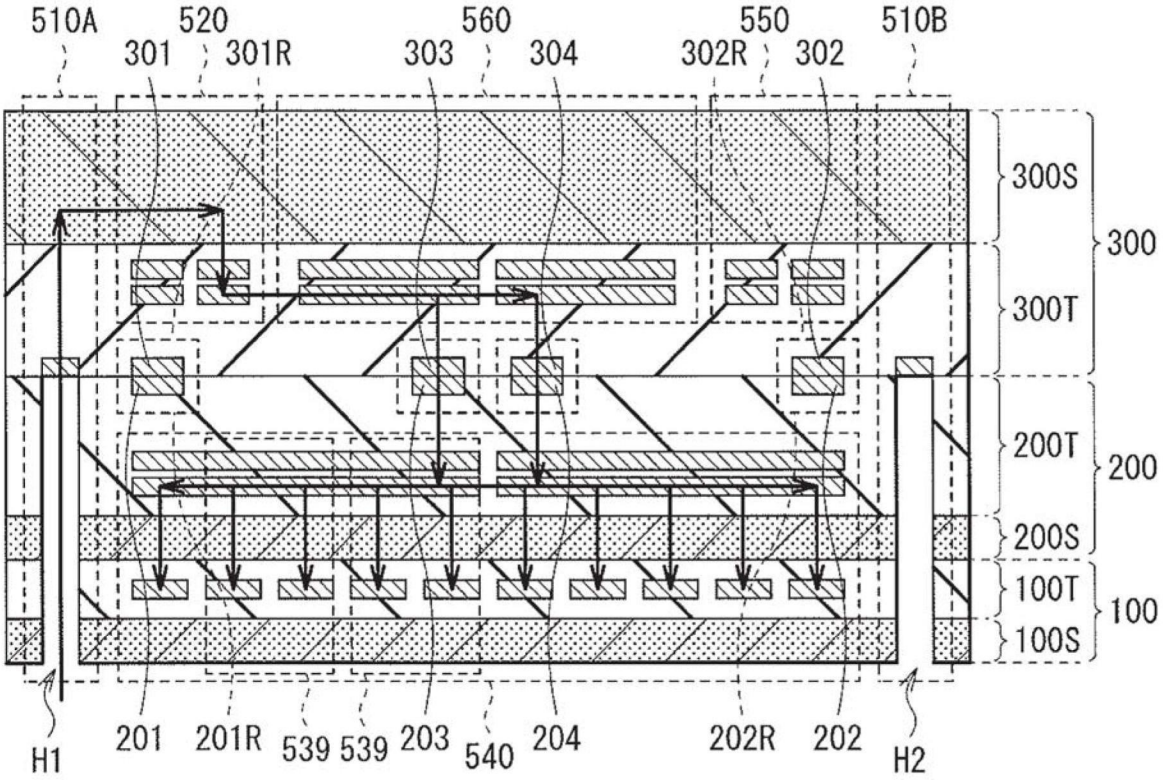
【圖100】



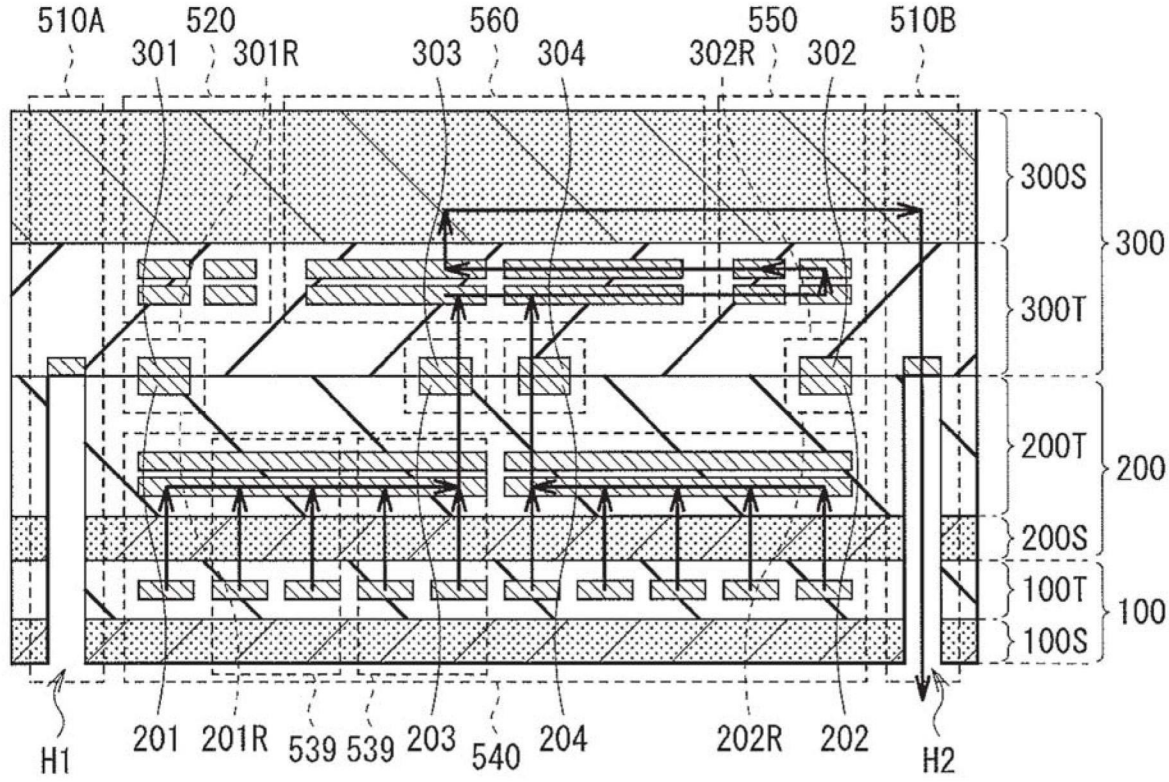
【圖101】


510A
520
301
301R
560
303
304
550
302R
302
510B
300S
300T
300
200T
200
200S
100T
100
100S
H1
201
201R
539
539
203
204
540
202R
202
H2

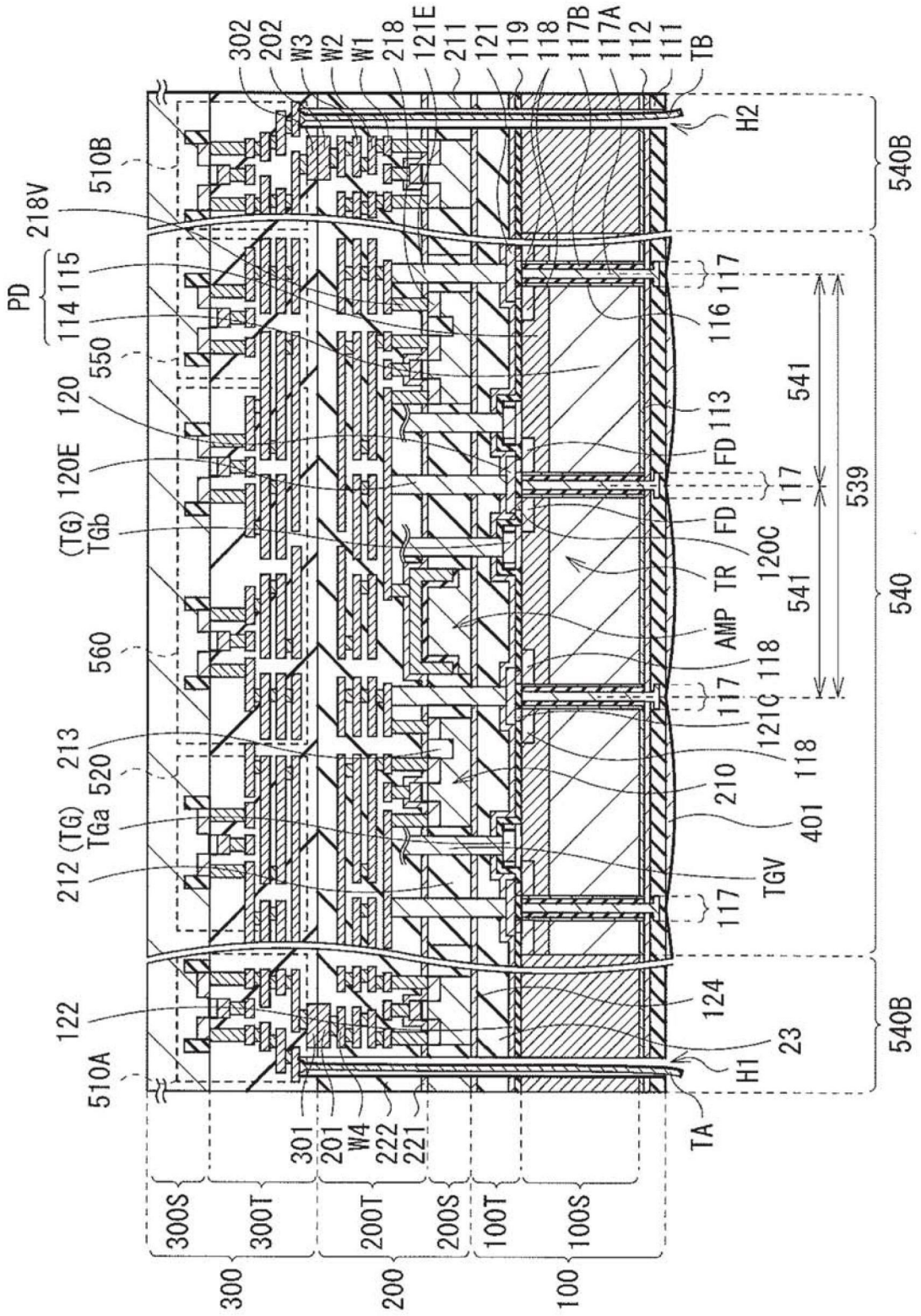
【圖102】


510A
520
301
301R
560
303
304
550
302R
302
510B
300S
300T
300
200T
200S
200
100T
100S
100
H1
201
201R
539
539
203
540
204
202R
202
H2

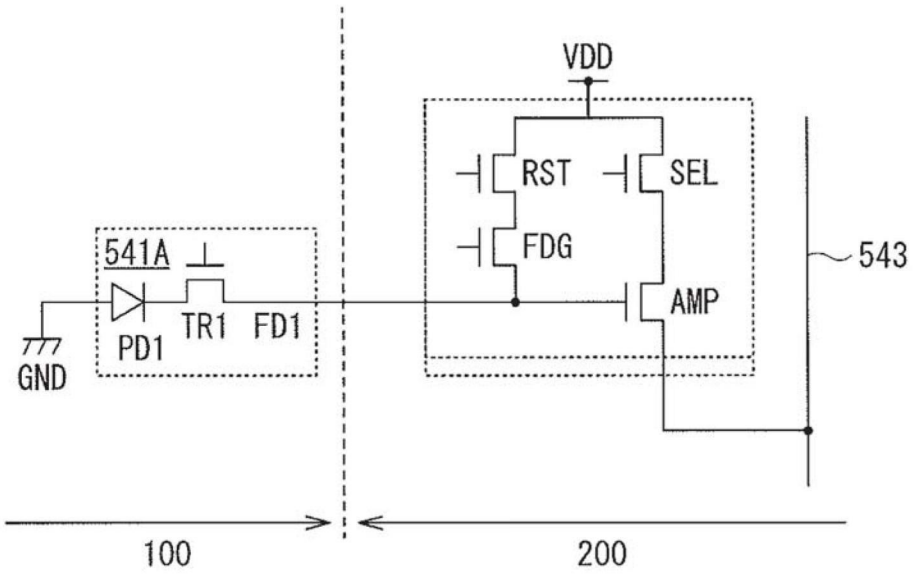
【圖103】


510A
520
301
301R
560
303
304
550
302R
302
510B
300S
300T
300
200T
200S
200
100T
100S
100
H1
201
201R
539
539
203
540
204
202R
202
H2

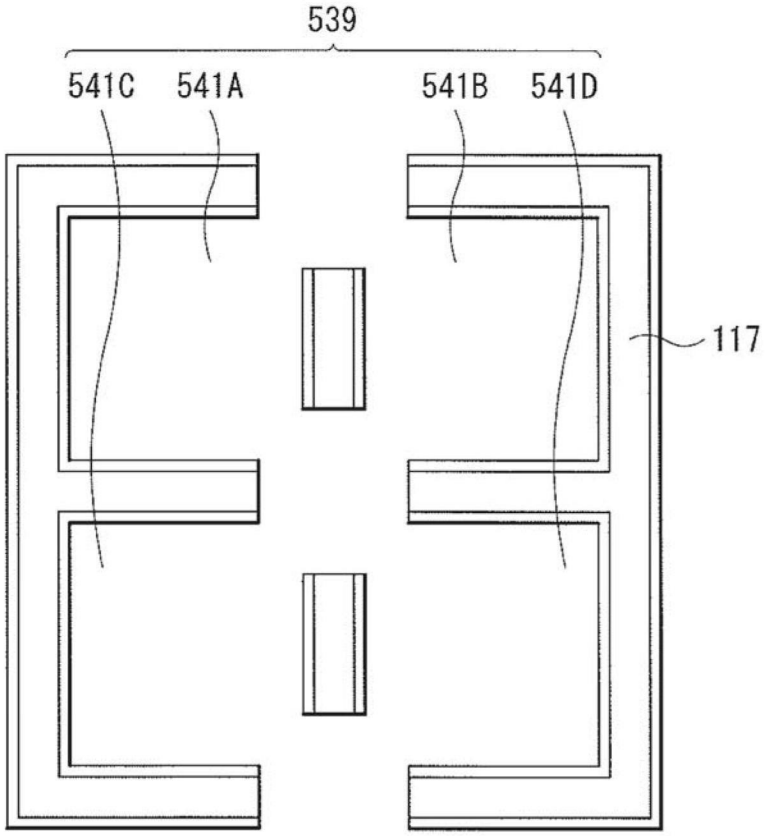
【圖104】


302
202
W3
W2
W1
218
121E
211
121
119
118
117B
117A
112
111
TB
H2
540B
510B
218V
PD
115
114
550
120
120E
(TG)
TGb
560
213
520
212
(TG)
TGa
122
510A
116
117
FD
113
541
539
FD
120C
AMP
TR
118
121C
210
401
TGV
124
23
H1
TA
540
301
201
W4
222
221
300S
300T
200T
200S
100T
100S
300
200
100

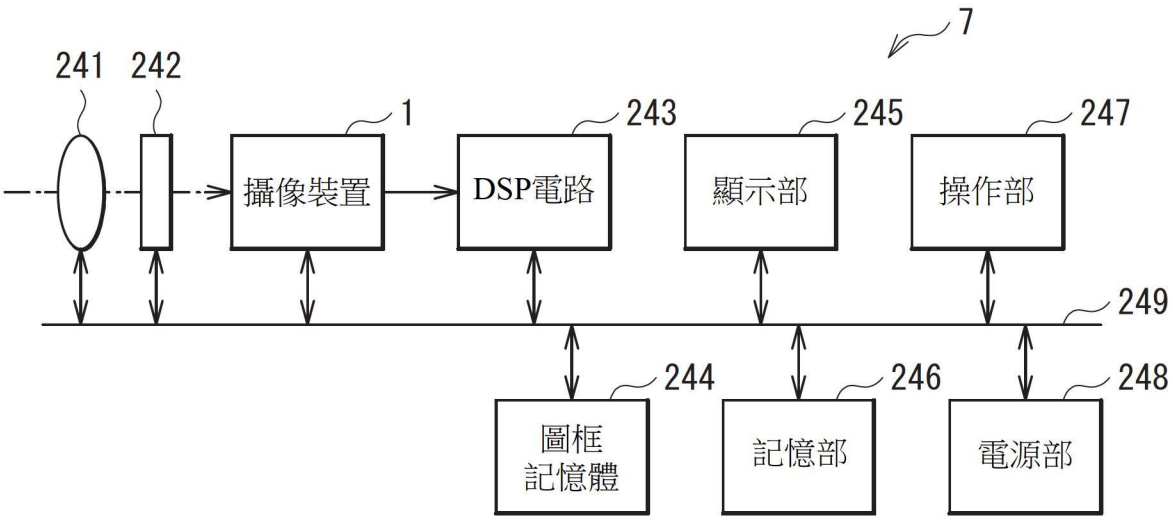
【圖105】


VDD
RST
SEL
FDG
AMP
543
541A
PD1
TR1
FD1
GND
100
200

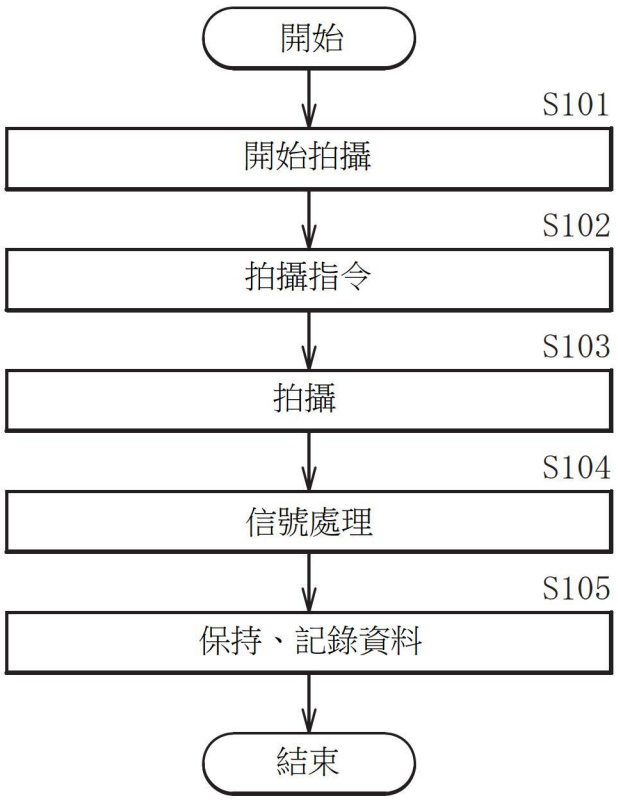
【圖106】


539
541C
541A
541B
541D
117

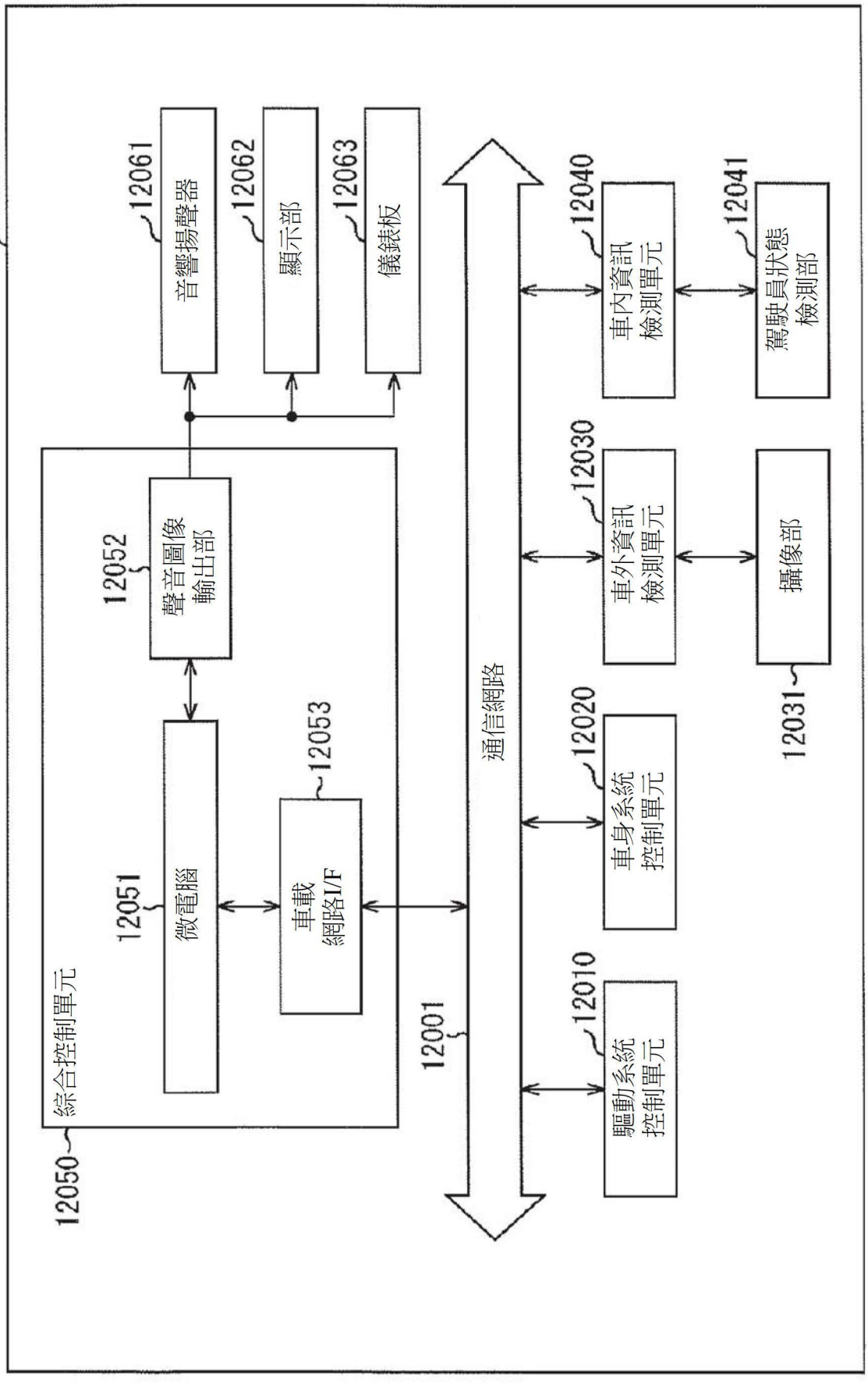
【圖107】


7
241
242
1
243
245
247
攝像裝置
DSP電路
顯示部
操作部
249
244
246
248
圖框
記憶體
記憶部
電源部

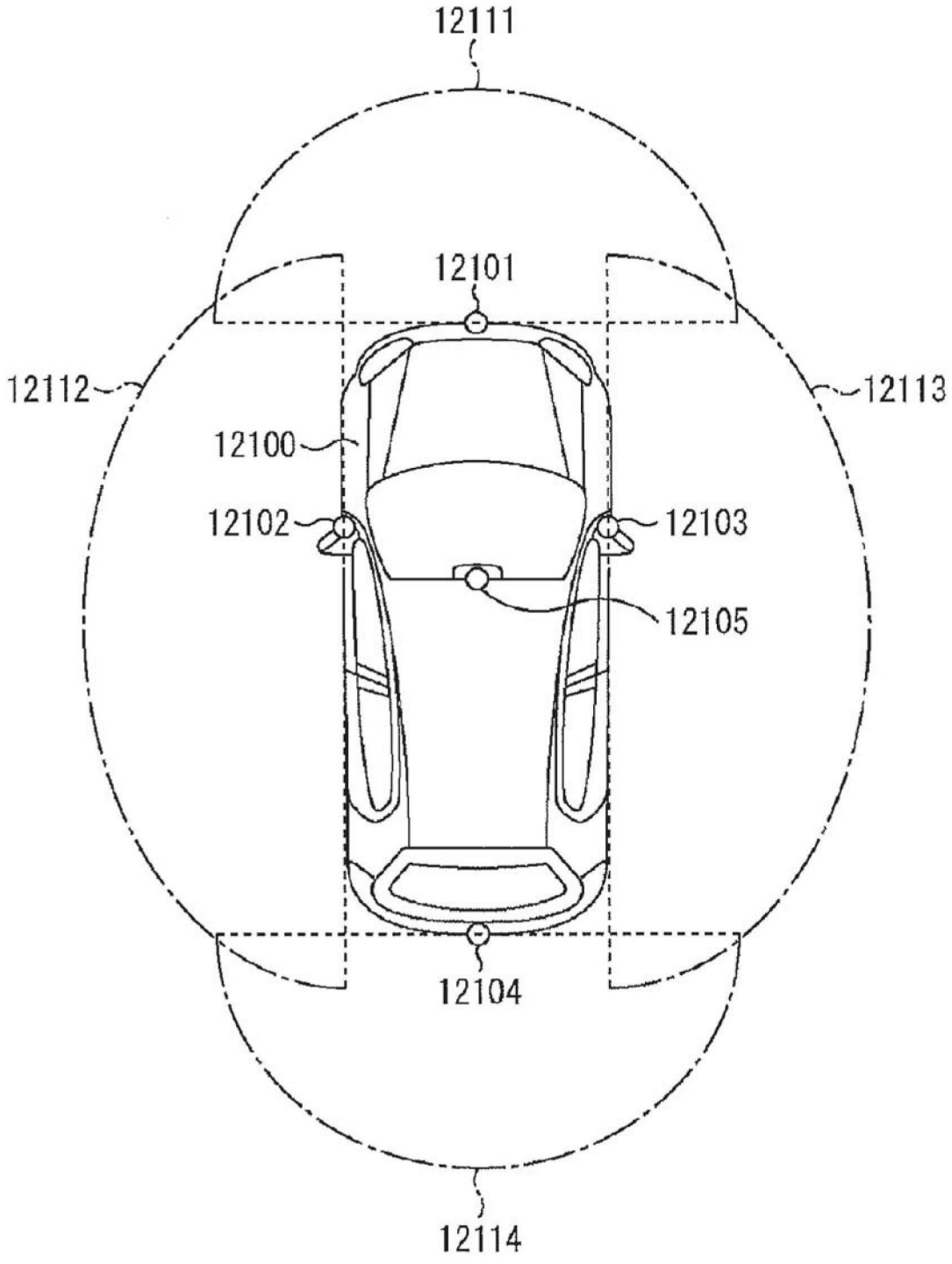
【圖108】


開始
S101
開始拍攝
S102
拍攝指令
S103
拍攝
S104
信號處理
S105
保持、記錄資料
結束

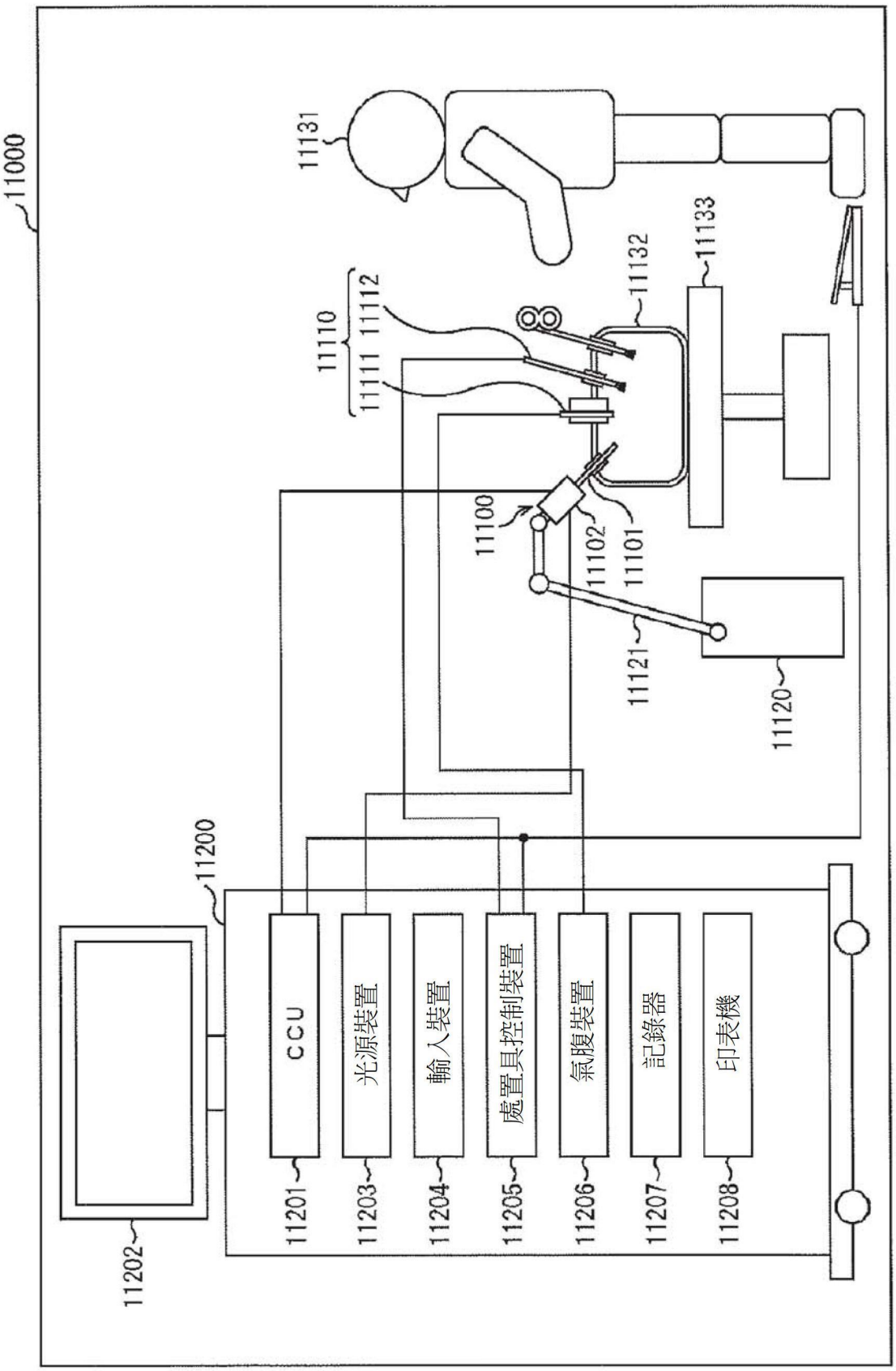
【圖109】


12000
12061
音響揚聲器
12062
顯示部
12063
儀錶板
12040
車內資訊
檢測單元
12041
駕駛員狀態
檢測部
12052
聲音圖像
輸出部
12030
車外資訊
檢測單元
12053
12051
微電腦
車載
網路I/F
12020
車身系統
控制單元
12031
攝像部
通信網路
12001
12010
驅動系統
控制單元
綜合控制單元
12050

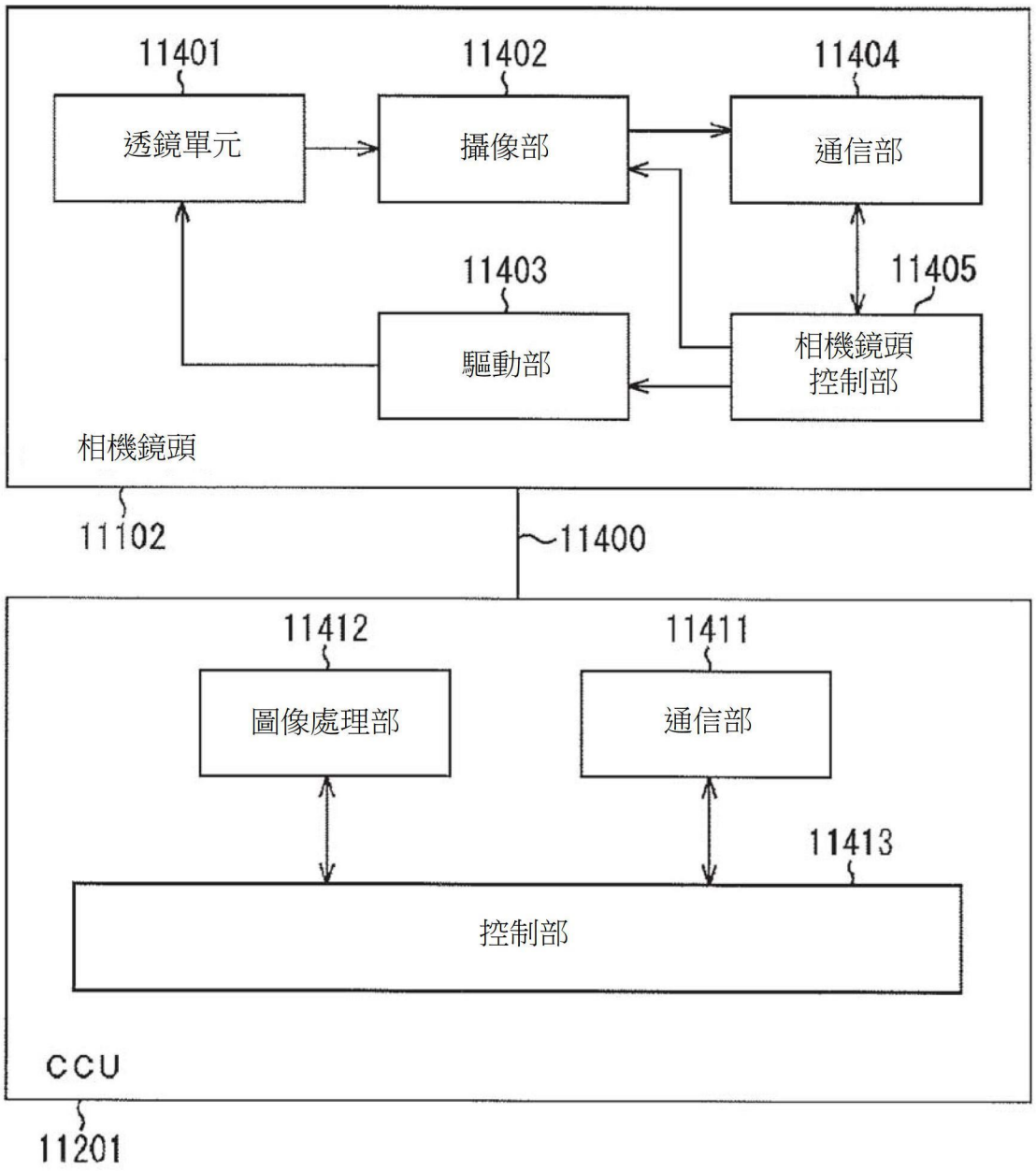
【圖110】


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

【圖111】


11000
11131
11133
11132
11110
11112
11111
11100
11102
11101
11121
11120
11200
CCU
光源裝置
輸入裝置
處置具控制裝置
氣腹裝置
記錄器
印表機
11201
11203
11204
11205
11206
11207
11208
11202

【圖112】


11401
透鏡單元
11402
攝像部
11404
通信部
11403
驅動部
11405
相機鏡頭
控制部
相機鏡頭
11102
11400
11412
圖像處理部
11411
通信部
11413
控制部
CCU
11201

【圖113】