(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0064990
(43) 공개일자 2015년06월12일

(51) 국제특허분류(Int. Cl.)
H03K 3/354 (2006.01)
(21) 출원번호 10-2013-0149994
(22) 출원일자 2013년12월04일
심사청구일자 2013년12월04일

(71) 출원인
이화여자대학교 산학협력단
서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)
(72) 발명자
박성민
경기도 성남시 분당구 서현로 181 이매촌한신아파트 210동 1506호
김성훈
울산광역시 남구 신복로71번길 13 무거현대아파트 102동 614호
(74) 대리인
남정길

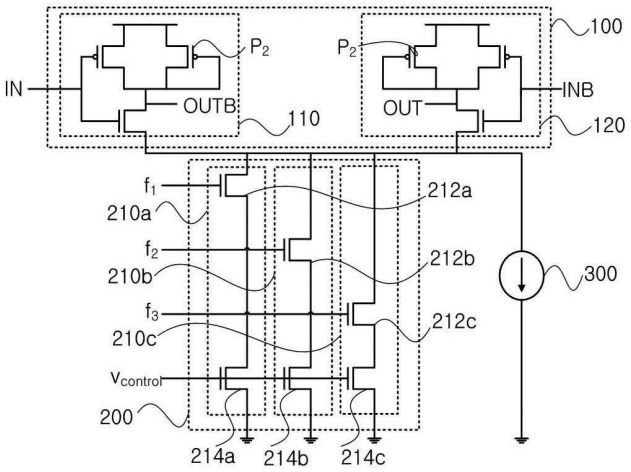
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **링 전압 제어 발진기**

(57) 요 약

본 실시예에 의한 링 전압 제어 발진기는 적어도 하나의 지연 셀을 가지며, 상기 지연 셀은 입력 신호를 반전하여 출력하는 인버터 부(inverter unit)와, 상기 지연 셀의 동작 주파수를 설정하는 동작 주파수 설정 회로 및 상기 동작 주파수 설정 회로와 병렬로 연결되는 제1 전류원(current source)을 포함한다.

대 표 도



이 발명을 지원한 국가연구개발사업
과제고유번호 1415128863
부처명 미래창조과학부
연구관리전문기관 정보통신산업진흥원
연구사업명 정보통신기술인력양성사업
연구과제명 정보기기용 시스템반도체 핵심 설계 기술 개발 및 인력양성
기 여 율 1/1
주관기관 서울시립대학교
연구기간 2013.01.01 ~ 2013.12.31

명 세 서

청구범위

청구항 1

적어도 하나의 지연 셀을 가지는 링 전압 제어 발진기로,

상기 지연 셀은

입력 신호를 반전하여 출력하는 인버터 부(inverter unit);

상기 지연 셀의 동작 주파수를 설정하는 동작 주파수 설정 회로; 및

상기 동작 주파수 설정 회로와 병렬로 연결되는 제1 전류원(current source)을 포함하는 링 전압 제어 발진기.

청구항 2

제1항에 있어서,

상기 인버터 부는 상보적으로 동작하는 인버터 쌍(inverter pair)을 포함하는 링 전압 제어 발진기.

청구항 3

제2항에 있어서,

상기 인버터 쌍은,

적어도 하나의 PMOS 트랜지스터와, 적어도 하나의 NMOS를 포함하며, 상기 PMOS 트랜지스터와 병렬로 연결된 다이오드 결선 PMOS트랜지스터를 포함하는 각각의 인버터가 상보적으로 동작하는 링 전압 제어 발진기.

청구항 4

제1항에 있어서,

상기 동작 주파수 설정 회로는,

복수의 동작 주파수에 상응하는 복수의 주파수 설정 브랜치들을 포함하며,

주파수 설정 브랜치는,

동작 주파수 설정 스위치와, 제2 전류원을 포함하는 링 전압 제어 발진기.

청구항 5

제4항에 있어서,

상기 링 전압 제어 발진기는,

복수의 동작 주파수 중 목적하는 동작 주파수에 상응하는 주파수 설정 브랜치에 포함된 제2 전류원이 제어되어 구동되는 링 전압 제어 발진기.

청구항 6

제4항에 있어서,

상기 제2 전류원은 NMOS 트랜지스터 전류 싱크(current sink)로,

NMOS 트랜지스터의 크기는 동작 주파수에 비례하는 링 전압 제어 발진기.

청구항 7

제1항에 있어서,

상기 제1 전류원은,

적어도 하나의 NMOS트랜지스터 전류 싱크(current sink)인 링 전압 제어 발진기.

청구항 8

제1항에 있어서,

상기 제1 전류원은,

동일한 신호로 제어되는 복수의 NMOS 트랜지스터가 직렬 또는 병렬로 연결된 링 전압 제어 발진기.

청구항 9

제1항에 있어서,

상기 제1 전류원은,

하나의 NMOS 트랜지스터인 링 전압 제어 발진기.

청구항 10

제1항에 있어서,

상기 링 전압 제어 발진기는,

상기 지연 셀 네 개가 캐스케이드로 연결된 링 전압 제어 발진기.

청구항 11

입력 신호에 대하여 소정의 지연 시간(delay time)을 두고 출력하는 적어도 둘 이상의 단위 지연 셀들;

상기 단위 지연 셀들은 캐스케이드로 연결되며, 마지막에 배치된 단위 지연셀의 출력은 최초 단위 지연 셀의 상보적 입력으로 인가되며,

상기 둘 이상의 단위 지연 셀들은, PVT 변동에 따른 동작 주파수 저하를 보상하는 전류원을 포함하는 링 전압 제어 발진기.

청구항 12

제11항에 있어서,

상기 전류원은,

적어도 하나의 NMOS트랜지스터 전류 싱크(current sink)인 전압 제어 발진기.

청구항 13

제11항에 있어서,

상기 전류원은,

동일한 신호로 제어되는 복수의 NMOS 트랜지스터가 직렬 또는 병렬로 연결된 전압 제어 발진기.

청구항 14

제11항에 있어서,

상기 전류원은,

하나의 NMOS 트랜지스터인 전압 제어 발진기.

발명의 설명

기 술 분 야

[0001] 본 발명은 링 전압 제어 발진기에 관한 것이다.

배 경 기 술

[0002] 전압 제어 발진기(VCO, Voltage Controlled Oscillator)는 제어 전압을 통해 출력 주파수를 조절하여 원하는 주파수의 출력을 얻는 오실레이터 회로이다. 이러한 전압 제어 발진기는 보통 LC-공진 전압 제어 발진기와 링 전압 제어 발진기가 사용된다. 이중 링 발진기는 복수개의 인버터 또는 지연 셀들을 링 형태로 연결하여 각 인버터 내에서 지연 시간을 이용하여 발진을 행하게 된다.

[0003] 링 전압 제어 발진기는 차지하는 면적이 작아 집적도가 높고, 주파수 가변 변위가 넓으며 다중 위상(multi-phase)을 쉽게 생성할 수 있다는 장점이 있다.

[0004] 링 전압 제어 발진기에 관한 선행 특허로는 한국 공개특허공보 제2012-0055769호가 있다.

발명의 내용

해결하려는 과제

[0005] 링 전압 제어 발진기는 여러 단(stage)의 지연 소자를 환 형(ring shape)으로 배치한 구조를 가진다. 링 전압 제어 발진기에 포함된 각각의 단은 전압 제어 발진기의 주파수뿐 아니라 인접 위상의 위상차를 결정한다. 링 전압 제어 발진기에서는 각 단에서 형성하는 신호의 위상차가 동일한 것이 발진기의 품질을 결정하는 중요한 요소 중의 하나인데, 이를 위하여는 각 단 지연 셀의 지연시간이 동일하게 제어되어야 하며, 전압제어 발진기를 제어하는 제어 전압 리플에 따른 지터 및 노이즈가 최소화되어야 한다.

[0006] 그러나, 공정, 인가 전압 및/또는 온도 변화(PVT Process, Voltage, Temperature Variation)에 의하여 전압 제어 발진기 각 단에서의 잡음과 부정합(mismatch)이 발생하며, 링 전압 제어 발진기에서 각 단의 지연시간이 변화한다. 이로 인하여 발진 조건이 변화하여 목적하는 주파수에서 발진이 발생하지 않을 수 있다.

[0007] 본 발명은 상기한 종래 기술에 의한 링 전압 제어 발진기의 문제점을 해결하기 위한 것으로, PVT 변화에 따른 허용 오차 특성을 향상시켜 목적하는 주파수에서 발진하는 링 전압 제어 발진기를 제공하는 것이 본 발명의 목적 중 하나이다. 본 발명의 다른 목적 중 하나는 높은 주파수에서 넓은 주파수 가변 범위를 가지는 링 전압 제어 발진기를 제공하는 것이다.

과제의 해결 수단

[0008] 본 실시예에 의한 링 전압 제어 발진기는 적어도 하나의 지연 셀을 가지며, 상기 지연 셀은 입력 신호를 반전하여 출력하는 인버터 부(inverter unit)와, 상기 지연 셀의 동작 주파수를 설정하는 동작 주파수 설정 회로 및 상기 동작 주파수 설정 회로와 병렬로 연결되는 제1 전류원(current source)을 포함한다.

[0009] 본 실시예에 의한 링 전압 제어 발진기는 입력 신호에 대하여 소정의 지연 시간(delay time)을 두고 출력하는 적어도 둘 이상의 단위 지연 셀들과, 상기 단위 지연 셀들은 캐스케이드로 연결되며, 마지막에 배치된 단위 지연셀의 출력은 최초 단위 지연 셀의 상보적 입력으로 인가되며, 상기 둘 이상의 단위 지연 셀들은, PVT 변동에 따른 동작 주파수 저하를 보상하는 전류원을 포함한다.

발명의 효과

[0010] 본 발명에 의한 링 전압 제어 발진기에 의하면 동작 주파수 특성을 열화시키는 PVT 변화가 있는 경우에도 목적하는 주파수로 링 전압 제어 발진기를 구동할 수 있다는 장점이 제공된다.

[0011] 또한, 본 발명에 의한 링 전압 제어 발진기에 의하면, 넓은 주파수 가변 범위를 가지는 링 전압 제어 발진기가 제공된다는 장점이 있다.

도면의 간단한 설명

[0012] 도 1은 본 실시예에 의한 링 전압 제어 발진기의 개요를 나타내는 블록도(block diagram)이다.

도 2는 본 실시예에 의한 링 전압 제어 발진기 중 어느 한 단위 셀의 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하에서는 첨부된 도면을 참조하여 본 실시예를 설명한다. 도 1은 본 실시예에 의한 링 전압 제어 발진기의 개요를 나타내는 블록도(block diagram)이고, 도 2는 본 실시예에 의한 링 전압 제어 발진기 중 어느 한 단위 셀의 회로도이다. 도 1 및 도 2를 참조하면, 본 실시예에 의한 링 전압 제어 발진기(1000)는 입력 신호에 대하여 소정의 지연 시간(delay time)을 두고 출력하는 복수의 단위 지연 셀들(10a, 10b, 10c, 10d)을 포함하며, 상기 단위 지연 셀들은 캐스케이드(cascade) 되어 연결되며, 마지막에 배치된 단위 지연셀(10d)의 출력은 최초 단위 지연 셀(10a)의 입력에 상보적으로 인가되며, 각각의 단위 지연 셀들은, PVT 변동에 따른 동작 주파수를 보상하는 전류원(300)을 포함한다.

[0014] 각각의 단위 지연셀은 입력 신호를 반전하여 출력하는 인버터 부(100)와, 지연 셀의 동작 주파수를 설정하는 동작 주파수 설정 회로(200)를 포함한다. 또한, 각각의 단위 지연셀은 위에서 설명한 바와 같이 주파수 설정 회로와 병렬로 연결되어, PVT 변동에 따른 동작 주파수를 보상하는 제1 전류원(300)을 포함한다.

[0015] 인버터 부(100)는 각각 상보적 입력 신호인 IN과 INB를 입력받아 입력된 신호를 반전한 OUTB신호와 OUT신호를 출력하는 제1 인버터(110)와 제2 인버터(120)를 포함한다. 제1 인버터(110)는 IN 신호를 입력받아 이를 반전한 OUTB 신호를 출력하고, 제2 인버터(120)는 IN신호와 상보적인 INB 신호를 입력받아 이를 반전한 OUT신호를 출력한다. 일 실시예로, 제1 인버터(110) 및 제2 인버터(120)는 각각 적어도 하나의 PMOS 트랜지스터와 NMOS 트랜지스터를 포함하며, PMOS 트랜지스터와 병렬로 연결된 다이오드 결선된 PMOS트랜지스터(P2)를 포함한다.

[0016] 다이오드 결선된 PMOS트랜지스터(P2)들은 일종의 부하 저항(load resistance) 의 역할을 수행하는 것으로, 다이오드 결선된 PMOS 트랜지스터(P2)에 의하여 전압 제어 발진기가 출력하는 신호의 주파수 범위를 확장시킬 수 있으며, 다이오드 결선된 PMOS 트랜지스터(P2)에 의하여 GHz 대역의 신호를 출력할 수 있다. 인덕터와 커패시터의 공진을 이용하는 LC-전압 제어 발진기의 경우, 조절 가능한 신호의 주파수 범위가 수십 MHz 대역인 것을 고려하면 본 실시예에 의한 전압 제어 발진기는 보다 넓은 주파수 대역의 신호를 출력할 수 있다.

[0017] 동작 주파수 설정 회로(200)는 전압 제어 발진기가 여러 동작 주파수 중에서 목적한 어느 하나의 주파수로 동작하도록 설정하는 회로이다. 도시된 실시예에서, 동작 주파수 설정 회로(200)는 전압 제어 발진기(200)가 f_1, f_2 및 f_3 중 어느 하나의 주파수를 가지는 발진 신호를 출력하도록 한다. 동작 주파수 설정 회로(200)는 전압 제어 발진기가 각각의 동작 주파수 f_1, f_2 또는 f_3 동작하도록 설정하는 각각의 주파수에 상응하는 주파수 설정 브랜치(210a, 210b, 210c)들을 포함한다.

[0018] 각각의 주파수 설정 브랜치(210a, 210b, 210c)들은 동작 주파수 설정 스위치(212a, 212b, 212c)와 구동에 필요한 전류를 싱크(sink)하는 NMOS 전류원(214a, 214b, 214c)를 포함한다. 동작 주파수 설정 스위치의 제어 전극에는 동작 주파수를 가지는 신호가 인가되어 동작 주파수 설정 스위치가 턴 온, 턴 오프된다.

[0019] 제어 전압 신호($V_{control}$)를 NMOS 전류원(214a 214b, 214c)에 인가하여 전압 제어 발진기를 제어하는 싱크(sink) 전류량을 제어하며, 그에 따라 전압 제어 발진기가 출력하는 신호의 위상이 조절된다. 또한, 고속으로 동작하는 주파수 설정 브랜치일수록 필요한 전류량이 크다. 따라서 고속으로 동작하는 주파수 설정 브랜치일 수록, 그에 포함된 NMOS 트랜지스터의 크기가 증가한다.

[0020] 일 예로, 동작 주파수 f_1, f_2, f_3가 $f_1 > f_2 > f_3$인 관계에 있다면 주파수 설정 브랜치 200a가 가장 높은 주파수로 동작하며, 200c가 가장 낮은 주파수로 동작한다. 따라서, 각 주파수 설정 브랜치에 포함된 NMOS트랜지스터의 크기는 214a가 가장 크고, 214c가 가장 작다.

[0021] 도시된 실시예는 세 개의 주파수 대역에서 구동될 수 있도록 세 개의 주파수 설정 브랜치를 형성하였으나, 이는 실시예로서, 본 발명의 범위를 제한하고자 하는 것이 아니며, 단 하나의 주파수 설정 브랜치만을 형성할 수 있으며, 세 개 이상의 주파수 대역에서 구동될 수 있도록 세 개 이상의 주파수 설정 브랜치를 형성하는 것도 당연히 가능하다.

[0022] 전류원(300)은 동작 주파수 설정 회로와 병렬로 연결되며, PVT 변동에 따른 동작 주파수 저하를 보상한다. PVT 변동은 공정(Process), 전압(Voltage) 및 온도(Voltage)의 변동에 기인하여 전자장치를 구성하는 기본적 소자인 PMOS 트랜지스터와 NMOS 트랜지스터의 실제 동작 속도가 설계된 동작 속도와 다르게 발현되는 것을 의미한다. 이러한 PVT 변동에 의한 경우 중에서 문제되는 경우는 PMOS 트랜지스터의 동작속도와 NMOS 트랜지스터의 동작속도가 모두 설계 동작 속도보다 낮은 경우인 SS 케이스(Slow-Slow case)이다.

[0023] SS 케이스에 있어서는 PMOS 트랜지스터와 NMOS 트랜지스터는 모두 설계된 목표 동작 속도에 비하여 낮은 속도

로 동작하므로 전압 제어 발진기의 경우에는 목적하는 동작 주파수로 동작할 수 없어 문제된다. 전압 제어 발진기를 제어하는 제어 전압 신호를 조절하여 동작 주파수를 제어하는 방안이 있을 수 있으나, SS 케이스에 있어서 기준치 이상의 제어 전압을 인가하여도 전압 제어 발진기의 동작 주파수가 목적하는 동작 주파수에 수렴하지 않는 경우가 많다.

[0024] 전류원(300)은 전압 제어 발진기가 SS케이스의 경우로 형성된 경우에 동작 주파수를 목적하는 동작 주파수로 동작시키기 위한 것이다. 즉, 주파수 설정 회로에 포함된 NMOS 전류원(214a, 214b, 214c)만으로 전압 제어 발진기를 목적하는 동작 주파수로 구동하기 곤란한 경우에 싱크되는 DC 전류를 증가시켜 보다 고속으로 동작할 수 있도록 전류원(300)을 동작 주파수 설정 회로와 병렬로 연결하였다. 즉, 각 셀의 유효 부하저항 및 지연 시간을 감소시켜 SS 케이스에서 목적하는 구동 주파수로 동작하도록 동작 주파수 설정 회로와 병렬로 전류원을 연결하여 PMOS 트랜지스터 부하의 트랜스 컨덕턴스값을 증가시켰다.

[0025] 도 3은 전류원(300)을 구현한 예를 도시한 도면이다. 도 3a를 참조하면, 전류원(300)은 복수의 NMOS 트랜지스터를 직렬로 연결하고, 동일한 제어신호로 트랜지스터의 게이트를 구동하여 전류원(300)을 구현할 수 있다. 도 3b를 참조하면, 복수의 NMOS 트랜지스터를 병렬로 연결하고, 동일한 제어신호로 트랜지스터의 게이트를 구동하여 전류원을 구현하는 것도 가능하며, 도 3에 예시적으로 도시된 바와 같이 높은 전류 구동 능력을 가지는 하나의 NMOS트랜지스터를 이용하여 전류원을 구현할 수 있다. 나아가 도시되지는 않았지만, 여러 트랜지스터를 직렬 및 병렬로 조합하여 전류원을 구현할 수 있다. 다만 도 3은 MOS트랜지스터를 이용하여 전류원을 구현한 예로, 바이폴라 정션 트랜지스터(BJT)를 이용하여 구현하는 것도 당연히 가능하다.

[0026] **모의실험예**

[0027] 이하에서는 도 4를 참조하여 본 실시예에 의한 전압 제어 발진기와 종래 기술에 의한 전압 제어 발진기에 있어서 SS 케이스 모의실험 결과를 설명한다. 도 4는 종래 기술에 의한 링 전압 제어 발진기에 있어서 1.25GHz, 1.5625GHz 및 2.5GHz의 세 동작 주파수에서 FF 케이스(Fast-Fast case), TT 케이스(Typical-Typical) 및 SS 케이스 시뮬레이션 결과를 도시한 도면으로, 도 4a는 1.25GHz, 도 4b는 1.5625GHz, 도 4c는 2.5GHz에서의 시뮬레이션 결과이다. 도 4a 내지 도 4c 각각의 도면을 참조하면, 모든 동작 주파수에서 FF 케이스, TT케이스의 경우에는 일정한 제어 전압이 인가되면 모두 목적하는 동작 주파수에서 동작하는 것을 확인할 수 있다. 그러나, SS 케이스의 경우에는 인가된 제어 전압의 크기를 조절하여도 모든 주파수에서 목적하는 동작 주파수에 도달하지 못하는 것을 확인할 수 있다.

[0028] 도 5는 SS케이스에서 본 발명에 의한 링 전압 제어 발진기의 모의실험 결과를 도시한 도면이다. 도 5를 참조하면, 링 전압 제어 발진기를 제어하는 전압신호로 0.83V를 인가하면 종래 기술에 의한 링 전압 제어 발진기에 대한 SS 케이스에서의 시뮬레이션 결과와는 달리 모두 목적하는 동작 주파수에서 동작하는 것을 확인할 수 있다.

[0029] 이상에서는 비록 한정된 실시예와 도면에 의하여 설명되었으나, 본 발명은 이러한 설명에 의하여 한정되지 않으며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의하여 본 발명의 기술 사상과 아래에 기재될 특허 청구범위의 균등 범위 내에서 다양한 수정 및 변형이 가능하다.

부호의 설명

[0030] 10a, 10b, 10c, 10d: 단위 지연 셀 100: 인버터부

110, 120: 인버터 200: 동작 주파수 설정 회로

210a, 210b, 210c: 동작 주파수 설정 브랜치

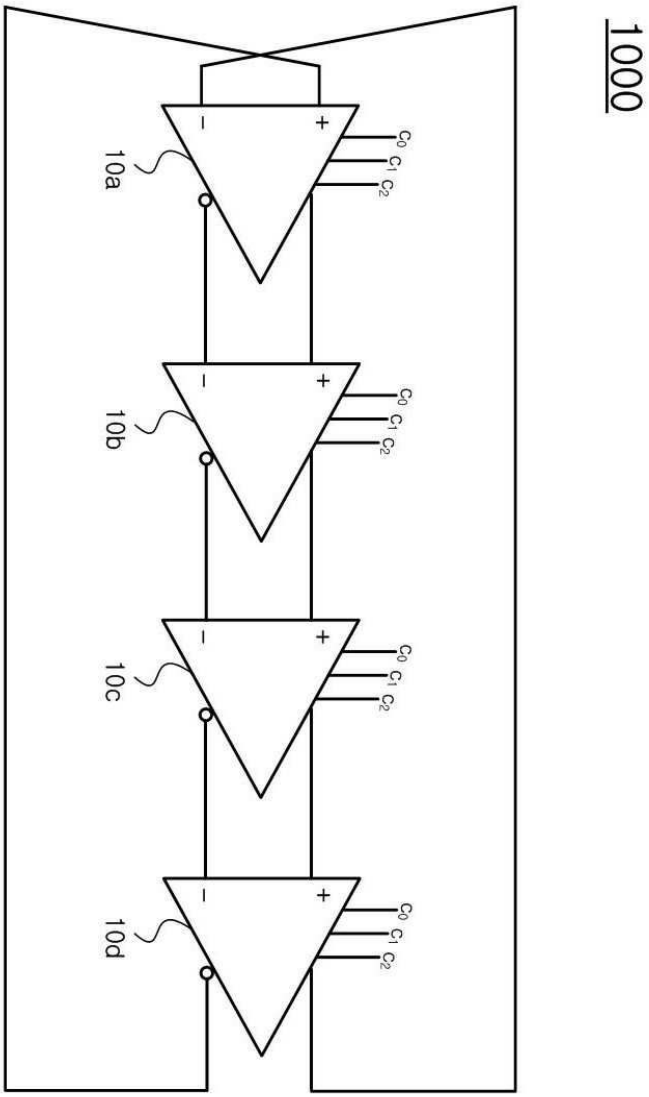
212a, 212b, 212c: 동작 주파수 설정 스위치

214a, 214b, 214c: 제2 전류원

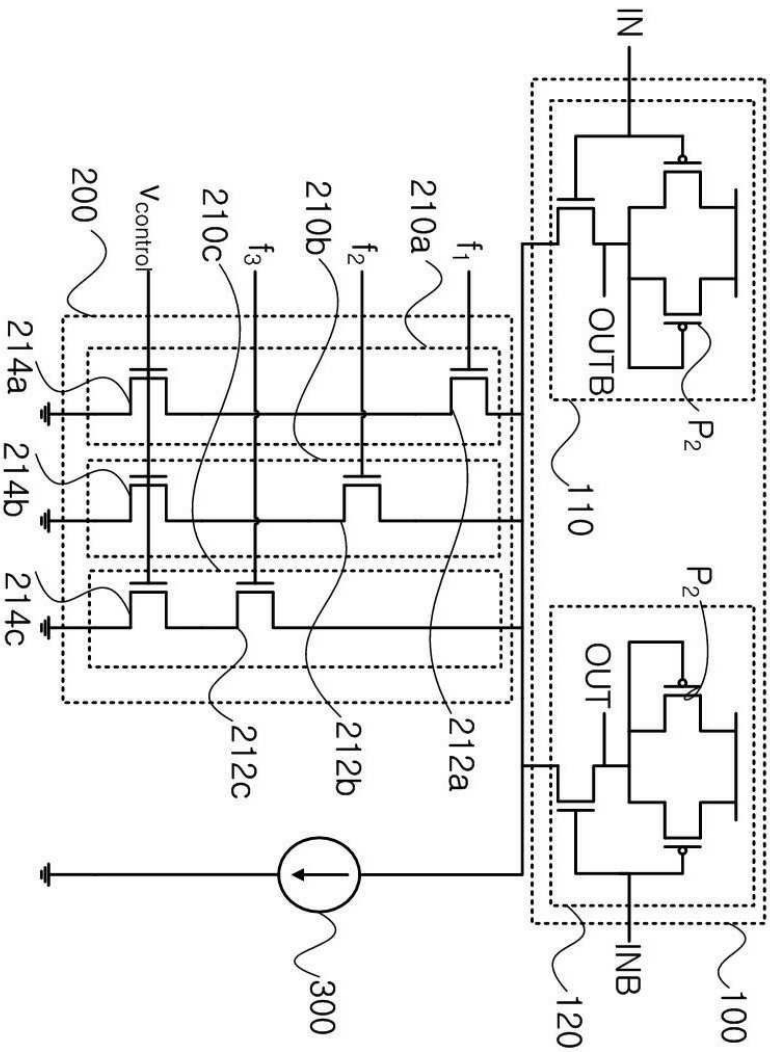
300: 제1 전류원

도면

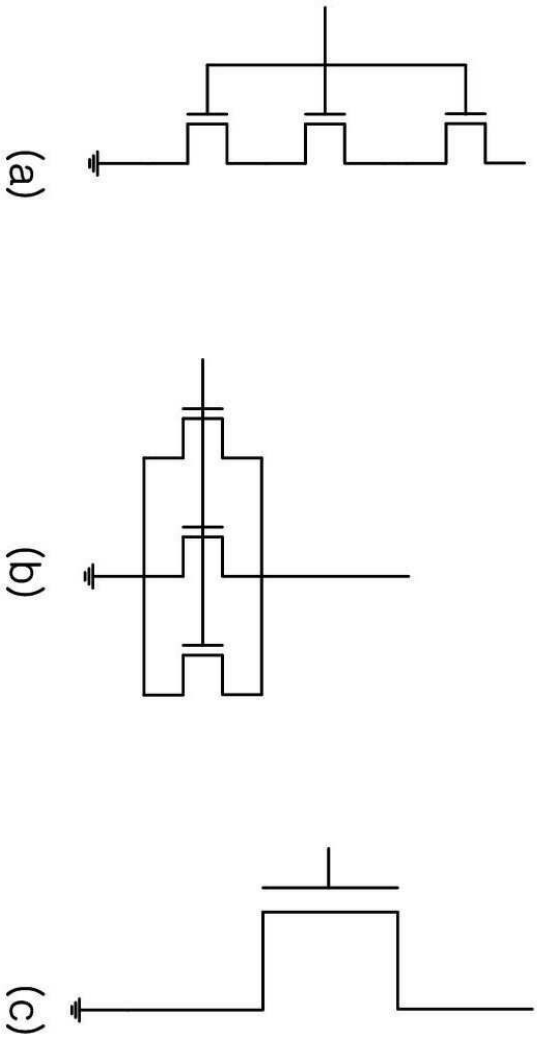
도면1



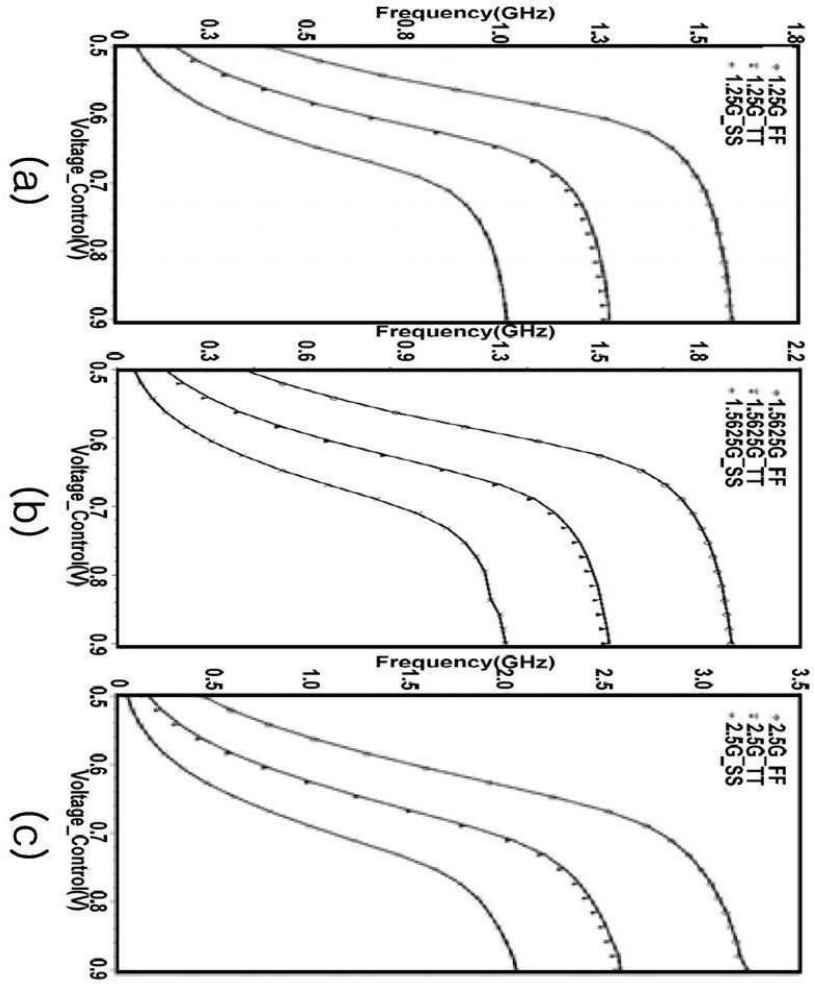
도면2


IN
OUTB
P2
110
P2
OUT
INB
120
100
300
200
Vcontrol
f3
f2
f1
210c
210b
210a
214a
214b
214c
212c
212b
212a

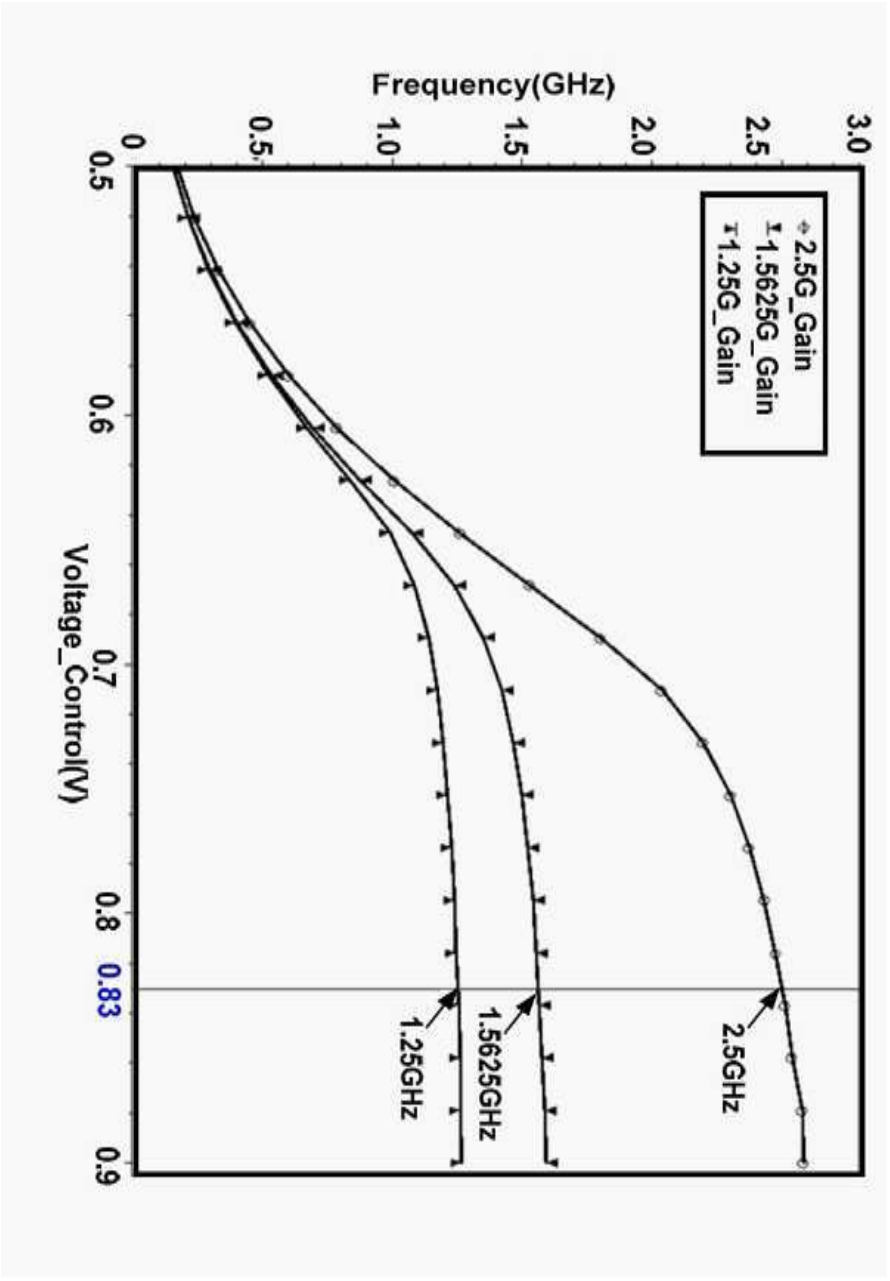
도면3



도면4


(a)
Frequency(GHz)
0 0.3 0.5 0.8 1.0 1.3 1.5 1.8
Voltage_Control(V)
0.5 0.6 0.7 0.8 0.9
1.25G_FF
1.25G_TT
1.25G_SS
(b)
Frequency(GHz)
0 0.3 0.6 0.9 1.3 1.5 1.8 2.2
Voltage_Control(V)
0.5 0.6 0.7 0.8 0.9
1.5625G_FF
1.5625G_TT
1.5625G_SS
(c)
Frequency(GHz)
0 0.5 1.0 1.5 2.0 2.5 3.0 3.5
Voltage_Control(V)
0.5 0.6 0.7 0.8 0.9
2.5G_FF
2.5G_TT
2.5G_SS

도면5


Frequency(GHz)
0
0.5
1.0
1.5
2.0
2.5
3.0
Voltage_Control(V)
0.5
0.6
0.7
0.8
0.83
0.9
2.5G_Gain
1.5625G_Gain
1.25G_Gain
1.25GHz
1.5625GHz
2.5GHz