



(12) 发明专利申请

(10) 申请公布号 CN 115088079 A

(43) 申请公布日 2022. 09. 20

(21) 申请号 202180013479.0

(22) 申请日 2021.02.10

(30) 优先权数据

62/975,075 2020.02.11 US

(85) PCT国际申请进入国家阶段日

2022.08.08

(86) PCT国际申请的申请数据

PCT/US2021/017434 2021.02.10

(87) PCT国际申请的公布数据

W02021/163175 EN 2021.08.19

(71) 申请人 克罗米斯有限公司

地址 美国加利福尼亚州

(72) 发明人 奥兹古·阿克塔斯

弗拉基米尔·奥德诺博柳多夫

杰姆·巴斯切里

(74) 专利代理机构 华进联合专利商标代理有限公司 44224

专利代理师 易皎鹤

(51) Int.Cl.

H01L 29/20 (2006.01)

H01L 21/265 (2006.01)

H01L 21/32 (2006.01)

H01L 21/324 (2006.01)

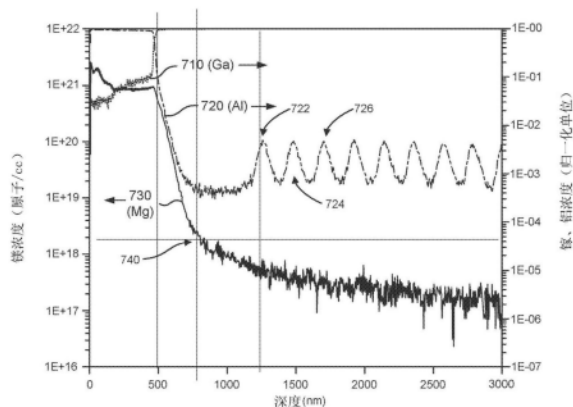
权利要求书2页 说明书9页 附图6页

(54) 发明名称

使用溅射的镁源来扩散氮化镓材料中镁的方法和系统

(57) 摘要

形成掺杂的氮化镓(GaN)层的方法包括:提供包括氮化镓层的衬底结构,在氮化镓层上形成掺杂剂源层,以及在掺杂剂源层上沉积覆盖结构。该方法还包括:对衬底结构进行退火以将掺杂剂扩散到氮化镓层中,去除覆盖结构和掺杂剂源层,以及活化扩散的掺杂剂。



1. 一种形成p型氮化镓层的方法,所述方法包括:
提供包括氮化镓层的衬底结构;
将包括镁的掺杂剂源溅射到所述氮化镓层上;
在所述掺杂剂源上沉积覆盖结构;
对所述衬底结构进行退火,以将镁扩散到所述氮化镓层中;
去除所述覆盖结构和所述掺杂剂源;以及
活化扩散的镁,以形成所述p型氮化镓层。
2. 根据权利要求1所述的方法,其中,所述掺杂剂源包括厚度在20nm至50nm范围内的氟化镁层。
3. 根据权利要求1所述的方法,其中,所述掺杂剂源包括厚度在5nm至50nm的范围内的氮化铝镁复合材料层。
4. 根据权利要求1所述的方法,其中,所述衬底结构包括:
多晶陶瓷芯;
封装所述多晶陶瓷芯的阻挡层;
耦合到所述阻挡层的键合层,和
耦合到所述键合层的实质单晶层。
5. 一种形成掺杂的氮化镓层的方法,所述方法包括:
提供包括氮化镓层的衬底结构;
在所述氮化镓层上形成掺杂剂源层;
在所述掺杂剂源层上沉积覆盖结构;
对所述衬底结构进行退火,以将掺杂剂扩散到所述氮化镓层中;
去除所述覆盖结构和所述掺杂剂源层;以及
活化扩散的掺杂剂。
6. 根据权利要求5所述的方法,其中,形成所述掺杂剂源层包括在所述氮化镓层上溅射所述掺杂剂源层。
7. 根据权利要求5所述的方法,还包括:在形成所述掺杂剂源层之前,执行表面制备工艺。
8. 根据权利要求7所述的方法,其中,所述表面制备工艺包括有机清洁工艺。
9. 根据权利要求7所述的方法,其中,所述表面制备工艺包括金属清洁工艺。
10. 根据权利要求7所述的方法,其中,所述表面制备工艺包括氧化物去除工艺。
11. 根据权利要求7所述的方法,其中,所述表面制备工艺包括有机清洁工艺、金属清洁工艺、和氧化物去除工艺。
12. 根据权利要求5所述的方法,其中,所述氮化镓层是未掺杂的。
13. 根据权利要求5所述的方法,其中,所述掺杂剂源层包括厚度在5nm至20nm范围内的镁,所述氮化镓层包括p型氮化镓层。
14. 根据权利要求5所述的方法,其中,所述掺杂剂源层包括厚度在20nm至50nm范围内的氟化镁。
15. 根据权利要求5所述的方法,其中,所述掺杂剂源层包括厚度在5nm至50nm范围内的氮化铝镁复合材料。

16. 根据权利要求15所述的方法, 其中, 所述氮化铝镁复合材料中的镁浓度在 $1 \times 10^{19} \text{cm}^{-3}$ 至10%范围内。

17. 根据权利要求5所述的方法, 其中, 对所述衬底结构进行退火是在约1000℃至约1400℃范围内的温度下执行的。

18. 根据权利要求5所述的方法, 其中, 所述衬底结构包括:

多晶陶瓷芯;

封装所述多晶陶瓷芯的阻挡层;

耦合到所述阻挡层的键合层; 和

耦合到所述键合层的实质单晶层。

19. 根据权利要求5所述的方法, 其中, 所述覆盖结构能够被操作成退火所述衬底结构中的镁注入损伤。

20. 根据权利要求5所述的方法, 还包括: 在形成所述掺杂剂源层之前, 在所述氮化镓层上形成掩膜, 其中所述掩膜暴露所述氮化镓层的顶表面的一个或多个部分。

使用溅射的镁源来扩散氮化镓材料中镁的方法和系统

[0001] 相关申请的交叉引用

[0002] 本申请要求于2020年2月11日提交的美国临时专利申请第62/975,075号的优先权,该美国临时专利申请的公开内容通过引用其整体并入本文,以用于所有目的。

背景技术

[0003] 诸如p-n二极管、p-i-n二极管、肖特基二极管、高电子迁移率晶体管 (HEMT) 的氮化镓基半导体器件可以应用于各种功率系统,例如太阳能逆变器、小型电源 (例如功率因数校正电路或PFC)、开关模式电源 (SMPS)、电机驱动器、RF功率放大器、固态照明 (SSL)、智能电网、和汽车电机驱动系统。因此,本领域需要与形成氮化镓基半导体器件有关的改进的方法和系统。

发明内容

[0004] 本发明的实施例涉及半导体材料。更具体地,本发明的实施例提供了涉及使用溅射的镁源将镁扩散到氮化镓材料中的方法和系统。

[0005] 根据本发明的实施例,提供了形成p型氮化镓层的方法。该方法包括:提供包括未掺杂的氮化镓层的衬底结构,将包括镁的掺杂剂源溅射到未掺杂的氮化镓层上,以及在掺杂剂源上沉积覆盖结构。该方法还包括:对衬底结构进行退火以将镁扩散到未掺杂的氮化镓层中,去除覆盖结构和掺杂剂源,以及活化扩散的镁以形成p型氮化镓层。

[0006] 根据本发明的另一实施例,提供了形成掺杂氮化镓层的方法。该方法包括:提供包括氮化镓层的衬底结构,在氮化镓层上形成掺杂剂源层,以及在掺杂剂源层上沉积覆盖结构。该方法还包括:对衬底结构进行退火以将掺杂剂扩散到氮化镓层中,去除覆盖结构和掺杂剂源层,以及活化扩散的掺杂剂。

[0007] 与常规技术相比,通过本发明可以获得许多益处。例如,本发明的实施例提供针对器件制造将镁扩散到GaN中的方法和系统。本文所述的方法和系统可应用于各种光学、电子和光电器件。本发明的这些和其它实施例以及其许多优点和特征将结合下面的文本和附图进行更详细的描述。

附图说明

[0008] 图1是示出了根据本发明实施例的GaN衬底的简化截面示意图。

[0009] 图2是示出了根据本发明实施例的GaN衬底和镁源的简化截面示意图。

[0010] 图3A是根据本发明的一个实施例的用于制造镁扩散源的简化工艺流程。

[0011] 图3B是根据本发明的另一实施例的用于制造镁扩散源的简化工艺流程。

[0012] 图4是示出了根据本发明实施例的覆盖的GaN衬底的简化截面示意图。

[0013] 图5是示出了根据本发明实施例的退火工艺之后的GaN衬底结构的简化截面示意图。

[0014] 图6A是示出了根据本发明实施例的GaN衬底和Mg-GaN层的简化截面示意图。

- [0015] 图6B是示出了根据本发明实施例的GaN衬底和p型掺杂GaN层的简化截面示意图。
- [0016] 图7是示出了根据本发明实施例的利用镁掺杂AlGaN的曲线图。
- [0017] 图8是示出了根据本发明一些实施例的工程化衬底结构的简化示意图。
- [0018] 图9是示出了根据本发明实施例的形成p型GaN层的方法的简化流程图。

具体实施方式

[0019] 氮化镓(GaN)是广泛使用的适用于各种光学、电子和光电应用的III-V族材料系统。在GaN中,由于镁是具有最小电离能量的受体型掺杂剂,因此可以通过镁掺杂来实现p型掺杂。然而,镁掺杂具有一些挑战。首先,通过氢来钝化镁掺杂剂。氢产生中性的Mg-H络合物。此外,大的电离能量(约200meV)与镁掺杂有关。此外,如果使用注入,则注入会产生由于表面分解而难以退火所造成的损伤。如果发生表面分解,则在损伤退火的温度下产生补偿供体。另外,由于表面分解可在镁已知扩散的温度下产生补偿供体,因此表面分解将阻碍扩散。

[0020] 本发明总体上涉及通过氮化镓材料中的扩散来形成掺杂区的方法。掺杂是指有意地将杂质引入半导体材料中以改变其电特性的工艺。可以例如通过扩散或离子注入来实现掺杂。在扩散工艺中,可以在高温石英管炉中保持半导体晶片,并通过适当的气体混合物。掺杂剂源可以是气体源、液体源或固体源。扩散系数可以指数性地取决于温度,例如,如形式: $D = D^0 \exp \left(-\frac{E^D}{kT} \right)$, 其中k是玻耳兹曼常数,T是温度, E^D 是活化能。

[0021] 参照图1至图6B,示出了根据本发明实施例的形成p型掺杂GaN层(例如,掺杂镁的GaN层)的方法。

[0022] 图1是示出了根据本发明实施例的GaN衬底110的简化截面示意图。在图1中,GaN衬底110可以包括一种或多种材料,例如,未掺杂或掺杂的GaN衬底、具有一个或多个GaN层的蓝宝石衬底、具有一个或多个GaN层的碳化硅衬底、具有一个或多个GaN层的硅衬底、具有一个或多个GaN层的氧化镓衬底、或其组合。作为示例,GaN衬底110可以包括体衬底、外延生长的缓冲层、和未掺杂的GaN外延层。GaN衬底110可以是如图8所示的工程化衬底结构。如果使用工程化衬底结构,其可以包括在其上形成有薄硅(Si)层的陶瓷基衬底。因此,GaN衬底110并不限于由GaN组成的体GaN衬底,而是包括一个或多个GaN层的衬底。术语GaN层包括 $Al_xGa_{1-x}N$ 层,其中 $x \geq 0$,包括既包含GaN层又包含AlGaN层的衬底结构。本文所述的各种衬底提供用于外延生长的表面。

[0023] 为了制备用于后续处理的GaN衬底110,可以执行一种或多种清洁操作。作为示例,可以进行有机清洁以从生长和/或处理表面去除有机残留物。在该清洁过程中可以使用各种溶剂,包括 H_2SO_4/H_2O_2 或 O_2 等离子体。此外,可以进行金属清洁以从生长和/或处理表面去除金属残留物。在该清洁过程中可以使用各种溶剂,包括HCl/ H_2O_2 或HCl。此外,可以执行氧化物去除工艺以去除生长和/或处理表面上存在的氧化物。在该清洁过程中可以使用各种氧化物去除过程,包括湿式清洁(HCl或HF)和/或干式清洁(例如,使用基于Cl的等离子体)。

[0024] 在一些实施例中,表面制备过程是有机清洁、金属清洁、氧化物去除的三步过程。在其它实施例中,可以不使用这些清洁过程中的一者或多者。如本文所述,一种或多种清洁过程提供在其上结合掺杂剂源或覆盖结构(者两者均在下文更全面地描述)的原始表面和

不存在对镁扩散的阻挡的表面。

[0025] 图2是示出了根据本发明实施例的GaN衬底和镁源的简化截面示意图。参照图2,在实施例中,镁源210被溅射到GaN衬底110上,以提供镁扩散源。根据本发明的各种实施例,镁源210可以是厚度在约1nm至约20nm范围内,例如5nm至15nm之间的溅射的镁金属层,或厚度为20nm的镁金属层;厚度在约10nm至约50nm的范围内,例如在20nm至50nm之间的溅射的MgF₂层;可以通过将AlN与Mg共同溅射而形成的AlN-Mg源。该AlN-Mg源中的镁浓度可以是 $>1 \times 10^{19} \text{cm}^{-3}$ 至约10%的镁浓度。AlN-Mg源的厚度可以在10nm至100nm的范围内。可以通过从单独的溅射源同时溅射AlN和Mg来形成AlN-Mg源。在其它实施例中,使用除溅射之外的其它沉积技术来形成镁源210。本领域的普通技术人员将认识到许多变化、修改和替换。

[0026] 如下面更全面描述的,镁源210提供了可以用于制造光学、电子和光电器件的扩散源,其中该光学、电子和光电器件具有通过扩散形成的掺杂区。应当注意,本发明人已经确定,上述薄层提供了增强的镁扩散。在不限本发明的实施例的情况下,本发明人相信薄层(例如,几纳米到几十纳米的镁源,例如溅射的镁源)能够更精确地控制GaN分解。在不限本发明的实施例的情况下,本发明人相信,随着镁源210厚度增加,源层表现得更像块状材料,这降低了覆盖结构的有效性,如下面更充分讨论的。

[0027] 图3A和图3B示出了形成图2所示的镁源210的两种方法。提供图案化源区的能力使得能够与更多种半导体器件工艺流程集成。

[0028] 图3A是根据本发明的一个实施例的用于制造镁扩散源的简化工艺流程。在图3A中,基于剥离的源图案化工艺被用于形成镁扩散源。光刻胶层310被沉积在GaN衬底110上并且被图案化以提供一个或多个开口。例如使用溅射来沉积镁扩散源(其可以是关于图2描述的镁源中的一者),以在光刻胶层310上形成区域320和324,并且在GaN衬底110上形成镁扩散源区322。使用剥离工艺去除光刻胶层310和光刻胶层310上的源区320和324将产生形成在GaN衬底上的具有所需图案的镁扩散源区322。作为示例,利用掺杂区的器件可以利用这种剥离工艺。

[0029] 尽管在图3A中示出了单一的镁扩散源322,但对于本领域技术人员明了的是,也可以根据所制造的特定器件来形成多个镁扩散源。本领域的普通技术人员将认识到许多变化、修改和替换。

[0030] 图3B是根据本发明的另一实施例的用于制造镁扩散源的简化工艺流程。在图3B中,使用基于蚀刻的源图案化工艺来形成镁扩散源。在该实施例中,镁扩散源层330被溅射到GaN衬底的整个或大部分上,并且光刻胶层被沉积在溅射的源层上。溅射镁扩散源(其可以是关于图2描述的镁扩散源中的一者),以在GaN衬底110(随后可以对其进行图案化)上形成镁扩散源层330。

[0031] 沉积并图案化光刻胶层,以提供一个或多个蚀刻掩膜区340。使用光刻胶作为蚀刻掩膜,对镁扩散源层330进行图案化,以在GaN衬底上产生具有所需图案化的镁扩散源区332。应注意,也可以使用包括SiN_x、SiO₂、Ni、Pt或Au的其它蚀刻掩膜来代替光刻胶蚀刻掩膜或与光刻胶蚀刻掩膜一起使用。然后除去剩余的光刻胶。作为示例,利用掺杂区的器件可以利用这种基于蚀刻的工艺。

[0032] 尽管在图3A中示出了单一的镁扩散源区332,但对于本领域技术人员明了的是,也可以根据所制造的特定器件来形成多个镁扩散源。本领域的普通技术人员将认识到许多变

化、修改和替换。

[0033] 图4是示出了根据本发明实施例的加盖GaN衬底的简化截面示意图。参照图4,在镁源210上方沉积覆盖结构410(也称为覆盖层或帽层),该镁源210可以是溅射的镁源层。镁源210可以是如关于图3A和图3B所述的图案化的源区,或者可以覆盖GaN衬底110的全部。可以使用各种沉积技术来形成覆盖结构,并且可以结合覆盖结构410来利用多个不同的镁源。

[0034] 覆盖结构的材料可以包括厚度在约100nm至约200nm范围内的结合SiO₂层的溅射的AlN,该SiO₂层可以由PECVD沉积且厚度在约50nm至约200nm范围内。在另一实施例中,覆盖结构包括厚度在约100nm至约200nm范围内的结合SiN_x层的溅射的AlN,该SiN_x层可以由PECVD沉积且厚度在约20nm至约50nm的范围内。在双层覆盖结构设计(例如,AlN/SiO₂或AlN/SiN_x)中,第一AlN层可用于保护溅射的镁源层,而第二SiO₂或SiN_x层可用于保护第一AlN层。如果溅射AlN氮化物,则其可以由低密度和非晶结构表征,这将使其易受氧化和其它工艺影响。因此,双层覆盖结构设计为该第一AlN层提供保护。

[0035] 在一些实施例中,为了保护溅射的镁源使其免受氧化,在溅射镁源之后沉积覆盖层并同时使溅射的镁源处于真空环境或非氧化环境中。因此,可以使用单个系统,其中可以溅射镁源,随后溅射覆盖层的一个或多个部分(例如,AlN/SiO₂或AlN/SiN_x双层覆盖层结构设计的第一AlN层),并且不中断真空。或者,可以使用具有适当的装载锁(load lock)等的多个系统。本领域的普通技术人员将认识到许多变化、修改和替换。

[0036] 在又一实施例中,覆盖层包括热解光刻胶。在该实施例中,可以通过旋涂形成5μm至20μm的光刻胶,然后在形成气体(例如,在600℃至800℃的温度下)中将其热解。

[0037] 与在半导体生长反应器中执行且不使用覆盖层(因为存在的覆盖层将污染生长反应器)的扩散工艺相反,使用覆盖层能够在退火期间保护下面的镁源。特别地,如果将非晶覆盖层引入半导体生长反应器并暴露于适于将掺杂剂扩散到GaN层或衬底中的温度下,则该非晶覆盖层将导致覆盖层的分解,这将导致覆盖层中的材料在生长反应器的内部上重新沉积。

[0038] 下面的示例例示了不同的镁源(例如溅射的镁源)将如何与不同的覆盖结构一起使用。

[0039] 具有光刻胶覆盖层的Mg金属:在这种情况下,可以将具有在2μm至10μm范围内厚度的光刻胶用作主盖。在一些实施例中,为了防止镁的氧化,可以涉及利用镁上的薄AlN层(例如,具有20nm至50nm范围内的厚度)。当用于此目的时,通常在镁沉积之后沉积AlN,而不将沉积的镁暴露于氧。这可以例如通过在相同的工具/室中执行沉积或者通过将镁表面保持在惰性气体环境中来完成。在一些实施例中,AlN层可以具有10nm至100nm范围内的厚度。

[0040] 具有AlN/SiO₂覆盖结构的存在于MgF₂中Mg金属:在这种情况下,AlN被沉积或溅射作为覆盖结构的第一层,并且SiO₂层形成在AlN层上。AlN层的厚度可以在40nm至300nm的范围内,SiO₂层的厚度可以在20nm至200nm的范围内,从而导致覆盖结构的厚度在60nm至500nm的范围内。在其它实施例中,根据具体应用,也可以使用不同的厚度。

[0041] 具有溅射的AlN/SiN_x覆盖结构的Mg金属:在这种情况下,如果镁金属沉积和随后的AlN溅射可以在不将镁金属暴露于氧的情况下进行将是有利的,以避免镁金属表面的可能的氧化。这可以例如通过在相同的工具/室中进行沉积或者通过将镁金属表面保持在惰性气体环境中来完成。可以将AlN沉积或溅射为覆盖结构的第一层,并且在AlN层上形成

SiN_x层。AlN层的厚度可以在40nm至300nm的范围内, SiN_x层的厚度可以在20nm至200nm的范围内, 从而导致覆盖结构的厚度在60nm至500nm的范围内。在其它实施例中, 根据具体应用, 也可以使用不同的厚度。

[0042] 具有光刻胶盖的MgF₂:MgF₂对于暴露于空气是惰性的。除了通常的洁净室清洁预防措施之外, 如果使用镁扩散源和光刻胶覆盖层的这种组合, 则通常不使用特殊的预防措施。

[0043] 具有AlN/SiN_x盖的MgF₂:MgF₂对于暴露于空气是惰性的。除了通常的洁净室清洁预防措施之外, 如果使用镁扩散源和覆盖结构的这种组合, 则通常不使用特殊的预防措施。

[0044] MgF₂可以与由MgF₂/AlN/SiN/光刻胶的叠层构成的组合覆盖结构一起使用。

[0045] 具有光刻胶盖的与Mg (AlN-Mg) 共同溅射的AlN: 已知的是AlN-Mg易于氧化, 然而, 这仅在升高的温度下发生。除了通常的洁净室清洁预防措施之外, 如果AlN-Mg的这种组合用作镁扩散源并且光刻胶层用作覆盖层, 则通常不使用特殊的预防措施。

[0046] 具有AlN/SiN_x盖的AlN-Mg: 在形成构成AlN-Mg扩散源的AlN层期间, 通过简单地关闭镁共同溅射, 在同一工具中溅射第二 (例如, 未掺杂的) AlN层是最方便的。因此, 在GaN衬底210上按照以下顺序形成结构: Mg/AlN/AlN/SiN_x或Mg/AlN/SiN_x。

[0047] 图5是示出了根据本发明实施例的退火工艺之后的GaN衬底结构的简化截面示意图。

[0048] 为了形成其中镁已经扩散到GaN中并掺杂GaN的扩散掺杂的Mg-GaN层, 如图4所示的结构被退火, 如图5所示。因此, 图5示出了包括GaN衬底110、掺杂镁的GaN层510、镁源210和覆盖结构410的后退火结构。作为示例, 可以例如在管式炉中, 在100托 (Torr) 至3巴 (bar) 的压力范围内, 在N₂或N₂/NH₃或N₂/H₂的环境下, 在1000℃至1400℃, 例如1100℃至1200℃的温度范围内进行退火。随着温度增加, 扩散速率将随着扩散时间 (例如, 一小时) 增加, 扩散的深度和所得到的Mg-GaN层510的厚度将增加。

[0049] 如图5所示, 在图5所示的退火工艺期间, 通过将镁掺杂剂扩散到GaN衬底110 (通常为未掺杂的GaN衬底) 中来形成p型掺杂的Mg-GaN层510。GaN衬底110可以包括一个或多个未掺杂或掺杂的外延层。在所示的实施例中, 掺杂的Mg-GaN层510 (也称为掺杂的Mg-GaN区) 具有约50nm至约200nm范围内 (例如, 75nm至100nm) 的厚度, 但是这不是本发明所必需的, 并且在其它实施例中, 掺杂的Mg-GaN层510根据特定的应用而更薄或更厚。

[0050] 图6A是示出了根据本发明实施例的GaN衬底和Mg-GaN层的简化截面示意图。在退火和扩散工艺之后, 去除覆盖结构410和镁源210, 以产生具有掺杂的Mg-GaN层510的GaN衬底210, 如图6A所示。根据存在于覆盖结构410和镁源210中的材料, 可以使用不同的工艺。对于AlN/SiO₂覆盖结构, 可以使用干法蚀刻 (基于Cl₂+Ar)。对于AlN/SiN覆盖结构, 可以使用湿法蚀刻 (HF, 然后TMAH或KOH) 或干法蚀刻 (基于氟, 然后基于氯)。对于光刻胶覆盖层, 可以使用干法蚀刻 (基于氧等离子体)。由湿法蚀刻和用于热解光刻胶的干法蚀刻提供的益处在于, 当到达Mg-GaN区域时, 蚀刻过程可以是自终止的。本领域的普通技术人员将认识到许多变化、修改和替换。

[0051] 图6B是示出了根据本发明实施例的GaN衬底和p型掺杂GaN层的简化截面示意图。参照图6B, 示出了使用从掺杂的Mg-GaN层510去除氢的处理过程来活化镁掺杂剂, 以形成p型掺杂的GaN层610。作为示例, 可以利用在氮气环境中在800℃下活化5分钟。使用图1和图2以及图4至图6B所示的工艺, 在GaN衬底上提供p型掺杂Mg-GaN层610, 该GaN衬底适于制造各

种光学、电子和光电器件,包括如下更全面描述的多个器件。

[0052] 图7是示出了根据本发明实施例的利用镁掺杂GaN的曲线图。如图7所示,其示出了掺杂结构的二次离子质谱(SIMS)分布,可以使用本发明的实施例来实现GaN外延层与镁的掺杂。在图7所示的SIMS分布中,利用一组AlGaN标记层722、724和726(以及5个未标记的附加AlGaN标记层,但在图7中示出)来表征与镁掺杂剂相关联的扩散深度,但是应当理解,使用如本文所讨论的存在于GaN衬底110上的GaN外延层也可以实现类似的结果。在图7中,铝摩尔分数以归一化单位绘制在右轴上。镁摩尔分数或浓度以原子/cm³为单位绘制在左轴上。

[0053] 使用包括AlN-Mg的镁扩散源、包括265nm厚的AlN层和100nm厚的SiO₂层的覆盖结构来形成由图7中的SIMS分布所示的掺杂的GaN外延层。以类似于图5所示的工艺,在1100℃下对具有镁扩散源和覆盖结构的GaN外延层退火1.5小时。

[0054] 为了表征镁掺杂剂扩散到GaN外延层中的深度,在GaN外延层中形成一组间隔200nm的AlGaN标记层,其中第一AlGaN标记层位于距GaN外延层表面约700nm的深度处。在该曲线图中,表面位于500nm的深度。

[0055] 参照图7,SIMS分布表示到GaN外延层中的显著的镁扩散。在距离图7中由交点740标记的表面约300nm的深度处,镁浓度约为 $2 \times 10^{18} \text{cm}^{-3}$,这提供了利用本发明实施例所实现的镁扩散的证据。

[0056] 包括光学、电子和光电器件的各种器件可以利用基于镁扩散源(包括溅射的镁源)的镁扩散工艺。可以在一个或多个制造工艺期间的适当点处将扩散和掺杂层形成工艺插入到一个或多个半导体器件制造工艺中。作为示例,本文所述的方法和系统可用于:

- [0057] • 创建p-n结以实现p-n二极管(例如,功率器件的p-n二极管)
- [0058] • 创建结终端扩展以实现各种垂直型器件(例如,整流器或晶体管)
- [0059] • 创建融合的-pn-肖特基二极管器件
- [0060] • 为FIN-FET型器件创建栅极保护
- [0061] • 为CAVET器件创建电流阻止阻挡层
- [0062] • 创建p栅极HEMT功率器件或LJFET的栅极

[0063] 在一些实施例中,镁可以横向地扩散到如图3A和图3B所示限定的源区之外,导致p型掺杂区在半导体结构的其它部分之下横向延伸。这种横向延伸通常不会在离子注入工艺中发生。尽管本文示出了未掺杂区域的p型掺杂,但是其它实施例提供n型区域的p型掺杂,以将掺杂水平从第一n型掺杂剂密度降低到降低的n型掺杂剂密度。此外,尽管示出了使用镁的p型掺杂,但是也可以使用其它p型掺杂剂。此外,也可以以与本文所示的p型掺杂工艺类似的方式采用使用n型掺杂剂的n型掺杂。本领域的普通技术人员将认识到许多变化、修改和替换。

[0064] 图8是示出根据本发明一些实施例的工程化衬底结构的简化示意图。如图8所示,工程化衬底结构可适用于各种电子和光学应用。该工程化衬底结构包括芯810(例如,AlN衬底),其可以具有与将生长在工程化衬底结构上(例如,在剥落的硅(111)层825上)的外延材料的热膨胀系数(CTE)大致匹配的CTE。

[0065] 对于包括生长氮化镓(GaN)基材料(包括GaN基层的外延层)的应用,芯810可以是多晶陶瓷材料,例如多晶氮化铝(AlN),其可以包括诸如氧化钪的结合材料。在芯中可以使

用其它材料,包括多晶氮化镓(GaN)、多晶氮化铝镓(AlGaN)、多晶碳化硅(SiC)、多晶氧化锌(ZnO)、多晶三氧化镓(Ga_2O_3)等。

[0066] 芯810的厚度可以是100 μm 至1500 μm 的量级,例如750 μm 。芯810被封装在粘附层812中,粘附层812可被称为壳或封装壳。在实施例1中,粘附层812包括厚度为1000 $\text{\AA}$ 量级的正硅酸乙酯(tetraethyl orthosilicate, TEOS)氧化层。在其它实施例中,粘附层812的厚度例如从100 $\text{\AA}$ 到2000 $\text{\AA}$ 变化。尽管在一些实施例中TEOS氧化物被用于粘附层812,但是根据本发明的实施例,也可以使用在后续沉积的层和下面的层或材料(例如,陶瓷,特别是多晶陶瓷)之间提供用于粘附的其它材料。例如, SiO_2 或其它硅氧化物(Si_xO_y)很好地粘附到陶瓷材料上,并为随后的例如导电材料的沉积提供合适的表面。在一些实施例中,粘附层812完全包围芯810以形成完全封装的芯810,并且可以使用LPCVD工艺或其它合适的沉积工艺来形成粘附层812,所述LPCVD工艺或其它合适的沉积工艺可以与半导体处理兼容,并且特别是与多晶或复合衬底和层兼容。粘附层812提供随后的层粘附在其上以形成工程化衬底结构的元件的表面。

[0067] 除了使用LPCVD工艺、旋涂玻璃/电介质、基于炉的工艺等来形成封装粘附层,根据本发明的实施例也可以使用其它半导体工艺,包括CVD工艺或类似的沉积工艺。作为示例,可以使用涂覆芯810的一部分的沉积工艺,可以翻转芯810,并且可以重复沉积工艺以涂覆芯810的额外部分。因此,尽管在一些实施例中使用LPCVD技术来提供完全封装的结构,但是根据特定的应用也可以使用其它膜形成技术。

[0068] 形成围绕粘附层812的导电层814。在实施例中,导电层814是围绕粘附层812形成的多晶硅(即,多晶型硅)壳,因为多晶硅对陶瓷材料的粘附性差。在导电层814是多晶硅的实施例中,多晶硅层的厚度可以是500 $\text{\AA}$ 至5000 $\text{\AA}$ 的量级,例如2500 $\text{\AA}$ 。在一些实施例中,多晶硅层可形成为完全包围粘附层812(例如,TEOS氧化层)的壳,从而形成完全封装的粘附层812,且可使用LPCVD工艺形成。在其它实施例中,如下文所讨论的,可在粘附层812的一部分(例如,衬底结构的下半部分)上形成导电材料。在一些实施例中,导电材料可形成为完全封装层并且可以随后在衬底结构的一侧上移除。

[0069] 在实施例中,导电层814可以是掺杂以提供高导电材料的多晶硅层,例如掺杂硼以提供p型多晶硅层。在一些实施例中,利用硼的掺杂水平为 $1 \times 10^{19} \text{cm}^{-3}$ 至 $1 \times 10^{20} \text{cm}^{-3}$,以提供高导电性。可以利用不同掺杂剂浓度(例如,掺杂剂浓度在 $1 \times 10^{16} \text{cm}^{-3}$ 至 $5 \times 10^{18} \text{cm}^{-3}$ 范围内的磷、砷、铋等)的其它掺杂剂来提供适用于导电层814的n型或p型半导体材料。本领域的普通技术人员将认识到许多变化、修改和替换。

[0070] 存在的导电层814在将工程化衬底静电夹紧到半导体处理工具(例如,具有静电卡盘(ESC或e卡盘)的工具)期间是有用的。能够在半导体处理工具中处理之后快速松开导电层。在本发明的实施例中,导电层814在未来的处理(包括键合)期间实现与卡盘的电接触或与e卡盘的电容耦合。因此,本发明的实施例提供了能够以与常规硅晶片一起使用的方式处理的衬底结构。本领域的普通技术人员将认识到许多变化、修改和替换。另外,具有与静电夹紧结合的高导热性的衬底结构可以为随后形成工程化层和外延层以及随后的器件制造步骤提供更好的沉积条件。例如,其可提供所需的热分布,这可以产生较低的应力,更均匀的沉积厚度,以及通过后续层形成的更好的化学计量控制。

[0071] 形成围绕导电层814的第二粘附层816(例如,厚度为1000 $\text{\AA}$ 量级的TEOS氧化层)。在

一些实施例中,第二粘附层816完全围绕导电层814以形成完全封装的结构,并且可以使用LPCVD工艺、CVD工艺或任何其它合适的沉积工艺(包括旋涂电介质的沉积)来形成第二粘附层816。

[0072] 形成围绕第二粘附层816的阻挡层818,例如氮化硅层。在实施例中,阻挡层818是厚度在2000Å到5000Å量级的氮化硅层。在一些实施例中,阻挡层818完全围绕第二粘附层816,以形成完全封装的结构,并且可以使用LPCVD工艺来形成阻挡层818。除了氮化硅层之外,非晶材料(包括SiCN、SiON、AlN、SiC等)可用作阻挡层818。在一些实施方式中,阻挡层818由多个子层组成,这些子层被构建以形成阻挡层818。因此,术语阻挡层并不旨在表示单个层或单个材料,而是涵盖以复合方式分层的一种或多种材料。本领域的普通技术人员将认识到许多变化、修改和替换。

[0073] 在一些实施例中,阻挡层818(例如氮化硅层)防止在高温(例如,1000℃)外延生长工艺期间,存在于芯中的元素(例如钇(元素性)、钇氧化物(即氧化钇)、氧、金属杂质、其它痕量元素等)扩散和/或脱气到可存在工程化衬底的半导体处理室的环境中。利用本文所述的封装层(包括针对非洁净室环境设计的多晶AlN的陶瓷材料)可用于半导体工艺流程和洁净室环境中。

[0074] 通常,用于形成芯的陶瓷材料在1800℃范围内的温度下烧制。可以预期该工艺将驱除陶瓷材料中存在的大量杂质。这些杂质将包括钇(其导致使用氧化钇作为烧结剂)、钙和其它元素和化合物。随后,在800℃至1100℃范围内的低得多的温度下进行的外延生长工艺期间,可以预期这些杂质的后续扩散将是不显著的。然而,与常规预期相反,本发明人已经确定,即使在外延生长工艺期间,在远小于陶瓷材料的烧制温度的温度下,也存在元素通过工程化衬底层的显著扩散。因此,本发明的实施例将阻挡层818集成到工程化衬底结构中,以防止这种不期望的扩散。

[0075] 在阻挡层818的一部分(例如,阻挡层818的顶表面)上沉积键合层820(例如,氧化硅层),并且随后在键合实质单晶层825(例如,单晶硅层,如图1所示的剥落的硅(111)层)期间使用。在一些实施例中,键合层820的厚度可以为约1.5μm。在一些实施例中,键合层820的厚度是20nm或更厚,用于键合引起的空隙缓解(void mitigation)。在一些实施例中,键合层820的厚度在0.75μm至1.5μm的范围内。

[0076] 实质单晶层825(例如,剥落的Si(111))适于在外延生长工艺过程中用作形成外延材料的生长层。在一些实施例中,外延材料可以包括厚度为2μm至10μm的GaN层,其可以用作在光电、RF和功率器件中使用的多个层中的一层。在一个实施例中,实质单晶硅层825包括使用层转移工艺附着到键合层820的单晶硅层。

[0077] 于2017年6月13日提交的美国专利第10,297,445号和于2017年6月13日提交的美国专利第10,134,589号中提供了与工程化衬底结构有关的额外描述,这些美国专利的公开内容通过引用其全文并入本文,以用所有目的。尽管图8提供了在一些实施例中可在外延生长期间使用的工程化衬底的示例,但应当了解,也可以使用如关于图1所论述的其它衬底。

[0078] 图9是示出了根据本发明实施例的形成掺杂GaN层的方法的简化流程图。在特定实施例中,掺杂的GaN层是掺杂有镁的p型层。方法900包括:提供包括氮化镓层的衬底结构(910)。氮化镓层最初可以是未掺杂的或掺杂的,这取决于特定的应用。在一些实施例中,氮化镓层是GaN衬底的部件。在其它实施例中,氮化镓层机械地耦合到工程化衬底。作为示例,

衬底结构可以包括工程化衬底结构,包括多晶陶瓷芯、封装多晶陶瓷芯的阻挡层、耦合到阻挡层的键合层、以及耦合到键合层的实质单晶层。

[0079] 该方法还包括:例如通过在GaN层上溅射掺杂剂源层,在氮化镓层上形成掺杂剂源层(912),以及在掺杂剂源层上沉积覆盖结构(914)。掺杂剂源层可包括厚度在5nm至20nm范围内的镁金属。可替代地,掺杂剂源层可以包括厚度在5nm至50nm范围内的氟化镁层。此外,掺杂剂源层可以包括厚度在10nm至50nm范围内的氮化铝镁复合材料。在这种情况下,氮化铝镁复合材料中的镁浓度可以在 $1 \times 10^{19} \text{cm}^{-3}$ 至10%的范围内。除了这些掺杂剂源之外,还可以利用本文讨论的各种掺杂剂源,包括AlN-Mg和AlN-MgF₂掺杂剂源。

[0080] 在一些实施例中,在例如通过溅射形成掺杂剂源层之前,该方法可以包括执行表面制备工艺。所述表面制备工艺可以包括以下工艺中的一者或多者或全部:有机清洁工艺;金属清洁工艺、和/或氧化物去除工艺。

[0081] 该方法还包括:对衬底结构进行退火以将掺杂剂扩散到氮化镓层中(916),去除覆盖结构和掺杂剂源层(918),以及活化扩散的掺杂剂(920)。作为示例,可以在约1000℃至约1400℃范围内的温度下执行衬底结构的退火。

[0082] 应当理解,图9所示的特定步骤提供了根据本发明的一些实施例的形成掺杂的(例如,p型)GaN层的特定方法。根据替代性实施例,也可以执行其它步骤序列。例如,本发明的替代性实施例可以以不同的顺序执行上面列出的步骤。此外,图9所示的各个步骤可以包括多个子步骤,所述多个子步骤可以根据各个步骤以各种顺序执行。此外,根据特定的应用,可以增加或去除附加步骤。本领域的普通技术人员将认识到许多变化、修改和替换。

[0083] 尽管本文讨论了GaN层,但是本发明并不限于GaN,并且可以使用其它III-V族材料,包括AlGa_xN_{1-x}、InGa_xN_{1-x}、InAlGa_xN_{1-x}、其组合等。本领域的普通技术人员将认识到许多变化、修改和替换。

[0084] 尽管讨论了关于层的一些实施例,但是术语“层”应当被理解为使得层可以包括多个子层,这些子层被建立以形成感兴趣的层。因此,术语“层”并不旨在表示由单一材料组成的单独层,而是涵盖以复合方式分层以形成所需结构的一种或多种材料。本领域的普通技术人员将认识到许多变化、修改和替换。

[0085] 还应理解的是,本文所述的示例和实施例仅用于说明目的,并且本领域技术人员将根据这些示例和实施例提出各种修改或改变,并且这些修改或改变将被包括在本申请的精神和范围以及所附权利要求的范围内。

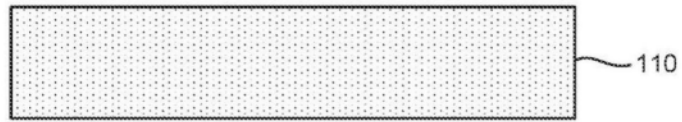


图1

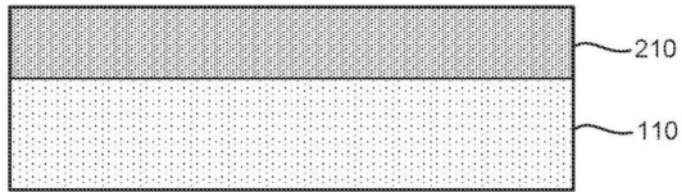


图2

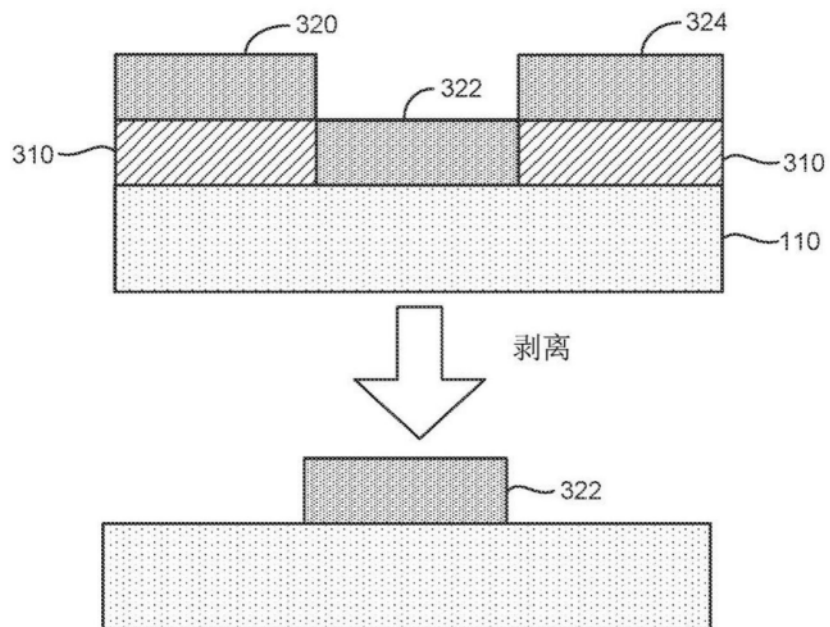


图3A

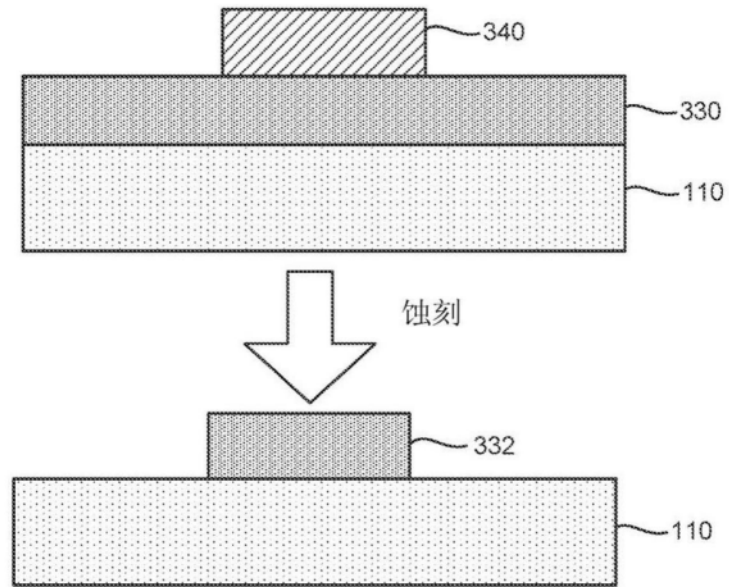


图3B

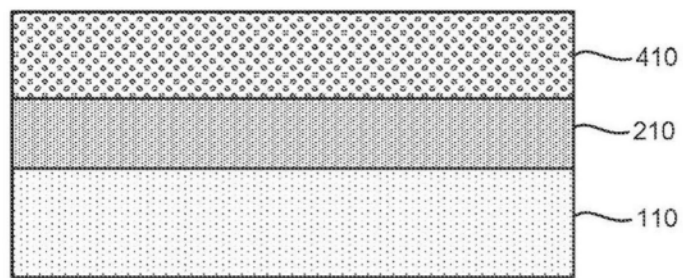


图4

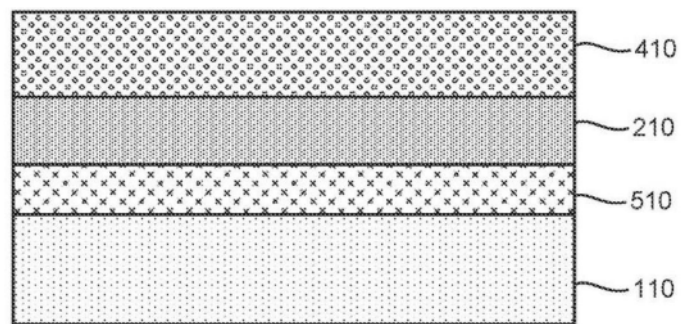


图5

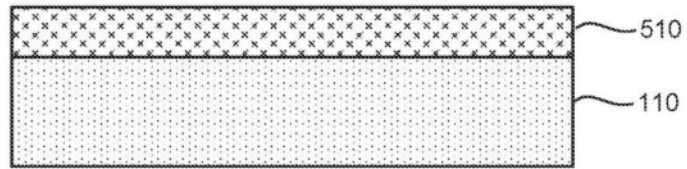


图6A

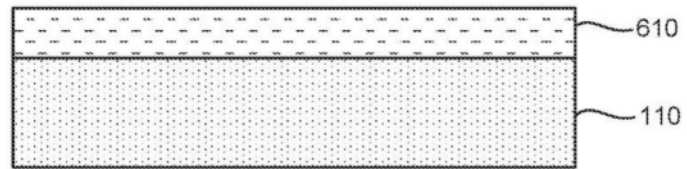


图6B

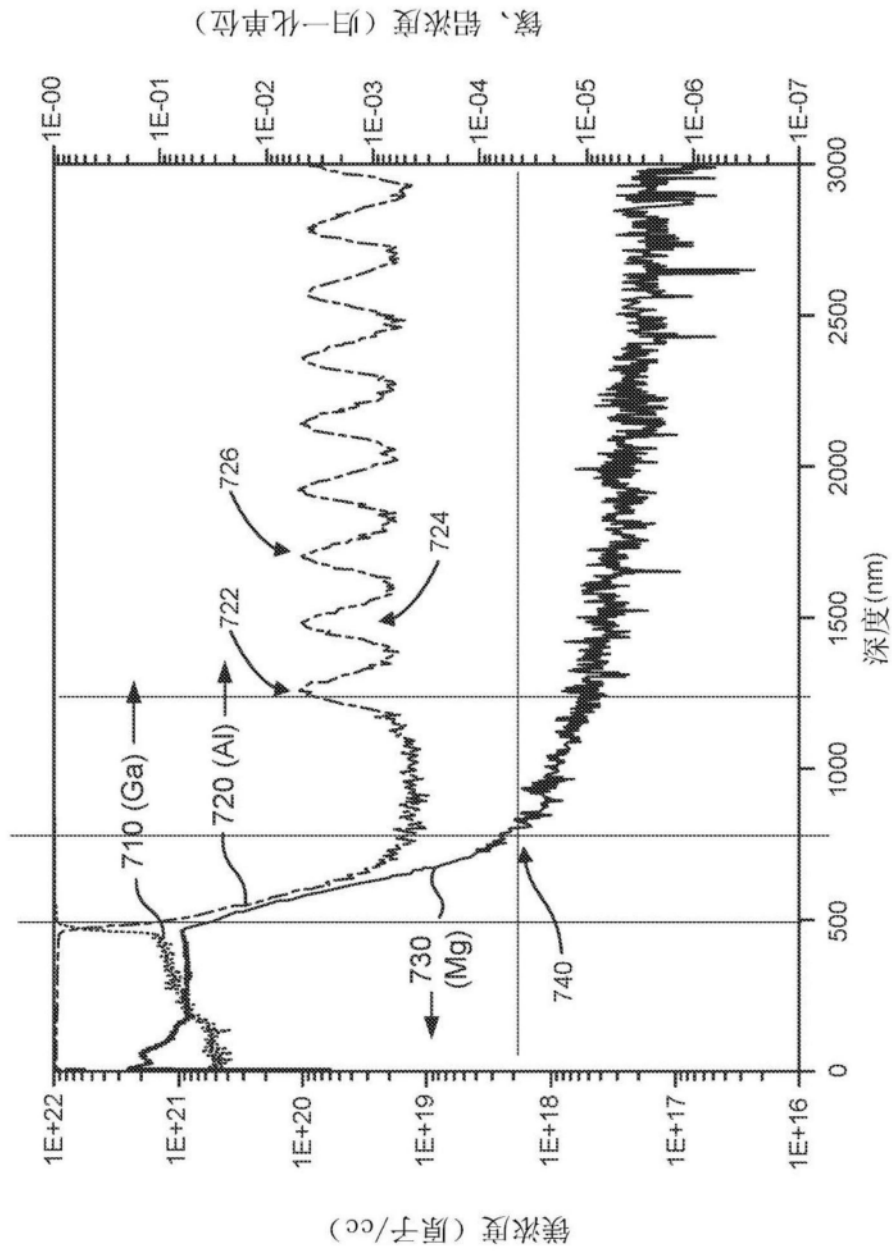


图7

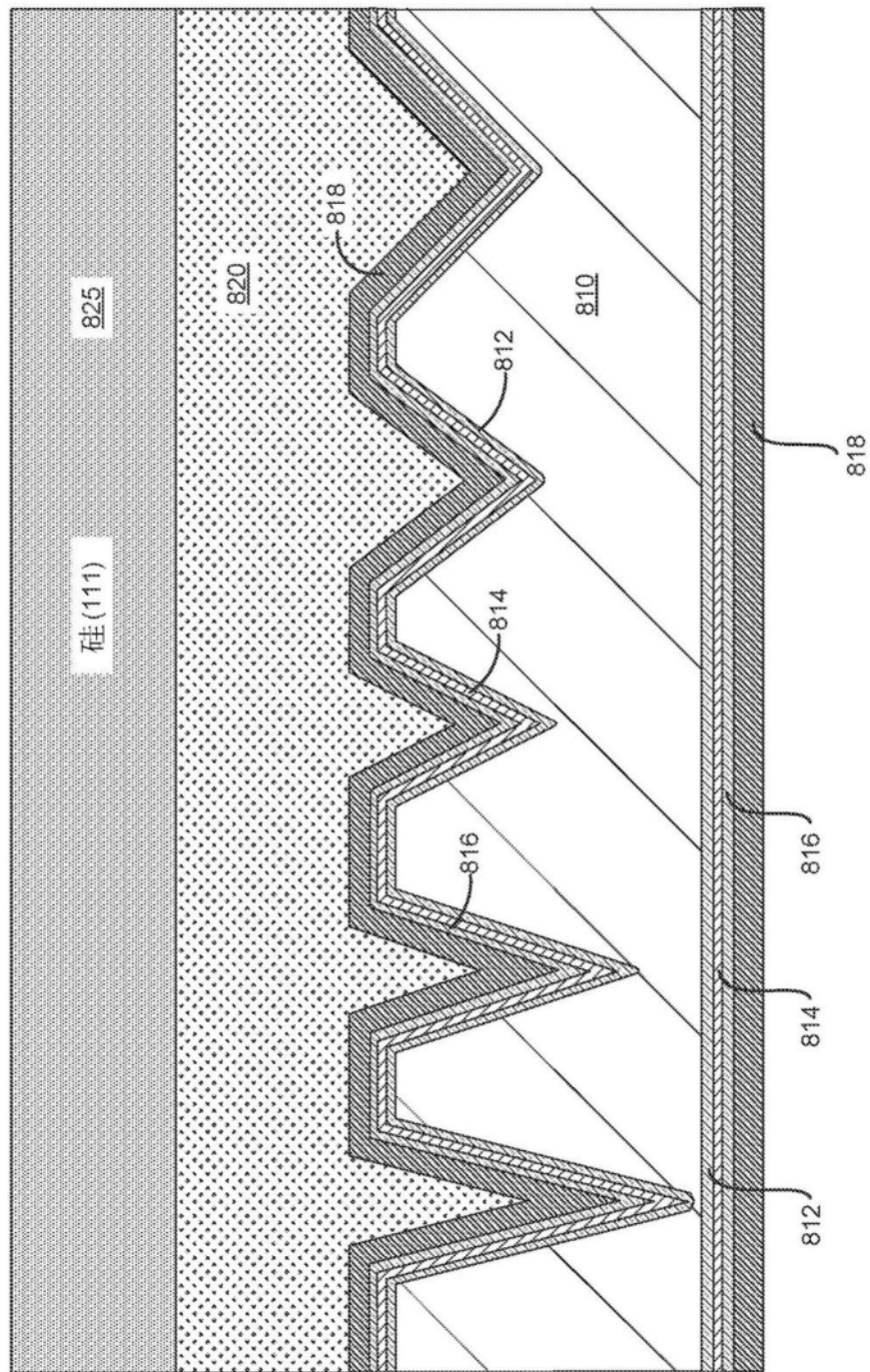


图8

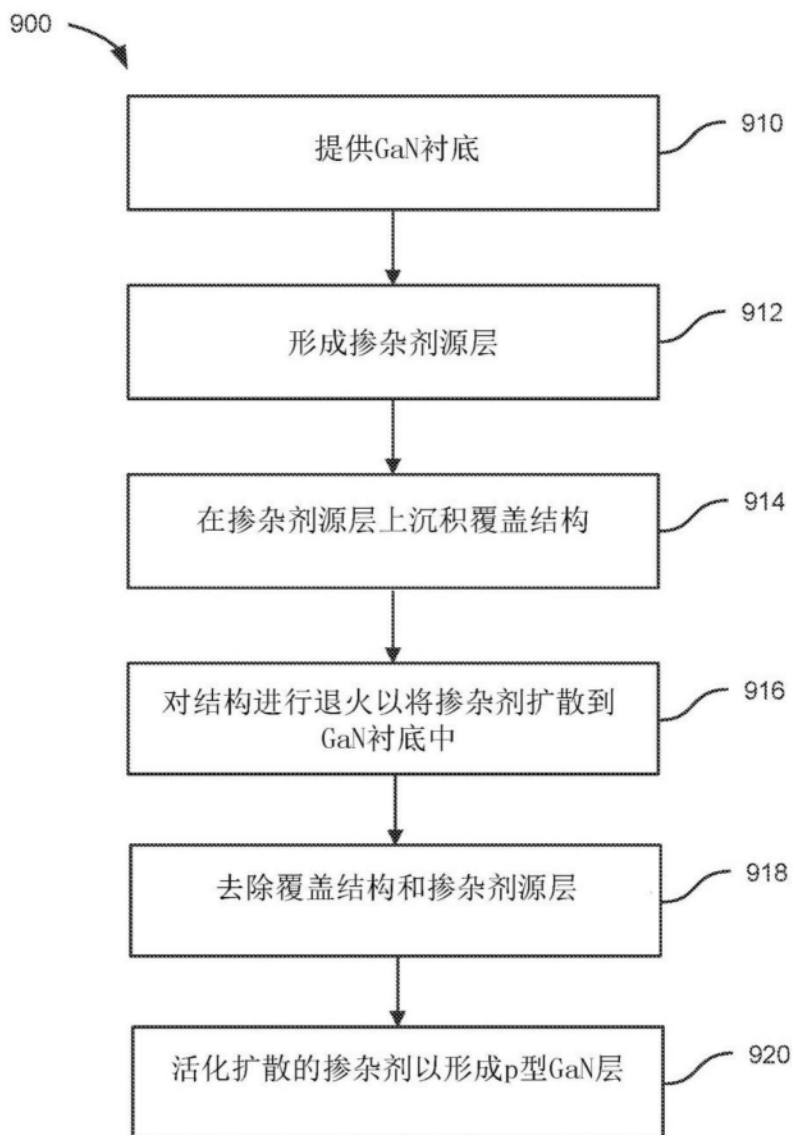


图9