

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
G06F 13/40

(11) 공개번호 특2002 - 0005681
(43) 공개일자 2002년01월17일

(21) 출원번호 10 - 2001 - 7013158
(22) 출원일자 2001년10월15일
 번역문 제출일자 2001년10월15일
(86) 국제출원번호 PCT/US2000/03753
(86) 국제출원출원일자 2000년02월14일

(87) 국제공개번호 WO 2001/61513
(87) 국제공개일자 2001년08월23일

(81) 지정국 국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 - 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르기즈, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 라이베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크메니스탄, 터키, 트리니다드토바고, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 폴란드, 포르투갈, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 가나, 감비아, 인도네시아, 시에라리온, 유고슬라비아, 짐바브웨,
 AP ARIPO특허: 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨, 탄자니아,
 EA 유라시아특허: 아르메니아, 아제르바이잔, 벨라루스, 키르기즈, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크메니스탄,
 EP 유럽특허: 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스,
 OA OAPI특허: 부르키나파소, 베냉, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기네, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기네비쑈, 적도기네,

(71) 출원인 모빌리티 일렉트로닉스 인크
 미합중국, 애리조나 85260, 스코츠데일, 레드필드 로드 7955 이스트

(72) 발명자 아헤른프랭크
 미국,애리조나85254,스코츠데일,제니스웨이6233이스트

(74) 대리인 이병호

심사청구 : 없음

(54) 버스 브릿지

요약

호스트 프로세서에 의해 액세스 가능한 브릿지는 제 1 버스를 통해 제 2 버스에 대한 액세스를 확장할 수 있다. 제 1 버스 및 제 2 버스 각각은 복수의 버스 호환가능 장치들중 각각의 장치들에 분리하여 접속하도록 적응된다. 장치들중 허용가능한 것들은 메모리 장치들 및 입력/출력 장치들을 포함한다. 브릿지는 제 1 및 제 2 인터페이스와 함께 링크를 갖는다. 제 1 인터페이스는 제 1 버스 및 링크 간에 연결하도록 적응된다. 제 2 인터페이스는 제 2 버스 및 링크 간에 연결하도록 적응된다. 제 1 인터페이스 및 제 2 인터페이스는, (a) 제 1 버스 및 제 2 버스의 것과는 다른 포맷으로 링크를 통해 직렬로 정보를 전송하고, (b) 브릿지를 가로질러 목적지를 나타내는 특성을 가진 미결정 트랜잭션에 응답해서 제 1 버스 및 제 2 버스 간에 최초의 교환을 승인하고, (c) 제 2 버스보다 더 높은 레벨을 제 1 버스에 제공하는 미리 정해진 분류 계층에 따라 제 1 버스 및 제 2 버스 간에 정보를 교환하고, (d) 제 1 버스를 통해 통신하는 호스트 컴퓨터가, (i) 제 1 버스상의 디바이스들을 액세스하는데 이용되는 동일 유형의 어드레싱을 실질적으로 제 1 버스에서 사용하고, (ii) 먼저 제 2 버스 상의 버스 호환가능 장치들 중 제 2의 방해하는 하나를 채용하지 않는 경우에, 존재할 수도 있는 메모리 장치들 및 입력/출력 장치들을 포함하여, 제 2 버스 상의 버스 호환가능 장치들중 서로 상이한 선택가능한 것들을 개별적으로 어드레스할 수 있게 하도록 동작가능하다.

대표도

도 1

색인어

엑세스 확장, 버스 호환가능 장치, 링크, 트랜잭션, 호스트 프로세서

명세서

기술분야

본 발명은 데이터 처리 시스템에 관한 것으로, 보다 구체적으로는 버스들 간에 정보를 전송하기 위한 메카니즘을 포함하는 브릿지 시스템에 관한 것이다.

배경기술

컴퓨터들은 메모리 장치들 및 입출력 장치들과 같은 각종 장치들 및 호스트 프로세서 간에 데이터를 전송하기 위해 버스들을 사용할 수 있다. 본 명세서에서 사용되는 "입력/출력" 장치는 출력을 수신하거나 입력을 발생시키는(또는 둘 다) 장치이다. 따라서 "입력/출력"은 이접적으로 사용된다. 이들 버스들은 프로세서가 가장 긴급히 필요로 하는 데이터를 교환하기 위해 예약된 고 레벨 버스에 접속된 호스트 프로세서와 분류 단계적으로 배열될 수 있다. 보다 더 낮은 레벨 버스들은 보다 더 낮은 우선권을 갖는 장치들에 접속될 수 있다.

버스들을 분리시키는데는 다른 이유들도 있다. 하나의 버스상에 과대한 수의 장치들을 배치하면 로딩(load)이 높아진다. 이러한 로딩은 매우 많은 장치들에게 신호를 보냄으로써 야기되는 지연 및 소요되는 전력으로 인해서 버스의 구동을 곤란하게 한다. 또한, 버스상에서 몇몇 장치들은 주기적으로 마스터(master)로서 작용할 수도 있고 슬레이브(slave) 장치와 통신하기 위해 버스를 통해 제어를 요청할 수도 있다. 분리 버스상에서 몇몇 장치들을 분리시킴으로써, 마스터 장치들은 호스트 프로세서나 다른 마스터들에 의해 사용되는 버스를 구속하지 않고서도 보다 낮은 레벨 버스 상의 다른 장치들과 통신할 수 있다.

PCI 버스 표준은 Oregon, Hillsboro 소재의 PCI Special Interest Group에 의해 규정되어 있다. PCI 버스는 32비트 폭의 다중화된 어드레스 데이터(AD)(address - data) 버스 부분을 특징으로 하고, 64비트 폭의 AD 버스 부분까지 확

장될 수 있다. PCI 버스 상에서 높은 데이터 스트루트 레이트(예컨대, 33MHz 클록 레이트)를 유지하는 것은 버스상의 전기적 AC 및 DC 로드들의 수를 고정적으로 제한시키게 한다. 또한 속도를 고려함으로써, 로드들에 의해 버스상에 놓여질 수 있는 캐패시턴스 및 버스의 물리적 길이가 제한되는 반면, 미래의 PCI 버스 레이트(예컨대, 66MHz)에 의해서 전기적 로드 및 캐패시턴스 관계가 악화될 것이다. 이러한 로드의 제약들을 간과하면, 전파 지연 및 버스들 간의 비동기 동작을 야기시킬 수 있다.

이들 로딩 제약들을 회피하기 위해서, PCI 버스 표준은 브릿지(bridge)를 규정하고 있는데, 이 브릿지는 제 1 PCI 버스가 브릿지를 통해 제 2 PCI 버스와 통신할 수 있게 한다. 부가적인 로드들은 제 1 버스 상의 로딩을 증가시키지 않으면서 제 2 버스상에 배치될 수도 있다. 각종 유형의 브릿지들에 대해서는 미국 특허 제 5,548,730 호 및 제 5,694,556 호를 참조한다.

PCI 브릿지는 어느 한 버스 상의 이니시에이터(initiator)나 버스 마스터가 다른 버스 상의 타겟과 트랜잭션을 완료할 수 있게 하는 분류 체계(hierarchy)를 관찰한다. 본 명세서에서 사용되는, "분류 체계"는 보다 더 높거나 낮은 레벨의 개념이 의미를 갖는 시스템을 지칭한다. 예컨대, PCI 버스 시스템은 여러 스코어(score)들에 대해 분류 체계적이다. 레벨들의 순서를 정하는 것은 고레벨 호스트 프로세서가 통상적으로 브릿지를 통해 보다 더 높은 레벨 버스로부터 보다 더 낮은 레벨 버스에 통신하는 것에서 관찰된다. 또한 레벨들의 순서를 정하는 것은 동일 레벨들의 버스들이 직접 통신하는 것이 아니라 보다 더 높은 레벨 버스에 의해 상호 접속된 브릿지들을 통해서 통신하는 것에서 관찰된다. 또한, 레벨들의 순서를 정하는 것은, 포함된 레벨들에 기초해서, 데이터가 브릿지를 통과할 수 있게 되기 전에 그들의 어드레스에 의해 필터되는 것에서 관찰된다. 전술한 개념들 중의 하나 이상 또는 다른 개념들을 사용함으로써 레벨들의 순서를 정하는 것을 관찰할 수 있는 다른 분리 체계적 시스템들도 있다.

몇몇 개인용 컴퓨터들은 부속 카드들을 위한 슬롯들을 갖고 있는데, 이 슬롯들은 카드를 컴퓨터내의 주변 버스에 접속할 수 있게 한다. 사용자는 종종 부가적인 슬롯들을 필요로 하기 때문에, 부속 카드들을 위한 부가적인 슬롯들을 제공하는 외부 유닛들 및 주변 버스 사이를 접속하는 확장 카드들이 설계되었었다. 버스를 확장하기 위한 시스템들에 대해서는, 미국 특허 제 5,006,981 호, 제 5,191,657 호, 제 5,335,329 호를 참조한다. 또한, 미국 특허 제 5,524,252 호를 참조한다.

휴대용 컴퓨터들의 경우에는, 사용자가 부가적인 주변 장치들을 접속하고자할 때 특별히 고려해야 할 문제들이 생긴다. 종종 사용자는 휴대용 컴퓨터를 데스크탑에 가져와서, 도킹 스테이션(docking station)이나 포트 레플리케이터(port replicator)를 통해 키보드나, 모니터나, 프린터 등에 접속할 것이다. 또한, 사용자는 도킹 스테이션에서 네트워크 인터페이스 카드를 통해 네트워크에 접속하기를 원할 것이다. 때때로, 사용자는 하드 드라이브나 CD-ROM 드라이브 등과 같은 부가적인 장치들을 필요로 할 수도 있다. 제한된 범위까지 기계적으로 가능하게, 케이블을 통해 휴대용 컴퓨터로부터 버스를 확장시키는 것은, 매우 많은 수의 필요한 와이어(wire)들 및 소정의 상당한 길이의 케이블에 의해서 야기되는 대기 시간(latency)으로 인해서 곤란하다.

미국 특허 제 5,696,949 호에서, 호스트 새시(host chassis)는 확장 새시에서 또다른 PCI 대 PCI(PCI to PCI) 브릿지에 케이블 버스를 통해 접속하는 PCI 대 PCI 브릿지를 갖는다. 이 시스템은 두 개의 독립 브릿지들이 케이블 버스를 통해 통신하기 때문에 비교적 복잡하다. 이 케이블 버스는 필수적으로 PCI 버스에서 통상 볼 수 있는 모든 라인들을 포함한다. 이런 방식은 케이블 버스와 연관된 클록 대기 시간을 처리하기 위해 지연 기술을 채용하고 있다. 케이블 버스의 확장 측상에서 발생된 클록 신호는, (a) 케이블 버스를 가로 질러서 전송되지만 케이블 길이에 따라 적당한 지연을 경험하고, (b) 확장 측상에서 사용되기 전에 그 쪽의 지연 라인에 의해 케이블 버스의 확장 측상에서 동등한 양만큼 지연된다. 이러한 설계는 시스템을 복잡하게 하며 시스템을 미리 설계된 길이의 동조 케이블에 제한시키게 되고, 각종 물리

적인 레이아웃들에 작업 공간을 수용시키기가 곤란하게 한다.

미국 특허 제 5,590,377 호에는 도킹 시스템내의 PCI 대 PCI 브릿지에 접속되는 휴대용 컴퓨터내의 제 1 PCI 버스에 대해 개시하고 있다. 도킹되면, 제 1 및 제 2 버스들은 물리적으로 매우 근접해진다. 케이블은 도킹 스테이션과 휴대용 컴퓨터 간을 분리시킬 수 있게 하는데 사용되지는 않는다. 이러한 배열에 의하면, 제 1 PCI 버스 및 도킹 스테이션 사이에는 인터페이스 회로가 없다. 또한, 미국 특허 제 5,724,529 호를 참조한다.

미국 특허 제 5,540,597 호는 주변 장치를 휴대용 컴퓨터내의 PC 카드 슬롯에 접속하는 경우에 부가적인 PCMCIA 커넥터들을 회피하는 것을 제안하고는 있지만, 그 밖의 다른 경우에 대해서는 어떠한 관련 브릿징 기술들도 개시하고 있지 않다.

미국 특허 제 4,882,702 호는 산업용 기계들 및 처리들을 제어하는 프로그램가능 제어기를 개시하고 있다. 시스템은 각종 입력/출력 모듈들과 직렬로 데이터를 교환한다. 이들 모듈중의 하나는 부가적인 입력/출력 모듈들의 여러 그룹들과 직렬로 통신할 수 있는 확장 모듈로 대체될 수도 있다. 이 시스템은 확장 모듈과 통신하는 방식이 입력/출력 모듈들과 통신하는 방식과는 상이하다는 점에서 브릿지형이 아니다. 확장 모듈의 경우에 그 시스템은 상태 바이트들의 그룹이 모든 확장 장치들에 대해 전달되는 블록 전달 모드로 바뀐다. 이 시스템은 또한 입력/출력 트랜잭션에 국한되고 각종 어드레스가능한 메모리 트랜잭션을 지원하지 않는다. 또한, 미국 특허 제 4,413,319 호 및 제 4,504,927 호를 참조한다.

미국 특허 제 5,572,525 호에서, 기계 사용을 위해 설계된 또다른 버스(IEEE 488 General Purpose Instrumentation Bus)는 확장기에 접속되고, 이 확장은 또다른 확장에 전송 케이블을 통해 직렬로 전송되는 패킷들로 버스 정보를 분할한다. 이 다른 확장은 제 2 기계 사용 버스에 인가되는 병렬 데이터로 직렬 패킷을 재구성한다. 이 확장은 직렬 변환층에 대해 병렬로 되기 전에 메시지 해석층 및 여러 다른 층들을 통해 동작하는 인텔리전트 시스템이다. 따라서 이 시스템은 브릿지와는 다르다. 이 시스템은 또한 수행할 수 있는 트랜잭션의 유형에 제한된다. 또한 미국 특허 제 4,959,833 호를 참조한다.

미국 특허 제 5,325,491 호는 원격 주변 장치들과 인터페이스하는 다수의 와이어들을 갖는 케이블에 로컬 버스를 인터페이스하기 위한 시스템을 개시하고 있다. 또한, 미국 특허 제 3,800,097 호, 제 4,787,029 호, 제 4,961,140 호, 및 제 5,430,847 호를 참조한다.

소형 컴퓨터 시스템 인터페이스(SCSI)(Small Computer System Interface)는 각종 주변 장치들에 대한 버스 표준을 규정한다. 이 SCSI 버스는 높은 레벨 명령에 응답하는 인텔리전트 시스템의 일부이다. 따라서, SCSI 시스템들은 하드웨어가 SCSI 버스와 통신할 수 있게 하도록 소프트웨어 드라이버들을 필요로 한다. 이것은 PCI 표준에 규정되어 있는 브릿지들과 같은 브릿지들과는 현저히 다르다. 이더넷, 토큰 링, TCP/IP, ISDN, FDDI, HIPPI, ATM, 파이버 채널 등을 포함하여, 각종 기타 다른 복잡한 기술들 및 프로토콜들이 데이터 전달을 위해 존재하지만, 이것들은 브릿지 기술과의 관련성은 거의 없다.

또한, 미국 특허 제 4,954,949 호, 제 5,038,320 호, 제 5,111,423 호, 제 5,446,869 호, 제 5,495,569 호, 제 5,497,498 호, 제 5,507,002 호, 제 5,517,623 호, 제 5,530,895 호, 제 5,542,055 호, 제 5,555,510호, 제 5,572,688 호, 및 제 5,611,053 호를 참조한다.

따라서, 버스들 간에 정보를 전달하기 위한 개선된 시스템에 대한 요구가 있다.

발명의 상세한 설명

본 발명의 특징들 및 이점들에 대해 기술한 예시적인 실시예들에 따르면, 제 1 버스를 통해 제 2 버스에 대한 액세스를 확장하기 위한 호스트 프로세서에 의해 액세스 가능한 브릿지가 제공된다. 제 1 버스 및 제 2 버스 각각은 복수의 버스 호환가능 장치들중 각각의 장치들에 분리하여 접속하도록 적응된다. 장치들중 허용가능한 것들은 메모리 장치들 및 입력/출력 장치들을 포함한다. 브릿지는 제 1 및 제 2 인터페이스와 함께 링크를 갖는다. 제 1 인터페이스는 제 1 버스 및 링크 간에 연결하도록 적응된다. 제 2 인터페이스는 제 2 버스 및 링크 간에 연결하도록 적응된다. 하나의 브릿지로서 동작하는 제 1 인터페이스 및 제 2 인터페이스는, (a) 상기 링크를 통한 상기 정보의 전송을 개시하기 전에 상기 링크를 통해 인입하는 수취 확인 통지를 기다리지 않고 제 1 버스 및 제 2 버스의 것과는 상이한 포맷으로 링크를 통해 직렬로 출력 정보를 전송하고, (b) 브릿지를 가로질러 목적지를 나타내는 특성을 가진 미결정 트랜잭션에 응답해서 제 1 버스 및 제 2 버스 간에 최초의 교환을 승인하고, (c) 제 1 버스를 통해 통신하는 호스트 컴퓨터가, (i) 제 1 버스상의 디바이스들을 액세스하는데 이용되는 동일 유형의 어드레싱을 실질적으로 제 1 버스에서 사용하고, (ii) 먼저 제 2 버스상의 버스 호환가능 장치들 중 제 2의 방해하는 하나를 채용하지 않는 경우에, 존재할 수도 있는 메모리 장치들 및 입력/출력 장치들을 포함하여, 제 2 버스상의 버스 호환가능 장치들중 서로 상이한 선택가능한 것들을 개별적으로 어드레스할 수 있게 하도록 동작가능하다.

본 발명의 또다른 양태에 따르면, 호스트 프로세서에 의해 액세스 가능한 브릿지가 제 1 버스를 통해 제 2 버스에 대한 액세스를 확장할 수 있다. 제 1 버스 및 제 2 버스 각각은 복수의 버스 호환가능 장치들중 각각의 장치들에 분리하여 접속하도록 적응된다. 장치들중 허용가능한 것들은 메모리 장치들 및 입력/출력 장치들을 포함한다. 브릿지는 제 1 및 제 2 인터페이스와 함께 링크를 갖는다. 제 1 인터페이스는 제 1 버스 및 링크 간에 연결하도록 적응된다. 제 2 인터페이스는 제 2 버스 및 링크 간에 연결하도록 적응된다. 제 1 인터페이스 및 제 2 인터페이스는, (a) 제 1 버스 및 제 2 버스의 것과는 상이한 포맷으로 링크를 통해 직렬로 출력 정보를 전송하고, (b) 제 2 버스보다 더 높은 레벨을 제 1 버스에 제공하는 미리 정해진 분류 계층에 따라 제 1 버스 및 제 2 버스 간에 정보를 교환하고, (c) 제 1 버스를 통해 통신하는 호스트 컴퓨터가, (i) 제 1 버스상의 디바이스들을 액세스하는데 이용되는 동일 유형의 어드레싱을 실질적으로 제 1 버스에서 사용하고, (ii) 먼저 제 2 버스상의 버스 호환가능 장치들 중 제 2의 방해하는 하나를 채용하지 않고, (iii) 방해하는 분류 계층 레벨을 통해 정보를 통과시키지 않는 경우에, 존재할 수도 있는 메모리 장치들 및 입력/출력 장치들을 포함하여, 제 2 버스상의 버스 호환가능 장치들중 서로 상이한 선택가능한 것들을 개별적으로 어드레스할 수 있게 하도록 동작가능하다.

본 발명의 또다른 양태에 따르면, 프로세서에 의해 액세스 가능한 브릿지가 제 1 버스를 통해 제 2 버스에 대한 액세스를 확장할 수 있다. 제 1 버스 및 제 2 버스 각각은 복수의 버스 호환가능 장치들중 각각의 장치들에 분리하여 접속하도록 적응된다. 브릿지는 제 1 및 제 2 인터페이스와 함께 링크를 갖는다. 제 1 인터페이스는 제 1 버스 및 링크 간에 연결하도록 적응된다. 제 2 인터페이스는 제 2 버스 및 링크 간에 연결하도록 적응된다. 제 1 인터페이스 및 제 2 인터페이스는 하나의 브릿지로서 작용하고, 링크를 통한 정보의 전송을 개시하기 이전에 링크를 통해 인입 수취 확인 통지를 기다리지 않고서 제 1 버스 및 제 2 버스의 것과는 상이한 포맷으로 링크를 통해 직렬로 출력 정보를 전송하도록 동작가능하다.

전술한 유형의 장치 및 방법들을 채용함으로써, 버스들 간에 정보를 전달하는 개선된 시스템이 달성된다. 한 양호한 실시예에서, 두 개의 버스들은 트위스트된 쌍이나 트윈 축선들(원하는 속도 및 예측된 전송 거리에 의존함)을 각기 채용한 한쌍의 간단한 링크들로 형성된 이중 링크를 통해 통신한다. 버스들로부터의 정보는 먼저 FIFO(first-in first-out) 레지스터들에 로드되고 나서, 링크를 통한 전송을 위해 프레임들로 직렬화된다. 수신된 프레임들은 목적 버스상에 배치되기 이전에 FIFO 레지스터들내로 탈직렬화되어 로드된다. 바람직하게는, 인터럽트, 에러 신호, 상태 신호가 링크를 따라 전송된다.

이 양호한 실시예에 있어서, 어드레스 및 데이터는 제어 또는 바이트 이네이블 신호들중 어느 하나로서 작용하는 4비트와 함께 버스로부터 한번에 하나의 트랜잭션이 이루어진다. 2 이상의 부가 비트들은 어드레싱 사이클, 논포스트(non-posted)된 기록의 수취 확인 통지, 데이터 버스트, 데이터 버스트의 끝(또는 하나의 사이클) 중의 어느 하나로서 각 트랜잭션을 태그(tag)시키는데 부가될 수도 있다. 이들 트랜잭션들이 포스트된 기록인 경우, 그 트랜잭션들은 링크를 통해 직렬로 전송되는 프레임들의 수로 인코딩되기 전에 FIFO 레지스터에 신속하게 저장될 수 있다. 프리펫치(pre-fetched)된 판독이 허용될 때, FIFO 레지스터는 이니시에이터가 그것을 요청하는 경우에 프리펫치된 데이터를 저장할 수 있다. 응답을 대기해야 하는 한 사이클의 기록이나 다른 트랜잭션들에 대해, 브릿지는 요청이 타겟에 통과되기 전에도 이니시에이터에게 대기하라는 신호를 즉각 보낼 수 있다.

양호한 실시예에서, 하나 이상의 버스들은 PCI 또는 PCMCIA 버스 표준(다른 버스 표준들이 대신 사용될 수 있음에도 불구하고)을 따른다. 그리고 양호한 장치는 PCI 표준 하에서 규정된 정보가 로드되는 구성 레지스터와 함께 브릿지로서 동작한다. 상기 장치는 구성 레지스터들이 포함하는 범위내에 미결정의 어드레스들이 있게 되는지의 여부에 의존하여 버스들 간에 정보를 전달할 수 있다. 이 체계는 브릿지의 다른 쪽의 장치들과 함께 동작되고, 어드레싱 상충을 회피하기 위해 특유의 베이스 어드레스들로 주어질 수 있다.

한 양호한 실시예에 있어서, 상기 장치는 케이블에 의해 결합된 두 개의 분리 ASIC(application-specific integrated circuit)로서 형성될 수도 있다. 양호하게는, 이들 두 집적 회로들은 동일한 구조를 갖지만, 그 핀들 중의 하나에 인가된 제어 신호에 응답해서 두 개의 상이한 모드로 작용할 수 있다. 분류 계층적 버스들(제 1 및 제 2 버스들)과 함께 동작하는 경우, 이들 집적 회로들은 그 관련 버스에 대해 적절한 모드에 놓여질 수 있을 것이다. 바람직하게는 제 2 버스와 관련된 ASIC는 제 2 버스의 마스터 제어를 승인할 수 있는 아비터를 갖는다. 이 양호한 ASIC는 또한 병렬 및 직렬 포트와 마찬가지로 마우스 및 키보드를 지원하도록 다수의 포트들을 공급할 수 있다.

휴대용 컴퓨터와 함께 사용하는 경우, ASIC들중의 하나는 PCMCIA 표준에 따르는 PC 카드 슬롯에 맞도록 설계된 패키지내에 커넥터와 조립될 수 있다. 이 ASIC는 도킹 시스템에 위치할 수 있는 다른 ASIC에 케이블을 통해서 접속될 수 있다. 따라서, 상기 장치는 도킹 스테이션에 위치한 PCI 버스 및 카드 버스 사이의 브릿지로서 작용할 수 있다. 양호한 ASIC는 또한 마우스 및 키보드를 위해 포트를 제공할 수 있기 때문에, 이 설계는 도킹 스테이션에 특히 유용하다. 또한, ASIC에 의해 실현된 제 2 PCI 버스는 모니터를 구동하기 위하여 메인 도크 회로 보드 상의 비디오 처리 회로나 비디오 카드에 접속될 수 있다.

몇몇 실시예들에 있어서, 하나의 ASIC는 OEM(original equipment manufacturer)에 의해서 휴대용 컴퓨터에 설치될 수 있을 것이다. 이 휴대용 컴퓨터는 짝을 이루는 ASIC와 함께 도킹 스테이션에 접속되는 케이블에 전용인 특수 커넥터를 구비할 것이다. 그러한 실시예의 경우, 각종 장치들을 위한 포트들의 양호한 ASIC내에의 존재는 매우 유리하게 될 수 있다. OEM은 ASIC의 이미 기존의 특징들을 이용할 수 있고 그에 의해서 그러한 포트들을 실현하는데 그 밖에 필요로 되어 왔던 회로를 소거할 수 있다.

본 발명의 상기 단순한 설명은 물론 다른 목적들, 특징들, 이점들은 첨부 도면을 참조하여 본 발명을 따르는 예시적인 양호한 실시예들에 대해 하기에서 보다 더 상세하게 기술한 설명으로부터 보다 완전히 이해될 것이다.

도면의 간단한 설명

도 1은 본 발명의 원리에 따르는, 브릿지 내의 링크에 의해 분리된 브릿지를 개략적으로 도시하는 블록도.

도 2는 도 1의 링크를 이용하는 본 발명의 원리를 따르는 브릿지를 개략적으로 도시하는 블록도.

도 3은 본 발명의 원리들을 따르는, 도킹 시스템에 사용된 도 2의 브릿지를 개략적으로 도시하는 블록도.

도 4는 도 3의 케이블의 횡단면도.

도 5는 각종 주변 장치들 및 휴대용 컴퓨터에 접속된 도 3의 브릿지를 개략적으로 도시한 도면.

도 6은 도 5의 것과 유사한 도킹 스테이션으로서, 도킹 스테이션에 링크를 지원하도록 설계된 ASIC를 포함하도록 변형된 휴대용 컴퓨터와 함께 도시한 도면.

실시예

도 1을 참조하면, 브릿지는 제 1 버스(10)와 제 2 버스(12)(또는 제 1 버스(10)와 제 2 버스(12)로도 불린다)사이로 접속된다. 이러한 버스들은, 다른 형태들의 버스들이 고려되더라도, PCI 또는 PCMCIA 32 - 비트 버스들이 될 수 있고, 본 설명은 임의의 특정 형태의 버스에 한정되지 않는다. 이 형태의 버스들은 통상적으로 어드레스 및 데이터 라인들을 가질 것이다. 일부 경우들에서, 그러한 PCI 버스, 어드레스 및 데이터는 동일한 라인들 상에 다중화된다. 덧붙여, 이러한 버스들은 버스 상의 장치들이 트랜잭션들을 협상하도록 허용하는 신호 라인들을 가질 것이다. PCI 표준에 대해, 이러한 신호 라인들은 제어 또는 바이트 이네이블링(C/BE[3:0])을 위해 이용되는 4개의 라인들을 포함할 것이다. PCI 표준하의 다른 신호 라인들은 핸드셰이킹(handshaking) 등(예를 들면, FRAME#, TRDY#, IRDY#, STOP#, DEVSEL#, 등)에 대해, 버스를 통해 제어를 얻기 위해 존재한다.

버스들(10,12)은 각각, 제 1 인터페이스 수단(14) 및 제 2 인터페이스 수단(16)(또는 인터페이스들(14,16)로도 불린다)에 접속된다. 인터페이스들(14, 16)에 의해 전송하도록 선택된 버스 정보는 각각 레지스터들(18, 20)로 로딩된다. 인터페이스들(14,16)이 버스들에 순응하도록 선택하는 인입하는 버스 정보는 각각 레지스터들(22,24)로부터 취해진다. 일 실시예에서, 다른 형태들의 레지스터들이 대안의 실시예들에서 이용될 수 있는 다른 치수들을 가지더라도, 레지스터들(18 내지 24)은 각각 16×38 FIFO 레지스터들이다.

이 실시예에서, 레지스터들(18 내지 24)은 적어도 38 비트 폭이다. 이러한 비트들 중 38개는 PCI 버스 표준하에 이용된 32개의 어드레스/데이터 비트들(AD[31:0]) 및 4개의 제어 비트들(C/BE#[3:0])을 위해 지정된다. 나머지 2개의 비트들은 그와 관련된 트랜잭션의 성질을 식별하기 위한 추가 태그들을 보내기 위해 이용될 수 있다. 다른 비트들은 모든 고려된 트랜잭션을 전적으로 특징짓는데 필요할 수 있다. 트랜잭션들은 어드레싱 사이클; 논포스트된 기록(non-posted write)의 승인; 데이터 버스트(data burst); 데이터 버스트의 단부(또는 단일 사이클)로서 태그될 수 있다. 따라서, 아웃고잉 기록 트랜잭션들은 단일 사이클 트랜잭션 또는 버스트의 일부로서 태그될 수 있다. 아웃고잉 판독 요청들은 또한, 버스트의 각각의 연속적인 판독 사이클에 대한 바이트 이네이블 코드들(C/BE)의 시퀀스를 갖는 버스트의 일부로서 태그될 수도 있다. 다른 많은 비트들을 이용하는 다른 코딩 방법들은 다른 실시예들에서 이용될 수 있다.

도 1에 도시한 구조의 균형은 레지스터들(18 내지 24)을 통해 인터페이스들(14 및 16)사이의 2중 통신들을 설립하도록 설계된 링크이다. 예를 들면, 엔코더(28)는 레지스터(20)로부터 가장 오래된 38 비트들을 수용할 수 있고, 이것을 5개의 바이트들(40비트들)로 분해할 수 있다. 마지막 바이트 중 여분의 2개의 비트들은 블록(34)으로부터 제공될 수 있는 여러 신호들, 상태 신호들 및 인터럽트들을 나타내도록 엔코딩된다.

이러한 5개의 바이트들 각각은 링크를 조절하는데 유용한 정보뿐만 아니라, 각 바이트의 정보를 나눌 수 있는 10 비트 프레임으로 변환된다. 예를 들어, 이러한 프레임들은 공지된 방법으로, 콤마 마커들, 아이들 마커들 또는 플로우 제어 신호들을 나눌 수 있다. 그러한 10 비트 프레임들로 인코딩된 바이트들로 동작하는 트랜시버 시스템은 Hewlett Packard 에 의해 모델 번호 HDMP - 1636 또는 - 1646으로서 상업적으로 판매된다. 인코더(28)에 의해 산출된 프레임들은 단일 링크(46)를 따라 전송기(44)를 통해 수신기(48)로 진행되고, 이 수신기(48)는 직렬 정보를 디코더(30)에 제공한다. 마찬가지로, 인코더(26)는 단일 링크(40)를 따라 전송기(38)를 통해 수신기(42)에 직렬 정보를 진행시키고, 이 수신기(42)는 이 직렬 정보를 디코더(32)에 제공한다.

플로우 제어는 오버플로우의 위험에 있어서 FIFO 레지스터들(22,24)이 되어야 할 필요성이 있을 수 있다. 예를 들어, FIFO 레지스터(22)가 거의 가득찰 때, 이것은 문턱값 검출 신호(36)를 인코더(26)에 공급하고, 이 인코더(26)는 이 정보를 링크(40)를 통해 디코더(28)에 진행시킨다. 이에 응하여, 디코더(32)는 문턱값 중단 신호(50)를 디코더(28)에 발행하고, 이 디코더(28)는 진행하고 있는 직렬 정보를 중단하고, 그에 의해, FIFO 레지스터(22)에서 오버플로우를 방지한다. 유사한 방식으로, FIFO 레지스터(24)에서의 잠재적인 오버플로우는 문턱값 검출 신호(52)가 인코더(28)를 통해 흐르도록 하고, 링크(46)는 디코더(30)가 문턱값 중단 신호(54)를 발행하도록 하고, 더 많은 정보의 프레임들을 전송으로부터 인코더(26)를 중단하도록 한다. 일부 실시예들에서, 상기 시스템은 수신된 정보가 전송 에러들을 포함하거나 일부 방식에서 변질되어졌는지를 판정하기 위해 수신된 정보를 조사할 것이다. 이러한 사건에서, 상기 시스템은 변질된 정보의 재 전송을 요구하고, 그에 의해 더 높은 신뢰성 있는 링크를 보장할 수 있다.

이 실시예에서, 구성요소들(14,18,22,26,30,38,48)은 단일의 응용 주문형 집적 회로(ASIC)(56)의 일부이다. 구성요소들(16,20,24,28,32,42,44)은 또한, ASIC(58)의 일부이다. 이하 설명하는 바와 같이, 제 1 ASIC(56) 및 제 2 ASIC(58)은 다른 모드들에서 구동될 수 있는 것을 제외하고는 동일한 구조이다. 다른 실시예들은 ASIC들을 이용하지 않을 수 있지만, 프로그램가능 논리 장치 등과 같은 대안의 회로를 이용할 수 있다. 여기에 도시된 바와 같이, ASIC(56)은 제 1 버스(10)를 동작시키도록 설계된 모드에서 구동하고 있고, (현재 설명하는 이유들에 대해) 블록(57)에 출력들을 보낼 것이다. ASIC(58)의 콘트라스트 블록(34)은 블록(34)으로부터 입력들을 수신할 것이다.

인코더들(26,28)은 각각, 그러한 정보를 요청하는 애플리케이션들에 대해 최적의 병렬 출력들(27,29)을 갖는다. 또한, 그러한 애플리케이션들에 대해, 디코더들(30,32)은 각각 병렬 입력들(31,33)을 갖는다. 이러한 최적의 입력들 및 출력들은, 앞서 언급한 Hewlett Packard에 의해 제공된 모델 번호 HDMP - 1636 또는 - 1646의 장치들과 같은, 외부 트랜시버 칩에 접속될 수 있다. 이러한 장치들은, 그러나 외부 트랜시버 칩을 이용하여, 여전히 상기 시스템이 직렬 정보를 전송하도록 할 것이다. 이것은 ASIC들(56,58)의 사용자들이 링크를 통해 전송하는 방법들에 의한 더 많은 제어를 가능하게 한다.

도 2를 참조하면, 앞서 언급한 ASIC들(58,58)을 더 상세히 도시한다. 앞서 언급된 인코더들, 디코더들, 전송기들, 수신기들 및 FIFO 레지스터들은 블록들(60,62)로 조합되고, 이것은 앞서 언급한 단일 링크들(40,46)로 형성된 이중 케이블에 의해 상호 접속된다. 앞서 언급한 인터페이스(14)는 제 1 버스(10)에 접속되고, 이 제 1 버스(10)는 또한 많은 버스 호환가능 장치들(64)에 접속된다. 비슷하게, 앞서 언급한 인터페이스(16)는 제 2 버스(12)에 접속되고, 이 제 2 버스(12)는 또한, 많은 버스 - 호환가능 장치들(66)에 접속된다. 장치들(64,66)은 PCI - 컴플라이언트 장치들이 될 수 있고, 메모리 장치들 또는 입/출력 장치들로서 구동될 수 있다.

인터페이스(14)는 제 1 레지스터 수단(68)에 접속되고, 제 1 레지스터 수단(68)은 PCI 표준에 순응하여 구성 레지스터로서 동작한다. 이 시스템이 브릿지로서 동작할 것이기 때문에, 구성 레지스터들(68)은 브릿지와 통상적으로 관련되는 정보를 가질 것이다. 또한, 구성 레지스터들(68)은 제 2 버스(12) 상에서 발견될 t 있는 장치들의 어드레스들의 미리 결정된 스케줄 또는 범위를 알리기 위해 베이스 레지스터 및 제한 레지스터를 포함할 것이다. PCI 표준하에, PCI 버스 상의 장치들 자체는 베이스 레지스터를 각각 가질 것이며, 이것은 메모리 공간 및/또는 I/O 공간의 맵핑을 허용한다. 결과적으로, 구성 레지스터들(68)의 베이스 및 제한 레지스터들은 개별적인 PCI 장치들에 의해 실행되고 있는 맵핑을 수용할 수 있다. 구성 레지스터들(68) 상의 정보는 제 2 구성 레지스터(67)(또는 제 2 구성 수단으로도 불린다) 상에 반영된다. 이것은 구성 정보가 라인의 양측면들 상의 인터페이스들 상에서 용이하게 이용할 수 있도록 한다.

이 실시예에서, ASIC(58)는 아비터(70;arbiter)를 갖는다. 아비터들은 버스의 제어를 위한 제 2 버스(12) 상에 마스터들로부터의 요청들을 받아들이는 공지된 장치들이다. 아비터는 승인 신호를 발행함으로써 경쟁하는 마스터들 중 하나의 요청을 승인하는 적절한 알고리즘을 갖는다. 이 계층적 방식에서, 제 2 버스(12)는 버스 조정(bus arbitration)을 필요로 하지만, 제 1 버스(10)는 그 자신의 조정을 제공할 수 있다. 따라서, ASIC(56)는 아비터(72)가 디스에이블되는 모드에 배치된다. ASIC들(56,58)의 모드들은 제어 핀들(74,76) 각각에 인가된 제어 신호들에 의해 설정된다. 이 모드 선택 때문에, 블록들(57,34)과 관련된 신호 방향들이 반전될 것이다.

이 실시예에서, ASIC(58)는 제 3 버스(78)를 실행하는 모드에 있다. 버스(78)는 PCI 표준을 따를 수 있지만, 다른 표준에서 더 편리하게 실행된다. 버스(78)는 포트 수단으로 동작하는 많은 장치들에 접속된다. 예를 들면, 장치들(80,82)은 마우스 또는 키보드에 접속될 수 있는 PS/e 포트들을 실행할 수 있다. 장치(84)는 프린터 또는 다른 장치를 구동하기 위한 ECP/EP 병렬 포트를 실행한다. 장치(86)는 종래의 직렬 포트를 실행한다. 장치들(80,82,84,86)은 각각 입/출력 라인들(81,83,85,87)을 갖는다. 장치들(80 내지 86)은 이들이 버스(12) 상의 PCI 장치들인 경우처럼, 버스(10) 상에 어드레싱될 수 있다. 또한, 이 실시예에서, 버스(88)는, 입/출력 회로들을 분리할 필요없이 이러한 포트들을 실행하기 위해 OEM을 이네에이블하도록 버스(78) 상에 도시된 바와 같은 동일한 장치들을 갖는, ASIC(56) 내에 있다.

도 3을 참조하면, 앞서 언급한 ASIC(58)는 리모트 및 내부 클록을 설립하기 위한 발진기(91)에 접속된 도킹 스테이션(130; docking station)내에 도시된다. ASIC(58)는 각각 키보드 및 마우스로의 접속을 위한 접속 어셈블리(90)를 통해 접속된 그의 라인들(81,83)을 갖는다. 직렬 라인들(85) 및 병렬 라인들(87)은 각각 트랜시버들(92,94)에 접속되고, 이 트랜시버들(92,94)은 또한, 프린터들 및 모뎀들과 같은, 다양한 병렬 및 직렬 주변장치들로의 접속을 위한 접속 어셈블리(90)에 접속된다.

ASIC(58)는 또한, 앞서 언급한 제 2 버스(12)에 접속된다. 버스(12)는 PCI 버스(12)가 하드 드라이브, 백업 테이프 드라이브, CD-ROM 드라이브 등과 같은 IDE 장치와의 통신을 허용하기 위해 어댑터 카드(96)에 접속된다. 다른 어댑터 카드(98)는 버스로부터 범용 직렬 포트(USB)로의 통신들을 가능하게 한다. 네트워크 인터페이스 카드(100)는 버스(12)를 통해 이더넷 표준, 토큰 링 표준 등의 하에서 구동하는 다양한 네트워크들로의 통신들을 허용할 것이다. 비디오 어댑터 카드(102)(또한 비디오 수단으로도 불린다)는 사용자가 다른 모니터를 구동하는 것을 허용한다. 애드온 카드(104; add-on card)는 유용한 기능을 실행하도록 사용자에게 의해 선택된 다양한 카드들 중 하나일 수 있다. 이 실시예는 애드-온 카드들에 의해 실행되어 지고 있는 다양한 기능들을 도시하고 있는 반면, 다른 실시예들은 독(dock)내의 공통 회로 보드 상에서 하나 또는 그 이상의 이러한 기능(예를 들면, 아마도 IDE 어댑터 카드를 제외한 모든 기능들)을 실행할 수 있다.

ASIC(58)는 수신기/전송기(106)를 통해 통신하고, 수신기 전송기(106)는 터미널 커넥터(108)를 통해 물리 인터페이스(physical interface)를 케이블(40,46)에 제공한다. 커넥터(108)는, 다른 형태들의 커넥터가 대신 이용될 수 있지만, EMI 차폐를 갖는 고속 신호들을 나눌 수 있는 20핀 커넥터(예를 들면, Molex Incorporated에 의해 제공된 형태의 로우 포스 헬릭스 커넥터(low force helix connector))일 수 있다. 케이블(40,46)의 반대 단부는 기가바이트를 통해 터미널 커넥터(110)를 물리 인터페이스(112)에 접속하고, 물리 인터페이스(112)는 수신기/전송기로서 동작한다. 인터페이스(112)는 앞서 언급한 제 1 ASIC(56)에 접속되고, 제 1 ASIC(56)는 또는, 로컬 클럭 신호를 설정하기 위해 발진기(114)에 접속된다. 다른 실시예들이 ASIC들(56,58)의 내부 장치들에 찬성하여 이러한 외부 장치들을 제거할 수 있더라도, 이 특정 설계는 외부 전송기/수신기(도 1의 외부 SERDES 라인들(27,29,31,33))를 이용하여 보상한다.

본 실시예는 기타 다른 종류의 컴퓨터들을 이용하더라도, PCMCIA 32 비트 버스(10)를 가진 휴대용 컴퓨터와 협동하는데 적응된다. 따라서, ASIC(56)이 PCMCIA 표준에 따른 아웃라인을 가진 패키지(116)내에 있는 것으로 도시되고, 패키지(116)가 휴대용 컴퓨터의 슬롯에 맞도록 한다. 그리하여, ASIC(56)은 버스에 접속하기 위한 커넥터(118)를 가진다. 케이블(40, 46)은 통상 패키지(116)에 영구적으로 접속되지만, 분리가능한 커넥터가 다른 실시예들에 이용될 수 있으며, 사용자는 휴대용 컴퓨터 내부에 패키지(116)를 남기기를 바란다.

전원(120)이 여러 부품들에 동력을 공급하는데 이용되는 여러 가지의 공급 전압들을 생산하는 것으로 도시된다. 일부 실시예들에서, 이 공급 라인들중 하나는 배터리를 충전시키도록 휴대용 컴퓨터에 직접적으로 접속될 수 있다.

도 4를 참조하면, 개개의 쉴드들(40B, 46B)로 감긴 트윈 축 라인들(40A, 46A)에 따라 상술된 단선 링크들(40, 46)이 도시된다. 단일 쉴드(122)는 상기 라인들(40, 46)을 에워싼다. 4개의 병렬 와이어들(124)이 (다른 실시예들에서 다수가 이용될지라도) 다목적용 위해 쉴드들(122)의 주변에 설치되는 것이 도시된다. 상기 와이어들(124)은 도킹 스테이션과 휴대용 컴퓨터 사이의 인터페이스에 유용할 수 있는 전원 관리 신호들, 독 제어 신호들(dock control signals) 또는 기타 다른 신호들을 전할 수 있다. 트윈 축 라인들이 고성능을 제공하지만, 트위스트 페어(twisted pair) 또는 다른 전송 매체가 다른 실시예들에서 이용될 수 있으며, 여기서 전송 거리는 그리 크기 않고, 비트 전송 속도는 그리 높을 필요가 없다. 하드 와이어 접속을 설명하지만, 다른 실시예에서는 대신에 무선 또는 다른 종류의 접속을 사용할 수 있다.

도 5를 참조하면, 상술된 패키지(116)가 휴대용 컴퓨터(126)의 PCMCIA 슬롯에 접속되도록 위치되어 있는 것으로 도시된다. 컴퓨터(126)가 1차 버스(10) 및 호스트 프로세서(128)를 갖는 것이 도시된다. 패키지(116)는 케이블(40, 46)을 통해 도킹 스테이션(130)상의 상술된 커넥터(108)에 접속되어 있는 것으로 도시된다. 상술된 도킹 스테이션(130)이 PS/2를 통해 키보드(132) 및 마우스(134)에 접속되어 있는 것으로 도시된다. 프린터(136)는 도킹 스테이션(130)의 병렬 포트에 접속되는 있는 것으로 도시된다. 상술된 비디오 수단(102)은 모니터(138)에 접속되어 있는 것으로 도시된다. 도킹 스테이션(130)은 또한 상술된 어댑터 카드에 접속되는 내부의 하드 드라이브(140)를 갖는 것으로 도시된다. CD-ROM 드라이브(142)는 또한 도킹 스테이션(130)에 장착되어 있는 것으로 도시되고, 적당한 어댑터 카드를 통해 2차 버스에 접속된다(미도시). 상술된 애드온 카드(104)는 자기 소유의 케이블(144)을 갖는 것으로 도시된다.

도 6을 참조하면, 개조된 휴대용 컴퓨터(126')가 다시 호스트 컴퓨터(128) 및 1차 버스(10)를 갖는 것으로 도시된다. 그러나, 본 실시예에서, 휴대용 컴퓨터(126')는 상술된 ASIC(56)을 포함한다. 그리하여, ASIC(56)과 케이블(40, 46) 사이에 어떤 회로도 필요치 않다(주변 드라이버들과는 다르게). 이 경우, 케이블(40, 46)의 랩탑부는 케이블의 반

대부상의 커넥터(도 5의 커넥터(108))와 유사한 커넥터(143)를 갖는다. 상기 커넥터(143)는 커넥터(141)과 어울리게 설계되고, 고속 링크를 유지한다. 이전과 같이, 커넥터들(141, 143)은 또한 도킹 시스템과 관련된 여러 가지의 전원 관리 신호들, 및 다른 신호들을 전할 수 있다.

상기 구성의 주요 장점은, ASIC(56)이 마우스 및 키보드 등을 위한 직렬 포트, 병렬 포트, PS/2 포트들과 같은 포트들을 제공하는 회로를 포함한다는 사실이다. 휴대용 컴퓨터(126')가 대개 상기 포트들을 제공하기 때문에, ASIC(56)은 휴대용 컴퓨터의 설계를 단순화한다. 이는 단일 ASIC 설계를 갖는다(즉, ASIC의 56 및 58은 동일하게 구성됨)는 장점 외에, 단일 설계를 휴대용 컴퓨터나 도킹 스테이션중 하나에 작용하여, 이로써 ASIC 설계를 단순화하고 도킹 요건들을 감소시킬 수 있다는 장점이 있다.

전술한 장치에 관련된 원리들을 쉽게 이해하기 위하여, 이들의 작동을 간단히 기술한다. 비록 다른 종류의 구성들에 있어서 상기 작동이 유사할지라도, 도 3 및 5(일반적으로는 도 2에 관련)의 도킹 시스템과 관련하여 상기 작동을 기술한다. 도킹 시스템에 있어서, 플러깅 패키지(116)에 의해 휴대용 컴퓨터(126)와 접속이 이루어진다(도 5). 이는 1차 버스(10)와 ASIC(56) 사이의 링크를 이룬다(도 3).

이 때, 1차 버스(10)에의 액세스를 가진 이니시에이터(호스트 프로세서 또는 마스터)는 상기 버스의 제어를 주장할 수 있다. 이니시에이터는 보통은, 상기 이니시에이터에 대한 제어를 결국 승인할 것인 내부의 아비터(arbiter)(도시 안됨)에 요청 신호를 전한다. 어쨌든, 1차 버스(10)에 걸쳐 제어를 주장하는 이니시에이터는 적절한 핸드셰이킹 신호들을 교환하고 상기 버스(10)상에 어드레스를 구동할 것이다. 버스(10)의 신호전송 라인들에 동시에 인가될 제어 신호들은, 트랜잭션이 판독, 기록 또는 다른 유형의 트랜잭션들이더라도 이를 나타낼 것이다.

인터페이스(14)(도 2)는 계류중인 어드레스를 조사하여, 브릿지의 다른 쪽에 장치들을 갖거나(즉, 2차 버스(12)), 브릿지 자체를 갖는 트랜잭션을 나타내는지를 결정할 것이다. 구성 레지스터(680은 이미 인터페이스(14)의 권한을 한정하는 어드레스들의 범위를 나타내는 정보와 함께 통상의 방식으로 로딩된다.

기록 트랜잭션이 버스상에 계류되어 있다면, 인터페이스(14)는 4개의 제어 비트들(PCI 표준)과 함께 32 어드레스 비트들을 FIFO 레지스터(18)에 전송할 것이다. 인코더(26)은 어드레싱 사이클에 따라 상기 정보를 태깅하는 적어도 2개의 부가적인 비트들을 부가할 것이다. 이어서, 상기 정보는, 링크(40) 위에 연속적으로 전송되기 전에 흐름 제어 및 다른 신호들을 전할 수 있는 프레임들로 분해된다.

기다리지 않고, 인터페이스(14)는 데이터 사이클로 나아가, 4개의 바이트 이네이블 비트들과 함께 버스(10)로부터 데이터의 32 비트까지 받아들일 것이다. 이전과 같이, 상기 정보는 태깅되고, 부가적인 정보로 보충되며, 링크(40) 위의 직렬 전송을 위해 프레임들로 분해될 것이다. 상기 전송된 정보는 버스의 일부인지 아니면 단일 사이클인지를 나타내도록 태깅된다.

수신시에, 디코더(32)는 프레임들을 최초의 38 비트 포맷으로 복구하고, 적어도 2개의 기술된 사이클들을 레지스터(24)의 스택상에 로딩한다. 인터페이스(16)는 이어서 통상의 방식으로 버스(12) 위의 제어를 결정하여, 어드레스를 버스(12)에 인가한다. 버스(12)상의 장치는 통상의 핸드셰이킹을 수행함으로써 기록 요청에 응답할 것이다.

다음에, 인터페이스(16)는 레지스터(24)사에 스택된 기록 데이터를 버스(12)로 구동할 것이다. 이 트랜잭션이 버스트라면, 인터페이스(16)는 레지스터(24)로부터 이를 폐칭하여 버스(12)상에 데이터를 계속 구동할 것이다. 그러나, 이 트랜잭션이 단일 사이클 기록이라면, 인터페이스(16)는 버스상의 트랜잭션을 클로즈하고, 레지스터(20)로의 승인을 로딩할 것이다. 상기 승인이 데이터 또는 어드레스 정보를 전할 필요가 없기 때문에, 고유 코드가 레지스터(20)로 배치되어, 디코더(28)는 이를 링크(46) 위의 전송을 위해 프레임들로 분해하기 전에 이 라인을 적당히 태깅할 수 있다. 수

신시에, 디코더(30)는 레지스터(22)에 로딩된 고유 코드를 생산하여, 마침내 인터페이스(14)로 나아갈 것이며, 기록이 계승된 버스(10)상의 장치에 승인을 보낸다.

이니시에이터가 어드레스 사이클 동안 판독 요청을 나타내기 위해 대신에 제어 비트들을 설정하는 경우, 권한을 갖는다면, 인터페이스(14)는 상기 사이클을 받아들였을 것이다. 인터페이스(14)가 또한 리턴 데이터(예컨대, PCI 표준하에 한정된 정지 신호가 될 수 있는 재시행 신호.)가 준비되지 않은 버스(10)상에 이니시에이터를 신호 전송할 것이다. 이니시에이터는 버스(10)상에 이 신호전송 라인들을 바이트 이네이블 정보로 구동함으로써 데이터 사이클을 여전히 개시(종료하지 않고)할 수 있다. 동일 기술을 사용하면, 바이트 이네이블 정보가 추종하는 어드레스 정보는 인터페이스(14)에 의해 수락되고 레지스터(18)내에 태그로 로드된다. 정보의 이들 두 라인은 인코딩되고 링크(40)를 통해 직렬로 전송된다. 수신시에, 레지스터(24)의 스택내에 정보가 로드된다. 실제적으로, 인터페이스(16)는 판독 요청으로서 제 1 아이템을 통지하고 이 어드레스 정보를 제 2 버스(12)상으로 도출시킨다. 버스(12)상의 장치는 응답하고 적절한 핸드셰이킹을 수행한다. 다음으로, 인터페이스(16)는 바이트 이네이블을 포함하는 레지스터(24)로부터 정보의 다음 항목을 버스(12)상으로 전송하므로, 타겟 장치는 요청된 데이터에 응답할 수 있다. 이 응답 데이터는 인터페이스(16)에 의해서 레지스터(20)로 로드된다. 프리팹치가 표시되면, 인터페이스(16)는 이니시에이터에 의해 요청될 수도 안될 수도 있는 순차 어드레스들로부터 레지스터(20)내의 데이터를 누적하기 위해 다수의 연속 판독 사이클들을 초기화한다.

전술한 바와 같이, 이 데이터는 태그되고 프레임으로 분할되고 링크(46)를 통해 직렬로 전송되어 디코딩되고 레지스터(22)내로 로드된다. 전송된 데이터는 레지스터(22)에서 누적될 프리팹치 데이터를 포함할 수 있다. 인터페이스(14)는 제 1 버스(10)상으로 데이터를 복귀시키는 제 1 항목을 전송하고 원하는 경우 이니시에이터가 또다른 판독 사이클로 진행할 수 있게 한다. 또다른 판독 사이클이 버스트 트랜잭션의 일부로서 행하여지면, 요청된 데이터는 인터페이스(14)에 의한 버스(10)로의 즉각적인 배송을 위해 이미 레지스터(22)에 존재한다. 이들 프리팹치 데이터가 다음 사이클 동안에 요청되지 않으면, 그것들은 폐기된다.

실제적으로, 이니시에이터는 버스(10)의 제어를 포기한다. 다음으로, 버스(12)상의 이니시에이터는 버스(12)의 제어를 위한 요청을 아비터(70)(도 2)에 전송한다. 아비터(70)가 제어를 승인하면, 이니시에이터는 어드레스를 버스(12)상으로 도출시킴으로써 판독 또는 기록 요청을 형성할 수 있다. 인터페이스(16)는, 이 어드레스가 구성 레지스터(67)에서 규정된 어드레스의 판정 범위내에 있지 않으면(높은 레벨 버스(10)가 판정할 수도 있음을 의미함) 응답한다. 위와 동일한 방식으로, 하지만 링크(40, 46)를 통한 역 방향 흐름에 있어서, 인터페이스(16)는 어드레스 및 데이터 사이클을 받아들이고 링크(40, 46)를 가로질러 통신한다. 버스(10)가 승인되기 전에, 인터페이스(14)는 버스(10)와 연관된 아비터(도시하지 않음)에 요청을 전송할 것이다.

몇몇 예에서, 제 1 버스(10)상의 이니시에이터는 포트 수단(80, 82, 84, 또는 86)에 대해 판독이나 기록을 행하고자 할 것이다. 이들 4개 항목들은 PCI 표준하의 장치들로서 작용하도록 배열된다. 그러므로 인터페이스(16)는 정보가 버스(12)를 통해서가 아니라 버스(78)를 통해서 루트가 정해지는 것을 제외하면, 이전과 같이 작용할 것이다.

구성 레지스터들(67, 68)(도 2)에 대한 판독 및 기록을 포함하여 다른 유형들의 트랜잭션들이 수행될 수도 있다. PCI 표준(또는 다른 버스 표준들)하에서 규정된 다른 유형들의 트랜잭션들도 마찬가지로 수행될 수도 있다.

인터럽트 신호들은 ASIC(58)에서 포트들이나 다른 장치들에 의해 발생될 수도 있다. 또한, 외부 인터럽트들이 블록(34)에 의해 표시된 바와 같이 수신될 수도 있다. 앞서 언급한 바와 같이, 인터럽트 신호들이 링크(46)를 통해 전송된 코드에 내장될 수도 있다. 수신시에, 시스템(60)은 인터럽트들을 디코딩하고 그것들을 블록(57)에 전송하며, 그 블록은 단순히 ASIC(56)으로부터의 하나 이상의 핀들일 수도 있다(예컨대, PCI 표준의 INTA를 실행한다). 이 인터럽트

신호는 호스트 프로세서에 인터럽트를 전송하는 인터럽트 제어기에 또는 버스(10)를 통해 전송될 수 있다. 시스템 에러들은 전용 하드웨어를 이용하여 처리되거나 버스(10)에 직접 루트(routed)될 수 있는 ASIC(56)의 핀상에서 출력을 생성하도록 유사한 방식으로 전송될 수도 있다. 설계자는 링크(40, 46)를 따라 유사한 방식으로 처리될 수 있는 각각의 상태 신호들을 전송하고자 할 수도 있다.

산업상 이용 가능성

상술한 양호한 실시예에 관해 다양한 변형예들이 실현될 수도 있음을 이해한다. 다른 실시예들에서, 예시한 ASIC들은 어떤 경우에는 상업적으로 이용 가능한 집적 회로들을 사용하여 여러 개의 이산 패키지로 분할될 수도 있다. 또한, 링크를 위한 매체는 와이어, 광 파이버, 적외광, 무선 주파수 신호, 또는 다른 매체들일 수 있다. 부가적으로, 제 1 및 제 2 버스들은 각각 하나 이상의 장치들을 구비할 수 있으며, 이들 장치들은 메모리 장치들 및 입력/출력 장치들을 포함하여 하나 이상의 카테고리들에 있을 수도 있다. 또한, 상기 장치들은 각종 클럭 속도, 대역폭 및 데이터 레이트에서 동작할 수 있다. 또한, 브릿지를 통과하는 트랜잭션들은 몇몇 실시예들이 그러한 기술을 사용하지 않을지라도 프리팹치된 데이터 또는 포스트된 기록으로서 누적될 수도 있다. 또한, 본 명세서에서 기술된 브릿지는 동등 또는 차등 레벨의 버스들에 또는 동일 버스에 접속되는 제 1 측을 갖는 복수의 그러한 브릿지들을 이용하여 분류 계층의 일부가 될 수 있다. 또한, 예시된 포트는 다른 수 또는 유형으로 될 수도 있거니와, 몇몇 실시예들에서는 생략될 수 있다. 또한, 예시된 아비터는 마스터에 의해 점유되도록 설계되지 않는 제 2 버스에 대해 소거될 수 있다. 일련의 단계들이 상술되었지만, 다른 실시예들에서 그 단계들은 본 발명의 범위내에서 수적으로 증가 또는 감소될 수도 있고, 또는 다른 순서로 행해질 수도 있다.

본 발명의 다수의 수정예들 및 변형예들이 상기 기술 내용을 토대로 가능함은 명백하다. 그러므로, 첨부한 청구범위의 범위내에서 본 발명은 특정하게 기술한 것 이외에도 달리 실시될 수도 있음을 이해해야 된다.

(57) 청구의 범위

청구항 1.

제 1 버스를 통해 제 2 버스에 액세스를 확장하기 위해 프로세서에 의해 액세스 가능한 브릿지로서, 상기 제 1 버스 및 상기 제 2 버스 각각은 복수의 버스 호환가능 장치들중 각각의 장치들에 분리하여 접속하도록 적응되는, 상기 브릿지에 있어서,

링크와;

상기 링크 및 상기 제 1 버스 사이를 연결하도록 적응되는 제 1 인터페이스와;

상기 제 2 버스 및 상기 링크 사이를 연결하도록 적응되는 제 2 인터페이스를 포함하고, 상기 제 1 인터페이스 및 상기 제 2 인터페이스는, 하나의 브릿지로서 동작하고, 상기 링크를 통한 상기 정보의 전송을 개시하기 전에 상기 링크를 통해 인입하는 수취 확인 통지를 기다리지 않고 제 1 버스 및 제 2 버스의 것과는 상이한 포맷으로 상기 링크를 통해 직렬로 출력 정보를 전송하도록 동작 가능한, 브릿지.

청구항 2.

제 1 항에 있어서,

상기 버스 호환가능 장치들중 상기 허용가능한 것들은 메모리 장치들 및 입력/출력 장치들을 포함하고, 상기 제 1 인터페이스 및 상기 제 2 인터페이스는, (a) 브릿지를 가로질러 목적지를 나타내는 특성을 가진 미결정 트랜잭션에 응답해서 제 1 버스 및 제 2 버스 간에 최초의 교환을 승인하고, (b) 상기 제 1 버스를 통해 통신하는 호스트 컴퓨터가, (i)

상기 제 1 버스상의 디바이스들을 액세스하는데 이용되는 동일 유형의 어드레싱을 실질적으로 상기 제 1 버스에서 사용하고, (ii) 먼저 제 2 버스 상의 버스 호환가능 장치들 중 제 2의 방해하는 하나를 채용하지 않는 경우에, 존재할 수도 있는 메모리 장치들 및 입력/출력 장치들을 포함하여, 상기 제 2 버스 상의 버스 호환가능 장치들중 서로 상이한 선택가능한 것들을 개별적으로 어드레스할 수 있게 하도록 동작가능한, 브릿지.

청구항 3.

제 1 항에 있어서,

상기 제 1 인터페이스 및 상기 제 2 인터페이스는 상기 제 2 버스보다 더 높은 레벨을 상기 제 1 버스에 제공하는 미리 정해진 분류 계층에 따라 상기 제 1 버스 및 제 2 버스 간에 버스 관련 정보를 교환하도록 동작 가능한, 브릿지.

청구항 4.

제 1 항에 있어서,

상기 제 1 인터페이스 및 제 2 인터페이스는, (a) 제 2 버스보다 더 높은 레벨을 제 1 버스에 제공하는 미리 정해진 분류 계층에 따라 상기 제 1 버스 및 상기 제 2 버스 간에 정보를 교환하고, (b) 상기 제 1 버스를 통해 통신하는 상기 호스트 컴퓨터가, (i) 상기 제 1 버스상의 디바이스들을 액세스하는데 이용되는 동일 유형의 어드레싱을 실질적으로 상기 제 1 버스에서 사용하고, (ii) 먼저 상기 제 2 버스 상의 버스 호환가능 장치들 중 제 2의 방해하는 하나를 채용하지 않고, (iii) 방해하는 분류 계층 레벨을 통해 정보를 통과시키지 않는 경우에, 존재할 수도 있는 메모리 장치들 및 입력/출력 장치들을 포함하여, 상기 제 2 버스 상의 버스 호환가능 장치들중 서로 상이한 선택가능한 것들을 개별적으로 어드레스할 수 있게 하도록 동작가능한, 브릿지.

청구항 5.

제 1 항 또는 제 2 항 또는 제 4 항중 어느 한 항에 있어서,

상기 제 1 버스 및 상기 제 2 버스 각각은 버스 호환가능 장치들이 버스 통신들을 교섭할 수 있게 하는 복수의 신호 라인을 갖고, 상기 제 1 인터페이스는 상기 제 1 버스 상의 미결정 트랜잭션이 상기 제 2 버스에 전송되고 상기 제 2 버스에 의해 수취 확인 통지되기 전에 상기 미결정 트랜잭션의 처리를 개시하고 상기 제 1 버스의 상기 신호 라인들 중 적어도 하나에 재시도 신호를 인가하도록 상기 제 1 버스 상에서의 미결정 트랜잭션에 응답해서 동작가능한, 브릿지.

청구항 6.

제 1 항에 있어서,

상기 제 1 버스의 신호 라인들 상의 모든 정보보다 더 적은 정보가 상기 링크를 통해 상기 제 1 인터페이스에 의해서 전송되는, 브릿지.

청구항 7.

제 1 항 또는 제 2 항 또는 제 4 항 중 어느 한 항에 있어서,

상기 제 1 인터페이스는 상기 제 1 버스 상의 버스 호환가능 장치들중 다른 장치들에 대응하는 어드레스들에 응답하는 것을 회피하기 위하여 상기 제 2 버스를 통해 액세스가능한 버스 호환가능 장치들에 대응하는 어드레스들의 미리 정해진 스케줄에 있는 상기 제 1 버스상에 나타나는 그 어드레스들에 대해 선택적으로 응답하는, 브릿지.

청구항 8.

제 7 항에 있어서,

상기 미리 정해진 스케줄을 저장하는 레지스터를 포함하는, 브릿지.

청구항 9.

제 7 항에 있어서,

상기 제 1 인터페이스는 상기 미리 정해진 스케줄을 저장하는 제 1 레지스터를 포함하고,

상기 제 2 인터페이스는 상기 미리 정해진 스케줄을 저장하는 제 2 레지스터를 포함하는, 브릿지.

청구항 10.

제 8 항에 있어서,

상기 레지스터는 상기 제 2 버스 상의 하나 이상의 버스 호환가능 장치들에 대한 베이스 어드레스를 상기 제 1 버스에 대해 확립하도록 동작가능한, 브릿지.

청구항 11.

제 1 항 또는 제 2 항 또는 제 4 항 중 어느 한 항에 있어서,

상기 제 2 버스 상의 하나 이상의 버스 호환가능 장치들에 대한 베이스 어드레스를 상기 제 1 버스에 대해 확립하는 레지스터를 포함하는, 브릿지.

청구항 12.

제 1 항 또는 제 2 항 또는 제 4 항 중 어느 한 항에 있어서,

상기 제 1 인터페이스 및 상기 제 2 인터페이스는 상기 제 1 버스를 통해 루팅하지 않으면서도 상기 제 2 버스상의 버스 호환가능 장치들 간에 통신을 허용하도록 동작가능한, 브릿지.

청구항 13.

제 12 항에 있어서,

상기 제 2 버스 상의 버스 호환가능 장치들중의 하나 또는 상기 제 2 인터페이스 중 어느 하나에 대해 제 1 버스를 승인하는 권한이 없고 제 2 버스를 승인하는 권한을 갖는 아비터를 포함하는, 브릿지.

청구항 14.

제 1 항 또는 제 2 항 또는 제 4 항 중 어느 한 항에 있어서,

상기 제 1 인터페이스 및 상기 제 2 인터페이스는 상기 제 1 버스 및 상기 제 2 버스와 상기 링크 간에 각각 접속된 제 1 및 제 2 프로그램가능 논리 장치를 포함하는, 브릿지.

청구항 15.

제 1 항 또는 제 2 항 또는 제 4 항 중 어느 한 항에 있어서,

상기 제 1 인터페이스 및 상기 제 2 인터페이스는, 상기 제 1 버스 및 상기 제 2 버스와 상기 링크 간에 각각 접속된 제 1 및 제 2 ASIC(application - specific integrated circuit)를 포함하는, 브릿지.

청구항 16.

제 15 항에 있어서,

상기 제 1 및 제 2 ASIC는 동일하게 구성되고 각각은 두 모드들 중 한 모드에서 동작을 확립하도록 제어 신호를 수신하는 제어 핀을 갖는, 브릿지.

청구항 17.

제 16 항에 있어서,

상기 제 1 및 제 2 ASIC 각각은, 상기 제 2 ASIC에서만 이네이블되고, 상기 제 2 버스 상의 버스 호환가능 장치들중의 하나 또는 상기 제 2 인터페이스 중 어느 하나에 대해 제 1 버스를 승인하는 권한이 없고 제 2 버스를 승인하는 권한을 갖는 아비터를 포함하는, 브릿지.

청구항 18.

제 15 항에 있어서,

상기 제 1 및 제 2 ASIC 각각은, 입력/출력을 위한 복수의 포트들을 제공하는 상기 제 2 인터페이스에 연결된 복수의 포트 수단을 포함하는, 브릿지.

청구항 19.

제 1 항 또는 제 2 항 또는 제 4 항 중 어느 한 항에 있어서,

상기 호스트 프로세서는 인터럽트 구동식이고, 상기 제 2 인터페이스는 상기 호스트 프로세서를 인터럽트하도록 정해진 인터럽트 신호들을 상기 제 1 인터페이스에 상기 링크를 통해서 전송하도록 동작가능한, 브릿지.

청구항 20.

제 19 항에 있어서,

상기 호스트 컴퓨터는 에러 신호들에 응답하고, 상기 제 2 인터페이스는 상기 휴대용 컴퓨터에 영향을 주도록 정해진 에러 신호들을 상기 제 1 인터페이스에 상기 링크를 통해서 전송하도록 동작가능한, 브릿지.

청구항 21.

제 1 항 또는 제 2 항 또는 제 4 항 중 어느 한 항에 있어서,

상기 제 1 버스는 미리 정해진 클록 속도로 동작하고, 상기 링크는 상기 미리 정해진 클록 속도보다 더 큰 비트 전송 레이트로 상기 제 1 인터페이스 및 상기 제 2 인터페이스 간에 데이터를 전파시키도록 동작가능한, 브릿지.

청구항 22.

제 21 항에 있어서,

상기 링크는 대향 방향으로 정보를 전송하는 한 쌍의 단신 링크들을 포함하는, 브릿지.

청구항 23.

제 22 항에 있어서,

상기 단신 링크들은 차분 신호 전송을 위해 구동되는, 브릿지.

청구항 24.

제 1 항 또는 제 2 항 또는 제 4 항 중 어느 한 항에 있어서,

상기 제 2 버스는 PCI 버스를 포함하는, 브릿지.

청구항 25.

제 1 항 또는 제 2 항 또는 제 4 항 중 어느 한 항에 있어서,

상기 제 2 인터페이스는 미결정 및 예측 트랜잭션들을 충족하기 위하여 상기 링크를 통해 다시 전송하기 위한 상기 제 2 버스 상의 버스 호환가능 장치들중 요구에 맞는 하나로부터 데이터를 펠치 및 프리펠치하도록 처음 판독 요청을 나타내는 상기 링크로부터의 트랜잭션에 응답하여 동작가능한, 브릿지.

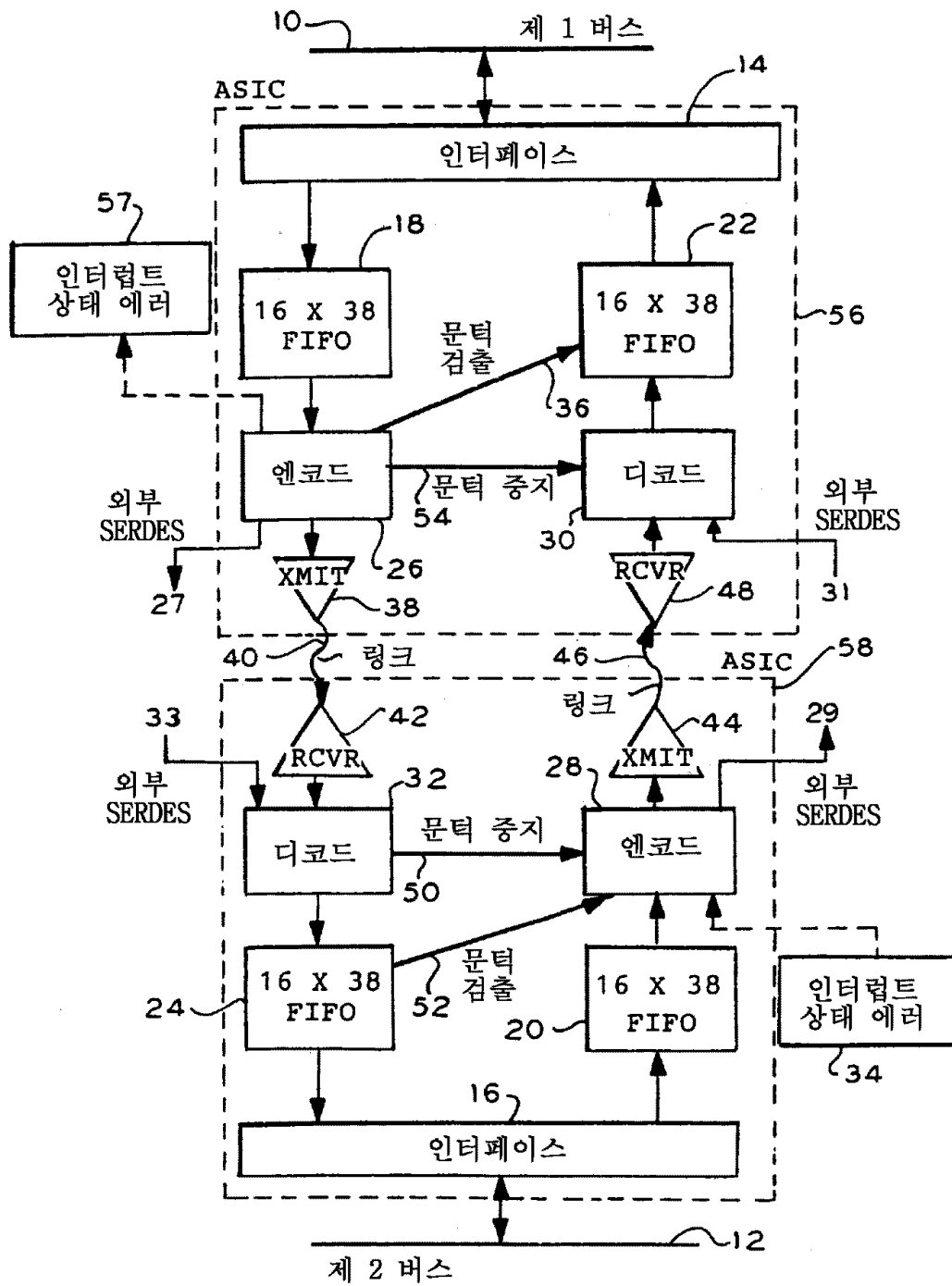
청구항 26.

제 1 항 또는 제 2 항 또는 제 4 항 중 어느 한 항에 있어서,

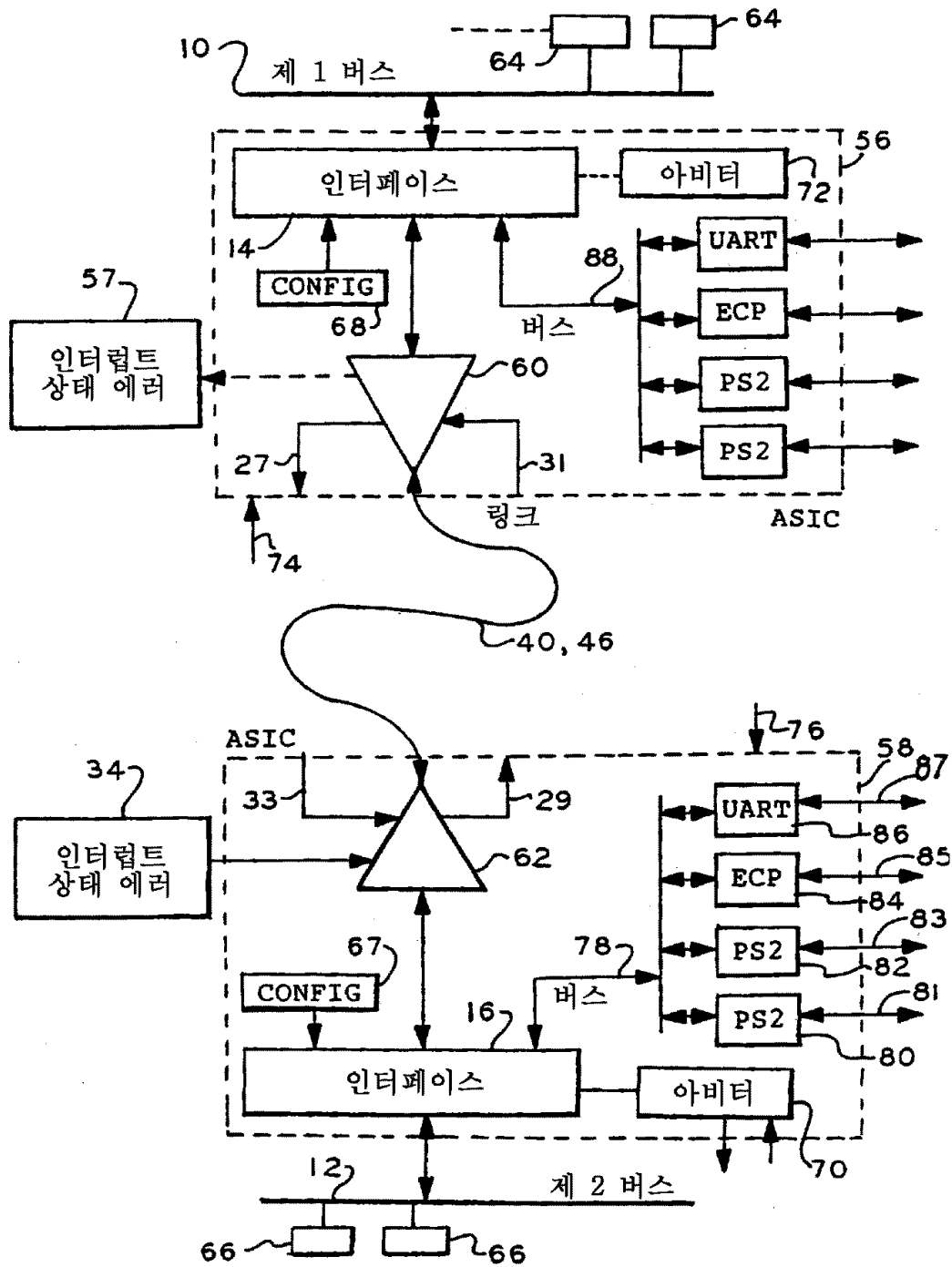
상기 제 1 인터페이스 및 상기 제 2 인터페이스는, 상기 제 2 버스 상의 버스 호환가능 장치들중 적어도 하나가, 상기 제 2 버스상의 장치들을 액세스하는데 이용되는 동일 유형의 어드레싱을 상기 제 2 버스상에서 실질적으로 이용하여 상기 제 1 버스상의 버스 호환가능 장치들의 하나 이상을 어드레스하게 하도록 동작가능한, 브릿지.

도면

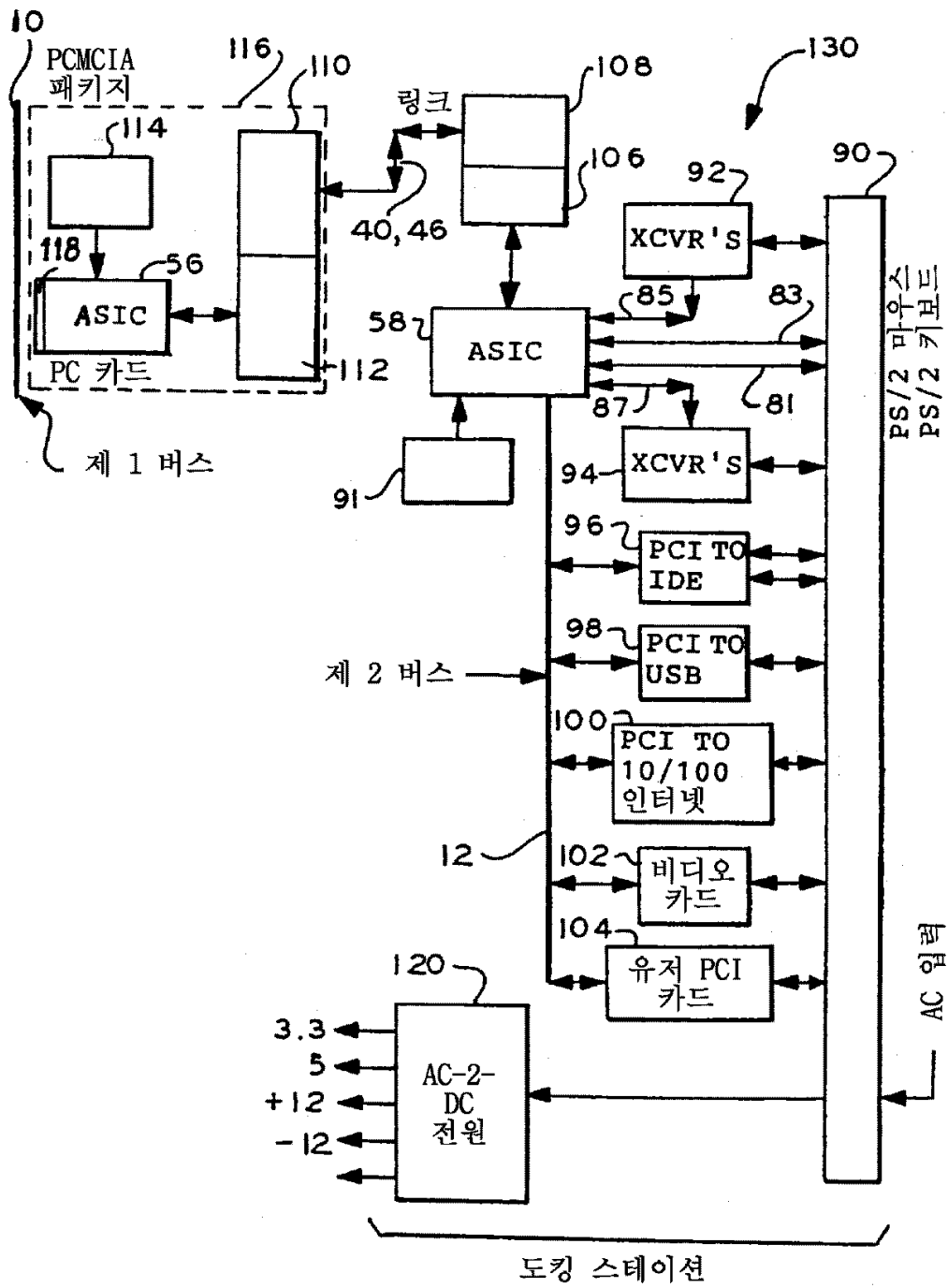
도면 1



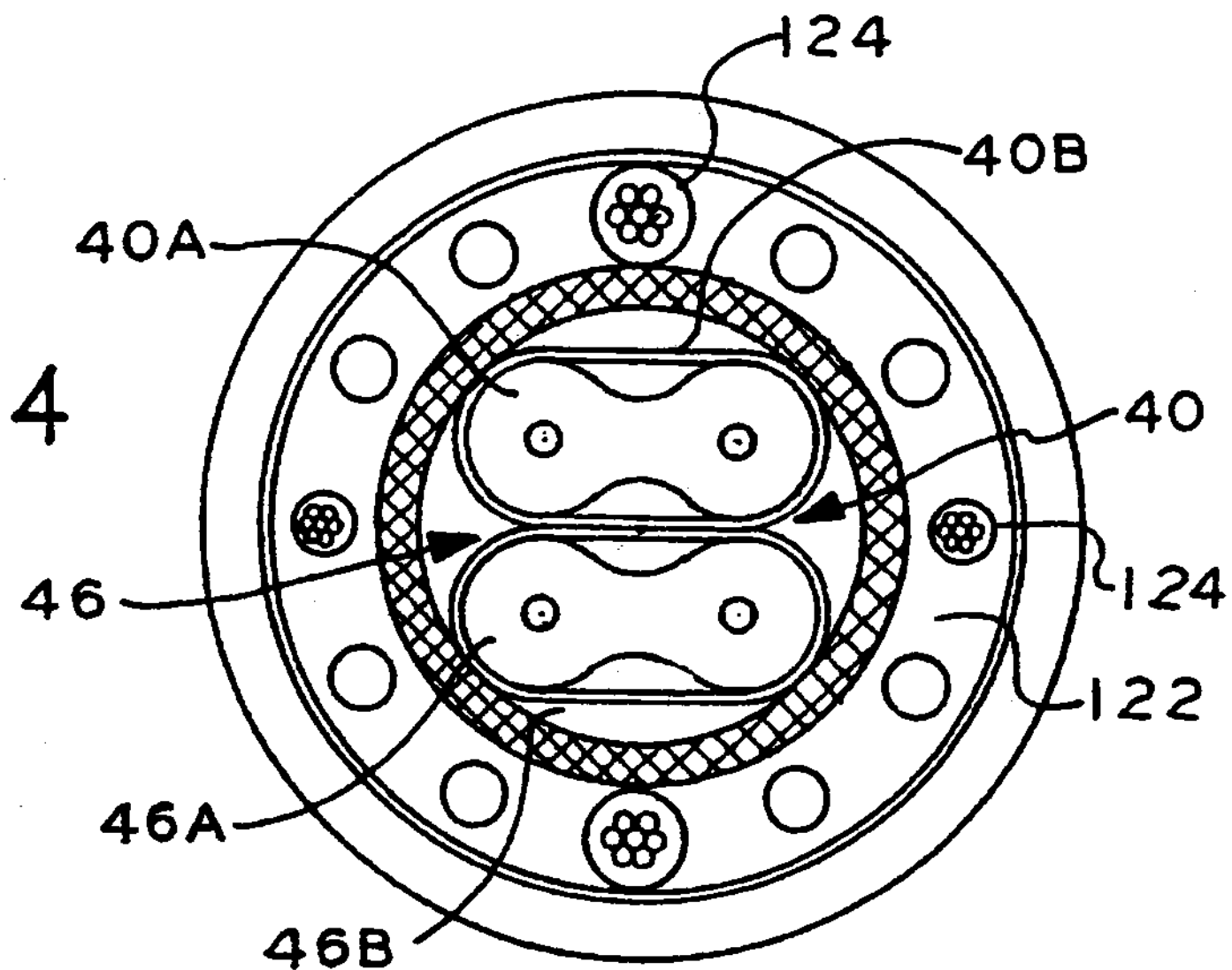
도면 2



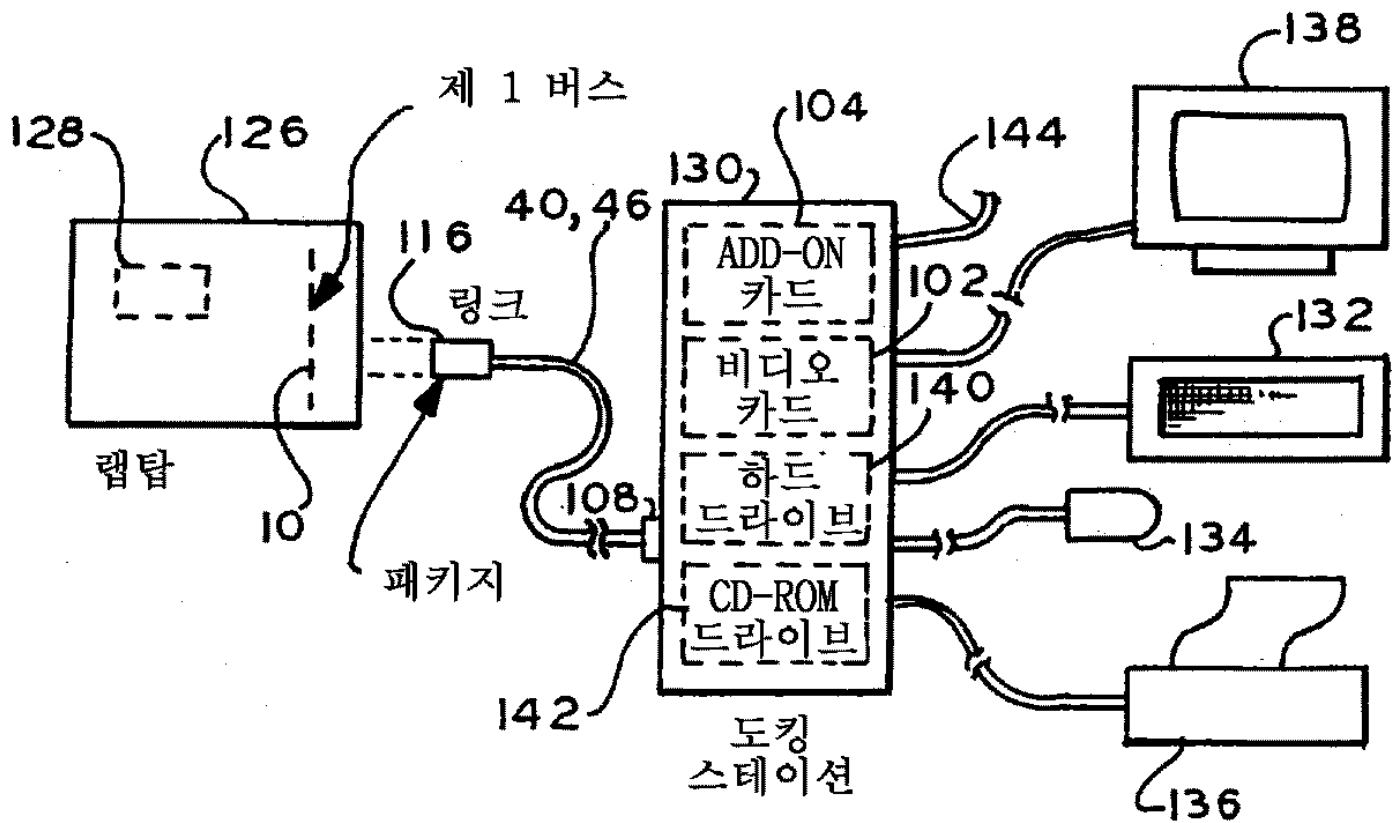
도면 3



도면 4



도면 5



도면 6

