



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) DE 698 26 353 T2 2006.02.16

(12)

Übersetzung der europäischen Patentschrift

(97) EP 0 871 178 B1

(21) Deutsches Aktenzeichen: 698 26 353.7

(96) Europäisches Aktenzeichen: 98 105 755.7

(96) Europäischer Anmeldetag: 30.03.1998

(97) Erstveröffentlichung durch das EPA: 14.10.1998

(97) Veröffentlichungstag

der Patenterteilung beim EPA: 22.09.2004

(47) Veröffentlichungstag im Patentblatt: 16.02.2006

(51) Int Cl.⁸: G11C 5/14 (2006.01)

G11C 8/00 (2006.01)

(30) Unionspriorität:
835363 07.04.1997 US

(84) Benannte Vertragsstaaten:
DE, FR, GB, IT, NL

(73) Patentinhaber:
Motorola, Inc., Schaumburg, Ill., US

(72) Erfinder:
Harris, II, Joseph M, Cedar Park, Texas 78717, US;
Dunn, John Philip, Austin, Texas 78736, US;
Freund, Theo C., Austin, Texas 78745, US; Nash,
James Carl, Austin, Texas 78746, US

(74) Vertreter:
SCHUMACHER & WILSAU,
Patentanwaltssozietät, 80335 München

(54) Bezeichnung: Integrierte Schaltung mit Bereitschaftmodussteuerschaltung für Speicher

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelebt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung**Gebiet der Erfindung**

[0001] Die vorliegende Erfindung betrifft im Allgemeinen Datenverarbeitungssysteme und im Besonderen das dynamische Auswählen eines Satzes von Speicherbänken unter einer Mehrzahl von Speicherbänken als Standby-Speicher innerhalb einer integrierten Schaltung.

Hintergrund der Erfindung

[0002] In modernen integrierten Schaltungen, wie etwa Mikrocontrollern, Mikroprozessoren und Direktzugriffsspeichern ("RAM = randomly accessed memory") werden die integrierten Schaltungen ("IC = integrated circuit") typischerweise mit mehr als einem Energieversorgungssignal versehen (z. B. einem Standby-Energieversorgungssignal und einem Energieversorgungssignal für normalen Betrieb, etc.). Ein erstes Energieversorgungssignal wird bei einem Betrieb des IC in einem normalen Funktionsmodus verwendet (z. B. VDD), während ein zweites Energieversorgungssignal als Backup-Energieversorgung für einen Betrieb des IC in einem Standby-Modus verwendet (z. B. VSTBY) wird. In modernen Designs wird das gesamte Speicherfeld innerhalb der integrierten Schaltung (IC) entweder durch die Backup-Energieversorgung gesichert oder sie wird nicht durch die Backup-Energieversorgung gesichert. Demzufolge werden Daten, wenn das erste Energieversorgungssignal ausfällt und das Speicherfeld durch das zweite Energieversorgungssignal gesichert wird, die im Speicherfeld vor der Energieversorgungsunterbrechung gespeichert wurden, in dem Speicherfeld erhalten. Wenn jedoch das erste Energieversorgungssignal ausfällt und das Speicherfeld nicht durch das zweite Energieversorgungssignal gesichert wird, gehen Daten, die im Speicherfeld vor der Energieversorgungsunterbrechung gespeichert wurden, verloren. Bei Anwendung dieses unflexiblen Systems befindet sich ein Anwender der integrierten Schaltung (IC) immer in der Situation, in der die Daten, die im Speicherfeld gespeichert wurden, entweder verloren sind oder erhalten bleiben, wenn das erste Energieversorgungssignal ausfällt. Dieses System weist keine Flexibilität derart auf, dass bestimmte Bereiche des Speichers von dem zweiten Energieversorgungssignal gesichert werden, während andere Bereiche des Speichers nicht von dem zweiten Energieversorgungssignal gesichert werden. Demzufolge kann der Speicher-Backup nicht auf einer stückweisen programmierbaren Basis durchgeführt werden. Deshalb beeinflusst dieser Mangel an Flexibilität die Energie, die von dem Bauteil verbraucht wird und die Fähigkeit zu einer weitreichenden Anwendbarkeit und Flexibilität der integrierten Schaltung (IC).

[0003] Die JP 06 097285A offenbart eine Energie-

versorgungsschaltung zum Auswählen einer von mehreren Energieversorgungsspannungen zur Bereitstellung für eine Speicherzelle.

[0004] Die EP-A-0284 276 offenbart einen Energieversorgungssteuerungsmechanismus ("power gating mechanism"), der die Energieversorgungsspannung für eine Mehrzahl von Speicherfeldern basierend auf einer Adresse steuert.

[0005] Demzufolge besteht ein Bedarf nach einem Verfahren, das es ermöglicht, ein Standby-Energieversorgungssignal (oder ein Signal für eine niedrige Energieversorgung) wahlweise an eine Speicherbank oder einen Speicherblock in einem Speicherfeld zu koppeln, das eine Mehrzahl von Speicherbänken oder Speicherblöcken umfasst. Diese zusätzliche Funktionalität ist wünschenswert, um ein verbessertes IC-Energiemanagement, ein selektives Datenerhaltungsmanagement und eine flexiblere Antwort auf Energieversorgungsunterbrechungen zu ermöglichen.

Zusammenfassung der Erfindung

[0006] Die vorliegende Erfindung stellt eine integrierte Schaltung wie in Anspruch 1 beansprucht zur Verfügung.

Kurze Beschreibung der Zeichnungen

[0007] [Fig. 1](#) veranschaulicht in einem Blockdiagramm ein Datenverarbeitungssystem mit energieversorgungsabhängig schaltbaren Speicherbänken und Speicherblöcken gemäß der vorliegenden Erfindung.

[0008] [Fig. 2](#) veranschaulicht in einem Schaltungsschema einen Umschaltungs-Schaltkreis, der zum Umschalten der Versorgungsspannung in [Fig. 1](#) verwendet werden kann, und der nicht in den Geltungsbereich dieser Erfindung fällt.

[0009] [Fig. 3](#) veranschaulicht in einem Schaltungsschema einen weiteren Umschaltungs-Schaltkreis, der zum Umschalten der Versorgungsspannung in [Fig. 1](#) verwendet werden kann und der nicht in den Geltungsbereich dieser Erfindung fällt.

[0010] [Fig. 4](#) veranschaulicht in einem Schaltungsschema einen weiteren Umschaltungs-Schaltkreis, der in [Fig. 1](#) dazu verwendet werden kann, zwischen Spannungsanschlüssen in einer integrierten Schaltung gemäß der vorliegenden Erfindung umzuschalten.

[0011] [Fig. 5](#) veranschaulicht in Form eines Blockdiagramms einen Controller, der dazu verwendet werden kann, intelligent und dynamisch niedrige und normale Energieversorgungsspannungen zu steu-

ern, die für RAM-Bänke und/oder RAM-Blöcke bereitgestellt werden, in Abhängigkeit eines Speicherzugriffs oder eines Software-Ausführungsablaufs gemäß der vorliegenden Erfindung.

[0012] [Fig. 6](#) veranschaulicht in Form eines Blockdiagramms einen weiteren Controller, der dazu verwendet werden kann, intelligent und dynamisch niedrige und normale Energieversorgungsspannungen zu steuern, die für RAM-Bänke und/oder RAM-Blöcke bereitgestellt werden, in Abhängigkeit eines Speicherzugriffs oder eines Software-Ausführungsablaufs gemäß der vorliegenden Erfindung.

[0013] [Fig. 7](#) veranschaulicht in Form eines Blockdiagramms einen weiteren Controller, der dazu verwendet werden kann, intelligent und dynamisch niedrige und normale Energieversorgungsspannungen zu steuern, die für RAM-Bänke und/oder RAM-Blöcke bereitgestellt werden, in Abhängigkeit eines Speicherzugriffs oder eines Software-Ausführungsablaufs gemäß der vorliegenden Erfindung.

[0014] [Fig. 8](#) veranschaulicht ein Flussdiagramm für eine Steuerungsschaltung gemäß einer Ausführungsform der Erfindung.

[0015] Es sollte klar sein, dass aus Gründen der Einfachheit und Klarheit der Darstellung abgebildete Elemente in den Figuren nicht notwendigerweise maßstabsgetreu gezeichnet sind. Beispielsweise sind die Dimensionen einiger Elemente im Vergleich zu anderen Elementen aus Gründen der Klarheit übertrieben. Weiterhin wurden, wo es geeignet erschien, Bezugszeichen innerhalb der Figuren wiederholt, um entsprechende oder analoge Elemente anzuzeigen.

Beschreibung einer bevorzugten Ausführungsform

[0016] Im Allgemeinen bedingt die vorliegende Erfindung das Bereitstellen von Umschaltern innerhalb einer integrierten Schaltung (IC), wobei die Umschalter eines aus einer Mehrzahl unabhängiger Spannungsversorgungssignale an den Ausgängen der Umschalter bereitstellen. Durch Verändern der Spannung, die an den Ausgängen der Umschalter bereitgestellt wird, können verschiedene Speicherbänke und/oder Speicherblöcke ausgewählt werden, um gesichert zu werden, wenn eine Energieversorgungsunterbrechung stattfindet, während andere Speicherbänke und/oder Speicherblöcke nicht gesichert werden. Zusätzlich können durch Verändern der an den Ausgängen der Umschalter bereitgestellten Spannung unterschiedliche Speicherbänke und/oder Speicherblöcke unterschiedliche Energieversorgungsspannungen während gleichzeitiger Zeitabschnitte empfangen. Beispielsweise kann jede Speicherbank oder jeder Speicherblock unabhängig konfiguriert werden, um an VDD, einer Standby-En-

ergieversorgung (VSTBY) oder einer Versorgung mit niedriger Spannung gekoppelt zu werden. Diese zwei oder mehr Energieversorgungssignale können wahlweise an einen oder mehrere Speicherblöcke oder Speicherbänke innerhalb der integrierten Schaltung gekoppelt werden, so dass individuelle Speicherblöcke oder Speicherbänke von unterschiedlichen Versorgungsspannungsquellen versorgt werden, wie es das System verlangt.

[0017] Es werden hier vier Verfahren gelehrt, in welchen gesteuert wird, welches Spannungsquellsignal an welche Speicherbank geleitet wird, wobei eines oder mehrere dieser Verfahren von jedem Umschalter des IC eingesetzt werden kann. In einem ersten Verfahren gibt eine Teststeuerungsschaltung ein Steuerungssignal aus, das einen oder mehrere Umschalter aktiviert, um eine Standby-Spannung statt einer normalen funktionellen VDD-Energieversorgungsquelle einer oder mehrerer Speicherbänke bereitzustellen. In einem zweiten Verfahren kann ein Register 24, auf das ein Anwender zugreifen kann, von einem Anwender oder einer Software beschrieben werden, um dynamisch auszuwählen, welche Speicherbänke die Standby-Spannung VSTBY empfangen (d. h., Standby-Speicher wird geschaffen), falls VDD ausfällt, während ausgewählt wird, welche Speicherbänke weiterhin an die VDD-Energieversorgung gekoppelt werden (d. h., Nicht-Standby-Speicher wird geschaffen), wenn VDD ausfällt. In einem dritten Verfahren können die Umschalter so ausgelegt werden, dass, wenn eine Energieversorgung ausfällt, die Umschalter automatisch eine zweite Standby- oder Backup-Energieversorgungsquelle auswählen, welche die Inhalte oder ausgewählten Speicherbänke trotz des Ausfalls der Netzspannung weiterhin aufrechterhalten kann. In einer vierten Form kann eine intelligente Steuerungsschaltung innerhalb der integrierten Schaltung den Ausführungsablauf, das Vorabrufen von Software-Anweisungen und/oder Datenzugriffe auf Speicherorte überwachen, um wahlweise eine Betriebsart mit hoher Energieversorgung lediglich für diese Speicherbänke zu aktivieren, auf die zugegriffen wird (vor kurzem zugegriffen wurde oder regelmäßig darauf zugegriffen wird), während wahlweise Speicherbänke in eine datenerhaltende Betriebsart mit niedriger Energieversorgung deaktiviert werden, wenn auf diese Bänke nicht zugegriffen wird oder es unwahrscheinlich ist, dass auf sie in der nahen Zukunft zugegriffen wird. Durch Verwendung einer oder mehrerer dieser Verfahren über einen Satz von Umschaltern wird einem Anwender eine größere Flexibilität zur Verfügung gestellt, um dynamisch zu bestimmen, welche Speicherbänke oder Speicherblöcke als Standby-Speicher vorgesehen sind und welche Speicherblöcke als Nicht-Standby-Speicher vorgesehen sind. Insbesondere können ein oder mehrere dieser Verfahren verwendet werden, um zu bestimmen, welcher Bereich des Speichers gesichert ist und seine

Daten erhält und welche Bereiche des Speichers nicht gesichert sind und ihre Daten auf eine Energieversorgungsunterbrechung hin verlieren. Dies bietet weiterhin den Vorteil, einem Anwender ein gewisses Steuern des Energieverbrauchs innerhalb eines Systems zu ermöglichen und erlaubt eine größere Flexibilität im Strukturieren der Energieversorgungsverteilung des Speichers innerhalb eines Datenverarbeitungssystems.

[0018] Die vorliegende Erfindung kann weiterhin mit Bezug auf die [Fig. 1–Fig. 8](#) verstanden werden.

[0019] [Fig. 1](#) veranschaulicht eine integrierte Schaltung **10** gemäß einer Ausführungsform der Erfindung. Die integrierte Schaltung **10** umfasst eine zentrale Verarbeitungseinheit ("CPU = central processing unit") **12**, einen Steuerungsschaltkreis **20**, ein Speicherfeld **11** und einen Umschaltungs-Schaltkreis **13**. In [Fig. 1](#) kann die CPU **12** eine beliebige CPU sein, die Anweisungen oder Daten der integrierten Schaltung von beliebiger Größe und mit beliebiger Frequenz ausführt oder durchführt. Es sollte jedoch klar sein, dass die vorliegende Erfindung nicht auf Mikrocontroller oder Mikroprozessoren beschränkt ist, sondern auch in integrierten Schaltungen verwendet werden kann, die keine CPU aufweisen, wie etwa ein SRAM. Die CPU **12** kommuniziert mit dem Steuerungsschaltkreis **20** über einen Datenbus **14** und einen Adressbus **16** und Steuerungssignale **18**. Der Steuerungsschaltkreis **20** kommuniziert bi-direktional mit der CPU **12**, um Lese- und Schreibzugriff auf das Speicherfeld **11** in [Fig. 1](#) zur Verfügung zu stellen. Zusätzlich steuert der Steuerungsschaltkreis **20** den Umschaltungs-Schaltkreis **13**, wobei der Steuerungsschaltkreis **20** bestimmt, welcher aus einer Mehrzahl von Versorgungsspannungsanschlüssen an ausgewählte Speicherblöcke oder Speicherbänke gekoppelt wird.

[0020] Das Speicherfeld **11** enthält eine Mehrzahl von Speicherblöcken **26–34**, wobei jeder Speicherblock eine Mehrzahl von flüchtigen Speicherzellen enthält, wie etwa eine Mehrzahl von SRAM-Zellen oder DRAM-Zellen. Die Speicherblöcke **26–34** können so konfiguriert werden, dass jeder Block ausgewählt werden kann, um eine Versorgungsspannung zu empfangen, die unabhängig von der Spannung ist, die für alle anderen Speicherblöcke ausgewählt wurde, oder die Speicherblöcke **26–34** können in ein beliebiges System von Speicherbänken konfiguriert werden. Im Fall der Speicherbänke enthält jede Bank einen oder vorzugsweise mehrere Blöcke, wobei alle Blöcke in der Bank bezüglich der Versorgungsspannung als Satz auswählbar sind. Insbesondere sind in [Fig. 1](#) die Speicherblöcke **34** und **32** als eine einzelne Bank konfiguriert, der Speicherblock **30** ist eine eigenständige einzelne Blockspeicherbank und die Speicherblöcke **26** und **28** sind als eine dritte Speicherbank konfiguriert. In [Fig. 1](#) werden die Ener-

gieversorgungssignale auf einer Bank-für-Bank-Basis geführt, wobei alle Blöcke in einer Bank bezüglich der Energieversorgungsspannungen gleich behandelt werden. Im Allgemeinen ist eine Speicherbank ein beliebiger Bereich des Speicherfeldes **11**, das eine oder mehrere kollektive Speicherblöcke enthält, die als ein kollektiver Satz von Speicherzellen hinsichtlich Energieversorgungsaspekten behandelt werden. Eine Mehrzahl von Leseverstärkern **26a–34a** sind individuell an jeden der Speicherblöcke **26–34** gekoppelt. Diese Leseverstärker **26a–34a** ermöglichen Leseoperationen von den Speicherblöcken **26–34**, so dass die CPU **12** auf die Information, die innerhalb der Speicherblöcke **26–34** gespeichert ist, zugreifen kann. Zusätzlich ist es auch möglich, Daten in die Speicherblöcke **26–34** über einen Feldbus ("array bus") **36**, dargestellt in [Fig. 1](#), zu schreiben. Im Allgemeinen ist der Feldbus **36** ein bi-direktionaler Bus, der bi-direktional zwischen der CPU **12** und dem Speicherfeld **11** über die Steuerungsschaltung **20** kommuniziert.

[0021] Der Umschaltungs-Schaltkreis **13** enthält eine Mehrzahl von Energieversorgungs-Steuerungs-umschaltern. Nachdem das Speicherfeld **11** zu Beispielszwecken als in drei verschiedene Speicherbänke aufgeteilt veranschaulicht ist, sind in [Fig. 1](#) drei verschiedene Energieversorgungs-Steuerungsumschalter **38–42** veranschaulicht. Jeder Energieversorgungs-Steuerungsumschalter **38–42** ist an eine Mehrzahl von Energieversorgungsleitungen gekoppelt, wie etwa einer VDD-Leitung, einer Leitung mit niedriger Energieversorgung oder einer Standby-Spannungsleitung. Insbesondere ist in [Fig. 1](#) jeder Energieversorgungs-Steuerungsumschalter **38–42** an eine VDD-Energieversorgungsspannungsleitung und eine Standby-Energieversorgungsspannungsleitung (VSTBY) gekoppelt, wobei die Spannung der VDD-Energieversorgungsspannungsleitung größer als oder gleich der der Standby-Energieversorgungsspannungsleitung ist. Die Energieversorgungs-Steuerungsumschalter **38–42** wählen entweder das VDD-Signal oder das VSTBY-Signal für jeweils eine der drei in [Fig. 1](#) definierten Speicherbänke. Die Auswahl von entweder VSTBY oder VDD basiert auf einem spezifischen Design, das in den Energieversorgungs-Steuerungsumschaltern **38–42** implementiert ist. Insbesondere basiert die Auswahl von VSTBY oder VDD darauf, welche Speicherbänke oder Speicherblöcke dazu ausgewählt wurden, im Falle eines Ausfalls von VDD gesichert zu werden. In den [Fig. 2–Fig. 4](#) (nachfolgend detaillierter diskutiert) gibt es drei mögliche Umschaltungs-Schaltungen, die dazu verwendet werden können, einen beliebigen der Energieversorgungs-Steuerungsumschalter **38–42** zu implementieren. Wenn in einer Ausführungsform, die nicht unter den Geltungsbereich dieser Erfindung fällt, die Umschaltungs-Schaltung **43** der [Fig. 2](#) zur Verwendung in einem beliebigen der Energieversorgungs-Steuerungsumschalter **38–42**

ausgewählt wird, benötigt der Energieversorgungs-Steuerungsumschalter nicht die Verwendung des Registers **24** innerhalb der Steuerungsschaltung **20**. Mit der Verwendung der Umschaltungs-Schaltung **43** wird die Speicherbank oder der Speicherblock, der an die Umschaltungs-Schaltung **43** gekoppelt ist, als ein Nicht-Standby-Speicher ausgewählt. Insbesondere kann der Umschaltungs-Schaltkreis **43**, wenn das VDD-Signal an einem Speicherblock verloren geht oder ausfällt, automatisch den Speicherblock auf die Standby-Spannung VSTBY umschalten, um die Daten in dem Speicherblock zu erhalten. Deshalb ist die Speicherbank, die an den Umschaltungs-Schaltkreis **43** gekoppelt ist, ein Nicht-Standby-Speicher, wobei ein Verlust der VDD in einem Verlust der Daten innerhalb der Speicherbank resultiert. Der Umschaltungs-Schaltkreis **43** kann jedoch durch den Teststeuerungsschaltkreis **22** gesteuert werden, der innerhalb des Steuerungsschaltkreises **20** der [Fig. 1](#) angeordnet ist. Wenn die Ausgabe des Testsignals des Teststeuerungsschaltkreises **22** aktiviert ist, entkoppelt der Umschaltungs-Schaltkreis **43** die Speicherbänke von VDD und koppelt die Speicherbänke an das VSTBY-Signal zum Testen, wie etwa zu einem Testen auf weiche Fehler ("soft error testing"), in diesem Fall würde das Testsignal ein Weiche-Fehler-Testsignal genannt. Geht die Energieversorgung verloren, gehen die Speicherinhalte verloren, die den Umschaltungs-Schaltkreis **43** verwenden, aber gleichzeitig wird durch die integrierte Schaltung **10** aufgrund des Fehlens einer Beibehaltung der Speicherdaten weniger Energie verbraucht. Deshalb können nicht-kritische Programm- und Dateninformationen in Speichern platziert werden, die als Nicht-Standby-Speicher ausgewählt wurden.

[0022] In einer anderen Form, die nicht unter den Geltungsbereich dieser Erfindung fällt, kann einer oder alle Energieversorgungs-Steuerungsumschalter **38–40** dazu ausgewählt werden, über den Umschaltungs-Schaltkreis **45** der [Fig. 3](#) implementiert zu werden. Wird der Umschaltungs-Schaltkreis **45** verwendet, wird das Register **24** nicht gebraucht, um die Steuerung über den Umschaltungs-Schaltkreis **45** auszuführen. Stattdessen wird die Spannung VSTBY automatisch durch den Umschaltungs-Schaltkreis **45** ausgewählt, sowie das VDD-Energieversorgungssignal unter eine bestimmte Grenzspannung fällt. Wenn beispielsweise VDD nominell bei 3 Volt ist und VDD es schafft, unterhalb eines Grenzwertes von etwa 2 Volt zu fallen, wird der Umschaltungs-Schaltkreis **45** von VDD auf VSTBY geschaltet. Zusätzlich kann die Teststeuerungsschaltung **22** der [Fig. 1](#) verwendet werden, um ein Testsignal auszugeben, womit der Umschaltungs-Schaltkreis **45** dazu gezwungen werden kann, die Spannungsversorgung von VDD auf VSTBY für einen Testbetrieb, wie voranstehend diskutiert, zu schalten.

[0023] In einer weiteren Ausführungsform können einer oder alle Energieversorgungs-Steuerungsumschalter **38–42** dazu ausgewählt werden, als Umschaltungs-Schaltkreis **47** in [Fig. 4](#) implementiert zu werden. Mit dem Umschaltungs-Schaltkreis **47** kann ein Anwender programmieren, ob eine Standby- oder eine Niederenergieversorgungsspannung ausgewählt wird oder ob eine nominelle Funktions-VDD-Spannung mittels des Schreibens eines Steuerungswertes ausgewählt wird, der aus einem oder mehreren Bits im Register **24**, wie in [Fig. 1](#) dargestellt, besteht. Zusätzlich wählt der Umschaltungs-Schaltkreis **47** automatisch eine VSTBY-Spannung, wenn eine VDD-Spannung entweder ausfällt oder unterhalb eines bestimmten Grenzwertes fällt. Darüber hinaus kann die Ausgabe des Testsignals von dem Teststeuerungsabschnitt **22** in [Fig. 1](#) auch dazu verwendet werden, den Umschaltungs-Schaltkreis **47** dazu zu zwingen, von der VDD-Spannungsversorgung auf die VSTBY-Spannungsversorgung zu wechseln.

[0024] In einer anderen Ausführungsform können alle drei Umschaltungs-Schaltkreise der [Fig. 2](#)–[Fig. 4](#) und einige mehrere Untereinheiten davon in Energieversorgungs-Steuerungsumschaltern **38–42** der [Fig. 1](#) zur Verfügung gestellt werden. In diesem Design kann ein Anwender über einen Hardware-Reset, über Software oder Ähnliches wählen, welche Art von Umschaltungs-Schaltkreis (ein beliebiger der [Fig. 2](#)–[Fig. 4](#)) auf jede Speicherbank in [Fig. 1](#) angewendet wird. Beispielsweise kann mit diesem System ein Anwender in einem Zeitraum konfigurieren, dass der Energieversorgungs-Steuerungsumschalter **38** der Umschaltungs-Schaltkreis **43** ist, der Energieversorgungs-Steuerungsumschalter **40** der Umschaltungs-Schaltkreis **45** und der Energieversorgungs-Steuerungsumschalter **42** der Umschaltungs-Schaltkreis **47** ist, während in einem anderen Zeitraum die integrierte Schaltung **10** so konfiguriert sein kann, dass der Energieversorgungs-Steuerungsumschalter **38** der Umschaltungs-Schaltkreis **45**, der Energieversorgungs-Steuerungsumschalter **40** der Umschaltungs-Schaltkreis **47** und der Energieversorgungs-Steuerungsumschalter **42** der Umschaltungs-Schaltkreis **45** ist. Mit anderen Worten, durch das Bereitstellen eines zusätzlichen N-Wege-Schalters für jeden Energieversorgungs-Steuerungsumschalter **38–42** und durch das ermöglichen, dass N der Umschaltungs-Schaltkreise der [Fig. 2](#)–[Fig. 4](#) in den Energieversorgungs-Steuerungsumschaltern **38–42** resident sind, kann der Anwender effektiv programmieren, welche Art von VSTBY- und VDD-Umschaltungs-Steuerungsschaltkreise **20** Kontrolle über die speziellen Speicherbänke ausüben kann. Im Wesentlichen ermöglicht die Schaltung der [Fig. 1](#) eine dynamische, vom Anwender gesteuerte VSTBY/VDD-Speichersteuerung. Wenn VSTBY eine Spannung aufweist, die niedriger ist als VDD, dann kann VSTBY eine Niederenergieversor-

gungsspannung und VDD kann eine Funktionsspannung für eine normale Betriebsart sein. Es ist wichtig festzuhalten, dass die hier beschriebenen Ausführungsformen es ermöglichen, mehr als zwei Spannungen über die Energieversorgungs-Steuerungs-umschalter **38–42** auszuwählen. Beispielsweise können VSTBY, VDD und VLPWR ("voltage low power"/Niederenergieversorgungsspannung) als Eingänge für die Energieversorgungs-Steuerungsumschalter **38–42** der [Fig. 1](#) in einer anderen Ausführungsform zur Verfügung gestellt werden.

[0025] Als Beispiel für eine mögliche Ausführungsform, die nicht unter den Geltungsbereich dieser Erfindung fällt, sei angenommen, dass die Energieversorgungs-Steuerungsumschalter **38** mit dem Umschaltungs-Schaltkreis **43** gebildet sind, es sei angenommen, dass der Energieversorgungs-Steuerungs-umschalter **40** mit dem Umschaltungs-Schaltkreis **45** gebildet ist und es sei angenommen, dass der Energieversorgungs-Steuerungsumschalter **42** mit dem Umschaltungs-Schaltkreis **47** gebildet ist. In dieser Konfiguration steuert der Energieversorgungs-Steuerungsumschalter **38**, der mit dem Umschaltungs-Schaltkreis **43** gebildet ist, eine Bank aus Speicherzellen, die die Speicherblöcke **26** und **28** enthalten. Da die Speicherblöcke **26** und **28** durch den Umschaltungs-Schaltkreis **43** gesteuert werden, kann, wenn VDD ausfällt, der Umschaltungs-Schaltkreis **43** nicht automatisch VSTBY auswählen, um die Speicherblöcke **26** und **28** mit Energie zu versorgen. Deshalb wurden die Speicherblöcke **26** und **28** als Nicht-Standby-Speicher ausgewählt. Die Teststeuerungsschaltung **22** kann jedoch die Energieversorgungs-Steuerungsumschalter **38** steuern, um die Speicherblöcke **26** und **28** in einen VSTBY-Energieversorgungsmodus zu bringen, um Testoperationen durchzuführen. Schließlich kann das Register **24** keine Kontrolle über den Umschaltungs-Schaltkreis **43** ausüben und deshalb ist eine geringere, vom Anwender programmierbare Software-Steuerung der Speicherblöcke **26** und **28** unter Verwendung des Umschaltungs-Schaltkreises **43** möglich.

[0026] Der Energieversorgungs-Steuerungsumschalter **40**, der gemäß dem Umschaltungs-Schaltkreis **45** in diesem Beispiel konstruiert ist, steuert die Speicherblöcke **32** und **34**. Deshalb schaltet der Energieversorgungs-Steuerungsumschalter **40** automatisch die Speicherblöcke **32** und **34** auf VSTBY, wenn die Energieversorgung VDD ausfällt. Zusätzlich kann die Teststeuerungsschaltung **22** den Energieversorgungs-Steuerungsumschalter **40** dazu zwingen, VSTBY anstatt VDD zu verwenden, wenn Testoperationen durchgeführt werden. Schließlich kann das Register **24** keine Kontrolle über den Energieversorgungs-Steuerungsumschalter **40** ausüben und deshalb sind weniger Software-programmierbare Möglichkeiten für die Speicherblöcke **32** und **34** möglich, wenn der Energieversorgungs-Steuerungs-

umschalter **40** gemäß dem Umschaltungs-Schaltkreis **45** konstruiert ist.

[0027] Der Energieversorgungs-Steuerungsumschalter **42** ist gemäß dem Umschaltungs-Schaltkreis **47** konstruiert. Deshalb kann die Ausgabe des Testsignals von der Teststeuerungsschaltung **22** verwendet werden, den Energieversorgungs-Steuerungsumschalter **42** zu zwingen, den Speicherblock ³⁰ mit der VSTBY-Spannung anstatt mit der VDD-Spannung zu versorgen. Zusätzlich kann die Registerbank **24** Kontrolle über den Energieversorgungs-Steuerungsumschalter **42** über ein oder mehrere programmierbare Bits ausüben, so dass eine Software-gesteuerte Programmsteuerung oder eine Steuerung über einen Einschalt-Reset über den Speicherblock **30** ausgeübt werden kann, unter Berücksichtigung, welche Spannungsquelle mit dem Speicherblock **30** während bestimmter Zeiträume verbunden ist. Darüber hinaus wird die VSTBY, wenn VDD ausfallen sollte, automatisch umgeschaltet, um den Speicherblock **30** gemäß dem Umschaltungs-Schaltkreis **47** mit Energie zu versorgen.

[0028] Deshalb sind, wenn der Energieversorgungs-Steuerungsumschalter **38** gemäß dem Umschaltungs-Schaltkreis **43** konstruiert ist, der Energieversorgungs-Steuerungsumschalter **40** gemäß dem Umschaltungs-Schaltkreis **45** konstruiert ist und der Energieversorgungs-Steuerungsumschalter **42** gemäß dem Umschaltungs-Schaltkreis **47** konstruiert ist, die Speicherblöcke **26** und **28** Nicht-Standby-Speicher, die Speicherblöcke **34** und **32** als Standby-Speicher konstruiert und der Speicherblock **30** ist ein Software programmierbar gesteuerter Standby-Speicher. In einer anderen Ausführungsform kann ein oder mehrere Bits im Register **24** dazu verwendet werden, Verbindungen zu VSTBY oder VDD während des Betriebs zu erzwingen und/oder ein oder mehrere Bits vom Register **24** können dazu verwendet werden, um zu bestimmen, ob die Speicherbank, die an VDARR gekoppelt ist, ein Standby-Speicher oder ein Nicht-Standby-Speicher ist.

[0029] Es wird jetzt eine Erläuterung der speziellen Umschaltungs-Schaltkreise gemäß den in den [Fig. 2–Fig. 4](#) veranschaulichten Schaltungen gegeben.

[0030] [Fig. 2](#) veranschaulicht eine einfache und physikalisch kleine Umschaltungs-Schaltung **43**, die dazu verwendet werden kann, einen oder mehrere Energieversorgungs-Steuerungsumschalter **38–42** in [Fig. 1](#) zu implementieren. Die Umschaltungs-Schaltung **43** umfasst vier Inverter **50, 52, 54** und **56**, die durch die VSTBY-Spannung mit Energie versorgt werden, wie in [Fig. 1](#) abgebildet. Zusätzlich umfasst die Umschaltungs-Schaltung **43** einen Inverter **58**, der durch das VDD-Signal mit Energie versorgt wird,

wie in [Fig. 1](#) abgebildet. Die Umschaltungs-Schaltung **43** umfasst ebenso eine Multiplexer-Schaltung **60**, wobei die Multiplexer-Schaltung **60** als Ausgang entweder die VSTBY-Spannung oder die VDD-Spannung zur Verfügung stellt. Der Ausgang der Multiplexer-Schaltung **60** ist als ein Spannungsversorgungssignal veranschaulicht, das an das Speicherfeld (VDARR) gekoppelt ist und ebenfalls als VDARR in [Fig. 1](#) veranschaulicht ist. Die Umschaltungs-Schaltung **43** stellt ebenfalls ein Statussignal zur Verfügung, das entweder an den Steuerungsschaltkreis **20** oder an die CPU **12** kommuniziert werden kann, um entweder der CPU **12** oder dem Steuerungsschaltkreis **20** anzulegen, welche Spannung, entweder VDD oder VSTBY, am Ausgang VDARR angelegt wird. Im Allgemeinen ist die Umschaltungs-Schaltung **43** ein 2-zu-1-Multiplexer, wobei das Testsignal als Auswahl eingang funktioniert und das VSTBY- und das VDD-Signal die zwei Eingänge des 2-zu-1-Multiplexers sind. Indem entweder das Testsignal vom Ausgang der Teststeuerungsschaltung **22** aktiviert oder deaktiviert wird, wird entweder VDD oder VSTBY für einen spezifischen Speicherblock oder eine spezifische Speicherbank, wie in [Fig. 1](#) illustriert, ausgewählt.

[0031] [Fig. 3](#) veranschaulicht eine alternative Umschaltungs-Schaltung **45**, die als ein oder mehrere Energieversorgungs-Steuerungsumschalter **38–42** der [Fig. 1](#) verwendet werden kann. Die Umschaltungs-Schaltung **45** umfasst eine RC-Schaltung **70**, ein NAND-Gatter **72**, eine RC-Schaltung **84**, einen Inverter **74**, einen Inverter **76**, einen Inverter **78**, einen Inverter **80**, eine Multiplexer-Schaltung **82**, einen Inverter **86**, einen Inverter **88** und einen Inverter **90**. Die RC-Schaltung **70** wird dazu verwendet, Fluktuationen auf einem verrauchten VDD-Versorgungsspannungssignal zu stabilisieren. Das VDD-Signal und die Ausgabe des Testsignals von der Teststeuerungsschaltung **22** der [Fig. 1](#) werden auf den Eingang eines NAND-Gatters **72** gegeben. Eine weitere RC-Schaltung **84** ist an den Ausgang des NAND-Gatters **72** gekoppelt, um weiterhin Rauschen vom System zu entkoppeln. Das gefilterte Signal, das von der RC-Schaltung **84** zur Verfügung gestellt wird, wird einer Mehrzahl von Invertern **74**, **76** und **80** zur Verfügung gestellt, wobei diese Inverter **74**, **76** und **80** an die VSTBY-Spannung gekoppelt sind. Der Inverter **78** ist an die VDD-Spannung gekoppelt, so dass der Inverter seiner natürlichen Tendenz gemäß nach unten zieht, wenn VDD ausfällt. Die Mehrzahl der Inverter **74–80** speist die Multiplexer-Schaltung **82**. Die Schaltkreise **70** bis **80** und die RC-Schaltung **84** stellen das Auswahlsignal der Multiplexer-Schaltung **82** zur Verfügung. Die beiden Eingänge für die Multiplexer-Schaltung **82** sind das VDD-Signal und das VSTBY-Signal, wie in den [Fig. 3](#) und [Fig. 1](#) veranschaulicht.

[0032] In Abhängigkeit von dem richtigen Auswahl-

signal wird entweder der VDD oder VSTBY als die VDD-Feldausgabe (VDARR) der Multiplexer-Schaltung **82** zur Verfügung gestellt, wie in [Fig. 1](#) veranschaulicht. Zusätzlich stellt die Umschaltungs-Schaltung **45** zwei Statussignale zur Verfügung. Ein erstes Statussignal (ARRAY STATUS SIGNAL) wird dem Speicherfeld **11** zur Verfügung gestellt, so dass das Speicherfeld **11** in der Lage ist, zu bestimmen, welche Energieversorgung welche Speicherbank versorgt. Ein zweites Statussignal (CONTROL STATUS SIGNAL) wird dem Steuerungsschaltkreis **20** zur Verfügung gestellt, so dass der Steuerungsschaltkreis **20** über Speicher-Energieversorgungskonfigurationen innerhalb der integrierten Schaltung **10** informiert ist. Das erste Statussignal, das durch die Multiplexer-Schaltung **60** zur Verfügung gestellt wird, wird ebenfalls einer Mehrzahl von Invertern **74**, **76** und **80** zur Verfügung gestellt, wobei diese Inverter **74**, **76** und **80** an die VSTBY-Spannung gekoppelt sind und ihr Ausgang ist das zweite Statussignal. Die Umschaltungs-Schaltung **45** ist so konstruiert, dass, wenn VDD ausfällt, VSTBY automatisch an den VDARR-Ausgang gekoppelt wird. Zusätzlich ist die Umschaltungs-Schaltung **45** so konstruiert, dass sie auf das Testsignal antwortet, das von dem Teststeuerungsschaltkreis **22** der [Fig. 1](#) zur Verfügung gestellt wird. Mit anderen Worten wird, wenn das Testsignal aktiviert wird, VSTBY am Ausgang von VDARR zur Verfügung gestellt, wenn das Testsignal deaktiviert ist, wird das VDD-Signal am Ausgang VDARR zur Verfügung gestellt.

[0033] [Fig. 4](#) veranschaulicht eine Umschaltungs-Schaltung **47**, die nicht gleich mit der ist, die in [Fig. 3](#) veranschaulicht ist. Die gesamte Funktionalität, die unter Bezugnahme auf die Umschaltungs-Schaltung **45** veranschaulicht und diskutiert wurde, ist in ähnlicher Weise mit der Umschaltungs-Schaltung **47** möglich. Die Umschaltungs-Schaltung **47** jedoch stellt eine zusätzliche Funktionalität gegenüber der zur Verfügung, die mit der Umschaltungs-Schaltung **45** zur Verfügung gestellt wird. Im Unterschied zur Umschaltungs-Schaltung **45** kann die Umschaltungs-Schaltung **47** vom Register **24** der [Fig. 1](#) gesteuert werden. Indem ein oder mehrere binäre Werte in das Register **24** geschrieben werden, können ein oder mehrere Schalter, die gemäß der Umschaltungs-Schaltung **47** konstruiert wurden, programmiert werden, um intelligent entweder VDD oder VSTBY am Ausgang VDARR zur Verfügung zu stellen. Diese intelligente softwaremäßige, vom Anwender programmierbare Antwort zu ermöglichen, wird ein OR-Gatter **92** der Umschaltungs-Schaltung **45** hinzugefügt, um die Umschaltungs-Schaltung **47** zu bilden und zusätzlich wird ein D-Flip-Flop, das innerhalb des Registers **24** angeordnet ist, ebenfalls verwendet, wie in [Fig. 4](#) abgebildet. In dieser Ausführungsform stellt das Register **24** der Umschaltungs-Schaltung **47** ein Steuerungssignal in Abhängigkeit von einer Software-Anweisung zur Verfügung,

die in der CPU **12** ausgeführt wird. Insbesondere empfängt das D-Flip-Flop, das im Register **24** angeordnet ist, wenn es vom Adressbus **16** ausgewählt wird, als Eingabe mindestens ein Bit vom Datenbus **14** in [Fig. 1](#) und in Abhängigkeit von dieser Eingabe sendet das D-Flip-Flop ein Steuerungssignal an das OR-Gatter **92**. Mit anderen Worten kann Software, die von einem Computerprogrammierer oder einem Anwender der integrierten Schaltung **10** zur Verfügung gestellt wird, dazu verwendet werden, binäre Werte in das Register **24** zu programmieren, um zu steuern, welcher Spannungsversorgungs-Pin an welche Speicherbank oder Speicherblock innerhalb der IC **10** gekoppelt ist.

[0034] In einer Ausführung kann VSTBY eine Spannung sein, die im Wert äquivalent zu VDD ist. In dieser Form wird keine wesentliche Energieeinsparung beim Schalten zwischen VDD und VSTBY realisiert und VSTBY wird einfach als Backup-Spannung verwendet, die den Inhalt des Speichers erhält, wenn VDD ausfällt. Der Steuerungsschaltkreis **20** kann nach Belieben die Speicherblöcke sperren oder auch nicht, wenn er sich in einem VSTBY-Modus befindet, so dass die Inhalte verschiedener Speicherblöcke geschützt werden, wenn der VSTBY-Modus eingenommen wird. In einer anderen Ausführung kann VSTBY eine Spannung sein, die niedriger ist als eine VDD-Spannung. In dieser Ausführung erhält, wenn die VSTBY-Spannung an einer Speicherbank aktiv ist, die Speicherbank, die SRAM-Zellen oder DRAM-Zellen umfassen kann, die logischen Werte innerhalb des Speichers, verbraucht aber weniger Energie. Deshalb kann das Schalten, wie es in [Fig. 1](#) veranschaulicht ist, dazu verwendet werden, ein Energieversorgungsmanagement innerhalb des Speicherfeldes **11** durchzuführen.

[0035] [Fig. 5](#) veranschaulicht einen Controller **100**, der dazu verwendet werden kann, wahlweise und unabhängig Speicherblöcke **26** bis **34** entweder an VDD- oder an Standby-Spannungsversorgungs-Pins (VSTBY) zu koppeln. Der Controller **100** der [Fig. 5](#) ist im Steuerungsschaltkreis **20** der [Fig. 1](#) angeordnet. Der Controller **100** überwacht Adressen, die von der CPU **12** ausgegeben werden. Diese ausgegebenen Adressen, veranschaulicht als Adresse **102** in [Fig. 5](#), können entweder Operanden-Lesevorgänge-/Schreibvorgänge und/oder Operationscode-Abraufe sein. Das Betriebskonzept hinter dem Controller **100** ist, dass die von der CPU **12** ausgegebenen Adressen vom Controller **100** beobachtet werden können, wobei lediglich die Speicherbank oder der Speicherblock, auf den momentan von der CPU **12** zugegriffen wird, in einen VDD-Modus mit hohem Energieverbrauch gebracht werden kann, wobei alle anderen Speicherzellen in [Fig. 1](#) in einen VSTBY-Modus oder einen Modus mit niedrigem Energieverbrauch gebracht werden. Mit anderen Worten werden die Speicherbänke oder Speicherblöcke wahlweise

mit VDD in Abhängigkeit eines Programmausführungsablaufs aktiviert oder deaktiviert, wenn der Programmausführungsablauf sich dynamisch mit der CPU **12** verändert. Durch intelligentes Überwachen des Programmausführungsablaufs über die Speicherblöcke **26** bis **34** können lediglich ausgewählte Bereiche des Speichers, die aktiv verwendet werden, aktiviert werden, wobei alle anderen Speicherbereiche in einen Modus mit niedrigem Energieverbrauch gebracht werden können, um insgesamt Energie innerhalb der integrierten Schaltung **10** der [Fig. 1](#) einzusparen.

[0036] [Fig. 5](#) veranschaulicht eine Adresse **102**. N Bits der Adresse **102** werden verwendet, um anzuziegen/decodieren, auf welchen Block oder auf welche Bank des Speicherfeldes **11** bei jedem einzelnen Speicherlesevorgang oder Speicherschreibvorgang zugegriffen wird. Wenn die N Bits der Adresse **102** von der CPU **12** ausgegeben werden, werden sie von einem Latch-Speicher **104** oder einem ähnlichen Speicherbauteil gespeichert. Sowie die N Bits der Adresse **102** im Latch-Speicher **104** gespeichert worden sind, wird der Latch-Speicher **104** nicht mehr getaktet, um einen neuen Wert zu speichern, bis die Vergleichsschaltung **106** bestimmt, dass neue/andere N Bits der Adresse **102** von der CPU **12** ausgegeben worden sind, wobei diese neuen/anderen N Bits nicht gleich sind mit den N Bits, die bereits im Latch-Speicher **104** gespeichert sind. Demzufolge vergleicht die Vergleichsschaltung **106** eine momentane binäre Ausgabe des Latch-Speichers **104** mit einem neuen Satz von N Bits der Adresse **102**, die von der CPU **12** zur Verfügung gestellt wird und speichert die neuen N Bits der Adresse **102** lediglich dann, wenn die neuen N Bits der Adresse **102** sich von den N Bits der Adresse **102**, die momentan im Latch-Speicher **104** gespeichert sind, unterscheiden. Der binäre Wert, der im Latch-Speicher **104** gespeichert ist, wird an einen Decoder **108** ausgegeben. Wenn N gleich 4 ist, wie in [Fig. 5](#) (d. h., es werden vier Adressbits verwendet, um eine Bank/einen Block zu decodieren), besteht die Ausgabe des Decoders **108** aus 16 binären Signalen. Aus diesen 16 Ausgaben beziehungsweise 2^N Ausgaben des Decoders **108** wird lediglich eine der Ausgaben zu einem beliebigen Zeitpunkt aktiviert. Diese 16 oder 2^N binären Signale werden dann in das Register **24** der [Fig. 1](#) geschrieben, wobei die Ausgaben **110** der [Fig. 5](#) dazu verwendet werden, lediglich einen Speicherblock oder eine Speicherbank im Speicherfeld **11** in [Fig. 1](#) einzuschalten (d. h., Energieversorgung auf VDD).

[0037] Während der Controller **100** einen geringen Bereich der Oberfläche der integrierten Schaltung **10** der [Fig. 1](#) verbraucht, muss der Controller **100** nicht die optimale Lösung für alle Ausführungsformen darstellen. Beispielsweise, wenn die CPU **12** einen Satz von 10 Instruktionen in einer Art Schleife ausführt, wobei 5 der 10 Instruktionen im Speicherblock **30**

verbleiben und die anderen 5 der Instruktionen im Speicherblock **32** verbleiben, schaltet der Latch-Speicher **104** der [Fig. 5](#) den Status alle 5 Speicherlesevorgänge um, jedes Mal während der Schleife. Mit anderen Worten schaltet der Controller **100** hin und her ("thrash"), indem er in jedem Schleifendurchgang den Speicherblock **30** aktiviert und den Speicherblock **32** deaktiviert und dann den Speicherblock **32** aktiviert, während er den Speicherblock **30** deaktiviert.

[0038] Dieses Hin-und-her-Schalten ("thrashing") zwischen den Speicherblöcken oder Speicherbänken kann in manchen Designs nachteilig sein. Dieses Hin-und-her-Schalten wäre insbesondere dann nachteilig, wenn die Schaltkreise in der integrierten Schaltung **10** derart sind, dass VSTBY und VDD von wesentlich unterschiedlichen Spannungen sind, die es erfordern, dass ein Speicherblock über eine gewisse Zeit auf VDD geladen wird, bevor er aus einem deaktivierten Status in einen aktiven Status gebracht wird. In anderen Umständen kann beispielsweise die CPU **12** Code aus einem Speicherblock **34** der [Fig. 1](#) ausführen, während sie auf Daten im Speicherblock **26** der [Fig. 1](#) zugreift. In diesem Fall wird der Controller **100** ebenfalls zwischen dem Speicherblock **34** und dem Speicherblock **26** Hin-und-her-schalten. Um dieses Hin-und-her-Schalten in bestimmten Ausführungsformen zu vermeiden, werden die Controller der [Fig. 6](#)-[Fig. 7](#) zur Verfügung gestellt.

[0039] [Fig. 6](#) veranschaulicht einen Controller **121**, der im Steuerungsschaltkreis **20** der [Fig. 1](#) angeordnet sein kann. Der Controller **121** ist dem Controller **100** der [Fig. 5](#) darin ähnlich, dass das Ziel des Controllers **121** darin besteht, Steuerungssignale zur Verfügung zu stellen, die lediglich RAM-Bänke aktivieren, die augenblicklich verwendet werden oder vor kurzem in der Vergangenheit verwendet wurden sind, um den Energieverbrauch zu verbessern. Mit anderen Worten, der Controller **121** ist ein Cache mit speziellem Zweck, der die zuletzt erfolgten Zugriffe auf die Speicherblöcke **26–34** zwischenspeichert und lediglich die zwischengespeicherten oder die letzten wenigen Speicherblöcke/Speicherbänke, auf die zugegriffen worden ist, aktiviert, um insgesamt den Energieverbrauch zu reduzieren. Ein LRU-Ersatzsalgorithmus ("LRU = least recently used") ist in den Controller **121** der [Fig. 6](#) implementiert.

[0040] [Fig. 6](#) veranschaulicht insbesondere, dass lediglich drei Speicherbänke oder Speicherblöcke im Cache über die Register **126–130** gespeichert werden, wobei in einem optimalen Design keine zwei Werte in den drei Registern **126–130** gleich sind. Es sollte vermerkt werden, dass jedoch mehr als drei oder weniger als drei Bänke oder Blöcke von Zellen im Cache gespeichert werden können und dadurch eine Speichergröße gesteuert wird, die im System der [Fig. 1](#) aktiviert ist. In [Fig. 6](#) stellt die CPU **12** ei-

nen Adressstrom zur Verfügung. Die von der CPU **12** zur Verfügung gestellten Adressen werden in einem Adresspuffer **122** Latch-gespeichert oder direkt im Steuerungsschaltkreis **124** zur Verfügung gestellt, der einen Adresspuffer **124a** und einen Multiplexer-Schaltkreis **124c** enthält. Der Steuerungsschaltkreis **124** der [Fig. 6](#) umfasst eine Statusmaschine und einen Multiplex-Umschaltungs-Schaltkreis mit einem Betrieb, der in [Fig. 8](#) dargelegt ist.

[0041] Wenn die CPU **12** anfänglich damit beginnt, Adress- und Dateninformationen zu verarbeiten, sind die Register **126–130** leer. Der Steuerungsschaltkreis **124** wird feststellen, dass die Register **126–130** leer sind und wird demzufolge die ersten drei Sätze von N Bits der [Fig. 6](#) in die Register **126–130** zwischenspeichern, da die ersten drei Sätze der unterschiedlichen N Bits über den Adresspuffer **122** zur Verfügung stehen. Nachdem die Register **126–130** mit gültigen Adressbits gefüllt worden sind, wird die Statusmaschine der [Fig. 8](#) durch den Steuerungsschaltkreis **124** implementiert, was in einem LRU-Ersatzungsverfahren für die Inhalte der Register **126–130** resultiert. Um den Steuerungsschaltkreis **124** der [Fig. 6](#) zu beschreiben, ist eine Erläuterung der [Fig. 8](#) hilfreich.

[0042] In [Fig. 6](#) sei angenommen, dass 5 Speicherbänke individuell in der Lage sind, zu einem beliebigen Zeitpunkt aktiviert zu werden. Es sei angenommen, dass diese 5 Speicherbänke als Bank **1** bis Bank **5** bezeichnet werden. Es sei weiterhin angenommen, dass die ersten drei Speicherbänke, auf die die CPU **12** zugreift, die Bänke **1–3** sind. Die mit Bank **1** verbundenen Adressbits werden im Register **126** gespeichert, die Adressbits der Bank **2** werden im Register **128** gespeichert und die Adressbits, die mit der Bank **3** verbunden sind, werden im Register **130** gespeichert. Nach dieser Initialisierung des Controllers **121** sei angenommen, dass die CPU **12** wiederum auf die Bank **1** zugreift. Nachdem der LRU-Algorithmus in der Statusmaschine der [Fig. 8](#) verwendet wird, muss die Bank **1** an die Spitze des Registers **126–130** bewegt werden, während die anderen zuletzt benutzten Bänke **2** und **3** erhalten bleiben. Nachdem die Anordnung in den Registern **126–130** bereits so ist, dass sich die Bank **1** an der Spitze der LRU-Struktur, die durch die Register **126–130** gebildet wird, befindet und die Bank **2** sich im Register **128** und die Bank **3** sich im Register **130** befindet, müssen an den Registern **126–130** keine Veränderungen vorgenommen werden, da die CPU **12** wiederum auf die Bank zugreift (d. h., die Register **126–130** enthalten bereits als Vorgabe die richtige Anordnung der Speicherbänke). Deshalb werden, wie in [Fig. 8](#) veranschaulicht, keine Veränderungen innerhalb der Register **126–130** vorgenommen, wenn eine neue ankommende Adresse X dem Wert, der im Register A gespeichert ist (Register **126**) gleicht.

[0043] Es sei jedoch angenommen, dass die neue ankommende Adresse X der CPU **12** den Werten gleich, die in Bank **2** im Register **128** gespeichert sind. Nachdem X dem Wert von B, gespeichert im Register **128**, gleicht, zeigt das Statusdiagramm der [Fig. 8](#) an, dass der Wert im Register **128** zum Register **126** bewegt wird, während der Wert im Register **126** in der Priorität auf das Register **128** herabbewegt wird, während die Inhalte des Registers **130** als der Eintrag mit der niedrigsten Priorität in der LRU-Struktur erhalten bleiben. Im Wesentlichen, wenn die ankommende Adresse X dem Wert im Register **128** gleich, ist der Wert in **128** die zuletzt verwendete Stelle und muss an die Spitze der Schlange gebracht werden, während die anderen beiden verbleibenden Elemente in der Nähe des Endes der Schlange platziert werden.

[0044] Es sei die ursprüngliche Konfiguration angenommen, in der Register **126** Bank **1** als zuletzt benutzte speichert, Register **128** Bank **2** speichert und Register **130** Bank **3** als die davor benutzte Bank speichert. Dann sei angenommen, dass auf Bank **3** von der CPU **12** zugegriffen wird, wobei Bank **3** bereits im Register **130** gespeichert ist. Das Ablaufdiagramm der [Fig. 8](#) zeigt an, dass, wenn eine neue Adresse X gleich einem im Register **130** gespeicherten Wert C ist, die Inhalte des Registers **130** zum Register **126** bewegt werden (zurück nach oben an die zuletzt verwendete Stelle), die Inhalte der Register **128** werden zum Register **130** bewegt und die Inhalte des Registers **126** werden zum Register **128** bewegt. Dieses Umschalten der Inhalte der Register wird von dem Multiplexer-Schaltkreis **124c** durchgeführt, der im Steuerungsschaltkreis **124** angeordnet ist.

[0045] Es sei angenommen, dass die Bänke **1** bis **3** jeweils in den Registern **126–130** gespeichert sind. Es sei jetzt angenommen, dass die CPU **12** auf die Bank **4** zugreift. Nachdem die Bank **3** an der Stelle mit der niedrigsten Priorität in der Schlange gespeichert ist, zeigt [Fig. 8](#) an, dass die neue Adresse X, die sich auf Bank **4** bezieht, in das Register **126** als der zuletzt verwendete Eintrag bewegt wird. Die Bank **1**, die in Register **126** war, wird in das Register **128** bewegt und besitzt nun die zweite Priorität in der Schlange/im Cache. Das am wenigsten zuletzt verwendete Element ist jetzt Bank **2**, das vom Register **128** zum Register **130** in [Fig. 6](#) bewegt wird. Die Bank **3**, die zuvor im Register **130** gespeichert war, wird jetzt in der gesamten Schlange entfernt und ist nicht mehr innerhalb des Systems der [Fig. 6](#) vorhanden und demzufolge nicht länger durch die Verbindung mit VDD aktiviert. Deshalb, wenn auf die Bank **4** zugegriffen wurde, enthält das Register **126** Bank **4**, das Register **128** enthält die Adressbits der Bank **1** und das Register **130** enthält die Adressbits der Bank **2**, wobei der Controller **121** der [Fig. 6](#) lediglich diese zuletzt verwendeten Bänke **1**, **2** und **4** aktiviert, während sich die Bänke **3** und **5** in einem Betriebsstatus

mit niedrigem Energieverbrauch befinden.

[0046] Wie jetzt verstanden sein sollte, ermöglichen die Register **126–130** zusammen mit der über den Steuerungsschaltkreis **124** implementierten Statusmaschine und der [Fig. 8](#) es den drei zuletzt verwendeten Speicherbänken durch die Register **126–130** identifiziert/gespeichert zu werden. Um die Bewegungen zwischen den Registern **126**, **128** und **130** durchzuführen, wie vorangehend mit Bezugnahme auf [Fig. 8](#) beschrieben, wird die Komparatorlogik **132** der [Fig. 6](#) benutzt, um den verwendeten Ablauf der [Fig. 8](#) zu bestimmen. Die Decoder **134–138** und die OR-Logik **140** werden verwendet, um Steuerungssignale an das Register **24** der [Fig. 1](#) auszusenden. Die Decoder **134–138** geben jeder ein spannungsführendes Steuerungssignal aus, das anzeigt, dass die drei Bänke des zuletzt verwendeten Speichers anzeigen, die aktiviert sein sollten. Die OR-Logik **140** verknüpft die drei aktivierte Signale der Decoder **134–138** logisch mit OR, was in drei Aktivierungswerten resultiert, die dann im Register **24** gespeichert werden. Das Register **24** verwendet dann diese drei Aktivierungswerte, um die drei zuletzt verwendeten Speicherbänke innerhalb der [Fig. 1](#) zu aktivieren. Alle anderen Speicherbänke, die nicht im Controller **121** gespeichert sind, werden deaktiviert oder in einen Standby-Modus mit niedrigem Energieverbrauch gebracht. Diese LRU-/Cache-Ersetzungstechnik und der Vielfacheintragungs-Cache vermeidet das vorhergehend beschriebene Hin-und-her-Schalten, benötigt aber einen größeren Oberflächenbereich des Siliziums, um implementiert zu werden.

[0047] [Fig. 7](#) veranschaulicht einen alternativen Controller **120**. Ein wesentlicher Unterschied zwischen den Controllern **121** und **120** besteht darin, dass der Steuerungsschaltkreis **125** des Controllers auf eine leicht unterschiedliche Weise im Vergleich zum Steuerungsschaltkreis **124** arbeitet. Anstatt des Verwendens von Schattenregistern und/oder einem Multiplexer-Schaltkreis, können ein oder mehrere temporäre Speicherungsregister **124d** zusammen mit dem Adresspuffer **124e** verwendet werden, um das ordnungsgemäße Schalten der Inhalte zwischen den Registern **126–130** entweder auf eine serielle oder eine parallele Weise durchzuführen. Im Wesentlichen sind die Controller der [Fig. 6](#) und [Fig. 7](#) ähnlich und stellen die gleiche Funktionalität wie vorab diskutiert zur Verfügung, mit leichten Änderungen im Betrieb der Statusmaschine.

[0048] [Fig. 8](#) veranschaulicht den funktionellen Betrieb jeweils des Steuerungsschaltkreises **124** und des Steuerungsschaltkreises **125** der [Fig. 6](#) und [Fig. 7](#). [Fig. 8](#) wurde vorhergehend im Detail diskutiert und eine Beschreibung wird hier aus Gründen der Kürze nicht wiederholt.

[0049] Demzufolge ist es offensichtlich, dass ge-

mäß der vorliegenden Erfindung eine Schaltung und ein Layout zur Verfügung gestellt wurden, die signifikant den unerwünschten Crossbar-Strom in einem Halbleiterbauelement reduzieren oder eliminieren.

Patentansprüche

1. Integrierte Schaltung mit einer Mehrzahl von Blöcken flüchtiger Speicherzellen (**26, 28, 30, 32, 34**); einer ersten Energieversorgungsleitung zum Bereitstellen einer ersten Energieversorgungsspannung; einer zweiten Energieversorgungsleitung zum Bereitstellen einer zweiten Energieversorgungsspannung; einem ersten Energieversorgungssteuerungsschalter (**38**) zum wahlweisen Koppeln von entweder der ersten oder der zweiten Energieversorgungsleitung mit einem ersten Block (**28**) der Mehrzahl von Blöcken flüchtiger Speicherzellen in Abhängigkeit von einem ersten Steuerungssignal; und einem zweiten Energieversorgungssteuerungsschalter (**40**) zum wahlweisen Koppeln von entweder der ersten oder der zweiten Energieversorgungsleitung mit einem zweiten Block (**32**) der Mehrzahl von Blöcken flüchtiger Speicherzellen in Abhängigkeit von einem zweiten Steuerungssignal, weiter gekennzeichnet durch ein anwenderprogrammierbares Register (**24**), das elektrisch mit dem ersten und dem zweiten Energieversorgungssteuerungsschalter zum Bereitstellen des ersten und des zweiten Steuerungssignals gekoppelt ist.
2. Integrierte Schaltung nach Anspruch 1, wobei die erste Energieversorgungsspannung eine Standby-Spannung ist, die kleiner als die zweite Energieversorgungsspannung ist.
3. Integrierte Schaltung nach Anspruch 2, wobei die integrierte Schaltung weiterhin eine zentrale Verarbeitungseinheit (CPU) (**12**) umfasst, die mit dem anwenderprogrammierbaren Register (**24**) gekoppelt ist, um eine Software-Programmsteuerung des anwenderprogrammierbaren Registers zu ermöglichen.
4. Integrierte Schaltung nach Anspruch 3, wobei das anwenderprogrammierbare Register (**24**) bestimmt, dass der erste Block (**28**) der Mehrzahl von Blöcken flüchtiger Speicherzellen die erste Energieversorgungsspannung im Falle einer Störung der Energieversorgung erhält.
5. Integrierte Schaltung nach Anspruch 1, wobei die Mehrzahl von Blöcken flüchtiger Speicherzellen (**26, 28, 30, 32, 34**) dadurch gekennzeichnet ist, dass es sich um statische Direktzugriffsspeicherzellen (RAM-Zellen) handelt.

Es folgen 8 Blatt Zeichnungen

Anhängende Zeichnungen

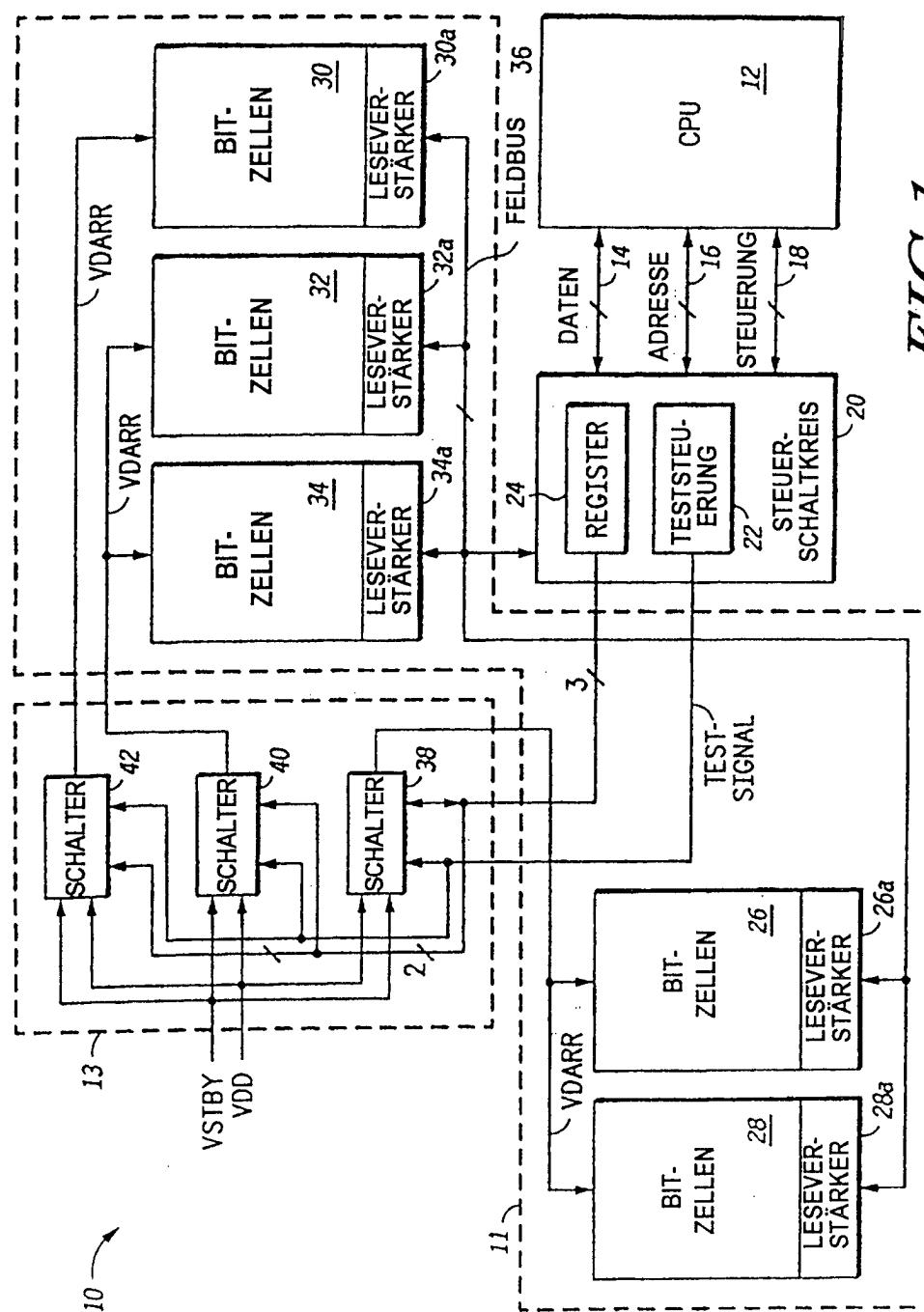


FIG. 1

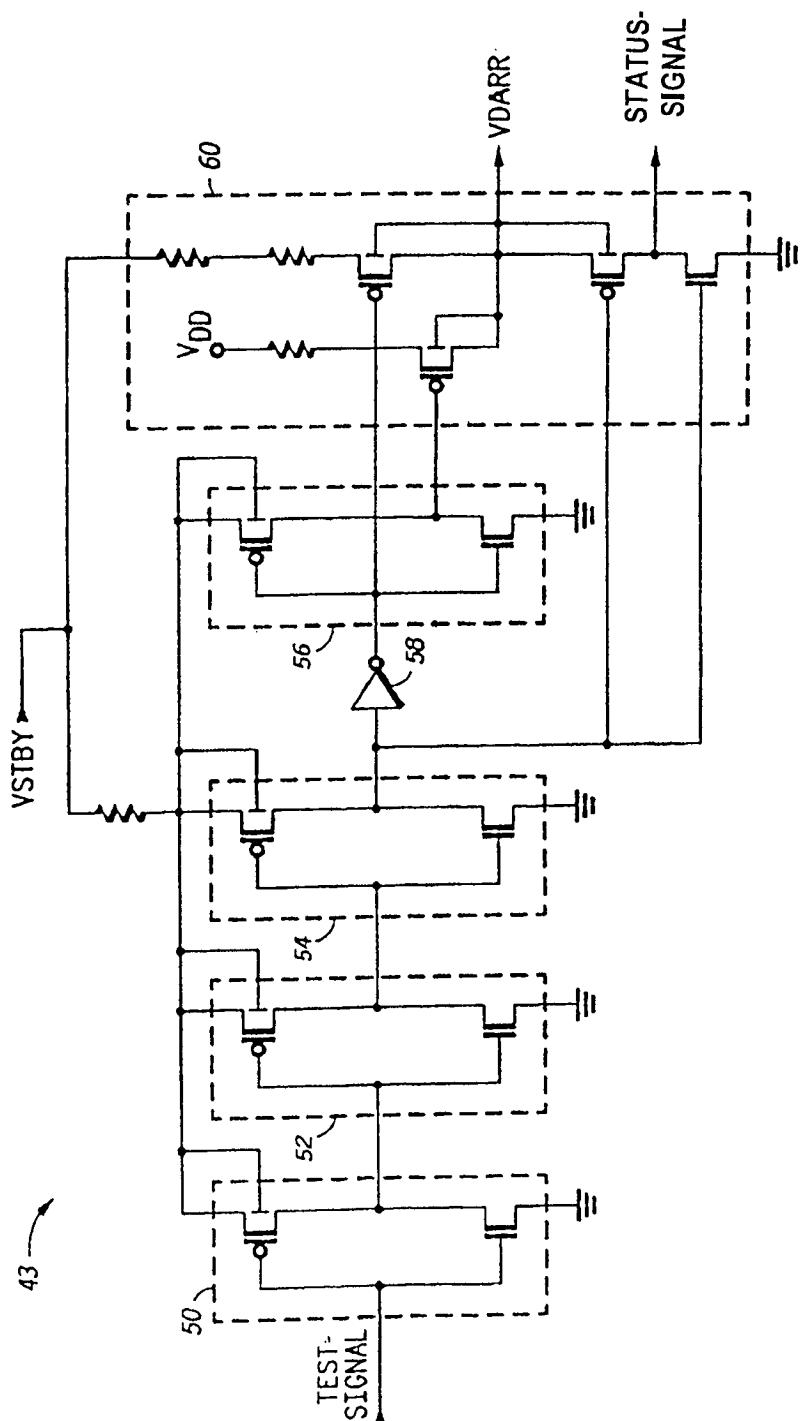


FIG.2

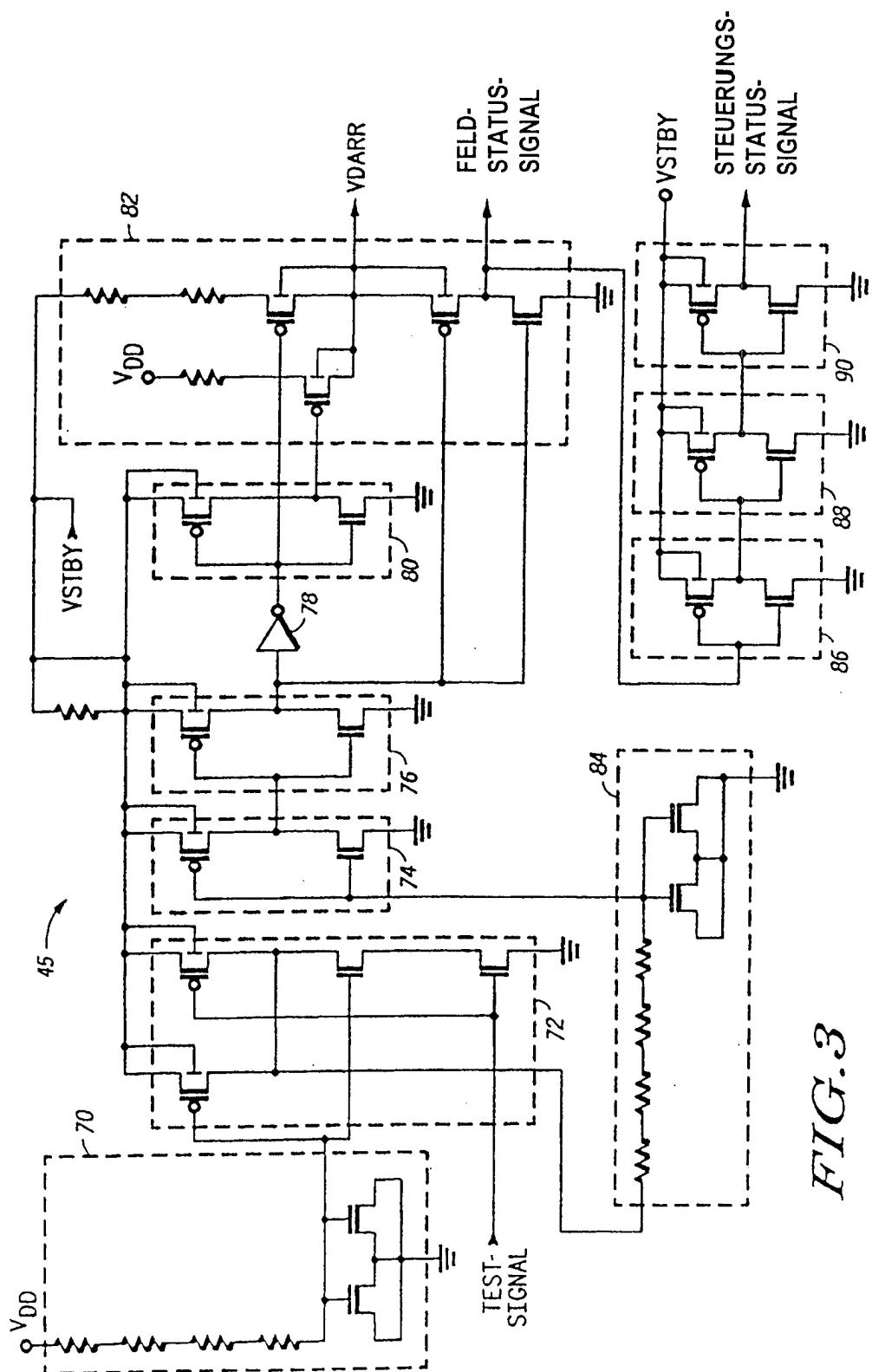


FIG. 3

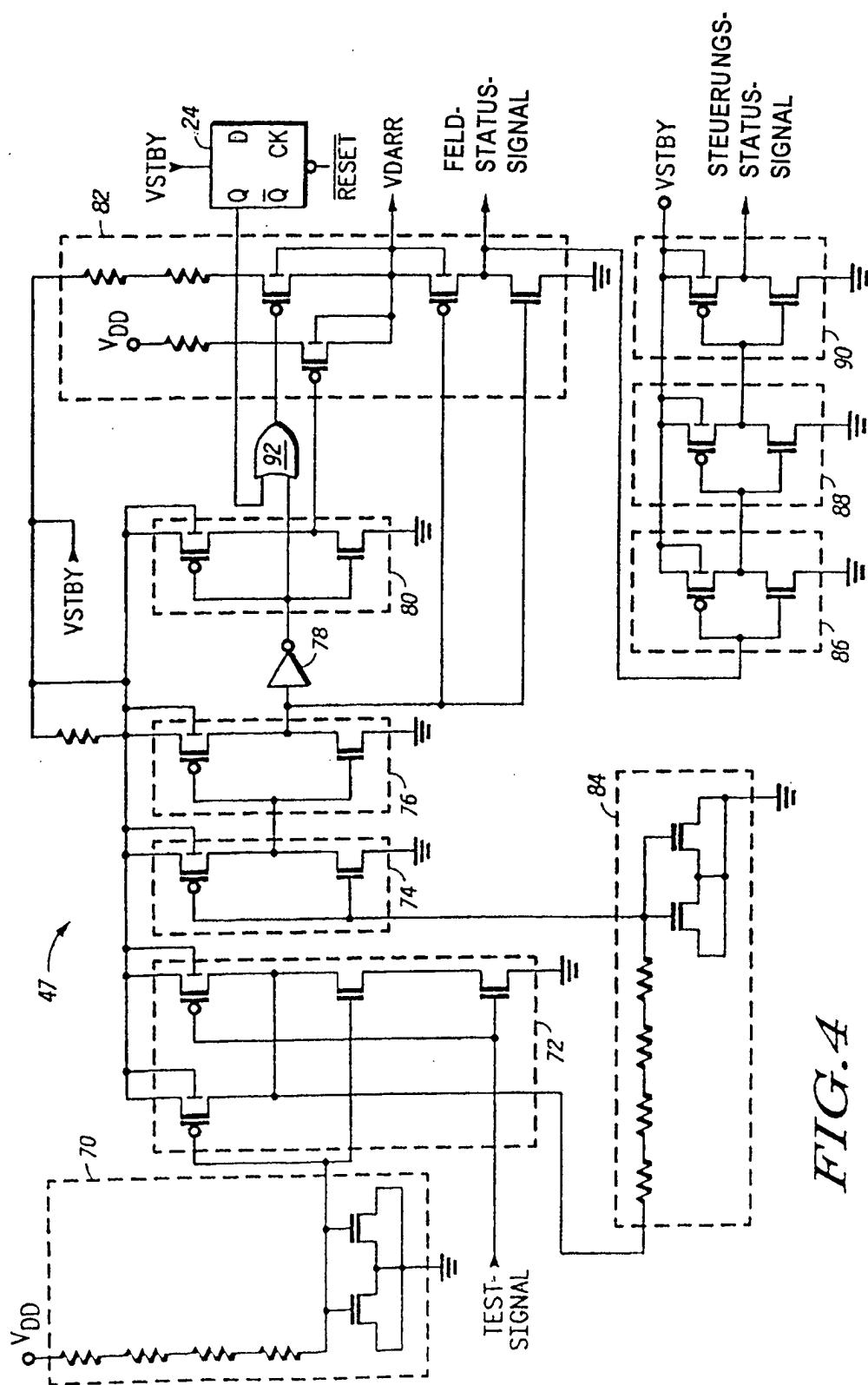


FIG. 4

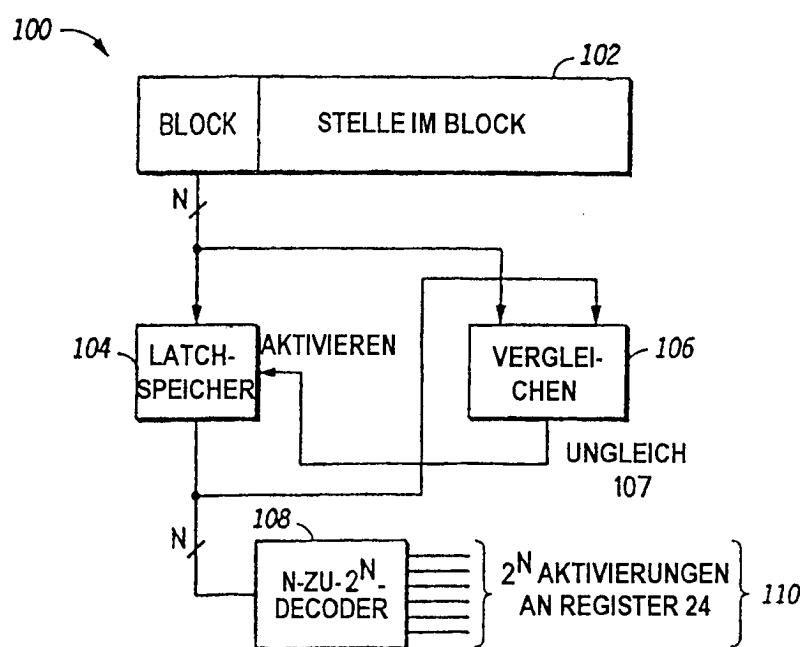


FIG.5

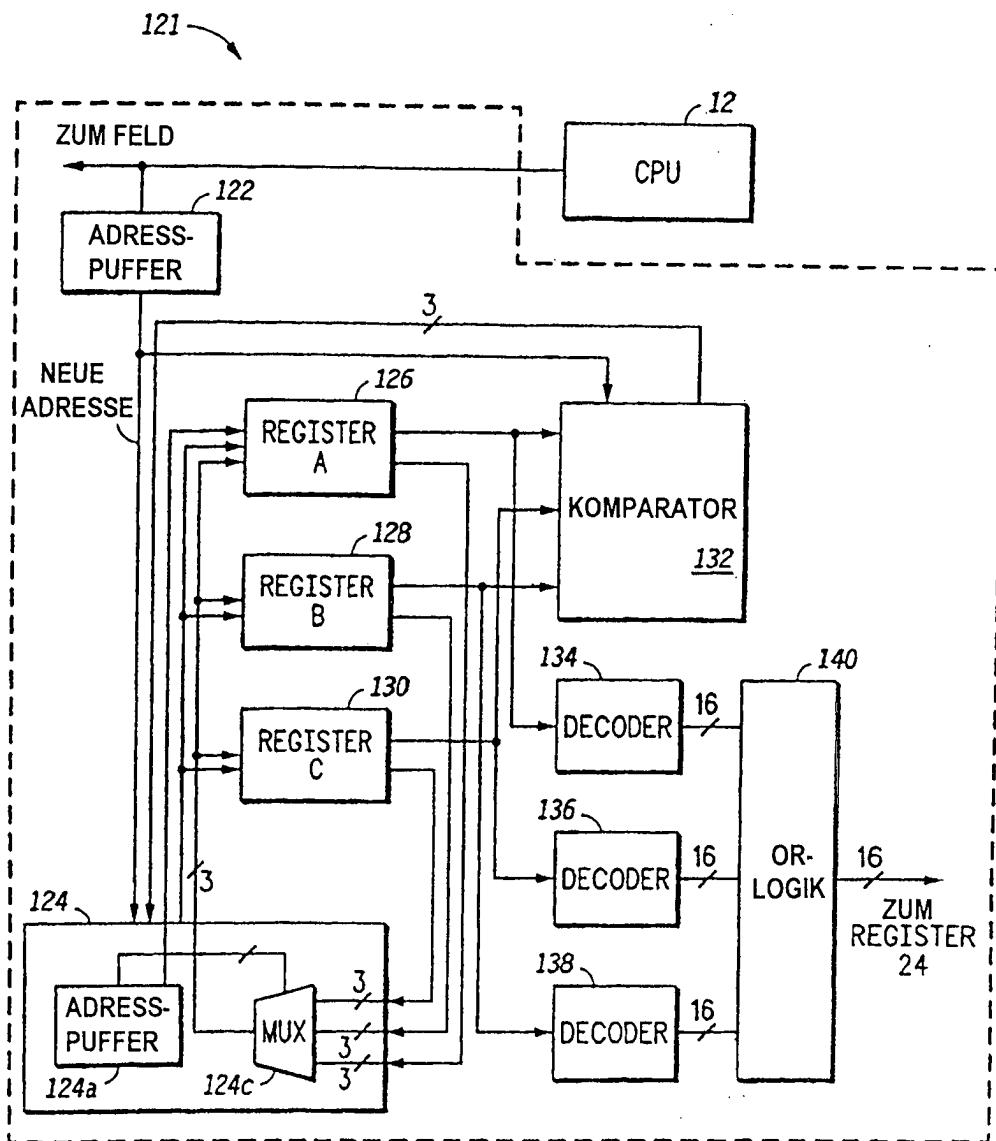


FIG. 6

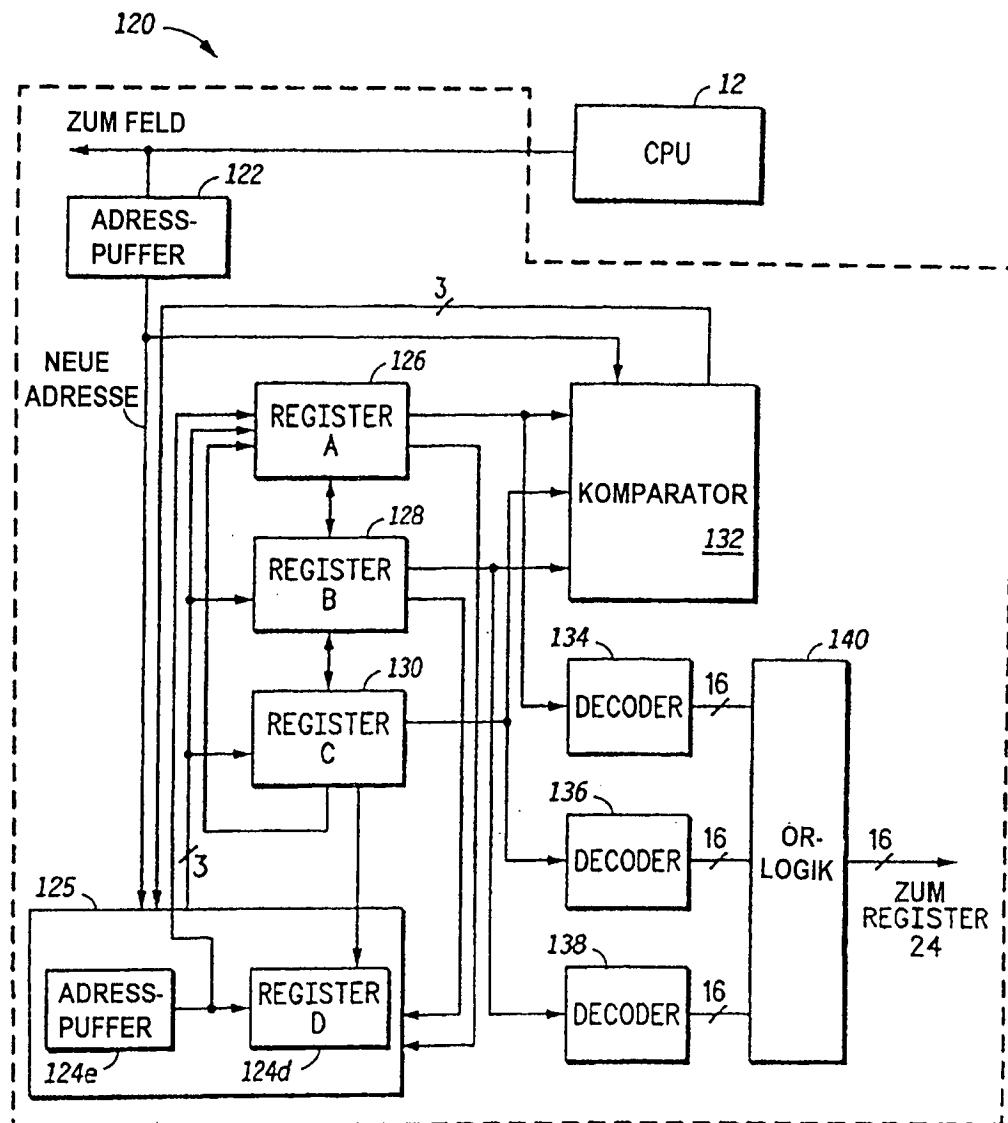


FIG. 7

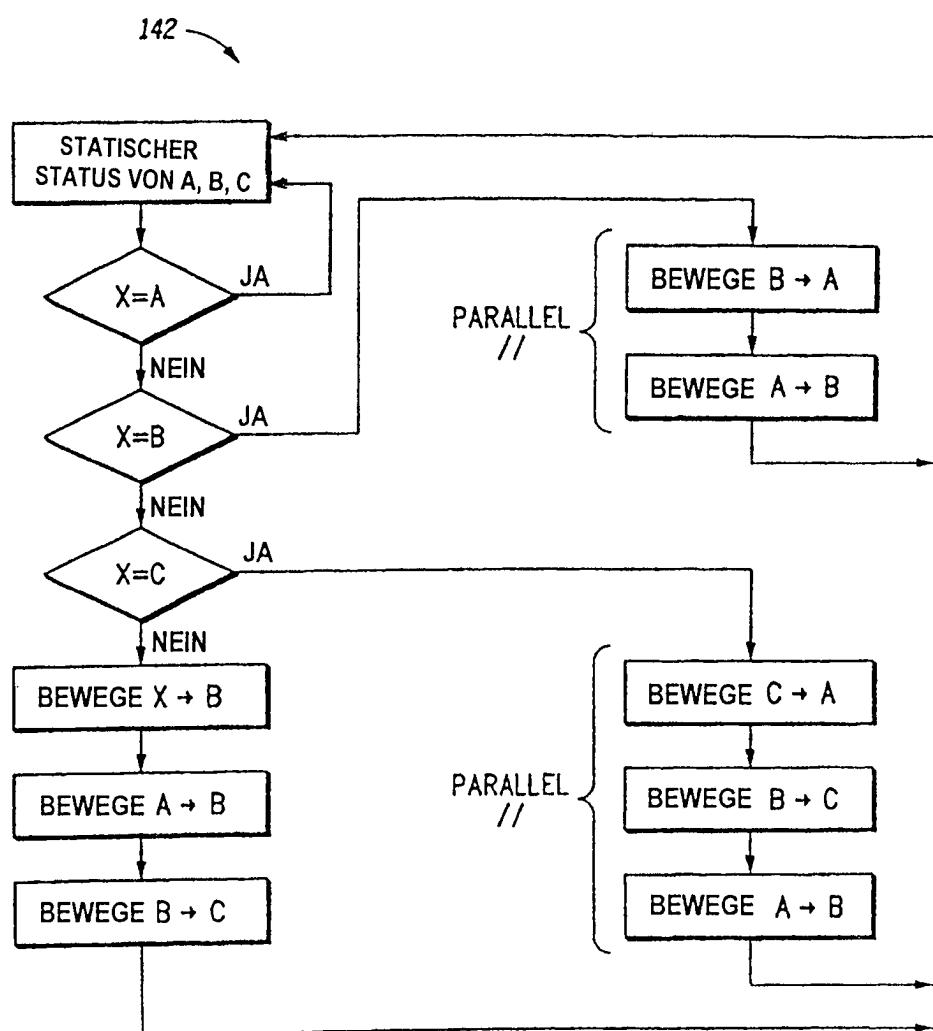


FIG.8