(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H04N 1/415

(45) 공고일자 2000년02월01일
(11) 등록번호 10-0244546
(24) 등록일자 1999년11월22일

(21) 출원번호	10-1992-0702074	(65) 공개번호	특1992-0704494
(22) 출원일자	1992년08월26일	(43) 공개일자	1992년12월19일
(86) 국제출원번호	PCT/US 91/001350	(87) 국제공개번호	WO 91/13514
(86) 국제출원일자	1991년02월26일	(87) 국제공개일자	1991년09월05일
(81) 지정국	국내특허 : 미국		
(30) 우선권주장	487,012 1990년02월27일 미국(US) 07/487,012 1990년02월27일 미국(US)		
---	---
(73) 특허권자	콸콤 인코포레이티드 러셀 비. 밀러 미합중국 92121 캘리포니아 샌디에고 러스크 블러바드 6455
(72) 발명자	리총유.
	미합중국 92124 캘리포니아 샌디에고 카미노 플라야 말라가 5238
(74) 대리인	남상선

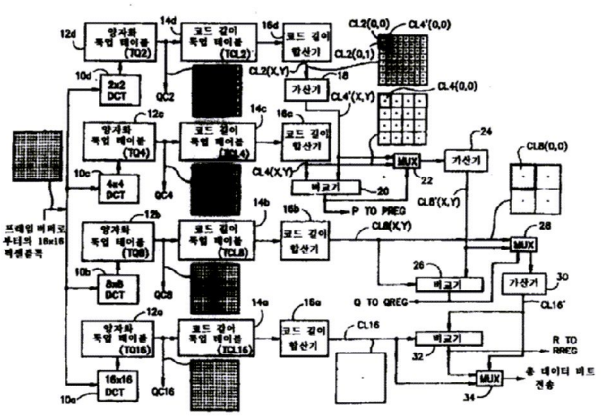
심사관 : 여원현

(54) 블록 사이즈 적응형 이미지 압축 방법 및 그 시스템

요약

전송용 압축영상데이타를 위한 영상 압축시스템 및 방법, 화소데이타의 각 블럭 및 대응 부블럭을 이산 코사인 변환(DCT) 동작(10,12)을 하게한다. 대응하는 변환계수 결과인 부블럭(QC16,QC8,QC4,QC2)의 변하는 레벨은 구성을 위해 화소 데이타의 각 입력블럭에 대응하는 복합 변환계수 블럭(QC)에서 선택된다. 복합블럭은 압축된 데이타의 추가 감소 비트 카운트를 변할 수 있는 길이(56)를 코드화 한다.

대표도



명세서

[발명의 명칭]

블록 사이즈 적응형 이미지 압축 방법 및 그 시스템

[발명의 상세한 설명]

본 발명은 이미지 처리에 관한 것이며, 더 구체적으로는 적응형으로 그 사이즈가 결정되는(adaptively sized), 코드화된 이산 코사인 변환(Discrete Cosine Transform, 이하 'DCT'라함) 계수 데이터의 블록 및 서브블록을 이용하는 신규하고 크게 개선된 이미지 신호 압축 기법에 관한 것이다.

텔레비젼 신호의 전송 및 수신 분야에서, NTSC(전미 텔레비젼 방식 위원회) 시스템에 대해 여러가지 개선이 이루어지고 있다. 텔레비젼 분야는 공동적으로 고선명 텔레비젼(HDTV) 시스템으로 향하는 추세이다. HDTV의 개발시, 시스템 개발자들은, 가변적인 성공률을 가지면서, 단순히 나이키스트(Nyquist) 샘플링 이론 및 저역통과 필터링 방법을 응용하였다. 이들 시스템에서 변조는 아날로그 양을 신호 진폭 또는

주파수 값으로 단순히 맵핑(mapping)하는 정도의 것이었다.

최근, 디지탈 기술을 사용함으로써 HDTV 시스템에서의 또다른 개선이 가능하다는 것이 인식되고 있다. 제안된 많은 HDTV 전송 포맷들은 공통적인 요소들을 가지고 있다. 이들 시스템은 모두 비디오 신호의 디지탈 신호처리를 포함하며, 이는 비디오 신호의 아날로그-디지탈 변환을 필요로 한다. 그리고는 아날로그 전송 포맷이 사용되는데, 이 때문에 전송을 위하여는 디지탈 처리된 이미지를 아날로그 형태로 다시 변환시킬 필요가 있다.

수신기측의 프로세서는 이미지를 디스플레이하기 위하여 상기 신호처리와 반대되는 처리를 요한다. 그렇기 때문에 수신된 아날로그 신호는 디지탈화되고, 저장되고, 처리되며 수신기측 프로세서 및 HDTV 디스플레이 사이에 사용된 인터페이스 포맷에 따른 신호로 재구성된다. 또한, 신호는 대부분 다시 한번더 디스플레이를 위하여 아날로그 신호로 변환된다. 그러나 제안된 HDTV 포맷은 제어, 오디오 및 인증 신호의 전송에 대하여는 디지탈 전송을 활용한다.

그러나, 디지탈 변조 기법을 사용하여 제어, 오디오 및 인증 신호 뿐만 아니라 처리된 영상을 전송하는 디지탈 전송 포맷을 사용함으로써, 전술된 많은 변환 동작들을 피할 수 있게 된다. 수신기는 비디오 프로세서로 디지탈 출력을 하는 디지탈 모뎀으로 구성될 수 있다. 물론 그 모뎀은 동작의 일부로서 아날로그-디지탈 기능을 필요로 하지만, 이는 아날로그 포맷 수신기에 필요한 8비트 해상도 장치와 달리 단지 4비트 해상도 장치를 필요로 한다.

디지탈 전송은 여러면에서 아날로그 전송보다 우수하다. 디지털 전송은 위성전송 및 군사용에서 특히 중요한 전력 사용의 효율성을 제공한다. 디지탈 전송은 또한 다중 경로 및 재밍(jamming)등과 같은 장애에 강한 통신 링크를 제공한다. 또한 디지탈 전송은 신호 암호화를 용이하게 하여 군용 및 방송용으로 필수적이다.

디지탈 전송포맷은 본래 과다한 대역폭을 필요로 한다는 잘못된 믿음으로 인하여 이전의 HDTV 시스템 제안에서 기피되었다. 따라서 디지탈 전송의 이점을 이용하기 위하여는, HDTV 신호를 상당히 압축하는 것이 필요하다. 또한 HDTV 신호의 압축은 아날로그 전송 포맷에 대한 것에 필적할 만한 대역폭으로 전송할 수 있는 수준이 되어야만 한다. 신호의 디지탈 전송과 결합된 이러한 신호 압축 수준은 HDTV 시스템을 채널 장애에 대한 더 큰 면역을 가지고 더 낮은 전력상에서 동작할 수 있게 할 것이다.

그렇기 때문에, 본 발명의 목적은, 종래 TV 신호의 아날로그 전송과 비교할 수 있는 정도의 대역폭으로 디지탈 전송을 가능하게 하는 HDTV 신호 압축에 관한 신규하고 및 진보성 있는 방법 및 장치를 제공하는 것이다.

본 발명은, 전송을 위하여 이미지 데이터를 압축하고 수신시 이미지 데이터를 복구하는 신규하고 및 개선된 방법 및 그 장치에 관한 것이다. 이미지 압축 시스템은, 입력 픽셀 데이터 블록으로부터, 최소화된 전송 데이터율(transmission data rate)로 코드화 하도록 최적화된 이산 코사인 변환 데이터의 복합 블록(compo site block)을 생성하기 위한 서브 시스템을 포함한다.

본 발명의 서브시스템은, 픽셀데이터의 입력블록을 수신하고, 그 픽셀 데이터의 블록 상에서 그리고 그들을 구성하는 적어도 하나의 소정 수준의 서브블록상에서 DCT 동작을 수행하는 변환수단을 포함한다. 이 변환수단은 상응하는 DCT 계수 값의 블록 및 서브블록의 출력을 제공한다.

블록 사이즈 할당 수단(block size assignment means)은 서브시스템내에 포함되며, DCT 계수 값들의 블록 및 그를 구성하는 서브블록들의 상응하는 각 그룹에 대하여, 미리 결정된 코딩 포맷에 따라 DCT 계수 값들의 블록 및 그를 구성하는 서브블록들의 상응하는 각 그룹을 각각 코딩하는데 요구되는 비트 수에 상응하는 비트 카운트 값을 결정한다. 또한, 블록 할당 수단은 비트 카운트 값으로부터, DCT 계수 값들의 블록 및 그를 구성하는 서브블록들의 그룹 중에서 코딩 포맷에 따라 코드화하기 위하여 더 작은 비트 수가 요구되는 것을 선택하며, 상응하는 선택 값의 출력을 제공한다.

또한 서브 시스템은, 선택값 및 DCT 계수 값들의 블록 및 그 각 구성 서브블록을 수신하며, 그 선택값에 상응하는 DCT 계수 값들의 블록 및 서브브록들을 선택하기 위한 선택 수단을 포함한다. 선택수단은 선택된 DCT 계수 값의 블록 및 서브블록들로부터 형성된 상응하는 DCT 계수 값의 복합 블록의 출력을 제공한다.

서브시스템을 구현하는 시스템은, DCT 계수 값들의 복합 블록을 수신하고, 소정의 정렬 포맷에 따라 계수 값들의 복합 블록을 정렬하기 위한 정렬 수단을 포함한다. 이 정렬 수단은 정렬된 DCT 계수 값들의 출력을 제공한다.

정렬 수단(ordering means)으로부터의 정렬된 DCT 계수 값 출력은, 소정의 코딩포맷에 따라 정렬된 DCT 계수 값을 코드화하는 인코더 수단에 의해 수신된다. 그 인코더 수단은 코드화되어 정렬된 DCT 계수 값의 출력을 제공한다.

코드화된 값들은 상기 선택수단에 의해 제공된 선택값을 수신하는 결합기 수단에 의해 수신된다. 그 결합기 수단은 픽셀 데이터의 입력 블록을 나타내는 코드화된 이미지 값으로서 코드화된 값과 선택값을 결합시킨다. 그 코드화된 이미지값은 픽셀 데이터의 입력 블록의 비트카운트에 비하여 축소된 비트 카운트이다. 결합기 수단은 전송을 위한 코드화된 이미지값의 출력을 제공한다.

본 발명은 또한, 각 수신된 코드화된 이미지 값으로부터 상응하는 픽셀 데이터의 블록 픽셀을 재구성하기 위한 신규성 및 진보성 있는 방법을 제공한다.

본 발명은 또한 픽셀 데이터의 블록에 의해 나타내어진 바와 같은 이미지 신호를 압축하고 그 압축된 이미지신호로부터 이미지신호를 재구성하기 위한 신규성 및 진보성 있는 방법을 제공한다.

본 발명의 구조, 목적 및 효과는 이하에 도면을 참조로하여 더욱 명백히 설명될 것이다.

제1도는 DCT 계수 데이터 및 블록 사이즈 결정을 제공하기 위한 블록사이즈 적응형 이미지 압축시스템의 신호처리 소자를 도시하는 블록도, 제2도는 DCT 계수 데이터의 복합 블록을 생성하기 위하여 DCT 계수 데이터의 블록 사이즈를 선택하기 위한 신호처리 소자 및 전송을 위한 복합 블록의 코드화를 도시한 블록도, 제3a도 및 제3b도는 각각 레지스터의 블록 사이즈 할당 데이터 및 그에 상응하는 블록 선택 트리를 도시한 예시도, 제4a도 및 제4b도는 각각, 서브블록 내에서 선택된 블록의 지그-재그 스캔 직렬화 정렬 시퀀스 및 제3a도의 블록 사이즈 할당 데이터에 따라 서브블록들 사이에서 블록 사이즈 선택이 행해지는 DCT 계수 데이터의 예시적인 복합 블록에 대한 그래프, 제5a~5d도는 각각 교번의 지그-재그 스캔 직렬화 포맷을 도시한 그래프, 제6도는 제1도 및 제2도의 신호처리 소자들에 의해 발생된 수신 신호로부터 이미지를 디코딩 및 재구성하기 위한 처리 소자를 도시한 블록도, 제7도는 제1도 및 제2도의 신호처리 소자에 의해 실행된 바와 같은 이미지 데이터의 압축 및 코드화에 포함된 처리 단계를 도시한 순서도, 그리고 제8도는 픽셀 데이터를 발생시키기 위하여 압축된 신호를 디코딩 및 압축해독하는 것과 관련한 처리 단계를 도시한 순서도이다.

HDTV 신호의 디지탈 전송을 용이하게하고 그 이점을 활용하기 위하여 소정 형태의 신호 압축 기법을 적용할 필요가 있다. 결과적인 이미지에서 고화질을 달성시키기 위하여는 양질의 이미지가 유지되는 것 또한 중요하다. DCT 기술은 매우 높은 압축을 달성하는 것이다. 압축 인자를 설명하는 한 논문은 IEEE Transactions on Communications Vol. Com-32, No. 3. 1984. 3월호 중의 Wen-Hsiang Chen 제목 "Scan Adaptive Coder" 이다. 그러나, 재구성된 이미지의 품질은 비디오 협약의 적용에 있어서도 최소한의 것에 해당한다.

DCT 코드화 기법과 관련하여, 이미지 N × N 사이즈의 비중첩 블록들의 배열로 분할된 픽셀 데이터로 구성되어 있다. 엄밀히 말해, 흑백 텔레비젼 이미지에 대하여 각 픽셀은 8비트 워드에 의해 나타내어지고, 반면 칼라텔레비젼에 관하여 각 픽셀은 24 비트까지 포함하는 워드에 의하여 나타내어 진다. 이미지이 분할되는 그 블록은 전형적으로 16 × 16 픽셀 블록, 즉 N = 16이다. 2차원 N × N DCT는 각 브록 내에서 실행된다. DCT가 분리 가능한 단위 변환이기 때문에, 2차원 DCT는, 통상적으로 계산양을 줄이는, 두개의 연속적인 1차원 DCT 동작에 의해 실행된다. 1차원 DCT는 다음 방정식에 의해 정의된다.

$$X(k) = \frac{2C(k)}{N} \sum_{n=0}^{N-1} x(n) \cos \frac{\pi(2n+1)k}{2N} \qquad (1)$$

여기서, $C(0) = \frac{1}{\sqrt{2}}$ 및 $C(k) = 1$ for $k = 1,2,3, \ldots N-1$.

텔레비젼 이미지에 대하여, 계산이 복소수 연산을 포함하지 않도록 픽셀 값은 실수이다. 또한, DCT 성분 X(0)가 언제나 양수이고 일반적으로 최대 에너지를 가지도록 픽셀 값은 음수가 아니다. 사실상, 통상적인 이미지에 대하여, 변환 에너지의 대부분은 DC 근처에 집중된다. 이 에너지 밀집성은 DCT를 신호하는 코드화 방법으로 만드는 이유이다.

DCT는 IEEE Transactions on Computers, 1974년 1월, pp. 90~93에 있는 N. Ahmed등의 논문 "이산 코사인 변환(Discrete Cosine Transform"이라는 제목으로 나타내어진 최적 카루넨-루에브 변환(KLT. : Karhunen-Loeve Transform(KLT))의 실행에 접근하고 있다. 기본적으로, DCT 코딩은, 거의 에너지를 갖지 않는 주파수 성분을 버리고 그리고 에너지 양에 따라 나머지 DCT 계수에 대해 다양한 비트수를 할당함으로써, 각 블록상에서의 공간적 중복을 감소시킨다. 블록에 대한 MSE와 같이, 어떤 오류 기준을 최소화하도록 비트들을 할당하고 양자화하는 많은 기법들이 있다. 통상적으로, 양자화된 DCT 계수들은 저주파수로부터 고주파수로 정렬함으로써 1차원 열로 매핑된다. 매핑은 DCT 계수들의 블록에 대한 대각선 지그-재그 매핑에 따라 수행된다. 영 (또는 버려진)계수들의 위치는 런-랭쓰(run-length) 코드화 기법에 의해 코드화된다.

DCT 계수를 최적 상태로 양자화하기 위하여, 변환 계수의 통계를 알 필요가 있다. 최적 또는 준최적 양자화는 전체 양자화 오류를 극소화시키는 이론적인 또는 측정된 통계에 기초를 두고 고안된다. 정확한 통계에 대해 완전한 일치가 없으며, 여러가지 양자화 방법이 활용되고 있고, IEEE Transactions on Communications Vol.31, No. 6. 1983년 6월호 pp 835-839의 "이미지를 위한 2차원 DCT 계수들의 분포(Distribution of the Two-Dimensional DCT Coefficients for Images"등에 기술되어 있다. 그러나, 우수한 결과를 제공하는 간단한 선형 양자화 기법도 활용되었다.

양자화 방법을 결정하는 외에도, 원하는 비트율을 만들어내기 위하여 두가지 방법을 고려할 수 있다. 한가지 방법은 DCT 계수에 임계치를 적용하여 작은 값들은 버리고 0으로 설정하는 것이다. 다른 방법은 코딩을 위하여 부동 소숫점을 정수로 변환한 후 계수들에 대하여 선형적으로 스케일링함으로써(linearly scale)(또는 정규화 함으로써)계수의 동적 범위를 감소시키는 것이다. 스케일링하는 기법은 시각적(subjective) 및 객관적(objective)신호대 잡음비 품질을 유지하는데에 있어서 임계치 방식보다 우수한 것으로 인정되고 있다. 그러므로, 양자화 절차에서 주요 변수는 원하는 비트율을 얻기 위하여 변화할 수 있는 계수 스케일 인자일 것이다.

일반적으로, 양자화된 계수는 이론적인 통계로부터 또는 측정된 히스토그램 분포로부터 고안된 호프만(Huffman) 코드에 의해 코드화된다. 계수의 대부분은 낮은 값 근처에 집중되어서 호프만 코드화는 좋은 결과를 나타내게 된다. 측정된 히스토그램 실행으로부터 발생된 호프만 코드는 엔트로피 측정에 의해 설정된 이론적 한계와 매우 가깝다고 믿어진다. 영계수의 위치는 런 랭스 코드에 의해 코드화된다. 계수들이 저주파수로부터 고주파수로 배열된다면, 그 런은 적은 수의 런이 존재하도록 길어지는 경향이 있다. 그러나, 렝쓰(length)에 관하여 건의 수가 세어진다면, 호프만 코드화 런 길이가 비스 속도까지도 감소시키도록 짧은 런이 지배적이다.

낮은 비트속도 압축 스키머와 관련한 중요한 문제는 재구성 특성상 채널 비트 오류의 효과이다. DCT 코드화에 대하여, 저 주파수 계수는 DC 항을 특히 더욱 약화시킨다. 여러가지 압축에서 재구성 특성상 비트오류율(BER)의 효과는 문헌에 나타내어진다. 그러한 문제는, IEEE Transactions on Communications

Vol. Com-25, No. 11, 1977 1월호 pp 1329~1339에서 Jon A. Roese등에 의한 "프레임간 코사인 이동 이미지 코드화(Iintraframe Cosine Transfer Image Coding)에 나타난다. BFR 의 효과는 10-3 근처에서 주목할만하고, 10-2에서 중요하 다. 전송 서브시스템용의 10-5 BER은 매우 보존적이다. 필요하다면, 스키머는, IEEE Transactions on commu nications Vol. Com-32, No. 7. 1984년 7월호 pp 856-861에서 David R. Comstock등에 의한 논문 "노이즈채널을 통한 DCT-압축 이미지의 해밍코드화(Haming Coding of DCT-Compressed Images over Noisy Channels"에서 기술한 바와 같은, 저주파수 계수를 위한 추가의 보호를 제공하도록 고안된다.

대부분의 자연이미지들은 비교적 공백이거나 천천히 변화하는 영역 및 고대비구조 및 대상 경계들과 같은 최번 영역으로 구성된다는 것을 관측 할 수 있다. 정경 적용 코드화 스키머는, 최번 영역에 많은 비트를 할당하고 공백영역에 적은 비트를 할당함으로써 이 인자의 효과를 가지게 된다. DCT 코드화에 대하여, 이 적용은 각 변환 블록에서 빈번함을 측정하고 그 후 양자화 및 블록으로부터 블록까지 비트 할당을 조절함으로서 만들어지게 된다. IEEE Transactions on Communications Vol. Com-25, No. 11. 1977. 11월호 pp 1285-1292에서 Wen-Hsiung Chen에 의한 논문 " 단색 및 칼라 이미지의 적용 코딩(Adaptive Coding of Monochrome and Color images)"에는 4 클라스중 하나로 분류되는 각 블록으로 측정된다. 비트 할당 매트릭스는 버젼형 샘플의 변화를 검사함으로서 각 클레스에 대해 반복적으로 계산된다. 각 계수는 양자화 후 원하는 수의 비트 결과로 비율이 정해진다. 보내지는 일체의 정보는 분류코드, 각 블록의 정규화, 및 4비트 할당 매트릭스이다. 이 방법을 확용하여 픽셀당 1 및 0.5비트에서 수용가능한 결과를 생산하였다.

또한 비트속도감소는, 채널 버퍼가 계수를 적응범위로 활용하고 계수를 양자화하는데 관련하여, Chen 등에 의한 미리 언급된 논문 "정경 적용 코드화(Sceue Adaptive Coder)"에서 달성되었다. 버퍼가 반이상 채워지게 될때, 피이드백 매개변수는 계수를 대강 정규화 하고 양자화 하여서, 버퍼로 들어오는 비트를 감소시킨다. 그 역은 버퍼가 반이 차지않게 될 때 발생한다. 비트 할당 매트릭스를 전송하는 대신, 그들은 계수위치의 런 랭스 코드 및 런 랭스 뿐만아니라 계수로된 호프만 코드로 이루어진다. 그러나 수행은 픽셀당 0.4 비트에서 우수한 칼라이미지 재구성을 보여준다. 이 결과가 비록 인쇄시 매우 우수해 보인다 하더라도 그 시스템의 시뮬레이션은 많은 결함을 보여준다. 이미지이 확대도를 조절하도록 표준하에서 가시화될때 스무싱 및 블록킹효과는 가시화된다.

본 발명에서, 플레임내 코딩(2차원 방법)은 플레임간 코딩(3차원 방법)에 이용된다. 플레임내 코딩의 적용에 대한 한가지 이유는 플레임간 코딩 신호 처리에 필요한 수신기의 복잡성 때문이다. 플레임간 코딩은 다수의 플레임 버퍼에 대하여 더욱 복잡한 처리회로를 필요로한다. 상업적 시스템에서 매우 복잡한 하드웨어를 포함하는 적은 전송일때 수신기는 매체 생산 목적에 가능한한 간단하게 적합하여야 함 한다.

플레임내 코딩을 이용하는 두번째 가장 중요한 이유는 상태 또는 프로그램 요소가 3차원 코딩 개요 브레이크다운을 취할 수 있고 희소하거나 적어도 플레임내 코딩개요보다 저어도 좋지않을 수 있는 것이 나타나기 때문이다. 예컨대, 매초당 24 플레임의 이동은 상기 카테고리에 쉽게 들어올 수 있는바 그것은 기계적 슈터에 의한 적분시간이 비교적 짧기 때문이다. 이러한 짧은 적분 시간은 급한 모션에 대한 티브이(TV) 카메라에서 보다 일시적인 어라이싱의 높은 정도를 허용한다. 상호 플레임에 대한 플레임의 가정은 져키(jerky)가 되기 때문에 급한 모션에서 브레이크다운된다. 가정용 비디오에서 이미 알려진 플레임 레지스트레이션 오류에 대한 플레임의 실제 중요성은 높은 리뇰루션에서 나빠진다.

플레이내 코딩을 이용하는 추가 이유는 3차원 코딩개요는 표준화 되기가 더욱 어려워 진다. 50Hz 및 60Hz 파워라인 주파수가 포함될때 그러하다. 디지탈 연구인 플레임내 개요의 이용은 50Hz 및 60Hz에서 동작에 적합할 수 있거나 협상플레임율만큼 매초당 24 플레임의 움직임대 표준 버젼의 야기된 문제점없이 공간 리숄루션에 적합할 수 있다.

본 발명이 흑백에 대해 이전에 이미 기술되어 있다할지하도 코딩 색정보용 오버헤드는 휘도에 필요로하는 10 내지 15%의 비트의 배열에서 놀랄정도가 작아진다. 색에 대한 눈의 낮은 감도 때문에 대부분의 연구가 들은 RGB 공간에서 TIQ 공간 서브샘플에서, 수직 및 수평방향에서 4개의 요소 만큼의 I 및 Q 구성요소인 색이미지를 변환한 I 및 Q 구성요소의 결과는 Y(휘도)로서 간단히 코드화된다. 이 기술에서는 I 및 Q 성분 각각에 대해서 총 6.25%를 필요로 한다. 실제로, 상기 코드된 Q성분은 I 성분 보다도 작은 데이터를 필요로 한다. 이러한 등급의 칼라 코딩 기술을 사용할 때 칼라 순도에 있어서 실제적인 손실이 발생하지 않음을 알 수 있다.

실행시에 DCT 코딩 기술, 블로킹 효과는 화질에 단일의 가장 중요한 손상 요인이다. 그러나, 더 작은 사이즈의 DCT 가 사용될때 상기 블로킹 효과는 감소될 수 있음을 알 수 있다. 상기 블로킹 효과는 2 × 2 DCT 가 사용될 때 실제로 가시화 된다. 그러나, 작은 사이즈의 DCT 를 사용할 때, 픽셀당 비트 수행 능력이 어느정도 손상된다. 그러나, 작은 사이즈의 DCT 는 비교적 블랭크 영역을 분리시키는 가장 주변의 예리한 에지를 조장한다. 예리한 에지는 모든 주파수에서 주요 성분을 갖는 스텝 신호에 해당한다. 양자화될 때, 일부 낮은 에너지 계수는 제로로 잘린다. 이러한 양자화 오류는 상기 블록 전체에 망라된다. 이 효과는 깁스(Gibbs) 현상의 2차원 등적, 즉, 일부 고주파 성분이 재생공정에서 제거될 때 스텝 펄스 신호의 주변에 존재하는 링잉과 유사하다. 인접 블록이 유사한 양자화 오류를 나타내지 않을 때, 이러한 형태의 오류를 갖는 블록은 블록킹 효과를 나타내게 되고 상기 효과를 발생한다. 그러므로, 더 작은 DCT 블록 사이즈를 사용하므로 양자화 오류는 에지 근방의 영역에 제한되게 된다. 왜냐하면 상기 오류가 블록의 바깥으로 전파되어 나갈 수 없기 때문이다. 그러므로, 비지영역의 에지에서와 같은 더 작은 DCT 블록 사이즈를 사용하므로, 상기 오류는 에지를 따르는 영역으로 한정된다. 더욱이, 작은 DCT 블록 사이즈를 사용하므로 비지 영역 근방의 잡음을 눈으로 보기에 숨기는 공간 마스킹 현상으로 인해서 이미지의 질이 향상된다.

본 발명에서 수행되는 블록 사이즈 적응형 DCT 기법은 단순히 '비교 및 대치'기법이라고 설명될 수 있다. 16 × 16 픽셀 데이터 어레이 또는 이미지 블록은 고정된 블록 사이즈 DCT 기술에서와 같이 코드화되지만, 16 × 16, 8 × 8, 4 × 2 및 2 × 2블록 사이즈가 사용된다. 각각의 4 × 4 블록에 대해서 4

× 4 블록 내의 4개의 2 × 2 서브블록을 사용하므로 블록을 코드화 하기 위한 비트수가 검사된다. 4개의 2 × 2 서브블록의 합이 4 × 4 블록으로서 코드화하기 위해 필요한 비트보다 작으면, 4 × 4 블록은 4개의 2 × 2서브블록으로 대치된다. 다음에, 각각의 8 × 8 블록은 전단에서 최적화되는 4개의 4 × 4 서브블록에 의해 대치 차례로 될 수 있는지를 결정하기위해 시험된다. 비슷하게, 16 × 16 블록은, 전단에서 최적화된 4개의 8 × 8 서브블록으로 대치될 수 있는지를 결정하기위해 시험된다. 각각의 단에서 최적의 블록/서브블록 사이즈가 선택되어 결과로서 나타나는 블록 사이즈 지정이 16 ×16 블록에 대해 최적화 된다.

블록 사이즈에 관계없이 DC 계수를 코드화하기 위해서 8비트가 사용되므로, 작은 블록을 사용하는 것은 더 큰 비트 계수를 야기시킨다. 이러한 이유로, 2 × 2 블록은 그 사용이 비트 계수를 낮출 수 있을 때에만 사용된다. 결과로서 나타나는 서브블록 구조는 반전된 쿼드트리(2진 트리에 반대되는 것으로서)로 편리하게 디스플레이될 수 있으며, 여기서 각 노드의 16 × 16 블록에 상응하는 루트는 4개의 서브블록에 상응하는 4개의 가능한 브랜치를 갖는다. 가능한 반전 쿼드트리의 일예가 제3b도에 도시된다.

하나의 블록을 더 작은 서브블록으로 대치하기 위한 각각의 결정에는 전체 값으로서 하나의 정보 비트를 필요로 한다. 4 × 4 및 2 × 2 서브블록이 16 × 16블록내 어느곳에서나 사용될 때 이 전체 값은 16 × 16 블록에 대한 일 비트에서 21 비트(1+4+16)범위에 있게된다. 이러한 전체값은, 적응 블록 사이즈 DCT가 각각의 16 × 16 블록을 코드화하기 위해 최소의 비트수를 사용하도록 결정 프로세스로 사용될 수 있다.

여기서 논의된 블록의 사이즈가 N × N 일지라도, 여러 블록 사이즈가 사용될 수 있음을 알 수 있다. 예를 들어 N 및 M 이 정수이고 M이 N 보다 크거나 작을 때 N × M 블록 사이즈가 이용될 수 잇다. 또다른 주요 부면은 블록이 적어도 하나의 서브블록 레벨로, 이를 테면 Ni ×N/i, N/i × N/j, N/i × M/j 등으로 분할되며, 여기서, i 및 j는 정수이다. 이에 더해서, 여기에 논의된 예시된 블록 사이즈는 상응하는 DCT 계수의 블록 및 서브블록을 갖는 16 × 16 픽셀 블록이다. 우수 또한 기수 정수값과 같은 여러 다른 정수가 예를 들면 9 × 9가 사용된다는 것을 알 수 있다.

쿼드트리(quadtree)에 대한 이 전체값 비트의 중요성으로 인해, 이 비트는 채널 오류에 대해 특히 잘 보호될 필요가 있다. 이러한 중요 비트에 대해 특별한 오류 교정 코딩을 제공하거나 오류 회복 메카니즘을 제공하여 채널 오류의 효과가 작은 이미지의 영역에 제한된다.

본 발명의 적응 블록 사이즈 DCT 압축은 내부프레임 코딩 기술로 분류 될 수 있는데, 여기서 이미지 순서의 각 프레임은 독립적으로 인코드 된다. 따라서, 단일 프레임 정지 이미지는 수정없이 쉽게 인코드될 수 있다. 상기 입력 이미지 프레임은, 각 블록에 대해 수행되는 인코딩을 갖는 16 × 16 픽셀 데이터 블록의 수로 분할된다. 본 발명의 압축형태의 주요 특징은, 16 × 16블록이 서브블록으로 채택하여 분할되는데 여러 사이즈에서 결과로서 일어 나는 서브블록은 DCT 프로세스를 사용하여 인코드된다. 국부 이미지 특성에 기초하여 블록을 적당히 선택하므로, 상당량의 양자화 오류가 작은 서브블록으로 제한될 수 있다. 따라서 작은 서브블록은 이미지의 비지영역을 따라서 블랭크 영역에서보다 낮은 잡음의 지작 가시성으로 자연히 정렬한다.

종합하면, 종래의 또는 고정된 블록 사이즈 DCT 코딩은 고정된 비트수를 각 블록에 지정하여 어떤 양자화 잡음도 상기 블록내에 제한되어 그안에 분배된다. 인접 블록 사이의 잡음의 강도 또는 특성이 다를 때, 블록 사이의 경계는 블로킹 아티팩트(blocking arifact)로서 공지된 효과로 가시화된다. 씬(scene) 적응형 DCT 코딩은 가변 비트수를 각각의 블록에 지정하여 고정된 사이즈의 블록 사이의 잡음을 이동시킨다. 그러나, 블록 사이즈는 보통 16 × 16으로서 충분히 크며, 따라서 일부 블록은 이미지의 블랭크부 및 비지부를 포함한다. 더욱이 상기 블로킹 아티팩트은 라인 및 에지와 같은 이미지 세부점을 따라 가시화된다. 8 × 8 또는 4 × 4와 같은 더 작은 블록 사이즈를 사용하므로 블로킹 아티팩트를 감소시킬 수 있는데, 더 높은 데이터 속도로 감소시킬 수 있다. 결국 DCT 의 코딩 효율은 블록사이즈가 더 작아짐에 따라 떨어진다.

본 발명은 블록 사이즈를 최적으로 선택하는 블록 사이즈 적응형 DCT 기술을 사용하여 더 작은 블록이 필요할 때에만 사용된다. 결국, 상기 인위적 장애물은 데이터 속도를 증가시키지 않고도 상당히 감소된다. 블록 사이즈 지정을 결정하는 여러 다른 방법이 고안될 수 있다 할지라도, 예시된 실시예가 제공되는데, 여기서 상기 실시예는 블록 사이즈를 지정하는데 그에 따라 각각의 블록에 대해 발생된 총 비트수는 최소화 된다.

제1도 및 2도는 N × N 픽셀 데이터 블록을 전체 비트로 코드화된 데이터로 변환하기 위한 블록사이즈-적응형 DCT 변환 이미지신호 압축기법에 관한 예시적인 구현예를 도시하고 있다. 예로서 N=16 일때에 대해서 설명되어 진다. 제1도는 DCT 변환 및 블록 사이즈 결정 요소의 구현을 예시한다. 제2도는 복합 DCT 계수 데이터 블록 비트 코딩과 함께 블록 사이즈 결정에 따른 DCT 계수 데이터 블록 선택을 예시한다.

제1도에서, 하나의 16 × 16 블록으로된 디지털화된 픽셀 데이터로 표현되는 이미지 신호가 프레임 버퍼(도시되지 않음)로부터 수신된다. 상기 픽셀 데이터는 8비트 흑백 이미지 데이터이거나 24 비트 칼라 이미지 데이터가 될 수 있다. 이러한 16 × 16 픽셀 블록은 하나의 16 × 16 2차원 이산형 코사인 변환(DCT) 소자(10a)에 대한 입력이 된다. 또한, 16 × 16 픽셀 블록은 8 × 8 DCT 소자(10b)에 대하여는 4개의 8 × 8 픽셀 블록들로서, 4 × 4 DCT소자(10c)에 대하여는 16개의 4 × 4 픽셀 블록들로서, 그리고 2 × 2 DCT 소자(10d)에 대하여는 64개의 2 × 2픽셀 블록들로서 입력된다. 이러한 DCT 소자들(10a-10d)은 종래 기술에서 공지된 바와 같이 집적회로 형태로 구성될 수 있다.

DCT 소자(10a-10d)는, 각각의 사이즈로된 픽셀 데이터의 입력 블록들 각각에 대하여 2차원 DCT 동작을 수행한다. 예를들어, DCT 소자(10a)는 하나의 16 × 16 변환 동작을 수행하며, DCT 소자(10b)는 4개의 8 × 8 DCT 동작을 수행하며, DCT 소자(10c)는 16개의 4 × 4 DCT 동작을 수행하며, DCT 소자(10d)는 64개의 2 × 2 DCT 동작을 수행한다. 변환 계수들은 각각의 DCT 소자들(10a-10d)로부터 각 양자화 룩업 테이블(quantizer lookup table)(12a-12d)로의 출력이다.

양자화 룩업 테이블(12a-12d)은 양자화 값을 포함하는 메모리 위치를 갖는 종래의 판독전용 메모리(ROM)로 구현될 수 있다. 각 변환 계수의 값은, 상응하는 양자화된 변환 계수 값을 나타내는 출력 데이터 신호를 제공하기 위해 상응하는 메모리 위치를 어드레스하는데 사용된다. 기준신호(QC16)로 표시되는 양자화 룩업 테이블(12a)의 출력은 양자화된 DCT 계수값들에 관한 하나의 16 × 16블록이다. 기준신호(QC8)로 표시되는 양자화 룩업 테이블(12b)의 출력은 양자화된 DCT 계수 값들에 관한 4개의 8 × 8 서브블록들로된 하나의 데이터 블록으로 구성된다. 기준신호 (QC4)로 표시되는 양자화 룩업 테이블(12c)의 출력은 양자화된 DCT 계수 값들에 관한 16개의 4 × 4 서브블록들로된 하나의 데이터 블록으로 구성된다. 마지막으로 기준신호(QC2)로 표시되는 양자화 룩업 테이블(12d)의 출력은 양자화된 DCT 계수 값들에 관한 64개의 2 × 2 서브블록들로된 하나의 데이터 블록으로 구성된다. 예시되지는 않았지만, 각 변환의 DC(가장 낮은 주파수) 계수는 상응하는 양자화 룩업 테이블을 통하여 직접적으로가 아니라 선택적으로 분리되어 처리될 수 있다.

양자화 룩업 테이블(12a-12d)의 출력은 각각 코드 길이 룩업 테이블(14a-14d)에 대한 입력이다. 양자화된 DCT 계수 값은, 데이터율을 최소화 하기 위해서, 호프만(Huffman) 코드와 같은 가변길이 코드를 사용하여 각각 코드화된다. 코드 워드 및 상응하는 코드 길이는 코드 길이 룩업 테이블(14a-14d)의 형태로 발견된다. 양자화된 DCT 계수들(QC2,QC4,QC8,QC16) 각각은 코드 길이 테이블에서 각각의 계수를 코드화하는데 필요한 상응하는 비트수를 룩업하는데 사용된다. 코드 길이 룩업 테이블(14a-14d)은, 각각의 코드 길이 값을 포함하는 DCT 계수 어드레싱 메모리 위치를 갖는 판독전용 메모리 형태로 구현될 수 있다.

각각의 블록 또는 서브블록을 코드화하는데 요구되는 비트수는 각각의 블록 및 서브블록내 코드 길이들을 합산함으로써 결정된다. 코드 길이 룩업 테이블(14a)로부터의 256개 코드 길이 값들의 출력은, 16 × 16 블록에 대한 모든 256개 코드 길이들을 합산하는 코드 길이 합산기(16a)에 제공된다. 코드 길이 합산기(16a)로부터의 출력은 신호(CL16)로서, 이 값은 양자화된 DCT 계수의 16 × 16 블록을 코드화하는데 필요한 비트수를 나타낸다. 코드 길이 룩업 테이블(14b)로부터의 256개 코드 길이 값 출력은 코드 길이 합산기(16b)에 제공된다. 코드 길이 합산기(16b)에서 각각의 8 × 8 DCT 계수 서브블록을 코드화하는데 요구되는 비트수는 각각의 8 ×8 서브블록내 길이들을 합산함으로써 결정된다. 코드 길이 합산기(16b)의 출력은 기준 신호(CL8)로 표시되는 4개의 값인데, 각 값은 4개의 8 × 8 블록내 64개의 코드 길이의 합이다. 비슷하게, 코드 길이 합산기(16c)는, 코드길이 룩업 테이블 (14c)로부터의 출력으로 각각의 4 × 4 서브블록내 코드 길이들을 합산하기 위해서 사용된다. 코드 길이 합산기(16c)의 출력은 기준신호(CL4)에 의해 표시되는 16개의 값인데 각 값은 16개의 4 × 4 서브블록 각각에서 16개의 코드 길이들의 합이다. 코드 길이 합산기(16d)는, 코드 길이 룩업 테이블(14d)로부터의 출력으로 각각의 2 × 2 서브블록을 코드화하는데 필요한 비트수를 결정하는데 유사하게 사용된다. 코드길이 합산기(16d)는 기준신호(CL2)로 표시되는 64개의 출력값을 제공하며 각 값은 64개의 2 × 2 블록중 각각의 것에서 4개의 코드길이 합이다. 또한 상기 값들(CL8,CL4,CL2)은, 후에 설명되듯이, 블록 위치 지향 표시(position orientat ion indicia)로 식별된다. 위치 표시는 단순한 x-y 좌표 시스템으로서, 값(CL8,CL4,CL2)와 관련된 첨자(x,y)로 표시되는 위치를 갖고 있다.

블록 사이즈 할당(BSA)은 값(CL2,CL4,CL8,CL16)을 검사함으로써 결정 된다. CL2(x,y)의 4개의 인접 엔트리는 합산되며, 합은 CL4(x,y)의 상응 엔트리와 비교된다. 코드길이 합산기(16d)로부터의 CL2(x,y) 출력은 가산기(18)에 대한 입력으로2서, 상기 가산기는 4개의 인접 엔트리를 가산하고 합산 값 CL4'(x,y)을 제공한다. 예를 들어, 블록(CL2(0,0), CL(0,1), CL2(1,0), CL2(1,1))을 나타내는 값들은 값(CL4'(0,0))을 제공하기 위해 가산된다. 가산기(18)로부터의 값 출력은 값(CL4 '(x,y))으로서, 코드길이 합산기(16C)로부터의 값(CL4(x,y))와 비교되고, 이들 모두는 비교기(20)에 대한 입력이다. 비교기(20)는 가산기(18)와 코드길이 합산기(1 6C)로부터의 상응하는 입력값들을 비교하고, P 레지스터(제2도)에 대한 출력이며 멀티플렉서(22)에 대한 선택입력인 비트 값(P)을 제공한다. 제1도에 도시된 예에서, 값(CL4'(0,0))는 값(CL4(0,0))과 비교된다. 값(CL4(x,y))이 합산값(CLR'(x,y))보다 크면, 비교기(20)는 논리적 1비트 "1"을 발생하며, 이것은 P 레지스터로 들어간다. "1"비트는, DCT계수의 상응하는 4 × 4블록이 4개의 2 × 2 서브블록을 사용함으로써 더 효율적으로 코드화될 수 있음을 나타낸다. 그렇지 않으면, 논리적으로 제로 비트 "0"가 P 레지스터로 들어가는데, 이것은 4 × 4블록이 상응하는 하나의 4 × 4 블록을 사용함으로써 더 효율적으로 코드화될 수 있음을 나타낸다.

가산기(18)와 코드길이 합산기(16C)의 출력들은 멀티플렉서(22)의 데이터 입력으로도 제공된다. 비교기(20)로부터의 "1" 비트값 출력에 응답하여, 멀티플렉서(22)는 CL4'(x,y) 값이 가산기(24)로 출력되게 한다. 그러나 비교결과 비교기(20)에 의해 발생된 "0" 비트값이 나오면, 멀티플렉서(22)는 코드길이 합산기(16C)로부터의 출력(CL4(x,y))이 가산기(24)에 입력되도록 한다. 가산기(24)는, 값(CL4(x,y))과 값(CL4'(x,y))을 비교하여 선택된 데이터 입력을 합산하는데 사용된다. CL4(x,y) 및 CL4'(x,y)를 4번 비교한 결과가 가산기(24)에서 가산되어 상응하는 CL8'(x,y) 값을 발생한다. 16번의 CL4(x,y) 및 CL4'(x,y)의 값 비교시마다, 비교 결과 비트는 P 레지스터로 전송된다.

블록 사이즈 할당의 결정에서 다음 단계는 값(CL4) 및 (CL4')의 발생 및 비교에 대해서 논의된 것과 유사하다. CL8'(x,y) 출력은 코드길이 합산기(16b)로부터의 출력(CL8(x,y))과 함께 비교기(26)에 대한 입력으로서 제공된다. CL8(x,y)내 상응하는 엔트리가 합산된 값(CL8'(x,y))보다 크면, 비교기(26)는 "1"비트를 발생하는데 이것은 Q 레지스터(제2도)에 대한 출력이다. 비교기(26)의 출력은 멀티플렉서 (28)에 대한 선택 입력으로서 제공되는데 상기 멀티플렉서는 코드길이 합산기(16b) 및 가산기(24)로부터 값(CL8(x,y)) 및 (CL8'(x,y))를 수신한다. 상기 값 비트 "1" 이 비교기(26)로부터의 출력이면 CL8'(x,y) 값은 멀티플렉서(28)로부터 가산기(30)로 출력된다. 그러나, 값(CL8'(x,y))의 값(CL8(x,y))보다 크면, 비교기(26)는 "0" 비트를 발생하며 상기 "0" 비트는 Q 레지스터 및 멀티플렉서(28)의 선택 입력으로 전송된다. 따라서 값(CL8(x,y))은 멀티플렉서(28)를 통해 가산기(30)에 대한 입력이 된다. 비교기(26)의 비교결과는 Q 값으로서 Q 레지스터로 전송된다. 다시, "1" 비트는 DCT의 상응하는 8 × 8 블록에 대해서 계수가 더작은 블록 비교에 의해 최적으로 결정되므로 모든 4 × 4 블록, 모든 2 × 2 블록 또는 그것들의 조합과 같은 더 작은 블록에 의해 더 효율적으로 코드화될 수 있다. "0"비트는 DCT 계수의 상응하는

8 × 8 블록이 어떤 더 작은 블록의 조합보다 더 효율적으로 코드화됨을 나타낸다.

가산기(30)에 입력된 합산된 값은 비교기(32)에 대한 입력에 대해 출력값(CL16')으로서 제공된다. 제2 입력은, 코드길이 합산기(16a)에 의해 출력되는 값(CL16)로서 비교기(32)에 제공된다. 비교기(32)는 값들(CL16,CL'16)에 대한 한번의 비교를 수행한다. 값(CL16)이 값(CL16')보다 크면 "1" 비트는 R 레지스터(제3도)로 들어간다. R 레지스터에 대한 "1" 비트 입력은 상기 블록이 단일 16 × 16블록으로써 보다 서브블록들을 이용하여 더 효율적으로 코드화될 수 있다는 것을 의미하며, 값(CL16') 이 값(CL16) 보다 크면, 비교기(32)는 "0" 비트를 R 레지스터에 출력시킨다. R 레지스터의 "0" 비트는 PCT 계수의 블록이 16 × 16 블록으로서 더 효율적으로 코드화될 수 있음을 나타낸다.

비교기(32)는, 멀티플렉서(34)에 대한 선택입력으로서 출력 R 비트를 제공한다. 멀티플렉서(34)는 코드길이 합산기(16a) 및 가산기(30)로부터 제공된 CL16 및 CL16' 값들을 수신하기 위한 입력을 갖는다. R 출력비트가 "0"이면 멀티플렉서(34)로부터의 출력은 값(CL16)이지만, R 출력비트가 "1"이면 값(CL16')이 출력된다. 멀티플렉서(34)의 출력은 총비트가 전송됨을 나타낼 수 있는 값이다.

4 × 4 및 2 × 2 블록이 16 × 16 블록내의 어디에서나 사용된다면, 오버헤드 비트는 1비트에서 21비트(1+4+16)까지 변동한다는 것을 알 수 있다.

제2도에서, 비교기(20)(제1도)로부터의 P 값 출력은 16 비트 레지스터, P 레지스터(40)에 직렬로 입력된다. 이와 유사하게, 비교기(26)로부터의 출력은 4비트 레지스터, Q 레지스터(42)에 직렬로 입력된다. 마지막으로, 비교기(32)로부터의 출력은 1비트 레지스터인 R 레지스터(44)에 직렬로 입력된다. 하나의 P 출력으로서의 P 레지스터(40)로부터의 출력이 멀티플렉서(46)의 선택입력으로 제공된다. 멀티플렉서(46)는, 양자화 룩업 테이블(12b,12c) 각각으로부터 출력된 QC2 및 QC4를 입력으로 갖는다. 멀티플렉서(46)의 출력은 멀티플렉서(48)에 대한 입력으로서 제공되며, 이 멀티플렉서(48)는 양자화 룩업 테이블(12b)로부터의 출력인 QC8 값을 제2입력으로 갖는다. 멀티플렉서(48)에 대한 선택입력은 Q 레지스터(42)의 출력으로부터 제공된다. 멀티플렉서(48)의 출력은 멀티플렉서(50)에 대한 한 입력으로서 결합된다. 멀티플렉서(50)의 다른 입력은 값(QC16)을 수신하기 위해 양자화기 룩업 테이블(12a)의 출력에 결합된다. 멀티플렉서(50)의 선택입력은, R 레지스터(44)의 출력에 결합되어, 그 출력비트 R을 수신한다.

제2도에 도시된 바와 같이, P 레지스터(40)는 일련의 비트 위치들(0-15)을 구비하는데, 이들은 제1도와 관련하여 설명된 바와 같이 비교 과정을 통하여 결정된 상응하는 비트값들을 갖는다. 이와 유사하게, Q 레지스터(42) 및 R 레지스터(44)는, 제1도와 관련하여 설명된 바와 같은 상응하는 데이터들을 갖는 비트 위치(0-3 및 0)를 갖게 된다. 제2도에 도시된 바와 같은 P, Q 및 R 레지스터 내의 데이터는 단순히 예시를 위한 것이다.

제2도에 도시된 바와 같이, P 레지스터(40)의 값은, 멀티플렉서(46)를 통해서 QC2 데이터(양자화된 변환 계수에 관한 4개의 2 × 2블록) 또는 상응하는 QC4 데이터(양자화된 변환 계수에 관한 4 × 4블록)을 선택하는데 사용된다. Q 레지스터(42)로부터 출력된 비트의 값에 응답하여, 멀티플렉서(48)는 멀티플렉서(46)의 출력과 값 QC8 데이터 사이에서 선택을 수행한다. Q 레지스터 비트 값이 "1"일 때, 멀티플렉서(48)에 대한 입력인 멀티플렉서(46)의 출력이 멀티플렉서(48)의 출력으로써 선택된다. 또한, Q 레지스터 비트값이 "0"일 때, 멀티플렉서(48)의 출력은 QC 8 값이다. 그러므로, Q 레지스터(42)의 출력 비트 값은, 멀티플렉서(46)로부터의 출력인 4개의 QC4 블록 또는 QC2 값의 서브블록들이거나 또는 상응하는 하나의 8 × 8 블록 사이에서 선택하기 위해 사용된다. 제2도에 도시된 바와 같이, 멀티플렉서(46)로부터의 출력으로서 네개의 블록들 중 상부 좌측 블록은 세개의 인접 4 × 4 블록과 네개의 2 × 2 블록을 포함한다. 그러나 Q 레지스터의 비트가 "0" 비트일 때에는, 멀티플렉서(48)는 출력으로서 8 × 8 블록을 선택한다. 이 예는 조건부 대치 기법을 설명하고 있다.

멀티플렉서(48)의 출력은 멀티플렉서(50)에 대한 입력으로서 결합된다. 멀티플렉서(50)의 다른 입력에는 QC16 데이터가 제공되며, 상기 데이터는 양자화 룩업 테이블(12a)로부터 제공된 양자화된 DCT 계수들에 관한 16 × 16 블록이다. 멀티플렉서(50)에 대한 선택 입력은 R 레지스터의 출력 비트이다. 제2도에 예시된 예에서, R 레지스터(44)로부터의 비트 출력은 "1"이므로, 멀티플렉서(50)는 출력으로써 멀티플렉서(48)로부터 제공된 데이터를 선택한다. 그러나, R 레지스터(44) 출력비트 값이 "0"이었다면, 멀티플렉서(50)는 QC16 데이터를 출력시켰을 것이다.

제2도에 도시된 바와 같은 멀티플렉싱 기법은 계수 서브블록(QC2,QC4,QC8,Q C16) 값을 DCT 계수들(QC)의 복합 블록으로 멀티플렉서 시키기 위해 블록지정을 이용하고 있다. 본질적으로 이 단계는 세 개의 단계들로 수행된다. 제1단계에서는 P 레지스터의 내용에 따라 QC4의 4 × 4블록을 네개의 2 × 2 서브블록과 조건부 대치한다. 제2단계에서는 Q 레지스터의 내용에 따라 QC 8의 8 × 8 블록을 전 단계의 결과인 네개의 4 × 4 서브블록들로 조건부 대치한다. 제3단계에서는 R 레지스터가 "1" 비트일 때 QC16의 16 × 16블록을 전 단계의 결과와 대치한다.

제3a도 및 제3b도는 각각 P, Q 및 R레지스터 데이터와 BSA 비트 패턴, 그리고 그에 관한여 전환된 쿼드트리(quadtree)를 예시한다. 관련된 체계 레벨은, R 레지스터에 저장된 비트가 "1" 이면 이미지 블록이 더 작은 블록들을 사용함으로서 더 효율적으로 코드화됨을 나타내는 상태가 존재한다는 것을 보여준다. 이와 유사하게, Q 레지스터가 어떤 "1" 비트를 포함하면, 그것은 또한 8 × 8블록이 더 작은 블록에 의해 더 효율적으로 코트화될 수 있음을 나타낸다. 또한, P 레지스터가 어떤 "1" 비트를 포함하면 그것은 4 × 4 블록이 4개의 2 × 2 블록을 사용하여 더 효율적으로 코드화될 수 있음을 나타낸다. 레지스터 중 어느것이 "0" 비트를 포함하면, 이것은 블록 또는 서브블록이 그와 관련된 사이즈 블록을 사용하므로 더 효율적으로 코드화될 수 있음을 나타낸다. 예컨대, P 레지스터 비트 0 위치에서의 비트값 "1"은 상기 4 × 4 블록이 네 개의 2 × 2 블록을 이용하여 더욱 효과적으로 코드화될 수 있는 것을 지시하며, Q 레지스터 비트 0위치에서의 비트 값 "0"은 네 개의 4 × 4 블록이 단일 8 × 8 블록에 의해 더욱 효과적으로 코드화 될 수 있다는 것을 지시한다. 따라서 상기 Q 레지스터 데이터는 P 레지스터 데이터를 무시한다. 일단 P 레지스터 데이터가 Q 레지스터 0 위치 비트에 의해 무시될 때 P 레지스터 위치 0-3은 블록 사이즈 할당(BSA) 데이터의 부분으로서 전송될 필요가 없다. 그러나 Q 레지스터의 비트위치 1와 같은 더 높

은 레지스터에서의 비트 위치의 값이 "1"이면, 상응하는 P 레지스터 비트는 블록 사이즈할당 데이터의 일부로서 제공된다. 제3a도에 도시된 바와 같이 Q 레지스터 비트 위치 1은 "1"비트이고, 따라서 상응 P 레지스터 비트 4-7는 블록 사이즈할당(BSA) 데이터에 제공된다. 더 높은 레벨에서, R 레지스터 비트가 "1" 비트이기 때문에 각 Q 레지스터 비트는 블록 사이즈할당(BSA) 데이터에 제공된다.

제2도로 다시 돌아가서, 복합 블록(QC)는 런-렝쓰(run-length)코드들에 의해 더욱 효과적으로 코드화될 수 있는 많은 영(0) 계수 값들을 포함한다. 연속한 영(0)들 즉, 런(run)의 수는 각 영(0)에 대한 코드 워드 대신에 전송된다. 런-렝쓰의 이점을 최대한 이용하기 위해, 계수들은 짧은 런의 발생이 최소화되도록 소정의 방법으로 배열된다. 상기의 최소화 방법은, 우선 영이 될것 같은 계수를 먼저 코드화하고 그 후 영이 될것같은 계수를 코드화한다. 저주파수쪽으로의 DCT 에너지의 밀집 특성때문에 그리고 대각선 디테일(detail)이 수직 또는 수평 디테일 보다 더 적게 발생하기 때문에, 계수의 대각 스캔(diagonal scan) 또는 지그-재그 스캔(zig-zag scan)이 실행된다. 그러나, 이용된 가변 블록 사이즈때문에 지그-재그 스캔는 우선 각 서브블록에서 저주파수 성분을 선정하도록 수정되야만 하지만, 두 개의 주파수 표시들의 합산이 같을 때에는 동시에 같은 주파수의 계수들에 대한 대각 스캔을 동시에 하게 된다.

따라서, 멀티플렉서(50)로부터의 출력 복합 블록(QC)은 BSA 데이터(P, Q 및 R)를 따라 지그-재그 스캔 직렬화기(serializer)(52)에 입력된다. 제4a도는 블록 및 상응하는 서브블록 내의 블록 데이터의 지그-재그 배열을 도시한다. 제4b도는 BSA 데이터에 의해 결정된 대로 블록과 서브블록간의 직렬화(serialization)를 도시한다.

복합 블록(QC)의 배열된 256개 양자화된 DCT 계수로 구성된 지그-재그 스캔 직렬화기(52)의 출력은 계수 버퍼(54)에 입력되며, 이들은 런-렝쓰 코딩을 위하여 저장된다. 직렬화된 계수는 계수버퍼(54)에서 런-렝쓰 코더(56)로 출력되고, 여기에서 0이 아닌 계수에서 0들을 분리해내기 위하여 런-렝쓰 코딩이 수행된다. 런-렝쓰와 0이 아닌 계수 값은 상응하는 룩업 테이블에 별도로 제공된다. 런-렝쓰 값들은 런-렝쓰 코드 룩업 테이블(58)의 입력으로서 런-렝쓰 코더(56)에서 출력되며, 여기에서 상기 값이 호프만 코드화된다. 동시에 0 아닌 계수값들은 0 아닌 코드 룩업 테이블(60)의 입력으로서 런-렝쓰 코더(56)에서 출력되며, 여기에서 상기 값이 호프만 코드화된다. 명시되지는 않았어도, 런-렝쓰 및 0 아닌 코드 룩업 테이블이 각 블록 사이즈에 제공되는 것도 계획될 수 있다.

호프만 런-렝쓰 코드화 값 및 호프만 0 아닌 코드화 값은, 비트 필드 결합기(62)의 입력으로서, 런-렝쓰 코드 룩업 테이블(58) 및 0 아닌 코드 룩업 테이블(60)에서 각각 출력된다. 비트 필드 결합기(62)의 추가입력은 P, Q 및 R 레지스터로부터의 BSA 데이터이다. 비트 필드 결합기(62)는 P, Q 및 R 레지스터에서 제공된 불필요한 비트를 무시한다. 비드 필드 결합기(62)는 BSA 데이터, 그리고 그 다음에, 결합된 RL 코드 및 NZ 코드와 입력 데이터를 결합한다. 결합된 데이터는 비트필드결합기(62)로부터, 전송기(도시않음)로의 전송 데이터를 일시적으로 저장하는, 전송버퍼(64)로 출력된다.

제5a도 내지 제5d도는 지그-재그 스캔 직렬화기(52)에 대한 직렬화포맷 및 교번 스캔을 도시한다. 제5a도 내지 제5d도에서 양자화된 DCT 계수는 저주파수에서 고주파수로 배열함에 의해 일차원 스트링으로 맵핑된다. 그러나 제5a도 내지 제 5d도에 도시된 개략도에서 더 낮은 차수의 주파수가 각 블록에서 취해지는데, 이는 그 블록에서 그 다음으로 높은 차수의 주파수를 취하기에 앞서 행해진다. 이전의 스캔 동작 동안, 한 블록 내의 모든 계수들이 정렬되면, 상기 블록은 주어진 우선순위(priority)를 가지고 스캔패턴에서의 다음 블록으로 넘어간다. 제4a도 내지 제4c도에서의 스캔에서와 같은 블록-블록 스캔은 좌측에서 우측으로, 상단에서 하단으로서의 우선순위를 갖는 것이다.

제6도는 제1도 및 제2도의 변수에 따라 발생된 압축 이미지 신호를 디코딩하기 위한 수신기의 구현예를 도시하고 있다. 제6도에서 코드화 워드는 수신기(도시되지 않음)에서 수신버퍼(100)로 출력된다. 수신버퍼(100)는 블록 사이즈할당(BSA) 분리기(102)에 대한 코드워드 출력을 제공한다. 수신된 코드워드는 그 본질상 블록 사이즈할당(BSA), RL 코드 및 NZ 코드를 포함한다. 모두 수신된 코드워드는 상기의 조건들을 따르므로, 코드워드를 분리하고 디코드하는 데에는 각 코드워드의 길이를 몰라도 된다.

블록 사이즈할당(BSA) 분리기(102)는 RL 및 NZ 코드에서 블록 사이즈할당(BS A) 코드를 분리하는데, 그것은 블록 사이즈할당(BSA) 코드가 RL 및 NZ 코드보다 먼저 전송 및 수신되기 때문이다. 먼저, 수신된 비트는 제2도의 레지스터와 같은 내부 R 레지스터(도시 안됨)에서 로드된다. R 레지스터의 검사는 비트가 "0" 이라면 블록 사이즈할당(BSA) 코드는 단지 하나의 긴 비트로 결정된다. 블록 사이즈할당(BSA) 분리기(102)는 처음에 0으로 채워진 Q 및 P 레지스터를 포함한다. R 레지스터가 "1" 비트를 포함한다면 네 개의 비트가 더 수신 버퍼에서 취해지고 Q 레지스터에 로드된다. 지금 Q 레지스터에서 모든 "1" 비트에 대하여, 네 개의 비트가 수신버퍼에서 더 취해지며 P 레지스터로 로드된다. Q 레지스터에서 모든 "0" 에 대하여는, 수신버퍼에서 취해지는 것은 아무것도 없으나, 4개의 "0" 이 P 레지스터로 로드된다. 따라서 블록 사이즈할당(BSA) 코드의 가능한 길이는 1, 5, 9, 13, 17 및 21 비트이다. 디코드된 블록 사이즈할당(BSA) 데이터는 블록 사이즈할당(BSA) 분리기(102)로부터의 출력이다.

블록 사이즈할당(BSA) 분리기(102)는 RL 코드와 NZ 코드를 분리하며, RL 디코드 룩업 테이블(104)와 NZ 디코드 룩업 테이블(106)로 각각 출력한다. 룩업 테이블들(104 및 106)은 제2도의 룩업 테이블(58 및 60)에 대한 반대의 룩업 테이블이다. 룩업 테이블(104)의 출력은 런-렝쓰에 상응하는 값이며 런-렝쓰 디코더(108)로 입력된다. 동시에 룩업 테이블(106)에서의 출력인 0 아닌 계수 값도 런-렝쓰 디코더(108)로 입력된다. 런-렝쓰 디코더(108)는 디코드된 계수들에 0을 삽입하며 계수들을 일시적으로 저장하는 계수 버퍼(110)에 대한 출력으로써 제공한다. 상기 저장된 계수들은 사용되었던 스캔 기법에 따라 계수들을 배열하는 역(inverse) 지그-재그 스캔 직렬화기(112)로 출력된다. 역 지그-재그 스캔 직렬화기(112)는, 블록 및 서브블록 계수들을 복합계수블록으로 적절하게 배열하기 위해, 분리기(102)에서 블록 사이즈 할당(BSA) 신호를 수신한다. 계수 데이터 블록은 역 지그-재그스캔 직렬화기(112)에서 출력되며, 각각 상응하는 역 양자화 룩업 테이블(114a 내지 114d)로 인가된다. 역 양자화 값은 역 양자화를 실행하도록 각 계수에 인가된다. 역 양자화룩업 테이블(114a 내지 114d)은 ROM 장치로 구현될 수 있고, 이는 양자화 룩업 테이블(12a 내지 12d)에 관한 ROM으로부터의 양자화 인자들을 포함한다. 상기 계수는 역 양자화 룩업

테이블(114a 내지 114d)의 각각으로부터 상응하는 역 이산 코사인 변환(IDCT) 요소들(116a 내지 116d)로 출력된다.

IDCT 요소(116a)는, 16×16 역 이산 코사인 변환 계수 블록이 만일 존재한다면, 그로부터 16×16 픽셀 데이터 블록을 형성하고, 이는 후에 서브블록 결합기(118)로 출력된다. 이와 유사하게, DCT(116b)는, 만약 존재한다면, 계수들의 8×8 블록을 8×8 픽셀 데이터 블록으로 각각 변환된다. 역 이산 코사인 변환 요소(116b)의 출력은 서브블록 결합기(118)로 제공된다. 역 이산 코사인 변환(IDCT) 요소들(116a와 116d)은 4×4 및 2×2 계수블록을, 만일 존재한다면, 각각 서브블록 결합기(118)에 제공될 상응하는 픽셀 데이터 블록으로 변환한다. 서브블록 결합기(118)는, 역 이산 코사인 변환요소(116a 내지 116d)로부터의 출력을 수신하는 외에도, 픽셀 데이터 블록들을 하나의 16×16 픽셀 블록으로 재구성하기 위해 분리기(102)로부터의 BSA 데이터를 수신한다. 재구성된 16×16 픽셀 블록은 재구축된 버퍼(도시되지 않음)로 출력된다.

제7도는 본 발명의 신호 압축에 대한 플로우차트를 도시한다. 제7도는 제1도에 의해 기재된 방법에 포함된 단계들을 간단히 설명한다. 동시에 제8도는 출력이 픽셀 데이터가 되도록 전송된 압축 이미지신호의 압축 해제 방법을 도시한다. 제8도에 도시된 각 단계들은 제6도에 의해 이미 설명되었다.

본 발명은 픽셀당 비트율의 큰 저하없이 상당히 개선된 이미지 품질을 제공하는 특유한 블록사이즈 적응형 처리 기법을 이용하고 있다. 약 "1" 및 그보다 상당히 적은 픽셀당 비트율은 본 발명에서 기재된 기술을 이용할 때 고선명 TV(HDTV)를 위한 실질적인 개선된 이미지 품질을 제공한다고 확신한다. 본 발명의 다양한 변경들이 본 명세서에 의해 얻어질 수 있을 것이다.

또한 본 발명은 여기에서 개시된 신규한 변환을 차분 쿼드트리 변환(Diffe rential quadtree transform(DQT))으로서 구현할 수 있다. 본 변환의 기초는 쿼드트리 서브블록 상에서 2×2 DCT의 반복적용에 있다. 예컨대, 제3b도에서 설명된 역 쿼드트리의 하부에서 2×2 DCT 동작이 실행되며 노드는 2×2 DCT 변환의 DC 값이 할당된다. 가장 가까운 노드가 모아지고 또다른 2×2 DCT가 실행된다. 상기 방법은 DC 값이 루트에 할당될 때까지 반복된다. 루트에서 DC 값만이, 통상적으로 8비트인, 고정된 비트수로 코드화되고, 나머지는 호프만 코드화된다. 각 2×2 DCT 동작은 단순히 수들의 합 및 차이기 때문에 곱셈은 필요치 않고, DC를 제외한 쿼드트리의 모든 계수들은 두 개의 합의 차를 나타내므로 DQT가 된다. 이론적으로 이런 유형의 변환은 16×16 DCT 코딩의 성능을 초과할 수 없다. 그러나 DQT 변환의 구현은, 블록 사이즈 적응형 코딩을 구현한다는 것 외에도, 필요로 되어지는 하드웨어가 간단하다는 장점을 가진다. 또한, 쿼드트리 구조는 서브트리 하의 모든 서브블록이 0만을 포함할 때 서브트리가 없음을 간단히 표시함으로써 0인 계수들의 코딩을 가능하게 한다.

바람직한 실시예에 관한 상기의 설명은 당업자들이 본 발명을 용이하게 실시하거나 이용할 수 있도록 기술되고 있다. 이러한 실시예의 다양한 변형은 당업자들에게는 용이하고 명백한 것이며, 여기에서 정의된 일반원리는 발명적 노력을 들이지 아니하고도 다른 실시예에 적용될 수 있다. 따라서, 본 발명의 범위는 여기 예시된 실시예에 한정되지는 않으며, 본 명세서에 기재된 원리 및 신규한 특성과 일치하는 폭넓은 범위까지 미치게 된다.

(57) 청구의 범위

청구항 1

이미지 압축 시스템에서, 입력되는 픽셀 데이터 블록으로부터 상응하는 DCT(Discrete Cosine Transform) 데이터의 복합블록을 생성하기 위한 서브시스템에 있어서, -i) 입력되는 픽셀 데이터 블록을 수신하며, ii) 상기 픽셀 데이터 블록 및 그 일부를 이루는 적어도 하나의 미리결정된 레벨의 서브블록에 대하여 DCT 동작을 실행하며, iii) 그리고 상응하는 DCT 계수값들의 블록 및 서브블록들을 제공하는 변환 수단; -i) 상기 DCT 계수값들의 블록과 각 서브블록을 수신하며, ii) DCT 계수값들의 상기 각 블록 및 상응하는 서브블록들의 각 그룹에 대하여, 미리결정된 코딩 포맷에 따라 DCT 계수값들의 상기 블록 및 상응하는 서브블록들 각 그룹을 각각 코드화하는데 요구되는 비트 수에 상응하는, 비트 카운트 값을 결정하며, iii) 그리고 상기 비트 카운트 값들로부터, DCT 계수값들의 블록 및 상응하는 서브블록들의 그룹 중에서 상기 코딩 포맷에 따라 코드화하기 위하여 요구되는 비트 수가 더 적은 것들을 결정하며, 그리고 iv) 상응하는 선택값을 제공하는 블록 사이즈 할당 수단; 그리고 - i) 상기 선택 값 및 DCT 계수값들의 블록 및 각 서브블록을 수신하며, ii) DCT 계수값들의 블록 및 서브블록들 중에서, 상기 선택값에 상응하는 것들을 선택하며, iii) DCT 계수값들의 블록 및 서브블록들 중에서 상기 선택된 것들로부터 형성된 상응하는 DCT 계수값들의 복합블록의 출력을 제공하는 선택 수단을 포함하는 것을 특징으로 하는 DCT 복합블록 생성 서브시스템.

청구항 2

제1항에 있어서, i) 상기 변환 수단, 상기 블록 사이즈 할당 수단, 및 상기 선택 수단 사이에 연결되며, ii) DCT 계수값의 상기 블록 및 서브블록들을 수신하며, iii) 각 DCT 계수값을 양자화하며, 그리고 iv) 상응하는 DCT 계수값을 대신하여 상기 양자화된 DCT 계수값을 상기 블록 사이즈 할당 수단 및 상기 선택 수단에 제공하는 양자화 수단을 더 포함하는 것을 특징으로 하는 DCT 복합블록 생성 서브시스템.

청구항 3

이미지 신호 압축 시스템에 있어서, - i) 입력되는 픽셀 데이터의 블록을 수신하며, ii) 상기 픽셀 데이터의 블록 및 그 일부이며 적어도 하나의 미리결정된 레벨의 서브블록에 대하여 DCT 동작을 실행하며, iii) 그리고 DCT 계수값들의 상응하는 블록 및 서브블록을 제공하는 변환 수단; - i) 상기 DCT 계수값들의 블록 및 각 서브블록을 수신하며, ii) 상기 DCT 계수값들의 블록 및 상응하는 서브블록들의 각 그룹에 대하여, 미리결정된 코딩 포맷에 따라 DCT 계수값들의 상기 블록 및 상응하는 서브블록들 각 그룹을 각각 코드화하는데 요구되는 비트 수에 상응하는, 비트 카운트 값을 결정하며, iii) 그리고 상기 비트

카운트 값들로부터, DCT 계수값들의 블록 및 상응하는 서브블록들의 그룹 중에서 상기 코딩 포맷에 따라 코드화하기 위하여 요구되는 비트 수가 더 적은 것들을 결정하며, iv) 상응하는 선택값을 제공하는 블록 사이즈 할당 수단; 및 - i) 상기 선택값 그리고, DCT 계수값들의 블록 및 각 서브블록을 수신하며, ii) DCT 계수값들의 블록 및 서브블록들 중에서, 상기 선택값에 상응하는 것들을 선택하며, iii) DCT 계수값들의 블록 및 서브블록들 중에서 상기 선택된 것들로부터 형성된 상응하는 DCT 계수값들의 복합블록의 출력을 제공하는 선택 수단; - i) DCT 계수값들의 상기 복합블록을 수신하며, ii) 미리결정된 정렬 포맷에 따라 상기 DCT 계수값들의 상기 복합블록을 정렬하며, iii) 그리고 정렬된 DCT 계수값들의 상응하는 출력을 제공하는 정렬 수단; - i) 상기 정렬된 DCT 계수값들을 수신하며, ii) 상기 미리결정된 코딩 포맷에 따라 상기 정렬된 DCT 계수값들을 코딩하며, iii) 그리고 상응하는 코드화된 값들을 제공하는 인코더 수단; 그리고 - i) 상기 선택값과 상기 코드화된 값을 수신하며, ii) 상기 선택값과 상기 코드화된 값을 결합하여, 상기 픽셀 데이터의 입력 블록의 비트 카운트에 대해 감소된 비트 카운트의 상기 코드화된 이미지 값을 갖는 상기 픽셀 데이터의 입력 블록을 나타내는 코드화된 이미지 값을 구하며 iii) 그리고 상기 코드화된 이미지 값을 출력으로 제공하는 어셈블리 수단을 포함하는 것을 특징으로 하는 이미지 신호 압축시스템.

청구항 4

제3항에 있어서, i) 상기 정렬된 DCT 계수값을 수신하며, ii) 상기 정렬된 DCT 계수값들을 런-렝쓰 코딩하며, ii) 그리고 상기 미리결정된 코딩 포맷에 따라 코딩하기 위하여, 상응하는 0 아닌 계수값들 및 런-렝쓰 값들의 출력을 상기 인코더 수단에 제공하는 런-렝쓰 코더 수단을 더 포함하는 것을 특징으로 하는 이미지 신호 압축시스템.

청구항 5

픽셀 데이터 블록에 상응하는 이미지 신호를 압축하기 위한 방법에 있어서, - 다양한 레벨의 구성 서브블록들로 분할 가능한 픽셀 데이터 블록을 제공하는 단계; - 픽셀 데이터의 상기 블록에 대하여 DCT 동작을 수행하여, 상응하는 DCT(Disc rete Cosine Transform) 계수들의 블록을 제공하는 단계; - 픽셀 데이터 서브블록들의 적어도 한 레벨에서 픽셀 데이터의 각 서브블록에 대하여 DCT 동작을 수행하여, DCT 계수들의 상응하는 서브블록들을 제공하는 단계; - DCT 계수값들의 각 블록 및 상응하는 서브블록들의 그룹에 대하여, 미리결정된 코딩 포맷에 따라 각 블록 및 상응하는 서브블록들의 그룹을 코드화하는데 요구되는 비트 수에 상응하는, 비트 카운트 값을 결정하는 단계; - 상기 비트 카운트 값들로부터, DCT 계수들의 각 블록 및 상응하는 서브블록들의 그룹을 코드화하는데 필요한 더 적은 비트 수에 상응하는 DCT 계수들의 상기 블록 및 상응하는 서브블록들의 그룹들을 결정하여, 상응하는 블록 사이즈 할당 값을 제공하는 단계; - 상기 블록 사이즈 할당 값에 따라, 더 적은 인코딩 비트 수를 가지는 DCT 계수들의 상기 블록 및 상응하는 서브블록들의 그룹들로부터, DCT 계수들의 복합블록을 어셈블링하는 단계; - 미리결정된 정렬 포맷에 따라, DCT 계수들의 상기 복합블록을 정렬하여, 정렬된 DCT 계수들의 직렬 스트링을 제공하는 단계; - 상기 미리결정된 코딩 포맷에 따라, 정렬된 DCT 계수들의 상기 스트링을 코드화하여, 세트의 코드화된 DCT 계수들을 제공하는 단계; 및 - 상기 블록 사이즈 할당 값과 상기 코드화된 DCT 계수들을 결합하여, 상기 픽셀 데이터 블록의 비트 카운트에 대해 감소된 비트 카운트를 가지며 픽셀 데이터의 상기 블록을 나타내는 코드화된 이미지 데이터를 형성하는 단계를 포함하는 것을 특징으로 하는 픽셀데이터 블록에 상응하는 이미지 신호의 압축 방법.

청구항 6

픽셀 데이터의 16×16 블록을 압축하기 위한 이미지 압축 시스템에 있어서, - 상기 픽셀데이터 블록을 수신하여 2×2 DCT 동작을 실행하며, 상응하는 64개의 DCT 계수값의 2×2 서브블록들의 블록을 제공하는 제1변환 수단; - 상기 픽셀데이터 블록을 수신하여 4×4 DCT 동작을 실행하며, 상응하는 16개의 DCT 계수값의 4×4 서브블록의 블록을 제공하는 제2변환 수단; - 상기 픽셀데이터 블록을 수신하여 8×8 DCT 동작을 실행하며, 상응하는 4개의 DCT 계수값의 8×8 서브블록들의 블록을 제공하는 제3변환 수단; - 상기 픽셀데이터 블록을 수신하여 16×16 DCT 동작을 실행하며, 상응하는 1개의 DCT 계수값의 16×16 블록을 제공하는 제4변환 수단; - 미리결정된 인코딩 포맷에 따라 각 다른 2×2 DCT 계수값을 인코드하는데 요구되는 비트 수에 각각 상응하는 비트값들을 저장하며, DCT 계수값의 2×2 서브블록 각각을 수신하고 상응하는 제1비트값 세트를 제공하기 위한 제1메모리수단; - 미리결정된 인코딩 포맷에 따라 각 다른 4×4 DCT 계수값을 인코드하는데 요구되는 비트 수에 각각 상응하는 비트값들을 저장하며, DCT 계수값의 4×4 서브블록 각각을 수신하고 상응하는 제2비트값 세트를 제공하기 위한 제2메모리수단; -미리결정된 인코딩 포맷에 따라 각 다른 8×8 DCT 계수값을 인코드하는데 요구되는 비트 수에 각각 상응하는 비트값들을 저장하며, DCT 계수값의 8×8 서브블록 각각을 수신하고 상응하는 제3비트값 세트를 제공하기 위한 제3메모리수단; - 미리결정된 인코딩 포맷에 따라 각 다른 16×16 DCT 계수값을 인코드하는데 요구되는 비트 수에 각각 상응하는 비트값들을 저장하며, 상기 DCT 계수값의 16×16 블록을 수신하고 상응하는 제4비트값 세트를 제공하기 위한 제4메모리수단; - 상기 제1비트값 세트를 수신하고, 각 DCT 계수값의 2×2 서브블록 각각에 상응하는 상기 제1비트값 세트의 비트값들을 합산하여 상응하는 제1코드길이 합산값들을 제공하는 제1코드길이 합산수단; 상기 제2비트값 세트를 수신하고, 각 DCT 계수값의 4×4 서브블록 각각에 상응하는 상기 제2비트값 세트의 비트값들을 합산하여 상응하는 제2코드길이 합산값들을 제공하는 제2코드길이 합산수단; - 상기 제3비트값 세트를 수신하고, 각 DCT 계수값의 8×8 서브블록 각각에 상응하는 상기 제3비트값 세트의 비트값들을 합산하여 상응하는 제3코드길이 합산값들을 제공하는 제3코드길이 합산수단; - 상기 제4비트값 세트를 수신하고, 각 DCT 계수값의 16×16 블록에 상응하는 상기 제4비트값 세트의 비트값들을 합산하여 상응하는 제4코드길이 합산값들을 제공하는 제4코드길이 합산수단; - 상기 제1코드길이 합산값들의 미리결정된 그룹들을 수신하여 가산하며, 상응하는 제1가산값들을 제공하는 제1가산기 수단; 각 제1가산값을 수신하여 미리결정된 상응하는 제2코드길이 합산값과 비교하며, 상응하는 제1비교값을 제공하는 제1비교기 수단; - 각 제1가산값, 각 상응하는 제2코드길이 합산값, 및 각 상응하는 제1비교값을 수신하여, 상기 제1비교값에 따라 각 제1가산값 및 상응하는 제2코드길이 합산값으로부터 선택된 제1멀티플렉서 값을 제공하는 제1멀티플렉서 수단; 각 제1비교값을 수신하여 미

리결정된 순서로 저장하는 제1레지스터 수단; - 제1멀티플렉서 값들을 미리결정된 그룹들을 수신하여 가산하며, 상응하는 제2가산값들을 제공하는 제2가산기 수단; 각 제2가산값을 수신하여 미리결정된 상응하는 제3코드길이 합산값과 비교하며, 상응하는 제2비교값을 제공하는 제2비교기 수단; 각 제2가산값, 각 상응하는 제3코드길이 합산값, 및 각 상응하는 제2비교값을 수신하여, 상기 제2비교값에 따라 각 제2가산값 및 상응하는 제3코드길이 합산값으로부터 선택된 제2멀티플렉서 값을 제공하는 제2멀티플렉서 수단; - 각 제2비교값을 수신하여 미리결정된 순서로 저장하는 제2레지스터 수단; 상기 제2멀티플레서 값들을 수신하여 가산하며, 상응하는 제3가산값을 제공하는 제3가산기 수단; - 상기 제3 가산값을 수신하여 상기 제4코드길이 합산값과 비교하며, 상응하는 제3비교값을 제공하는 제3 비교기 수단; 상기 제3비교값을 수신하여 저장하는 제3레지스터 수단; 상기 DCT 계수값의 2×2 서브블록들, 상기 DCT 계수값의 4×4 서브블록들, 및 미리 결정된 상응하는 제1레지스터 수단에 저장된 제1 비교값들을 수신하며, 상기 저장된 상응하는 제1비교값에 따라 상기 DCT 계수값의 2×2 서브블록들의 그룹들 및 상기 상응하는 DCT 계수값의 4×4 서브블록들로부터 선택된 제3멀티플렉서 값을 제공하는 제3 멀티플렉서 수단; - 각 제3멀티플레서 값, 상기 DCT 계수값의 8×8 서브블록들, 및 미리결정된 상응하는 제2레지스터 수단에 저장된 제2 비교값을 수신하며, 상기 저장된 상응하는 제2비교값에 따라 제3멀티플렉서 값 및 상응하는 상기 DCT 계수값의 8×8 서브블록들로부터 선택된 제4멀티플렉서 값을 제공하는 제4멀티플렉서 수단; - 각 제4멀티플렉서 값, 상기 DCT 계수값의 16×16 블록, 및 미리 결정된 상응하는 제3레지스터 수단에 저장된 제3 비교값을 수신하며, 상기 저장된 상응하는 제3비교값에 따라 각 제4멀티플렉서 값 및 상기 DCT 계수값의 16×16 블록으로부터 선택된 제5멀티플레서 값을 제공하는 제5멀티플레서 수단; 상기 제5멀티플레서 값, 그리고 상기 저장된 제1, 제2 및 제3비교값들 각각을 수신하며, 상기 저장된 제1, 제2 및 제3비교값들에 따라 상기 제5멀티플렉서 값의 DCT 계수값들을 정렬(ordering)하며, 상기 상응하는 정렬된 DCT 계수값들의 출력을 제공하는 직렬화기(serializer); - 상기 미리결정된 인코딩 포맷에 따라 상기 직렬화된 DCT 계수들을 수신 및 인코딩하며 상응하는 인코더 출력 값들을 제공하는 인코더 수단; 및 - 상기 미리결정된 포맷에 따라 상기 인코더 출력 값들 그리고 상기 저장된 제1, 제2, 및 제3비교값들을 수신 및 정렬하며 상응하는 어셈블러 출력 값들을 제공하는 어셈블러 수단을 포함하는 것을 특징으로 하는 이미지 압축 시스템.

청구항 7

제6항에 있어서, - 미리 결정된 제1양자화 기법에 따라 상기 DCT 계수값의 2×2 블록을 수신 및 양자화하며, 상응하는 양자화된 DCT 계수값의 2×2 블록을 상기 제1메모리 수단으로 제공하는 제1양자화기 수단; 미리결정된 제2양자화 기법에 따라 상기 DCT 계수값의 4×4블록을 수신 및 양자화하며, 상응하는 양자화된 DCT 계수값의 4×4 블록을 상기 제2메모리 수단으로 제공하는 제2양자화기 수단; - 미리결정된 제3양자화 기법에 따라 상기 DCT 계수값의 8×8 블록을 수신 및 양자화하며, 상응하는 양자화된 DCT 계수값의 8×8 블록을 상기 제3메모리 수단으로 제공하는 제3양자화기 수단; 그리고 미리결정된 제4양자화 기법에 따라 상기 DCT 계수값의 16×16 블록을 수신 및 양자화하며, 상응하는 양자화된 DCT 계수값의 16×16 블록을 상기 제4메모리 수단으로 제공하는 제4양자화기 수단을 더 포함하는 것을 특징으로 하는 이미지 압축 시스템.

청구항 8

제6항에 있어서, 상기 제1, 제2, 제3, 및 제4 변환 수단 각각은 DCT 변환 프로세서를 포함하는 것을 특징으로 하는 이미지 압축 시스템.

청구항 9

제6항에 있어서, 상기 제3가산값, 상기 제4코드길이 합산값, 및 각 상응하는 제3비교값을 수신하며, 상기 제3비교값에 따라 상기 제3합산값 및 상기 제4코드길이 합산값으로부터 선택되며 변환을 위한 인코드된 DCT 계수들의 총 비트 수를 나타내는 제3멀티플렉서 값을 제공하는 제6멀티플렉서 수단을 더 포함하는 것을 특징으로 하는 이미지 압축 시스템.

청구항 10

제6항에 있어서, 상기 직렬화된 DCT 계수값들을 수신 및 저장하며, 상기 저장된 직렬화된 DCT 계수값들을 상기 인코더 수단으로 제공하는 계수 버퍼 수단을 더 포함하는 것을 특징으로 하는 이미지 압축 시스템.

청구항 11

제6항에 있어서, 상기 인코더 수단은, - 상기 직렬화된 DCT 계수값들 수신 및 런-렝쓰 인코딩하며, 런-렝쓰 값 및 0 아닌 계수값을 제공하는 런-렝쓰 인코더 수단; - 각기 다른 런-렝쓰 값에 상응하는 미리결정된 코드값들을 저장하며, 상기 각 런-렝쓰 값들을 수신하여 상응하는 코드화된 런-렝쓰 값을 제공하는 런-렝쓰 메모리 수단; 그리고 - 각기 다른 0 아닌 계수값 각각에 상응하는 미리결정된 코드값들을 저장하며, 상기 각 0 아닌 계수값들을 수신하여 상응하는 코드화된 0 아닌 계수를 제공하기 위한 0 아닌 계수 메모리를 포함하는 것을 특징으로 하는 이미지 압축 시스템.

청구항 12

제6항에 있어서, - 상기 제1비교값은 상기 미리결정된 인코딩 포맷에 따라 상기 각 DCT 계수값의 2×2 서브블록들의 그룹 및 상응하는 DCT 계수값의 4×4 서브블록 중 인코드하는데 요구되는 비트 수가 더 적은 것을 나타내며; - 상기 제2 비교값은 상기 미리 결정된 인코딩 포맷에 따라 상기 각 DCT 계수값의 4×4 서브블록들의 그룹 및 상응하는 DCT 계수값의 8×8 서브블록 중 인코드하는데 요구되는 비트 수가 더 적은 것을 나타내며; 그리고 - 상기 제3비교값은 상기 미리결정된 인코딩 포맷에 따라 상기 각 DCT 계수값의 8×8 서브블록들의 그룹 및 상응하는 16×16 DCT 계수값 서브블록 중 인코드하는데 요구되는

비트 수가 더 적은 것을 나타내는 것을 특징으로 하는 이미지 압축 시스템.

청구항 13

이미지 압축 시스템에 있어서, i) 픽셀 데이터의 16×16 블록을 수신하여, 상기 픽셀데이터 블록에 대하여 DCT 동작을 실행하고, 상응하는 1개의 DCT 계수값의 16×16 블록을 제공하며, ii) 상기 픽셀데이터 블록에 대하여 4개의 8×8 DCT 동작을 실행하며, 상응하는 4개의 DCT 계수값의 8×8 서브블록들의 블록을 제공하며,iii) 상기 픽셀데이터 블록에 대하여 16개의 4×4 DCT 동작을 실행하며, 상응하는 16개의 DCT 계수값의 4×4 서브블록들의 블록을 제공하며, iii) 상기 픽셀데이터 블록에 대하여 64개의 2×2 DCT 동작을 실행하며, 상응하는 64개의 DCT 계수값의 2×2 서브블록들의 블록을 제공하는 변환 수단; - 상기 DCT 계수값의 16×16 블록 및 DCT 계수값들의 8×8, 4×4, 및 2×2 서브블록 각각을 수신 및 양자화하며, 상응하는 양자화된 DCT 계수값들의 16×16 블록 및 상응하는 양자화된 DCT 계수값들의 8×8, 4×4, 및 2×2 서브블록을 제공하는 양자화 수단; - i) 상기 양자화된 DCT 계수값들의 16×16 블록 및 양자화된 DCT 계수값들의 8×8, 4×4, 및 2×2 서브블록 각각을 수신하며, ii) 상기 양자화된 DCT 계수값들의 16×16 블록 및 양자화된 DCT 계수값들의 8×8, 4×4, 및 2×2 서브블록들의 상응하는 그룹들 각각에 대하여, 미리 결정된 코딩 포맷에 따라, 상기 양자화된 DCT 계수값들의 16×16 블록 및 상기 양자화된 DCT 계수값들의 8×8, 4×4, 및 2×2 서브블록들의 상응하는 그룹들을 각각 인코드하는데 요구되는 비트 수에 상응하는 비트 카운트 값을 결정하며, iii) 상기 비트 카운트 값들로부터, 상기 DCT 계수값의 16×16 블록 및 상기 양자화된 DCT 계수값들의 8×8, 4×4, 및 2×2 서브블록들의 상응하는 그룹들 중에서, 상기 코딩 포맷에 따라, 인코드하기 위하여 요구되는 비트 수가 더 작은 것들을 결정하며, iv) 상응하는 선택값을 제공하는 블록 사이즈 할당 수단; - i) 상기 선택값 및 상기 양자화된 DCT 계수값들의 16×16 블록 및 양자화된 DCT 계수값들의 8×8, 4×4, 및 2×2 각 서브블록을 수신하며, ii) 상기 양자화된 DCT 계수값들의 16×16 블록 및 양자화된 DCT 계수값들의 8×8, 4×4, 및 2×2 서브블록의 그룹들 중에서, 상기 선택값에 상응하는 것들을 선택하며, iii) 상기 양자화된 DCT 계수값들의 16×16 블록 및 양자화된 DCT 계수값들의 8×8, 4×4, 및 2×2 서브블록의 그룹들 중에서 상기 선택된 것들로부터 형성된 상응하는 양자화된 DCT 계수값들의 복합블록의 출력을 제공하는 선택 수단; - i) 상기 양자화된 DCT 계수값들의 복합블록을 수신하며, ii) 미리결정된 정렬 포맷에 따라 상기 양자화된 DCT 계수값들의 복합블록을 정렬하며, iii) 그리고 정렬된 양자화된 DCT 계수값들의 상응하는 출력을 제공하는 정렬 수단; - i) 상기 정렬된 양자화된 DCT 계수값들을 수신하며, ii) 상기 미리결정된 코딩 포맷에 따라 상기 정렬된 양자화된 DCT 계수값들을 코딩하며, iii) 그리고 상응하는 코드화된 값들을 제공하는 인코더 수단; 그리고 - i) 상기 선택값과 상기 코드화된 값들을 수신하며, ii) 상기 픽셀 데이터 블록의 비트 카운트에 대해 감소된 비트 카운트의 상기 코드화된 이미지 값을 갖는 상기 픽셀 데이터 블록을 나타내는 코드화된 이미지 값으로써, 상기 선택값과 상기 코드화된 값을 결합하며, iii) 그리고 상기 코드화된 이미지 값의 출력을 제공하는 어셈블러 수단을 포함하는 것을 특징으로 하는 이미지 신호 압축시스템.

청구항 14

제13항에 있어서, 상기 변환수단은, - 상기 픽셀데이터 블록을 수신하는 입력 및 상기 양자화 수단에 연결된 출력을 가지는 2×2 DCT 엘리먼트; 상기 픽셀데이터 블록을 수신하는 입력 및 상기 양자화 수단에 연결된 출력을 가지는 4×4 DCT 엘리먼트; - 상기 픽셀데이터 블록을 수신하는 입력 및 상기 양자화 수단에 연결된 출력을 가지는 8×8 DCT 엘리먼트; 그리고 상기 픽셀데이터 블록을 수신하는 입력 및 상기 양자화 수단에 연결된 출력을 가지는 16×16 DCT 엘리먼트를 포함하는 것을 특징으로 하는 이미지 신호 압축 시스템.

청구항 15

제13항에 있어서, 상기 양자화 수단은, 제1양자화 값을 저장하고, DCT 계수값들의 2×2 서브블록 각각의 각 DCT 계수값을 수신하며, 상응하는 양자화된 DCT 계수값들을 제공하는 제1메모리수단; 제2양자화 값을 저장하고, DCT 계수값들의 4×4 서브블록 각각의 각 DCT 계수값을 수신하며, 상응하는 양자화된 DCT 계수값들을 제공하는 제2메모리수단; - 제3양자화 값을 저장하고, DCT 계수값들의 8×8 서브블록 각각의 각 DCT 계수값을 수신하며, 상응하는 양자화된 DCT 계수값들을 제공하는 제3메모리수단; 그리고 - 제4양자화 값을 저장하고, 상기 DCT 계수값의 16×16 블록의 각 DCT 계수값을 수신하며, 상응하는 양자화된 DCT 계수값들을 제공하는 제4메모리수단을 포함하는 것을 특징으로 하는 이미지 신호 압축 시스템.

청구항 16

제14항에 있어서, 상기 양자화 수단은, - 상기 16×16 DCT 엘리먼트 출력에 연결된 주소 입력, 그리고 상기 블록 사이즈 할당 수단 및 상기 선택 수단에 연결된 출력을 가지는 제1양자화 메모리; - 상기 8×8 DCT 엘리먼트 출력에 연결된 주소 입력, 그리고 상기 블록 사이즈 할당 수단 및 상기 선택 수단에 연결된 출력을 가지는 제2양자화 메모리; 상기 4×4 DCT 엘리먼트 출력에 연결된 주소 입력, 그리고 상기 블록 사이즈 할당 수단 및 상기 선택 수단에 연결된 출력을 가지는 제3양자화 메모리; 그리고 상기 2×2 DCT 엘리먼트 출력에 연결된 주소 입력, 그리고 상기 블록 사이즈 할당 수단 및 상기 선택 수단에 연결된 출력을 가지는 제4양자화 메모리를 포함하는 것을 특징으로 하는 이미지 신호 압축 시스템.

청구항 17

제16항에 있어서, 상기 블록 사이즈 할당 수단은, - 상기 제1양자화 메모리 출력에 연결된 주소 입력, 그리고 출력을 가지는 제1코드 길이 메모리; 상기 제2양자화 메모리 출력에 연결된 주소 입력, 그리고 출력을 가지는 제1코드 길이 메모리; - 상기 제3양자화 메모리 출력에 연결된 주소 입력, 그리고 출력을 가지는 제3코드 길이 메모리; - 상기 제4양자화 메모리 출력에 연결된 주소 입력, 그리고 출력을 가지는 제4코드 길이 메모리; - 상기 제1코드 길이 메모리 출력에 연결된 입력, 그리고 출력을 가지는 제1 코드 길이 합산기; - 상기 제2코드 길이 메모리 출력에 연결된 입력, 그리고 출력을 가지는 제2코드 길이 합산기; - 상기 제3코드 길이 메모리 출력에 연결된 입력, 그리고 출력을 가지는 제3 코드 길이 합산기; -

상기 제4코드 길이 메모리 출력에 연결된 입력, 그리고 출력을 가지는 제4 코드 길이 합산기; - 상기 제1 코드 길이 합산기 출력에 연결된 입력, 그리고 출력을 가지는 제1가산기; - 상기 제2코드길이 합산기 출력 및 상기 제1가산기 출력에 각각 연결되는 한 쌍의 입력, 그리고 출력을 가지는 제1비교기; - 상기 제2코드길이 합산기 출력 및 상기 제1가산기 출력에 각각 연결되는 한 쌍의 데이터 입력, 상기 제1비교기 출력에 연결된 제어 입력, 그리고 출력을 가지는 제1멀티플렉서; - 상기 제1 멀티플레서 출력에 연결된 입력, 그리고 출력을 가지는 제2가산기; - 상기 제3코드길이 합산기 출력 및 상기 제2가산기 출력에 각각 연결되는 한 쌍의 입력, 그리고 출력을 가지는 제2비교기; - 상기 제3코드길이 합산기 출력 및 상기 제2가산기 출력에 각각 연결되는 한 쌍의 데이터 입력, 상기 제2비교기 출력에 연결된 제어 입력, 그리고 출력을 가지는 제2멀티플렉서; - 상기 제2멀티플렉서 출력에 연결된 입력, 그리고 출력을 가지는 제3가산기; - 그리고 상기 제4코드길이 합산기 출력 및 상기 제3가산기 출력에 각각 연결되는 한 쌍의 입력, 그리고 출력을 가지는 제3비교기를 포함하는 것을 특징으로 하는 이미지 신호 압축 시스템.

청구항 18

제17항에 있어서, 상기 블록 사이즈 할당 수단은 상기 제4코드길이 합산기 출력 및 상기 제3가산기 출력에 각각 연결되는 한 쌍의 데이터 입력, 상기 제3비교기 출력에 연결된 제어 입력, 그리고 출력을 가지는 제3멀티플렉서를 더 포함하는 것을 특징으로 하는 이미지 신호 압축 시스템.

청구항 19

제17항에 있어서, 상기 선택 수단은, - 상기 제1비교기 출력에 연결된 입력, 그리고 출력을 가지는 제1레지스터; - 상기 제2비교기 출력에 연결된 입력, 그리고 출력을 가지는 제2레지스터; - 상기 제3비교기 출력에 연결된 입력, 그리고 출력을 가지는 제3 레지스터; - 상기 제1 및 제2양자화 메모리 출력들에 각각 연결된 한 쌍의 데이터 입력, 상기 제1레지스터 출력에 연결된 제어 입력, 그리고 출력을 가지는 제3멀티플렉서; - 상기 제3양자화 메모리 출력 및 상기 제3멀티플렉서 출력에 각각 연결된 한 쌍의 데이터 입력, 상기 제2레지스터 출력에 연결된 제어 입력, 그리고 출력을 가지는 제4멀티플렉서; - 그리고 상기 제4양자화 메모리 출력 및 상기 제4멀티플렉서 출력에 각각 연결된 한 쌍의 데이터 입력, 상기 제2레지스터 출력에 연결된 제어 입력, 그리고 출력을 가지는 제5멀티플렉서를 포함하는 것을 특징으로 하는 이미지 신호 압축 시스템.

청구항 20

제19항에 있어서, 상기 정렬 수단은 계수 입력 그리고 상기 제1, 제2, 및 제3레지스터 출력들과 연결된 제어 입력을 가지는 지그-개그 스캔 직렬화기를 포함하는 것을 특징으로 하는 이미지 신호 압축 시스템.

청구항 21

제20항에 있어서, - 상기 지그-재그 스캔 직렬화기 출력에 연결된 입력, 그리고 출력을 가지는 계수 버퍼; 그리고 상기 계수 버퍼에 연결된 입력, 그리고 상기 인코더 수단에 연결된 런-렝쓰값 출력 및 0 아닌 계수값 출력을 가지는 런-렝쓰 코더를 더 포함하는 것을 특징으로 하는 이미지 신호 압축 시스템.

청구항 22

제13항에 있어서, 상기 인코더 수단은 상기 정렬 수단에 연결된 입력 및 상기 어셈블러 수단에 연결된 출력을 가지는 호프만(Hoffman) 코더를 포함하는 것을 특징으로 하는 이미지 압축 시스템.

청구항 23

제21항에 있어서, 상기 인코더 수단은 호프만 코더를 포함하는데, 상기 호프만 코더는, 호프만 코드값을 저장하며, 상기 0 아닌 계수값 출력에 연결되는 입력 및 상기 어셈블러 수단에 연결되는 출력을 가지는 제1 인코더 메모리; 그리고 호프만 코드값을 저장하며, 상기 런-렝쓰 계수값 출력에 연결되는 입력 및 상기 어셈블러 수단에 연결되는 출력을 가지는 제2 인코더 메모리를 포함하는 것을 특징으로 하는 이미지 신호 압축 시스템.

청구항 24

픽셀데이터 블록의 이미지 신호를 압축하는 방법에 있어서, - 픽셀 데이터의 16×16 블록에 대하여 16×16 DCT 동작을 실행하며, 상응하는 DCT 계수값의 16×16 블록을 제공하는 단계; - 상기 픽셀데이터 블록에 대하여 4개의 8×8 DCT 동작을 실행하며, 상응하는 4개의 DCT 계수값의 8×8 서브블록들의 블록을 제공하는 단계; - 상기 픽셀데이터 블록에 대하여 16개의 4×4 DCT 동작을 실행하며, 상응하는 16개의 DCT 계수값의 4×4 서브블록들의 블록을 제공하는 단계; - 상기 픽셀데이터 블록에 대하여 64개의 2×2 DCT 동작을 실행하며, 상응하는 64개의 DCT 계수값의 2×2서브블록들의 블록을 제공하는 단계; - 미리결정된 코딩 포맷에 따라, 상기 DCT 계수값의 16×16 블록 및 미리결정된 DCT 계수값들의 8×8, 4×4 및 2×2 서브블록들의 그룹들 각각을 인코드하는데 요구되는 비트 수에 상응하는 비트 카운트 값들을 결정하는 단계; - 상기 비트 카운트 값들로부터, 상기 DCT 계수값의 16×16 블록 및 상기 DCT 계수값들의 8×8, 4×4, 및 2×2 서브블록들의 상응하는 그룹들 중에서, 상기 미리결정된 코딩 포맷에 따라 인코드하기 위하여 요구되는 비트 수가 더 작은 것들을 결정하여, 상응하는 선택값을 제공하는 단계, 상기 DCT 계수값의 16×16 블록 및 DCT 계수값들의 8×8, 4×4, 및 2×2 서브블록들의 상기 상응하는 그룹들 중에서, 상기 선택값에 상응하는 것들을 선택하는 단계; - 상기 DCT 계수값의 16×16 블록 및 DCT 계수값들의 8×8, 4×4, 및 2×2 서브블록의 그룹들 중에서 상기 선택된 것들로부터 형성된 DCT 계수값들의 복합블록을 생성하는 단계; - 미리결정된 정렬 포맷에 따라, 상기 DCT 계수값들의 복합블록을 정렬하며, 정렬된 양자화된 DCT 계수값들의 상응하는 출력을 제공하는 단계; - 상기 미리결정된 코딩 포맷에 따라 상기 정렬된 DCT 계수값들을 인코딩하며, 상응하는 코드화된 값들을 제공하는 단계; - 그리고 상기 픽셀데이터 블록을 나타내는 코드화된 이미지 값으로써, 상기 선택값과 상기 코드화된 값을 결합하는 단계를

포함하는 것을 특징으로 하는 이미지 신호 압축 방법.

청구항 25

제24항에 있어서, - 상기 DCT 계수값의 16×16 블록의 각 DCT 계수값을 양자화하여 상응하는 양자화된 DCT 계수값들의 16×16 블록을 제공하는 단계; - 상기 각 DCT 계수값들의 8×8 서브블록의 각 DCT 계수값을 양자화하여 상응하는 양자화된 DCT 계수값들의 8×8 서브블록들을 제공하는 단계; - 상기 각 DCT 계수값들의 4×4 서브블록의 각 DCT 계수값을 양자화하여 상응하는 양자화된 DCT 계수값들의 4×4 서브블록들을 제공하는 단계; - 그리고 - 상기 각 DCT 계수값들의 2×2 서브블록의 각 DCT 계수값을 양자화하여 상응하는 양자화된 DCT 계수값들의 2×2 서브블록들을 제공하는 단계를 더 포함하는 것을 특징으로 하는 이미지 신호 압축 방법.

청구항 26

제25항에 있어서, 상기 정렬된 DCT 계수값들을 런-렝쓰 인코딩하는 단계를 더 포함하는 것을 특징으로 하는 이미지 신호 압축 방법.

청구항 27

제24항에 있어서, 상기 코딩 포맷은 호프만 코딩 포맷인 것을 특징으로 하는 이미지 신호 압축 방법.

청구항 28

압축된 이미지 신호를 디코딩하는 시스템에 있어서, - 선택값과 코드화된 값들을 나타내는 압축 이미지 신호를 수신하며, 상기 선택값과 코드화된 값들을 서로 분리하며, 그리고 상기 분리된 선택값과 상기 코드화된 값을 출력으로 제공하는 분리기 수단; - 상기 코드화된 값들을 수신 및 미리결정된 코딩 포맷에 따라 디코딩하며, 상응하는 디코드된 값들을 제공하는 디코더 수단; - 상기 디코드된 값들 및 상기 선택값을 수신하고, 미리결정된 정렬 포맷 및 상기 선택값에 따라 상기 디코드된 값들을 정렬하고, 변환 계수값들의 블록 및 다양한 변환 계수값들의 서브블록의 복합블록을 형성하는 출력을 제공하는 정렬 수단; - 상기 변환 계수값들의 복합블록을 수신하고, 상기 복합블록 변환계수값들의 변환 계수값들이- 상기 블록 및 각 서브블록에 대하여 역변환(inverse transform) 동작을 수행하고, 그리고 상응하는 픽셀 데이터의 블록 및 픽셀 데이터의 서브블록들을 출력으로 제공하는 역변환 수단; 그리고 - 상기 픽셀 데이터의 블록 및 상기 픽셀 데이터의 서브블록들을 수신하고, 상기 선택값을 선택하고, 그리고 상기 선택값에 따라서, 만약 존재한다면, 상기 픽셀 데이터의 서브블록들을 픽셀 데이터의 복합블록으로 결합하며, 픽셀 데이터의 출력 블록으로서 상기 픽셀 데이터의 블록 및 상기 픽셀 데이터의 결합블록을 제공하는 결합기 수단을 포함하는 것을 특징으로 하는 압축 이미지 신호 디코딩 시스템.

청구항 29

제28항에 있어서, 상기 디코더 수단은 상기 분리기 수단에 연결된 입력과 상기 정렬 수단에 연결된 출력을 가지는 호프만 디코더를 포함하는 것을 특징으로 하는 압축 이미지 신호 디코딩 시스템.

청구항 30

제28항에 있어서, - 상기 분리기 수단은 상기 코드화된 값들을 인코드된 0 아닌 계수값들 및 런-렝쓰 계수값들로써 제공하며, 그리고 - 상기 디코더 수단은 호프만 디코더 및 런-렝쓰 디코더를 포함하는데, 상기 호프만 디코더는 i)호프만 디코드값들을 저장하며, 상기 0 아닌 계수값들을 수신하는 입력, 그리고 출력을 가지는 제1디코더 메모리; 그리고 ii) 호프만 디코드값들을 저장하며, 상기 런-렝쓰 계수값들을 수신하는 입력, 그리고 출력을 가지는 제2디코더 메모리를 포함하며, 상기 런-렝쓰 디코더는 상기 제1디코더 메모리 출력에 연결된 0 아닌 계수값 입력, 상기 제2디코더 메모리 출력에 연결된 런-렝쓰 계수값 입력, 그리고 출력을 가지는 것을 특징으로 하는 압축 이미지 신호 디코딩 시스템.

청구항 31

제28항에 있어서, 상기 정렬 수단은 상기 디코더 수단에 연결된 계수 입력, 상기 선택값을 수신하는 제어 입력, 그리고 출력을 가지는 역(inverse)지그-재그 스캔 직렬화기를 포함하는 것을 특징으로 하는 압축 이미지 신호 디코딩 시스템.

청구항 32

제30항에 있어서, 상기 정렬 수단은, - 상기 런-렝쓰 디코더 출력에 연결된 입력, 그리고 출력을 가지는 계수 버퍼; 그리고 - 상기 계수 버퍼 출력에 연결된 계수 입력, 상기 선택값을 수신하는 제어 입력, 그리고 출력을 가지는 역 지그-재그 스캔 직렬화기를 포함하는 것을 특징으로 하는 압축 이미지 신호 디코딩 시스템.

청구항 33

제28항에 있어서, 상기 정렬 수단은 출력으로써 DCT 계수값들의 16×16 블록, 그리고 8×8, 4×4, 및 2×2 서브블록들을 제공하며, 상기 역변환 수단은, - 수신된 2×2 DCT 계수값들을 수신하고 그 각각에 대하여 2×2 역 이산 코사인 변환(IDCT)을 수행하여, 상응하는 픽셀 데이터의 2×2 서브 블록들을 제공하는 제1 IDCT 수단; - 수신된 4×4 DCT 계수값들을 수신하고 그 각각에 대하여 4×4 IDCT을 수행하여, 상응하는 픽셀 데이터의 4×4 서브블록들을 제공하는 제2IDCT 수단; - 수신된 8×8 DCT 계수값들을 수신하고 그 각각에 대하여 8×8 IDCT을 수행하여, 상응하는 픽셀 데이터의 8×8 서브블록들을 제공하는 제3IDCT 수단; 그리고 - 상기 16×16 DCT 계수값들을 수신하여 16×16 IDCT을 수행하여, 상응하는 픽셀 데이터의 16×16 블록들을 제공하는 제4IDCT 수단을 포함하는 것을 특징으로 하는 압축 이미지 신호 디

코딩 시스템.

청구항 34

제28항에 있어서, - 상기 변환 계수값들은 양자화된 계수값들이며, - 상기 시스템은, 상기 변환 게수값들의 복합블록의 변환 계수값들을 수신 및 양자화하고 상기 역변환 수단에 상응하는 양자화된 변환 계수값들을 제공하기 위하여, 상기 정렬 수단과 상기 변환 수단 사이에 배치된 역(inverse)양자화 수단을 더 포함하는 것을 특징으로 하는 압축 이미지 신호 디코딩 시스템.

청구항 35

제33항에 있어서, 상기 DCT 계수값들의 16×16 블록, 그리고 8×8, 4×4, 및 2×2 서브블록들은 양자화된 계수값들이고, 상기 시스템은, - 제1역양자화 값을 저장하고, DCT 계수값들의 2×2 서브블록 각각의 양자화된 DCT 계수값 각각을 수신하며, 그리고 상응하는 역양자화된 DCT 계수값들을 제공하는 제1메모리 수단; - 제2 역양자화 값을 저장하고, DCT 계수값들의 4×4 서브블록 각각의 양자화된 DCT 계수값 각각을 수신하며, 그리고 상응하는 역양자화된 DCT 계수값들을 제공하는 제2메모리 수단; - 제3역양자화 값을 저장하고, DCT 계수값들의 8×8 서브블록 각각의 양자화된 DCT 계수값 각각을 수신하며, 그리고 상응하는 역양자화된 DCT 계수값들을 제공하는 제3메모리 수단; 그리고 - 제4역양자화 값을 저장하고, 상기 DCT 계수값들의 16×16 블록의 양자화된 DCT 계수값 각각을 수신하며, 그리고 상응하는 역양자화된 DCT 계수값들을 제공하는 제4메모리 수단을 더 포함하는 것을 특징으로 하는 압축 이미지 신호 디코딩 시스템.

청구항 36

압축된 이미지 데이터 신호로부터 픽셀 이미지 데이터의 16×16 블록을 재구성하기 위한 시스템에 있어서, - i) 선택값, 코드화된 런-렝쓰값들, 및 압축된 픽셀 데이터의 16×16 블록을 나타내는 코드화된 0 아닌 DCT 계수값들을 미리결정된 순서로 포함하고 있는 압축된 이미지 데이터 신호를 수신하고, ii) 상기 선택값, 상기 코드화된 런-렝쓰값들, 및 상기 코드화된 0 아닌 DCT 계수값들을 분리하고, iii) 상기 선택값, 상기 코드화된 런-렝쓰값들, 및 상기 코드화된 0 아닌 DCT 계수값들이 상응하는 출력을 제공하는 데이터 분리기 수단; - 상기 코드화된 런-렝쓰값들 및 상기 코드화된 0 아닌 DCT 계수값들을 수신하고 미리결정된 코딩 포맷에 따라 디코딩하여 디코드된 런-렝쓰값들 및 0 아닌 DCT 계수값들을 제공하고, 상기 런-렝쓰값들 및 0 아닌 DCT 계수값들을 런-렝쓰 디코딩하고, 그리고 DCT 계수값들의 출력을 제공하는 인코더 수단; - 상기 선택값 및 상기 DCT 계수값들을 수신하고, 상기 DCT 계수값들을 미리결정된 정렬 포맷 및 상기 선택값에 따라 정렬하여 DCT 계수값들의 16×16 블록, 그리고 DCT 계수값들의 8×8, 4×4, 및 2×2 서브블록들의 복합블록을 제공하는 역(inverse)직렬화기 수단; - 상기 DCT 계수값들의 복합블록의 각 DCT 계수를 수신 및 역양자화하며, 상기 역양자화된 DCT 계수값들의 상응하는 복합블록을 출력으로 제공하는 역양자화 수단; - i) 역양자화된 DCT 계수값들의 상기 복합블록에 대하여, 역양자화된 DCT 계수값들의 16×16 블록으로 이루어진 경우는, 16×16 IDCT 동작을 수행하며, ii) 적어도 하나의 역양자화된 DCT 계수값들의 8×8 서브블록으로 이루어진 경우는, 역양자화된 DCT 계수값들의 각 8×8 서브블록에 대하여 8×8 IDCT 동작을 수행하며, iii) 적어도 하나의 역양자화된 DCT 계수값들의 4×4 서브블록으로 이루어진 경우는, 역양자화된 DCT 계수값들의 각 4×4 서브블록에 대하여 4×4 IDCT 동작을 수행하며, iv) 적어도 하나의 역양자화된 DCT 계수값들의 2×2 서브블록으로 이루어진 경우는, 역양자화된 DCT 계수값들의 각 2×2 서브블록에 대하여 2×2 IDCT 동작을 수행하며, v) 픽셀 데이터의 상응하는 16×16 블록, 그리고 8×8, 4×4, 및 2×2 서브블록들을 제공하는 역변환 수단; 그리고 - 상기 역변환 수단의 출력인 상기 픽셀 데이터의 16×16 블록, 그리고 8×8, 4×4, 및 2×2 서브블록들 각각을 수신하고, 픽셀 데이터의 16×16 블록 출력으로 결합하는 서브블록 결합기 수단을 포함하는 것을 특징으로 하는 이미지 데이터 블록의 재구성 시스템.

청구항 37

제36항에 있어서, 상기 역변환 수단은, - 양자화된 DCT 계수값들의 2×2 서브블록들을 수신하는 입력 및 상기 서브블록 결합기 수단에 연결된 출력을 가지는 2×2 IDCT 엘리먼트; - 양자화된 DCT 계수값들의 4×4 서브블록들을 수신하는 입력 및 상기 서브블록 결합기 수단에 연결된 출력을 가지는 4×4 IDCT 엘리먼트; - 양자화된 DCT 계수값들의 8×8 서브블록들을 수신하는 입력 및 상기 서브블록 결합기 수단에 연결된 출력을 가지는 8×8 IDCT 엘리먼트; 그리고 - 양자화된 DCT 계수값들의 16×16 블록을 수신하는 입력 및 상기 서브블록 결합기 수단에 연결된 출력을 가지는 16×16 IDCT 엘리먼트를 포함하는 것을 특징으로 하는 이미지 데이터 블록의 재구성 시스템.

청구항 38

제37항에 있어서, 상기 역양자화 수단은, - 양자화된 DCT 계수값들의 2×2 서브블록들 각각을 수신 및 미리 결정된 제1역양자화 기법에 따라 역양자화하고, 상응하는 역양자화된 DCT 계수값들의 2×2 서브블록을 상기 2×2 IDCT 엘리먼트 입력으로 제공하는 제1역양자화기 수단; - 양자화된 DCT 계수값들의 4×4 서브블록들 각각을 수신 및 미리 결정된 제2역양자화 기법에 따라 역양자화하고, 상응하는 역양자화된 DCT 계수값들의 4×4 서브블록을 상기 4×4 IDCT 엘리먼트 입력으로 제공하는 제2역양자화기 수단; - 양자화된 DCT 계수값들의 8×8 서브블록들 각각을 수신 및 미리 결정된 제3역양자화 기법에 따라 역양자화하고, 상응하는 역양자화된 DCT 계수값들의 8×8 서브블록을 상기 8×8 IDCT 엘리먼트 입력으로 제공하는 제3역양자화기 수단; 그리고 - 상기 양자화된 DCT 계수값들의 16×16 블록을 수신 및 미리결정된 제4역양자화 기법에 따라 역양자화하고, 상응하는 역양자화된 DCT 계수값들의 16×16 블록을 상기 16×16 IDCT 엘리먼트 입력으로 제공하는 제4역양자화기 수단을 포함하는 것을 특징으로 하는 이미지 데이터 블록의 재구성 시스템.

청구항 39

제38항에 있어서, 상기 인코더 수단은 호프만 디코더 및 런-렝쓰 디코더를 포함하는데, - 상기 호프만 디코더는 i)호프만 디코드값들을 저장하며, 상기 코드화된 0 아닌 계수값들을 수신하는 입력, 그리고 출력을 가지는 제1디코더 메모리; 그리고 ii)호프만 코드값들을 저장하며, 상기 코드화된 런-렝쓰 계수값들을 수신하는 입력, 그리고 출력을 가지는 제2디코더 메모리를 포함하며, - 상기 런-렝스 디코더는 상기 제1디코더 메모리 출력에 연결된 0 아닌 계수값 입력, 상기 제2디코더 메모리 출력에 연결된 런-렝쓰 계수값 입력, 그리고 상기 역직렬화기 수단에 연결된 출력을 가지는 것을 특징으로 하는 이미지 데이터 블록의 재구성 시스템.

청구항 40

제39항에 있어서, 상기 런-렝쓰 디코더와 상기 역직렬화기 수단 사이에 연결되며, 상기 런-렝스 디코더 출력에 연결된 입력, 그리고 상기 역직렬화기 수단에 연결된 출력을 가지는 계수 버퍼를 더 포함하는 것을 특징으로 하는 이미지 데이터 블록의 재구성 시스템.

청구항 41

압축된 이미지 데이터 신호로부터 픽셀 데이터 블록을 재구성하기 위한 방법에 있어서, - 선택값 및 코드화된 값들을 나타내는 압축된 이미지 데이터 신호를 수신하는 단계; - 상기 선택값 및 상기 코드화된 값들을 분리하여, 상기 분리된 선택값 및 상기 코드화값들을 제공하는 단계; - 상기 코드화된 값들을 미리결정된 코딩 포맷에 따라 디코딩하여 상응하는 디코드된 값들을 제공하는 단계; - 상기 디코드된 값들을 미리결정된 정렬 포맷 및 상기 선택값에 따라 정렬하여, 변환 계수값들의 블록 및 변환 계수값들의 다양한 서브블록들의 복합블록을 형성하는 출력을 제공하는 단계; - 상기 변환 계수값들의 복합블록의 변환 계수값들의 블록 및 서브블록 각각에 대하여 역변환 동작을 수행하여, 상응하는 픽셀 데이터의 블록 및 픽셀 데이터의 서브블록들을 출력으로 제공하는 단계; 그리고 - 상기 픽셀 데이터의 서브블록들이 존재하면, 상기 픽셀 데이터의 서브블록들을 상기 선택값에 따라 픽셀 데이터의 결합 블록으로 결합하여, 픽셀 데이터의 출력 블록으로써 상기 픽셀 데이터의 블록 및 상기 픽셀 데이터의 결합 블록을 제공하는 단계를 포함하는 것을 특징으로 하는 픽셀 데이터의 블록의 재구성 방법.

청구항 42

제41항에 있어서, 상기 디코딩 단계는, - 호프만 디코드값들을 메모리에 저장하는 단계; - 상기 코드화된 값들로 상기 메모리에 주소 지정하는 단계; -상기 메모리로부터 각 입력된 코드화된 값에 상응하는 디코드된 값을 출력으로 제공하는 단계를 포함하는 것을 특징으로 하는 픽셀 데이터 블록의 재구성 방법.

청구항 43

제41항에 있어서, 상기 디코드된 값들을 정렬하는 단계는 상기 디코드된 값들을 역지그-재그 스캔 직렬화하는 단계를 포함하는 것을 특징으로 하는 픽셀 데이터 블록의 재구성 방법.

청구항 44

제41항에 있어서, 상기 디코드된 값들 정렬하는 단계는 DCT 계수값들의 16×16 블록, 그리고 8×8, 4×4, 및 2×2 서브블록들로써 상기 변환 계수값들의 복합 블록을 제공하며, 상기 변환 계수값들의 블록 및 각 서브블록에 대하여 역변환 동작을 수행하는 상기 단계는, - 수신된 DCT 계수값들의 2×2 서브블록 각각에 대하여 2×2 역이산 코사인 변환(IDCT)을 수행하여, 상응하는 픽셀 데이터의 2×2 서브블록들을 제공하는 단계; - 수신된 DCT 계수값들의 4×4 서브블록 각각에 대하여 4×4 IDCT을 수행하여, 상응하는 픽셀 데이터의 4×4 서브블록들을 제공하는 단계; - 수신된 DCT 계수값들의 8×8 서브블록 각각에 대하여 8×8 IDCT을 수행하여, 상응하는 픽셀 데이터의 8×8 서브블록들을 제공하는 단계; 그리고 - 상기 DCT 계수값의 16×16 블록에 대하여 16×16 IDCT을 수행하여, 상응하는 픽셀 데이터의 16×16 블록을 제공하는 단계를 포함하는 것을 특징으로 하는 픽셀 데이터 블록의 재구성 방법.

청구항 45

제41항에 있어서, 상기 변환 계수값들의 복합블록의 각 변환 계수값을 역양자화하는 단계를 더 포함하는 것을 특징으로 하는 픽셀 데이터 블록의 재구성 방법.

청구항 46

제43항에 있어서, 상기 변환 계수값들의 복합블록의 각 변환 계수값을 역양자화하는 단계를 더 포함하는 것을 특징으로 하는 픽셀 데이터 블록의 재구성 방법.

청구항 47

압축된 이미지 데이터 신호로부터 픽셀 이미지 데이터의 16×16 블록을 재구성하기 위한 방법에 있어서, - 선택값, 코드화된 런-렝쓰값들, 및 압축된 픽셀 데이터의 16×16 블록을 나타내는 코드화된 0 아닌 DCT 계수값들을 미리결정된 순서로 포함하는 압축된 이미지 데이터 신호를 수신하는 단계; - 상기 선택값, 상기 코드화된 런-렝쓰값들, 및 상기 코드화된 0 아닌 DCT 계수값들을 분리하여, 상기 분리된 선택값, 상기 코드화된 런-렝스값들, 및 상기 코드화된 0 아닌 DCT 계수값들을 제공하는 단계; - 상기 코드화된 런-렝쓰값들 및 상기 코드화된 0 아닌 DCT 계수값들을 미리결정된 코딩 포맷에 따라 디코딩하는 단계; - 상기 런-렝쓰값들 및 상기 0 아닌 DCT 계수값들을 런-렝쓰 디코딩하여, DCT 계수값들의 출력을 제공하는 단계; - 상기 DCT 계수값들을 미리결정된 정렬 포맷 및 상기 선택값에 따라 정렬하여, DCT 계수값의 16×16 블록 그리고 DCT 계수값들의 8×8, 4×4, 및 2×2 서브블록들의 복합블록을 제공하는 단계; - 상기 DCT 계수값들의 복합블록의 각 DCT 계수값을 역양자화하여, 상응하는 역양자화된 DCT 계수값들의 복합블록을 출력으로 제공하는 단계; - 역양자화된 DCT 계수값들의 16×16 블록으로 구성된 경우, 상기

역양자화된 DCT 계수값들의 복합블록 대하여 16×16 IDCT 동작을 수행하여, 상응하는 픽셀 데이터의 16×16 블록을 제공하는 단계; - 적어도 하나의 역양자화된 DCT 계수값들의 8×8 블록으로 구성된 경우, 역양자화된 DCT 계수값들의 8×8 서브블록 각각에 대하여 8×8 IDCT 동작을 수행하여, 상응하는 픽셀 데이터의 8×8 서브블록들을 제공하는 단계; - 적어도 하나의 역양자화된 DCT 계수값들의 4×4 블록으로 구성된 경우, 역양자화된 DCT 계수값들의 4×4 서브블록 각각에 대하여 4×4 IDCT 동작을 수행하여, 상응하는 픽셀 데이터의 4×4 서브블록들을 제공하는 단계; - 적어도 하나의 역양자화된 DCT 계수값들의 2×2 블록으로 구성된 경우, 역양자화된 DCT 계수값들의 2×2 서브블록 각각에 대하여 2×2 IDCT 동작을 수행하여, 상응하는 픽셀 데이터의 2×2 서브블록들을 제공하는 단계; 그리고 - 선택값에 따라 상기 픽셀 데이터의 8×8, 4×4, 및 2×2 서브블록을 픽셀 데이터의 16×16 복합블록으로 결합하여, 재구성된 픽셀 데이터의 16×16 블록으로써 상기 픽셀 데이터의 16×16 블록 및 상기 픽셀 데이터의 16×16 복합블록을 제공하는 단계를 포함하는 것을 특징으로 하는 이미지 데이터 블록의 재구성 방법.

청구항 48

제47항에 있어서, 상기 역양자화 단계는, - 양자화된 DCT 계수값들의 2×2 서브블록 각각을 미리결정된 제1역양자화 기법에 따라 역양자화하고, 상응하는 역양자화된 DCT 계수값들의 2×2 서브블록을 제공하는 단계; - 양자화된 DCT 계수값들의 4×4 서브블록 각각을 미리결정된 제2역양자화 기법에 따라 역양자화하고, 상응하는 역양자화된 DCT 계수값들의 4×4 서브블록을 제공하는 단계; - 양자화된 DCT 계수값들의 8×8 서브블록 각각을 미리결정된 제3역양자화 기법에 따라 역양자화하고, 상응하는 역양자화된 DCT 계수값들의 8×8 서브블록을 제공하는 단계; 그리고 - 양자화된 DCT 계수값들의 16×16 블록을 미리결정된 제4역양자화 기법에 따라 역양자화하고, 상응하는 역양자화된 DCT 계수값들의 16×16 블록을 제공하는 단계를 포함하는 것을 특징으로 하는 이미지 데이터 블록의 재구성 방법.

청구항 49

제47항에 있어서, 상기 코드화된 런-렝쓰값들 및 상기 코드화된 0 아닌 DCT 계수값들 각각을 미리결정된 코딩 포맷에 따라 디코딩하는 단계는, - 상기 코드화된 런-렝쓰값들을 호프만 디코딩하여 상기 디코드된 런-렝쓰값들을 제공하는 단계; 그리고 - 상기 코드화된 0 아닌 DCT 계수값들을 호프만 디코딩하여 상기 0 아닌 DCT 계수값들을 제공하는 단계를 포함하는 것을 특징으로 하는 이미지 데이터 블록의 재구성 방법.

청구항 50

제48항에 있어서, 상기 코드화된 런-렝쓰값들 및 상기 코드화된 0 아닌 DCT 계수값들 각각을 미리결정된 코딩 포맷에 따라 디코딩하는 단계는, - 상기 코드화된 런-렝쓰값들을 호프만 디코딩하여 상기 디코드된 런-렝쓰값들으르 제공하는 단계; 그리고 - 상기 코드화된 0 아닌 DCT 계수값들을 호프만 디코딩하여 상기 0 아닌 DCT 계수값들을 제공하는 단계를 포함하는 것을 특징으로 하는 이미지 데이터 블록의 재구성 방법.

청구항 51

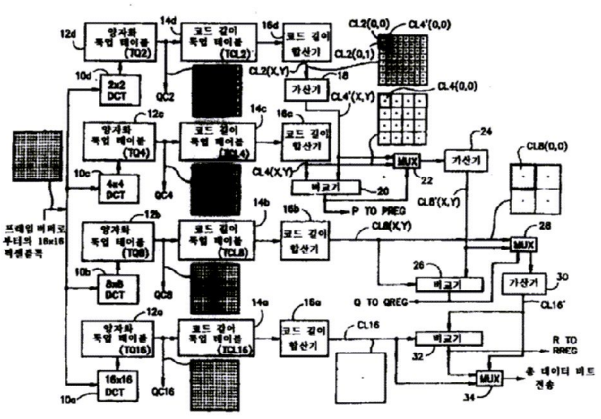
제47항에 있어서, - 상기 DCT 계수값들을 미리결정된 정렬 포맷에 따라 정렬하는 단계는, 상기 DCT 계수값들을 역지그-재그 스캔 직렬화하는 단계를 포함하며, - 상기 선택값은 상기 DCT 계수값들의 복합블록의 DCT 계수값들의 각 16×16 블록 및 각 8×8, 4×4, 및 2×2 서브블록들을 형성하는 DCT 계수값들을 나타내는 것을 특징으로 하는 이미지 데이터 블록의 재구성 방법.

청구항 52

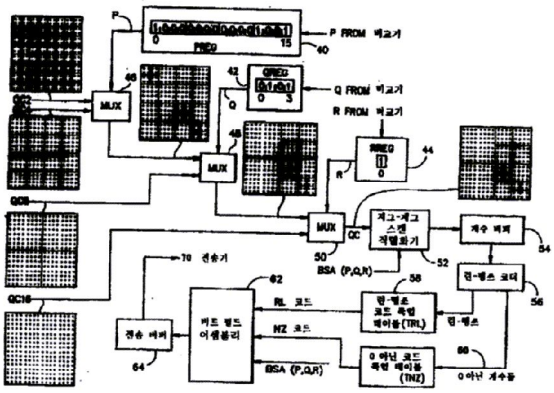
제50항에 있어서, - 상기 DCT 계수값들을 미리결정된 정렬 포맷에 따라 정렬하는 단계는, 상기 DCT 계수값들을 역지그-재그 스캔 직렬화하는 단계를 포함하며, - 상기 선택값은 상기 DCT 계수값들의 복합블록의 DCT 계수값들의 각 16×16 블록 및 각 8×8, 4×4, 및 2×2 서브블록들을 형성하는 DCT 계수값들을 나타내는 것을 특징으로 하는 이미지 데이터 블록의 재구성 방법.

도면

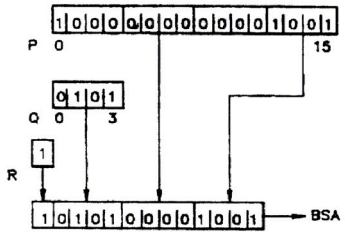
도면1



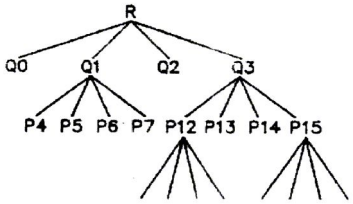
도면2



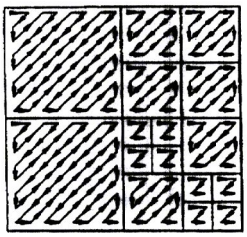
도면3a



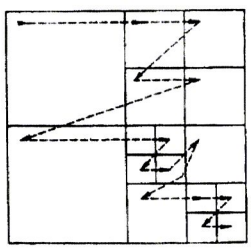
도면3b



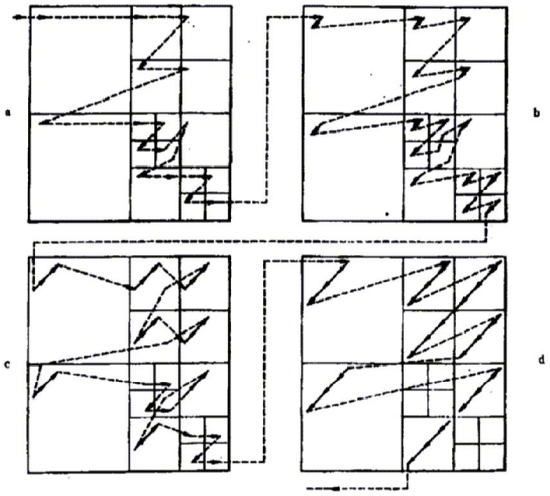
도면4a



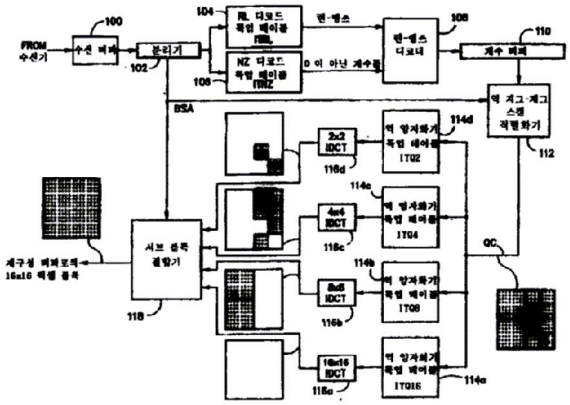
도면4b



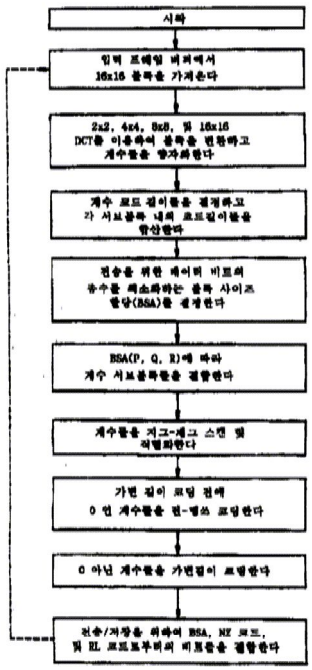
도면5


a
b
c
d

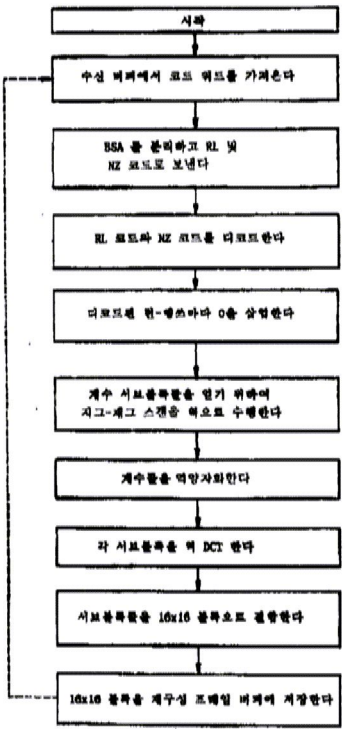
도면6


FROM
수신기
수신 버퍼
100
분리기
102
104
RL 디코드
독립 데이블
RBL
NZ 디코드
독립 데이블
NZ
106
런-렝스
0 이 아닌 계수들
런-렝스
디코더
108
계수 버퍼
110
역 지그-재그
스캔
직렬화기
112
BSA
2x2
IDCT
116d
역 양자화기
독립 데이블
IT02
114d
4x4
IDCT
116c
역 양자화기
독립 데이블
IT04
114c
8x8
IDCT
116b
역 양자화기
독립 데이블
IT08
114b
16x16
IDCT
116a
역 양자화기
독립 데이블
IT016
114a
QC
서브 블록
결합기
118
재구성 버퍼로의
16x16 픽셀 블록

도면7


시작
입력 프레임 버퍼에서
16x16 블록을 가져온다
2x2, 4x4, 8x8, 및 16x16
DCT를 이용하여 블록을 변환하고
계수들을 양자화한다
계수 코드 길이들을 결정하고
각 서브블록 내의 코드길이들을
합산한다
전송을 위한 데이터 비트의
총수를 최소화하는 블록 사이즈
할당(BSA)를 결정한다
BSA(P, Q, R)에 따라
계수 서브블록들을 결합한다
계수들을 지그-재그 스캔 및
직렬화한다
가변 길이 코딩 전에
0 인 계수들을 런-렝스 코딩한다
0 아닌 계수들을 가변길이 코딩한다
전송/저장을 위하여 BSA, NZ 코드,
및 RL 코드로부터의 비트들을 결합한다

도면8


시작
수신 버퍼에서 코드 워드를 가져온다
SSA 를 분석하고 RL 및
NZ 코드로 보낸다
RL 코드와 NZ 코드를 디코드한다
디코드된 런-렝쓰마다 0을 삽입한다
계수 서브블록을 얻기 위하여
지그-재그 스캔을 역으로 수행한다
계수를 역양자화한다
각 서브블록을 역 DCT 한다
서브블록을 16x16 블록으로 결합한다
16x16 블록을 재구성 프레임 버퍼에 저장한다