



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 19.11.80 (21) 3007099/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 07.07.82. Бюллетень № 25

Дата опубликования описания 07.07.82

(11) 942017

(51) М. Кл.³

G 06 F 7/70

(53) УДК 681.3
(088.8)

(72) Автор
изобретения

Ю.А. Брюхомицкий

(71) Заявитель

Таганрогский радиотехнический институт
им. В.Д. Калмыкова

(54) СТОХАСТИЧЕСКИЙ ИНТЕГРАТОР

1

Изобретение относится к вычислительной технике и может быть использовано в стохастических вычислительных машинах и устройствах.

Известен стохастический интегратор, содержащий постоянное запоминающее устройство, генератор управляющих случайных последовательностей и логическую матрицу [1].

Обладая простотой схемной реализации и возможностью легкой перестройки на воспроизведение различных функций, такой интегратор требует вместе с тем значительного объема постоянного запоминающего устройства и большого количества управляющих случайных последовательностей.

Известен также стохастический интегратор, содержащий сдвигающий регистр с комбинационным сумматором на входе, одноразрядный генератор случайных символов и схему сравнения [2].

Обладая простотой аппаратной реализации, такой интегратор имеет, однако, низкое быстродействие ввиду последовательного принципа организации вычислений.

Наиболее близким по технической сущности к предлагаемому является стохастический интегратор, содержа-

2

щий n -разрядный накопитель подынтегральной функции, вход которого является входом интегратора, генератор случайных чисел, генератор тактовых импульсов, блок сравнения, первый вход которого соединен с выходом генератора случайных чисел, тактирующий вход соединен с тактирующим входом накопителя подынтегральной функции и с выходом генератора тактовых импульсов, а выход является выходом устройства [3].

Недостатком указанного интегратора является его аппаратная сложность, основную долю которой составляют n -разрядные генератор случайных чисел и блок сравнения, предназначенные для вероятностного преобразования n -разрядных значений подынтегральной функции.

Цель изобретения - упрощение стохастического интегратора.

Поставленная цель достигается тем, что стохастический интегратор, содержащий накопитель, вход которого является входом устройства, блок сравнения, выход которого является выходом устройства, генератор случайных чисел, выход которого соединен с первым входом блока сравнения,

генератор тактовых импульсов, выход которого соединен с тактирующими входами накопителя и блока сравнения, дополнительно содержит коммутатор, счетчик, элемент задержки и элемент запрета, причем первый и второй информационные входы коммутатора соединены с выходами соответственно старших и младших разрядов накопителя, выход - с вторым входом блока сравнения, а управляющий вход - с выходом счетчика и входом элемента задержки, выход которого соединен с запрещающим входом элемента запрета, вход элемента запрета подключен к выходу генератора тактовых импульсов, а выход соединен с входом счетчика.

На чертеже представлена блок-схема стохастического интегратора.

Интегратор содержит накопитель 1, коммутатор 2, блок 3 сравнения, генератор 4 случайных чисел, элемент 5 задержки, счетчик 6, элемент 7 задержки, генератор 8 тактовых импульсов. Вход накопителя 1 является входом интегратора. Выходы $n/2$ старших и $n/2$ младших разрядов накопителя 1 соединены соответственно с первым и вторым информационными входами коммутатора 2, выход которого соединен со вторым входом блока 3 сравнения. Выход генератора 4 случайных чисел соединен с первым входом блока 3 сравнения, выход которого является выходом интегратора. Выход генератора 8 тактовых импульсов соединен с тактирующими входами накопителя 1 и блока 3 сравнения, а также с входом элемента 5 задержки, выход которого соединен с входом счетчика 6. Выход счетчика 6 соединен с управляющим входом коммутатора 2 и входом элемента 7 задержки, выход которого соединен с запрещающим входом элемента 5 задержки.

Интегратор работает следующим образом.

Перед началом процесса интегрирования в накопитель 1 заносится начальное n -разрядное значение подынтегральной функции $y(x_0)$. Счетчик 6 находится в исходном - нулевом состоянии, которому соответствует отсутствие сигнала переполнения на его выходе. Коммутатор 2, управляемый этим сигналом, находится в первом (из двух) положении, при котором второй вход блока 3 сравнения подключен к выходу старших $n/2$ разрядов накопителя.

Процесс интегрирования инициируется тактовыми импульсами, вырабатываемыми генератором 8 тактовых импульсов. При этом, счетчик 6 через открытый элемент 5 запрета начинает подсчет поступающих на его вход тактовых импульсов, а блок 3 сравнения

осуществляет преобразование содержимого старших $n/2$ разрядов накопителя 1 ($y_c(x_i)$) в случайную последовательность импульсов:

$$z_2(i) = \begin{cases} \text{sign } y_c(x_i), & \text{если } \mu(i) < |y_c(x_i)|; \\ 0, & \text{если } \mu(i) > |y_c(x_i)|; \end{cases} \quad (1)$$

$i = 0, 1, 2, \dots$

где $\mu(i)$ - случайные числа, равномерно распределенные в интервале $[0, 1]$, вырабатываемые генератором 4 случайных чисел.

Полученная последовательность $z_2(i)$ поступает на выход интегратора. Накопление этой последовательности в соответствии с методом Монте-Карло позволяет получить приближенную оценку интеграла:

$$Z(x_i) = \int_{x_0}^{x_i} y(x) dx \approx \Delta x \sum_{k=0}^i z_2(k), \quad (2)$$

где $\Delta x = 2^{-n}$ - шаг интегрирования для основной частоты. (Операция накопления (2) выполняется, в другом аналогичном интеграторе или отдельном накопителе, входящем в состав вычислительного устройства).

Одновременно с выдачей последовательности $z_2(i)$ на вход интегратора поступает входная случайная последовательность $z_y(i)$, которая по мере накопления в накопителе 1 образует текущие значения подынтегральной функции $y(x_i)$.

$$y(x_i) = y(x_{i-1}) + \Delta x \cdot z_y(i) \quad (3)$$

$i = 0, 1, 2, \dots$

В описанном режиме устройство работает до тех пор, пока счетчик 6 не заполнится до состояния $1111\dots 1$.

Тогда очередной тактовый импульс вызывает переход счетчика 6 в исходное нулевое состояние, а на его выходе формируется сигнал переполнения, который переводит коммутатор 2 во второе положение. В этом положении блок 3 сравнения подключается к выходу младших $n/2$ разрядов накопителя 1 и за один такт осуществляет однократное преобразование содержимого младших $n/2$ разрядов накопителя 1 $y_m(x_i)$ в символ случайной последовательности:

$$z_2(j) = \begin{cases} \text{sign } y_m(x_i) & \text{если } \mu(i) < |y_m(x_i)| \\ 0 & \text{если } \mu(i) > |y_m(x_i)| \end{cases} \quad (4)$$

$i = 0, 1, 2, \dots, \quad j = 0, 1, 2, \dots$

В следующем такте задержанный в элементе 7 сигнал переполнения закрывает элемент 5 запрета. Последний блокирует поступление на вход счетчика 6 очередного тактового импульса и тем самым задерживает на один такт переход счетчика в состояние $0000\dots 01$. В результате в счетчике

6 один дополнительный такт находится в $n/2$ исходном нулевом состоянии. При этом сигнал переполнения на его выходе вновь отсутствует, что вызывает переключение коммутатора 2 опять в первое положение. Цикл работы устройства повторяется.

Сущность предлагаемого технического решения заключается в упрощении интегратора за счет сокращения до $n/2$ числа разрядов подынтегральной функции, опрашиваемых блоком сравнения с основной тактовой частотой. При этом младшая часть разрядов подынтегральной функции опрашивается с частотой в 2^n раз меньшей чем основная (n - полное число разрядов подынтегральной функции). В итоге абсолютные погрешности вычисления основной и дополнительной частей приращения интеграла оказываются обратно пропорциональными максимальным абсолютным размерам этих частей. В свою очередь, это приводит к более сбалансированной суммарной относительной погрешности интегратора при одновременном его упрощении.

Пунктирной линией на чертеже обозначена управляющая часть интегратора, которая имеет отношение не только к одному данному интегратору, а является общей для всей совокупности аналогичных интеграторов, участвующих в решении задачи. Так, при использовании предлагаемого интегратора в качестве решающего блока в составе цифрового дифференциального анализатора, цифровой интегрирующей машины и других подобных системах потребуется только одна управляющая часть на весь имеющийся набор решающих блоков.

Технико-экономическая эффективность предлагаемого интегратора заключается в упрощении устройства при сохранении его быстродействия и точности. Как следует из описания предлагаемого устройства, его упрощение достигается за счет сокращения

в 2 раза разрядности блока 3 сравнения и генератора 4 случайных чисел. Достаточно высокая сложность отмеченных блоков в сочетании со сравнительной простотой вводимого коммутатора 2 позволяет упростить стохастический интегратор на 20-40%.

Формула изобретения

Стохастический интегратор, содержащий накопитель, вход которого является входом устройства, блок сравнения, выход которого является выходом устройства, генератор случайных чисел, выход которого соединен с первым входом блока сравнения, генератор тактовых импульсов, выход которого соединен с тактирующими входами накопителя и блока сравнения, отличающийся тем, что, с целью упрощения, он содержит коммутатор, счетчик, элемент задержки и элемент запрета, причем первый и второй информационных входы коммутатора соединены с выходами соответственно старших и младших разрядов накопителя, выход - с вторым входом блока сравнения, а управляющий вход - с выходом счетчика и входом элемента задержки, выход которого соединен с запрещающим входом элемента запрета, вход элемента запрета подключен к выходу генератора тактовых импульсов, а выход соединен с входом счетчика.

Источники информации,

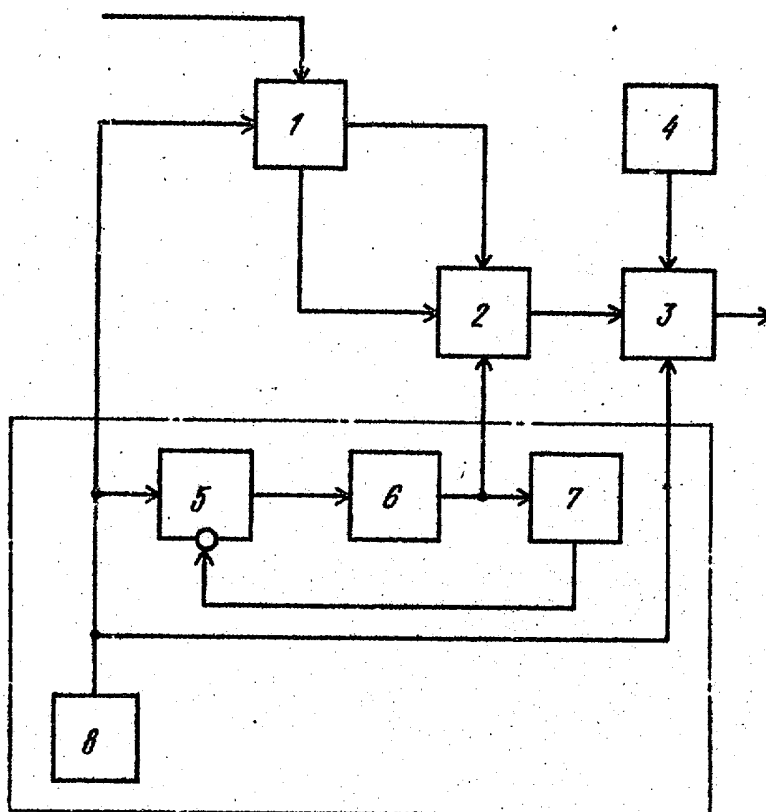
принятые во внимание при экспертизе

1. Яковлев В.В., Федоров Р.Ф.

Стохастические вычислительные машины. М., "Машиностроение", 1974, с.144-148.

2. Кирьянов Б.Ф. Цифровые модели и интегрирующие структуры. Таганрог, 1970, с. 225-231.

3. Гейнс Б.Р. Стохастическая вычислительная машина. "Электроника", 1967, № 14, с. 3-11 (прототип).



Редактор П. Макаревич Составитель О. Майоров Техред Ж. Кастелевич Корректор У. Пономаренко

Заказ 4841У39

Тираж 731

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПП 'Патент', г. Ужгород, ул. Проектная, 4