

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6246302号  
(P6246302)

(45) 発行日 平成29年12月13日(2017.12.13)

(24) 登録日 平成29年11月24日(2017.11.24)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 S
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 21/8242 (2006.01)	HO 1 L 29/78 6 2 7 A
HO 1 L 27/108 (2006.01)	HO 1 L 27/108 3 2 1
	HO 1 L 27/108 6 2 1 Z
請求項の数 2 (全 35 頁) 最終頁に続く	

(21) 出願番号	特願2016-231153 (P2016-231153)	(73) 特許権者	000153878
(22) 出願日	平成28年11月29日(2016.11.29)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2012-271904 (P2012-271904) の分割		神奈川県厚木市長谷398番地
原出願日	平成24年12月13日(2012.12.13)	(72) 発明者	磯部 敦生
(65) 公開番号	特開2017-46011 (P2017-46011A)		神奈川県厚木市長谷398番地 株式会社
(43) 公開日	平成29年3月2日(2017.3.2)		半導体エネルギー研究所内
審査請求日	平成28年12月13日(2016.12.13)	(72) 発明者	岡崎 豊
(31) 優先権主張番号	特願2011-282450 (P2011-282450)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成23年12月23日(2011.12.23)		半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	花岡 一哉
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	笹川 慎也
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1の絶縁膜と、  
 前記第1の絶縁膜上の酸化物半導体膜と、  
 前記酸化物半導体膜上のゲート絶縁膜と、  
 前記ゲート絶縁膜上のゲート電極と、  
 前記ゲート電極の側面に接し、かつ、前記ゲート電極の上面に接する第2の絶縁膜と、  
 前記酸化物半導体膜上のソース電極と、  
 前記酸化物半導体膜上のドレイン電極と、  
 前記ソース電極上及び前記ドレイン電極上の第3の絶縁膜と、  
 前記第2の絶縁膜上及び前記第3の絶縁膜上の第4の絶縁膜と、を有し、  
 前記第1の絶縁膜乃至前記第4の絶縁膜は、アルミニウム及び酸素を含む半導体装置。

【請求項 2】

請求項 1 において、  
 前記第4の絶縁膜上の第1の導電膜と、  
 第5の絶縁膜を介して前記第1の導電膜と重なる領域を有する第2の導電膜と、を有し、  
 前記第2の導電膜は、前記ソース電極または前記ドレイン電極と電気的に接続されている半導体装置。

【発明の詳細な説明】

## 【技術分野】

## 【0001】

半導体装置および半導体装置の作製方法に関する。

## 【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

## 【背景技術】

## 【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（薄膜トランジスタ（TFT）ともいう）を構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

10

## 【0004】

例えば、トランジスタの活性層として、インジウム（In）、ガリウム（Ga）、および亜鉛（Zn）を含む非晶質酸化物を用いたトランジスタが開示されている（特許文献1参照）。

## 【先行技術文献】

## 【特許文献】

## 【0005】

20

【特許文献1】特開2006-165528号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

ところで、トランジスタの動作の高速化、トランジスタの低消費電力化、高集積化等を達成するためにはトランジスタの微細化が必須である。

## 【0007】

より高性能な半導体装置を実現するため、微細化されたトランジスタのオン特性（例えば、オン電流や電界効果移動度）を向上させて、半導体装置の高速応答、高速駆動を実現する構成およびその作製方法を提供することを目的の一とする。

30

## 【0008】

また、トランジスタの微細化に伴って作製工程における歩留まりの低下が懸念される。

## 【0009】

微細な構造であっても高い電気特性を有するトランジスタを歩留まりよく提供することを目的の一とする。

## 【0010】

また、該トランジスタを含む半導体装置においても、高性能化、高信頼性化、および高生産化を達成することを目的の一とする。

## 【課題を解決するための手段】

## 【0011】

40

酸化物半導体膜、ゲート絶縁膜、および側面および上面に第1の絶縁膜が設けられたゲート電極が順に積層されたトランジスタを有する半導体装置において、ソース電極およびドレイン電極は、酸化物半導体膜および第1の絶縁膜に接して設けられる。該半導体装置の作製工程において、酸化物半導体膜、第1の絶縁膜、およびゲート電極上を覆うように導電膜および第2の絶縁膜を積層し、第2の絶縁膜および導電膜を除去（研磨）することによりゲート電極上の導電膜を除去してソース電極およびドレイン電極を形成する。除去（研磨）方法としては化学的機械研磨（Chemical Mechanical Polishing：CMP）法を好適に用いることができる。

## 【0012】

また、ゲート電極の側面の絶縁膜（サイドウォール絶縁膜）の形成を、レジストマスク

50

を用いて行い、同時に絶縁膜によってゲート電極領域の高さを高くする。ここで、本明細書中における「ゲート電極領域の高さ」とは、ゲート電極の底面から該ゲート電極上に接する膜の上面までの高さを指すものとする。ゲート電極領域の高さを高くすることで、ソース電極およびドレイン電極の分離を簡便に行うことができる。

【0013】

また、電子ビームを用いてレジストを露光することで形成された、線幅が小さいレジストマスクを用いることでチャネル長を短くすることができる。堆積する膜のエッチング選択比を考慮し、具体的には、導電膜上にハードマスク膜を設け、その上に電子ビームを用いてレジストを露光し、現像したレジストマスクをハードマスク膜のエッチングマスクとして用い、エッチングされたハードマスク膜をマスクにして、導電膜をエッチングしてゲート電極を形成する。ゲート電極と重畳する領域の酸化物半導体膜はトランジスタのチャネル形成領域となる。

10

【0014】

本発明の一態様は、絶縁表面上の酸化物半導体膜と、酸化物半導体膜上のゲート絶縁膜と、ゲート絶縁膜上の酸化物半導体膜と重畳するゲート電極と、ゲート絶縁膜およびゲート電極上の第1の絶縁膜と、酸化物半導体膜の一端および第1の絶縁膜の一端と接するソース電極と、酸化物半導体膜の他端および第1の絶縁膜の他端と接するドレイン電極と、ソース電極およびドレイン電極上に第2の絶縁膜と、を有し、ソース電極およびドレイン電極の上面の高さは、第1の絶縁膜および第2の絶縁膜の上面の高さと実質的に揃っており、酸化物半導体膜のチャネル長は、1 nm以上30 nm以下である半導体装置である。

20

【0015】

また、本発明の他の一態様は、絶縁表面上のチャネル形成領域、およびチャネル形成領域を挟む第1の低抵抗領域および第2の低抵抗領域を含む酸化物半導体膜と、酸化物半導体膜上のゲート絶縁膜と、ゲート絶縁膜上のチャネル形成領域と重畳するゲート電極と、ゲート絶縁膜およびゲート電極上の第1の絶縁膜と、第1の低抵抗領域の一部と接するソース電極と、第2の低抵抗領域の一部と接するドレイン電極と、ソース電極およびドレイン電極上に第2の絶縁膜と、を有し、ソース電極およびドレイン電極の上面の高さは、第1の絶縁膜および第2の絶縁膜の上面の高さと実質的に揃っており、酸化物半導体膜のチャネル長は、1 nm以上30 nm以下である半導体装置である。

【0016】

30

また、本発明の他の一態様は、絶縁表面上に酸化物半導体膜を形成し、酸化物半導体膜を覆うようにゲート絶縁膜を形成し、酸化物半導体膜と重畳するゲート絶縁膜上に第1の導電膜を形成し、第1の導電膜上にハードマスク膜を形成し、ハードマスク膜上に電子ビーム露光を行うことで第1のレジストを形成し、ハードマスク膜を選択的にエッチングし、エッチングされたハードマスク膜をマスクとして、第1の導電膜を選択的にエッチングしてゲート電極を形成し、ゲート絶縁膜およびゲート電極上に第1の絶縁膜を形成し、ゲート電極が露出しないように第1の絶縁膜の一部に除去処理を行い、除去処理を行った第1の絶縁膜上に反射防止膜を形成し、酸化物半導体膜と重畳する反射防止膜上に電子ビーム露光を行うことで第2のレジストを形成し、反射防止膜、第1の絶縁膜およびゲート絶縁膜を選択的にエッチングして、絶縁表面、酸化物半導体膜の一部を露出させ、露出させた絶縁表面、酸化物半導体膜および反射防止膜上に第2の導電膜を形成し、第2の導電膜上に第2の絶縁膜を形成し、第1の絶縁膜が露出するように第2の絶縁膜、第2導電膜の一部および反射防止膜に除去処理を行い、除去処理を行った第2の導電膜を加工してソース電極およびドレイン電極を形成する半導体装置の作製方法である。

40

【0017】

また、本発明の他の一態様は、絶縁表面上に酸化物半導体膜を形成し、酸化物半導体膜を覆うようにゲート絶縁膜を形成し、酸化物半導体膜と重畳するゲート絶縁膜上に第1の導電膜を形成し、第1の導電膜上にハードマスク膜を形成し、ハードマスク膜上に電子ビーム露光を行うことで第1のレジストを形成し、ハードマスク膜を選択的にエッチングし、エッチングされたハードマスク膜をマスクとして、第1の導電膜を選択的にエッチング

50

してゲート電極を形成し、不純物を添加し、自己整合的に酸化物半導体膜中のゲート電極と重畳している領域にチャネル形成領域を、チャネル形成領域を挟むように、酸化物半導体膜中に第1の低抵抗領域および第2の低抵抗領域を、それぞれ形成し、ゲート絶縁膜およびゲート電極上に第1の絶縁膜を形成し、ゲート電極が露出しないように第1の絶縁膜の一部に除去処理を行い、除去処理を行った第1の絶縁膜上に反射防止膜を形成し、チャネル形成領域、第1の低抵抗領域および第2の低抵抗領域と重畳する反射防止膜上に電子ビーム露光を行うことで第2のレジストを形成し、反射防止膜、第1の絶縁膜およびゲート絶縁膜を選択的にエッチングして、絶縁表面、第1の低抵抗領域および第2の低抵抗領域の一部を露出させ、露出させた絶縁表面、第1の低抵抗領域、第2の低抵抗領域および反射防止膜上に第2の導電膜を形成し、第2の導電膜上に第2の絶縁膜を形成し、第1の絶縁膜が露出するように第2の絶縁膜、第2の導電膜の一部および反射防止膜に除去処理を行い、除去処理を行った第2の導電膜を加工してソース電極およびドレイン電極を形成する半導体装置の作製方法である。

10

## 【0018】

また、本発明の他の一態様は、上記作製方法において、除去処理は、化学的機械研磨により行うことが好ましい。

## 【0019】

また、本発明の他の一態様は、上記作製方法において、ハードマスク膜は、窒化酸化シリコン膜およびアモルファスシリコン膜の積層膜、または、酸化シリコン膜およびアモルファスシリコン膜の積層膜であると好ましい。

20

## 【0020】

また、本発明の他の一態様は、上記作製方法において、反射防止膜形成後から第2のレジスト形成前の間に第2のハードマスク膜を形成し、第2のハードマスク膜は、窒化酸化シリコン膜およびアモルファスシリコン膜の積層膜、または、酸化シリコン膜およびアモルファスシリコン膜の積層膜であると好ましい。

## 【0021】

また、本発明の他の一態様は、上記作製方法において、酸化物半導体膜のチャネル長は、電子ビーム露光によって決定される。

## 【0022】

また、上記酸化物半導体膜は、銅、アルミニウム、塩素などの不純物がほとんど含まれない高純度化されたものであることが望ましい。トランジスタの製造工程において、これらの不純物が混入または酸化物半導体膜表面に付着する恐れのない工程を適宜選択することが好ましく、酸化物半導体膜表面に付着した場合には、シュウ酸や希フッ酸などに曝す、またはプラズマ処理（ $N_2O$ プラズマ処理など）を行うことにより、酸化物半導体膜表面の不純物を除去することが好ましい。具体的には、酸化物半導体膜の銅濃度は $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。また、酸化物半導体膜のアルミニウム濃度は $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、酸化物半導体膜の塩素濃度は $2 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。

30

## 【0023】

また、酸化物半導体膜は成膜直後において、化学量論的組成より酸素が多い過飽和の状態とすることが好ましい。例えば、スパッタリング法を用いて酸化物半導体膜を成膜する場合、成膜ガスの酸素の占める割合が多い条件で成膜することが好ましく、特に酸素雰囲気（酸素ガス100%）で成膜を行うことが好ましい。成膜ガスの酸素の占める割合が多い条件、特に酸素ガス100%の雰囲気で成膜すると、例えば、成膜温度を300以上としても、膜中からのZnの放出が抑えられる。

40

## 【0024】

酸化物半導体膜は、水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されて酸素が過飽和の状態とされることにより、高純度化されたものであることが望ましい。具体的には、酸化物半導体膜の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17}$

50

$\text{atoms/cm}^3$  以下とする。なお、上述の酸化物半導体膜中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) で測定されるものである。また、十分な酸素が供給されて酸素が過飽和の状態とするため、酸化物半導体膜を覆うように過剰酸素を含む絶縁膜 ( $\text{SiO}_x$  など) を接して設ける。

【0025】

過剰酸素を含む絶縁膜は、プラズマ CVD 法やスパッタ法における成膜条件を適宜設定して膜中に酸素を多く含ませた  $\text{SiO}_x$  膜や、酸化窒化シリコン膜を用いる。また、多くの過剰酸素を絶縁膜に含ませたい場合には、イオン注入法やイオンドーピング法やプラズマ処理によって酸素を添加する。

10

【0026】

過剰酸素を含む絶縁膜の水素濃度が、 $7.2 \times 10^{20} \text{ atoms/cm}^3$  以上である場合には、トランジスタの初期特性のバラツキの増大、チャネル長依存性の増大、さらに BT ストレス試験において大きく劣化するため、過剰酸素を含む絶縁膜の水素濃度は、 $7.2 \times 10^{20} \text{ atoms/cm}^3$  未満とする。即ち、酸化物半導体膜の水素濃度は  $5 \times 10^{19} \text{ atoms/cm}^3$  以下、かつ、過剰酸素を含む絶縁膜の水素濃度は、 $7.2 \times 10^{20} \text{ atoms/cm}^3$  未満とすることが好ましい。

【0027】

さらに酸化物半導体膜を包み、かつ、過剰酸素を含む絶縁膜の外側に配置されるように、酸化物半導体膜の酸素の放出を抑えるブロッキング膜 ( $\text{AlO}_x$  など) を設けると好ましい。

20

【0028】

過剰酸素を含む絶縁膜またはブロッキング膜で酸化物半導体膜を包み込むことで、酸化物半導体膜において化学量論的組成より酸素が多い過飽和の状態とすることができる。例えば、酸化物半導体膜の化学量論的組成が  $\text{In} : \text{Ga} : \text{Zn} : \text{O} = 1 : 1 : 1 : 4$  [原子数比] である場合、 $\text{IGZO}$  に含まれる酸素の原子数比は 4 より多い状態となる。

【発明の効果】

【0029】

微細な構造であっても高い電気特性を有するトランジスタを歩留まりよく提供することができる。

30

【0030】

また、チャネル長が短い微細なトランジスタを実現し、回路の動作速度を高速化し、消費電力を低減することができる。

【0031】

また、該トランジスタを含む半導体装置においても、高性能化、高信頼性化、および高生産化を達成することができる。

【図面の簡単な説明】

【0032】

【図1】本発明の一態様の半導体装置を示す平面図および断面図。

【図2】本発明の一態様の半導体装置の作製工程を示す断面図。

40

【図3】本発明の一態様の半導体装置の作製工程を示す断面図。

【図4】本発明の一態様の半導体装置の作製工程を示す断面図。

【図5】本発明の一態様の半導体装置を示す平面図および断面図。

【図6】半導体装置の一形態を示す断面図、平面図および回路図。

【図7】半導体装置の一形態を示す回路図および斜視図。

【図8】半導体装置の一形態を示す断面図および平面図。

【図9】半導体装置の一形態を示す回路図。

【図10】半導体装置の一形態を示すブロック図。

【図11】半導体装置の一形態を示すブロック図。

【図12】半導体装置の一形態を示すブロック図。

50

## 【発明を実施するための形態】

## 【0033】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。また、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さないことがある。また、便宜上、絶縁膜は上面図には表さないことがある。

## 【0034】

なお、本明細書等において「上」や「下」という用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁膜上のゲート電極」の表現であれば、ゲート絶縁膜とゲート電極との間に他の構成要素を含むものを除外しない。

## 【0035】

また、本明細書等において「電極」や「配線」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」という用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

## 【0036】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

## 【0037】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

## 【0038】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線などが含まれる。

## 【0039】

なお、以下の説明において、第1、第2などの序数詞は、説明の便宜上付したものであり、その数を限定するものではない。

## 【0040】

## (実施の形態1)

本実施の形態では、本発明の一態様である半導体装置および半導体装置の作製方法の一形態を図1乃至図4を用いて説明する。

## 【0041】

図1に、トランジスタ450の平面図および断面図を示す。図1(A)は平面図であり、図1(B)は、図1(A)におけるA-B断面に係る断面図である。なお、図1(A)では、煩雑になることを避けるため、トランジスタ450の構成要素の一部(例えば、下地絶縁膜432など)を省略している。

## 【0042】

## &lt;本実施の形態における半導体装置の構成&gt;

図1は、本実施の形態の方法にて作製された半導体装置の構成例である。図1に示すトランジスタ450は、絶縁表面を有する基板400上に設けられた下地絶縁膜432と、下地絶縁膜432上のチャネル形成領域403c、並びにチャネル形成領域403cを挟む低抵抗領域403aおよび低抵抗領域403bとを含む酸化物半導体膜403と、酸化物半導体膜403上のゲート絶縁膜412aと、ゲート絶縁膜412a上の、チャネル形

10

20

30

40

50

成領域 403c と重畳するゲート電極 401a と、ゲート絶縁膜 412a およびゲート電極 401a 上の絶縁膜 415b と、下地絶縁膜 432 および低抵抗領域 403a の一部と重畳するソース電極 405a と、下地絶縁膜 432 および低抵抗領域 403b の一部と重畳するドレイン電極 405b と、ソース電極 405a およびドレイン電極 405b 上の絶縁膜 425a と、を有する。

【0043】

絶縁膜 415b をゲート電極 401a に設けることで、ゲート電極領域の高さを高くしつつ、ゲート電極 401a 側面にサイドウォール絶縁膜を形成することができる。これにより、ソース電極およびドレイン電極となる導電膜の一部を除去（研磨）処理する際に、ソース電極 405a およびドレイン電極 405b の分離を簡便に行うことができる。

10

【0044】

また、電子ビームによる露光によってゲート電極 401a のチャネル長方向の長さを決定することができる。ここで、ゲート電極 401a が形成された領域と重なる酸化物半導体膜 403 は、トランジスタのチャネル形成領域となる。つまり、電子ビームによる露光によってチャネル長を決定することができるため、チャネル長の小さいトランジスタを作製することができる。

【0045】

また、ソース電極 405a およびドレイン電極 405b は、露出した酸化物半導体膜 403 上面、および絶縁膜 415b と接して設けられている。よって、ソース電極 405a（またはドレイン電極 405b）と酸化物半導体膜 403 とが接する領域（コンタクト領域）と、ゲート電極 401a の距離 L1 は、電子ビームによる露光によって、決定することができるため、ソース電極 405a（またはドレイン電極 405b）と酸化物半導体膜 403 とが接する領域（コンタクト領域）、およびゲート電極 401a 間の抵抗が減少し、トランジスタ 450 のオン特性を向上させることが可能となる。

20

【0046】

< 本実施の形態における半導体装置の作製方法 >

トランジスタ 450 の作製方法について図 2 乃至図 4 を用いて説明する。

【0047】

まず、基板 400 上に下地絶縁膜 432 を形成し、下地絶縁膜 432 上に酸化物半導体膜 403 を形成する（図 2（A）参照）。

30

【0048】

基板 400 としては、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料を用いる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI（Silicon On Insulators）基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板 400 として用いてもよい。

【0049】

下地絶縁膜 432 は、プラズマ CVD 法またはスパッタリング法を用いて 50nm 以上 2μm 以下の膜厚で、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、窒化シリコン膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜から選ばれた一層またはこれらの積層膜を用いる。下地絶縁膜 432 により、基板 400 側からの不純物の侵入を抑制することができる。なお、下地絶縁膜 432 が不要な場合、例えば、基板 400 の表面吸着した水分、および基板 400 に含有する水分が少ない場合には下地絶縁膜 432 を設けない構成としてもよい。

40

【0050】

下地絶縁膜 432 は、加熱処理により酸素を放出する絶縁膜を用いると好ましい。

【0051】

「加熱処理により酸素を放出する」とは、TDS（Thermal Desorption Spectroscopy：昇温脱離ガス分光法）分析にて、酸素原子に換算しての酸素の放出量が  $1.0 \times 10^{19} \text{ atoms/cm}^3$  以上、好ましくは  $3.0 \times 10^{19}$

50

$9 \text{ atoms/cm}^3$  以上、さらに好ましくは  $1.0 \times 10^{20} \text{ atoms/cm}^3$  以上、さらに好ましくは  $3.0 \times 10^{20} \text{ atoms/cm}^3$  以上であることをいう。

【0052】

ここで、TDS分析にて、酸素原子に換算しての酸素の放出量の測定方法について、以下に説明する。

【0053】

TDS分析による気体の放出量は、スペクトルの積分値に比例する。このため、測定したスペクトルの積分値と標準試料の基準値との比により、気体の放出量を計算することができる。標準試料の基準値は、所定の原子密度を有する試料において、スペクトルの積分値に対する原子密度の割合である。

10

【0054】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、および絶縁膜のTDS分析結果から、絶縁膜の酸素分子の放出量( $N_{O_2}$ )は、式(1)で求めることができる。ここで、TDS分析で得られる質量電荷比( $M/z$ )が32で検出されるスペクトルの全てが酸素分子由来と仮定する。 $M/z$ が32のものとしてほかに $CH_3OH$ があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である $M/z$ が17の酸素原子および $M/z$ が18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【0055】

【数1】

20

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha \quad (1)$$

【0056】

$N_{H_2}$  は、標準試料から脱離した水素分子を密度で換算した値である。 $S_{H_2}$  は、標準試料をTDS分析によるスペクトルの積分値である。ここで、標準試料の基準値を、 $N_{H_2}/S_{H_2}$  とする。 $S_{O_2}$  は、絶縁膜をTDS分析によるスペクトルの積分値である。は、TDSにおけるスペクトル強度に影響する係数である。式(1)の詳細に関しては、特開平6-275697号公報を参照する。なお、上記絶縁膜の酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として  $1 \times 10^{16} \text{ atoms/cm}^2$  の水素原子を含むシリコンウェハを用いて測定する。

30

【0057】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

【0058】

なお、 $N_{O_2}$  は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

40

【0059】

なお、本明細書中において、酸化窒化シリコンなどの「酸化窒化物」とは、その組成として、窒素よりも酸素の含有量が多いものをいう。

【0060】

なお、本明細書中において、窒化酸化シリコンなどの「窒化酸化物」とは、その組成として、酸素よりも窒素の含有量が多いものをいう。

【0061】

また、基板400と下地絶縁膜432の間に酸化アルミニウム膜を設けると好ましい。特に膜密度が  $3.2 \text{ g/cm}^3$  以上、さらに好ましくは  $3.6 \text{ g/cm}^3$  以上の酸化アルミニウム膜を用いるとよい。酸化アルミニウム膜の膜厚は、30nm以上150nm以下

50



、好ましくは50nm以上100nm以下であるとよい。当該酸化アルミニウム膜の密度を上記数値とすることで、水分や水素が酸化物半導体膜に侵入し、拡散することを抑制することができる。また、酸化物半導体膜403から酸素が抜けてしまうことを抑制することができる。

【0062】

下地絶縁膜432は、650以下の温度における加熱処理により水素や水を除去すると好ましい。

【0063】

酸化物半導体膜403は、スパッタリング法、MBE(Molecular Beam Epitaxy)法、CVD法、パルスレーザ堆積法、ALD(Atomic Layer Deposition)法を用いて成膜される。また、酸化物半導体膜403は、スパッタリングターゲット表面に対し、概略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタリング装置を用いて成膜されてもよい。本実施の形態では、酸化物半導体膜403は、エッチング処理を施し、島状に形成されているがこれに限られない。

【0064】

酸化物半導体膜403を成膜する際、酸化物半導体膜403に含まれる水素濃度をできる限り低減させることが好ましい。酸化物半導体膜403に含まれる水素濃度を低減させるためには、例えば、スパッタリング法を用いて成膜する場合、スパッタリング装置の成膜室内に供給するガスとして、水素、水、水酸基、または水素化物などの不純物が除去された高純度の希ガス(代表的には、アルゴン)、酸素、または希ガスと酸素との混合ガスを用いることが好ましい。

【0065】

また、成膜室内の残留水分を除去しつつ、水素および水などが除去されたガスを導入して成膜を行うことで、成膜された酸化物半導体膜403に含まれる水素濃度を低減させることができる。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプは、例えば、水(H<sub>2</sub>O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等の排気能力が高いため、クライオポンプを用いて排気した成膜室で成膜された酸化物半導体膜403に含まれる不純物の濃度を低減できる。

【0066】

また、酸化物半導体膜403を、スパッタリング法を用いて成膜する場合、成膜に用いる金属酸化物ターゲットの相対密度は90%以上100%以下、好ましくは95%以上99.9%以下とすることが好ましい。相対密度が高い金属酸化物ターゲットを用いることにより、成膜された酸化物半導体膜403を緻密な膜とすることができる。

【0067】

酸化物半導体膜403の材料として、例えば、In-M-Zn-O系材料を用いればよい。ここで、金属元素Mは酸素との結合エネルギーがInおよびZnよりも高い元素である。または、In-M-Zn-O系材料から酸素が脱離することを抑制する機能を有する元素である。金属元素Mの作用によって、酸化物半導体膜の酸素欠損の生成が抑制される。そのため、酸素欠損に起因するトランジスタの電気特性の変動を低減することができ、信頼性の高いトランジスタを得ることができる。

【0068】

金属元素Mは、具体的にはAl、Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Ga、Y、Zr、Nb、Mo、Sn、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu、Hf、TaまたはWとすればよく、好ましくはAl、Ti、Ga、Y、Zr、CeまたはHfとする。金属元素Mは、前述の元素から一種または二種以上選択すればよい。また、金属元素Mに変えてSiやGeを用いることもできる。

【0069】

ここで、In-M-Zn-O系材料で表される酸化物半導体は、Inの濃度が高いほどキャリア移動度およびキャリア密度が高まる。結果、Inの濃度が高いほど導電率の高い酸化物半導体となる。

【0070】

酸化物半導体膜403は、単層構造であってもよいし、積層構造であってもよい。また、酸化物半導体膜403は、単結晶、多結晶（ポリクリスタルともいう）、または非晶質（アモルファスともいう）であってもよい。

【0071】

また、本実施の形態において、酸化物半導体膜403は、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)膜であるのが好ましい。

10

【0072】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界(グレインバウンダリーともいう)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

20

【0073】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつ、ab面に垂直な方向から見て三角形または六角形の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。

【0074】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し、表面の近傍では結晶部の占める割合が高くなることもある。また、CAAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

30

【0075】

CAAC-OS膜に含まれる結晶部のc軸は、CAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS膜の形状(被形成面の断面形状または表面の断面形状)によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

40

【0076】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0077】

CAAC-OS膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がab面から劈開し、ab面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板

50

に到達することで、C A A C - O S 膜を成膜することができる。

【 0 0 7 8 】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【 0 0 7 9 】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が - 8 0 以下、好ましくは - 1 0 0 以下である成膜ガスを用いる。

【 0 0 8 0 】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 1 0 0 以上 7 4 0 以下、好ましくは 2 0 0 以上 5 0 0 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【 0 0 8 1 】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、3 0 体積 % 以上、好ましくは 1 0 0 体積 % とする。

【 0 0 8 2 】

スパッタリング用ターゲットの一例として、I n - G a - Z n 系酸化物ターゲットについて以下に示す。

【 0 0 8 3 】

I n O <sub>x</sub> 粉末、G a O <sub>y</sub> 粉末および Z n O <sub>z</sub> 粉末を所定の m o l 比で混合し、加圧処理後、1 0 0 0 以上 1 5 0 0 以下の温度で加熱処理をすることで多結晶である I n - G a - Z n 系酸化物ターゲットとする。なお、X、Y および Z は任意の正数である。ここで、所定の m o l 比は、例えば、I n O <sub>x</sub> 粉末、G a O <sub>y</sub> 粉末および Z n O <sub>z</sub> 粉末が、2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3 または 3 : 1 : 2 である。なお、粉末の種類、およびその混合する m o l 比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

【 0 0 8 4 】

また、酸化物半導体膜は成膜直後において、化学量論的組成より酸素が多い過飽和の状態とすることが好ましい。例えば、スパッタリング法を用いて酸化物半導体膜を成膜する場合、成膜ガスの酸素の占める割合が多い条件で成膜することが好ましく、特に酸素雰囲気（酸素ガス 1 0 0 % ）で成膜を行うことが好ましい。成膜ガスの酸素の占める割合が多い条件、特に酸素ガス 1 0 0 % の雰囲気で成膜すると、例えば、成膜温度を 3 0 0 以上としても、膜中からの Z n の放出が抑えられる。

【 0 0 8 5 】

また、酸化物半導体膜において、銅、アルミニウム、塩素などの不純物がほとんど含まれない高純度化されたものであることが望ましい。トランジスタの製造工程において、これらの不純物が混入または酸化物半導体膜表面に付着する恐れのない工程を適宜選択することが好ましく、酸化物半導体膜表面に付着した場合には、シュウ酸や希フッ酸などに曝す、またはプラズマ処理（N<sub>2</sub>O プラズマ処理など）を行うことにより、酸化物半導体膜表面の不純物を除去することが好ましい。具体的には、酸化物半導体膜の銅濃度は  $1 \times 10^{18} \text{ atoms / cm}^3$  以下、好ましくは  $1 \times 10^{17} \text{ atoms / cm}^3$  以下とする。また、酸化物半導体膜のアルミニウム濃度は  $1 \times 10^{18} \text{ atoms / cm}^3$  以下とする。また、酸化物半導体膜の塩素濃度は  $2 \times 10^{18} \text{ atoms / cm}^3$  以下とする。

【 0 0 8 6 】

酸化物半導体膜は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されて酸素が過飽和の状態とされることにより、高純度化されたものであることが望ましい。具体的には、酸化物半導体膜の水素濃度は  $5 \times 10^{19} \text{ atoms / cm}^3$

10

20

30

40

50

以下、望ましくは  $5 \times 10^{18} \text{ atoms/cm}^3$  以下、より望ましくは  $5 \times 10^{17} \text{ atoms/cm}^3$  以下とする。なお、上述の酸化物半導体膜中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) で測定されるものである。また、十分な酸素が供給されて酸素が過飽和の状態とするため、酸化物半導体膜を包みこむように過剰酸素を含む絶縁膜 ( $\text{SiO}_x$  など) を接して設ける。

【0087】

次に、下地絶縁膜 432 および酸化物半導体膜 403 上にゲート絶縁膜 412 を形成する (図 2 (B) 参照)。なお、ゲート絶縁膜 412 は、少なくとも後に形成されるゲート電極 401a と酸化物半導体膜 403 の間にあればよい。

10

【0088】

ゲート絶縁膜 412 の材料としては、酸化シリコン、酸化ガリウム、酸化アルミニウム、酸化ジルコニウム、酸化イットリウム、酸化ハフニウム、酸化ランタン、酸化ネオジム、酸化タンタル、窒化シリコン、酸化窒化シリコン、酸化窒化アルミニウム、または窒化酸化シリコン等を用いて形成することができる。

【0089】

ゲート絶縁膜 412 は、250 以上 700 以下、好ましくは 300 以上 450 以下の温度における加熱処理により酸素を放出する絶縁膜を用いてもよい。

【0090】

酸化物半導体膜を用いたトランジスタにおいて、酸化物半導体膜中の酸素欠損はドナーとなるため、トランジスタのしきい値電圧をマイナス方向へシフトさせる要因となる。また、ゲート絶縁膜と酸化物半導体膜との界面における酸素欠損は、トランジスタの動作などに起因して電荷を捕獲するため、トランジスタの電気特性を変動させる要因となる。従って、酸化物半導体膜中、および酸化物半導体膜とゲート絶縁膜との界面における酸素欠損を低減することは、酸化物半導体膜を用いたトランジスタの電気特性を安定させ、かつ信頼性を向上させることに繋がる。そのため、ゲート絶縁膜から酸素が放出されると、酸化物半導体膜中、および酸化物半導体膜とゲート絶縁膜との界面における酸素欠損を低減することができる。

20

【0091】

次に、ゲート絶縁膜 412 が形成された基板 400 に対して、水分や水素などを除去するための加熱処理を行ってもよい。

30

【0092】

なお、加熱処理としては、電気炉、もしくは抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を用いることができる。例えば、LRTA (Lamp Rapid Thermal Anneal) 装置、GRTA (Gas Rapid Thermal Anneal) 装置等の RTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光 (電磁波) の輻射により、被処理物を加熱する装置である。GRTA 装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

40

【0093】

例えば、加熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出す GRTA 処理を行ってもよい。GRTA 処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に不活性ガスを、酸素を含むガスに切り替えても良い。酸素を含む雰囲気において加熱処理を行うことで、膜中の欠陥密度を低減することができる。

【0094】

50

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水分、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

【0095】

加熱処理温度は、基板400として、マザーガラスを用いた場合、処理温度が高く、処理時間が長いと大幅に収縮するため、200以上450以下、さらに好ましくは、250以上350以下である。

【0096】

なお、加熱処理を行うことで、ゲート絶縁膜412中の水分や水素等の不純物を除去することができる。また、当該加熱処理により、膜中の欠陥密度を低減することができる。ゲート絶縁膜412膜中の不純物、または欠陥密度が低減することにより、トランジスタの電気特性が向上し、また、トランジスタの動作に伴う電気特性の変動を抑制することができる。

【0097】

ところで、上述の加熱処理には水分や水素などを除去する効果があるため、当該加熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行って良い。

【0098】

次に、ゲート絶縁膜412上に導電膜401を形成する。（図2（B）参照）。

【0099】

導電膜401は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、TaおよびWを一種以上含む、単体、窒化物、酸化物または合金を、単層または積層して用いればよい。または、少なくともInおよびZnを含む酸化物または酸窒化物を用いても構わない。例えば、In-Ga-Zn-O-N系材料などを用いればよい。本実施の形態では、窒化タンタル膜を30nm成膜した上にタングステン膜を200nm成膜する。

【0100】

また、後に電子ビームを用いた露光によって形成されるレジストマスクは薄く、導電膜401のパターン形成が難しい場合がある。そのため、導電膜401上にハードマスク膜408、ハードマスク膜408上にハードマスク膜409を成膜し、該ハードマスク膜をマスクにする（図2（B）参照）。

【0101】

ハードマスク膜408は、導電膜401をエッチングするときに、ハードマスク膜408をマスクとして利用するため、導電膜401をエッチングする条件でエッチングされにくい膜であることが好ましい。ハードマスク膜408には、酸化シリコン膜または窒化酸化シリコン膜を用いることが好ましい。

【0102】

また、ハードマスク膜409は、ハードマスク膜408をエッチングするときに、ハードマスク膜409をマスクとして利用するため、ハードマスク膜408をエッチングする条件でエッチングされにくい膜であることが好ましい。ハードマスク膜409には、アモルファスシリコン膜を用いることが好ましい。

【0103】

ハードマスク膜409は、電子ビームを用いた露光によって形成されるレジストマスクとのエッチング選択比が高く、レジストマスクが薄くてもパターン形成が容易にできる。また、ハードマスク膜408とハードマスク膜409とのエッチング選択比およびハードマスク膜408と導電膜401（本実施の形態では上層のタングステン膜）とのエッチング選択比が高いため、上層のパターン形成された膜をマスクに下層のパターン形成が容易にできる。

【0104】

10

20

30

40

50

次に、ハードマスク膜 409 上にレジストを形成し、該レジストに対して電子ビームを用いた露光を行い、レジストマスク 420 を形成する（図 2（B）参照）。

【0105】

電子ビームの照射が可能な電子ビーム描画装置において、例えば、加速電圧は 5 kV ~ 50 kV であることが好ましい。また、電流強度は、 $5 \times 10^{-12}$  A ~  $1 \times 10^{-11}$  A であることが好ましい。また、最小ビーム径は、2 nm 以下であることが好ましい。また、作製可能なパターンの最小線幅が 8 nm 以下であることが好ましい。

【0106】

上記条件により、例えば、レジストマスク 420 の幅を 1 nm 以上 30 nm 以下、好ましくは 20 nm 以下さらに好ましくは 8 nm 以下にすることができる。

10

【0107】

また、電子ビームを用いた露光では、できるだけレジストマスク 420 は薄い方が好ましい。レジストマスク 420 を薄くする場合、被形成面の凹凸をできるだけ平坦にすることが好ましい。本実施の形態の半導体装置の作製方法では、下地絶縁膜 432 等に CMP 処理等の研磨処理、エッチング（ドライエッチング、ウェットエッチング）処理や、プラズマ処理などの平坦化処理を行うことにより、下地絶縁膜 432 等による凹凸が低減されるため、レジストマスクを薄くすることができる。これにより、電子ビームを用いた露光が容易になる。

【0108】

次に、ハードマスク膜 409 を選択的にエッチングし、ハードマスク膜 409 a を形成する（図 2（C）参照）。また、エッチング後にレジストマスク 420 は除去する。本実施の形態では、レジストマスク 420 を除去したが、これに限られない。レジストマスク 420 は、ほぼ消失しているのでそのまま残しても構わない。

20

【0109】

次に、ハードマスク膜 409 a をマスクにして、ハードマスク膜 408 を選択的にエッチングし、ハードマスク膜 408 a を形成する（図 2（D）参照）。また、エッチング後にハードマスク膜 409 a は除去する。ハードマスク膜 409 a もレジストマスク 420 と同様に除去せず、そのまま残しても構わない。

【0110】

次に、ハードマスク膜 408 a をマスクにして、導電膜 401 をエッチングし、ゲート電極 401 a を形成する（図 3（A）参照）。また、エッチング後にハードマスク膜 408 a は除去してもよい。ここで、上部にゲート電極 401 a が形成された酸化物半導体膜 403 の領域は、後にトランジスタ 450 のチャネル形成領域となる。電子ビームによる露光によってチャネル長 L を決定することができるため、チャネル長の小さい、例えば、チャネル長が 1 nm 以上 30 nm 以下のトランジスタを作製することができる。

30

【0111】

次に、ゲート電極 401 a をマスクとして酸化物半導体膜 403 に不純物 421 を添加する処理を行って、自己整合的に低抵抗領域 403 a、低抵抗領域 403 b およびチャネル形成領域 403 c を形成してもよい（図 3（A）参照）。

【0112】

40

添加する不純物 421 は、リン、ホウ素、窒素、ヒ素、アルゴン、アルミニウム、インジウムまたはこれらを含む分子イオンなどがある。また、酸化物半導体膜 403 に不純物 421 を添加する方法として、イオンドーピング法またはイオンインプランテーション法を用いることができる。

【0113】

なお、酸化物半導体膜 403 に不純物 421 を添加する処理は、複数回行っても良い。酸化物半導体膜 403 に不純物 421 を添加する処理を複数回行う場合、不純物 421 は複数回すべてにおいて同じであってもよいし、1 回の処理毎に変えてもよい。

【0114】

なお、不純物 421 のドーズ量は、 $1 \times 10^{13} \sim 5 \times 10^{16}$  ions / cm<sup>2</sup> とす

50

るのが好ましい。また、不純物としてリンを添加する場合、加速電圧を  $0.5 \sim 80 \text{ kV}$  とするのが好ましい。本実施の形態では、不純物 421 としてリンを、イオンインプランテーション法を用いて酸化物半導体膜 403 に加速電圧を  $30 \text{ kV}$ 、ドーズ量を  $1.0 \times 10^{15} \text{ ions/cm}^2$  の条件で添加する。

#### 【0115】

また、低抵抗領域 403a および低抵抗領域 403b は、チャネル形成領域 403c よりも不純物濃度が高くなっている。不純物濃度を高くすることによって酸化物半導体膜中のキャリア密度が増加し、ソース電極およびドレイン電極と酸化物半導体膜の間のコンタクト抵抗が低くなるため、ソース電極およびドレイン電極と酸化物半導体膜の間に良好なオーミックコンタクトをとることができる。

10

#### 【0116】

次に、ゲート絶縁膜 412 およびゲート電極 401a 上に絶縁膜 415 を形成する（図 3（B）参照）。

#### 【0117】

絶縁膜 415 の材料としては、酸化シリコン、酸化ガリウム、酸化アルミニウム、酸化ジルコニウム、酸化イットリウム、酸化ハフニウム、酸化ランタン、酸化ネオジム、酸化タンタル、窒化シリコン、酸化窒化シリコン、酸化窒化アルミニウム、または窒化酸化シリコン等を用いて形成することができる。絶縁膜 415 は、単層でも積層でも構わない。

#### 【0118】

また、ゲート絶縁膜 412 およびゲート電極 401a に接する絶縁膜 415 に酸化アルミニウム膜を設けると好ましい。特に膜密度が  $3.2 \text{ g/cm}^3$  以上、さらに好ましくは  $3.6 \text{ g/cm}^3$  以上の酸化アルミニウム膜を用いるとよい。酸化アルミニウム膜の膜厚は、 $30 \text{ nm}$  以上  $150 \text{ nm}$  以下、好ましくは  $50 \text{ nm}$  以上  $100 \text{ nm}$  以下であるとよい。当該酸化アルミニウム膜の密度を上記数値とすることで、水分や水素が酸化物半導体膜に侵入し、拡散することを抑制することができる。また、酸化物半導体膜 403 から酸素が抜けてしまうことを抑制することができる。

20

#### 【0119】

次に、ゲート電極 401a が露出しないように絶縁膜 415 の一部に除去（研磨）処理を行い、絶縁膜 415a を形成する（図 3（C）参照）。本実施の形態では、ゲート電極 401a 上に絶縁膜 415a が  $100 \text{ nm}$  形成されるように除去処理を行う。

30

#### 【0120】

除去方法としては化学的機械研磨（Chemical Mechanical Polishing：CMP）処理を用いることが好適である。

#### 【0121】

なお、本実施の形態では、除去処理に CMP 処理を用いたが、他の除去処理を用いてもよい。または、CMP 処理等の研磨処理と、エッチング（ドライエッチング、ウェットエッチング）処理や、プラズマ処理などを組み合わせてもよい。除去処理に、エッチング処理、プラズマ処理などを組み合わせて行う場合、工程順は特に限定されず、絶縁膜 415 の材料、膜厚、および表面の凹凸状態に合わせて適宜設定すればよい。また、CMP 処理で絶縁膜 415 の大部分を除去し、残りの絶縁膜 415 をドライエッチング処理で除去してもよい。

40

#### 【0122】

なお、CMP 処理は、1 回のみ行ってもよいし、複数回行ってもよい。複数回に分けて CMP 処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うことが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、絶縁膜 415 の表面の平坦性をより向上させることができる。

#### 【0123】

上記のような構成にすることで、ゲート電極領域の高さを絶縁膜 415a で高くすることができ、後にゲート電極 401a 側面にサイドウォール絶縁膜を形成しつつ、ソース電極およびドレイン電極の分離を簡便に行うことができる。

50

## 【0124】

次に、絶縁膜415a上に反射防止膜407を形成し、反射防止膜407上にレジストを形成し、該レジストに対して電子ビームを用いた露光を行い、低抵抗領域403a、低抵抗領域403bおよびチャネル形成領域403cと重畳するレジストマスク430を選択的に形成する(図3(D)参照)。

## 【0125】

反射防止膜407は、Al、Ti、Cr、Co、Zr、Mo、TaおよびWを一種以上含む、単体、窒化物、酸化物または合金を、単層または積層して用いればよい。または、少なくともInおよびZnを含む酸化物または酸窒化物を用いても構わない。例えば、In-Ga-Zn-O-N系材料などを用いればよい。本実施の形態では、反射防止膜407としてタングステン膜を30nm成膜する。

10

## 【0126】

反射防止膜407は、露光する際の光が反射しないようにまたは光が透過しないようにレジストの下に設けている。レジストの下に反射防止膜を設けることで、露光・現像後のパターンの形状の形成の精度が向上する。

## 【0127】

また、ゲート電極401aの形成と同様、反射防止膜407上にハードマスク膜(窒化酸化シリコン膜または酸化シリコン膜上にアモルファスシリコン膜が積層している積層膜)を形成した方がより好ましい。このようにすることで、レジストマスクが薄くてもエッチング選択比が高いため、上層のパターン形成された膜をマスクに下層のパターン形成が容易にできる。

20

## 【0128】

また、電子ビームを用いた露光の条件については、先のレジストマスク420の条件を参酌することができる。

## 【0129】

次に、反射防止膜407、絶縁膜415aおよびゲート絶縁膜412をエッチングして、島状の反射防止膜407a、絶縁膜415bおよびゲート絶縁膜412aを形成する(図4(A)参照)。ここで、図中の距離L1は、電子ビームによる露光によって、決定することができるため、後に形成されるソース電極405a(またはドレイン電極405b)と酸化物半導体膜403とが接する領域(コンタクト領域)、およびゲート電極401a間の抵抗が減少し、トランジスタ450のオン特性を向上させることが可能となる。例えば、図中の距離L1が30nm以下のトランジスタを作製することができる。

30

## 【0130】

次に、レジストマスク430を除去し、下地絶縁膜432、低抵抗領域403a、低抵抗領域403bおよび反射防止膜407a上に導電膜405を形成する(図4(B)参照)。

## 【0131】

導電膜405は、Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、Ta、RuおよびWを一種以上含む、単体、窒化物、酸化物または合金を、単層または積層して用いればよい。または、少なくともInおよびZnを含む酸化物または酸窒化物を用いても構わない。例えば、In-Ga-Zn-O-N系材料などを用いればよい。本実施の形態では、タングステン膜を30nm成膜した。

40

## 【0132】

次に、導電膜405上に絶縁膜425を形成する(図4(C)参照)。

## 【0133】

絶縁膜425の材料としては、酸化シリコン、酸化ガリウム、酸化アルミニウム、酸化ジルコニウム、酸化イットリウム、酸化ハフニウム、酸化ランタン、酸化ネオジム、酸化タンタル、窒化シリコン、窒化窒化シリコン、窒化窒化アルミニウム、または窒化酸化シリコン等を用いて形成することができる。絶縁膜425は、単層でも積層でも構わない。

## 【0134】

50



また、導電膜 405 に接する絶縁膜 425 に酸化アルミニウム膜を設けると好ましい。特に膜密度が  $3.2 \text{ g/cm}^3$  以上、さらに好ましくは  $3.6 \text{ g/cm}^3$  以上の酸化アルミニウム膜を用いるとよい。酸化アルミニウム膜の膜厚は、 $30 \text{ nm}$  以上  $150 \text{ nm}$  以下、好ましくは  $50 \text{ nm}$  以上  $100 \text{ nm}$  以下であるとよい。当該酸化アルミニウム膜の密度を上記数値とすることで、水分や水素が酸化物半導体膜に侵入し、拡散することを抑制することができる。また、酸化物半導体膜 403 から酸素が抜けてしまうことを抑制することができる。

#### 【0135】

次に、絶縁膜 415b が露出するように絶縁膜 425、導電膜 405 の一部および反射防止膜 407a に除去（研磨）処理を行い、絶縁膜 425、導電膜 405 を加工して絶縁膜 425a、ソース電極 405a およびドレイン電極 405b を形成する（図 4（D）参照）。

10

#### 【0136】

除去方法としては化学的機械研磨（Chemical Mechanical Polishing：CMP）処理を用いることが好適である。

#### 【0137】

なお、本実施の形態では、ソース電極 405a およびドレイン電極 405b の上面の高さと絶縁膜 415b および絶縁膜 425a の上面の高さは実質的に揃っている。なお、本実施の形態で「ソース電極 405a およびドレイン電極 405b の上面の高さと絶縁膜 415b および絶縁膜 425a の上面の高さは実質的に揃っている」とは、ゲート電極領域の高さの 10% 以内、かつ、 $20 \text{ nm}$  以下のずれを含むものとする。このような構成にすることで、後の工程（トランジスタ 450 を有する半導体装置や電子機器の作製工程等）で形成される薄膜の被覆性を向上させることができ、薄い膜や配線の段切れを抑制することができる。例えば、ソース電極 405a およびドレイン電極 405b と絶縁膜 415b および絶縁膜 425a の間に段差があると、段差部にかかる膜や配線が切れてしまい、不良となってしまうが、ソース電極 405a およびドレイン電極 405b の上面と絶縁膜 415b および絶縁膜 425a の上面の高さが実質的に揃っているとそのような不良を抑制できるため、信頼性を向上させることができる。

20

#### 【0138】

また、後の工程で形成される膜や配線の被覆性が損なわれない程度の浅い段差であれば、ソース電極 405a およびドレイン電極 405b の上面の高さと絶縁膜 415b および絶縁膜 425a の上面の高さが多少ずれていても構わない。

30

#### 【0139】

なお、本実施の形態では、除去処理に CMP 処理を用いたが、他の除去処理を用いてもよい。または、CMP 処理等の研磨処理と、エッチング（ドライエッチング、ウェットエッチング）処理や、プラズマ処理などを組み合わせてもよい。除去処理に、エッチング処理、プラズマ処理などを組み合わせて行う場合、工程順は特に限定されず、絶縁膜 425 の材料、膜厚、および表面の凹凸状態に合わせて適宜設定すればよい。また、CMP 処理で絶縁膜 425 の大部分を除去し、残りの絶縁膜 425 をドライエッチング処理で除去してもよい。

40

#### 【0140】

なお、CMP 処理は、1 回のみ行ってもよいし、複数回行ってもよい。複数回に分けて CMP 処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うことが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、絶縁膜 425 の表面の平坦性をより向上させることができる。

#### 【0141】

このように、絶縁膜 415b が露出するように除去処理を行うことで、ソース電極 405a およびドレイン電極 405b を形成することができる。

#### 【0142】

以上のような構成にすることで、ゲート電極領域の高さを絶縁膜 415b で高くするこ

50

とができ、同時にゲート電極 401a 側面にサイドウォール絶縁膜を形成することができる。これにより、ソース電極およびドレイン電極となる導電膜を除去（研磨）処理し、該導電膜を加工してソース電極 405a およびドレイン電極 405b の分離を簡便に行うことができる。

【0143】

また、電子ビームによる露光によってゲート電極 401a のチャンネル長方向の長さを決定することができる。ここで、ゲート電極 401a が形成された領域の酸化物半導体膜 403 は、トランジスタのチャンネル形成領域となる。つまり、電子ビームによる露光によってチャンネル長 L を決定することができるため、チャンネル長の小さいトランジスタを作製することができる。

10

【0144】

また、ソース電極 405a およびドレイン電極 405b は、露出した酸化物半導体膜 403 上面、および絶縁膜 415b と接して設けられている。よって、ソース電極 405a（またはドレイン電極 405b）と酸化物半導体膜 403 とが接する領域（コンタクト領域）と、ゲート電極 401a の距離 L1 は、電子ビームによる露光によって、決定することができるため、ソース電極 405a（またはドレイン電極 405b）と酸化物半導体膜 403 とが接する領域（コンタクト領域）、およびゲート電極 401a 間の抵抗が減少し、トランジスタ 450 のオン特性を向上させることが可能となる。

【0145】

したがって、微細化を実現し、かつ高い電気的特性を付与された半導体装置、および該半導体装置の作製方法を提供することができる。

20

【0146】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0147】

（実施の形態 2）

本実施の形態では、実施の形態 1 とは異なる本発明の一態様の半導体装置の構成について説明する。

【0148】

図 5 に、トランジスタ 470 の平面図および断面図を示す。図 5（A）は平面図であり、図 5（B）は、図 5（A）における C - D 断面に係る断面図である。なお、図 5（A）では、煩雑になることを避けるため、トランジスタ 470 の構成要素の一部（例えば、下地絶縁膜 432 など）を省略している。

30

【0149】

なお、本実施の形態では実施の形態 1 と同様の部分については、図面において同一の符号を付し、詳細な説明は省略する。

【0150】

< 本実施の形態における半導体装置の構成 >

図 5 は、本実施の形態の方法にて作製された半導体装置の構成例である。図 5 に示すトランジスタ 470 は、絶縁表面を有する基板 400 上に設けられた下地絶縁膜 432 と、下地絶縁膜 432 上の低抵抗領域 403a、低抵抗領域 403a を囲うチャンネル形成領域 403c、並びにチャンネル形成領域 403c を囲う低抵抗領域 403b とを含む酸化物半導体膜 403 と、酸化物半導体膜 403 上のゲート絶縁膜 412a と、ゲート絶縁膜 412a 上の、チャンネル形成領域 403c と重畳するゲート電極 401a と、ゲート絶縁膜 412a およびゲート電極 401a 上の絶縁膜 415b と、低抵抗領域 403a の一部と重畳するソース電極 405a と、下地絶縁膜 432 および低抵抗領域 403b の一部と重畳するドレイン電極 405b と、ソース電極 405a およびドレイン電極 405b 上の絶縁膜 425a と、絶縁膜 415b、絶縁膜 425a、ソース電極 405a およびドレイン電極 405b 上の層間絶縁膜 427 と、絶縁膜 415b および絶縁膜 425a に設けられた開口を介してゲート電極 401a、ソース電極 405a およびドレイン電極 405b とそ

40

50

れぞれ電氣的に接続する配線層 4 3 1 a、配線層 4 3 1 b および配線層 4 3 1 c と、を有する。

【 0 1 5 1 】

なお、図では、ソース電極 4 0 5 a を中央に配置し、その周囲にゲート電極 4 0 1 a およびドレイン電極 4 0 5 b を配置する構成としているが、半導体装置のレイアウトはこれに限定されない。各構成要素の配置は、半導体装置の機能を害さない範囲において適宜変更することができる。

【 0 1 5 2 】

< 本実施の形態における半導体装置の作製方法 >

トランジスタ 4 7 0 の作製方法について説明する。なお、実施の形態 1 と同様の点については説明を省略する。

【 0 1 5 3 】

トランジスタ 4 7 0 が有する、基板 4 0 0、下地絶縁膜 4 3 2、酸化物半導体膜 4 0 3 およびゲート絶縁膜（後のゲート絶縁膜 4 1 2 a）は実施の形態 1 に示す方法と同様の材料、方法を用いて形成することができる。

【 0 1 5 4 】

ゲート絶縁膜を形成した後、ゲート絶縁膜上にゲート電極 4 0 1 a となる導電膜を形成する。該導電膜は実施の形態 1 と同様の材料および方法を用いて形成することができる。

【 0 1 5 5 】

ゲート電極 4 0 1 a となる導電膜上にハードマスク膜、レジストを順に形成し、電子ビームによる露光を用いてレジストをパターニングして、マスクを形成する。また、ハードマスク膜は単層でも積層されていてもよい。ハードマスク膜は、実施の形態 1 と同様の材料および方法を用いて形成することができる。

【 0 1 5 6 】

上記レジストによるマスクを用いてハードマスク膜を選択的にエッチングし、島状のハードマスク膜を形成する。さらに島状のハードマスク膜をマスクとして導電膜を選択的にエッチングし、ゲート電極 4 0 1 a を形成する。ここで、ゲート電極 4 0 1 a が形成された領域の酸化物半導体膜 4 0 3 は、後にトランジスタ 4 7 0 のチャンネル形成領域となる。電子ビームによる露光によってチャンネル長  $L$  を決定することができるため、チャンネル長の小さい、例えば、チャンネル長が 1 nm 以上 30 nm 以下のトランジスタを作製することができる。

【 0 1 5 7 】

トランジスタ 4 7 0 のチャンネル長は、トランジスタ内のどこでも均等であることが好ましい。本実施の形態のトランジスタのチャンネル形成領域の形状には、曲線が含まれているため、電子ビームによる露光によって該曲線をなめらかに、また、線幅を均等に形成することが好ましい。

【 0 1 5 8 】

電子ビームによる露光によって、線幅が均等でなめらかな曲線を作製するには、例えば、基板が重畳しているステージを回転させることによって曲線の露光を行う方法等がある。また、直線状に移動するステージを用いても、電子ビームによる描画領域を分割する図形のサイズや向きを電子ビームのパターンに合わせて最適化する方法や、パターンの露光量が一定になるように、図形を均等な幅でずらして重ね描きする多重描画法等を適用し、トランジスタのチャンネル長が均等になるようにレジストマスクをパターニングすることができる。上記の方法等を用いて、レジストマスクの線幅を均一に形成し、トランジスタ 4 7 0 のチャンネル長を均等にすることが好ましい。

【 0 1 5 9 】

ゲート電極 4 0 1 a を形成した後、ゲート絶縁膜およびゲート電極 4 0 1 a 上に絶縁膜（後の絶縁膜 4 1 5 b）を形成する。該絶縁膜は実施の形態 1 と同様の材料および方法を用いて形成することができる。

【 0 1 6 0 】

10

20

30

40

50

次に、絶縁膜の一部に除去（研磨）処理を行い、除去処理を行った絶縁膜上に露光の光の反射を防止する反射防止膜およびレジストを形成し、エッチングによりゲート電極 4 0 1 a 側面にサイドウォール絶縁膜を形成する。同時にゲート電極領域の高さを、サイドウォール絶縁膜を形成する絶縁膜を用いて高くする。該除去処理、反射防止膜およびレジストは実施の形態 1 と同様の材料および方法を用いて形成することができる。

【0161】

次に、エッチングして露出した下地絶縁膜 4 3 2、低抵抗領域 4 0 3 a、低抵抗領域 4 0 3 b および反射防止膜上にソース電極 4 0 5 a およびドレイン電極 4 0 5 b となる導電膜を形成し、導電膜上に絶縁膜（後の絶縁膜 4 2 5 a）を形成する。該反射防止膜および絶縁膜は実施の形態 1 と同様の材料および方法を用いて形成することができる。

10

【0162】

次に、反射防止膜が消失するまで除去（研磨）処理を行い、ソース電極 4 0 5 a およびドレイン電極 4 0 5 b を形成する。同時に絶縁膜 4 2 5 a が形成される。

【0163】

ここで、ソース電極 4 0 5 a およびドレイン電極 4 0 5 b は、露出した酸化物半導体膜 4 0 3 上面、および絶縁膜 4 1 5 b と接して設けられている。よって、ソース電極 4 0 5 a（またはドレイン電極 4 0 5 b）と酸化物半導体膜 4 0 3 とが接する領域（コンタクト領域）と、ゲート電極 4 0 1 a の距離 L 1 は、電子ビームによる露光によって、決定することができるため、ソース電極 4 0 5 a（またはドレイン電極 4 0 5 b）と酸化物半導体膜 4 0 3 とが接する領域（コンタクト領域）、およびゲート電極 4 0 1 a 間の抵抗が減少し、トランジスタ 4 7 0 のオン特性を向上させることが可能となる。

20

【0164】

次に、絶縁膜 4 1 5 b、絶縁膜 4 2 5 a、ソース電極 4 0 5 a およびドレイン電極 4 0 5 b 上に層間絶縁膜 4 2 7 を形成し、絶縁膜 4 1 5 b、絶縁膜 4 2 5 a、層間絶縁膜 4 2 7 をエッチングし、ゲート電極 4 0 1 a、ソース電極 4 0 5 a およびドレイン電極 4 0 5 b に達する開口をそれぞれ形成する。

【0165】

次に、各開口および層間絶縁膜 4 2 7 上に、導電膜を形成し、該導電膜をエッチングすることで、ゲート電極 4 0 1 a、ソース電極 4 0 5 a およびドレイン電極 4 0 5 b とそれぞれ電氣的に接続する配線層 4 3 1 a、配線層 4 3 1 b および配線層 4 3 1 c を形成することができる。

30

【0166】

本実施の形態に示したトランジスタ 4 7 0 は、ゲート電極 4 0 1 a のチャネル長方向の長さは、電子ビームを用いた露光によって得られるレジストをマスクとして決定される。電子ビームを用いることで、精密に露光、現像を行い、精細なパターンを実現することができる。

【0167】

以上のような構成にすることで、ゲート電極の領域の高さを絶縁膜 4 1 5 b で高くすることができる。同時にゲート電極 4 0 1 a 側面にサイドウォール絶縁膜を形成することができる。これにより、ソース電極およびドレイン電極となる導電膜を除去（研磨）処理する際に、ソース電極 4 0 5 a およびドレイン電極 4 0 5 b の分離を簡便に行うことができる。

40

【0168】

また、電子ビームによる露光によってゲート電極 4 0 1 a のチャネル長方向の長さを決定することができる。ここで、ゲート電極 4 0 1 a が形成された領域の酸化物半導体膜 4 0 3 は、トランジスタのチャネル形成領域となる。つまり、電子ビームによる露光によってチャネル長 L を決定することができるため、チャネル長の小さいトランジスタを作製することができる。

【0169】

また、ソース電極 4 0 5 a およびドレイン電極 4 0 5 b は、露出した酸化物半導体膜 4

50

03 上面、および絶縁膜 415 b と接して設けられている。よって、ソース電極 405 a (またはドレイン電極 405 b) と酸化物半導体膜 403 とが接する領域 (コンタクト領域) と、ゲート電極 401 a の距離 L1 は、電子ビームによる露光によって、決定することができるため、ソース電極 405 a (またはドレイン電極 405 b) と酸化物半導体膜 403 とが接する領域 (コンタクト領域)、およびゲート電極 401 a 間の抵抗が減少し、トランジスタ 470 のオン特性を向上させることが可能となる。

【0170】

さらに、トランジスタ 470 は、低抵抗化されやすい酸化物半導体膜の端部において、ソース電極またはドレイン電極の一方のみが接続しているため、寄生チャネルが形成されにくく、電気特性に優れるトランジスタを提供することができる。

10

【0171】

したがって、微細化を実現し、かつ高い電気的特性を付与された半導体装置、および該半導体装置の作製方法を提供することができる。

【0172】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0173】

(実施の形態 3)

本実施の形態では、実施の形態 1 に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置の一例を、図面を用いて説明する。なお、本実施の形態の半導体装置は、トランジスタ 162 として実施の形態 1 に記載のトランジスタ 450 を適用して構成される。

20

【0174】

図 6 は、半導体装置の構成の一例である。図 6 (A) に半導体装置の断面図を、図 6 (B) に半導体装置の平面図を、図 6 (C) に半導体装置の回路図をそれぞれ示す。ここで、図 6 (A) は、図 6 (B) の E - F、および G - H における断面に相当する。

【0175】

図 6 (A) および図 6 (B) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 160 を有し、上部に第 2 の半導体材料を用いたトランジスタ 162 を有するものである。トランジスタ 162 は、実施の形態 1 で示したトランジスタ 450 と同一の構成とすることができる。

30

【0176】

ここで、第 1 の半導体材料と第 2 の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料 (シリコンなど) とし、第 2 の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0177】

トランジスタ 162 は、酸化物半導体を含むトランジスタであり、オフ電流が小さいため、このトランジスタを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

40

【0178】

なお、上記トランジスタは、いずれも n チャネル型トランジスタであるものとして説明するが、p チャネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、情報を保持するために酸化物半導体をトランジスタ 162 に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0179】

50

図6(A)におけるトランジスタ160は、半導体材料(例えば、シリコンなど)を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域120と、不純物領域120に接する金属間化合物領域124と、チャネル形成領域116上に設けられたゲート絶縁膜108と、ゲート絶縁膜108上に設けられたゲート電極110と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれうる。

#### 【0180】

10

基板100上にはトランジスタ160を囲むように素子分離絶縁膜106が設けられており、トランジスタ160を覆うように絶縁膜130が設けられている。なお、高集積化を実現するためには、図6(A)に示すようにトランジスタ160がサイドウォール絶縁膜を有しない構成とすることが望ましい。一方で、トランジスタ160の特性を重視する場合には、ゲート電極110の側面にサイドウォール絶縁膜を設け、不純物濃度が異なる領域を含む不純物領域120としてもよい。

#### 【0181】

図6(A)に示すトランジスタ162は、酸化物半導体をチャネル形成領域に用いたトランジスタである。また、酸化物半導体膜144は、低抵抗領域144a、低抵抗領域144bおよびチャネル形成領域144cを含み、酸化物半導体膜144上にゲート絶縁膜146が形成されている。チャネル形成領域144cは、低抵抗領域144aおよび低抵抗領域144bに挟まれて形成される。

20

#### 【0182】

トランジスタ162は作製工程において、ゲート電極148上に設けられた絶縁膜を化学機械研磨処理により除去する工程を用いて、ゲート電極148側面にサイドウォール絶縁膜を有する絶縁膜135を形成する。また、同時にゲート電極の領域の高さを、サイドウォール絶縁膜を形成する絶縁膜で高くすることができる。

#### 【0183】

よって、トランジスタ162は、ゲート電極の領域の高さが高くなることで、ソース電極およびドレイン電極となる導電膜を除去(研磨)処理する際に、ソース電極およびドレイン電極の分離を簡便に行うことができる。

30

#### 【0184】

また、電子ビームによる露光によってゲート電極148のチャネル長方向の長さを決定することができる。ここで、ゲート電極148が形成された領域の酸化物半導体膜は、トランジスタのチャネル形成領域となる。つまり、電子ビームによる露光によってチャネル長Lを決定することができるため、チャネル長の小さい、例えば、チャネル長が1nm以上30nm以下のトランジスタを作製することができる。

#### 【0185】

また、ソース電極142aおよびドレイン電極142bは、露出した酸化物半導体膜144上面、および絶縁膜135と接して設けられている。よって、ソース電極142a(またはドレイン電極142b)と酸化物半導体膜144とが接する領域(コンタクト領域)と、ゲート電極148の距離は、電子ビームによる露光によって、決定することができるため、ソース電極142a(またはドレイン電極142b)と酸化物半導体膜144とが接する領域(コンタクト領域)、およびゲート電極148間の抵抗が減少し、トランジスタ162のオン特性を向上させることが可能となる。例えば、ソース電極142a(またはドレイン電極142b)と酸化物半導体膜144とが接する領域(コンタクト領域)と、ゲート電極148の距離が1nm以上30nm以下のトランジスタを作製することができる。

40

#### 【0186】

トランジスタ162上には、層間絶縁膜149、絶縁膜150が単層または積層で設け

50

られている。本実施の形態では、絶縁膜 150 として、酸化アルミニウム膜を用いる。酸化アルミニウム膜を高密度（膜密度  $3.2 \text{ g/cm}^3$  以上、好ましくは  $3.6 \text{ g/cm}^3$  以上）とすることによって、トランジスタ 162 に安定な電気特性を付与することができる。

#### 【0187】

また、層間絶縁膜 149 および絶縁膜 150 を介して、ソース電極 142a と重畳する領域には、導電膜 153 が設けられており、ソース電極 142a と、層間絶縁膜 149 と、絶縁膜 150 と、導電膜 153 とによって、容量素子 164 が構成される。すなわち、ソース電極 142a は、容量素子 164 の一方の電極として機能し、導電膜 153 は、容量素子 164 の他方の電極として機能する。なお、容量が不要の場合には、容量素子 164 を設けない構成とすることもできる。また、容量素子 164 は、別途、トランジスタ 162 の上方に設けてもよい。

10

#### 【0188】

トランジスタ 162 および容量素子 164 の上には絶縁膜 152 が設けられている。そして、絶縁膜 152 上には配線 156a および配線 156b が設けられ、その配線 156a および配線 156b はトランジスタ 162 と他のトランジスタを接続するために設けられている。配線 156a は、層間絶縁膜 149、絶縁膜 150、および絶縁膜 152 に形成された開口に形成された電極を介してソース電極 142a と電氣的に接続される。配線 156b は、層間絶縁膜 149、絶縁膜 150、および絶縁膜 152 に形成された開口に形成された電極を介してドレイン電極 142b と電氣的に接続される。

20

#### 【0189】

図 6 (A) および図 6 (B) において、トランジスタ 160 と、トランジスタ 162 とは、少なくとも一部が重畳するように設けられており、トランジスタ 160 のソース領域またはドレイン領域と酸化物半導体膜 144 の一部が重畳するように設けられているのが好ましい。また、トランジスタ 162 および容量素子 164 が、トランジスタ 160 の少なくとも一部と重畳するように設けられている。例えば、容量素子 164 の導電膜 153 は、トランジスタ 160 のゲート電極 110 と少なくとも一部が重畳して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

#### 【0190】

次に、図 6 (A) および図 6 (B) に対応する回路構成の一例を図 6 (C) に示す。

30

#### 【0191】

図 6 (C) において、第 1 の配線 (1st Line) とトランジスタ 160 のソース電極とは、電氣的に接続され、第 2 の配線 (2nd Line) とトランジスタ 160 のドレイン電極とは、電氣的に接続されている。また、第 3 の配線 (3rd Line) とトランジスタ 162 のソース電極またはドレイン電極の一方とは、電氣的に接続され、第 4 の配線 (4th Line) と、トランジスタ 162 のゲート電極とは、電氣的に接続されている。そして、トランジスタ 160 のゲート電極と、トランジスタ 162 のソース電極またはドレイン電極の他方は、容量素子 164 の電極の一方と電氣的に接続され、第 5 の配線 (5th Line) と、容量素子 164 の電極の他方は電氣的に接続されている。

40

#### 【0192】

図 6 (C) に示す半導体装置では、トランジスタ 160 のゲート電極の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

#### 【0193】

情報の書き込みおよび保持について説明する。まず、第 4 の配線の電位を、トランジスタ 162 がオン状態となる電位にして、トランジスタ 162 をオン状態とする。これにより、第 3 の配線の電位が、トランジスタ 160 のゲート電極、および容量素子 164 が接続されたノード (ノード FG) に与えられる。すなわち、ノード FG には、所定の電荷が

50

与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という）のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、ノードFGに与えられた電荷が保持される（保持）。

【0194】

トランジスタ162のオフ電流は極めて小さいため、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

【0195】

次に情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、ノードFGに保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、ノードFG（トランジスタ160のゲート電極と言い換えることもできる）にHighレベル電荷が与えられている場合の見かけのしきい値 $V_{th\_H}$ は、ノードFGにLowレベル電荷が与えられている場合の見かけのしきい値 $V_{th\_L}$ より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を $V_{th\_H}$ と $V_{th\_L}$ の間の電位 $V_0$ とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0$ （ $> V_{th\_H}$ ）となれば、トランジスタ160は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0$ （ $< V_{th\_L}$ ）となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

【0196】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 $V_{th\_H}$ より小さい電位を第5の配線に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 $V_{th\_L}$ より大きい電位を第5の配線に与えればよい。

【0197】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0198】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【0199】

また、トランジスタ162において、酸化物半導体膜の低抵抗領域144a（または低抵抗領域144b）はソース電極142a（またはドレイン電極142b）と接して電氣的に接続するため、コンタクト抵抗を低減することができ、電気的特性の優れた（例えば、高いオン電流特性を有する）トランジスタとすることができる。したがって、トランジスタ162を適用することで、半導体装置の高性能化を達成することができる。さらに、



トランジスタ 1 6 2 は信頼性の高いトランジスタであるため、半導体装置の高信頼性化を図ることができる。

【 0 2 0 0 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【 0 2 0 1 】

( 実施の形態 4 )

本実施の形態においては、実施の形態 1 に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態 3 に示した構成と異なる構成について、図 7 および図 8 を用いて説明を行う。なお、本実施の形態の半導体装置は、トランジスタ 1 6 2 として実施の形態 1 に記載のトランジスタを適用して構成される。トランジスタ 1 6 2 としては、先の実施の形態で示すトランジスタのいずれの構造も適用することができる。

【 0 2 0 2 】

図 7 ( A ) は、半導体装置の回路構成の一例を示し、図 7 ( B ) は半導体装置の一例を示す概念図である。まず、図 7 ( A ) に示す半導体装置について説明を行い、続けて図 7 ( B ) に示す半導体装置について、以下説明を行う。

【 0 2 0 3 】

図 7 ( A ) に示す半導体装置において、ビット線 B L とトランジスタ 1 6 2 のソース電極またはドレイン電極の一方とは電気的に接続され、ワード線 W L とトランジスタ 1 6 2 のゲート電極とは電気的に接続され、トランジスタ 1 6 2 のソース電極またはドレイン電極の他方と容量素子 1 6 4 の第 1 の端子とは電気的に接続されている。

【 0 2 0 4 】

酸化物半導体を用いたトランジスタ 1 6 2 は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ 1 6 2 をオフ状態とすることで、容量素子 1 6 4 の第 1 の端子の電位 (あるいは、容量素子 1 6 4 に蓄積された電荷) を極めて長時間にわたって保持することが可能である。

【 0 2 0 5 】

次に、図 7 ( A ) に示す半導体装置 (メモリセル 2 5 0 ) に、情報の書き込みおよび保持を行う場合について説明する。

【 0 2 0 6 】

まず、ワード線 W L の電位を、トランジスタ 1 6 2 がオン状態となる電位として、トランジスタ 1 6 2 をオン状態とする。これにより、ビット線 B L の電位が、容量素子 1 6 4 の第 1 の端子に与えられる (書き込み)。その後、ワード線 W L の電位を、トランジスタ 1 6 2 がオフ状態となる電位として、トランジスタ 1 6 2 をオフ状態とすることにより、容量素子 1 6 4 の第 1 の端子の電位が保持される (保持)。

【 0 2 0 7 】

トランジスタ 1 6 2 のオフ電流は極めて小さいから、容量素子 1 6 4 の第 1 の端子の電位 (あるいは容量素子に蓄積された電荷) は長時間にわたって保持することができる。

【 0 2 0 8 】

次に、情報の読み出しについて説明する。トランジスタ 1 6 2 がオン状態となると、浮遊状態であるビット線 B L と容量素子 1 6 4 とが導通し、ビット線 B L と容量素子 1 6 4 の間で電荷が再分配される。その結果、ビット線 B L の電位が変化する。ビット線 B L の電位の変化量は、容量素子 1 6 4 の第 1 の端子の電位 (あるいは容量素子 1 6 4 に蓄積された電荷) によって、異なる値をとる。

【 0 2 0 9 】

例えば、容量素子 1 6 4 の第 1 の端子の電位を V、容量素子 1 6 4 の容量を C、ビット線 B L が有する容量成分 (以下、ビット線容量とも呼ぶ) を C B、電荷が再分配される前のビット線 B L の電位を V B 0 とすると、電荷が再分配された後のビット線 B L の電位は、 $(C B \times V B 0 + C \times V) / (C B + C)$  となる。従って、メモリセル 2 5 0 の状態と

10

20

30

40

50

して、容量素子 164 の第 1 の端子の電位が  $V_1$  と  $V_0$  ( $V_1 > V_0$ ) の 2 状態をとるとすると、電位  $V_1$  を保持している場合のビット線 BL の電位 ( $= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$ ) は、電位  $V_0$  を保持している場合のビット線 BL の電位 ( $= (C_B \times V_{B0} + C \times V_0) / (C_B + C)$ ) よりも高くなることわかる。

【0210】

そして、ビット線 BL の電位を所定の電位と比較することで、情報を読み出すことができる。

【0211】

このように、図 7 (A) に示す半導体装置は、トランジスタ 162 のオフ電流が極めて小さいという特徴から、容量素子 164 に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

10

【0212】

次に、図 7 (B) に示す半導体装置について、説明を行う。

【0213】

図 7 (B) に示す半導体装置は、上部に記憶回路として図 7 (A) に示したメモリセル 250 を複数有するメモリセルアレイ 251 (メモリセルアレイ 251 a およびメモリセルアレイ 251 b) を有し、下部に、メモリセルアレイ 251 a およびメモリセルアレイ 251 b を動作させるために必要な周辺回路 253 を有する。なお、周辺回路 253 は、メモリセルアレイ 251 a およびメモリセルアレイ 251 b と電氣的に接続されている。

20

【0214】

図 7 (B) に示した構成とすることにより、周辺回路 253 をメモリセルアレイ 251 a およびメモリセルアレイ 251 b の直下に設けることができるため半導体装置の小型化を図ることができる。

【0215】

周辺回路 253 に設けられるトランジスタは、トランジスタ 162 とは異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、前記トランジスタにより、高速動作が要求される各種回路 (論理回路、駆動回路など) を好適に実現することが可能である。

30

【0216】

なお、図 7 (B) に示した半導体装置では、メモリセルアレイ 251 a とメモリセルアレイ 251 b の 2 つのメモリセルアレイが積層された構成を例示したが、積層するメモリセルアレイの数はこれに限定されない。3 つ以上のメモリセルアレイを積層する構成としても良い。

【0217】

次に、図 7 (A) に示したメモリセル 250 の具体的な構成について図 8 を用いて説明を行う。

40

【0218】

図 8 は、メモリセル 250 の構成の一例である。図 8 (A) に、メモリセル 250 の断面図を、図 8 (B) にメモリセル 250 の平面図をそれぞれ示す。ここで、図 8 (A) は、図 8 (B) の I - J、および K - L における断面に相当する。

【0219】

図 8 (A) および図 8 (B) に示すトランジスタ 162 は、実施の形態 1 で示した構成と同一の構成とすることができる。

【0220】

50

トランジスタ１６２上には、層間絶縁膜１４９が単層または積層で設けられている。また、層間絶縁膜１４９および絶縁膜１５０を介して、トランジスタ１６２のソース電極１４２ａと重畳する領域には、導電膜１５３が設けられており、ソース電極１４２ａと、層間絶縁膜１４９と、絶縁膜１５０と、導電膜１５３とによって、容量素子１６４が構成される。すなわち、トランジスタ１６２のソース電極１４２ａは、容量素子１６４の一方の電極として機能し、導電膜１５３は、容量素子１６４の他方の電極として機能する。

【０２２１】

トランジスタ１６２および容量素子１６４の上には絶縁膜１５２が設けられている。そして、絶縁膜１５２上には配線１５６ａおよび配線１５６ｂが設けられ、その配線１５６ａおよび配線１５６ｂはメモリセル２５０と隣接するメモリセル２５０を接続するための  
10  
配線１５６ａは、層間絶縁膜１４９、絶縁膜１５０、および絶縁膜１５２に形成された開口に形成された電極を介してソース電極１４２ａと電氣的に接続される。配線１５６ｂは、層間絶縁膜１４９、絶縁膜１５０、および絶縁膜１５２に形成された開口に形成された電極を介してドレイン電極１４２ｂと電氣的に接続される。但し、開口に他の導電膜を設け、該他の導電膜を介して、配線１５６ａ、配線１５６ｂとソース電極１４２ａ、ドレイン電極１４２ｂとを電氣的に接続してもよい。なお、配線１５６ａ、配線１５６ｂは、図７（Ａ）の回路図におけるビット線ＢＬに相当する。

【０２２２】

図８（Ａ）および図８（Ｂ）において、トランジスタ１６２のドレイン電極１４２ｂは、隣接するメモリセルに含まれるトランジスタのソース電極としても機能することができる。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。  
20

【０２２３】

図８（Ｂ）に示す平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【０２２４】

以上のように、上部に多層に形成された複数のメモリセルは、酸化物半導体を用いたトランジスタにより形成されている。酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。  
30

【０２２５】

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

【０２２６】

以上のように、微細化および高集積化を実現し、かつ高い電氣的特性を付与された半導体装置、および該半導体装置の作製方法を提供することができる。  
40

【０２２７】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【０２２８】

（実施の形態５）

本実施の形態では、先の実施の形態で示した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図９乃至図１２を用いて説明する。

【０２２９】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などにＳＲＡＭまたはＤＲＡＭが使用されている。ＳＲＡＭまたはＤＲＡＭが使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである  
50

。一方で、S R A MまたはD R A Mを画像データの一時記憶に用いた場合、以下の特徴がある。

【 0 2 3 0 】

通常のS R A Mは、図9 ( A ) に示すように1つのメモリセルがトランジスタ8 0 1 ~ 8 0 6 の6 個のトランジスタで構成されており、それをXデコーダー8 0 7、Yデコーダー8 0 8 にて駆動している。トランジスタ8 0 3 とトランジスタ8 0 5、トランジスタ8 0 4 とトランジスタ8 0 6 はインバータを構成し、高速駆動を可能としている。しかし、1つのメモリセルが6 トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法をFとしたときにS R A Mのメモリセル面積は通常1 0 0 ~ 1 5 0 F<sup>2</sup> である。このためS R A Mはビットあたりの単価が各種メモリの中で最も高い。

10

【 0 2 3 1 】

それに対して、D R A Mはメモリセルが図9 ( B ) に示すようにトランジスタ8 1 1、保持容量8 1 2 によって構成され、それをXデコーダー8 1 3、Yデコーダー8 1 4 にて駆動している。1つのセルが1 トランジスタ1 容量の構成になっており、面積が小さい。D R A Mのメモリセル面積は通常1 0 F<sup>2</sup> 以下である。ただし、D R A Mは常にリフレッシュが必要であり、書き換えを行わない場合でも電力を消費する。

【 0 2 3 2 】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、1 0 F<sup>2</sup> 前後であり、かつ頻繁なリフレッシュは不要である。したがって、メモリセル面積が縮小され、かつ消費電力が低減することができる。

20

【 0 2 3 3 】

図1 0 に携帯機器のブロック図を示す。図1 0 に示す携帯機器はR F回路9 0 1、アナログベースバンド回路9 0 2、デジタルベースバンド回路9 0 3、バッテリー9 0 4、電源回路9 0 5、アプリケーションプロセッサ9 0 6、フラッシュメモリ9 1 0、ディスプレイコントローラ9 1 1、メモリ回路9 1 2、ディスプレイ9 1 3、タッチセンサ9 1 9、音声回路9 1 7、キーボード9 1 8 などより構成されている。ディスプレイ9 1 3 は表示部9 1 4、ソースドライバ9 1 5、ゲートドライバ9 1 6 によって構成されている。アプリケーションプロセッサ9 0 6 はC P U 9 0 7、D S P 9 0 8、インターフェイス ( I F ) 9 0 9 を有している。一般にメモリ回路9 1 2 はS R A MまたはD R A Mで構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、かつ消費電力が十分に低減することができる。

30

【 0 2 3 4 】

図1 1 に、ディスプレイのメモリ回路9 5 0 に先の実施の形態で説明した半導体装置を使用した例を示す。図1 1 に示すメモリ回路9 5 0 は、メモリ9 5 2、メモリ9 5 3、スイッチ9 5 4、スイッチ9 5 5 およびメモリコントローラ9 5 1 により構成されている。また、メモリ回路は、信号線から入力された画像データ ( 入力画像データ )、メモリ9 5 2、およびメモリ9 5 3 に記憶されたデータ ( 記憶画像データ ) を読み出し、および制御を行うディスプレイコントローラ9 5 6 と、ディスプレイコントローラ9 5 6 からの信号により表示するディスプレイ9 5 7 が接続されている。

40

【 0 2 3 5 】

まず、ある画像データがアプリケーションプロセッサ ( 図示しない ) によって、形成される ( 入力画像データ A )。入力画像データ A は、スイッチ9 5 4 を介してメモリ9 5 2 に記憶される。そしてメモリ9 5 2 に記憶された画像データ ( 記憶画像データ A ) は、スイッチ9 5 5、およびディスプレイコントローラ9 5 6 を介してディスプレイ9 5 7 に送られ、表示される。

【 0 2 3 6 】

入力画像データ A に変更が無い場合、記憶画像データ A は、通常3 0 ~ 6 0 H z 程度の周期でメモリ9 5 2 からスイッチ9 5 5 を介して、ディスプレイコントローラ9 5 6 によ

50

り読み出される。

【 0 2 3 7 】

次に、例えばユーザーが画面を書き換える操作をしたとき（すなわち、入力画像データ A に変更がある場合）、アプリケーションプロセッサは新たな画像データ（入力画像データ B）を形成する。入力画像データ B はスイッチ 9 5 4 を介してメモリ 9 5 3 に記憶される。この間も定期的にメモリ 9 5 2 からスイッチ 9 5 5 を介して記憶画像データ A は読み出されている。メモリ 9 5 3 に新たな画像データ（記憶画像データ B）が記憶し終わると、ディスプレイ 9 5 7 の次のフレームより、記憶画像データ B は読み出され、スイッチ 9 5 5、およびディスプレイコントローラ 9 5 6 を介して、ディスプレイ 9 5 7 に記憶画像データ B が送られ、表示が行われる。この読み出しは、さらに次に新たな画像データがメモリ 9 5 2 に記憶されるまで継続される。

10

【 0 2 3 8 】

このようにメモリ 9 5 2 およびメモリ 9 5 3 は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ 9 5 7 の表示を行う。なお、メモリ 9 5 2 およびメモリ 9 5 3 はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ 9 5 2 およびメモリ 9 5 3 に採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、かつ消費電力が十分に低減することができる。

【 0 2 3 9 】

図 1 2 に電子書籍のブロック図を示す。図 1 2 に示す電子書籍は、バッテリー 1 0 0 1、電源回路 1 0 0 2、マイクロプロセッサ 1 0 0 3、フラッシュメモリ 1 0 0 4、音声回路 1 0 0 5、キーボード 1 0 0 6、メモリ回路 1 0 0 7、タッチパネル 1 0 0 8、ディスプレイ 1 0 0 9、ディスプレイコントローラ 1 0 1 0 によって構成される。

20

【 0 2 4 0 】

ここでは、図 1 2 のメモリ回路 1 0 0 7 に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路 1 0 0 7 は書籍の内容を一時的に保持する機能をもつ。例えば、ユーザーが電子書籍を読んでいるときに、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、特定の箇所を周囲と区別するハイライト機能を使用する場合などがある。ユーザーが指定した箇所の情報を長期に保存する場合にはフラッシュメモリ 1 0 0 4 にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、かつ消費電力が十分に低減することができる。

30

【 0 2 4 1 】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、かつ消費電力を低減した携帯機器が実現される。

【 0 2 4 2 】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することができる。

【 符号の説明 】

40

【 0 2 4 3 】

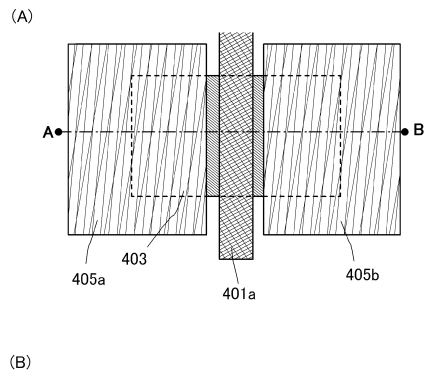
- 1 0 0 基板
- 1 0 6 素子分離絶縁膜
- 1 0 8 ゲート絶縁膜
- 1 1 0 ゲート電極
- 1 1 6 チャネル形成領域
- 1 2 0 不純物領域
- 1 2 4 金属間化合物領域
- 1 3 0 絶縁膜
- 1 3 5 絶縁膜

50

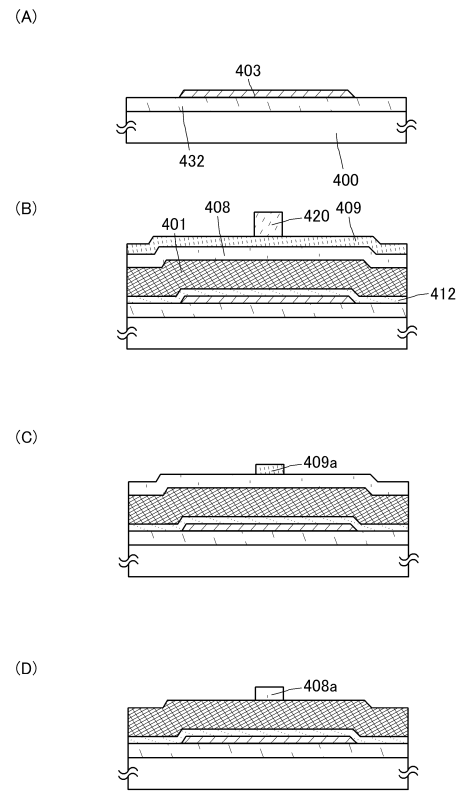
1 4 2 a	ソース電極	
1 4 2 b	ドレイン電極	
1 4 4	酸化物半導体膜	
1 4 4 a	低抵抗領域	
1 4 4 b	低抵抗領域	
1 4 4 c	チャネル形成領域	
1 4 6	ゲート絶縁膜	
1 4 8	ゲート電極	
1 4 9	層間絶縁膜	
1 5 0	絶縁膜	10
1 5 2	絶縁膜	
1 5 3	導電膜	
1 5 6 a	配線	
1 5 6 b	配線	
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	
2 5 0	メモリセル	
2 5 1	メモリセルアレイ	
2 5 1 a	メモリセルアレイ	20
2 5 1 b	メモリセルアレイ	
4 0 0	基板	
4 0 1	導電膜	
4 0 1 a	ゲート電極	
4 0 3	酸化物半導体膜	
4 0 3 a	低抵抗領域	
4 0 3 b	低抵抗領域	
4 0 3 c	チャネル形成領域	
4 0 5	導電膜	
4 0 5 a	ソース電極	30
4 0 5 b	ドレイン電極	
4 0 7	反射防止膜	
4 0 7 a	反射防止膜	
4 1 2	ゲート絶縁膜	
4 1 2 a	ゲート絶縁膜	
4 1 5	絶縁膜	
4 1 5 a	絶縁膜	
4 1 5 b	絶縁膜	
4 2 0	レジストマスク	
4 2 1	不純物	40
4 2 5	絶縁膜	
4 2 5 a	絶縁膜	
4 2 7	層間絶縁膜	
4 3 0	レジストマスク	
4 3 1 a	配線層	
4 3 1 b	配線層	
4 3 1 c	配線層	
4 3 2	下地絶縁膜	
4 5 0	トランジスタ	
4 7 0	トランジスタ	50

8 0 1	トランジスタ	
8 0 3	トランジスタ	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 7	X デコーダー	
8 0 8	Y デコーダー	
8 1 1	トランジスタ	
8 1 2	保持容量	
8 1 3	X デコーダー	10
8 1 4	Y デコーダー	
9 0 1	R F 回路	
9 0 2	アナログベースバンド回路	
9 0 3	デジタルベースバンド回路	
9 0 4	バッテリー	
9 0 5	電源回路	
9 0 6	アプリケーションプロセッサ	
9 0 7	C P U	
9 0 8	D S P	
9 0 9	インターフェイス ( I F )	20
9 1 0	フラッシュメモリ	
9 1 1	ディスプレイコントローラ	
9 1 2	メモリ回路	
9 1 3	ディスプレイ	
9 1 4	表示部	
9 1 5	ソースドライバ	
9 1 6	ゲートドライバ	
9 1 7	音声回路	
9 1 8	キーボード	
9 1 9	タッチセンサ	30
9 5 0	メモリ回路	
9 5 1	メモリコントローラ	
9 5 2	メモリ	
9 5 3	メモリ	
9 5 4	スイッチ	
9 5 5	スイッチ	
9 5 6	ディスプレイコントローラ	
9 5 7	ディスプレイ	
1 0 0 1	バッテリー	
1 0 0 2	電源回路	40
1 0 0 3	マイクロプロセッサ	
1 0 0 4	フラッシュメモリ	
1 0 0 5	音声回路	
1 0 0 6	キーボード	
1 0 0 7	メモリ回路	
1 0 0 8	タッチパネル	
1 0 0 9	ディスプレイ	
1 0 1 0	ディスプレイコントローラ	

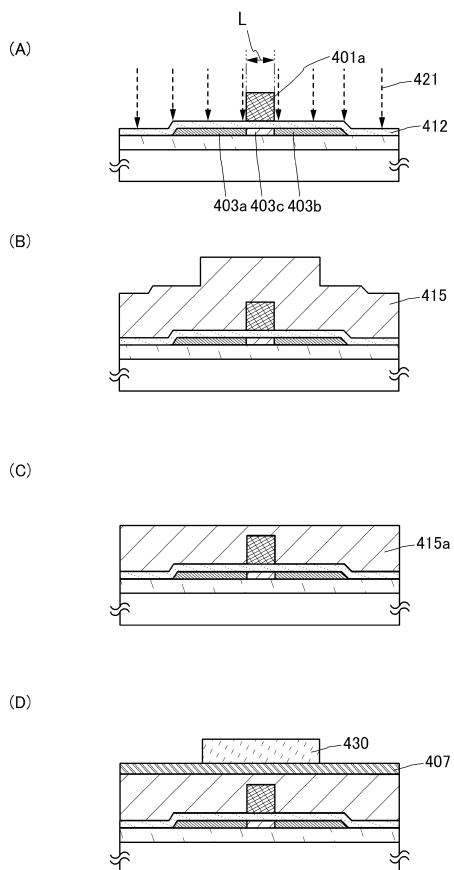
【図 1】



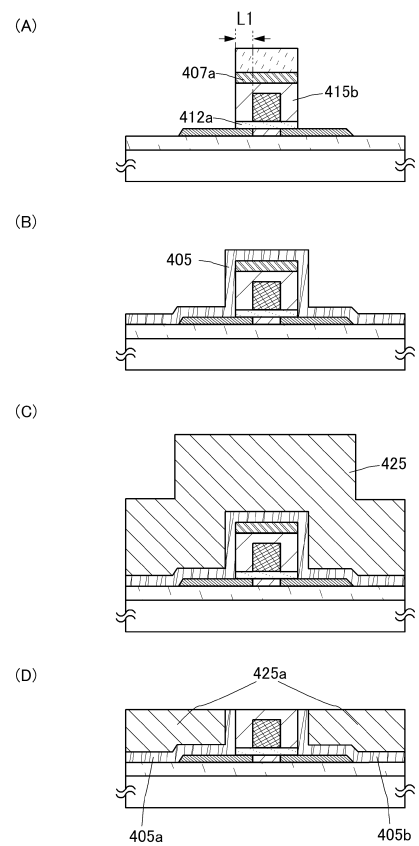
【図 2】



【図 3】

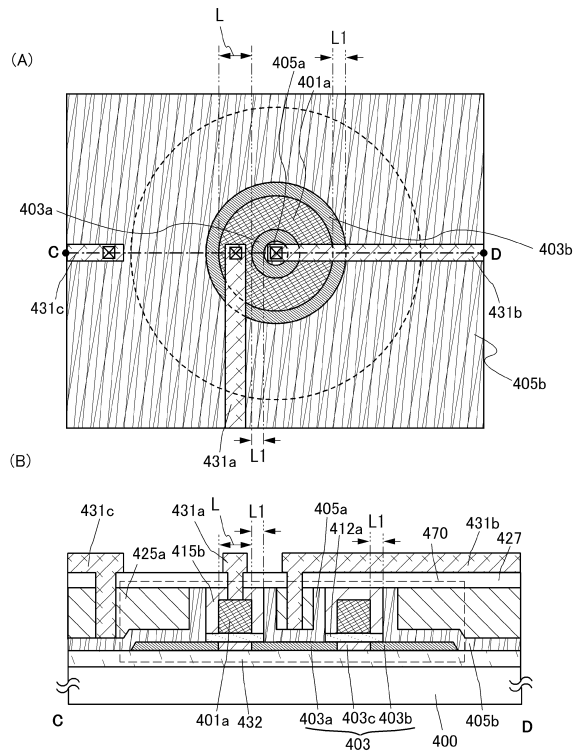


【図 4】

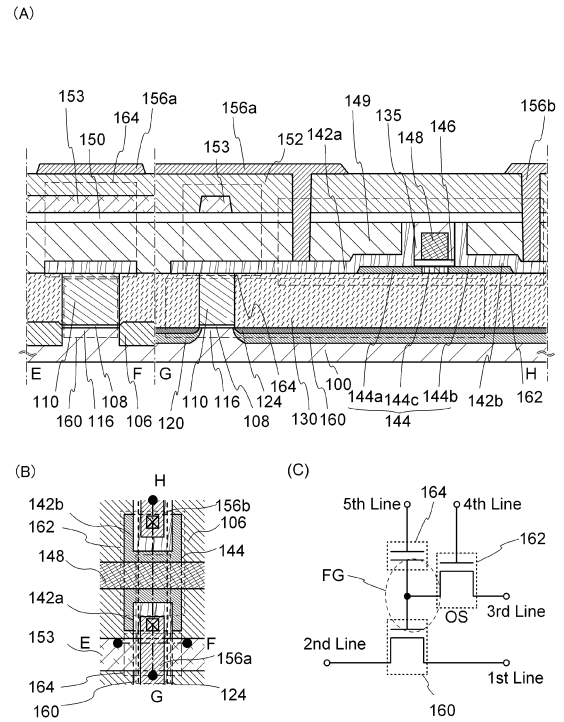




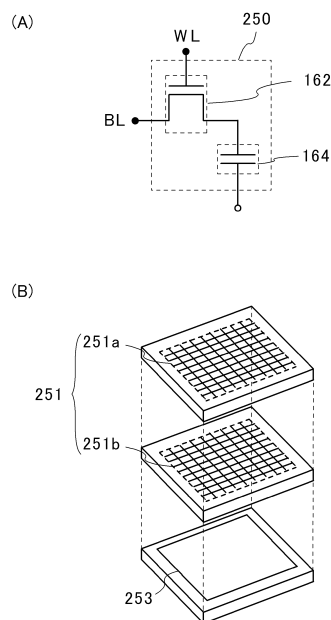
【図 5】



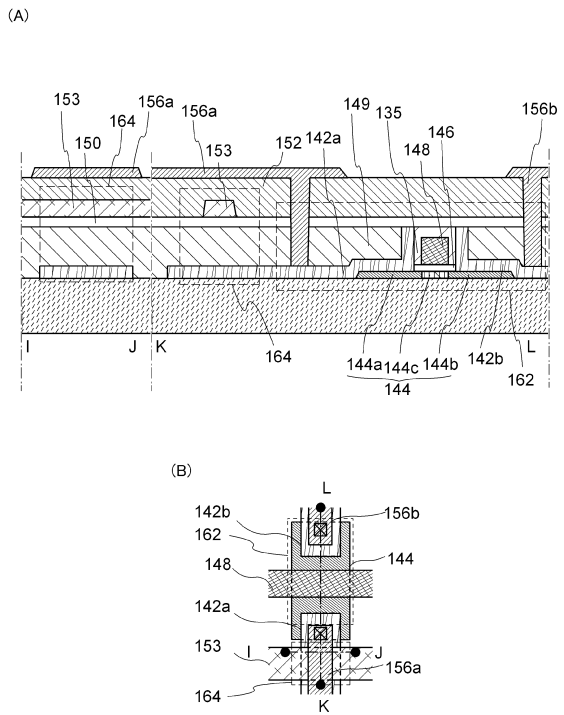
【図 6】



【図 7】

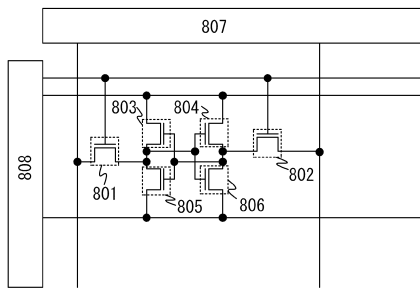


【図 8】

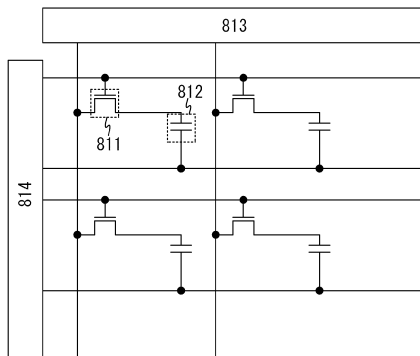


【図 9】

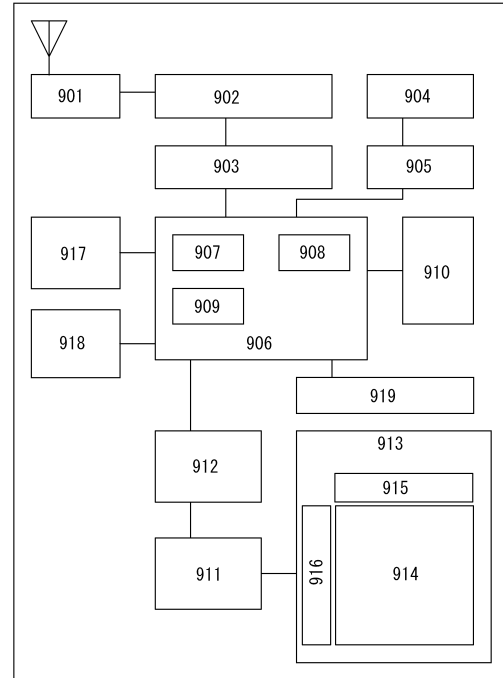
(A)



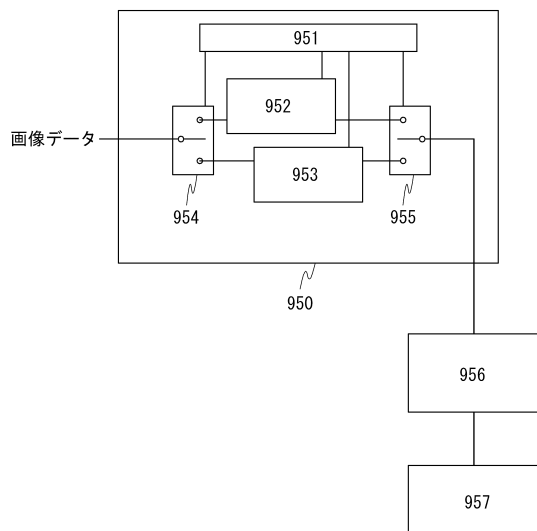
(B)



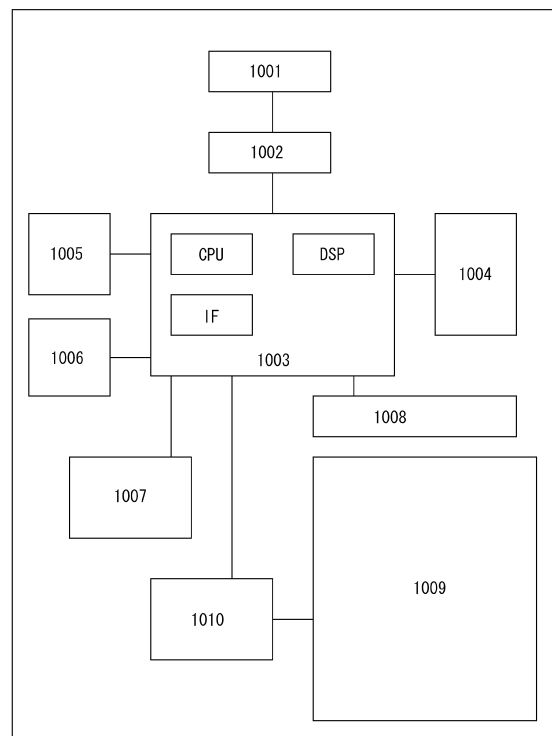
【図 10】



【図 11】



【図 12】



## フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	27/108	6 5 1
H 0 1 L	27/108	6 7 1 C
H 0 1 L	27/108	6 7 1 Z

(72)発明者 倉田 求

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 脇水 佳弘

(56)参考文献 特開 2 0 0 6 - 0 6 0 2 0 9 ( J P , A )

特開 2 0 1 0 - 0 1 6 3 6 2 ( J P , A )

特開 2 0 0 1 - 2 3 7 4 2 7 ( J P , A )

特開 2 0 1 1 - 1 8 1 9 1 7 ( J P , A )

特開平 1 0 - 0 4 1 5 2 0 ( J P , A )

特開 2 0 0 7 - 2 3 5 1 4 7 ( J P , A )

特開 2 0 0 2 - 0 5 0 7 6 9 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8 6

H 0 1 L 2 1 / 8 2 4 2

H 0 1 L 2 7 / 1 0 8