

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2010-74247
(P2010-74247A)

(43) 公開日 平成22年4月2日(2010.4.2)

(51) Int.Cl.	F I	テーマコード (参考)
H O 3 L 7/089 (2006.01)	H O 3 L 7/08 D	5 H 7 3 0
H O 2 M 3/00 (2006.01)	H O 2 M 3/00 H	5 J 1 0 6
H O 3 L 7/06 (2006.01)	H O 2 M 3/00 E	
	H O 3 L 7/06 B	

審査請求 未請求 請求項の数 11 O L (全 14 頁)

(21) 出願番号	特願2008-236402 (P2008-236402)	(71) 出願人	000006747
(22) 出願日	平成20年9月16日 (2008.9.16)		株式会社リコー
			東京都大田区中馬込 1 丁目 3 番 6 号
		(74) 代理人	100081422
			弁理士 田中 光雄
		(74) 代理人	100068526
			弁理士 田村 恭生
		(74) 代理人	100098280
			弁理士 石野 正弘
		(72) 発明者	道吉 啓
			東京都大田区中馬込 1 丁目 3 番 6 号 株式
			会社リコー内
		F ターム (参考)	5H730 AA02 AA15 FF06 FG07 FG25
			5J106 AA05 BB01 CC01 CC24 CC58
			DD19 DD25 DD48 GG01 KK22
			KK39

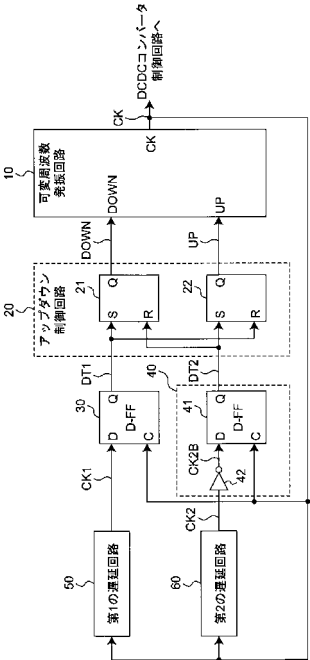
(54) 【発明の名称】 発振回路、DC－DCコンバータ及び半導体装置

(57) 【要約】

【課題】CPUなどの特別な制御回路が不要で、しかも無線送受信回路で用いている周波数に関わりなく、スイッチングノイズの影響を無視できるレベルまで軽減することが可能な発振周波数制御回路を提供する。

【解決手段】周波数が下限周波数と上限周波数の間を連続的に変化しながら往復する発振回路において、アップダウン制御回路20は、第1の検出回路30がクロック信号のハイレベル又はローレベルの時間が第1の遅延時間以下になったことを検出した場合は、ダウン信号を可変周波数発振回路に出力し、第2の検出回路40がクロック信号のハイレベル又はローレベルの時間が第2の遅延時間以上になったことを検出した場合は、アップ信号を可変周波数発振回路10に出力する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

周波数が下限周波数と上限周波数の間を連続的に変化しながら往復する発振回路において、

アップ信号に応じて周波数が上昇し、ダウン信号に応じて周波数が低下する可変周波数発振回路と、

前記可変周波数発振回路から出力されるクロック信号を第 1 の遅延時間だけ遅延させた第 1 のクロック信号を出力する第 1 の遅延回路と、

前記クロック信号を前記第 1 の遅延時間より長い第 2 の遅延時間だけ遅延させた第 2 のクロック信号を出力する第 2 の遅延回路と、

前記クロック信号と、前記第 1 のクロック信号とを比較し、前記クロック信号のハイレベル又はローレベルの時間が前記第 1 の遅延時間以下になったことを検出する第 1 の検出回路と、

前記クロック信号と、前記第 2 のクロック信号とを比較し、前記クロック信号のハイレベル又はローレベルの時間が前記第 2 の遅延時間以上になったことを検出する第 2 の検出回路と、

前記第 1 の検出回路と前記第 2 の検出回路の出力信号を入力し、前記アップ信号と前記ダウン信号を出力するアップダウン制御回路を備え、

前記アップダウン制御回路は、前記第 1 の検出回路が前記クロック信号のハイレベル又はローレベルの時間が前記第 1 の遅延時間以下になったことを検出した場合は、前記ダウン信号を前記可変周波数発振回路に出力し、

前記第 2 の検出回路が前記クロック信号のハイレベル又はローレベルの時間が前記第 2 の遅延時間以上になったことを検出した場合は、前記アップ信号を前記可変周波数発振回路に出力するように構成したことを特徴とする発振回路。

【請求項 2】

前記第 1 及び第 2 の遅延時間が、前記クロック信号のハイレベル又はローレベルのうちの短い方の時間の $1/2$ より長い場合は、前記クロック信号のハイレベル又はローレベルのうちの短い方の時間の $1/2$ より短い遅延時間の遅延回路を複数直列接続して構成したことを特徴とする請求項 1 記載の発振回路。

【請求項 3】

前記遅延回路は、コンデンサの充放電時間を用いた遅延回路で構成したことを特徴とする請求項 2 記載の発振回路。

【請求項 4】

前記第 2 の遅延回路の一部に前記第 1 の遅延回路の一部もしくは全部を用いたことを特徴とする請求項 1 乃至 3 のうちのいずれか 1 つに記載の発振回路。

【請求項 5】

前記第 1 の検出回路は D タイプフリップフロップ回路で構成し、前記 D タイプフリップフロップ回路のデータ端子に前記第 1 のクロック信号を入力し、クロック端子に前記クロック信号を入力し、前記第 1 の検出回路の出力信号を前記 D タイプフリップフロップ回路の出力端子から出力するように構成したことを特徴とする請求項 1 記載の発振回路。

【請求項 6】

前記第 2 の検出回路は D タイプフリップフロップ回路で構成し、前記 D タイプフリップフロップ回路のデータ端子に前記第 2 のクロック信号を反転した信号を入力し、クロック端子に前記クロック信号を入力し、前記第 2 の検出回路の出力信号を前記 D タイプフリップフロップ回路の出力端子から出力するように構成した請求項 1 記載の発振回路。

【請求項 7】

前記クロック信号のデューティ比を 50% に設定したことを特徴とする請求項 1 乃至 6 のうちのいずれか 1 つに記載の発振回路。

【請求項 8】

前記第 1 の遅延時間を前記上限周波数の周期の $1/2$ に設定し、前記第 2 の遅延時間を

10

20

30

40

50

前記下限周波数の周期の 1 / 2 に設定したことを特徴とする請求項 7 記載の発振回路。

【請求項 9】

請求項 1 乃至 8 のうちのいずれか 1 つに記載の発振回路から出力される前記クロック信号をスイッチングトランジスタのオンオフ信号に用いて DC - DC コンバータを構成したことを特徴とする DC - DC コンバータ。

【請求項 10】

無線用送信回路、無線用受信回路、又は無線用送受信回路の電源に用いるように構成したことを特徴とする請求項 9 記載の DC - DC コンバータ。

【請求項 11】

請求項 10 記載の DC - DC コンバータと、前記無線用送信回路、前記無線用受信回路又は前記無線用送受信回路とを同一半導体装置に集積するように構成したことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発振回路の周波数制御回路に関し、特に無線用送受信回路と同一半導体装置に搭載される DC - DC コンバータにクロックを供給する発振回路の周波数制御回路に関する。

【背景技術】

【0002】

電子機器の省電力化を進めるため、電源回路には高効率化が図られる DC - DC コンバータが使用されるようになった。しかし、DC - DC コンバータはスイッチング素子をオン/オフする際には大きなスイッチングノイズが発生する。このノイズは、スイッチング周波数はもちろん、その整数倍の周波数である高調波にも発生する。この影響で DC - DC コンバータと無線用送受信回路とを同一半導体装置に集積した場合は、DC - DC コンバータのスイッチングノイズが無線用送受信回路で用いる周波数に対し悪影響を与えてしまうという問題が発生するようになった。

【0003】

図 8 は従来技術に係る第 1 の従来例の発振回路の構成を示す回路図であり、図 9 は従来技術に係る第 2 の従来例の発振回路の構成を示す回路図であり、図 10 は従来技術に係る第 3 の従来例の発振回路の構成を示す回路図である。図 8 乃至図 10 は特許文献 1 及び特許文献 2 の図 4、図 8、図 10 にそれぞれ開示されている回路から、DC - DC コンバータのスイッチングトランジスタ駆動用クロック信号生成部分を抜き書きしたものである。

【0004】

図 8 の第 1 の従来例について簡単に説明する。基準発振回路 55 には発振子 56 が接続されている。基準発振回路 55 は発振子 56 に基づき一定周波数の発振信号 FT を生成する。分周器 57 は発振信号 FT を分周して信号 CC を生成し、位相比較器 58 に出力する。位相比較器 58 は信号 CC と、分周器 64 から出力される分周信号 CD の位相を比較し、周波数誤差信号 EFC を生成する。この周波数誤差信号 EFC は低域フィルタ 59 を介して NPN 形トランジスタ 60 のベースに供給されている。

【0005】

発振器 61 は CR 発振回路で構成され、発振信号 Fs を出力する。発振信号 Fs の周波数は抵抗器 62 とコンデンサ 63 によって設定される。抵抗器 62 にはトランジスタ 60 が並列接続されており、トランジスタ 60 によって抵抗器 62 の端子間の抵抗値を変化させ、発振信号 Fs の周波数を変化するようにしている。発振信号 Fs は分周器 64、及び図示しない DC - DC 制御回路に供給される。分周器 64 は、発振信号 Fs を所定の分周比で分周する。所定の分周比は、図示しないラジオ放送を受信するチューナ部の選局用マイコンから出力される分周制御信号 BC によって設定される。

【0006】

いま、分周器 57 は発振信号 FT を分周して 5 kHz の信号 CC を生成しているとする

10

20

30

40

50

。また、分周器 6 4 は発振信号 F_s を $1/20$ に分周して分周信号 CD を出力しているとする。位相比較器 5 8 は信号 CC と分周信号 CD を比較して、両信号が同じ周波数になるように周波数誤差信号 EFC を生成してトランジスタ 6 0 に供給するので、発振器 6 1 で生成される発振信号 F_s の周波数は 100 kHz となる。DC - DC 制御回路ではこの発振信号 F_s に基づきスイッチングトランジスタをスイッチングするので、 100 kHz とその整数倍の高調波にノイズ成分が発生する。

【0007】

ここで、図示しないチューナ部を動作させて、例えば 999 kHz の放送電波を受信するとする。このときは分周制御信号 BC によって、分周器 6 4 の分周比を 2 1 に設定する。すると発振信号 F_s は $1/21$ に分周されて分周信号 CD は約 4.76 kHz となる。位相比較器 5 8 は分周信号 CD が 5 kHz になるように、発振信号 F_s の周波数を高くする周波数誤差信号 EFC を出力する。すなわち、 $1/21$ の分周で 5 kHz の分周信号 CD が得られるように発振信号 F_s の周波数は 105 kHz まで上昇する。スイッチングトランジスタは、 105 kHz の発振信号 F_s に基づいて駆動されるので、スイッチングノイズは受信する放送電波の受信帯域や中間周波数信号の周波数と異なり、受信障害を防止することができる。

10

【0008】

図 9 の第 2 の従来例について簡単に説明する。位相比較器 6 5 には、図示しないチューナ部で生成された所定の周波数の基準信号 CB と、分周器 6 4 から出力される分周信号 CD が入力されている。位相比較器 6 5 は、基準信号 CB と分周信号 CD を比較し、周波数誤差信号 EFE を生成し、低域フィルタ 5 9 を介してトランジスタ 6 0 に供給している。

20

【0009】

いま、分周器 6 4 の分周比を 1 2 に設定する。また、チューナ部で受信される放送電波の局間周波数を 9 kHz とすると、この 9 kHz を基準信号 CB の周波数として位相比較器 6 5 に入力する。位相比較器 6 5 は、基準信号 CB と分周信号 CD の周波数が一致するように周波数誤差信号 EFE を生成するので、発振器 6 1 で生成される発振信号 F_s の周波数は 108 kHz になる。このとき、 1080 kHz の放送電波を受信しようとする、スイッチングノイズの高調波成分と受信する放送電波の周波数が等しくなりスイッチングノイズの影響を受けてしまう。そこで、分周制御信号 BC によって、分周器 6 4 の分周比を 1 3 に変更する。すると、発振信号 F_s の周波数は 117 kHz に変更されるので、スイッチングノイズの高調波成分は受信する放送電波の受信帯域から外れ、受信障害を防止することができる。

30

【0010】

図 10 の第 3 の従来例について簡単に説明する。発振回路 6 6 には発振子 6 7 が接続されている。発振回路 6 6 はこの発振子 6 7 に基づき一定の周波数の発振信号 F_u を生成する。この発振信号 F_u は分周器 6 8 に入力されている。

【0011】

分周器 6 8 は発振信号 F_u を分周して発振信号 F_s を出力する。発振信号 F_s は図示しない DC - DC 制御回路に供給されスイッチングトランジスタを駆動する。また、分周器 6 8 には分周制御部 6 9 が接続されている。分周制御部 6 9 は、分周器 6 8 の分周比を所定時間間隔で連続して切り換えたり、非連続的に切り換えたりするための分周制御信号 BD を生成する。

40

【0012】

分周器 6 8 は分周制御信号 BD により、分周比が所定時間間隔で連続、又は非連続的に切り換えられるので、発振信号 F_s の周波数も所定時間間隔で切り換えられることになる。このように、スイッチング信号である発振信号 F_s の周波数が連続的、あるいは非連続的に可変されるので、スイッチングによって生じるノイズの基本周波数成分、及び高調波周波数成分が分散される。このため、所定の周波数における単位時間当たりのノイズ量を軽減することができ、発生するノイズの影響を実用上問題ないレベルに軽減することができる。

50

【 0 0 1 3 】

【特許文献 1】特開平 9 - 2 6 6 4 2 5 号公報。

【特許文献 2】特開平 9 - 2 6 6 4 2 6 号公報。

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 4 】

しかしながら、図 8 及び図 9 の従来例では、分周器 6 4 の分周比を設定するために CPU などの特別な制御回路が必要であり、そのような制御回路を持たないシステムでは利用することができないという問題がある。

【 0 0 1 5 】

10

また、図 1 0 の従来例の場合は、発振信号 F u を、所定の時間ごとに分周比を変化させた分周器 6 8 で分周した発振信号 F s をスイッチング信号として使用しているので、発振信号 F s の周波数は離散的な周波数になってしまう。また、発振信号 F s の周波数は所定の時間同じ周波数を維持することになる。このため、チューナ部の周波数が発振信号 F s の周波数の基本周波数もしくは高調波周波数と一致した場合は、所定の時間ノイズの影響を受けることになる。

【 0 0 1 6 】

本発明の目的は上述した実情を考慮してなされたものであって、CPU などの特別な制御回路が不要で、しかも無線送受信回路で用いている周波数に関わりなく、スイッチングノイズの影響を無視できるレベルまで軽減することが可能な発振周波数制御回路を提供することにある。

20

【課題を解決するための手段】

【 0 0 1 7 】

上記の課題を解決するために、第 1 の発明に係る発振回路によれば、周波数が下限周波数と上限周波数の間を連続的に変化しながら往復する発振回路において、アップ信号に応じて周波数が上昇し、ダウン信号に応じて周波数が低下する可変周波数発振回路と、前記可変周波数発振回路から出力されるクロック信号を第 1 の遅延時間だけ遅延させた第 1 のクロック信号を出力する第 1 の遅延回路と、前記クロック信号を前記第 1 の遅延時間より長い第 2 の遅延時間だけ遅延させた第 2 のクロック信号を出力する第 2 の遅延回路と、前記クロック信号と、前記第 1 のクロック信号とを比較し、前記クロック信号のハイレベル又はローレベルの時間が前記第 1 の遅延時間以下になったことを検出する第 1 の検出回路と、前記クロック信号と、前記第 2 のクロック信号とを比較し、前記クロック信号のハイレベル又はローレベルの時間が前記第 2 の遅延時間以上になったことを検出する第 2 の検出回路と、前記第 1 の検出回路と前記第 2 の検出回路の出力信号を入力し、前記アップ信号と前記ダウン信号を出力するアップダウン制御回路を備え、前記アップダウン制御回路は、前記第 1 の検出回路が前記クロック信号のハイレベル又はローレベルの時間が前記第 1 の遅延時間以下になったことを検出した場合は、前記ダウン信号を前記可変周波数発振回路に出力し、前記第 2 の検出回路が前記クロック信号のハイレベル又はローレベルの時間が前記第 2 の遅延時間以上になったことを検出した場合は、前記アップ信号を前記可変周波数発振回路に出力するように構成したことを特徴とする。

30

40

【 0 0 1 8 】

上記発振回路において、前記第 1 及び第 2 の遅延時間が、前記クロック信号のハイレベル又はローレベルのうちの短い方の時間の $1/2$ より長い場合は、前記クロック信号のハイレベル又はローレベルの短い方の時間の $1/2$ より短い遅延時間の遅延回路を複数直列接続して構成したので、コンデンサの充放電を用いた簡単な構成の遅延回路が使用可能となった。

【 0 0 1 9 】

また、上記発振回路において、前記遅延回路は、コンデンサの充放電時間を用いた遅延回路で構成したので回路構成が簡単になった。

【 0 0 2 0 】

50

さらに、上記発振回路において、前記第 2 の遅延回路の一部に前記第 1 の遅延回路の一部もしくは全部を用いたので、遅延回路の回路規模を小さくすることができる。

【0021】

またさらに、上記発振回路において、前記第 1 の検出回路は D タイプフリップフロップ回路で構成し、前記 D タイプフリップフロップ回路のデータ端子に前記第 1 のクロック信号を入力し、クロック端子に前記クロック信号を入力し、前記第 1 の検出回路の出力信号を前記 D タイプフリップフロップ回路の出力端子から出力するように構成したことを特徴とする。

【0022】

また、上記発振回路において、前記第 2 の検出回路は D タイプフリップフロップ回路で構成し、前記 D タイプフリップフロップ回路のデータ端子に前記第 2 のクロック信号を反転した信号を入力し、クロック端子に前記クロック信号を入力し、前記第 2 の検出回路の出力信号を前記 D タイプフリップフロップ回路の出力端子から出力するように構成したことを特徴とする。

【0023】

さらに、上記発振回路において、前記クロック信号のデューティ比を 50 % に設定したので、第 1 及び第 2 の遅延回路の遅延時間を最も短くでき、しかも第 1 及び第 2 の遅延回路を構成する遅延回路の遅延時間を最も長くすることができ、遅延回路の回路規模の縮小が可能となった。

【0024】

またさらに、上記発振回路において、前記第 1 の遅延時間を前記上限周波数の周期の $1/2$ に設定し、前記第 2 の遅延時間を前記下限周波数の周期の $1/2$ に設定したことを特徴とする。

【0025】

第 2 の発明に係る DC - DC コンバータによれば、本発明の発振回路から出力される前記クロック信号をスイッチングトランジスタのオンオフ信号に用いたことを特徴とする。

【0026】

上記 DC - DC コンバータにおいて、前記 DC - DC コンバータは、無線用送信回路、又は無線用受信回路、又は無線用送受信回路の電源に用いるようにしたことを特徴とする。

【0027】

第 3 の発明に係る半導体装置によれば、前記 DC - DC コンバータと、前記無線用送信回路、前記無線用受信回路又は前記無線用送受信回路を同一半導体装置に集積したことを特徴とする。

【発明の効果】

【0028】

本発明によれば、DC - DC コンバータのスイッチング周波数を、所定の下限周波数と所定の上限周波数の間で、連続してスイープするようにしたので、スイッチングノイズは所定の周波数範囲に連続的に分散されるようになった。このため、スイッチングノイズの周波数が無線送受信回路で使用される特定の周波数に影響を与える周波数になっている時間は瞬時となり、スイッチングノイズの影響は実用上問題の無いレベルまで大幅に軽減できるようになった。その結果、DC - DC コンバータと無線用送受信回路を同一の半導体装置に搭載することが可能となった。

【0029】

また、下限周波数と上限周波数の設定に所定の遅延時間を備えた 2 つの遅延回路を用いたため、基準クロック信号発生回路や、CPU のような制御回路が不要となり、回路の簡素化が可能となった。

【0030】

さらに、遅延回路の構成をコンデンサの充放電時間を用いた簡単な回路構成で実現できるようにしたので、遅延回路の簡素化が可能となった。

10

20

30

40

50

【発明を実施するための最良の形態】

【0031】

以下、本発明に係る実施形態について図面を参照して説明する。なお、以下の各実施形態において、同様の構成要素については同一の符号を付している。

【0032】

図1は本発明の実施形態に係る発振回路の構成を示す回路図である。本実施形態に係る発振回路は、可変周波数発振回路10と、アップダウン制御回路20と、第1の検出回路30と、第2の検出回路40と、第1の遅延回路50と、第2の遅延回路60とを備えて構成される。

【0033】

可変周波数発振回路10は、ダウン入力端子DOWNとアップ入力端子UP及びクロック出力端子CKを備えている。ダウン入力端子DOWNにはダウン信号DOWNが入力され、アップ入力端子UPにはアップ信号UPが入力されている。可変周波数発振回路10の動作は、ダウン信号DOWNがハイレベルになるとクロック出力端子CKから出力するクロック信号CKの周波数を下げ、アップ信号UPがハイレベルになると周波数を上げる。なお、クロック信号CKは図示しないDC-DCコンバータ制御回路に出力され、スイッチングトランジスタのスイッチング信号として用いられている。

【0034】

第1の遅延回路50は、クロック信号CKを第1の遅延時間だけ遅延した第1のクロック信号CK1を出力する。第2の遅延回路60は、クロック信号CKを第1の遅延時間より長い第2の遅延時間だけ遅延した第2のクロック信号CK2を出力する。第1の検出回路30は、Dタイプフリップフロップ回路30で構成されている。Dタイプフリップフロップ回路30のデータ端子Dには第1のクロック信号CK1が入力されている。クロック端子Cにはクロック信号CKが入力されている。出力端子Qから第1検出信号DT1が出力されている。第1の検出回路40は、Dタイプフリップフロップ回路41とインバータ回路42で構成されている。Dタイプフリップフロップ回路41のデータ端子Dには第2のクロック信号CK2をインバータ回路42で反転した反転第2のクロック信号CK2Bが入力されている。クロック端子Cにはクロック信号CKが入力されている。出力端子Qから第2検出信号DT2が出力されている。

【0035】

アップダウン制御回路20は、2つのRSラッチ回路21と22で構成されている。RSラッチ回路21のセット端子Sには第1検出信号DT1が入力されている。リセット端子Rには第2検出信号DT2が入力されている。出力端子Qからはダウン信号DOWNが出力されている。RSラッチ回路22のセット端子Sには第2検出信号DT2が入力されている。リセット端子Rには第1検出信号DT1が入力されている。出力端子Qからはアップ信号UPが出力されている。

【0036】

図2及び図3は図1の発振回路の動作を説明するためのタイミングチャートである。図2及び図3を参照しながら回路の動作を説明する。

【0037】

図2は、クロック信号CKが上限周波数に到達して、周波数が低下を開始する際のタイミングチャートを示している。また、図3はクロック信号CKが下限周波数に到達して、周波数が上昇を開始する際のタイミングチャートを示している。図2及び図3において、信号名において、CKはクロック信号、CK1は第1のクロック信号、CK2Bは第2のクロック信号CK2をインバータ回路42で反転した反転第2のクロック信号、DT1は第1の検出回路30の出力信号、DOWNはダウン信号、DT2は第2の検出回路40の出力信号、UPはアップ信号である。説明のため、クロック信号CKの信号列にPn(nは整数)、第1のクロック信号CK1の信号列にPDn(nは整数)、反転第2のクロック信号CK2Bの信号列にPUn(nは整数)と記号を付してある。なお、nの番号が同じ信号は、同じ番号のクロック信号Pnを遅延した第1及び第2のクロック信号である。

また、 T_{d1} は第1の遅延時間、 T_{d2} は第2の遅延時間、 T_{Ln} (n は整数)はクロック信号 P_n のローレベルの時間である。なお、図2、図3のタイミングチャートではクロック信号 CK のデューティ比が50%の場合を示している。

【0038】

図2の周波数アップ期間はクロック信号 CK の周波数は次第に高くなっているため、クロック信号 P_1 から P_3 の周期は次第に短くなり、それに伴いクロック信号 P_1 から P_3 のローレベルの時間 T_{L1} から T_{L3} も短くなっている。クロック信号 P_1 と P_2 のローレベルの時間 T_{L1} と T_{L2} は第1の遅延時間 T_{d1} より長い、クロック信号 P_3 のローレベルの時間 T_{L3} は第1の遅延時間 T_{d1} より短くなっている。

【0039】

クロック信号 P_1 から P_3 の立ち上がり時点における第1のクロック信号 PD_1 と PD_2 の状態はいずれもローレベルとなっているため、第1の検出回路30の出力 DT_1 はローレベルである。しかし、ローレベルの時間 T_L が第1の遅延時間 T_{d1} より短くなったクロック信号 P_3 の次のクロック信号 P_4 の立ち上がりでは、第1のクロック信号 PD_3 はまだハイレベルを保っているため、第1の検出回路30の出力 DT_1 はハイレベルに変化する。すると、アップダウン制御回路20のRSラッチ回路21がセットされるため、ダウン信号 $DOWN$ がハイレベルになる。また、RSラッチ回路22はリセットされるため、アップ信号 UP はローレベルになる。この結果、可変周波数発振回路10はクロック信号 CK の周波数を低下させるように動作する。すなわち、クロック信号 P_4 の立ち上がり時点から周波数ダウン期間に切り換わる。

【0040】

周波数ダウン期間になると、クロック信号 P_4 以降の周期は長くなると共にローレベルの時間 T_L も長くなる。実施形態では、クロック信号 P_5 のローレベルの時間 T_{L5} が第1の遅延時間 T_{d1} より長くなっている。すると、次のクロック信号 P_6 の立ち上がり時点では第1のクロック信号 PD_5 は既にローレベルに戻っているため、第1の検出回路30は第1検出信号 DT_1 をローレベルに戻す。しかし、アップダウン制御回路20の出力は変化しないため、可変周波数発振回路10は周波数ダウン動作を継続する。

【0041】

以上説明したように、本実施形態によれば、クロック信号 CK のローレベルの時間 T_L が第1の遅延時間 T_{d1} より短くなると、ダウン信号 $DOWN$ が出力され、可変周波数発振回路がダウン動作を開始する。これは、可変周波数発振回路10の上限周波数の設定は第1の遅延時間 T_{d1} で行なえることを示している。例えば、クロック信号 CK のデューティ比が50%の場合に、上限周波数を2.5MHzに設定する場合は、第1の遅延時間 T_{d1} を200nsに設定しておけばよい。2.5MHzの周期は400nsであるから、ハイレベルとローレベルの時間は共に200nsである。そこで、第1の遅延時間 T_{d1} を200nsに設定しておけば、クロック信号 CK が2.5MHzを超えたとき、ローレベルの時間 T_L が200ns以下となり、アップ信号 UP がリセットされ、ダウン信号 $DOWN$ がセットされるため、2.5MHzを上限として周波数を低下させることができる。

【0042】

クロック信号 CK のデューティ比が50%以外の場合は、第1の遅延時間 T_{d1} を上限周波数におけるクロック信号 CK のローレベルの時間 T_L に等しくすればよい。

【0043】

図3はクロック信号 CK が下限周波数に到達して、周波数が上昇を開始する際のタイミングチャートである。図3において、周波数ダウン期間はクロック信号 CK の周波数は次第に低くなっているため、クロック信号 P_{11} から P_{13} の周期は次第に長くなり、それに伴いクロック信号 P_{11} から P_{13} のローレベルの時間 T_{L11} から T_{L13} も長くなっている。

【0044】

クロック信号 P_{11} と P_{12} のローレベルの時間 T_{L11} と T_{L12} は第2の遅延時間

10

20

30

40

50

Td2より短い、クロック信号P13のローレベルの時間TL13は第2の遅延時間Td2より長くなっている。クロック信号P11からP13の立ち上がり時点における反転第2のクロック信号PU11とPU12の状態はいずれもローレベルとなっているので、第2の検出回路40の出力DT2はローレベルである。しかし、ローレベルの時間TLが第2の遅延時間Td1より長くなったクロック信号P13の次のクロック信号P14の立ち上がりでは、反転第2のクロック信号PU13は既にハイレベルに立ち上がっている、第2の検出回路40の出力DT2はハイレベルに変化する。すると、アップダウン制御回路20のRSラッチ回路22がセットされるので、アップ信号UPがハイレベルになる。また、RSラッチ回路21はリセットされるので、ダウン信号DOWNはローレベルになる。この結果、可変周波数発振回路10はクロック信号CKの周波数を上昇させるように動作する。すなわち、クロック信号P14の立ち上がり時点から周波数アップ期間に切り換わる。

10

【0045】

周波数アップ期間になると、クロック信号P14以降の周期は短くなると共にローレベルの時間TLも短くなる。実施形態では、クロック信号P15のローレベルの時間TL15が第2の遅延時間より短くなっている。すると、次のクロック信号P16の立ち上がり時点では反転第2のクロック信号PU15はまだローレベルを維持している、第2の検出回路40は第2検出信号DT2をローレベルに戻す。しかし、アップダウン制御回路20の出力は変化しないので、可変周波数発振回路10は周波数アップ動作を継続する。

20

【0046】

以上説明したように、本実施形態によれば、クロック信号CKのローレベルの時間TLが第2の遅延時間Td2より長くなるとクロック信号CKの周波数がアップを開始する。これは、可変周波数発振回路10の下限周波数の設定は第2の遅延時間Td2で行なえることを示している。例えば、クロック信号CKのデューティ比が50%の場合に、下限周波数を1.5MHzに設定する場合は、第2の遅延時間Td2を333nsに設定しておけばよい。1.5MHzの周期は約666nsであるから、ハイレベルとローレベルの時間は共に333nsである。そこで、第2の遅延時間Td2を333nsに設定しておけば、クロック信号CKが1.5MHzを下回るとき、ローレベルの時間TLが333ns以上となり、ダウン信号DOWNがリセットされ、アップ信号UPがセットされるので、1.5MHzを下限として周波数を上昇させることができる。

30

【0047】

クロック信号CKのデューティ比が50%以外の場合は、第2の遅延時間Td2を下限周波数におけるクロック信号CKのローレベルの時間TLに等しくすればよい。

【0048】

なお、本実施形態では、第1の検出回路30と第2の検出回路40を構成しているDタイプフリップフロップ回路30と40の動作は、クロック信号CKの立ち上がりでデータ端子Dの状態を読み込むようにしているので、クロック信号CKのローレベルの時間を第1及び第2の遅延時間Td1、Td2と比較したが、クロック信号CKの立ち下がりデータを読み込むようにした場合は、クロック信号CKのハイレベルの時間を第1及び第2の遅延時間Td1、Td2と比較すればよい。

40

【0049】

さらに、本実施形態では、可変周波数発振回路10の制御信号として、ダウン信号DOWNとアップ信号UPの2つを入力しているが、この2つを1つにまとめてアップダウン信号としてもよい。その場合は、例えばアップダウン信号がハイレベルの場合はアップ動作を行ない、ローレベルの場合はダウン動作を行なうようにすればよい。

【0050】

また、ダウン信号DOWNとアップ信号UPの2つを用いる場合は、ダウン信号DOWNとアップ信号UPが同じレベルになった場合は、アップ動作とダウン動作を停止し、現状の周波数を維持するようにしてもよい。

【0051】

50

以上説明したように、本発明の実施形態に係る発振回路によれば、発振周波数は所定の下限周波数（例えば 1.5 MHz）から所定の上限周波数（例えば 2.5 MHz）の間を連続的に往復するようになる。その結果、本発振回路を DC-DC コンバータのスイッチングクロック信号に用いた場合は、スイッチング周波数によって生ずるノイズは広い周波数範囲に連続的に分散される。このため、この DC-DC コンバータを電源として用いる無線送受信回路で使用される特定の周波数に影響を与える周波数になっている時間は瞬時であり、スイッチングノイズは実用上問題の無いレベルまで大幅に軽減することができるようになる。

【0052】

図4は図1の第1及び第2の遅延回路50, 60の構成を示すブロック図である。第1の遅延回路50を遅延回路51と遅延回路52の直列接続で構成している。また、第2の遅延回路60は遅延回路61から遅延回路64の直列接続で構成している。遅延回路51から64の遅延時間Tdは、何れもクロック信号CKのハイレベル又はローレベルの時間のうち、最も短い時間の1/2以下の時間に設定している。この理由を次に説明する。

【0053】

図5は図4の遅延回路51, 52, 61~64（同一の構成を有する）の内部回路を示す回路図である。以下、代表して遅延回路51の構成及び動作について説明する。

【0054】

遅延回路51は定電流インバータ回路511とインバータ回路512、及びコンデンサC51で構成されている。定電流インバータ回路511の入力にはクロック信号CKが入力され、出力と接地端子GND間にはコンデンサC51が接続されている。また出力はインバータ回路512の入力に接続されている。インバータ回路512の出力からは遅延された遅延クロック信号CK51が出力されている。定電流インバータ回路511は、出力にソース電流を供給する電流源IHとシンク電流を供給する電流源ILを備えており、コンデンサC51を定電流で充放電を行なう。なお、電流源IHと電流源ILの電流値は等しくしてある。また、インバータ回路512の入力閾値電圧は電源電圧Vddの1/2に設定してある。

【0055】

図6は図5の遅延回路51（又は52, 61~64）の動作を説明するためのタイミングチャートである。

【0056】

遅延回路51に入力されるクロック信号CKのハイ及びローレベルの時間が遅延時間Tdより十分長いクロック信号P1の場合は、クロック信号P1がハイレベルになると定電流インバータ回路511の出力電圧VCはハイレベルからローレベルに変化しようとする。しかし、コンデンサC51が電源電圧Vddまで充電されているので、出力電圧VCは図6に示すように電流源ILとコンデンサC51の静電容量で決定される傾斜で直線的に低下する。

【0057】

出力電圧VCが電源電圧Vddの1/2まで低下すると、インバータ回路512の出力である遅延クロック信号CK51が反転してハイレベルとなる。クロック信号P1がハイレベルになってから遅延クロック信号CK51がハイレベルになるまでの時間が遅延回路51の遅延時間Tdである。その後も、定電流インバータ回路511の出力電圧VCはさらに低下して、接地電位GNDに達する。

【0058】

クロック信号P1がローレベルに変化すると、今度は、電流源IHによりコンデンサC51の充電が行われる。すると、出力電圧VCは電流源IHとコンデンサC51の静電容量で決定される傾斜で直線的に上昇する。出力電圧VCが電源電圧Vddの1/2まで上昇すると、インバータ回路512の出力が反転して遅延クロック信号CK51をローレベルにする。電流源IHと電流源ILの電流値は等しいので、クロック信号P1がローレベルになってから、遅延クロック信号CK51がローレベルになるまでの時間は遅延時間T

10

20

30

40

50

dと等しい。その結果、遅延クロック信号CK51のハイとローレベルの時間は一点差線で示すようにクロック信号CKと同じ時間を維持している。

【0059】

ハイ及びローレベルの時間が遅延時間Tdの2倍のクロック信号P2の場合も、タイミングチャートで分かるように、クロック信号P2のハイレベル及びローレベルの期間に定電流インバータ回路511の出力電圧VCがGND及び電源電圧Vddまで達しているので、遅延クロック信号CK51のハイとローレベルの時間は変化しない。

【0060】

しかし、ハイ及びローレベルの時間が遅延時間Tdの2倍以下のクロック信号P3の場合は、定電流インバータ回路511の出力電圧VCが接地電位GNDに到達する前に、ハイレベルの期間が終了し、ローレベルになってしまうので、遅延クロック信号CK51ハイレベルの時間がクロック信号P3のハイレベルより短くなってしまふ。さらに、ハイ及びローレベルの時間が短いクロック信号P4、P5の場合は、遅延回路を通した遅延クロック信号CK51はハイレベルが極端に短くなったり、最悪ハイレベルが出力されなくなったりしてしまふ。

【0061】

そこで、本発明の実施形態では、第1及び第2の遅延回路30、40を構成する全ての遅延回路51から64の最大遅延時間を、ハイレベル又はローレベルの最も短い時間の1/2以下の時間に設定している。こうすることで、第1及び第2の遅延回路50、60の出力信号である、第1のクロック信号CK1と第2のクロック信号CK2のハイレベルとローレベルの時間は元のクロック信号CKのそれと同じに保つことができる。

【0062】

図7(a)は本発明の第1の変形例に係る遅延回路の構成を示すブロック図であり、図7(b)は本発明の第2の変形例に係る遅延回路の構成を示すブロック図である。これらの変形例では、第2の遅延回路60の一部に第1の遅延回路50の一部もしくは全てを用いている。

【0063】

図7(a)は第2の遅延回路60の一部に第1の遅延回路50の一部を用いた例である。第1の遅延回路50は破線で囲った遅延回路51と52で構成されている。第2の遅延回路60は一点差線で囲った遅延回路51と遅延回路61から62で構成されている。遅延回路51が第1の遅延回路50と第2の遅延回路60の両方で使用されている。

【0064】

図7(b)は第2の遅延回路60の一部に第1の遅延回路50を全て用いた例である。第1の遅延回路50は破線で囲った遅延回路51と52で構成されている。第2の遅延回路60は一点差線で囲ったように、第1の遅延回路にさらに遅延回路61と62を直列に接続した構成にしている。このように、第2の遅延回路60の一部に第1の遅延回路50を用いることで、第2の遅延回路60の回路規模を小さくすることができる。

【産業上の利用可能性】

【0065】

以上詳述したように、本発明によれば、DC-DCコンバータのスイッチング周波数を、所定の下限周波数と所定の上限周波数の間で、連続してスイープするようにしたので、スイッチングノイズは所定の周波数範囲に連続的に分散されるようになった。このため、スイッチングノイズの周波数が無線送受信回路で使用される特定の周波数に影響を与える周波数になっている時間は瞬時となり、スイッチングノイズの影響は実用上問題の無いレベルまで大幅に軽減できるようになった。その結果、DC-DCコンバータと無線送受信回路を同一の半導体装置に搭載することが可能となった。

【0066】

また、下限周波数と上限周波数の設定に所定の遅延時間を備えた2つの遅延回路を用いたため、基準クロック信号発生回路や、CPUのような制御回路が不要となり、回路の簡素化が可能となった。さらに、遅延回路の構成をコンデンサの充放電時間を用いた簡単な

10

20

30

40

50

回路構成で実現できるようにしたので、遅延回路の簡素化が可能となった。

【図面の簡単な説明】

【 0 0 6 7 】

【図 1】本発明の実施形態に係る発振回路の構成を示す回路図である。

【図 2】図 1 の発振回路の動作を説明するためのタイミングチャートである。

【図 3】図 1 の発振回路の動作を説明するためのタイミングチャートである。

【図 4】図 1 の第 1 及び第 2 の遅延回路 5 0 , 6 0 の構成を示すブロック図である。

【図 5】図 4 の遅延回路 5 1 , 5 2 , 6 1 ~ 6 4 の内部回路を示す回路図である。

【図 6】図 5 の遅延回路 5 1 , 5 2 , 6 1 ~ 6 4 の動作を説明するためのタイミングチャートである。

10

【図 7】(a) は本発明の第 1 の変形例に係る遅延回路の構成を示すブロック図であり、

(b) は本発明の第 2 の変形例に係る遅延回路の構成を示すブロック図である。

【図 8】従来技術に係る第 1 の従来例の発振回路の構成を示す回路図である。

【図 9】従来技術に係る第 2 の従来例の発振回路の構成を示す回路図である。

【図 1 0】従来技術に係る第 3 の従来例の発振回路の構成を示す回路図である。

【符号の説明】

【 0 0 6 8 】

1 0 ... 可変周波数発振回路、

2 0 ... アップダウン制御回路、

3 0 ... 第 1 の検出回路、

4 0 ... 第 2 の検出回路、

5 0 ... 第 1 の遅延回路、

6 0 ... 第 2 の遅延回路、

5 1 ~ 6 3 ... 遅延回路、

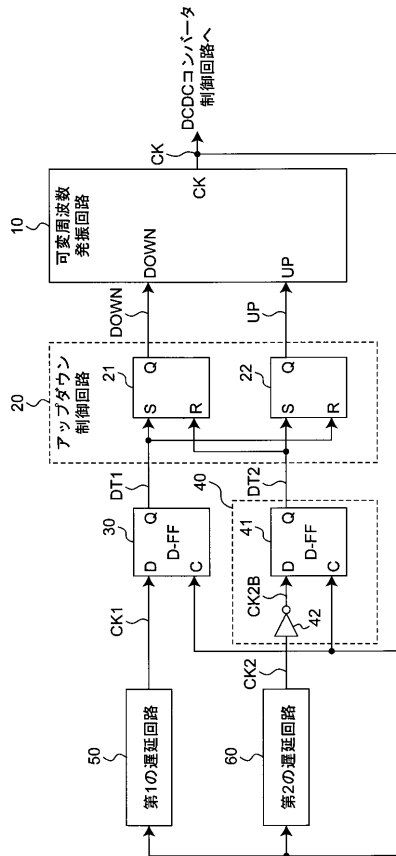
5 1 1 ... 定電流インバータ回路、

5 1 2 ... インバータ回路、

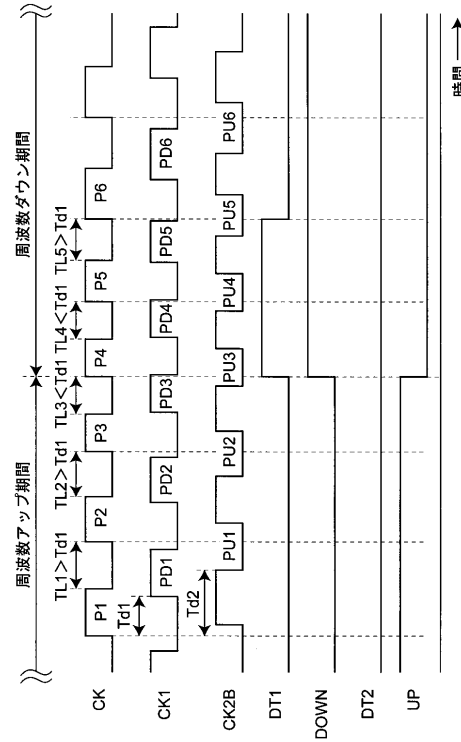
C 5 1 ... コンデンサ。

20

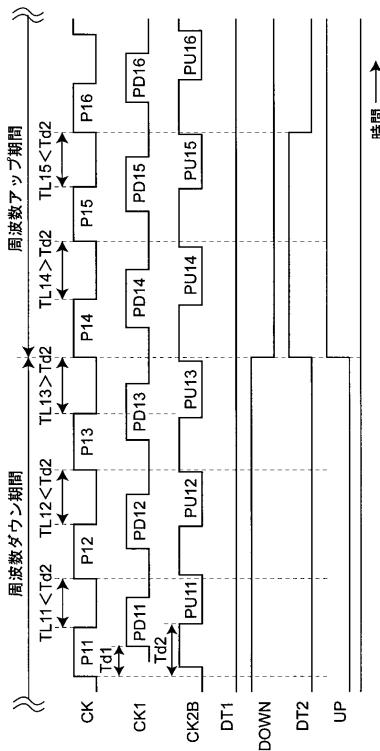
【図 1】



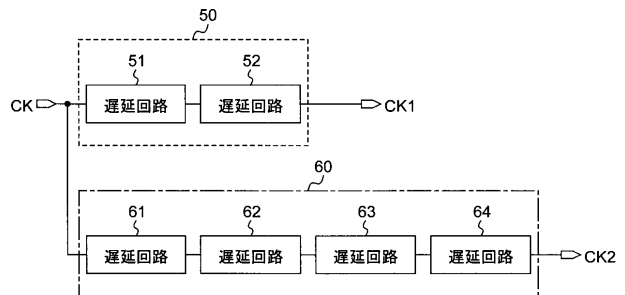
【図 2】



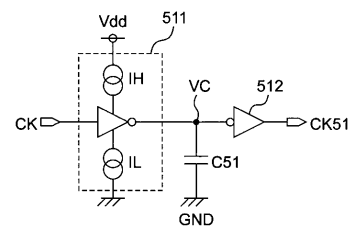
【図 3】



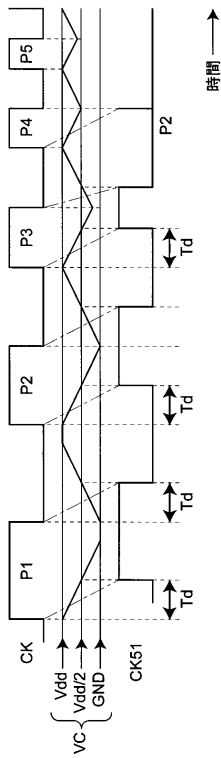
【図 4】



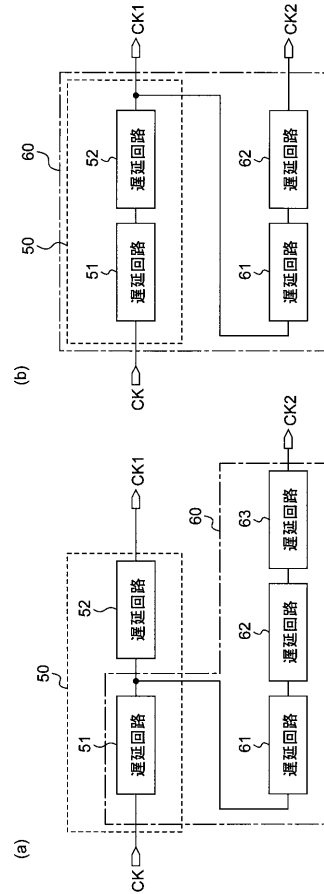
【図 5】



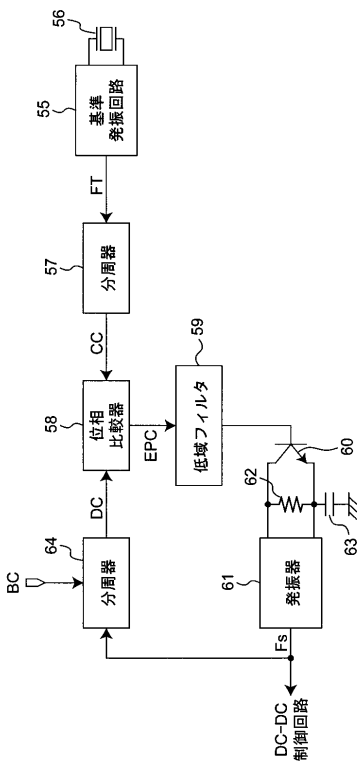
【図 6】



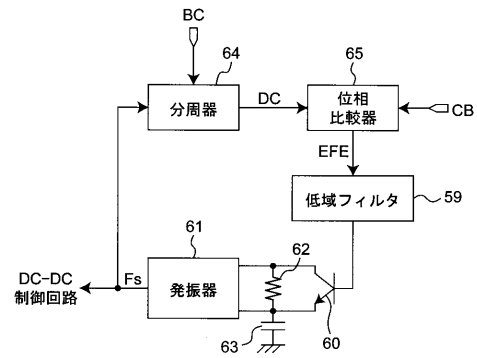
【図 7】



【図 8】



【図 9】



【図 10】

