



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

236574

(11) (B1)

(51) Int. Cl.³

G 08 C 19/02

/22/ Přihlášeno 27 09 83

/21/ /PV 7036-83/

(40) Zveřejněno 18 06 84

(45) Vydáno 15 11 86

(75)

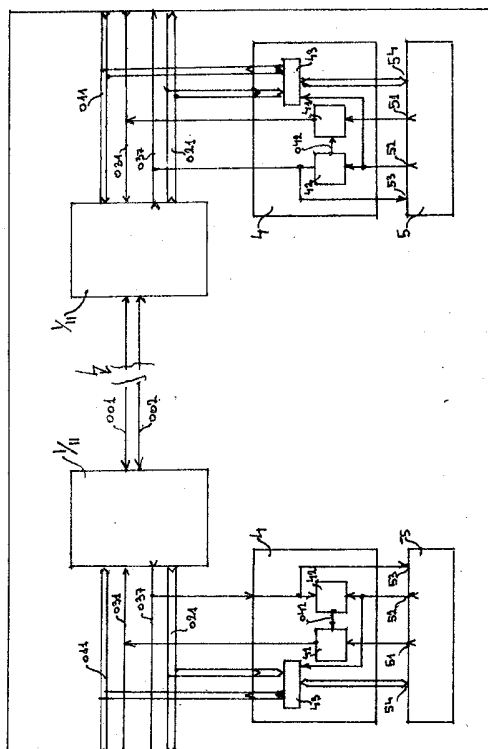
Autor vynálezu

ZELINKA IVAN ing. CSc., PRAHA

(54) Autonomní zapojení pro rychlý sériový přenos znaků v rušivém prostředí

Zapojení řeší problém ochrany informace, přenášené mezi dvěma subjekty v rušivém prostředí, a to i na vzdálenosti překračující hranice přípustného přímého spojení. Korektní přenos informací je zajištěn pomocí absolutní detekce a automatické nápravy chyby, vzniklé případným rušením podél přenosové cesty. Zapojení je uspořádáno tak, že z fyzikálních důvodů nemůže nikdy dojít k převzetí chybného bitu ani k jeho falsifikaci. Každá chyba je zachycena časovou kontrolou.

Zapojení může nalézt uplatnění v ASŘ, a to zejména při řízení a sdělování v takových podnicích a ústavech, kde je menší počet zařízení a kde funkce těchto zařízení nejsou vzájemně závislé.



Obr. 1.

Vynález řeší autonomní zapojení pro rychlý sériový přenos znaků v rušivém prostředí, a to i na vzdálenosti, překračující hranice přípustného přímého spojení. Ochrana přenášené informace je zajištěna samostatně, bez vnějších podpůrných prostředků.

Ochrana přenosu informace mezi dvěma partnery v atypických podmínkách, například v rámci areálu závodu nebo při spojení v agresivním prostředí, nebyla dosud rigorózně řešena. Pro přenos informace se používá některého z protokolů datové komunikace, například BSC, SDLC, DDCMP a další.

Tyto protokoly byly vytvořeny především pro přenosy rozsáhlých bitových souborů na velké vzdálenosti. Z toho vyplývá jednak redundantní neúnosnost pro krátké zprávy, jednak nemožnost živého dialogu a "řízení v reálném čase". Kromě toho vyžadují zmíněné protokoly značný objem hardware i software podpůrných prostředků, což by v případě styku se zařízením s menší inteligencí bylo ekonomicky neúnosné.

Dalším způsobem ochrany přenášené informace je paritní kontrola. Tu nelze v rušivém prostředí použít, protože je v podstatě zaměřena na jednobitovou ochranu, například proti selhání některého z prvků přenosového řetězu, nikoliv však na zachycení destruktce více než jednoho bitu znaku, kdy potvrzení správnosti má padesátiprocentní pravdivost.

Poslední dosud známá možnost ochrany, použití samoopravného kódu FEC, také nepřichází v úvahu vzhledem k charakteru shlukového rušení v agresivním prostředí a neúnosné redundanci tohoto principu ochrany.

Dalším problémem, v mnoha případech stěžejním, je nepředvídatelnost četnosti poruch, zejména v průmyslových aplikacích. Proto jakákoliv strategie přenosu informací, u které základem podmínkou úspěchu přenosu a průchodnosti linky je nízká kadence poruch, jak je tomu u stávajících strategií, daných liniovými protokoly nebo od těchto protokolů odvozených, je bez určitého stupně hazardu těžko použitelná.

Uvedené nevýhody odstraňuje autonomní zapojení pro rychlý sériový přenos znaků v rušivém prostředí podle vynálezu, jehož podstata spočívá v tom, že dvě totožné stanice přenosu jsou navzájem propojeny dvěma linkami, zatímco s neznámým zařízením jsou propojeny sběrnici vstupního znaku, vodičem vstupního návěští COMMAND, sběrnici výstupního znaku a vodičem výstupního návěští FLAG, přičemž sběrnice vstupního znaku je připojena na funkční vstupy paměti vstupního znaku, jejíž výstupní sběrnice je připojena na příslušné paralelní vstupy posuvného registru vysílání znaku, na jehož další vstupní sekci je připojen výstup paměti příznaku vysílaného znaku a na jeho nahrávací vstup je připojen vodič nahrávání z bloku řadiče vysílání a jehož bitový výstup je připojen jednak na příslušný vstup součinného obvodu vysílání přímého bitu, jednak na vstup invertoru přímého bitu, jehož výstup je připojen na příslušný vstup součinného obvodu vysílání inverzního bitu, z bloku řadiče vysílání je výstup startovacího signálu připojen na vstup bloku vzorkování, jehož výstup vzorkovacích signálů je připojen na příslušné vstupy součinného obvodu vysílání přímého bitu a součinného obvodu vysílání inverzního bitu a jehož výstup hradlování příjmu je připojen na příslušné vstupy součinného obvodu příjmu přímého bitu a součinného obvodu příjmu inverzního bitu a jehož výstup posuvných pulsů je připojen na příslušné vstupy jednak posuvného registru vysílání znaku, jednak posuvného registru délky znaku, jehož příslušný výstup konce vysílání EOS je připojen na nulovací vstup bloku vzorkování a konečně vodič přenosu přímého bitu je spojen jednak s výstupem součinného obvodu vysílání přímého bitu, jednak se vstupem součinného obvodu příjmu přímého bitu, zatímco vodič přenosu inverzního bitu je spojen jednak s výstupem součinného obvodu vysílání inverzního bitu, jednak se vstupem součinného obvodu příjmu inverzního bitu, vodič vstupního návěští COMMAND je připojen na příslušný vstup součinného obvodu vstupního návěští, na jehož další vstup je připojen výstup paměti výstupního návěští FLAG a jehož výstup nahrávání vstupního znaku je dále připojen jednak na vstup obvodu mutace příznaku, jehož výstup je připojen na první polohu přepínače příznaku, jednak na příslušný vstup obvodu přepisu znaku, na jehož další vstup je připojen vodič příznaku

příjmu z příslušného výstupu posuvného registru příjmu znaku a jehož výstup je připojen na druhou polohu přepínače příznaku, jehož výstup příznaku vysílání je připojen na funkční vstup paměti příznaku, přičemž její výstup je ještě připojen na příslušné vstupy obvodu přímé komparace příznaku a obvodu inverzní komparace příznaku, zatímco zmíněný výstup nahrávání vstupního znaku je ještě připojen na jeden ze vstupů součtového obvodu podmínky vysílání, na jehož další vstupy jsou připojeny jednak výstup z logického obvodu "exor" podmínky opakování, na jehož příslušné vstupy jsou připojeny výstup součtového obvodu výstupního návěští a vodič signálu EOR konce příjmu z posuvného registru počtu přijatých bitů, jednak příslušný výstup posuvného registru časové kontroly, který je současně připojen na příslušný vstup součtového obvodu ukončení časové kontroly a výstup ze součtového obvodu podmínky vysílání je přiveden na vstup bloku řadiče vysílání, dále je výstup příznaku příjmu připojen ještě jednak na odpovídající vstup součtového obvodu přímé komparace, jehož výstup je připojen na první vstup přepínače komparace, jednak na odpovídající vstup logického obvodu "exor" inverzní komparace, jehož výstup je připojen na druhou polohu přepínače komparace, jehož výstup je připojen na příslušný vstup součtového obvodu výstupního návěští FLAG, na jehož další vstup je připojen vodič signálu EOR konce příjmu, zatímco jeho výstup je ještě připojen na záznamový vstup paměti výstupního návěští, na jejíž nulovací vstup a současně i na nulovací vstupy posuvného registru počtu přijatých bitů a posuvného registru počtu přijatých bitů a posuvného registru časové kontroly je připojen výstup hradlování příjmu. Ze jmenovaného bloku vzorkování, výstup ze součtového obvodu příjmu přímého bitu je připojen jednak na funkční vstup paměti přímého bitu, jednak na příslušný vstup součtového obvodu příjmu bitu, na jehož další vstup a dále i na funkční vstup paměti inverzního bitu je připojen výstup součtového obvodu příjmu inverzního bitu a výstup součtového obvodu příjmu je připojen jednak na vstup zpěťovacího obvodu, jehož výstup je přiveden zpět na nulovací vstup paměti příjmu, jednak na hodinový vstup téže paměti příjmu, jejíž odpovídající výstup je připojen na hodinové vstupy paměti přímého bitu a paměti inverzního bitu, jejíž výstup je připojen na jeden ze vstupů logického obvodu "exorů" platnosti bitu, na jehož druhý vstup je připojen výstup z paměti přímého bitu, který je dále připojen na bitový vstup posuvného registru příjmu znaku, výstup z logického obvodu "exor" platnosti bitu je ještě připojen jednak na nulovací vstup posuvného registru délky znaku, jednak na posouvací vstup posuvného registru příjmu znaku a posuvného registru počtu přijatých bitů, jednak na startovací vstup bloku časové kontroly, jejíž výstup je připojen na posouvací vstup posuvného registru časové kontroly a na jejíž nulovací vstup je přiveden výstup součtového obvodu ukončení příjmu, na jehož příslušné vstupy jsou připojeny jednak výstup posuvného registru časové kontroly, jednak výstup signálu EOR konce příjmu z posuvného registru počtu přijatých bitů a konečně výstup posuvného registru příjmu znaku tvoří sběrnice výstupního znaku.

Podstatou vynálezu dále je, že ke stanici přenosu je připojen adaptér u-procesorového styku tak, že sběrnice vstupního znaku a sběrnice výstupního znaku jsou připojeny na odpovídající body rozvětvené strany dvousměrného přenášče, jehož sdružená strana tvoří datovou sběrnici u-procesorové sestavy, vodič vstupního návěští je připojen na výstup součtového obvodu vstupního návěští, na jehož jeden vstup je připojen vodič signálu "write" z u-procesorové sestavy a na jehož druhý vstup je připojen výstup součtového obvodu výstupního návěští, který je současně připojen na vstup signálu READY u-procesorové sestavy, a druhý vstup tvoří výstup signálu "dbin" téže u-procesorové sestavy a tentýž výstup je současně připojen na vstup volby směru přenosu dvousměrného přenášče.

Výhody uvedeného řešení jsou následující:

- Přenášený znak je podroben absolutní kontrole, a tím je při dané strategii "skládání znaků" zaručen absolutní dohled nad bezchybným přenosem celé zprávy. Z fyzikálních důvodů nemůže nikdy dojít k převzetí chybného bitu ani k jeho falsifikaci, protože v případě existence vnějšího rušivého pole se v obou souběžných linkách indukuje signál stejné polarity, takže není splněna podmínka "exor" na vstupu přijímací stanice, bit vypadne z konstantního počtu bitů určujících znak a chyba je zachycena časovou kontrolou.

- Možnost bitové deformace vlivem vnějšího rušení je minimální, protože se redukuje pouze na okamžik záznamu vstupního signálu do obou pamětí bitu, což představuje časové rozmezí maximálně 5 ns.

- Žádost o opakování i vlastní opakování znaku probíhá automaticky, bez vědomí připojených zařízení, a to tak dlouho, dokud není znak bezchybně přenesen.

- U-procesorová konverzace je zvýhodněna, zejména při blokovém přenosu, kdy u-procesor SLAVE pouze přejímá znaky instrukcí typu "dbin" a připojená stanice současně automaticky vysílá potvrzení příjmu, zatímco u-procesor MASTER má stále připraveny pouze instrukce typu "write", které jsou vysílány okamžitě po vyhodnocení korektní odpovědi, to je signálu FLAG - READY.

- Zapojení je možné připojit prakticky k libovolnému zařízení s jakýmkoliv stupněm inteligence.

- V případě u-procesorového styku může mít strana ve funkci MASTER stále připravenou další instrukci typu "write", která je vysílána automaticky po verifikaci korektní odpovědi, a strana ve funkci SLAVE má připraven sled instrukcí typu "dbin", uvolňovaných po příchodu každého nového znaku.

Tento způsob přenosu, zejména blokového, redukuje čas i počet nezbytných instrukcí na na minimum.

- Cyklus "dotaz - odpověď" je realizován rychlostí přibližně 200 Kbyte/s a cyklus data - potvrzení rychlostí asi 100 Kbyte/s.

Z těchto hodnot je zřejmé, že zapojení pracuje "nadpočítačovou" rychlostí. Od svých zařízení nevyžaduje žádné podpory. Proto je transparentní pro komunikující zařízení a dialog probíhá bez ohledu na vzdálenost a prostředí jako při těsném spojení obou partnerů.

- Díky rychlosti přenosu a zvolené strategii je zaručena průchodnost linky bez ohledu na délku zprávy a za jakýchkoliv extrémních podmínek vysokého rušení - až do 200 000 pohyb/s -, při kterých by jiné řešení, včetně stávajících protokolů, bylo nepoužitelné. Tato okolnost je vedle absolutní ochrany informace dominantním znakem řešení. Na připojeném výkresu je zakreslen příklad zapojení podle vynálezu.

Dvě totožné stanice I/II přenosu jsou navzájem propojeny dvěma linkami 001, 002. S nezázorněným zařízením jsou propojeny sběrnicí 011 vstupního znaku, vodičem 031 vstupního návěstí COMMAND, sběrnicí 021 výstupního znaku a vodičem 037 výstupního návěstí FLAG.

Adaptér 4 u-procesorového styku je ke stanici I/II přenosu připojen tak, že sběrnice 011 vstupního znaku a sběrnice 021 výstupního znaku jsou připojeny k odpovídajícím bodům rozvětvené strany dvousměrného přenášeče 43, jehož sdružená strana tvoří datovou sběrnici 54 u-procesorové sestavy 5.

Vodič 031 vstupního návěstí je připojen k výstupu součtového obvodu 41 vstupního návěstí, na jehož první vstup je připojen vodič 51 signálu "write" z u-procesorové sestavy 5 a na jehož druhý vstup je připojen výstup 042 součtinového obvodu 42 výstupního návěstí, který je současně připojen na vstup 53 signálu READY u-procesorové sestavy 5.

Druhý vstup součtinového obvodu 42 výstupního návěstí je výstupem 52 signálu "dbin" u-procesorové sestavy 5. Tento výstup je současně připojen na vstup volby směru přenosu dvousměrného přenášeče 43.

Na připojení obrázku 2 je zakreslena vnitřní struktura stanice I/II přenosu.

Sběrnice O11 vstupního znaku je připojena na funkční vstupy paměti 11 vstupního znaku, jejíž výstupní sběrnice O12 je připojena na příslušné paralelní vstupy posuvného registru 12 vysílání znaku, na jehož další vstupní sekci je připojen výstup O36 paměti 35 příznaku vysílaného znaku, a na jeho nahrávací vstup je připojen vodič O313 nahrávání z bloku 312 řadiče vysílání a jehož bitový výstup O13 je připojen jednak na příslušný vstup součinného obvodu 14 vysílání přímého bitu, jednak na vstup invertoru 16 přímého bitu, jehož výstup O18 je připojen na příslušný vstup součinného obvodu 15 vysílání inverzního bitu.

Z bloku 312 řadiče vysílání je výstup O314 startovacího signálu připojen na vstup bloku 17 vzorkování, jehož výstup O16 vzorkovacích signálů je připojen na příslušné vstupy součinného obvodu 14 vysílání přímého bitu a součinného obvodu 15 vysílání inverzního bitu, a jehož výstup O17 hradlování příjmu je připojen na příslušné vstupy součinného obvodu 24 příjmu přímého bitu a součinného obvodu 25 příjmu inverzního bitu, a jehož výstup O15 posuvných pulsů je připojen na příslušné vstupy jednak posuvného registru 12 vysílání znaku, jednak posuvného registru 13 délky znaku, jehož příslušný výstup O14 konce vysílání EOS je připojen na nulovací vstup bloku 17 vzorkování, a konečně vodič O01 přenosu přímého bitu je spojen jednak s výstupem součinného obvodu 14 vysílání přímého bitu, jednak se vstupem součinného obvodu 24 příjmu přímého bitu, zatímco vodič O02 přenosu inverzního bitu je spojen jednak s výstupem součinného obvodu 15 vysílání inverzního bitu, jednak se vstupem součinného obvodu 25 příjmu inverzního bitu.

Vodič O31 vstupního návěští "COMMAND" je připojen na příslušný vstup součinného obvodu 31 vstupního návěští, na jehož další vstup je připojen výstup O37 paměti 313 výstupního návěští "FLAG" a jehož výstup O32 nahrávání vstupního znaku je dále připojen jednak na vstup obvodu 32 mutace příznaku, jehož výstup O33 je připojen na polohu I. přepínače 34 příznaku, jednak na příslušný vstup obvodu 33 přepisu příznaku, na jehož další vstup je připojen vodič O22 příznaku příjmu z příslušného výstupu posuvného registru 21 příjmu znaku, a jehož výstup O34 je připojen na polohu II. přepínače 34 příznaku, jehož výstup O35 příznaku vysílání je připojen na funkční vstup paměti 35 příznaku, jejíž výstup O36 je ještě připojen na příslušné vstupy obvodu 38 přímé komparace příznaku a obvodu 39 inverzní komparace příznaku, zatímco zmíněný výstup O32 nahrávání vstupního znaku je ještě připojen na jeden ze vstupů součtového obvodu 311 podmínky vysílání, na jehož další vstupy jsou připojeny jednak výstup O38 z logického obvodu 37 "exor" podmínky opakování, na jehož příslušné vstupy jsou připojeny výstup O315 součinného obvodu 36 výstupního návěští a vodič O23 signálu EOR konce příjmu z posuvného registru 22 počtu přijatých bitů, jednak příslušný výstup O24 posuvného registru 23 časové kontroly, který je současně připojen na příslušný vstup součtového obvodu 26 ukončení časové kontroly, a výstup O312 ze součtového obvodu 311 podmínky je přivedena na vstup bloku 312 řadiče vysílání.

Výstup O23 příznaku příjmu je připojen ještě jednak na odpovídající vstup součinného obvodu 38 přímé komparace, jehož výstup O310 je připojen na vstup I. přepínače 310 komparace, jednak na odpovídající vstup logického obvodu 39 "exor" inverzní komparace, jehož výstup O311 je připojen na polohu II. přepínače 310 komparace, jehož výstup O39 je připojen na příslušný vstup součinného obvodu 36 výstupního návěští "FLAG", na jehož další vstup je připojen vodič O23 signálu EOR konce příjmu, zatímco jeho výstup O315 je ještě připojen na záznamový vstup paměti 313 výstupního návěští, na jejíž nulovací vstup a současně i na nulovací vstupy posuvného registru 22 počtu přijatých bitů a posuvného registru 23 časové kontroly je připojen výstup O17 hradlování příjmu ze jmenovaného bloku 17 vzorkování.

Výstup O211 ze součinného obvodu 24 příjmu přímého bitu je připojen jednak na funkční vstup paměti 210 přímého bitu, jednak na příslušný vstup součtového obvodu 212 příjmu bitu, na jehož další vstup a dále i na funkční vstup paměti 211 inverzního bitu je připojen výstup O212 součinného obvodu 25 příjmu inverzního bitu, a výstup O210 součtového obvodu 212 příjmu je připojen jednak na vstup zpěťovacího obvodu 213, jehož výstup O213 je přiveden

zpět na nulovací vstup paměti 29 příjmu, jednak na hodinový vstup téže paměti 29 příjmu, jejíž odpovídající výstup O214 je připojen na hodinové vstupy paměti 210 přímého bitu a paměti 211 inverzního bitu, jejíž výstup O29 je připojen na jeden ze vstupů logického obvodu 28 "exor" platnosti bitu, na jehož druhý vstup je připojen výstup O28 z paměti 210 přímého bitu, který je dále připojen na bitový vstup posuvného registru 21 příjmu znaku.

Výstup O27 z logického obvodu 28 "exor" platnosti bitu je ještě připojen jednak na nulovací vstup posuvného registru 13 délky znaku, jednak na posouvací vstup posuvného registru 21 příjmu znaku a posuvného registru 22 počtu přijatých bitů, jednak na startovací vstup bloku 27 časové kontroly, jejíž výstup O26 je připojen na posouvací vstup posuvného registru 23 časové kontroly, a na jejíž nulovací vstup je přiveden výstup O25 součtového obvodu 26 ukončení příjmu, na jehož příslušné vstupy jsou připojeny jednak výstup O24 posuvného registru 23 časové kontroly, jednak výstup O23 signálu EOR konce příjmu z posuvného registru 22 počtu přijatých bitů, a konečně výstup posuvného registru 21 příjmu znaku tvoří sběrnice O21 výstupního znaku.

Činnost zapojení a strategie vedení dialogu a jeho ochrany jsou následující:

Jedna ze stanic je designována jako řídící, druhé jsou podřízené. Tato designace je realizována nastavením spřaženého přepínače příznaku a komparace do polohy I. u řídící stanice, do polohy II. u stanice podřízené.

Dialog je založen na důsledném "hand-shakingu" tak, že I. stanice vysílá příkaz a II. stanice přiměřeně odpovídá. V průběhu konverzace se samozřejmě funkce "MASTER" a "SLAVE" zaměňují podle směru přenosu požadovaných informací.

V podstatě je nutno objasnit tři základní funkce zapojení, a to taktiku přenosu, detekci chyby a proceduru nápravy.

Taktika přenosu je zásadním rysem celého řešení. Signálem "COMMAND" řídící strany se zapíše znak do vstupní paměti I. stanice a je vyslán "bit po bitu"; vysílání řídí blok vzorkování, startovaný signálem z řadiče vysílání a zastavovaný signálem konce vysílání EOS při naplnění posuvného registru délky znaku.

Ke každému převzatému znaku je - bez vůle vysílacího zařízení - připojen příznak, který řídící stanice mění pro každý nový znak. Každý bit je vyslán po dvou linkách ve svém přímém a inverzním tvaru, takže logická "jednička" je vyslána jako "a $\bar{b}$ " / a, b jsou přenosové linky/, a logická "nula" jako " $\bar{a}b$ ".

Detekce chyby je založena na fyzikálním zákonu indukce a znalosti délky znaku: případná porucha způsobená vnějším elektromagnetickým polem může v souběžných spojovacích linkách vyvolat na přijímací straně buď signál "ab", nebo " $\bar{a}\bar{b}$ ", nemůže však způsobit dvě současně změny opačné polarizace: žádný z těchto stavů však neprojde vstupním logickým filtrem "exor", takže zkažený bit není zaznamenán ani započítán.

Tím není zaregistrována očekávaná délka slova, to je generace signálu EOR, a naopak dojde k naplnění posuvného registru časové kontroly a jeho výstupním signálem TT je iniciováno vyslání původního znaku, zaznamenaného ve vstupním registru.

Procedura nápravy se realizuje opětovným vysláním předchozího znaku buď po generaci signálu TT časové kontroly, nebo v případě příjmu signálu EOR pravdivého znaku při příjmu nepřiměřeného příznaku, to je nesouhlasném příznaku v I. stanici nebo souhlasném příznaku v II. stanici. Řídící stanice totiž provádí změnu příznaku automaticky po příchodu každého nového znaku, to je signálu "COMMAND", zatímco podřízená stanice rozliší nový znak na základě správnosti přenosu - signál EOR - příznakové inverse, generuje signál "FLAG" pro připojené zařízení, a přepisuje příznak vysílané odpovědi do souhlasného tvaru a tak dále.

Základní princip vynálezu je odvozen z vynálezu téhož autora "Zapojení pro rychlý sériový přenos znaků v rušivém prostředí, zajištěné autonomním vnitřním protokolem a vybavené adresací pro případ vícebodové konfigurace". Na tento vynález bylo uděleno autorské osvědčení číslo 219 121 ze dne 9. 11. 1982.

Přihlašované řešení se zabývá stejnými problémy řízení a sdělování, avšak v takových podnicích a ústavech, kde je menší počet zařízení a kde funkce těchto zařízení nejsou vzájemně závislé.

V takových podmínkách by systémové pojetí přenosu informací bylo nadbytečné a neekonomické. Proto autor vyřešil ekonomické zapojení pro autonomní konverzaci dvou partnerů, které nevyžaduje vnější podpůrné prostředky. Zapojení může být realizováno připojením daných zařízení k vlastním stanicím přenosu a propojením těchto stanic libovolně vedenou dvoulinkou.

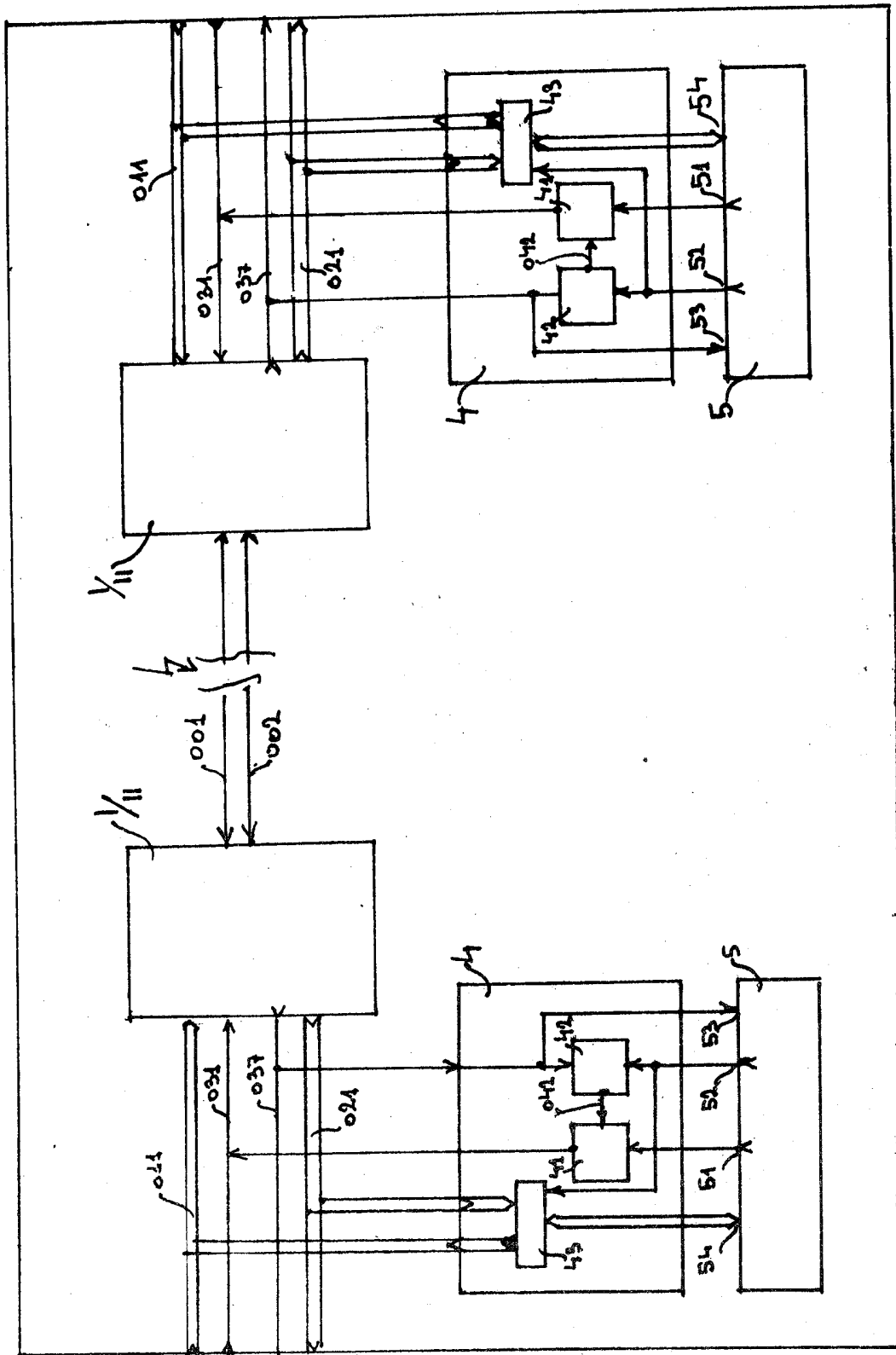
Vynález může být využit v automatizovaných systémech řízení, a to všude tam, kde existuje menší počet zařízení a kde funkce těchto zařízení nejsou vzájemně závislé.

P R E D M Ě T V Y N Á L E Z U

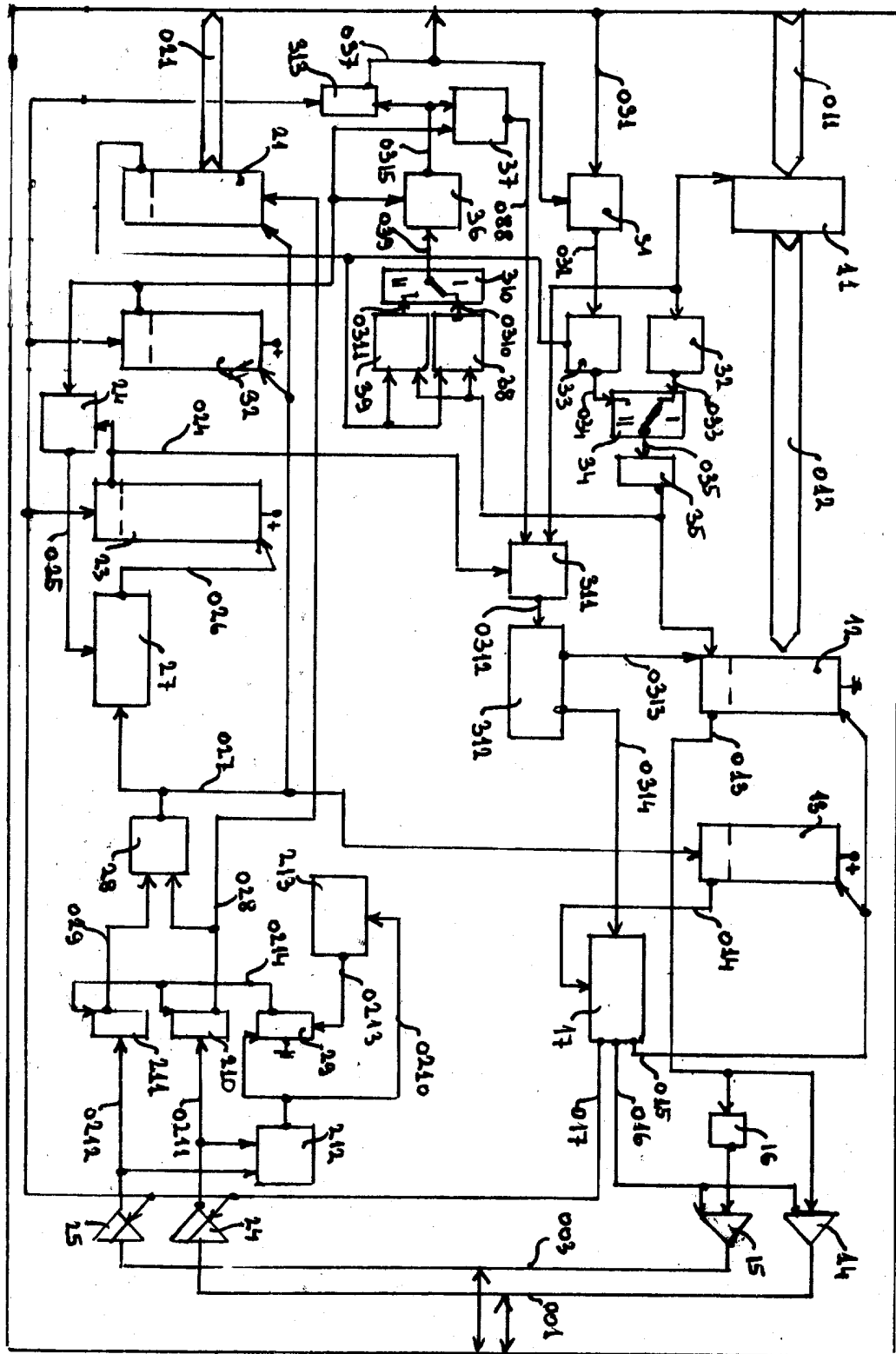
1. Autonomní zapojení pro rychlý sériový přenos znaků v rušivém prostředí, vyznačené tím, že dvě totožné stanice /I/II/ přenosu jsou navzájem propojeny dvěma linkami /001,002/ a je k nim připojena sběrnice /011/ vstupního znaku, vodič /031/ vstupního návěští COMMAND, sběrnice /021/ výstupního znaku s vodičem /037/ výstupního návěští FLAG, přičemž sběrnice /011/ vstupního znaku je připojena na funkční vstupy paměti /11/ vstupního znaku, jejíž výstupní sběrnice /012/ je připojena na příslušné paralelní vstupy posuvného registru /12/ vysílání znaku, na jehož další vstupní sekci je připojen výstup /036/ paměti /35/ příznaku vysílaného znaku a na jeho nahrávací vstup je připojen vodič /0313/ nahrávání z bloku /312/ řadiče vysílání a jehož bitový výstup /013/ je připojen jednak na příslušný vstup součinného obvodu /14/ vysílání přímého bitu, jednak na vstup invertoru /16/ přímého bitu, jehož výstup /018/ je připojen na příslušný vstup součinného obvodu /15/ vysílání inverzního bitu, z bloku /312/ řadiče vysílání je výstup /0314/ startovacího signálu připojen na vstup bloku /17/ vzorkování, jehož výstup /016/ vzorkovacích signálů je připojen na příslušné vstupy součinného obvodu /14/ vysílání přímého bytu a součinného obvodu /15/ vysílání inverzního bitu a jehož výstup /017/ hradlování příjmu je připojen na příslušné vstupy součinného obvodu /24/ příjmu přímého bitu a součinného obvodu /25/ příjmu inverzního bitu a jehož výstup /015/ posouvacích pulsů je připojen na příslušné vstupy jednak posuvného registru /12/ vysílání znaku, jednak posuvného registru /13/ délky znaku, jehož příslušný výstup /014/ konce vysílání EOS je připojen na nulovací vstup bloku /17/ vzorkování a konečně vodič /001/ přenosu přímého bitu je spojen jednak s výstupem součinného obvodu /14/ vysílání přímého bitu, jednak se vstupem součinného obvodu /24/ příjmu přímého bitu, zatímco vodič /002/ přenosu inverzního bitu je spojen jednak s výstupem součinného obvodu /15/ vysílání inverzního bitu, jednak se vstupem součinného obvodu /25/ příjmu inverzního bitu, vodič /031/ vstupního návěští COMMAND je připojen na příslušný vstup součinného obvodu /31/ vstupního návěští, na jehož další vstup je připojen výstup /037/ paměti /313/ výstupního návěští FLAG a jehož výstup /032/ nahrávání vstupního znaku je dále připojen jednak na vstup obvodu /32/ mutace příznaku, jehož výstup /033/ je připojen na první polohu /I/ přepínače /34/ příznaku, jednak na příslušný vstup obvodu /33/ přepisu znaku, na jehož další vstup je připojen vodič /022/ příznaku příjmu z příslušného výstupu posuvného registru /21/ příjmu znaku a jehož výstup /034/ je připojen na druhou polohu /II/ přepínače /34/ příznaku, jehož výstup /035/ je připojen na druhou polohu /II/ přepínače /34/ příznaku, jehož výstup /035/ příznaku vysílání je připojen na funkční vstup paměti /35/ příznaku, jejíž výstup /036/ je ještě připojen na příslušné vstupy obvodu /38/ přímé komparace příznaku a obvodu /39/ inverzní komparace příznaku, zatímco zmíněný výstup /032/ nahrávání vstupního znaku je ještě připojen na jeden ze vstupů součtového obvodu /311/ podmínky vysílání, na jehož další vstupy jsou připojeny jednak výstup /038/ z logického obvodu /37/ "exor" podmínky opakování,

na jehož příslušné vstupy jsou připojeny výstup /0315/ součinného obvodu /36/ výstupního návěští a vodič /023/ signálu EOR konce příjmu z posuvného registru /22/ počtu přijatých bitů, jednak příslušný výstup /024/ posuvného registru /23/ časové kontroly, který je současně připojen na příslušný vstup součtového obvodu /26/ ukončení časové kontroly, a výstup /0312/ ze součtového obvodu /311/ podmínky vysílání je přiveden na vstup bloku /312/ řadiče vysílání, dále je výstup /023/ příznaku příjmu připojen ještě jednak na odpovídající vstup součinného obvodu /38/ přímé komparace, jehož výstup /0310/ je připojen na první vstup /I/ přepínače /310/ komparace, jednak na odpovídající vstup logického obvodu /39/ "exor" inverzní komparace, jehož výstup /0311/ je připojen na druhou polohu /II/ přepínače /310/ komparace, jehož výstup /039/ je připojen na příslušný vstup součinného obvodu /36/ výstupního návěští FLAG, na jehož další vstup je připojen vodič /023/ signálu EOR konce příjmu, zatímco jeho výstup /0315/ je ještě připojen na záznamový vstup paměti /313/ výstupního návěští, na jejíž nulovací vstup a současně i na nulovací vstupy posuvného registru /22/ počtu přijatých bitů a posuvného registru /23/ časové kontroly je připojen výstup /017/ hradlování příjmu ze jmenovaného bloku /17/ vzorkování, výstup /0211/ ze součinného obvodu /24/ příjmu přímého bitu je připojen jednak na funkční vstup paměti /210/ přímého bitu, jednak na příslušný vstup součtového obvodu /212/ příjmu bitu, na jehož další vstup a dále i na funkční vstup paměti /211/ inverzního bitu je připojen výstup /0212/ součinného obvodu /25/ příjmu inverzního bitu a výstup /210/ součtového obvodu /212/ příjmu je připojen jednak na vstup zpožďovacího obvodu /213/, jehož výstup /0213/ je přiveden zpět na nulovací vstup paměti /29/ příjmu, jednak na hodinový vstup téže paměti /29/ příjmu, jejíž odpovídající vstup /0214/ je připojen na hodinové vstupy paměti /210/ přímého bitu a paměti /211/ inverzního bitu, jejíž výstup /029/ je připojen na jeden ze vstupů logického obvodu /28/ "exor" platnosti bitu, na jehož druhý vstup je připojen výstup /028/ z paměti /210/ přímého bitu, který je dále připojen na bitový vstup posuvného registru /21/ příjmu znaku, výstup /027/ z logického obvodu /28/ "exor" platnosti bitu je ještě připojen jednak na nulovací vstup posuvného registru /13/ délky znaku, jednak na posouvací vstup posuvného registru /21/ příjmu znaku a posuvného registru /22/ počtu přijatých bitů, jednak na startovací vstup bloku /27/ časové kontroly, jejíž výstup /026/ je připojen na posouvací vstup posuvného registru /23/ časové kontroly a na jejíž nulovací vstup je přiveden výstup /025/ součtového obvodu /26/ ukončení příjmu, na jehož příslušné vstupy jsou připojeny jednak výstup /024/ posuvného registru /23/ časové kontroly, jednak výstup /023/ signálu EOR konce příjmu z posuvného registru /22/ počtu bitů a konečně výstup posuvného registru /21/ příjmu znaku je utvořen sběrníci /021/ výstupního znaku.

2. Autonomní zapojení pro rychlý sériový přenos znaků v rušivém prostředí podle bodu 1, vyznačené tím, že ke stanici /I/II/ přenosu je připojen adaptér /4/ u-procesorového styku tak, že sběrnice /011/ vstupního znaku a sběrnice /021/ výstupního znaku jsou připojeny na odpovídající body rozvětvené strany dvousměrného přenášče /43/, jehož sdružená strana tvoří datovou sběrnici /54/ u-procesorové sestavy /5/, vodič /031/ vstupního návěští je připojen na výstup součtového obvodu /41/ vstupního návěští, na jehož jeden vstup je připojen vodič /51/ signálu "write" z u-procesorové sestavy /5/ a na jehož druhý vstup je připojen výstup /042/ součinného obvodu /42/ výstupního návěští, který je současně připojen na vstup /53/ signálu READY u-procesorové sestavy /5/ a druhý vstup je výstupem /52/ signálu "dbin" téže u-procesorové sestavy /5/ a tentýž výstup je současně připojen na vstup volby směru přenosu dvousměrného přenášče /43/.



Obr. 1.

Obn. 2.