

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
H03F 1/32

(11) 공개번호 특2002 - 0007192
(43) 공개일자 2002년01월26일

(21) 출원번호 10 - 2001 - 0042254
(22) 출원일자 2001년07월13일

(30) 우선권주장 09/615,377 2000년07월13일 미국(US)

(71) 출원인 텍사스 인스트루먼트 인코포레이티드
윌리엄 비. 캠퍼러
미국 75251 텍사스주 달라스 메일 스테이션 3999 처칠 웨이 7839

(72) 발명자 안쇼우리
미국77840텍사스주칼리지더블유1에이드라이브에이퍼티.헨셀1

(74) 대리인 주성민
장수길

심사청구 : 없음

(54) 전기 신호 증폭용 장치 및 방법

요약

메인 증폭기(204)와 같이 수정 루프 증폭기(202)를 이용하는 장비 및 방법은 낮은 총 고조파 왜곡(total harmonic distortion)을 갖는 신호 증폭을 생산하는 것이다. 수정 증폭기는 메인 증폭기의 제1 입력에 직접 연결된 하나의 입력과, 저항을 통해 메인 증폭기의 제2 입력에 연결된 출력을 양호하게 갖는다. 수정 증폭기의 제2 입력은 전압 분배기 또는 RC 네트워크를 통해 신호 입력 v_{i+} 에 양호하게 연결되어 있다. 양호한 실시예 구성은 종래 기술의 회로에 대해 향상된 THD를 갖는 전력 증폭기를 제공한다. 이 회로는 매우 유연성이 좋고, 만약 소망한다면, 로우, 하이 또는 밴드 패스 필터 기능들을 내장한다. 또한, 전력 증폭기는 단일 또는 차동 입력들 및 출력들의 임의의 조합으로 구현될 수 있다.

대표도
도 14

색인어
메인 증폭기, 수정 증폭기, THD, 전력 증폭기, 공통 모드 방식

명세서

도면의 간단한 설명

도 1은 종래의 증폭기를 예시한 개략도;

도 2는 분배기를 통해 메인 증폭기의 출력에 결합된 입력을 갖는 수정 증폭기를 포함하는 증폭 회로의 개략도;

도 3은 메인 증폭기의 입력에 직접 결합된 입력을 가진 수정 증폭기를 포함하는 양호한 실시예의 회로의 개략도;

도 4는 도 3에 있는 회로의 신호 흐름도;

도 5는 양호한 실시예의 로우 패스 필터(low pass filter)의 개략도;

도 6은 양호한 실시예의 하이 패스 필터(high pass filter)의 개략도;

도 7은 양호한 실시예의 밴드 패스 필터(band pass filter)의 개략도;

도 8은 포지티브(positive) 이득 단일 단(single - ended)입력 구성의 개략도;

도 9는 네거티브(negative) 이득 단일 단 입력 구성의 개략도;

도 10은 단일 단 입력 및 밸런스(balance)된 출력 구성의 개략도;

도 11은 밸런스된 입/출력 구성의 개략도;

도 12는 메인 증폭기(main amplifier)의 개략도;

도 13은 수정 증폭기의 개략도;

도 14는 양호한 실시예의 전력 증폭기의 개략도;

도 15는 주파수에 대한 신호/ 왜곡 비의 그래프.

< 도면의 주요 부분에 대한 부호의 설명 >

100 : 증폭기 회로

104 : 수정 증폭기 회로

204 : 메인 증폭기

302 : 캐패시터

304 : 저항

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

< 기술 분야 >

본 발명은 일반적으로 전기 신호 증폭을 위한 장치 및 방법에 관한 것으로서, 더 상세하게는 출력 신호 왜곡을 저감하기 위해 메인 신호 증폭기와 함께 수정 루프 증폭기를 이용하는 장치 및 방법에 관한 것이다.

신호 증폭기들은 광범위한 소비자, 산업 제품 및 다른 제품들에서 다양한 유형의 전자 회로들에 사용되어진다. 이런 하나의 애플리케이션이 오디오 장비용의 대량의 신호 증폭을 제공하는 데 사용될 수 있는 전력 증폭기이다. 종래의 차동 입력 전력 증폭기 회로가 도1에 도시되어 있다. 그러나, 이 회로의 하나의 문제는, 이 회로가 일반적으로 비교적 높은 총 고조파 왜곡(total harmonics distortion;" THD")을 가지고, 따라서 고성능 회로에서 이것의 직접적인 사용은 한정되어진다는 것이다.

전력 증폭기 회로에서 THD를 줄이는 하나의 방법이 미국 특허 번호 출원번호 [Attorney Docket No.28148]에 의해 교시되어 있다. 도2는 상기에 참조된 특허 출원에 의해 개시된 낮은 THD 증폭기 회로(100)를 도시한다. 이 회로의 전달 함수는 일반적으로 아래와 같이 주어진다.

수학식 1

$$v_o = \frac{A_m(s)[A_c(s)(1-k)+k]v_{I+} - A_m(s)kv_{I-}}{A_m(s)A_c(s)(1-k)k_2 + A_m(1-k)+1}$$

$$= \frac{\left[1 + \frac{k}{A_m(s)}\right]v_{I+} - \frac{k}{A_c(s)(1-k)}v_{I-}}{k_2 + \frac{1}{A_c(s)} + \frac{1}{A_m(s)A_c(s)(1-k)}}$$

여기서 $k = \frac{R_1}{R_1 + R_2}$, $k_2 = \frac{R_4}{R_3 + R_4}$, $A_m(s)$ 및 $A_c(s)$ 는 각각, 메인 증폭기(102) 및 수정 루프 증폭기(104)의 전달 함수이다.

일반적으로, 회로(100)가 올바르게 동작하기 위해서는, 수정 증폭기(104)의 출력($A_c(s)$)이 가상 그라운드(virtual ground)가 되어야한다. 만약 입력이 완전 차동 신호(즉, $V_{I+} = -V_{I-}$)라면, 다음 식들이 유도될 것이다:

수학식 2

$$v_o \frac{R_4}{R_3 + R_4} = v_{I+}, \text{ and } v_o = \frac{R_2}{R_1}(v_{I+} - v_{I-}) = \frac{2R_2}{R_1}v_{I+}.$$

따라서: $\frac{2R_2}{R_1} = \frac{R_3 + R_4}{R_4}$

더욱이, 만약 $R_4 = R_1$ 라면, $R_3 = 2R_2 - R_1$ 가 된다.

실질적인 회로 설계에서, R_1 또는 R_2 의 값을 가진 다른 저항기에 대해 $R_3 = 2R_2 - R_1$ 를 매칭시키는 것은 일반적으로 어렵다.

만약 $A_m(s) > 0$, $A_c(s) > 0$ 및 $A_c(s)(1-k) > 0$ 라면, 상기 식은 아래와 같이 간단해진다.

수학식 3

$$v_o = \frac{v_{I+}}{k_2} = \frac{R_3 + R_4}{R_4} v_{I+} = \left(\frac{R_3}{R_4} + 1 \right) v_{I+}$$

이것은 출력 전압 v_o 가 플러스 입력 v_{I+} 에 의해 주로 결정되어지고, 마이너스 입력 v_{I-} 에는 영향을 받지 않는다는 것을 나타낸다. 기본적으로, 이 회로는 입력이 v_{I+} 이고 출력이 v_o 인 단일 단 시스템(single ended system)으로서 동작할 수 있다. 따라서, 이 회로가 갖는 잠재적인 단점은 완전 차동 구조로서 동작할 수 없다는 것이다. 일반적으로, 혼합-신호 환경에서, 많은 디지털 노이즈들은 공통 모드 방식(common mode fashion)에서 전원, 기판, 또는 신호 전선들에서 존재한다. 이런 환경에서, 완전 차동 구조는 일반적으로 노이즈의 높은 (디지털) 면제성, 높은 공통 모드 제거 비(Common Mode Rejection Ratio, "CMRR"), 및 높은 전원 제거 비(Power Supply Rejection Ratio, "PSRR")를 제공한다. 그러나, 도2의 회로의 잠재적인 단일 단 동작 특징 때문에, 완전 차동 회로의 잇점들이 이루어지지 않는다.

도2에 도시된 회로 구성에 있어서, CMRR은 다음과 같다.

수학식 4

$$CMRR = \frac{A_{DM}}{A_{CM}} = \frac{v_o / (v_{I+} - v_{I-})}{v_o / (v_{I+} + v_{I-}) / 2} = \frac{1}{2} = -6dB$$

도2에 도시된 회로의 또 다른 잠재적 단점은 회로에 필터링(filtering) 기능을 추가하는 것이 상대적으로 어렵다는 것이다.

발명이 이루고자 하는 기술적 과제

매우 낮은 THD를 갖는 신호 증폭을 생성하기 위하여 메인 증폭기와 함께 수정 루프 증폭기를 이용하는 장치 및 방법을 포함하는 본 발명의 양호한 실시예들에 의해서 이런 문제점들은 일반적으로 해결되어지거나 또는 회피되어지고, 기술적인 장점들은 일반적으로 이루어진다. 수정 증폭기는 메인 증폭기의 제1 입력에 직접 결합된 하나의 입력과, 정향을 통해 메인 증폭기의 제2 입력에 결합된 출력을 양호하게 갖는다. 수정 증폭기의 제2 입력은 분압기(voltage divider) 또는 RC 네트워크를 통해 신호 입력에 양호하게 결합되어 있다. 또한, 수정 증폭기의 제2 입력은 일반적인 단일 단 입력 네거티브 이득 구성을 위하여 그라운드에 결합될 수 있다. 양호한 실시예 구성은 종래 기술의 회로들보다 향상된 THD를 갖는 전력 증폭기를 제공한다. 이 회로는 유연성이 매우 좋고, 만일 소망한다면, 로우, 하이 또는 밴드 패스 필터 기능을 가질 수 있다. 또한, 전력 증폭기는 단일 또는 차동 입/출력들의 임의의 조합으로 구현될 수 있다.

본 발명의 양호한 실시예에 따라서, 전력 증폭기 회로 장치는 제1 및 제2 입력 노드들 및 출력 노드를 가진 메인 증폭기; 메인 증폭기의 제1 입력 노드와 출력 노드 사이에 결합된 피드백 저항; 제1 및 제2 입력 노드들 및 출력 노드를 갖는 수정 루프 증폭기 - 수정 증폭기의 제1 입력 노드는 메인 증폭기의 제1 입력 노드에 결합됨 - ; 및 수정 증폭기의 출력 노드와 메인 증폭기의 제2 입력 노드 사이를 결합하는 저항을 포함한다.

본 발명의 다른 양호한 실시예에 따라서, 차동 출력 증폭기 회로는 포지티브 및 네거티브 신호 성분들을 갖는 밸런스된(balanced) 출력 신호를 생성한다. 이 회로는 밸런스된 출력 신호의 포지티브 신호 구성 성분을 제공하기 위한 제1 전력 증폭기 회로, 및 균형된 출력 신호의 네거티브 신호 구성 성분을 제공하기 위한 제2 전력 증폭기 회로를 포함한다. 각각의 제1 및 제2 전력 증폭기 회로들은 상기에 설명된 실시예와 유사하게 구성되어진다.

본 발명의 다른 양호한 실시예에 따라서, 증폭기 회로는 메인 증폭기 및 수정 증폭기를 포함하고, 이 메인 증폭기는 제 1 및 제2 입력 노드들 및 출력 노드를 가지고, 이 수정 증폭기는 제1 및 제2 입력 노드들 및 출력 노드들을 갖는다. 증폭기 회로에서 왜곡을 수정하는 방법은 제1 저항을 통해 메인 증폭기 출력 노드에서 메인 증폭기 제1 입력 노드로 출력 신호를 피드백하는 단계; 저항을 통해 수정 증폭기 제1 입력 노드로 출력 신호를 피드백하는 단계; 수정 증폭기의 출력 노드에서 수정 신호를 생성하는 단계; 및 제2 저항을 통해 메인 증폭기 제2 입력 노드에 수정 신호를 제공하는 단계를 포함한다.

본 발명의 양호한 실시예의 장점은 종래의 방법에 비해 훨씬 향상된 CMRR 성능을 제공한다는 것이다. 이상적으로 매칭된(match) 저항들, 및 이상적인 메인 증폭기 및 수정 증폭기들이라고 가정하면, 회로의 CMRR은 무한대로 접근해야 한다. 실제적으로, 회로의 CMRR은 저항들의 매칭 및 증폭기들의 CMRR에 의해 한정되어진다. 더 높은 CMRR은 일반적으로 디지털 간섭 및 다른 공통 모드 노이즈에 대해 더 높은 면역성을 제공한다.

본 발명의 양호한 실시예의 추가적인 장점은 종래 방법들보다 더 많은 이득 유연성을 제공한다는 것이다. 이득은 $\frac{v_o}{v_{in}}$ 에 의해 결정되어지는 임의의 값일 수 있으며, 따라서 이 양호한 실시예에는 예를들어, 증폭기의 피드백 루프에서 볼륨 제어를 구현하기 위해 사용되어질 수 있다. 상기에 언급된 종래의 방법에 대해서, $\frac{v_o}{v_{in}} = \frac{R_2}{R_1} + 1$ 에서, 최소 이득값은 1이다. 이득이 1보다 작을 수 없기 때문에, 종래의 방법은 일반적으로 부피 제어 애플리케이션에는 사용될 수 없다.

본 발명의 양호한 실시예의 또 다른 장점은 구성의 유연성을 제공한다는 것이다. 예를 들어, 증폭기는 다음을 행하기 위해 구성될 수 있다:

- (1)완전 차동(밸런스된) 입력, 단일 단 출력, 2- 채널(4- 채널) 스테레오;
- (2)단일 단 입력, 단일 단 출력, 2- 채널(4- 채널)스테레오;
- (3)완전 - 차동(밸런스된) 입력 및 출력, 모노(2- 채널 스테레오);
- (4)단일 단 입력, 완전 - 차동(밸런스된) 출력, 모노(2- 채널 스테레오).

구성 선택은(configuration selection) 설계동안이나, 또는 회로가 만들어진 후에, 몇개의 스위치들을 사용함으로써 행해질 수 있다. 기본적 설계는 사전에 준비되어 몇개의 배선 연결 변화에 의해 다른 구성들로 구현될 수 있다.

본 발명의 양호한 실시예의 또 다른 장점은 각각의 저항들이 두개의 값들중 하나로 할당되기 때문에, 모든 저항들을 매칭시키기가 상대적으로 쉽다는 것이다.

본 발명의 양호한 실시예의 또 다른 장점은 회로가 로우 패스, 하이 패스, 또는 밴드 패스 필터 기능들을 행하도록 확장시키는 것이 쉽다는 것이다.

본 발명의 양호한 실시예의 또 다른 장점은 종래 증폭기 구성에 비하여 극히 낮은 THD를 갖는다는 것이다.

이상의 설명은 이하의 본 발명의 상세한 설명이 더 잘 이해될 수 있게 하기 위해 본 발명의 특징들 및 기술적 장점들을 광범위하게 요약한 것이다. 본 발명의 청구항들의 주제를 형성하는 본 발명의 부가적인 특징들 및 장점들은 하기에 언급되어질 것이다. 개시된 개념 및 특정 실시예가 본 발명의 같은 목적들을 실행하기 위한 다른 구조들 또는 프로세스들을 변경 또는 설계하기 위한 기초로서 쉽게 이용될수 있다는 것은 당업자에게 인식되어야한다. 또한, 첨부된 청구항들에 설명된 본 발명의 사상 및 범위를 벗어나지 않고 등가적 구조들이 당업자에 의해 실현될 것이다.

발명의 구성 및 작용

현재의 양호한 실시예들의 제작 및 사용이 아래에 상세히 언급되어진다. 그러나, 본 발명이 각종의 특정 환경들 안에서 구체화될 수 있는 많은 적용가능한 발명 개념들을 제공한다는 것을 알아야만 한다. 설명되는 특정 실시예들은 본 발명을 제작 및 사용하기 위한 단지 예시적인 특정 방법일 뿐, 본 발명의 범위를 한정하려는 것은 아니다.

본 발명은 특정 환경에서, 즉 오디오 증폭기용인 전력 증폭기 구성과 같은 양호한 실시예들에 대해 설명되어질 것이다. 그러나, 전기 신호 증폭이 필요한 다른 시스템들에서도 본 발명은 또한 적용될 수 있다. 이 회로는 아주 낮은 THD로 구현되어지고, 고품격(high-end) 고충실 오디오 전력 증폭기 칩들에 사용될 수 있다. 다른 예로서, 저전력 코덱들에 사용될 수 있다. 높은 THD 성능이 필요하지 않은 저품격 애플리케이션들에 대해, 더 높은 THD가 더욱 낮은 전력 소비와 트레이드-오프될 수 있다. 이 비교적 더 높은 THD는 종래의 전력 증폭기 설계들과 비교할만한 성능 수준을 여전히 가질 수 있다. 다른 예로서, 낮은 THD 증폭기 토폴로지(topology)는 일반적으로 프로세서 독립적이어서, CMOS, bipolar, BiCMOS 집적 회로들로 구현된 임의의 오디오 증폭기 설계에 사용될 수 있다. 예를 들어, 고품격 오디오 전력 증폭기 시스템들을 위한 이산적 부품 설계(discrete component design)에서 또한 구현될 수 있다.

양호한 실시예의 이중 피드백 루프 완전 차동대 단일 단 증폭기의 개략도가 도3에 도시되어 있고, 관련된 신호 흐름도(250)가 도4에 예시되어 있다. 이 토폴로지의 전달 함수는 다음과 같이 유도될 수 있다. $A_m(s)$ 수정 루프 증폭기(202) 및 $A_c(s)$ 메인 증폭기(204)가 모두 2극 증폭기들이고, 이들의 전달 함수들은

수학식 5a

$$A_m(s) = \frac{A_{m0}}{\frac{s^2}{f_{m2} p_{m1}} + \frac{s}{p_{m1}} + 1}$$

및

수학식 5b

$$A_c(s) = \frac{A_{c0}}{\frac{s^2}{f_{c2} p_{c1}} + \frac{s}{p_{c1}} + 1}$$

라고 가정한다.

$k = \frac{R_2}{R_1 + R_2}$ 로 정의하면, 출력 전압은 아래와 같이 얻어진다

수학식 6a

$$v_o(s) = \frac{k A_m(s) [1 + A_c(s)(1-k)]}{1 + A_m(s) A_c(s)(1-k)^2 + A_m(s)(1-k)} (v_{i+} - v_{i-})$$

즉, 전달 함수는

수학식 6b

$$H(s) = \frac{v_o(s)}{v_{i+} - v_{i-}} = \frac{kA_m(s)[1 + A_c(s)(1-k)]}{1 + A_m(s)A_c(s)(1-k)^2 + A_m(s)(1-k)}$$

안정도를 위한 가장 엄격한 조건은 k=0일때 발생하는데, 이점에서 비반전 증폭기로서 단위 이득 피드백 구조로 효과적으로 동작한다. 증폭기의 이득은 다음과 같이 감소한다

수학식 7

$$H(s) = \frac{kA_m(s)[1 + A_c(s)]}{1 + A_m(s)A_c(s) + A_m(s)}$$

$A_m(s)$ 및 $A_c(s)$ 는 식 (5a) 및 (5b)로 대체되어진다. 식 (7)의 분자 및 분모에 대해 $A_m(s)$ 및 $A_c(s)$ 의 분모를 곱함으로서, H(s)의 분모는 아래와 같이 얻어진다

수학식 8

$$\begin{aligned} D_H(s) &= \left(\frac{s^2}{f_{m2}p_{m1}} + \frac{s}{p_{m1}} + 1 \right) \left(\frac{s^2}{f_{c2}p_{c1}} + \frac{s}{p_{c1}} + 1 \right) + A_{m0}A_{c0} + A_{m0} \left(\frac{s^2}{f_{c2}p_{c1}} + \frac{s}{p_{c1}} + 1 \right) \\ &= A_{m0}A_{c0} \left[\frac{s^4}{f_{m2}f_{m1}f_{c2}f_{c1}} + s^3 \frac{1}{f_{m1}f_{c1}} \left(\frac{1}{f_{m2}} + \frac{1}{f_{c2}} \right) + s^2 \left(\frac{1}{f_{m2}f_{m1}A_{c0}} + \frac{1}{f_{c2}f_{c1}A_{m0}} + \frac{1}{f_{m1}f_{c1}} + \frac{1}{f_{c2}f_{c1}} \right) \right. \\ &\quad \left. + s \left(\frac{1}{f_{m1}A_{c0}} + \frac{1}{f_{c1}A_{m0}} + \frac{1}{f_{c1}} \right) + \left(1 + \frac{1}{A_{m0}A_{c0}} + \frac{1}{A_{c0}} \right) \right] \\ \underline{\underline{A_{m0} \gg 1, A_{c0} \gg 1}} \quad &A_{m0}A_{c0} \left[\frac{s^4}{f_{m2}f_{m1}f_{c2}f_{c1}} + s^3 \frac{1}{f_{m1}f_{c1}} \left(\frac{1}{f_{m2}} + \frac{1}{f_{c2}} \right) + s^2 \frac{1}{f_{c1}} \left(\frac{1}{f_{m1}} + \frac{1}{f_{c2}} \right) + s \frac{1}{f_{c1}} + 1 \right] \end{aligned}$$

양호한 실시예에서, 도3의 전달 특성은 아래와 같이 주어진다

수학식 9

$$v_o(s) = \frac{kA_m(s)[1 + A_c(s)(1-k)]}{1 + A_m(s)A_c(s)(1-k)^2 + A_m(s)(1-k)} (v_{i+} - v_{i-}) \approx \frac{k}{1-k} (v_{i+} - v_{i-}) = \frac{R_2}{R_1} (v_{i+} - v_{i-})$$

이상적으로, 만약 메인 및 수정 증폭기들이 매우 높은 CMRR을 가지고 R1 및 R2들이 밀접하게 매치가 되어진다면, 이 토폴로지는 시스템안에서 어떠한 CMRR 저하도 허용되지 않고, 디지털 간섭 및 다른 공통 모드 노이즈에 대한 더 높은 면역성이 기대되어진다.

안정도 조건들을 조사하기 위하여 여기에 참조된, " Multistage amplifier topologies with nested Gm - c compensation," IEEE J. Of Solid - State Circuits, vol.32, no.21,pp.2000 - 2011(1997.12), 예프. 유(F. You)등의 논문에서 상기 식(8)과 식(9)를 비교하는 것은 유용하다. 이들 식들을 이용해서, 아래와 같이 얻어진다.

수학식 10a

수학식 10b

$$f_2 = \frac{f_{m1}f_{c2}}{f_{m1} + f_{c2}}$$

수학식 10c

$$f_3 = \frac{(f_{m1} + f_{c2})f_{m2}}{f_{m2} + f_{c2}}$$

수학식 10d

$$f_4 = f_{m2} + f_{c2}$$

여기에, $f_{m1} = p_{m1} A_{m0}$ 및 $f_{c1} = p_{c1} A_{c0}$ 는 메인 및 수정 증폭기들의 단위 이득 주파수들이고, f_i ($i=1$ 부터 4)은 에프 유 등의 네스티드 트랜스컨덕턴스 - 용량 보상(nested transconductance - capacitance compensation, "NGCC") 증폭기의 등가적인 주파수들이다.

비록 라우스 안정도 기준은(Routh stability criterion) 안정도 조건들을 직접적으로 얻는데 적용되어지지만, 일반적으로 매우 복잡하고 중요한 수학적 작업이 필요하다. 에프 유 등에 따라서, 안정도 조건은 아래와 같이 주어진다

$$f_4 > f_1, \text{ and } f_4 > f_1 \frac{1}{1 - f_1/f_3}$$

즉, 도3에서의 양호한 실시예의 증폭기에 대하여, 안정도 조건은 아래와 같다:

수학식 11a

$$f_{m2} + f_{c2} > \frac{f_{m1}f_{c2}}{f_{m1} + f_{c2}}$$

및

수학식 11b

$$f_{m2} + f_{c2} > \frac{f_{m1}f_{m2}f_{c2}}{f_{m2}(f_{c2} + f_{m1}) - f_{c1}(f_{c2} + f_{m2})}$$

식(11a)가 일반적으로 항상 참이기 때문에, 식(11b)는 안정도에 대한 유일한 조건이 된다.

만약 $f_{c1} = 1\text{MHz}$, $f_{c2} = 3\text{MHz}$, $f_{m1} = 3\text{MHz}$, $f_{m2} = 6\text{MHz}$ 라면, 하기값들이 얻어진다: $f_1 = 1\text{MHz}$, $f_2 = 1.5\text{MHz}$, $f_3 = 4\text{MHz}$, 및 $f_4 = 9\text{MHz}$.

도3에 도시된 회로의 THD를 조사를 해보면, THD는 주로 피드백 루프의 전체 이득에 의존적으로 된다. 경험적으로, THD의 향상은 아래에 의해 주어진다

수학식 12

$$THD = -20 \log \left[\left(\frac{f_{cl} f_{m1}}{f_H^2} \right) (1 - k)^2 \right]$$

여기에서 f_H 는 증폭기의 가장 높은 동작 주파수이다. 예를 들어, 오디오 콤팩트 디스크 플레이어 증폭기들에서는, f_H 는 약 20KHZ이다.

다른 양호한 실시예들에 따라서, 가령 로우 패스, 하이 패스, 밴드 패스와 같은 필터링 기능들은 증폭기에 포함될 수 있다. 로우 패스 필터 기능은 샘플 주파수에서의 약간의 고주파 성분 스위치 - 캐패시터 노이즈 (switched - capacitor noise) 또는 D/A 컨버터 노이즈를 제거하는 데 적당하기 때문에 어떤 애플리케이션들에 대해서는 특별히 유용할 수 있다.

(1) 로우 패스 필터. 제1 차 로우 패스 필터에 대해, 도5에 도시된 증폭기 회로(300)에서, 캐패시터(C2,302)는 모든 R2(304)에 병렬로 부가되어 있다. 로우 패스 전달 함수는 아래와 같이 개략적으로 주어진다:

수학식 13

$$A_{LP}(s) = \frac{R_2}{R_1} \frac{1}{1 + s / p_2}$$

여기에서 p_2 는 -3dB 각주파수이고, $p_2 = \frac{1}{R_2 C_2}$ 로 주어진다. -3dB 주파수는(HZ) $f_{-3dB} = \frac{p_2}{2\pi} = \frac{1}{2\pi R_2 C_2}$ 이다.

(2) 하이 패스 필터. 제1 차 하이 패스 필터에 대해, 도6에 도시된 증폭기 회로(330)에서, 캐패시터(C1,332)는 모든 R1(334)에 직렬로 부가되어 있다. 하이 패스 전달 함수는 일반적으로 아래와 같이 주어진다:

수학식 14

$$A_{HP}(s) = \frac{R_2}{R_1} \frac{s}{1 + s / p_1}$$

여기에서 p_1 은 -3dB 하이 패스 각주파수이고, $p_1 = \frac{1}{R_1 C_1}$ 으로 주어진다.

(3) 밴드 패스 필터. 제1 차 밴드 패스 필터에 대해, 로우 패스 및 하이 패스 구현들이 같이 조합될 수 있다. 즉, 도7에 도시된 증폭기 회로(360)에서, 캐피시터(C2,362)는 모든 R2(364)에 병렬로 부가되어 있고, 캐패시터(C1,366)은 모든 R1(368)에 직렬로 부가되어 있다. 밴드 패스 전달 함수는 일반적으로 아래와 같이 주어진다:

수학식 15

$$A_{BP}(s) = \frac{R_2}{R_1} \frac{s}{(1 + s / p_1)(1 + s / p_2)}$$

여기서,

$$\text{맞}_{\text{C}_1} = \frac{1}{R_1 C_1}$$

또한, 구형파의 과도 응답이 특정 애플리케이션에 대해 바람직하다면, 작은 캐패시터 C2(가령, C2=10p, 및 R2=50K)는 유익할것이다.

다른 양호한 실시예에 따라, 상기에 언급된 회로 토폴로지는 완전 - 차동대 다른 단일 단이 아닌 구조로 구현될 수 있다. 예를 들어, 하나의 입력을 아날로그 그라운드에 쇼트(short)시킴으로서, 단일 단대 단일 단 구성이 형성될 수 있다. 도 8 및 9에 도시된대로, 어느 입력이 그라운드에 쇼트되는가에 따라, 이득은 포지티브 또는 네거티브가 될 수 있다. 도8은 포지티브 이득을 갖는 단일 단대 단일 단 전력 증폭기(400)를 도시하고, 반면에 도9는 네거티브 이득을 갖는 단일 단대 단일 단 전력 증폭기(420)를 도시한다.

다른 양호한 실시예에 따라, 증폭기는 도10에 도시된 바와 같이 단일 단 입력, 완전 - 차동(밸런스된) 출력 증폭기(440)로서 또는 도11에 도시된 바와 같이 완전 - 차동 (밸런스된) 입/출력 증폭기(460)로서 구성될 수 있다. 도10의 회로는 완전 차동 출력을 제공하기 위하여 도8의 포지티브 이득 증폭기와 도9의 네거티브 이득 증폭기를 효과적으로 결합시킨다. 유사하게, 도11의 회로는 도3에 예시된 실시예의 두개의 증폭기를 효과적으로 결합시켜, 입력들이 증폭기중 하나로 역행한다.

당업자가 쉽게 알 수 있듯이, 메인 및 수정 증폭기들에 대해 많은 가능한 트랜지스터 레벨 구현들이 존재한다. 도12는 메인 증폭기(204)에 대한 양호한 트랜지스터 레벨 구현(500)을 도시하고, 도13은 수정 증폭기(202)에 대한 양호한 트랜지스터 레벨 구현(502)을 도시한다. 도14는 완전 - 차동/단일 단 스킴(scheme) 구성시 양호한 실시예의 증폭기의 개략도(504)를 예시한다.

도15를 참조하면, 그래프(600)는 주파수에 대한 신호대왜곡 비의 시뮬레이션(simulation) 결과를 도시한다. 시뮬레이션에서, $R_L = 32\Omega$, $V_{\text{sup}} = 2.5V$, 및 $\text{맞}_{\text{out}} = 2.0V_{\text{p-p}}$ 이다. 곡선(602)은 도14의 양호한 실시예의 증폭기 회로(504)에 대한 신호대 왜곡 비를 나타내는 반면에, 곡선(604)은 도1의 종래회로의 신호대 왜곡 비를 나타낸다. 유리하게, 곡선(602)은 곡선(604)에 비해 28dB - 50dB 향상이 있는것을 보여준다.

발명의 효과

본원 발명에 따르면, 전기 신호 증폭에 있어서 개선된 CMRR 성능을 얻을 수 있다.

비록 본 발명 및 본 발명의 장점들은 상세하게 언급되었지만, 첨부된 청구항들에 의해 정의된대로 본 발명의 사상 및 범위를 벗어나지 않으면서 각종의 변화, 대체, 변경들은 본 명세서 안에서 이루어지는 것을 이해해야 한다. 예를 들어, 상기에 언급된 특징들 및 기능들의 많은 것들이 소프트웨어, 하드웨어 또는 펌웨어(firmware), 또는 이들의 조합들이 구현되어져서, 하나 이상의 컴퓨터들에서 실행되고 있다. 또한, 본 발명 애플리케이션의 범위는 프로세스, 머신, 제작, 문제의 조합, 수단, 방법 및 본 명세서에 언급된 단계들의 특별한 실시예들에 제한하려는 것은 아니다. 당업자가 본 발명의 개시, 프로세스, 머신, 제작, 문제의 조합, 수단, 방법, 또는 현재 존재하는 또는 후에 개발되어질 단계로 부터 즉시 평가하는대로, 본 명세서에 언급된 실시예들에 대응하여 실질적으로 같은 기능을 행하거나 또는 실질적으로 같은 결과를 이룩함으로써, 본 발명에 따라 이용되어진다. 따라서, 첨부된 청구항들은 가령, 프로세스, 머신, 제작, 문제의 혼합, 수단, 방법, 또는 단계들과 같은 이들의 범위안으로 포함하려고 한다.

(57) 청구의 범위

청구항 1.

제1 및 제2 입력 노드들 및 출력 노드를 갖는 메인 증폭기;

상기 메인 증폭기의 상기 제1 입력 노드와 상기 출력 노드 사이에 결합된 피드백 저항;

제1 및 제2 입력 노드들 및 출력 노드를 갖는 수정 루프 증폭기 - 상기 수정 증폭기의 상기 제1 입력 노드는 상기 메인 증폭기의 상기 제1 입력 노드와 결합됨 -; 및

상기 수정 증폭기의 출력 노드와 상기 메인 증폭기의 제2 입력 노드 사이에 결합된 제1 저항

을 포함하는 전력 증폭기 회로.

청구항 2.

제1항에 있어서,

상기 수정 증폭기의 상기 제2 입력 노드와 상기 메인 증폭기의 제2 입력 노드 사이에 결합된 제2 저항을 더 포함하는 전력 증폭기 회로.

청구항 3.

제1항에 있어서, 상기 전력 증폭기 회로는

제1 신호 입력 노드 및 제2 신호 입력 노드를 갖는 차동 신호 입력을 포함하는 상기 전력 증폭기 회로.

청구항 4.

제3항에 있어서,

상기 수정 증폭기의 상기 제2 입력 노드와 상기 제1 신호 입력 노드 사이에 결합된 제3 저항, 및 상기 메인 증폭기의 상기 제2 입력 노드와 상기 제1 신호 입력 노드 사이에 결합된 제4 저항을 더 포함하는 전력 증폭기 회로.

청구항 5.

제3항에 있어서,

상기 메인 증폭기의 상기 제1 입력 노드와 상기 제2 신호 입력 노드 사이에 결합된 제5 저항을 더 포함하는 전력 증폭기 회로.

청구항 6.

제3항에 있어서, 상기 전력 증폭기 회로는

로우 패스, 하이 패스, 및 밴드 패스로 구성된 그룹으로부터 선택된 필터 유형으로 구성되는 상기 전력 증폭기 회로.

청구항 7.

제1항에 있어서, 상기 전력 증폭기 회로는

단일 단 신호 입력을 포함하는 상기 전력 증폭기 회로.

청구항 8.

제7항에 있어서,

상기 메인 증폭기의 상기 제2 입력 노드와 상기 단일 단 신호 입력 사이에 결합된 제4 저항을 더 포함하고, 상기 전력 증폭기 회로는 포지티브 이득을 제공하는 전력 증폭기 회로.

청구항 9.

제7항에 있어서,

상기 메인 증폭기의 상기 제1 입력 노드와 단일 단 신호 입력 사이에 결합된 제5 저항을 더 포함하며, 상기 전력 증폭기 회로는 네거티브 이득을 제공하는 전력 증폭기 회로.

청구항 10.

제1항에 있어서, 상기 전력 증폭기 회로는

단일 단 신호 출력을 포함하는 전력 증폭기 회로.

청구항 11.

제1항에 있어서, 상기 전력 증폭기 회로는

1보다 작은 이득을 갖는 전력 증폭기 회로.

청구항 12.

제1항에 있어서, 상기 전력 증폭기 회로는

집적회로로서 구현되는 전력 증폭기 회로.

청구항 13.

포지티브 및 네거티브 신호 성분들을 갖는 밸런스된 출력 신호를 생성하기 위한 차동 출력 증폭기 회로에 있어서,

상기 밸런스된 출력 신호의 상기 포지티브 신호 성분을 제공하기 위한 제1 전력 증폭기 회로 - 상기 제1 전력 증폭기 회로는,

제1 및 제2 입력 노드들, 및 출력 노드를 갖는 제1 메인 증폭기;

상기 제1 메인 증폭기의 상기 제1 입력노드와 상기 출력 노드 사이에 결합된 제1 피드백 저항;

제1 및 제2 입력 노드들 및 출력 노드를 갖는 제1 수정 루프 증폭기 - 상기 제1 수정 증폭기의 제1 입력 노드는 상기 제1 메인 증폭기의 상기 제1 입력 노드에 결합됨 -; 및

상기 제1 수정 증폭기의 상기 출력 노드와 상기 제1 메인 증폭기의 상기 제2 입력 노드 사이에 결합된 제1 저항을 포함함 -; 및

상기 밸런스된 출력 신호의 상기 네거티브 신호 성분을 제공하기 위한 제2 전력 증폭기 회로 - 상기 제2 전력 증폭기 회로는

제1 및 제2 입력 노드들 및 출력 노드를 갖는 제2 메인 증폭기;

상기 제2 메인 증폭기의 상기 제1 입력 노드와 상기 출력 노드 사이에 결합된 제2 피드백 저항;

제1 및 제2 입력 노드 및 출력 노드를 갖는 제2 수정 루프 증폭기 - 상기 제2 수정 증폭기의 상기 제1 입력 노드는 상기 제2 메인 증폭기의 상기 제1 입력 노드에 결합됨 - ; 및

상기 제2 수정 증폭기의 상기 출력 노드와 상기 제2 메인 증폭기의 상기 제2 입력 노드 사이에 결합된 제2 저항을 포함함 -

를 포함하는 차동 출력 증폭기 회로.

청구항 14.

제13항에 있어서, 상기 전력 증폭기 회로는

제1 신호 입력 노드 및 제2 신호 입력 노드를 갖는 차동 신호 입력을 포함하는 차동 출력 증폭기 회로.

청구항 15.

제13항에 있어서, 상기 전력 증폭기 회로는

단일 단 신호 입력을 포함하는 차동 출력 증폭기 회로.

청구항 16.

제1 및 제2 입력 노드들, 및 출력 노드를 갖는 메인 증폭기, 및 제1 및 제2 입력 노드들, 및 출력 노드를 갖는 수정 증폭기를 포함하는 증폭기 회로에서 왜곡을 수정하는 방법에 있어서,

제1 저항을 통해 상기 메인 증폭기의 출력 노드에서 상기 메인 증폭기의 제1 입력 노드로 출력 신호를 피드백하는 단계 ;

상기 저항을 통해 상기 수정 증폭기 제1 입력 노드로 상기 출력 신호를 피드백 하는 단계;

상기 수정 증폭기의 상기 출력 노드에서 수정 신호를 생성하는 단계; 및

상기 수정 신호를 제2 저항을 통해 상기 메인 증폭기의 제2 입력 노드에 제공하는 단계

를 포함하는 것을 방법.

청구항 17.

제16항에 있어서,

상기 메인 증폭기의 제1 및 제2 입력 노드들에서 차동 신호 입력을 수신하는 단계를 더 포함하는 방법.

청구항 18.

제17항에 있어서,

상기 전력 증폭기 회로가 상기 차동 신호 입력을 필터링하는 단계를 더 포함하고, 상기 필터링은 로우 패스, 하이 패스, 및 밴드 패스로 이루어진 그룹으로 부터 선택되는 방법.

청구항 19.

제16항에 있어서,

상기 메인 증폭기의 제1 및 제2 입력 노드들중 하나에서 단일 단 신호 입력을 수신하는 단계를 더 포함하는 방법.

청구항 20.

제16항에 있어서,

상기 전력 증폭기 회로가 입력 신호상에 네거티브 이득을 행하는 방법.

청구항 21.

제16항에 있어서,

상기 이득은 1보다 작은 방법.

청구항 22.

제16항에 있어서,

단일 단 신호 출력을 생성하는 단계를 더 포함하는 방법.

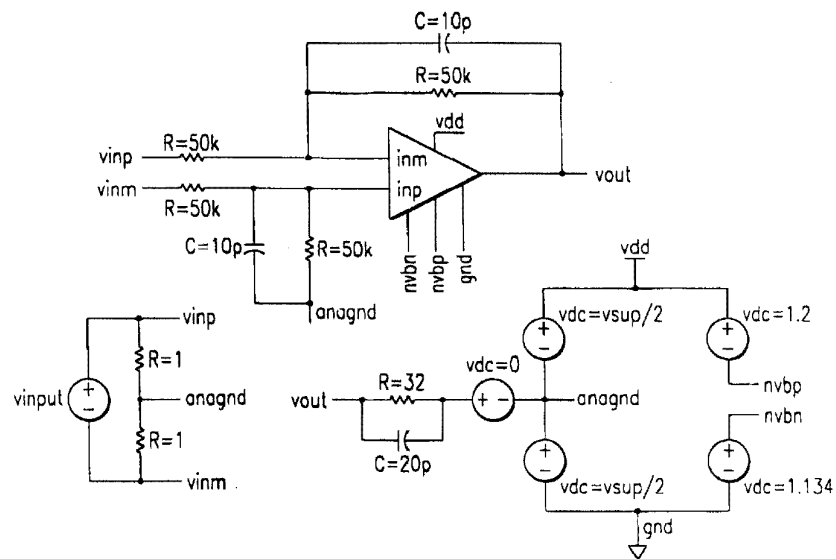
청구항 23.

제16항에 있어서,

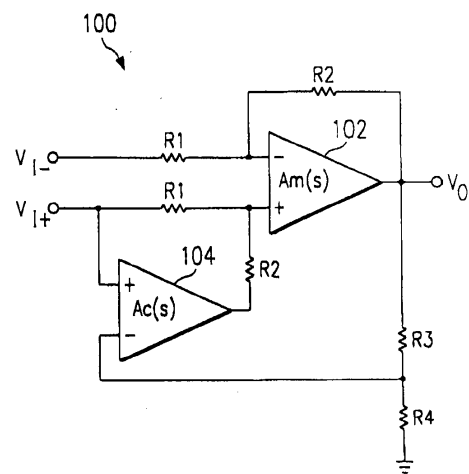
차동 신호 출력을 생성하는 단계를 더 포함하는 방법.

도면

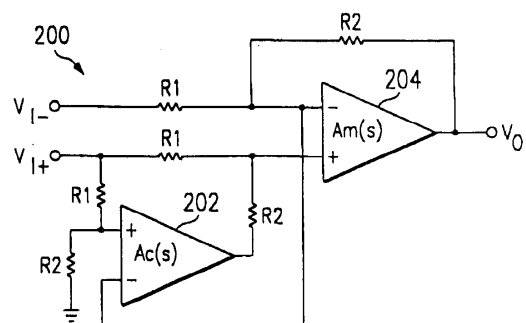
도면 1



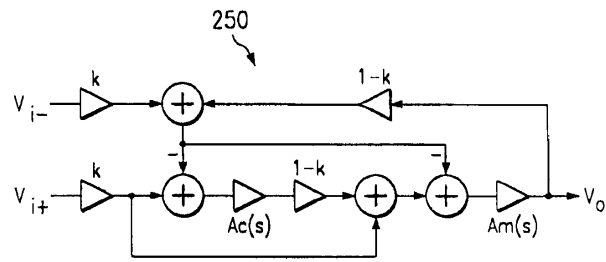
도면 2



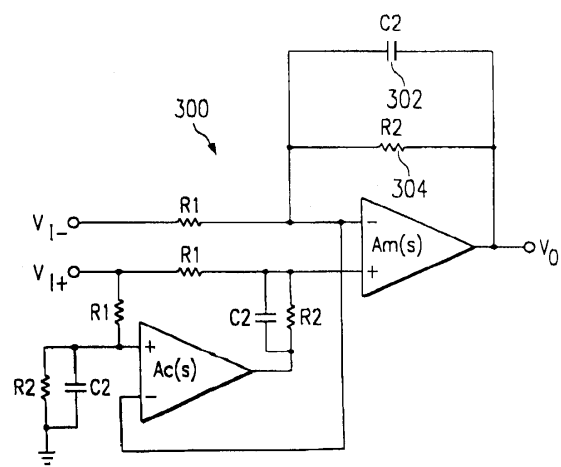
도면 3



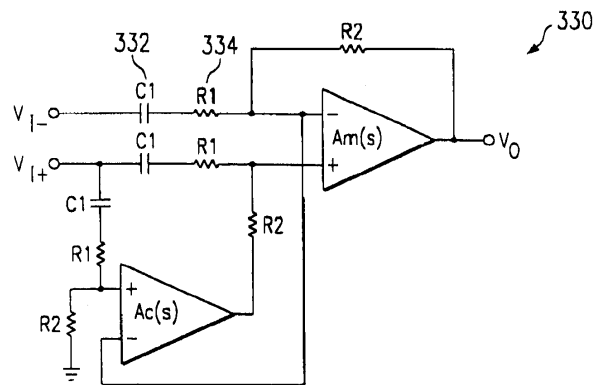
도면 4



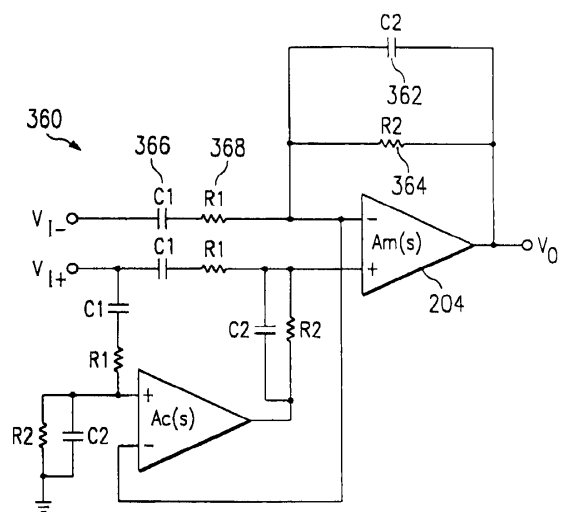
도면 5



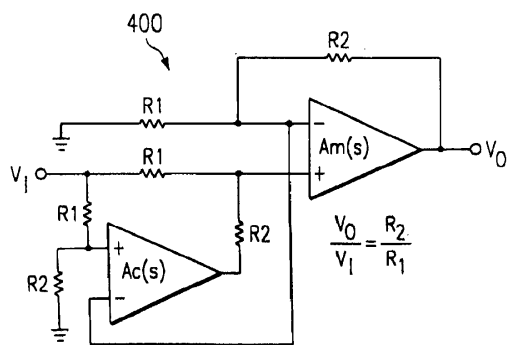
도면 6



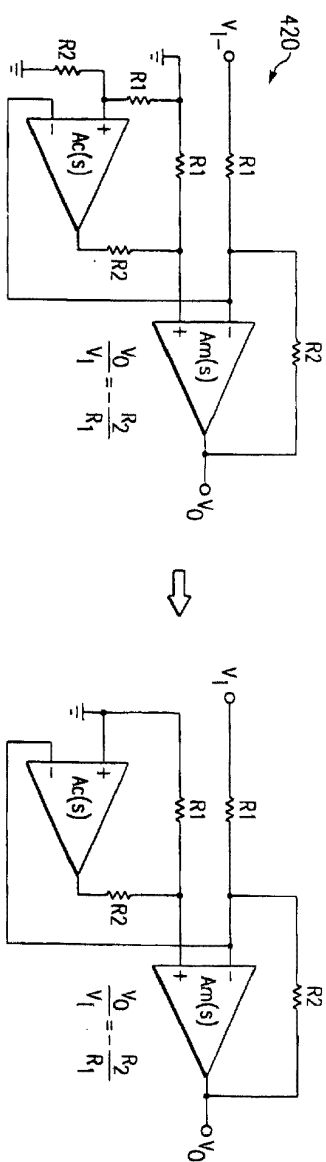
도면 7



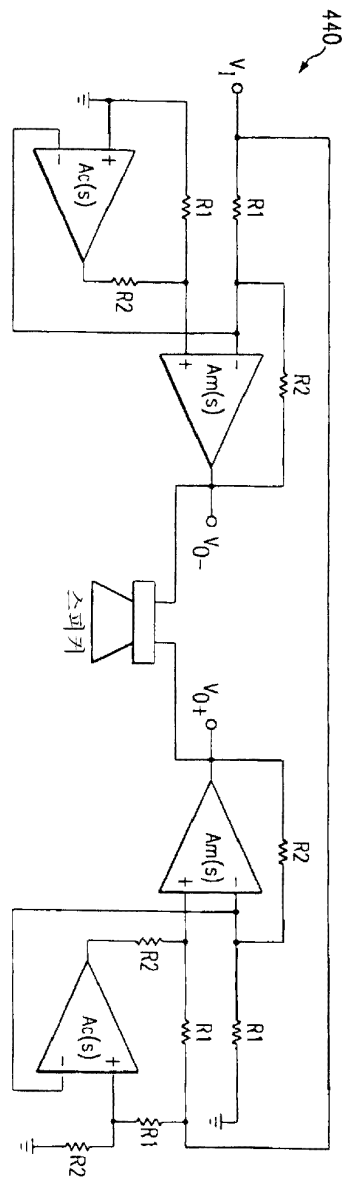
도면 8



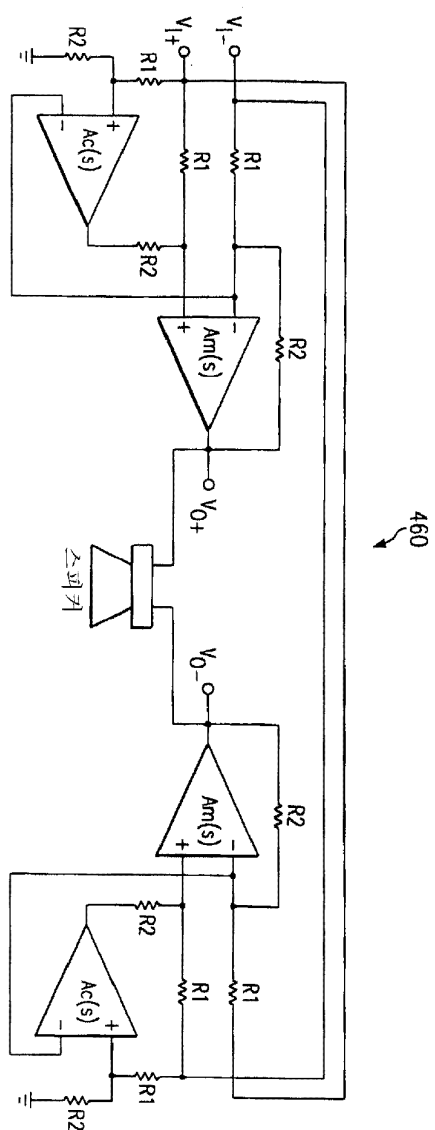
도면 9



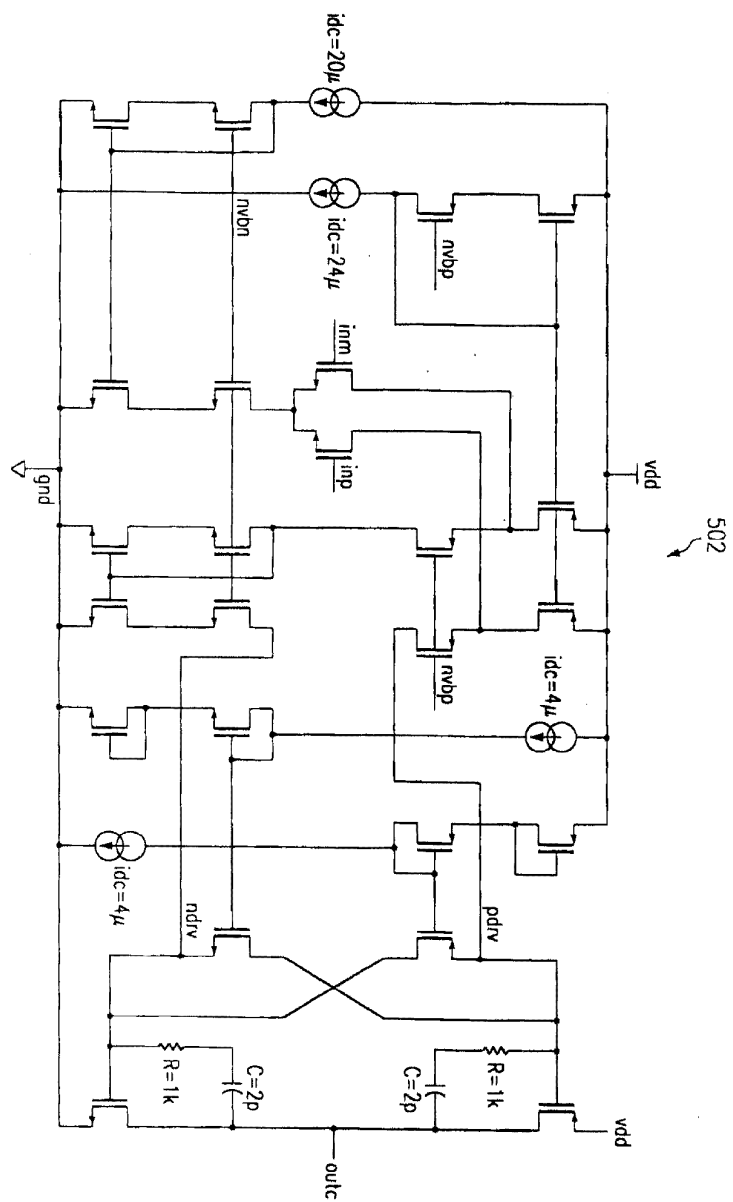
도면 10



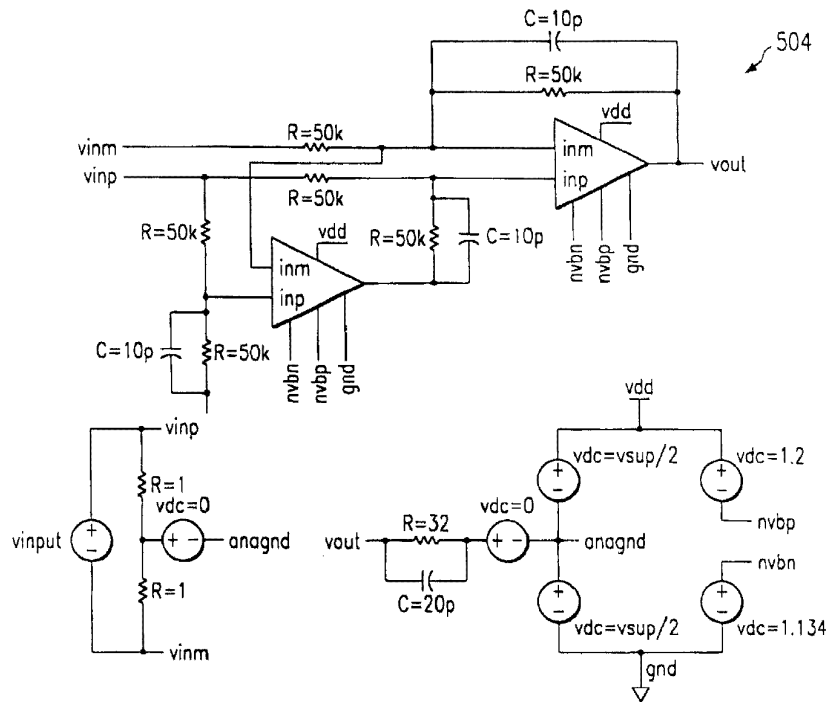
도면 11



도면 13



도면 14



도면 15

