(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3863330号
(P3863330)
(45)発行日　平成18年12月27日(2006.12.27)　(24)登録日　平成18年10月6日(2006.10.6)

(51)Int.Cl.		F I		
G11C 16/06	(2006.01)	G11C	17/00	634G
G11C 16/02	(2006.01)	G11C	17/00	641
H01L 21/8247	(2006.01)	H01L	27/10	434
H01L 27/115	(2006.01)	H01L	29/78	371
H01L 29/788	(2006.01)			

請求項の数 40　(全 141 頁)　最終頁に続く

(21)出願番号　特願平11-345299
(22)出願日　平成11年12月3日(1999.12.3)
(65)公開番号　特開2001-167590(P2001-167590A)
(43)公開日　平成13年6月22日(2001.6.22)
審査請求日　平成15年5月21日(2003.5.21)
(31)優先権主張番号　特願平11-275327
(32)優先日　平成11年9月28日(1999.9.28)
(33)優先権主張国　日本国(JP)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100092196
弁理士　橋本　良郎
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100070437
弁理士　河井　将次
最終頁に続く

(54)【発明の名称】不揮発性半導体メモリ

(57)【特許請求の範囲】
【請求項１】
メモリセルを含むメモリセル部と、
前記メモリセル部の一端に接続されるビット線と、
前記ビット線の一端に接続され、前記メモリセルに対する２ビット以上の書き込み又は読み出しデータを一時記憶するデータ回路とを具備し、
前記データ回路は、書き込み時に前記書き込みデータを記憶し、読み出し時に前記読み出しデータを記憶する第１のキャパシタと第１のラッチ回路とを含むことを特徴とする不揮発性半導体メモリ。
【請求項２】
３値以上の情報を記憶するメモリセルを含むメモリセル部と、
前記メモリセル部の一端に接続されるビット線と、
前記ビット線の一端に接続され、前記メモリセルに対する２ビット以上の書き込み又は読み出しデータを一時記憶するデータ回路とを具備し、
前記データ回路は、書き込み時に前記書き込みデータを記憶し、読み出し時に前記読み出しデータを記憶する第１のキャパシタと第１のラッチ回路とを含むことを特徴とする不揮発性半導体メモリ。
【請求項３】
３値以上の情報を記憶するメモリセルを含むメモリセル部と、
前記メモリセル部の一端に接続されるビット線と、

前記ビット線の一端に接続され、前記メモリセルに対する２ビット以上の書き込み又は読み出しデータを一時記憶するデータ回路とを具備し、
前記データ回路は、第１のラッチ回路と第１のキャパシタを含み、
前記第１のラッチ回路に記憶されるデータと前記第１のキャパシタに記憶されるデータとに基づいて、前記メモリセルに対して書き込みを行うことを特徴とする不揮発性半導体メモリ。

【請求項４】
３値以上の情報を記憶するメモリセルを含むメモリセル部と、
前記メモリセル部の一端に接続されるビット線と、
前記ビット線の一端に接続され、前記メモリセルに対する２ビット以上の書き込み又は読み出しデータを一時記憶するデータ回路とを具備し、
前記データ回路は、第１のラッチ回路と第１のキャパシタを含み、
メモリ外部から入力され、前記第１のラッチ回路に記憶されるデータと、前記メモリセルから読み出され、前記第１のキャパシタに記憶されるデータとに基づいて、前記メモリセルに対して書き込みを行うことを特徴とする不揮発性半導体メモリ。

【請求項５】
３値以上の情報を記憶するメモリセルを含むメモリセル部と、
前記メモリセル部の一端に接続されるビット線と、
前記ビット線の一端に接続され、前記メモリセルに対する２ビット以上の書き込み又は読み出しデータを一時記憶するデータ回路とを具備し、
前記データ回路は、第１のラッチ回路と第１のキャパシタを含み、
前記メモリセルは、第１のロウアドレスによって選択される第１のデータと第２のロウアドレスによって選択される第２のデータを記憶し、
前記第１のロウアドレスが選択される第１の書き込み動作では、前記第１のラッチ回路に記憶される前記第１のデータに基づいて書き込みが行われ、
前記第２のロウアドレスが選択される第２の書き込み動作では、前記第１のラッチ回路に記憶される前記第２のデータと、前記メモリセルから読み出され、前記第１のキャパシタに記憶される前記第１のデータとに基づいて、書き込みが行われる
ことを特徴とする不揮発性半導体メモリ。

【請求項６】
“１”状態は第１の閾値レベルを有し、“２”状態は第２の閾値レベルを有し、“３”状態は第３の閾値レベルを有し、“ｉ”状態（ｉはｎ以下の自然数であり、ｎは３以上の自然数）は第ｉの閾値レベルを有するようなｎ値を記憶するメモリセルを含むメモリセル部と、
前記メモリセル部の一端に接続されるビット線と、
前記ビット線の一端に接続され、前記メモリセルに対する２ビット以上の書き込み又は読み出しデータを一時記憶するデータ回路とを具備し、
前記データ回路は、第１のラッチ回路と第１のキャパシタを含み、
前記メモリセルは、第１のロウアドレスによって選択される第１のデータと第２のロウアドレスによって選択される第２のデータを記憶し、
前記第１のロウアドレスが選択される第１の書き込み動作では、前記第１のラッチ回路に記憶される前記第１のデータに基づいて、前記メモリセルを“１”、“２”、…“ｍ－１”、“ｍ”状態（ｍは自然数）にする書き込みが行われ、
前記第２のロウアドレスが選択される第２の書き込み動作では、前記第１のラッチ回路に記憶される前記第２のデータと、前記メモリセルから読み出され、前記第１のキャパシタに記憶される前記第１のデータとに基づいて、前記メモリセルを“１”、“２”、…“ｋ－１”、“ｋ”状態（ｋはｍより大きい自然数）にする書き込みが行われる
ことを特徴とする不揮発性半導体メモリ。

【請求項７】
第１のメモリセルを含む第１のメモリセル部と、

第２のメモリセルを含む第２のメモリセル部と、
前記第１及び第２のメモリセル部の一端に接続されるビット線と、
前記ビット線の一端に接続され、前記第１及び第２のメモリセルに対する２ビット以上の書き込み又は読み出しデータを一時記憶するデータ回路とを具備し、
前記データ回路は、前記第１のメモリセルに書き込む又は前記第１のメモリセルから読み出した第１のデータを記憶する第１のキャパシタと、前記第２のメモリセルに書き込む又は前記第２のメモリセルから読み出した第２のデータを記憶する第１のラッチ回路とを含む
ことを特徴とする不揮発性半導体メモリ。
【請求項８】
第１のメモリセルを含む第１のメモリセル部と、
第２のメモリセルを含む第２のメモリセル部と、
前記第１及び第２のメモリセル部の一端に接続されるビット線と、
前記ビット線の一端に接続され、前記第１及び第２のメモリセルに対する２ビット以上の書き込み又は読み出しデータを一時記憶するデータ回路とを具備し、
前記データ回路は、第１のラッチ回路と第１のキャパシタを含み、
前記第２のメモリセルに対して書き込みを行う際には、前記第１のキャパシタは、第１のデータを保持し、前記第１のラッチ回路に記憶される第２のデータに基づいて書き込みが行われ、
前記第２のメモリセルに対する書き込みが終了後、前記第１のキャパシタに保持された前記第１のデータが前記第１のラッチ回路に転送され、
前記第１のラッチ回路に保持された前記第１のデータに基づいて、前記第１のメモリセルに対する書き込みが行われる
ことを特徴とする不揮発性半導体メモリ。
【請求項９】
前記不揮発性半導体メモリは、前記第１のキャパシタに記憶されたデータをリフレッシュする機能を備えていることを特徴とする請求項１乃至８のいずれか１項に記載の不揮発性半導体メモリ。
【請求項１０】
前記リフレッシュする機能は、
前記第１のラッチ回路に記憶されるデータを前記ビット線に転送し、
次に、前記ビット線が前記第１のラッチ回路に記憶されるデータを保持している間に、前記第１のラッチ回路を用いて、前記第１のキャパシタに保持されるデータをリフレッシュし、
この後、前記ビット線に保持されたデータを前記第１のラッチ回路に転送する動作と
を含んでいることを特徴とする請求項９記載の不揮発性半導体メモリ。
【請求項１１】
前記リフレッシュは、前記メモリセルに対して書き込みパルスの印加を行っている最中、又は、前記書き込みパルスの印加が終了した後に行うことを特徴とする請求項１０記載の不揮発性半導体メモリ。
【請求項１２】
前記メモリセルは、ＮＡＮＤセルユニットを構成する複数のメモリセルのうちの１つであることを特徴とする請求項１乃至１０のいずれか１項に記載の不揮発性半導体メモリ。
【請求項１３】
メモリセルを含むメモリセル部と、
前記メモリセル部の一端に接続される第１の信号線と、
前記メモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路と、
前記第１の信号線と前記データ回路の間に接続される第１のスイッチ回路とを具備し、
前記第１のスイッチ回路をオフ状態にすることにより、前記第１の信号線と前記データ回路とを電気的に非接続状態にし、前記メモリセルに対する書き込み又は読み出しデータ

を前記第１の信号線に保持する
ことを特徴とする不揮発性半導体メモリ。
【請求項１４】
メモリセルを含むメモリセル部と、
前記メモリセル部の一端に接続される第１の信号線と、
前記メモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路と、
前記第１の信号線と前記データ回路の間に接続される第１のスイッチ回路とを具備し、
前記第１のスイッチ回路をオフ状態にすることにより、前記第１の信号線と前記データ回路とを電気的に非接続状態にし、前記メモリセルに対する書き込み又は読み出しデータを、前記データ回路に保持することなく、前記第１の信号線に保持する
ことを特徴とする不揮発性半導体メモリ。
【請求項１５】
前記メモリセルに対して書き込み電圧が印加されている間に、前記第１のスイッチ回路をオフ状態にすることにより前記第１の信号線と前記データ回路とを電気的に非接続状態にし、前記メモリセルに対する書き込みデータを前記第１の信号線に保持することを特徴とする請求項１３又は１４記載の不揮発性半導体メモリ。
【請求項１６】
メモリセルを含むメモリセル部と、
前記メモリセル部の一端に接続される第１の信号線と、
前記メモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路と、
前記第１の信号線と前記データ回路の間に接続される第１のスイッチ回路とを具備し、
前記メモリセルに対して書き込み電圧が印加されている間は、前記第１のスイッチ回路をオフ状態にすることにより前記第１の信号線と前記データ回路とを電気的に非接続状態にし、
前記メモリセルに対する書き込みデータを前記第１の信号線に保持し、前記書き込み電圧の印加後に、前記第１のスイッチ回路をオン状態にすることにより前記データ回路と前記第１の信号線とを電気的に接続状態にし、前記第１の信号線に保持された前記書き込みデータを前記データ回路に転送する
ことを特徴とする不揮発性半導体メモリ。
【請求項１７】
メモリセルを含むメモリセル部と、
前記メモリセル部の一端に接続される第１の信号線と、
前記メモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路と、
前記第１の信号線と前記データ回路の間に接続される第１のスイッチ回路とを具備し、
前記メモリセルに対して書き込み電圧が印加されている間は、前記第１のスイッチ回路をオフ状態にすることにより前記第１の信号線と前記データ回路とを電気的に非接続状態にし、
前記メモリセルに対する書き込みデータを前記第１の信号線に保持し、前記書き込み電圧の印加後に、前記第１のスイッチ回路をオン状態にすることにより前記データ回路と前記第１の信号線とを電気的に接続状態にし、前記第１の信号線に保持された前記書き込みデータを前記データ回路に転送し、
その後、前記データ回路に記憶された前記書き込みデータを用いて、前記メモリセルに対する書き込みが十分に行われたか否かを調べるベリファイリードを行う
ことを特徴とする不揮発性半導体メモリ。
【請求項１８】
第１のメモリセルを含む第１のメモリセル部と、
第２のメモリセルを含む第２のメモリセル部と、
前記第１のメモリセル部の一端に接続される第１の信号線と、
前記第２のメモリセル部の一端に接続される第２の信号線と、
前記第１及び第２の信号線の一端に共通に接続され、前記第１又は第２のメモリセルに

対する書き込み又は読み出しデータを一時記憶するデータ回路と
を具備し、
前記第１のメモリセルの書き込み又は読み出しデータは、前記データ回路に記憶され、前記第２のメモリセルに対する書き込み又は読み出しデータは、前記第２の信号線に保持される
ことを特徴とする不揮発性半導体メモリ。
【請求項１９】
第１のメモリセルを含む第１のメモリセル部と、
第２のメモリセルを含む第２のメモリセル部と、
前記第１のメモリセル部の一端に接続される第１の信号線と、
前記第２のメモリセル部の一端に接続される第２の信号線と、
前記第１及び第２の信号線の一端に共通に接続され、前記第１又は第２のメモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路と
を具備し、
前記第１及び第２のメモリセルに対する書き込みをほぼ同時に行い、
前記第２のメモリセルに対して書き込み電圧を印加している間は、前記第２のメモリセルに対する書き込みデータは、前記第２の信号線に保持され、
前記第２のメモリセルに対して書き込み電圧を印加している間に、前記データ回路を用いて、前記第１のメモリセルに対する書き込みが十分に行われたか否かを調べるベリファイリードが行われる
ことを特徴とする不揮発性半導体メモリ。
【請求項２０】
第１のメモリセルを含む第１のメモリセル部と、
第２のメモリセルを含む第２のメモリセル部と、
前記第１のメモリセル部の一端に接続される第１の信号線と、
前記第２のメモリセル部の一端に接続される第２の信号線と、
前記第１及び第２の信号線の一端に共通に接続され、前記第１又は第２のメモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路と
を具備し、
前記第１及び第２のメモリセルに対する書き込みをほぼ同時に行い、
前記第２のメモリセルに対して書き込み電圧を印加している間は、前記第２のメモリセルに対する書き込みデータは、前記第２の信号線に保持され、
前記第２のメモリセルに対して書き込み電圧を印加している間に、前記データ回路を用いて、前記第１のメモリセルに対する書き込みが十分に行われたか否かを調べるベリファイリードが行われ、
前記第１のメモリセルに対して書き込み電圧を印加している間は、前記第１のメモリセルに対する書き込みデータは、前記第１の信号線に保持され、
前記第１のメモリセルに対して書き込み電圧を印加している間に、前記データ回路を用いて、前記第２のメモリセルに対する書き込みが十分に行われたか否かを調べるベリファイリードが行われる
ことを特徴とする不揮発性半導体メモリ。
【請求項２１】
第１のメモリセルを含む第１のメモリセル部と、
第２のメモリセルを含む第２のメモリセル部と、
前記第１のメモリセル部の一端に接続される第１の信号線と、
前記第２のメモリセル部の一端に接続される第２の信号線と、
前記第１及び第２の信号線の一端に共通に接続され、前記第１又は第２のメモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路と
を具備し、
前記第１及び第２のメモリセルに対する書き込みをほぼ同時に行い、

前記第２のメモリセルに対して書き込み電圧を印加している間は、前記第２のメモリセルに対する書き込みデータは、前記第２の信号線に保持され、
前記第２のメモリセルに対して書き込み電圧を印加している間に、前記第１の信号線に保持された前記第１のメモリセルに対する書き込みデータが前記データ回路に転送され、その後、前記データ回路を用いて、前記第１のメモリセルに対する書き込みが十分に行われたか否かを調べるベリファイリードが行われ、
前記第１のメモリセルに対して書き込み電圧を印加している間は、前記第１のメモリセルに対する書き込みデータは、前記第１の信号線に保持され、
前記第１のメモリセルに対して書き込み電圧を印加している間に、前記第２の信号線に保持された前記第２のメモリセルに対する書き込みデータが前記データ回路に転送され、その後、前記データ回路を用いて、前記第２のメモリセルに対する書き込みが十分に行われたか否かを調べるベリファイリードが行われる
ことを特徴とする不揮発性半導体メモリ。

【請求項２２】
前記第１のメモリセルと前記第２のメモリセルは、互いに異なるワード線により選択されることを特徴とする請求項１８、１９、２０及び２１のいずれか１項に記載の不揮発性半導体メモリ。

【請求項２３】
第１のメモリセルを含む第１のメモリセル部と、
前記第１のメモリセル部の一端に接続される第１の信号線と、
第２の信号線と、
前記第１及び第２の信号線の一端に共通に接続され、前記第１のメモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路と
を具備し、
前記第１のメモリセルに対する書き込み又は読み出しデータが前記第２の信号線に保持される
ことを特徴とする不揮発性半導体メモリ。

【請求項２４】
第１のメモリセルを含む第１のメモリセル部と、
前記第１のメモリセル部の一端に接続される第１の信号線と、
第２の信号線と、
前記第１及び第２の信号線の一端に共通に接続され、前記第１のメモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路と
を具備し、
前記第１のメモリセルに対して書き込み電圧を印加している間、前記第１のメモリセルに対する書き込みデータが前記第１又は第２の信号線に保持され、
前記書き込み電圧の印加後に、前記データ回路と前記第２の信号線を電気的に接続し、前記第２の信号線に保持された前記第１のメモリセルに対する書き込みデータを前記データ回路に転送し、
その後、前記データ回路に記憶された書き込みデータを用いて、前記第１のメモリセルに対して書き込みが十分に行われたか否かを調べるベリファイリードを行う
ことを特徴とする不揮発性半導体メモリ。

【請求項２５】
第１のメモリセルを含む第１のメモリセル部と、
前記第１のメモリセル部の一端に接続される第１の信号線と、
第２の信号線と、
第３のメモリセルを含む第３のメモリセル部と、
前記第３のメモリセル部の一端に接続される第３の信号線と、
第４の信号線と、
前記第１、第２、第３及び第４の信号線の一端に共通に接続され、前記第１又は第３の

メモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路と
を具備し、
前記第１及び第３のメモリセルに対する書き込みがほぼ同時に行われ、
前記第１及び第３のメモリセルに対して書き込み電圧を印加している間、前記第１のメモリセルに対する書き込みデータは、前記第１又は第２の信号線に保持され、前記第３のメモリセルに対する書き込みデータは、前記第３又は第４の信号線に保持され、
前記データ回路を用いて、前記第１のメモリセルに対して十分に書き込みが行われたか否かを調べるベリファイリードが行われ、前記第１のメモリセルに対するベリファイリードの間、前記第３のメモリセルに対する書き込みデータが前記第４の信号線に保持され、
その後、前記データ回路と前記第４の信号線とが電気的に接続され、前記第４の信号線に保持された前記第３のメモリセルに対する書き込みデータが前記データ回路に転送された後、前記データ回路に記憶された前記第３のメモリセルに対する書き込みデータを用いて、前記第３のメモリセルに対する書き込みが十分に行われたか否かを調べるベリファイリードが行われ、前記第３のメモリセルに対するベリファイリードの間、前記第１のメモリセルに対する書き込みデータが前記第２の信号線に保持される
ことを特徴とする不揮発性半導体メモリ。
【請求項２６】
前記第１のメモリセルと前記第３のメモリセルは、同じワード線により選択されることを特徴とする請求項２５記載の不揮発性半導体メモリ。
【請求項２７】
前記書き込み又は読み出しデータを前記第１、第２、第３又は第４の信号線に保持している間、前記第１、第２、第３又は第４の信号線に隣接する信号線を固定電位に設定することを特徴とする請求項１３乃至２１及び２３乃至２５のいずれか１項に記載の不揮発性半導体メモリ。
【請求項２８】
前記固定電位は、接地電位又は電源電位であることを特徴とする請求項２７記載の不揮発性半導体メモリ。
【請求項２９】
前記第１、第２、第３及び第４の信号線は、ビット線であることを特徴とする請求項１３乃至２１及び２３乃至２５のいずれか１項に記載の不揮発性半導体メモリ。
【請求項３０】
第１のメモリセルを含む第１のメモリセル部と、
第２のメモリセルを含む第２のメモリセル部と、
前記第１及び第２のメモリセル部の一端に接続されるビット線と、
前記ビット線の一端に接続され、前記メモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路とを具備し、
前記データ回路は、前記第１のメモリセルに書き込む又は前記第１のメモリセルから読み出したデータを記憶する第１の記憶手段と、前記第２のメモリセルに書き込む又は前記第２のメモリセルから読み出したデータを記憶する第２の記憶手段とを含む
ことを特徴とする不揮発性半導体メモリ。
【請求項３１】
第１のメモリセルを含む第１のメモリセル部と、
第２のメモリセルを含む第２のメモリセル部と、
前記第１及び第２のメモリセル部の一端に接続されるビット線と、
前記ビット線の一端に接続され、前記メモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路とを具備し、
前記データ回路は、第１及び第２の記憶手段を含み、
前記第２のメモリセルに対して書き込みを行う際には、前記第１の記憶手段は、第１のデータを保持し、前記第２の記憶手段に記憶される第２のデータに基づいて書き込みが行われ、前記第２のメモリセルに対する書き込みが終了した後、前記第１の記憶手段に保持

された第１のデータが前記第２の記憶手段に転送され、
前記第２の記憶手段に保持された前記第１のデータに基づいて、前記第１のメモリセルに対する書き込みが行われる
ことを特徴とする不揮発性半導体メモリ。
【請求項３２】
前記第１の記憶手段は、キャパシタであり、前記第２の記憶手段は、ラッチ回路であることを特徴とする請求項３０又は３１に記載の不揮発性半導体メモリ。
【請求項３３】
前記第１及び第２の記憶手段は、ラッチ回路であることを特徴とする請求項３０又は３１に記載の不揮発性半導体メモリ。
【請求項３４】
前記第１及び第２のメモリセルは、異なるワード線により選択されることを特徴とする請求項３０又は３１に記載の不揮発性半導体メモリ。
【請求項３５】
第１のメモリセルを含む第１のメモリセル部と、
第２のメモリセルを含む第２のメモリセル部と、
前記第１及び第２のメモリセル部に接続されるビット線と、
前記ビット線の一端に接続され、前記メモリセルに対する２ビット以上の書き込み又は読み出しデータを一時記憶するデータ回路とを具備し、
前記データ回路は、前記第１のメモリセルから読み出された又は前記第１のメモリセルに書き込むデータを記憶する第１の記憶回路と、前記第２のメモリセルから読み出された又は前記第２のメモリセルに書き込むデータを記憶する第２の記憶回路とを含むことを特徴とする不揮発性半導体メモリ。
【請求項３６】
第１のメモリセルを含む第１のメモリセル部と、
第２のメモリセルを含む第２のメモリセル部と、
前記第１及び第２のメモリセル部に接続されるビット線と、
前記ビット線の一端に接続され、前記メモリセルに対する２ビット以上の書き込み又は読み出しデータを一時記憶するデータ回路とを具備し、
前記データ回路は、第１及び第２の記憶手段を含み、
前記第１の記憶手段により第１のデータが記憶され、前記第２記憶手段に記憶された第２のデータに基づいて前記第２のメモリセルに対する書き込みが実行され、この後、前記第１の記憶手段により記憶された前記第１のデータは、前記第２の記憶手段に転送され、前記第２記憶手段に記憶された前記第１のデータに基づいて前記第１のメモリセルに対する書き込みが実行されることを特徴とする不揮発性半導体メモリ。
【請求項３７】
メモリセルを含むメモリセル部と、
前記メモリセル部に接続されるビット線と、
前記ビット線の一端に接続されるトランジスタと、
前記トランジスタを経由して前記ビット線に接続され、前記メモリセルに対する２ビット以上の書き込み又は読み出しデータを一時記憶するデータ回路とを具備し、
前記データ回路は、書き込み時に前記書き込みデータを記憶し、読み出し時に前記読み出しデータを記憶する第１のキャパシタと第１のラッチ回路とを含むことを特徴とする不揮発性半導体メモリ。
【請求項３８】
３値以上の情報を記憶するメモリセルを含むメモリセル部と、
前記メモリセル部に接続されるビット線と、
前記ビット線の一端に接続されるトランジスタと、
前記トランジスタを経由して前記ビット線に接続され、前記メモリセルに対する２ビット以上の書き込み又は読み出しデータを一時記憶するデータ回路とを具備し、

前記データ回路は、書き込み時に前記書き込みデータを記憶し、読み出し時に前記読み出しデータを記憶する第１のキャパシタと第１のラッチ回路とを含むことを特徴とする不揮発性半導体メモリ。

【請求項３９】

３値以上の情報を記憶するメモリセルを含むメモリセル部と、

前記メモリセル部に接続されるビット線と、

前記ビット線の一端に接続されるトランジスタと、

前記トランジスタを経由して前記ビット線に接続され、前記メモリセルに対する２ビット以上の書き込み又は読み出しデータを一時記憶するデータ回路とを具備し、

前記データ回路は、第１のラッチ回路と第１のキャパシタを含み、

前記第１のラッチ回路に記憶されるデータと前記第１のキャパシタに記憶されるデータとに基づいて、前記メモリセルに対して書き込みを行うことを特徴とする不揮発性半導体メモリ。

【請求項４０】

３値以上の情報を記憶するメモリセルを含むメモリセル部と、

前記メモリセル部に接続されるビット線と、

前記ビット線の一端に接続されるトランジスタと、

前記トランジスタを経由して前記ビット線に接続され、前記メモリセルに対する２ビット以上の書き込み又は読み出しデータを一時記憶するデータ回路とを具備し、

前記データ回路は、第１のラッチ回路と第１のキャパシタを含み、

メモリ外部から入力され、前記第１のラッチ回路に記憶されるデータと、前記メモリセルから読み出され、前記第１のキャパシタに記憶されるデータとに基づいて、前記メモリセルに対して書き込みを行うことを特徴とする不揮発性半導体メモリ。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、不揮発性半導体メモリに関し、特に、多値ＮＡＮＤセル型ＥＥＰＲＯＭ（Multi-level NAND cell type EEPROM）、例えば、４値ＮＡＮＤセル型ＥＥＰＲＯＭに使用される。

【０００２】

【従来の技術】

不揮発性半導体メモリの一つにＮＡＮＤセル型ＥＥＰＲＯＭが知られている。このＥＥＰＲＯＭは、複数のＮＡＮＤセルユニットから構成されるメモリセルアレイを有する。各ＮＡＮＤセルユニットは、直列接続される複数のメモリセルとその両端に１つずつ接続される２つのセレクトトランジスタとから構成され、ビット線とソース線の間に接続される。

【０００３】

各メモリセルは、フローティングゲート電極上にコントロールゲート電極が積み重ねられたいわゆるスタックゲート構造を有するｎチャネルＭＯＳトランジスタから構成される。各セレクトトランジスタは、メモリセルと同様に、下部電極上に上部電極が積み重ねられた構造を有するｎチャネルＭＯＳトランジスタから構成される。しかし、セレクトトランジスタのゲート電極として実際に機能するのは、例えば、下部電極である。

【０００４】

ＮＡＮＤセルユニット内の複数のトランジスタ（メモリセル、セレクトトランジスタ）のうち互いに隣接する２つのトランジスタい関しては、１つのソース領域又は１つのドレイン領域がこれら２つのトランジスタに共有される。

【０００５】

以下、ＮＡＮＤセル型ＥＥＰＲＯＭの具体的な構造について説明する。

【０００６】

図７２は、ＮＡＮＤセル型ＥＥＰＲＯＭのメモリセルアレイの一部を示している。

【０００７】

ＮＡＮＤセルユニットは、直列接続される複数（４、８、１６など）個のメモリセルとその両端に１つずつ接続される２つのセレクトトランジスタとから構成され、ビット線ＢＬｉとソース線ＳＬの間に接続される。ソース線ＳＬは、所定の箇所で、アルミニウム、ポリシリコンなどの導電体から構成される基準電位線に接続される。

【０００８】

ソース線ＳＬは、ロウ方向に延び、ビット線ＢＬｉ及び基準電位線は、カラム方向に延びる。ソース線ＳＬと基準電位線のコンタクト部は、例えば、ソース線ＳＬが６４本のビット線ＢＬ０，…ＢＬ６３と交差する毎に設けられる。基準電位線は、メモリセルアレイの周辺部に配置されるいわゆる周辺回路に接続される。

【０００９】

ワード線（コントロールゲート線）ＷＬ１，…ＷＬｎは、ロウ方向に延び、セレクトゲート線ＳＧ１，ＳＧ２も、ロウ方向に延びる。１本のワード線（コントロールゲート線）ＷＬｉに繋がるメモリセルの集合は、１ページと呼ばれる。また、２本のセレクトゲート線ＳＧ１，ＳＧ２に挟まれたワード線ＷＬ１，…ＷＬｎに繋がるメモリセルの集合は、１ＮＡＮＤブロック又は単に１ブロックと呼ばれる。

【００１０】

１ページは、例えば、２５６バイト（２５６×８個）のメモリセルから構成される。１ページ内のメモリセルに対しては、ほぼ同時に書き込みが行われる。また、１ページが２５６バイトのメモリセルから構成され、１つのＮＡＮＤセルユニットが８個のメモリセルから構成される場合、１ブロックは、２０４８バイト（２０４８×８個）のメモリセルから構成される。１ブロック内のメモリセルに対しては、ほぼ同時に消去が行われる。

【００１１】

図７３は、メモリセルアレイ内の１つのＮＡＮＤセルユニットの平面図を示している。図７４は、図７３のＬＸＸＩＶ－ＬＸＸＩＶ線に沿う断面図を示し、図７５は、図７３のＬＸＸＶ－ＬＸＸＶ線に沿う断面図を示している。また、図７６は、図７３乃至図７５のデバイスの等価回路を示している。

【００１２】

ｐ型基板（ｐ－ｓｕｂ）１１－１内には、ｎ型ウェル領域（Ｃｅｌｌ　ｎ－ｗｅｌｌ）１１－２及びｐ型ウェル領域（Ｃｅｌｌ　ｐ－ｗｅｌｌ）１１－３から構成されるいわゆるダブルウェル領域が形成される。メモリセル及びセレクトトランジスタは、ｐ型ウェル領域１１－３内に形成される。

【００１３】

メモリセル及びセレクトトランジスタは、ｐ型ウェル領域１１－３内の素子領域内に配置される。素子領域は、ｐ型ウェル領域１１－３上に形成される素子分離酸化膜（素子分離領域）１２により取り囲まれる。

【００１４】

本例では、１つのＮＡＮＤセルユニットは、直列接続される８個のメモリセルＭ１～Ｍ８と、その両端に１つずつ接続される２つのセレクトトランジスタＳ１，Ｓ２とから構成される。

【００１５】

メモリセルは、ｐ型ウェル領域（Ｃｅｌｌ　ｐ－ｗｅｌｌ）１１－３上に形成されるシリコン酸化膜（ゲート絶縁膜）１３と、シリコン酸化膜１３上のフローティングゲート電極１４（14_1，14_2，…14_8）と、フローティングゲート電極１４（14_1，14_2，…14_8）上のシリコン酸化膜（インターポリ絶縁膜）１５と、シリコン酸化膜１６上のコントロールゲート電極１６（16_1，16_2，…16_8）と、ｐウェル領域（Ｃｅｌｌ　ｐ－ｗｅｌｌ）１１－３内のソース・ドレイン領域１９とから構成される。

【００１６】

また、セレクトトランジスタは、ｐ型ウェル領域１１－３上に形成されるシリコン酸化膜（ゲート絶縁膜）と、このシリコン酸化膜上のゲート電極１４（14_9，14_{10}），１６（16_9，16_{10}）と、ｐウェル領域１１－３内のソース・ドレイン領域１９とから

構成される。
【００１７】
セレクトトランジスタの構造がメモリセルの構造に近似している理由は、メモリセルとセレクトトランジスタを同一プロセスで同時に形成することにより、プロセスのステップ数の削減による製造コストの低減を図るためである。
【００１８】
ＮＡＮＤセルユニット内の複数のトランジスタ（メモリセル、セレクトトランジスタ）のうち互いに隣接する２つのトランジスタい関しては、１つのソース領域（n^+型拡散層）１９又は１つのドレイン領域（n^+型拡散層）１９がこれら２つのトランジスタに共有される。
【００１９】
メモリセル及びセレクトトランジスタは、ＣＶＤ法により形成されるシリコン酸化膜（ＣＶＤ酸化膜）１７により覆われる。ＣＶＤ酸化膜１７上には、ＮＡＮＤセルユニットの一端（n^+型拡散層１９）に接続されるビット線１８が配置される。
【００２０】
図７７は、ＮＡＮＤセル型ＥＥＰＲＯＭのウエル構造を示している。
【００２１】
ｐ型基板（ｐ－ｓｕｂ）１１－１内には、ｎ型ウェル領域（Ｃｅｌｌ　ｎ－ｗｅｌｌ）１１－２及びｐ型ウェル領域（Ｃｅｌｌ　ｐ－ｗｅｌｌ）１１－３から構成されるいわゆるダブルウェル領域、ｎ型ウェル領域（ｎ－ｗｅｌｌ）１１－４及びｐ型ウェル領域（ｐ－ｗｅｌｌ）１１－５が形成される。
【００２２】
ダブルウェル領域は、メモリセルアレイ部に形成され、ｎ型ウェル領域１１－４及びｐ型ウェル領域１１－５は、周辺回路部に形成される。
【００２３】
メモリセルは、ｐ型ウェル領域１１－３内に形成される。ｎ型ウェル領域１１－２及びｐ型ウェル領域１１－３は、同電位に設定される。
【００２４】
電源電圧よりも高い電圧が印加される高電圧ｎチャネルＭＯＳトランジスタは、Ｐ型基板（ｐ－ｓｕｂ）１１－１上に形成される。電源電圧が印加される低電圧ｐチャネルＭＯＳトランジスタは、ｎ型ウェル領域（ｎ－ｗｅｌｌ）１１－４上に形成され、電源電圧が印加される低電圧ｎチャネルＭＯＳトランジスタは、ｐ型ウェル領域（ｐ－ｗｅｌｌ）１１－５上に形成される。
【００２５】
次に、ＮＡＮＤセル型ＥＥＰＲＯＭの基本動作について説明する。
まず、以下の説明を分かり易くするため、前提条件について次のように規定する。メモリセルには、２値のデータ“０”，“１”が記憶されるものとし、メモリセルの閾値電圧が低い状態（例えば、閾値電圧が負の状態）を“０”状態とし、メモリセルの閾値電圧が高い状態（例えば、閾値電圧が正の状態）を“１”状態とする。
【００２６】
通常、２値ＮＡＮＤセル型ＥＥＰＲＯＭでは、メモリセルの閾値電圧が低い状態を“１”状態、メモリセルの閾値電圧が高い状態を“０”状態とするが、後述するように、本発明は、主として、多値（例えば、４値）ＮＡＮＤ型ＥＥＰＲＯＭを対象とするため、この点を考慮して、上述のように、メモリセルの閾値電圧が低い状態を“０”状態、メモリセルの閾値電圧が高い状態を“１”状態とする。
【００２７】
また、メモリセルに関しては、“０”状態を消去状態とし、“１”状態を書き込み状態とする。“書き込み”というときは、“０”書き込みと“１”書き込みを含むものとし、“０”書き込みとは、消去状態（“０”状態）を維持することをいい、“１”書き込みとは、“０”状態から“１”状態に変化させることをいうものとする。

【００２８】
・　書き込み動作（Program operation）
書き込み動作では、ビット線の電位は、そのビット線に繋がる選択されたメモリセルに対する書き込みデータに応じた値、例えば、書き込みデータが“１”の場合（“１”書き込みの場合）には、接地電位（０Ｖ）Ｖｓｓに設定され、書き込みデータが“０”の場合（“０”書き込みの場合）には、電源電位Ｖｃｃに設定される。
【００２９】
選択されたブロック内、即ち、選択されたメモリセルを含むＮＡＮＤセルユニット内のビット線側（ドレイン側）のセレクトゲート線ＳＧ１の電位は、電源電位Ｖｃｃに設定され、選択されたブロック内、即ち、選択されたメモリセルを含むＮＡＮＤセルユニット内のソース線側のセレクトゲート線ＳＧ２の電位は、接地電位（０Ｖ）Ｖｓｓに設定される。
【００３０】
非選択のブロック内、即ち、選択されたメモリセルを含まないＮＡＮＤセルユニット内の２本のセレクトゲート線ＳＧ１，ＳＧ２の電位は、共に、接地電位（０Ｖ）Ｖｓｓに設定される。
【００３１】
そして、“１”書き込みの場合、選択されたブロック内の選択されたメモリセルのチャネルには、接地電位（０Ｖ）Ｖｓｓが伝達される。一方、“０”書き込みの場合、選択されたブロック内の選択されたメモリセルのチャネルの電位は、Ｖｃｃ－Ｖｔｈｓｇ（Ｖｔｈｓｇは、セレクトトランジスタＳ１の閾値電圧である。）になる。この後、選択されたブロック内のビット線側（ドレイン側）のセレクトトランジスタＳ１は、カットオフするため、選択されたブロック内の選択されたメモリセルのチャネルは、Ｖｃｃ－Ｖｔｈｓｇの電位を維持しつつ、フローティング状態になる。
【００３２】
なお、選択されたメモリセルが最もビット線に近いメモリセルでなく、かつ、選択されたメモリセルよりもビット線側に位置するメモリセル（選択されたメモリセルよりもビット線側に複数のメモリセルが存在する場合は、そのうちの少なくとも１つのメモリセル）の閾値電圧が正の電圧Ｖｔｈｃｅｌｌである場合には、選択されたメモリセルのチャネルは、Ｖｃｃ－Ｖｔｈｃｅｌｌの電位を維持しつつ、フローティング状態になる。
【００３３】
この後、選択されたブロック内の選択されたワード線、即ち、選択されたメモリセルのコントロールゲート電極には、書き込み電位Ｖｐｐ（例えば、約２０Ｖ）が印加され、選択されたブロック内の非選択のワード線、即ち、非選択のメモリセルのコントロールゲート電極には、中間電位Ｖｐａｓｓ（例えば、約１０Ｖ）が印加される。
【００３４】
この時、“１”書き込みの対象となる選択されたメモリセルについては、チャネル電位が接地電位（０Ｖ）Ｖｓｓであるため、フローティングゲート電極とチャネル（Ｃｅｌｌ　ｐ－ｗｅｌｌ）の間に“１”書き込みに必要な高電圧がかかり、Ｆ－Ｎトンネル効果により、チャネルからフローティングゲート電極へ電子が移動する。その結果、選択されたメモリセルの閾値電圧は、上昇（例えば、負から正へ移動）する。
【００３５】
一方、“０”書き込みの対象となる選択されたメモリセルについては、チャネル電位がＶｃｃ－Ｖｔｈｓｇ又はＶｃｃ－Ｖｔｈｃｅｌｌであり、かつ、チャネルがフローティング状態になっている。このため、ワード線にＶｐｐ又はＶｐａｓｓが印加されると、コントロールゲート電極とチャネルの間の容量カップリングにより、チャネルの電位が上昇する。その結果、フローティングゲート電極とチャネル（Ｃｅｌｌ　ｐ－ｗｅｌｌ）の間に“１”書き込みに必要な高電圧が印加されず、選択されたメモリセルの閾値電圧は、現状を維持（消去状態を維持）する。
【００３６】
・　消去動作（Erase operation）

データ消去は、ブロック単位で行われ、選択されたブロック内のメモリセルのデータは、ほぼ同時に消去される。

【００３７】

具体的な消去動作は、以下の通りである。

まず、選択されたブロック内の全てのワード線（コントロールゲート電極）を０Ｖに設定し、かつ、非選択のブロック内の全てのワード線（コントロールゲート電極）及び全てのブロック内の全てのセレクトゲート線を、初期電位Ｖａに設定した後、フローティング状態にする。

【００３８】

この後、ｐ型ウェル領域（Ｃｅｌｌ　ｐ－ｗｅｌｌ）及びｎ型ウェル領域（Ｃｅｌｌ　ｎ－ｗｅｌｌ）に、消去のための高電位ＶｐｐＥ（例えば、約２０Ｖ）を印加する。

【００３９】

この時、選択ブロック内のメモリセルに関しては、ワード線（コントロールゲート電極）の電位が０Ｖ、ウェル領域の電位がＶｐｐＥであるため、コントロールゲート電極とウェル領域の間には、消去を行うために十分な高電圧が印加される。

【００４０】

従って、選択ブロック内のメモリセルでは、Ｆ－Ｎトンネル効果により、フローティングゲート電極内の電子がウェル領域に移動し、メモリセルの閾値電圧が低下する（例えば、閾値電圧が負となる。）。

【００４１】

一方、非選択ブロック内の全てのワード線の電位は、ワード線とウェル領域の容量カップリングにより、初期電位ＶａからＶｐｐＥ又はその近傍まで上昇する。同様に、全てのブロック内の全てのセレクトゲート線の電位も、セレクトゲート線とウェル領域の容量カップリングにより、初期電位ＶａからＶｐｐＥ又はその近傍まで上昇する。

【００４２】

従って、非選択ブロック内のメモリセルでは、コントロールゲート電極とウェル領域の間に消去を行うために十分な高電圧が印加されない。即ち、フローティングゲート電極内の電子の移動がないため、メモリセルの閾値電圧は、変化しない（現状を維持する。）。

【００４３】

・　読み出し動作（Read operation）

データ読み出しは、ビット線の電位をメモリセルのデータに応じて変化させ、この変化を検出することにより行う。

【００４４】

まず、データ読み出しの対象となるメモリセルが接続されるビット線（全てのビット線又はビット線シールド読み出し手法などを採用する場合には一部のビット線）をプリチャージし、このビット線を、プリチャージ電位、例えば、電源電位Ｖｃｃに設定した後、フローティング状態にする。

【００４５】

この後、選択されたワード線、即ち、選択されたメモリセルのコントロールゲート電極を０Ｖに設定し、非選択のワード線（非選択のメモリセルのコントロールゲート電極）及びセレクトゲート線を電源電位Ｖｃｃ（例えば、約３Ｖ）に設定し、ソース線を０Ｖに設定する。

【００４６】

この時、選択されたメモリセルのデータが“１”の場合（メモリセルの閾値電圧Ｖｔｈが、Ｖｔｈ＞０の場合）、選択されたメモリセルは、オフ状態になるため、このメモリセルが接続されるビット線は、プリチャージ電位（例えば、電源電位Ｖｃｃ）を維持する。

【００４７】

一方、選択されたメモリセルのデータが“０”の場合（メモリセルの閾値電圧Ｖｔｈが、Ｖｔｈ＜０の場合）、選択されたメモリセルは、オン状態になる。その結果、選択されたメモリセルが接続されるビット線の電荷は、ディスチャージされ、そのビット線の電位は

、プリチャージ電位からΔＶだけ下がる。
【００４８】
このように、メモリセルのデータに応じて、ビット線の電位が変化するため、この変化をセンスアンプ回路によって検出すれば、メモリセルのデータを読み出すことができる。
【００４９】
ところで、近年、ワンチップのメモリ容量を増加し、ビット当りのコストを低下することなどを目的として、いわゆる多値ＮＡＮＤセル型ＥＥＰＲＯＭの開発、実用化が進んでいる。
【００５０】
上述したようなＮＡＮＤセル型ＥＥＰＲＯＭでは、メモリセルに２値（１ビット）のデータ（“０”，“１”）を記憶させることができるが、ｎ（ｎは、３以上の自然数）値ＮＡＮＤセル型ＥＥＰＲＯＭは、メモリセルにｎ値のデータを記憶させることができる点に特徴を有する。
【００５１】
例えば、４値ＮＡＮＤセル型ＥＥＰＲＯＭでは、メモリセルに４値（２ビット）のデータ（“００”，“０１”，“１０”，“１１”）を記憶できる。
【００５２】
なお、多値ＮＡＮＤセル型ＥＥＰＲＯＭの先行技術としては、例えば、文献１（特願平８－９８６２７号）がある。
【００５３】
【発明が解決しようとする課題】
通常、ｎ値ＮＡＮＤセル型ＥＥＰＲＯＭでは、選択されたメモリセルに接続される１本のビット線に対応して、複数個のラッチ回路が設けられる。即ち、選択されたメモリセルに対して、ｎ値データを書き込んだり又は読み出したりする場合に、複数個のラッチ回路は、ｎ値データを一時的に記憶する役割を果たす。
【００５４】
例えば、文献１にも記載されているように、４値ＮＡＮＤセル型ＥＥＰＲＯＭでは、書き込み時又は読み出し時に、４値（２ビット）データを一時的に記憶しておくために、選択されたメモリセルに接続される１本のビット線に対応して、２個のラッチ回路が設けられる。
【００５５】
しかし、例えば、図７８に示すように、ラッチ回路は、ＳＲＡＭ（Static RAM）セルから構成される。また、ＳＲＡＭセルから構成されるラッチ回路は、大きな面積を有する。さらに、１つのメモリセルに記憶されるデータ数を増やすと（ｎの値を増加すると）、これに伴い、選択されたメモリセルに接続される１本のビット線に対応して設けられるラッチ回路の数も増える。
【００５６】
例えば、４（＝2^2）値ＮＡＮＤセル型ＥＥＰＲＯＭでは、選択されたメモリセルに接続される１本のビット線に対応して２個のラッチ回路が設けられ、８（＝2^3）値ＮＡＮＤセル型ＥＥＰＲＯＭでは、選択されたメモリセルに接続される１本のビット線に対応して３個のラッチ回路が設けられる。
【００５７】
従って、メモリセルに記憶するデータを多値化（ｎ値化）し、かつ、ｎの値を増加するに従い、メモリチップ内のラッチ回路（ＳＲＡＭセル）の数が増加し、チップ面積が増加するという問題がある。
【００５８】
本発明は、上記欠点を解決すべくなされたもので、その目的は、メモリセルに記憶するデータを多値化しても、チップ面積が極端に増加することがないデータ回路（書き込み／読み出し時に多値データを一時的に記憶しておく記憶回路）を提供することにある。
【００５９】

【課題を解決するための手段】
上記目的を達成するため、本発明の不揮発性半導体メモリは、少なくとも１つのメモリセルを含むメモリセル部と、前記メモリセル部の一端に接続されるビット線と、前記ビット線に接続され、２ビット以上の前記メモリセル部への書き込みデータあるいは読み出しデータを記憶するデータ回路とを備え、前記データ回路は、第１のデータを記憶する第１のキャパシタと第２のデータを記憶する第１のラッチ回路を含む。
【００６０】
本発明の不揮発性半導体メモリは、３値以上の情報を記憶するメモリセルを含むメモリセル部と、前記メモリセル部の一端に接続されるビット線と、前記ビット線に接続され、２ビット以上の前記メモリセル部への書き込みデータあるいは読み出しデータを記憶するデータ回路とを備え、前記データ回路は、第１のデータを記憶する第１のキャパシタと第２のデータを記憶する第１のラッチ回路を含む。
【００６１】
本発明の不揮発性半導体メモリは、３値以上の情報を記憶するメモリセルを含むメモリセル部と、前記メモリセル部の一端に接続されるビット線と、前記ビット線に接続され、２ビット以上の前記メモリセル部への書き込みデータあるいは読み出しデータを記憶するデータ回路とを備え、前記データ回路は、第１のラッチ回路と第１のキャパシタを含み、前記第１のラッチ回路に記憶されたメモリの外部から入力されたデータと、前記第１のキャパシタに記憶された前記メモリセルから読み出されたデータとに基づいて、前記メモリセルに対して書き込みを行う。
【００６２】
本発明の不揮発性半導体メモリは、３値以上の情報を記憶するメモリセルを含むメモリセル部と、前記メモリセル部の一端に接続されるビット線と、前記ビット線に接続され、２ビット以上の前記メモリセル部への書き込みデータあるいは読み出しデータを記憶するデータ回路とを備え、前記データ回路は、第１のラッチ回路と第１のキャパシタを含み、メモリの外部から入力し、前記第１のラッチ回路に記憶されたデータと、前記メモリセルから読み出され、前記第１のキャパシタに記憶されたデータとに基づいて、前記メモリセルに対して書き込みを行う。
【００６３】
本発明の不揮発性半導体メモリは、３値以上の情報を記憶するメモリセルを含むメモリセル部と、前記メモリセル部の一端に接続されるビット線と、前記ビット線に接続され、２ビット以上の前記メモリセル部への書き込みデータあるいは読み出しデータを記憶するデータ回路とを備え、前記データ回路は、第１のラッチ回路と第１のキャパシタを含み、前記メモリセルは、第１のロウアドレスによって選択される第１のデータと第２のロウアドレスによって選択される第２のデータを含み、前記第１のロウアドレスが選択された第１の書き込み動作では、前記第１のラッチ回路に記憶されたメモリの外部から入力された第１のデータに基づいて書き込みが行われ、前記第２のロウアドレスが選択された第２の書き込み動作では、メモリの外部から入力し、前記第１のラッチ回路に記憶された第２のデータと、前記メモリセルから読み出され、前記第１のキャパシタに記憶された前記第１のデータに基づいて書き込みが行われる。
【００６４】
本発明の不揮発性半導体メモリは、“１”状態は第１の閾値レベルを有し、“２”状態は第２の閾値レベルを有し、“３”状態は第３の閾値レベルを有し、“ｉ”状態（ｉはｎ以下の自然数であり、ｎは３以上の自然数）は第ｉの閾値レベルを有するようなｎ値を記憶するメモリセルを含むメモリセル部と、前記メモリセル部の一端に接続されるビット線と、前記ビット線に接続され、２ビット以上の前記メモリセル部への書き込みデータあるいは読み出しデータを記憶するデータ回路とを備え、前記データ回路は、第１のラッチ回路と第１のキャパシタを含み、前記メモリセルは、第１のロウアドレスによって選択される第１のデータと第２のロウアドレスによって選択される第２のデータを含み、前記第１のロウアドレスが選択された第１の書き込み動作では、前記第１のラッチ回路に記憶された

メモリの外部から入力された第１のデータに基づいて、前記メモリセルを“１”、“２”、…“ｍ－１”、“ｍ”状態（ｍは自然数）にする書き込みが行われ、前記第２のロウアドレスが選択された第２の書き込み動作では、メモリの外部から入力し、前記第１のラッチ回路に記憶された第２のデータと、前記メモリセルから読み出され、前記第１のキャパシタに記憶された前記第１のデータに基づいて、前記メモリセルを“１”、“２”、…“ｋ－１”、“ｋ”状態（ｋはｍより大きい自然数）にする書き込みが行われる。

【００６５】

本発明の不揮発性半導体メモリは、３値以上の情報を記憶するメモリセルを含むメモリセル部と、前記メモリセル部の一端に接続されるビット線と、前記ビット線に接続され、２ビット以上の前記メモリセル部への書き込みデータあるいは読み出しデータを記憶するデータ回路とを備え、前記ビット線に接続する第１のメモリセル部および第２のメモリセル部を含み、前記データ回路は、前記第１のメモリセル部へ書き込むあるいは前記第１のメモリセル部から読み出した第１のデータを記憶する第１のキャパシタと、前記第２のメモリセル部へ書き込むあるいは前記第２のメモリセル部から読み出した第２のデータを記憶する第１のラッチ回路とを含む。

【００６６】

本発明の不揮発性半導体メモリは、３値以上の情報を記憶するメモリセルを含むメモリセル部と、前記メモリセル部の一端に接続されるビット線と、前記ビット線に接続され、２ビット以上の前記メモリセル部への書き込みデータあるいは読み出しデータを記憶するデータ回路とを備え、前記ビット線に接続する第１のメモリセル部および第２のメモリセル部を含み、前記データ回路は、第１のラッチ回路と第１のキャパシタを含み、前記第１のメモリセル部に対して書き込みを行う際には、前記第１のキャパシタは、第１のデータを保持し、前記第１のラッチ回路に記憶された第２のデータに基づいて書き込みが行われ、前記第１のメモリセル部に対する書き込みが終了後、前記第１のキャパシタの前記第１のデータが前記第１のラッチ回路に転送され、前記第１のラッチ回路に保持した前記第１のデータに基づいて、前記第２のメモリセル部に対する書き込みが行われる。

【００６７】

前記不揮発性半導体メモリのそれぞれは、前記第１のキャパシタに記憶されたデータをリフレッシュする機能を備えている。

【００６８】

前記リフレッシュする機能は、前記第１のラッチ回路に記憶するデータを前記ビット線に出力し、前記ビット線が前記第１のラッチ回路に記憶するデータを保持している間に、前記第１のラッチ回路を用いて前記第１のキャパシタに保持するデータをリフレッシュし、その後、前記ビット線に保持したデータを前記第１のラッチ回路に保持するという機能を含んでいる。

【００６９】

前記リフレッシュは、書き込みメモリセルに対する書き込みパルスの印加中あるいは書き込みパルス終了動作中に行う。

【００７０】

前記メモリセル部は、直列接続された複数のメモリセルから構成される。

【００７１】

本発明の不揮発性半導体メモリは、メモリセルを含むメモリセル部と、前記メモリセルの一端に接続される第１の信号線と、前記メモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路と、前記第１の信号線と前記データ回路の間に接続される第１のスイッチ回路とを備え、前記第１のスイッチ回路をオフ状態にすることにより、前記第１の信号線と前記データ回路とを電気的に非接続状態にし、前記メモリセルに対する書き込み又は読み出しデータを前記第１の信号線に保持する。

【００７２】

本発明の不揮発性半導体メモリは、メモリセルを含むメモリセル部と、前記メモリセルの一端に接続される第１の信号線と、前記メモリセルに対する書き込み又は読み出しデータ

を一時記憶するデータ回路と、前記第１の信号線と前記データ回路の間に接続される第１のスイッチ回路とを備え、前記第１のスイッチ回路をオフ状態にすることにより、前記第１の信号線と前記データ回路とを電気的に非接続状態にし、前記メモリセルに対する書き込み又は読み出しデータを、前記データ回路に保持することなく、前記第１の信号線に保持する。

【００７３】

前記メモリセルに対して書き込み電圧が印加されている間に、前記第１のスイッチ回路をオフ状態にすることにより前記第１の信号線と前記データ回路とを電気的に非接続状態にし、前記メモリセルに対する書き込みデータを前記第１の信号線に保持する。

【００７４】

本発明の不揮発性半導体メモリは、メモリセルを含むメモリセル部と、前記メモリセルの一端に接続される第１の信号線と、前記メモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路と、前記第１の信号線と前記データ回路の間に接続される第１のスイッチ回路とを備え、前記メモリセルに対して書き込み電圧が印加されている間は、前記第１のスイッチ回路をオフ状態にすることにより前記第１の信号線と前記データ回路とを電気的に非接続状態にし、前記メモリセルに対する書き込みデータを前記第１の信号線に保持し、前記書き込み電圧の印加後に、前記第１のスイッチ回路をオン状態にすることにより前記データ回路と前記第１の信号線とを電気的に接続状態にし、前記第１の信号線に保持された前記書き込みデータを前記データ回路に転送する。

【００７５】

本発明の不揮発性半導体メモリは、メモリセルを含むメモリセル部と、前記メモリセルの一端に接続される第１の信号線と、前記メモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路と、前記第１の信号線と前記データ回路の間に接続される第１のスイッチ回路とを備え、前記メモリセルに対して書き込み電圧が印加されている間は、前記第１のスイッチ回路をオフ状態にすることにより前記第１の信号線と前記データ回路とを電気的に非接続状態にし、前記メモリセルに対する書き込みデータを前記第１の信号線に保持し、前記書き込み電圧の印加後に、前記第１のスイッチ回路をオン状態にすることにより前記データ回路と前記第１の信号線とを電気的に接続状態にし、前記第１の信号線に保持された前記書き込みデータを前記データ回路に転送し、前記データ回路に記憶された前記書き込みデータを用いて、前記メモリセルに対する書き込みが十分に行われたか否かを調べるベリファイリードを行う。

【００７６】

本発明の不揮発性半導体メモリは、第１のメモリセルを含む第１のメモリセル部と、第２のメモリセルを含む第２のメモリセル部と、前記第１のメモリセルの一端に接続される第１の信号線と、前記第２のメモリセルの一端に接続される第２の信号線と、前記第１及び第２の信号線が共に接続され、前記第１又は第２のメモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路とを備え、前記第１のメモリセルの書き込み又は読み出しデータは、前記データ回路に記憶され、前記第２のメモリセルに対する書き込み又は読み出しデータは、前記第２の信号線に保持される。

【００７７】

本発明の不揮発性半導体メモリは、第１のメモリセルを含む第１のメモリセル部と、第２のメモリセルを含む第２のメモリセル部と、前記第１のメモリセルの一端に接続される第１の信号線と、前記第２のメモリセルの一端に接続される第２の信号線と、前記第１及び第２の信号線が共に接続され、前記第１又は第２のメモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路とを備え、前記第１及び第２のメモリセルに対する書き込みをほぼ同時に行い、前記第２のメモリセルに対して書き込み電圧を印加している間は、前記第２のメモリセルに対する書き込みデータは、前記第２の信号線に保持され、前記第２のメモリセルに対して書き込み電圧を印加している間に、前記データ回路を用いて、前記第１のメモリセルに対する書き込みが十分に行われたか否かを調べるベリファイリードが行われる。

【００７８】
本発明の不揮発性半導体メモリは、第１のメモリセルを含む第１のメモリセル部と、第２のメモリセルを含む第２のメモリセル部と、前記第１のメモリセルの一端に接続される第１の信号線と、前記第２のメモリセルの一端に接続される第２の信号線と、前記第１及び第２の信号線が共に接続され、前記第１又は第２のメモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路とを備え、前記第１及び第２のメモリセルに対する書き込みをほぼ同時に行い、前記第２のメモリセルに対して書き込み電圧を印加している間は、前記第２のメモリセルに対する書き込みデータは、前記第２の信号線に保持され、前記第２のメモリセルに対して書き込み電圧を印加している間に、前記データ回路を用いて、前記第１のメモリセルに対する書き込みが十分に行われたか否かを調べるベリファイリードが行われ、前記第１のメモリセルに対して書き込み電圧を印加している間は、前記第１のメモリセルに対する書き込みデータは、前記第１の信号線に保持され、前記第１のメモリセルに対して書き込み電圧を印加している間に、前記データ回路を用いて、前記第２のメモリセルに対する書き込みが十分に行われたか否かを調べるベリファイリードが行われる。
【００７９】
本発明の不揮発性半導体メモリは、第１のメモリセルを含む第１のメモリセル部と、第２のメモリセルを含む第２のメモリセル部と、前記第１のメモリセルの一端に接続される第１の信号線と、前記第２のメモリセルの一端に接続される第２の信号線と、前記第１及び第２の信号線が共に接続され、前記第１又は第２のメモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路とを備え、前記第１及び第２のメモリセルに対する書き込みをほぼ同時に行い、前記第２のメモリセルに対して書き込み電圧を印加している間は、前記第２のメモリセルに対する書き込みデータは、前記第２の信号線に保持され、前記第２のメモリセルに対して書き込み電圧を印加している間に、前記第１の信号線に保持された前記第１のメモリセルに対する書き込みデータが前記データ回路に転送され、かつ、前記データ回路を用いて、前記第１のメモリセルに対する書き込みが十分に行われたか否かを調べるベリファイリードが行われ、前記第１のメモリセルに対して書き込み電圧を印加している間は、前記第１のメモリセルに対する書き込みデータは、前記第１の信号線に保持され、前記第１のメモリセルに対して書き込み電圧を印加している間に、前記第２の信号線に保持された前記第２のメモリセルに対する書き込みデータが前記データ回路に転送され、かつ、前記データ回路を用いて、前記第２のメモリセルに対する書き込みが十分に行われたか否かを調べるベリファイリードが行われる。
【００８０】
前記第１のメモリセルと前記第２のメモリセルは、互いに異なるワード線により選択される。
【００８１】
本発明の不揮発性半導体メモリは、第１のメモリセルを含む第１のメモリセル部と、前記第１のメモリセルの一端に接続される第１の信号線と、第２の信号線と、前記第１及び第２の信号線が共に接続され、前記第１のメモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路とを備え、前記第１のメモリセルに対する書き込み又は読み出しデータが前記第２の信号線に保持される。
【００８２】
本発明の不揮発性半導体メモリは、第１のメモリセルを含む第１のメモリセル部と、前記第１のメモリセルの一端に接続される第１の信号線と、第２の信号線と、前記第１及び第２の信号線が共に接続され、前記第１のメモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路とを備え、前記第１のメモリセルに対して書き込み電圧を印加している間、前記第１のメモリセルに対する書き込みデータが前記第１又は第２の信号線に保持され、前記書き込み電圧の印加後に、前記データ回路と前記第２の信号線を電気的に接続し、前記第２の信号線に保持された前記第１のメモリセルに対する書き込みデータを前記データ回路に転送し、前記データ回路に記憶された書き込みデータを用いて、前記

第１のメモリセルに対して書き込みが十分に行われたか否かを調べるベリファイリードを行う。

【００８３】

本発明の不揮発性半導体メモリは、第１のメモリセルを含む第１のメモリセル部と、前記第１のメモリセルの一端に接続される第１の信号線と、第２の信号線と、第３のメモリセルを含む第３のメモリセル部と、前記第３のメモリセルの一端に接続される第３の信号線と、第４の信号線と、前記第１、第２、第３及び第４の信号線が共に接続され、前記第１又は第３のメモリセルに対する書き込み又は読み出しデータを一時記憶するデータ回路とを備え、前記第１及び第３のメモリセルに対する書き込みがほぼ同時に行われ、前記第１及び第３のメモリセルに対して書き込み電圧を印加している間、前記第１のメモリセルに対する書き込みデータは、前記第１又は第２の信号線に保持され、前記第３のメモリセルに対する書き込みデータは、前記第３又は第４の信号線に保持され、前記データ回路を用いて、前記第１のメモリセルに対して十分に書き込みが行われたか否かを調べるベリファイリードが行われ、前記第１のメモリセルに対するベリファイリードの間、前記第３のメモリセルに対する書き込みデータが前記第４の信号線に保持され、前記データ回路と前記第４の信号線とが電気的に接続され、前記第４の信号線に保持された前記第３のメモリセルに対する書き込みデータが前記データ回路に転送された後、前記データ回路に記憶された前記第３のメモリセルに対する書き込みデータを用いて、前記第３のメモリセルに対する書き込みが十分に行われたか否かを調べるベリファイリードが行われ、前記第３のメモリセルに対するベリファイリードの間、前記第１のメモリセルに対する書き込みデータが前記第２の信号線に保持される。

【００８４】

前記第１のメモリセルと前記第３のメモリセルは、同じワード線により選択される。

【００８５】

前記書き込み又は読み出しデータを前記第１の信号線に保持している間、前記第１の信号線に隣接する信号線を固定電位に設定し、前記書き込み又は読み出しデータを前記第３の信号線に保持している間、前記第３の信号線に隣接する信号線を固定電位に設定する。

【００８６】

前記固定電位は、接地電位又は電源電位である。

【００８７】

前記第１、第２、第３及び第４の信号線は、ビット線である。

【００８８】

【発明の実施の形態】

以下、図面を参照しながら、本発明の不揮発性半導体メモリについて詳細に説明する。

【００８９】

［前提］

まず、以下の説明を分かり易くするため、前提条件について次のように規定する。但し、この前提条件は、説明を分かり易くするために設定するものであり、本発明は、この前提条件以外の条件の場合にも成り立つものである。

【００９０】

本発明は、メモリセルにｎ（ｎは、３以上の自然数）値のデータが記憶される不揮発性半導体メモリを対象とするが、以下の実施の形態では、その代表例として、４値ＮＡＮＤセル型ＥＥＰＲＯＭについて説明する。

【００９１】

メモリセルには、４値のデータ“００”，“０１”，“１０”，“１１”が記憶されるものとし、メモリセルの閾値電圧が最も低い状態（例えば、閾値電圧が負の状態）をデータ“１１”（又は“０”状態）とし、メモリセルの閾値電圧が２番目に低い状態（例えば、閾値電圧が正の状態）をデータ“１０”（又は“１”状態）とし、メモリセルの閾値電圧が３番目に低い状態（例えば、閾値電圧が正の状態）をデータ“００”（又は“２”状態）とし、メモリセルの閾値電圧が最も高い状態（例えば、閾値電圧が正の状態）をデータ

“０１”（又は“３”状態）とする。
【００９２】
また、メモリセルには４値データが記憶されることにしたため、例えば、書き込み／読み出し時には、奇数ページデータの書き込み／読み出し動作と偶数ページデータの書き込み／読み出し動作が必要になる。ここで、データ“＊＊”のうち、左側の＊を奇数ページデータとし、右側の＊を偶数ページデータとする。
【００９３】
また、メモリセルに関しては、データ“１１”が記憶されている状態を消去状態とし、データ“１０”，“００”，“０１”が記憶されている状態をそれぞれ書き込み状態とする。
【００９４】
［概略］
図１は、本発明に関わる４値ＮＡＮＤセル型ＥＥＰＲＯＭの主要部を示すブロック図である。
【００９５】
１は、メモリセルアレイである。メモリセルアレイ１は、直列接続された複数のメモリセルとその両端に１つずつ接続された２つのセレクトトランジスタとから構成されるＮＡＮＤセルユニットを有する。メモリセルアレイ１の具体的な構造は、図５４乃至図５６に示す通りである。
【００９６】
メモリセルアレイ１の構造や等価回路は、２値ＮＡＮＤセル型ＥＥＰＲＯＭとほぼ同じであるが、４値ＮＡＮＤセル型ＥＥＰＲＯＭでは、メモリセルには、４値データが記憶される。
【００９７】
データ回路２は、複数の記憶回路を含んでいる。データ回路２については、後に詳述する。ここでは、データ回路２の機能について簡単に述べる。
【００９８】
データ回路２は、書き込み時に２ビット（４値）の書き込みデータを、読み出し時に２ビット（４値）の読み出しデータを一時的に記憶しておく記憶回路を含んでいる。具体的には、選択されたメモリセルに接続される１本のビット線に対応して２個の記憶回路が設けられる。
【００９９】
２個の記憶回路のうちの一方は、例えば、奇数ページデータを一時的に記憶し、２個の記憶回路のうちの他方は、例えば、偶数ページデータを一時的に記憶する。２個の記憶回路に記憶された奇数／偶数ページデータは、書き込み時にメモリセルに書き込まれ、読み出し時にメモリチップ１１から出力される。
【０１００】
ワード線制御回路３は、ロウアドレスデコーダ及びワード線ドライバを含んでいる。ワード線制御回路３は、動作モード（書き込み、消去、読み出しなど）やロウアドレス信号に基づいて、メモリセルアレイ１内の各ワード線の電位を制御する。ワード線制御回路３については、後に詳述する。
【０１０１】
カラムデコーダ４は、カラムアドレス信号に基づいて、メモリセルアレイ１のカラムを選択する。
【０１０２】
書き込み時、選択されたカラムに属するデータ回路内の記憶回路には、入力データがデータ入出力バッファ７及びＩ／Ｏセンスアンプ６を経由して入力される。また、読み出し時、選択されたカラムに属するデータ回路内の記憶回路の出力データは、Ｉ／Ｏセンスアンプ６及びデータ入出力バッファ７を経由してメモリチップ１１の外部へ出力される。
【０１０３】

ロウアドレス信号は、アドレスバッファ５を経由してワード線制御回路３に入力される。カラムアドレス信号は、アドレスバッファ５を経由して、カラムデコーダ４に入力される。

【０１０４】
ウェル電位制御回路８は、動作モード（書き込み、消去、読み出しなど）に基づいて、メモリセルが配置されるセルウェル領域（例えば、ｎウェルとｐウェルからなるダブルウェル領域）の電位を制御する。

【０１０５】
電位発生回路（昇圧回路）９Ａは、例えば、書き込み時に、書き込み電位（例えば、約２０Ｖ）Ｖｐｐや転送電位（例えば、約１０Ｖ）Ｖｐａｓｓを発生する。これらの電位Ｖｐｐ，Ｖｐａｓｓは、切替回路９Ｂにより、例えば、選択されたブロック内の複数本のワード線に振り分けられる。

【０１０６】
また、電位発生回路９Ａは、例えば、消去時に、消去電位（例えば、約２０Ｖ）ＶｐｐＥを発生し、この電位ＶｐｐＥをメモリセルが配置されるセルウェル領域（ｎウェルとｐウェルの双方）に与える。

【０１０７】
一括検知回路１０は、書き込み時に、メモリセルに正確に所定のデータが書き込まれたか否かを検証し、消去時に、メモリセルのデータがきちんと消去されたか否かを検証する。

【０１０８】
本発明の第１の特徴は、データ回路２にある。即ち、本発明では、後に詳述するように、データ回路２内に配置される多値データ（ｎ値データ）の一時記憶用として用いられる複数の記憶回路のうちの少なくとも１つを、ＤＲＡＭセル（キャパシタ）から構成する。例えば、４値ＮＡＮＤセル型ＥＥＰＲＯＭのように、４値データの一時記憶用として２個の記憶回路を用いる場合には、一方の記憶回路をＳＲＡＭセル（ラッチ回路）とし、他方の記憶回路をＤＲＡＭセルとする。

【０１０９】
周知のように、ＤＲＡＭ（dynamic RAM）セルの面積は、ＳＲＡＭ（static RAM）セルの面積よりも小さいため、ｎ（ｎは、３以上の自然数）値ＮＡＮＤセル型ＥＥＰＲＯＭについて考えると、複数の記憶回路の一部をＤＲＡＭセルから構成する場合は、従来のように全ての記憶回路をＳＲＡＭセルのみから構成する場合よりも、データ回路２の面積を小さくすることができる。

【０１１０】
本発明の第２の特徴は、ワード線制御回路３にある。即ち、本発明では、後に詳述するように、ワード線制御回路３をロウアドレスデコーダとワード線ドライバから構成し、メモリセルアレイ１の一方側のみにロウアドレスデコーダを配置し、メモリセルアレイ１の両側にそれぞれワード線ドライバを配置するレイアウトを採用する。

【０１１１】
この場合、メモリセルアレイ１の一方側のロウアドレスデコーダと他方側のワード線ドライバを接続するための信号線がメモリセルアレイ１上に配置される。本発明では、この信号線がメモリセルの動作に与える悪影響を最小限に抑えるために、ワード線制御回路３を改善している。

【０１１２】
本発明の第３の特徴は、読み出し動作にある。即ち、本発明では、例えば、４値データとメモリセルの閾値電圧の関係を、図１３に示すように設定している（詳細は、後述する。）。

【０１１３】
この場合、偶数ページデータの読み出しは、２回の読み出し動作（“ＲＥＡＤ０１”，“ＲＥＡＤ１０”）により読み出され、奇数ページデータの読み出しは、１回の読み出し動作（ＲＥＡＤ“００”）により読み出される。つまり、合計３回の読み出し動作により、

４値データを読み出すことができ、読み出し時間の短縮（読み出しの高速化）を図ることができる。

【０１１４】

本発明の第４の特徴は、書き込み動作（特に、ベリファイ動作）にある。即ち、本発明では、例えば、４値データとメモリセルの閾値電圧の関係を、図１３に示すように設定している（詳細は、後述する。）。

【０１１５】

この場合、偶数ページデータの書き込み動作において、“１１”、“１０”がメモリセルに書き込まれる。そして、奇数ページデータの書き込み動作において、奇数ページデータが“０”のとき、“１１”状態は、“０１”状態に変更され、“１０”状態は、“００”状態に変更される。ここで、“１１”状態を“０１”状態に変更する場合の閾値電圧の変動量は、“１０”状態を“００”状態に変更する場合の閾値電圧の変動量よりも大きくなる。

【０１１６】

従って、“００”書き込みは、当然に、“０１”書き込みよりも早く終了するため、“００”書き込み終了後には、“００”ベリファイリードを省略し、“０１”ベリファイリードのみを行えばよい。これにより、４値データの書き込みに関して、書き込み時間の短縮（書き込みの高速化）を図ることができる。

【０１１７】

本発明の第５の特徴は、例えば、書き込み動作において、データ回路２内に、ラッチ回路の代わりに設けたＤＲＡＭセル（キャパシタ）に対して、リフレッシュ動作を行う点にある。即ち、本発明では、上述の第１の特徴に示すように、多値データ（ｎ値データ）の一時記憶用として用いられる複数の記憶回路のうちの少なくとも１つを、ＤＲＡＭセル（キャパシタ）に変更している。

【０１１８】

この場合、データ回路の面積を小さくできるという効果を得ることができるが、キャパシタの電荷はリークにより次第に減少していくため、リークによるデータ変動が問題となるような場合には、ＤＲＡＭセルに対してリフレッシュ動作が必要になる。つまり、書き込み時において、通常の書き込みシーケンスに、データ回路２内のＤＲＡＭセルに対するリフレッシュシーケンスを追加しなければならない。

【０１１９】

本発明の第６の特徴は、データ回路内に、ライト・キャッシュを設けた点にある。この場合、例えば、複数ページにわたる書き込みを実行すると、書き込み（書き込みパルス印加）と書き込みデータの入力をパラレルに行うことができるため、実質的に、２ページ目以降のデータロード時間を不要とすることができ、書き込みの高速化を図ることができる。

【０１２０】

本発明の第７の特徴は、データ回路内に設けたライト・キャッシュがＤＲＡＭセル（キャパシタ）から構成される場合に、リークによるデータ変動が問題となるようなときには、ＤＲＡＭセルに対してリフレッシュ動作を行う点にある。

【０１２１】

以下、本発明に関わる４値ＮＡＮＤセル型ＥＥＰＲＯＭについて、上記第１乃至第７の特徴と共に詳細に説明する。

【０１２２】

［データ回路］…第１の特徴

図２は、図１のデータ回路２の一例を示している。図３は、図２のメモリセルアレイ１の一部を示している。

【０１２３】

本例では、１カラム分のみのデータ回路を示す。実際は、例えば、メモリセルアレイ１の複数のカラムの各々に対して１個のデータ回路が設けられる。つまり、図１のデータ回路２は、メモリセルアレイ１の複数のカラムに対応する複数のデータ回路により構成される

。
【０１２４】
また、本例では、１カラム内に２本のビット線ＢＬｅ，ＢＬｏが配置され、この２本のビット線ＢＬｅ，ＢＬｏに１個のデータ回路が接続される。このように、１個のデータ回路に２本のビット線ＢＬｅ，ＢＬｏを接続する理由は、▲１▼読み出し時において、互いに隣接するビット線間に容量結合によるノイズが生じることを防止する（シールドビット線読み出し手法の採用）、▲２▼データ回路の数を減らし、チップ面積の縮小を図る、などのの目的を達成することにある。
【０１２５】
また、本例では、４値データ（２ビットデータ）を１個のメモリセルに記憶させることを前提とするため、１個のデータ回路内には、書き込み／読み出し時における４値データの一時記憶用として２個の記憶回路が設けられる。
【０１２６】
ＬＡＴＣＨ１は、２個の記憶回路のうちの１つであり、ラッチ回路である。ラッチ回路ＬＡＴＣＨ１は、クロックドインバータＣＩＮＶ１，ＣＩＮＶ２から構成されるフリップフロップ回路（ＳＲＡＭセル）から構成される。ラッチ回路ＬＡＴＣＨ１は、制御信号ＳＥＮ，ＳＥＮＢ，ＬＡＴ，ＬＡＴＢにより制御される。
【０１２７】
なお、信号“＊＊＊Ｂ”は、信号“＊＊＊”の反転信号を意味する。つまり、信号“＊＊＊Ｂ”のレベルと信号“＊＊＊”のレベルは、互いに逆相（一方が“Ｈ”のとき、他方は“Ｌ”）である。以下、全て同じ。
【０１２８】
ＤＬＮ（Ｃ１）は、２個の記憶回路のうちの他の１つを構成するキャパシタを示している。このキャパシタＤＬＮ（Ｃ１）は、電源電圧Ｖｃｃ以下の電圧が印加される低電圧用デプレションＮチャネルＭＯＳトランジスタ（ＭＯＳキャパシタ）から構成される。本例では、ＮチャネルＭＯＳトランジスタＴＮ５がゲートとして機能し、ノードＣＡＰ１ｉｊにデータがラッチされる。つまり、ラッチ回路は、キャパシタＤＬＮ（Ｃ１）とＭＯＳトランジスタＴＮ５からなるＤＲＡＭセルから構成される。
【０１２９】
なお、図２において、記号“ＨＮ＊＊（＊は、数字、記号など）”が付されているＭＯＳトランジスタは、例えば、約０．６Ｖの閾値電圧を有する高電圧エンハンスメントＮチャネルＭＯＳトランジスタである。このＭＯＳトランジスタには、電源電圧Ｖｃｃよりも高い電圧が印加される。このＭＯＳトランジスタは、ゲートが０Ｖのとき、オフ状態になる。
【０１３０】
また、記号“ＤＬＮ＊＊”が付されているＭＯＳトランジスタは、例えば、約－１Ｖの閾値電圧を有する低電圧デプレションＮチャネルＭＯＳトランジスタであり、電源電圧Ｖｃｃ以下の電圧が印加される。本例では、このトランジスタをＭＯＳキャパシタとして使用している。
【０１３１】
また、記号“ＴＮ＊＊”が付されているＭＯＳトランジスタは、例えば、約０．６Ｖの閾値電圧を有する低電圧エンハンスメントＮチャネルＭＯＳトランジスタであり、電源電圧Ｖｃｃ以下の電圧が印加される。このトランジスタは、ゲートが０Ｖのとき、オフ状態になる。
【０１３２】
ＭＯＳトランジスタＨＮ１ｅ，ＨＮ１ｏ，ＨＮ２ｅ，ＨＮ２ｏは、例えば、読み出し時に、２本のビット線ＢＬｅ，ＢＬｏのうちの１本を、データが読み出されるビット線とし、残りの１本をシールドビット線とする機能を有する。
【０１３３】
即ち、ＢＬＣＲＬは、接地電位Ｖｓｓに設定される。また、ＢＩＡＳｏが“Ｈ”、ＢＩＡ

ＳｅがＬのとき、ビット線ＢＬｅにデータが読み出され、ビット線ＢＬｏは、ビット線ＢＬｅにデータを読み出すときのノイズを防止するシールドビット線となる。一方、ＢＩＡＳｅがＨ、ＢＩＡＳｏがＬのとき、ビット線ＢＬｏにデータが読み出され、ビット線ＢＬｅは、ビット線ＢＬｏにデータを読み出すときのノイズを防止するシールドビット線となる。

【０１３４】

ＭＯＳトランジスタＴＮ７は、読み出し時に、２本のビット線ＢＬｅ，ＢＬｏのうち、データが読み出される１本のビット線を、例えば、予め電源電位Ｖｃｃに設定しておくためのビット線プリチャージ用ＭＯＳトランジスタである。ＭＯＳトランジスタＴＮ７は、制御信号ＢＬＰＲＥにより制御される。

【０１３５】

ＭＯＳトランジスタＴＮ９は、ビット線ＢＬｅ，ＢＬｏとデータ回路（主要部）の電気的な接続／切断を制御するクランプ用ＭＯＳトランジスタである。ＭＯＳトランジスタＴＮ９は、例えば、読み出し時に、ビット線ＢＬｅ，ＢＬｏをプリチャージした後、ビット線ＢＬｅ，ＢＬｏに読み出されたデータをセンスするまで、ビット線ＢＬｅ，ＢＬｏをフローティング状態にしておく機能を有する。ＭＯＳトランジスタＴＮ９は、制御信号ＢＬＣＬＭＰにより制御される。

【０１３６】

ＭＯＳトランジスタＴＮ１，…ＴＮ６，ＴＮ８，ＴＮ１０は、書き込み／読み出し時（又はベリファイ読み出し時）において、奇数／偶数ページデータの制御をしたり、また、書き込み／消去時において、ベリファイ読み出しの後、選択された全てのメモリセルに対してきちんと書き込み／消去が行われたか否かを調べるために設けられる（ Program/Erase completion detection ）。

【０１３７】

なお、出力信号ＣＯＭｉは、 Program/Erase completion detection 時に使用される。

【０１３８】

ＭＯＳトランジスタＴＰ１は、センスノード（ＤＴＮｉｊ）をＶｄｄにプリセットするプリセット用トランジスタである。ＭＯＳトランジスタＴＰ１は、制御信号ｎＰＲＳＴにより制御される。

【０１３９】

ＭＯＳトランジスタＴＮ１０は、ラッチ回路ＬＡＴＣＨ１の２つの出力ノードＮａｉｊ，Ｎｂｉｊの電位をイコライズするイコライズ回路である。ＭＯＳトランジスタＴＮ１０は、制御信号ＥＱＰＢにより制御される。

【０１４０】

ＭＯＳトランジスタＴＮ１１，ＴＮ１２は、ノードＮａｉｊ，Ｎｂｉｊと入出力線ＩＯｊ，ｎＩＯｊの電気的な接続／切断を決定するカラムスイッチとして機能する。カラム選択信号ＣＳＬｉがＨのとき、ＭＯＳトランジスタＴＮ１１，ＴＮ１２がオン状態となり、ラッチ回路の出力ノードＮａｉｊ，Ｎｂｉｊが入出力線ＩＯｊ，ｎＩＯｊに電気的に接続される。

【０１４１】

カラム選択信号ＣＳＬｉは、図１のカラムデコーダ４から出力される。カラムデコーダとしては、例えば、図４に示すように、ＡＮＤ回路から構成される。即ち、例えば、ＣＡｋ１，ＣＢＫ２，ＣＣＫ３が共にＨのとき、カラム選択信号ＣＳＬｉがＨとなる。

【０１４２】

なお、図２において、Ｖｄｄ（例えば、約２．３Ｖ）は、外部電源電位Ｖｃｃよりも低いチップ内電源電位である。チップ内電源電位Ｖｄｄは、降圧回路により、外部電源電位Ｖｃｃから生成される。但し、チップ内電源電位Ｖｄｄに代えて、外部電源電位Ｖｃｃをデータ回路に供給してもよい。

【０１４３】

［一括検知回路］

図５は、図１の一括検知回路１０の主要部を示している。

【０１４４】

一括検知回路１０は、ベリファイ読み出しの後、選択された全てのメモリセルに対してきちんと書き込み／消去が行われたか否かを調べる機能を有する（ Program/Erase completion detection ）。

【０１４５】

各データ回路は、それぞれ図２に示すような構成を有する。ＲＥＧ２－ｋ（ｋ＝０，１，２，３）は、第ｋ＋１及び第ｋ＋５のデータ回路内のＲＥＧ２（図２参照）となる。

【０１４６】

第１乃至第４のデータ回路の出力ノードＣＯＭｉは、共通接続され、その接続ノードＣＯＭｉ１は、ＰチャネルＭＯＳトランジスタＴＰ２のゲートに接続される。同様に、第５乃至第８のデータ回路の出力ノードＣＯＭｉも、共通接続され、その接続ノードＣＯＭｉ２は、ＰチャネルＭＯＳトランジスタＴＰ３のゲートに接続される。

【０１４７】

ＰチャネルＭＯＳトランジスタＴＰ１３，ＴＰ１４は、 Program/Erase completion detection 時に、ノードＣＯＭｉ１，ＣＯＭｉ２を、チップ内電源電位Ｖｄｄに設定した後、フローティング状態にする機能を有する。ＭＯＳトランジスタＴＮ１３，ＴＮ１４は、制御信号ＣＯＭＨｎにより制御される。

【０１４８】

ＮチャネルＭＯＳトランジスタＴＮ１５は、 Program/Erase completion detection 時に、ノードＮＣＯＭを、接地電位Ｖｓｓに設定した後、フローティング状態にする機能を有する。ＭＯＳトランジスタＴＮ１５は、制御信号ＮＣＯＭＬにより制御される。

【０１４９】

Program/Erase completion detection 時、書き込み／消去が十分に行われていないメモリセルに対応するデータ回路では、ＣＯＭｉ（図２参照）の電位レベルが“Ｈ”から“Ｌ”に低下する。従って、ノードＮＣＯＭが“Ｌ”から“Ｈ”になり、ＦＬＡＧは、“Ｌ”になる。

【０１５０】

一方、全てのメモリセルに対して、書き込み／消去が十分に行われている場合には、全てのデータ回路の出力信号ＣＯＭｉ（図２参照）の電位レベルが“Ｈ”を維持する。従って、ノードＮＣＯＭは、“Ｌ”のままであり、ＦＬＡＧは、“Ｈ”となる。

【０１５１】

このように、ノードＦＬＡＧの電位レベルを検出することにより、選択された全てのメモリセルに対して、きちんと書き込み／消去が行われたか否かを調べることができる。なお、 Program/Erase completion detection 時の動作については、後に詳述する。

【０１５２】

本例では、８個のデータ回路を１つにまとめ、これら８個のデータ回路に対応する８カラムのメモリセルに対して、ノードＦＲＡＧの電圧レベルを検出することにより、書き込み／消去が十分に行われたか否かを調べている。

【０１５３】

このように、８個のデータ回路を一まとめにしたのは、これら８個のデータ回路に対応する８カラム単位で、リダンダンシイ回路によるメモリセルの置き換えを行っているためである。つまり、ヒューズ素子（破線で囲んだ部分）を切断すると、これら８個のデータ回路に接続されるメモリセルは、常に非選択状態になり、これに代わって、リダンダンシイ領域の予備のメモリセルが選択される。

【０１５４】

従って、リダンダンシイ回路によるメモリセルの置き換えをｎ（ｎは、自然数）個のデータ回路に対応するｎカラム単位で行う場合には、ｎ個のデータ回路を一まとめにする。

【０１５５】

なお、ＦＲＡＧは、全てのカラムに対応する共通ノードとなっている。例えば、カラム数

が２０４８の場合、８個のデータ回路（カラム）をリダンダンシイ置き換えの単位とすると、チップ内には、図５に示すような回路が２５６個存在することになる。そして、これら２５６個の回路は、共通ノードＦＲＡＧに接続される。

【０１５６】

［ワード線制御回路］…第２の特徴

図６は、図１のワード線制御回路３の具体例を示している。

【０１５７】

メモリセルアレイ１は、カラム方向に配置された複数個のメモリセルブロックから構成される。各々のメモリセルブロックは、ロウ方向に配置された複数のＮＡＮＤセルユニットを有する。メモリセルアレイ及びＮＡＮＤセルユニットの具体例については、図５４乃至図５６に示す通りである。

【０１５８】

本例では、１個のメモリセルブロックに対応して、１個のロウアドレスデコーダと１個のワード線ドライバが設けられる。

【０１５９】

例えば、第１のメモリセルブロック内のワード線ＷＬ１，…ＷＬ１６及びセレクトゲート線ＳＧ１，ＳＧ２は、第１のワード線ドライバＲＭＡＩＮ１に接続され、第１のワード線ドライバＲＭＡＩＮ１は、第１のメモリセルブロックの選択／非選択を決める第１のロウアドレスデコーダＲＡＤＤ１の出力信号（デコード結果）を受ける。

【０１６０】

このように、第ｉ（ｉ＝１，２，…）のメモリセルブロック内のワード線ＷＬ１，…ＷＬ１６及びセレクトゲート線ＳＧ１，ＳＧ２は、第ｉのワード線ドライバＲＭＡＩＮｉに接続され、第ｉのワード線ドライバＲＭＡＩＮｉは、第ｉのメモリセルブロックの選択／非選択を決める第ｉのロウアドレスデコーダＲＡＤＤｉの出力信号（デコード結果）を受ける。

【０１６１】

ここで、本例では、ワード線ドライバを、メモリセルアレイ１の両側（ロウ方向の２つの端部）に配置している。

【０１６２】

具体的には、奇数番目のメモリセルアレイブロックに対応するワード線ドライバＲＭＡＩＮ１，ＲＭＡＩＮ３，…は、メモリセルアレイ１のロウ方向の２つの端部のうちの一方（左側）に配置され、偶数番目のメモリセルアレイブロックに対応するワード線ドライバＲＭＡＩＮ２，ＲＭＡＩＮ４，…は、メモリセルアレイ１のロウ方向の２つの端部のうちの他方（右側）に配置される。

【０１６３】

このように、ワード線ドライバＲＭＡＩＮｉを、メモリセルアレイ１の両端に配置することにより、ワード線ドライバＲＭＡＩＮｉの設計を容易にする（又はレイアウトの自由度を大きくする）ことができる。つまり、本例の場合、１個のワード線ドライバは、カラム方向に関して、メモリセルブロック２個分のレイアウトスペースを確保できる。

【０１６４】

また、１つのメモリセルブロック内のワード線ＷＬ１，…ＷＬ１６及びセレクトゲート線ＳＧ１，ＳＧ２は、このメモリセルブロックに対応するワード線ドライバにより、常に、メモリセルアレイ１の一方側（又は他方側）から駆動されるため、選択されたブロック内の所定の１個のＮＡＮＤセルユニット内のメモリセル及びセレクトトランジスタに関して、駆動信号が供給されるのタイミングのずれは生じない。

【０１６５】

一方、ロウアドレスデコーダＲＡＤＤｉ（ｉ＝１，２，…）は、メモリセルアレイ１のロウ方向の２つの端部のうちの一方（片側）のみに配置される。この場合、ロウアドレス信号をロウアドレスデコーダＲＡＤＤｉに供給するための信号線（アドレスバス）をメモリセルアレイ１の片側のみに配置すればよいため、アドレスバスの面積を減らすことができ

、結果として、チップ面積の縮小に貢献できる。
【０１６６】
つまり、仮に、ワード線ドライバＲＭＡＩＮｉと同様に、ロウアドレスデコーダＲＡＤＤｉを、メモリセルアレイ１のロウ方向の２つの端部のそれぞれに配置すると、アドレスバスについても、メモリセルアレイ１のロウ方向の２つの端部のそれぞれに配置しなければなず、チップ面積の縮小に関しては、不利となる。
【０１６７】
ロウアドレスデコーダＲＡＤＤｉを、メモリセルアレイ１のロウ方向の２つの端部のうちの一方（片側）のみに配置した結果、本例では、信号線２２がメモリセルアレイ１上に配置される。信号線２２は、偶数番目のメモリセルアレイブロックに対応するロウアドレスデコーダＲＡＤＤ２，ＲＡＤＤ４，…の出力信号（デコード結果）ＲＤＥＣＡＤＳを、ワード線ドライバＲＭＡＩＮ２，ＲＭＡＩＮ４，…に供給するために使用される。
【０１６８】
この信号線２２には、通常動作時において、信号ＲＤＥＣＡＤＳが伝わる。従って、通常動作時、この信号線２２の電位がメモリセルの動作に悪影響を与えないようにする必要がある。本発明は、この信号線２２の電位がメモリセルの動作に悪影響を与えないような新規なロウアドレスデコーダＲＡＤＤｉ及びワード線ドライバＲＭＡＩＮｉを提供する。これについては、後に詳述する。
【０１６９】
電位発生回路９Ａは、昇圧回路（チャージポンプ回路）を有し、例えば、書き込み時に使用する書き込み電位Ｖｐｐや転送電位Ｖｐａｓｓを生成する。電位発生回路９Ａは、切替回路９Ｂに接続される。切替回路９Ｂは、書き込み電位Ｖｐｐ、転送電位Ｖｐａｓｓ、チップ内電源電位Ｖｄｄ、接地電位Ｖｓｓなどの電位を、ワード線ＷＬ１，…ＷＬ１６に対応する信号線ＣＧ１，…ＣＧ１６に振り分ける機能を有する。
【０１７０】
信号線ＣＧ１，…ＣＧ１６は、ワード線ドライバＲＭＡＩＮｉに接続される。即ち、信号線ＣＧ１，…ＣＧ１６は、ワード線ドライバＲＭＡＩＮｉ内の電位転送用トランジスタＨＮｔ１，ＨＮｔ２，…ＨＮｔ１６（後述する）を経由して、ワード線ＷＬ１，…ＷＬ１６に接続される。
【０１７１】
［デバイス構造］…図６の信号線２２に関して
図７は、図６における奇数番目のメモリセルブロックのカラム方向の断面を示している。
【０１７２】
奇数番目のメモリセルブロックでは、ロウアドレスデコーダＲＡＤＤ１，ＲＡＤＤ３，…及びワード線ドライバＲＭＡＩＮ１，ＲＭＡＩＮ３，…は、共に、メモリセルアレイ１の片側に配置されるため、ロウアドレスデコーダＲＡＤＤ１，ＲＡＤＤ３，…とワード線ドライバＲＭＡＩＮ１，ＲＭＡＩＮ３，…を接続する信号線は、メモリセルアレイ１上に配置されない。
【０１７３】
以下、具体的な構造について説明する。
ｐ型シリコン基板１１－１内には、ｎ型ウェル領域１１－２及びｐ型ウェル領域１１－３から構成されるダブルウェル領域が形成される。例えば、直列接続された１６個のメモリセルＭ１，…Ｍ１６は、ｐ型ウェル領域１１－３上に形成される。各メモリセルは、Ｎチャネル型ＭＯＳトランジスタから構成され、かつ、フローティングゲート電極とコントロールゲート電極からなるスタックゲート構造を有する。
【０１７４】
直列接続されたメモリセルＭ１，…Ｍ１６の２つの端部には、それぞれセレクトトランジスタＳ１，Ｓ２が接続される。セレクトトランジスタＳ１，Ｓ２は、Ｎチャネル型ＭＯＳトランジスタから構成される。例えば、ビット線側のセレクトトランジスタＳ１の拡散層（ドレイン）２４は、第１配線層Ｍ０内の金属配線Ｂに接続され、ソース線側のセレクト

トランジスタＳ２の拡散層（ソース）２５は、第１配線層Ｍ０内のソース線ＳＬに接続される。

【０１７５】

セレクトトランジスタＳ１のゲート電極（セレクトゲート線（ポリシリコン））は、そのセレクトゲート線の配線抵抗を低くするため、第１配線層Ｍ０内の金属配線ＳＧ１に接続される。セレクトゲート線（ポリシリコン）と金属配線ＳＧ１のコンタクト部は、例えば、セレクトゲート線が５２８本のビット線と交差するごと設けられる。

【０１７６】

同様に、セレクトトランジスタＳ２のゲート電極（セレクトゲート線（ポリシリコン））は、そのセレクトゲート線の配線抵抗を低くするため、第１配線層Ｍ０内の金属配線ＳＧ２に接続される。セレクトゲート線（ポリシリコン）と金属配線ＳＧ２のコンタクト部は、例えば、セレクトゲート線が５２８本のビット線と交差するごと設けられる。

【０１７７】

第１配線層Ｍ０上に設けられる第２配線層Ｍ１内には、ビット線ＢＬが配置される。ビット線ＢＬは、カラム方向に延び、かつ、第１配線層Ｍ０内の金属配線Ｂを経由して、セレクトトランジスタＳ１の拡散層（ドレイン）２４に接続される。

【０１７８】

なお、第１及び第２配線層Ｍ０，Ｍ１内の各信号線は、例えば、アルミニウム、銅、これらの合金などから構成される。

【０１７９】

メモリセルＭ１，…Ｍ１６上であって、かつ、金属配線ＳＧ１，ＳＧ２の間には、ロウシールド線（Row shield line）２３が配置される。

【０１８０】

ロウシールド線２３は、書き込み／読み出し時にいわゆるカップリングノイズを防止し、消去時に非選択ワード線の電位を十分に上昇させるためなどを目的として配置される。ロウシールド線２３は、通常、ダブルウェル領域（セルウェル）１１－２，１１－３の電位と同じ電位に設定される。

【０１８１】

書き込み／読み出し時には、通常、セルウェル電位は、接地電位Ｖｓｓに設定されるため、この時、ロウシールド線２３も、接地電位Ｖｓｓに固定される。この場合、ビット線ＢＬとワード線ＷＬの間の容量結合がほぼなくなるため、ビット線を伝わるデータに対するカップリングノイズの発生を防止できる。

【０１８２】

また、書き込み／読み出し時において、非選択ブロック内のセレクトゲート線（金属配線）ＳＧ１，ＳＧ２は、接地電位Ｖｓｓに設定される。このため、セレクトゲート線（金属配線）ＳＧ１，ＳＧ２も、書き込み／読み出し時におけるシールド線としての機能を有する。

【０１８３】

このように、書き込み／読み出し時に、ロウシールド線２３及び非選択ブロック内のセレクトゲート線（金属配線）ＳＧ１，ＳＧ２を、それぞれ接地電位Ｖｓｓに設定することにより、ビット線ＢＬとワード線ＷＬの間の容量結合を少なくし、ビット線を伝わるデータにカップリングノイズが加わるのを防止する。

【０１８４】

一方、消去時には、ロウシールド線２３は、消去電位Ｖｅｒａ（例えば、約２０Ｖ）に設定される。その理由は、消去時に、非選択ブロック内のワード線ＷＬの電位を十分に上昇させることにある。

【０１８５】

即ち、消去時、非選択ブロックのワード線（コントロールゲート線）ＷＬは、フローティング状態にあり、ダブルウェル領域（セルウェル）１１－２，１１－３に消去電位（例えば、約２０Ｖ）を与えたときに、容量カップリングにより、非選択ブロックのワード線Ｗ

Ｌの電位を上昇させるようにしている。
【０１８６】
従って、消去時に、ロウシールド線２３を消去電位Ｖｅｒａに設定しておけば、セルウェル１１－２，１１－３の電位を、例えば、接地電位Ｖｓｓから消去電位Ｖｅｒａに上昇させたときに、ワード線ＷＬの電位がロウシールド線２３の電位に影響されなくなり、非選択ブロック内のワード線ＷＬの電位を消去電位Ｖｅｒａと同じ程度まで十分に上昇させることができる。
【０１８７】
また、非選択ブロック内のワード線ＷＬの電位が消去電位Ｖｅｒａと同じ程度まで十分に上昇するため、非選択メモリセルにおいて、フローティングゲート電極とセルウェルの間のトンネル酸化膜に大きな電界がかかることがなく、誤消去も防止できる。
【０１８８】
この時、仮に、ロウシールド線２３の電位が接地電位Ｖｓｓ又は電源電位Ｖｃｃであると、ワード線ＷＬの電位は、ロウシールド線２３の電位（Ｖｓｓ又はＶｃｃ）に影響を受け、消去電位Ｖｅｒａと同じ程度まで上昇しなくなる。従って、非選択メモリセルにおいて、トンネル酸化膜に大きな電界がかかり、誤消去が発生する場合がある。
【０１８９】
図８は、図６における偶数番目のメモリセルブロックのカラム方向の断面を示している。
【０１９０】
偶数番目のメモリセルブロックでは、ロウアドレスデコーダＲＡＤＤ２，ＲＡＤＤ４，…は、メモリセルアレイ１のロウ方向の一端に配置され、ワード線ドライバＲＭＡＩＮ２，ＲＭＡＩＮ４，…は、メモリセルアレイ１のロウ方向の他端に配置される。従って、ロウアドレスデコーダＲＡＤＤ２，ＲＡＤＤ４，…とワード線ドライバＲＭＡＩＮ２，ＲＭＡＩＮ４，…を接続する信号線２２が、メモリセルアレイ１上に配置される。
【０１９１】
以下、具体的な構造について説明する。
ｐ型シリコン基板１１－１内には、ｎ型ウェル領域１１－２及びｐ型ウェル領域１１－３から構成されるダブルウェル領域が形成される。例えば、直列接続された１６個のメモリセルＭ１，…Ｍ１６は、ｐ型ウェル領域１１－３上に形成される。各メモリセルは、Ｎチャネル型ＭＯＳトランジスタから構成され、かつ、フローティングゲート電極とコントロールゲート電極からなるスタックゲート構造を有する。
【０１９２】
直列接続されたメモリセルＭ１，…Ｍ１６の２つの端部には、それぞれセレクトトランジスタＳ１，Ｓ２が接続される。セレクトトランジスタＳ１，Ｓ２は、Ｎチャネル型ＭＯＳトランジスタから構成される。例えば、ビット線側のセレクトトランジスタＳ１の拡散層（ドレイン）２４は、第１配線層Ｍ０内の金属配線Ｂに接続され、ソース線側のセレクトトランジスタＳ２の拡散層（ソース）２５は、第１配線層Ｍ０内のソース線ＳＬに接続される。
【０１９３】
セレクトトランジスタＳ１のゲート電極（セレクトゲート線（ポリシリコン））は、そのセレクトゲート線の配線抵抗を低くするため、第１配線層Ｍ０内の金属配線ＳＧ１に接続される。セレクトゲート線（ポリシリコン）と金属配線ＳＧ１のコンタクト部は、例えば、セレクトゲート線が５２８本のビット線と交差するごと設けられる。
【０１９４】
同様に、セレクトトランジスタＳ２のゲート電極（セレクトゲート線（ポリシリコン））は、そのセレクトゲート線の配線抵抗を低くするため、第１配線層Ｍ０内の金属配線ＳＧ２に接続される。セレクトゲート線（ポリシリコン）と金属配線ＳＧ２のコンタクト部は、例えば、セレクトゲート線が５２８本のビット線と交差するごと設けられる。
【０１９５】
第１配線層Ｍ０上に設けられる第２配線層Ｍ１内には、ビット線ＢＬが配置される。ビッ

ト線ＢＬは、カラム方向に延び、かつ、第１配線層Ｍ０内の金属配線Ｂを経由して、セレクトトランジスタＳ１の拡散層（ドレイン）２４に接続される。

【０１９６】

なお、第１及び第２配線層Ｍ０，Ｍ１内の各信号線は、例えば、アルミニウム、銅、これらの合金などから構成される。

【０１９７】

メモリセルＭ１，…Ｍ１６上であって、かつ、金属配線ＳＧ１，ＳＧ２の間には、信号ＲＤＥＣＡＤＳの経路となる信号線２２が配置される。

【０１９８】

偶数番目のメモリセルブロックのデバイスの特徴は、奇数番目のメモリセルブロックのデバイスのロウシールド線２３（図７参照）に代わり、信号線２２が設けられている点にある。

【０１９９】

信号線２２は、図６において説明したように、ロウアドレスデコーダの出力信号ＲＤＥＣＡＤＳをワード線ドライバに伝える役割を果たす。従って、信号線２２の電位は、ロウシールド線と同じにすることができない。

【０２００】

本発明では、上述の信号線２２の役割を損なうことなく、信号線２２の電位を、動作モードに応じて最適な値に設定し、書き込み／読み出し時にいわゆるカップリングノイズを防止し、消去時に非選択ワード線の電位を十分に上昇させることができるワード線制御回路を提案する。

【０２０１】

以下、本発明のワード線制御回路の回路例を説明し、その後、この回路を用いた場合に、各動作モードにおいて信号線２２の電位レベルがどのようになるかについて説明する。

【０２０２】

［ワード線制御回路の回路例］

まず、図面に付される記号について以下のように定義する。

【０２０３】

記号“ＨＮ＊＊（＊は、数字、記号など）”が付されているＭＯＳトランジスタは、例えば、約０．６Ｖの閾値電圧を有する高電圧エンハンスメントＮチャネルＭＯＳトランジスタであり、電源電圧Ｖｃｃよりも高い電圧が印加される。このトランジスタは、ゲートが０Ｖのとき、オフ状態になる。

【０２０４】

記号“ＩＨＮ＊＊（＊は、数字、記号など）”が付されているＭＯＳトランジスタは、例えば、約０．１Ｖの閾値電圧を有する高電圧エンハンスメントＮチャネルＭＯＳトランジスタであり、電源電圧Ｖｃｃよりも高い電圧が印加される。

【０２０５】

記号“ＤＨＮ＊＊”が付されているＭＯＳトランジスタは、例えば、約－１Ｖの閾値電圧を有する高電圧デプレションＮチャネルＭＯＳトランジスタであり、ゲートとドレインを電源電位Ｖｃｃにすると、ドレインの電位Ｖｃｃがソースに転送される。また、このトランジスタは、ソースとドレインがＶｃｃのとき、ゲートを０Ｖにすると、オフ状態となる。

【０２０６】

また、記号“ＴＮ＊＊”が付されているＭＯＳトランジスタは、例えば、約０．６Ｖの閾値電圧を有する低電圧エンハンスメントＮチャネルＭＯＳトランジスタであり、電源電圧Ｖｃｃ以下の電圧が印加される。記号“ＴＰ＊＊”が付されているＭＯＳトランジスタは、例えば、約０．６Ｖの閾値電圧を有する低電圧エンハンスメントＰチャネルＭＯＳトランジスタである。

【０２０７】

図９は、奇数番目のメモリセルブロックに対応して設けられるロウアドレスデコーダの主

要部を示している。

【０２０８】

このロウアドレスデコーダＲＡＤＤ１は、正確には、ブロックデコーダとして機能する。即ち、例えば、第１のメモリセルブロックが選択されるとき、ロウアドレス信号ＡＲＯＷｉ，…ＡＲＯＷｊの全てが“Ｈ”となり、出力信号ＲＤＥＣＡＤが“Ｈ”となる。ロウアドレスデコーダＲＡＤＤ１の動作については、後に詳述する。

【０２０９】

図１０は、奇数番目のメモリセルブロックに対応して設けられるワード線ドライバの主要部を示している。

【０２１０】

ワード線ドライバＲＭＡＩＮ１の主な構成要素は、高電圧スイッチ回路２６と転送用ＭＯＳトランジスタＨＮ５，ＨＮ６，ＨＮｔ１，…ＨＮｔ１６である。

【０２１１】

高電圧スイッチ回路２６は、ＭＯＳキャパシタＤＨＮ４及びＭＯＳトランジスタＩＨＮ１からなる第１の昇圧ユニットと、ＭＯＳキャパシタＤＨＮ５及びＭＯＳトランジスタＩＨＮ２からなる第２の昇圧ユニットを備える。

【０２１２】

ＭＯＳトランジスタＨＮ３のゲートは、ＭＯＳトランジスタＩＨＮ１，ＩＨＮ２の接続ノードＢに接続される。この場合、ＭＯＳトランジスタＨＮ３のゲートとソースの電位レベルが逆相を維持しつつ、クロック信号Ｏｗｃに同期して、次第に各ノードＡ，Ｂ，ＴｒａｎｓｆｅｒＧ１の電位が上昇するため、昇圧効率が向上する。

【０２１３】

高電圧スイッチ回路２６は、ロウアドレスデコーダＲＡＤＤ１の出力信号ＲＤＥＣＡＤが“Ｈ”のとき、動作状態となる。即ち、出力信号ＲＤＥＣＡＤが“Ｈ”のとき、ＮＡＮＤ回路ＮＡＮＤ１の出力信号は、クロック信号Ｏｗｃと逆相のクロック信号となる。ＮＡＮＤ回路ＮＡＮＤ１の出力信号は、ＭＯＳキャパシタＤＨＮ４，ＤＨＮ５の一端に印加される。

【０２１４】

その結果、転送用ＭＯＳトランジスタＨＮ５，ＨＮ６，ＨＮｔ１，…ＨＮｔ１６のゲートに昇圧電位が印加され、転送用ＭＯＳトランジスタＨＮ５，ＨＮ６，ＨＮｔ１，…ＨＮｔ１６は、オン状態となる。

【０２１５】

ロウアドレスデコーダＲＡＤＤ１の出力信号ＲＤＥＣＡＤが“Ｈ”のとき、ＭＯＳトランジスタＨＮ７，ＨＮ８は、オフ状態となる。この時、信号線ＳＧＤ，ＳＧＳは、例えば、チップ内電源電位Ｖｄｄとなり、このＶｄｄは、転送用ＭＯＳトランジスタＨＮ５，ＨＮ６を経由して、セレクトゲート線ＳＧ１，ＳＧ２に供給される。

【０２１６】

また、信号線ＣＧ１，ＣＧ２，…ＣＧ１６は、切替回路９Ｂ（図１参照）により、それぞれ動作モードに応じて所定の電位に設定される。そして、信号線ＣＧ１，ＣＧ２，…ＣＧ１６の電位は、転送用ＭＯＳトランジスタＨＮｔ１，…ＨＮｔ１６を経由して、ワード線ＷＬ１，ＷＬ２，…ＷＬ１６に供給される。

【０２１７】

図１１は、偶数番目のメモリセルブロックに対応して設けられるロウアドレスデコーダの主要部を示している。

【０２１８】

ロウアドレスデコーダＲＡＤＤ２は、図９のロウアドレスデコーダＲＡＤＤ１と同じ回路を含んでいる。即ち、破線Ｘ１で囲んだ部分の回路は、図９のロウアドレスデコーダＲＡＤＤ１と同じである。なお、図１１において、図９と同じ部分には、同じ符号が付してある。

【０２１９】

本発明のロウアドレスデコーダＲＡＤＤ２の特徴は、インバータＩ４、クロックドインバータＣＩＮＶ３，ＣＩＮＶ４及びデプレッション型高電圧ＮチャネルＭＯＳトランジスタＤＨＮ６，ＤＨＮ７を新規に設けた点にある。

【０２２０】

クロックドインバータＣＩＮＶ４は、消去（ERASE）時に、選択されたメモリセルブロックに対応するロウアドレスデコーダの出力信号ＲＤＥＣＡＤＳ（図８の信号線２２の電位）を接地電位Ｖｓｓにし、非選択のメモリセルブロックに対応するロウアドレスデコーダの出力信号ＲＤＥＣＡＤＳをチップ内電源電位Ｖｄｄにする機能を有する。

【０２２１】

ＭＯＳトランジスタＤＨＮ６は、後述する図１２のトランジスタＤＨＮ９と共に、信号線２２（図８参照）をフローティング状態にする機能を有する。

【０２２２】

消去時、選択されたメモリセルブロックでは、信号ＲＤＥＣＡＤＳ１は、“Ｈ（Ｖｄｄ）”となり、非選択のメモリセルブロックでは、信号ＲＤＥＣＡＤＳ１は、“Ｌ（Ｖｓｓ）”となる。

【０２２３】

仮に、従来と同様に、この信号ＲＤＥＣＡＤＳ１を、メモリセルアレイ上の信号線２２（図８参照）に与えると、非選択のメモリセルブロックでは、メモリセルアレイ上の信号線２２（図８参照）が“Ｌ（Ｖｓｓ）”となる。

【０２２４】

この場合、セルウェルとワード線の容量カップリングにより、セルウェルに消去電位Ｖｅｒａを与えたときに、非選択のメモリセルブロック内のワード線の電位を上昇させようとすると、接地電位Ｖｓｓである信号線２２（図８）の影響により、ワード線の電位が十分に上昇しなくなる。

【０２２５】

本発明では、クロックドインバータＣＩＮＶ４を新規に設けているため、消去時、選択されたメモリセルブロックでは、出力信号ＲＤＥＣＡＤＳは、“Ｌ（Ｖｓｓ）”となり、非選択のメモリセルブロックでは、信号ＲＤＥＣＡＤＳは、“Ｈ（Ｖｄｄ）”となる。

【０２２６】

即ち、非選択のメモリセルブロックでは、メモリセルアレイ上の信号線２２（図８参照）は、“Ｈ（Ｖｄｄ）”となり、かつ、ＭＯＳトランジスタＤＨＮ６とＭＯＳトランジスタＤＨＮ９（図１２）のカットオフによりフローティング状態となる。

【０２２７】

従って、セルウェルとワード線の容量カップリングにより、非選択のメモリセルブロック内のワード線の電位を上昇させる場合、チップ内電源電位Ｖｄｄである信号線２２（図８）の影響は少なくなり、ワード線の電位が十分に上昇する。

【０２２８】

図１２は、偶数番目のメモリセルブロックに対応して設けられるワード線ドライバの主要部を示している。

【０２２９】

ワード線ドライバＲＭＡＩＮ２の主な構成要素のうち、高電圧スイッチ回路２６と転送用ＭＯＳトランジスタＨＮ５，ＨＮ６，ＨＮｔ１，…ＨＮｔ１６に関しては、図１０に示すワード線ドライバＲＭＡＩＮ１と同じである。即ち、破線Ｘ２で囲んだ部分の回路は、図１０のロウアドレスデコーダＲＡＤＤ１とほぼ同じである。なお、図１２において、図１０と同じ部分には、同じ符号が付してある。

【０２３０】

本発明のワード線ドライバＲＭＡＩＮ２の特徴は、クロックドインバータＣＩＮＶ５，ＣＩＮＶ６，ＣＩＮＶ７、デプレッション型高電圧ＮチャネルＭＯＳトランジスタＤＨＮ８，ＤＨＮ９及びエンハンスメント型ＰチャネルＭＯＳトランジスタＴＰ６，ＴＰ７を新規に設けた点にある。

【０２３１】
クロックドインバータＣＩＮＶ７は、消去（ERASE）時に、選択されたメモリセルブロックに対応するロウアドレスデコーダの出力信号ＲＤＥＣＡＤＳ（図８の信号線２２の電位）を接地電位Ｖｓｓからチップ内電源電位Ｖｄｄに戻し、非選択のメモリセルブロックに対応するロウアドレスデコーダの出力信号ＲＤＥＣＡＤＳをチップ内電源電位Ｖｄｄから接地電位Ｖｓｓに戻した後に、破線Ｘ２内の回路に、信号ＲＤＥＣＡＤＳ２として与える機能を有する。
【０２３２】
ＭＯＳトランジスタＤＨＮ９は、図１１のトランジスタＤＨＮ６と共に、信号線２２（図８参照）をフローティング状態にする機能を有する。
【０２３３】
このように、図１１のロウアドレスデコーダＲＡＤＤ２内のインバータＩ４、クロックドインバータＣＩＮＶ３，ＣＩＮＶ４及びデプレッション型高電圧ＮチャネルＭＯＳトランジスタＤＨＮ６，ＤＨＮ７と、図１２のワード線ドライバＲＭＡＩＮ２内のクロックドインバータＣＩＮＶ５，ＣＩＮＶ６，ＣＩＮＶ７、デプレッション型高電圧ＮチャネルＭＯＳトランジスタＤＨＮ８，ＤＨＮ９及びエンハンスメント型ＰチャネルＭＯＳトランジスタＴＰ６，ＴＰ７は、同一の目的を達成するために、ペアで使用される。
【０２３４】
なお、図９乃至図１２では、これらの回路に電源電位としてＶｄｄ（外部電源電位Ｖｃｃよりも低いチップ内電源電位）を供給したが、これに代えて、例えば、外部電源電位Ｖｃｃを供給してもよい。
【０２３５】
［信号線２２の電位レベルに関して］
次に、各動作モードにおいて、信号線２２（図８参照）の電位レベルがどのようになるかについて説明する。なお、ここでは、信号線２２の電位レベルについてのみ説明し、信号線２２の電位レベルを含めたワード線制御回路の動作については、後に詳述する。
【０２３６】
本例では、信号線２２（図８）は、偶数番目のメモリセルブロックに対応するロウアドレスデコーダ（図１１）とワード線ドライバ（図１２）を接続する。従って、図１１及び図１２を参照しつつ、信号線２２（図８）を伝わるワード線ドライバ選択信号ＲＤＥＣＡＤＳの電位レベルについて説明する。
【０２３７】
ロウアドレスデコーダＲＡＤＤ２の出力信号ＲＤＥＣＡＤＳの電位レベルは、動作モードによって異なる。
【０２３８】
消去動作以外の動作（書き込み・読み出し・ベリファイ読み出し）では、ＲＯＷＥＲＡＳＥ１Ｂ、ＲＯＷＰＲＯＧ１、ＲＯＷＥＲＡＳＥ２Ｂ、ＲＯＷＥＲＡＳＥ３ｎ，ＲＯＷＧＡＴＥを、それぞれ電源電位Ｖｄｄ（外部電源電位Ｖｃｃよりも低いチップ内電源電位。但し、外部電源電位Ｖｃｃでもよい。）に設定し、ＲＯＷＥＲＡＳＥ１、ＲＯＷＰＲＯＧ１Ｂ、ＲＯＷＥＲＡＳＥ２を、それぞれ接地電位Ｖｓｓに設定する。
【０２３９】
この時、クロックドインバータＣＩＮＶ３，ＣＩＮＶ５，ＣＩＮＶ６が動作状態になり、クロックドインバータＣＩＮＶ４，ＣＩＮＶ７が非動作状態になる。また、ＭＯＳトランジスタＴＰ６は、オフ状態になる。
【０２４０】
選択されたメモリセルブロックでは、破線Ｘ１で囲んだ部分の出力信号ＲＤＥＣＡＤＳ１は、“Ｈ”、即ち、チップ内電源電位Ｖｄｄになり、ロウアドレスデコーダＲＡＤＤ２の出力信号ＲＤＥＣＡＤＳも、“Ｈ”、即ち、チップ内電源電位Ｖｄｄになる。
【０２４１】
一方、非選択のメモリセルブロックでは、破線Ｘ１で囲んだ部分の出力信号ＲＤＥＣＡＤ

Ｓ１は、“Ｌ”、即ち、接地電位Ｖｓｓになり、ロウアドレスデコーダＲＡＤＤ２の出力信号ＲＤＥＣＡＤＳも、“Ｌ”、即ち、接地電位Ｖｓｓになる。

【０２４２】

従って、消去動作以外の動作では、非選択のメモリセルブロック内のメモリセルアレイ上に配置される信号線２２（図８参照）は、接地電位Ｖｓｓ、非選択のメモリセルブロック内のセレクトゲート線ＳＧ１，ＳＧ２も、接地電位Ｖｓｓとなり、これらの信号線２２，ＳＧ１，ＳＧ２は、ビット線とワード線の間のシールド線として機能する（図７のロウシールド線２３と同じ機能）。結果として、ビット線を伝わるデータに生じるカップリングノイズを低減できる。

【０２４３】

消去動作では、ＲＯＷＥＲＡＳＥ１Ｂ、ＲＯＷＰＲＯＧ１、ＲＯＷＥＲＡＳＥ２Ｂ、ＲＯＷＥＲＡＳＥ３ｎ，ＲＯＷＧＡＴＥを、それぞれ接地電位Ｖｓｓに設定し、ＲＯＷＥＲＡＳＥ１、ＲＯＷＰＲＯＧ１Ｂ、ＲＯＷＥＲＡＳＥ２を、それぞれチップ内電源電位Ｖｄｄ（電源電位Ｖｃｃでもよい。）に設定する。

【０２４４】

この時、クロックドインバータＣＩＮＶ４，ＣＩＮＶ７が動作状態になり、クロックドインバータＣＩＮＶ３，ＣＩＮＶ５，ＣＩＮＶ６が非動作状態になる。また、ＭＯＳトランジスタＴＰ６は、オン状態になる。

【０２４５】

選択されたメモリセルブロックでは、破線Ｘ１で囲んだ部分の出力信号ＲＤＥＣＡＤＳ１は、“Ｈ”、即ち、チップ内電源電位Ｖｄｄになり、ロウアドレスデコーダＲＡＤＤ２の出力信号ＲＤＥＣＡＤＳは、“Ｌ”、即ち、接地電位Ｖｓｓになる。

【０２４６】

一方、非選択のメモリセルブロックでは、破線Ｘ１で囲んだ部分の出力信号ＲＤＥＣＡＤＳ１は、“Ｌ”、即ち、接地電位Ｖｓｓになり、ロウアドレスデコーダＲＡＤＤ２の出力信号ＲＤＥＣＡＤＳは、“Ｈ”、即ち、チップ内電源電位Ｖｄｄになる。

【０２４７】

また、ＲＯＷＧＡＴＥが接地電位Ｖｓｓであるため、非選択のメモリセルブロック内の信号線２２（図８参照）は、その電位（ＲＤＥＣＡＤＳの電位）が１～１．５Ｖ程度になると、ＭＯＳトランジスタＤＨＮ６，ＤＨＮ９がカットオフすることにより、フローティング状態になる。

【０２４８】

このように、消去動作では、非選択のメモリセルブロック内のメモリセルアレイ上に配置される信号線２２（図８参照）は、１～１．５Ｖで、かつ、フローティング状態となる。つまり、セルウェルに消去電位Ｖｅｒａを与えたときに、信号線２２（図８）の電位も、ワード線と同様に、容量カップリングにより上昇するため、信号線２２（図８）がワード線の電位の上昇を抑えることがない。

【０２４９】

従って、セルウェルに消去電位Ｖｅｒａを与えたときに、セルウェルとワード線の間の容量カップリングにより、非選択のメモリセルブロック内のワード線の電位が上昇し易くなるという効果を得ることができる。

【０２５０】

また、これに伴い、非選択のメモリセルブロック内のメモリセルのトンネル酸化膜に大きな電界がかかることがないため、非選択のメモリセルブロックにおける誤消去を防止できる。

【０２５１】

ところで、図１１の破線Ｘ内のヒューズ素子（図９のヒューズ素子も同じ）は、そのヒューズ素子（ロウアドレスデコーダ）に対応するメモリセルブロックをユーザ用の通常のメモリ領域とする場合には、切断されない。

【０２５２】

しかし、そのヒューズ素子（ロウアドレスデコーダ）に対応するメモリセルブロックを、例えば、デバイス・コードを記憶するＲＯＭ・ＢＬＯＣＫ領域とする場合には、そのヒューズ素子を切断し、ユーザが、ＲＯＭ・ＢＬＯＣＫ領域に対して、自由に、書き込み／消去を行えないようにしている。

【０２５３】

このＲＯＭ・ＢＬＯＣＫ領域は、以下の意義がある。

近年、ＮＡＮＤ型フラッシュメモリは、様々な電子機器のメモリに使用されている。しかし、電話通信により音楽情報を記憶するためのメモリなど、ＮＡＮＤ型フラッシュメモリは、著作権に関わるデータのメモリとして使用される場合がある。

【０２５４】

そこで、ＮＡＮＤ型フラッシュメモリには、不正コピーを防止するために、チップの番号、即ち、デバイス・コードが記憶される。

【０２５５】

このデバイス・コードは、個々のＮＡＮＤ型フラッシュメモリに固有のものであるが、仮に、ユーザがこのデバイス・コードを自由に書き換えられるようでは、デバイス・コードの本来の目的を達成することができない。

【０２５６】

このため、デバイス・コードは、製品の出荷前に、ＮＡＮＤ型フラッシュメモリのＲＯＭ・ＢＬＯＣＫ領域に書き込まれ、ＲＯＭ・ＢＬＯＣＫ領域に対しては、ユーザが書き込み／消去を行えないようにしている。つまり、ＲＯＭ・ＢＬＯＣＫ領域となるメモリセルブロックでは、ヒューズ素子が切断される。

【０２５７】

これにより、例えば、情報提供側のＮＡＮＤ型フラッシュメモリから情報受け取り側のＮＡＮＤ型フラッシュメモリに音楽情報をコピーしようとする場合、情報提供側のＮＡＮＤ型フラッシュメモリからデバイス・コードを読み出し、これが、情報受け取り側のＮＡＮＤ型フラッシュメモリのデバイス・コードと異なる場合には、コピーができないようにしている。

【０２５８】

ヒューズ素子は、ＲＯＭ・ＢＬＯＣＫ領域となるメモリセルブロックにデバイス・コードを書き込んだ直後に切断する。

【０２５９】

仮に、ヒューズ素子を切断しない状態で、出荷前試験を行うと、この試験で、デバイス・コードが消去されてしまうためである。

【０２６０】

即ち、出荷前試験では、試験時間の短縮のために、全ブロックを同時に選択して、書き込み／消去を行う。つまり、全てのロウアドレス信号ＡＲＯＷｉ，…ＡＲＯＷｊが“Ｈ”になるため、ヒューズ素子が切断されていないと、ＣＭＤ　ＲＯＭＢＡが“Ｌ”であっても、ＲＤＥＣＡＤＳ１が“Ｈ”（図９では、ＲＤＥＣＡＤが“Ｈ”）となり、ＲＯＭ・ＢＬＯＣＫ領域となるメモリセルブロックが選択されてしまう。

【０２６１】

一方、出荷前試験において、全てのロウアドレス信号ＡＲＯＷｉ，…ＡＲＯＷｊが“Ｈ”になっても、ヒューズ素子が切断されていれば、ＣＭＤ　ＲＯＭＢＡが“Ｌ”であるため、ＲＤＥＣＡＤＳ１が“Ｌ”（図９では、ＲＤＥＣＡＤが“Ｌ”）となり、ＲＯＭ・ＢＬＯＣＫ領域となるメモリセルブロックは、選択されない。

【０２６２】

ヒューズ素子を切断しても、ＲＯＭ・ＢＬＯＣＫ領域に記憶されたデバイス・コードを読み出す必要がある。

【０２６３】

ＲＯＭ・ＢＬＯＣＫ領域に対するデータ読み出しは、ＣＭＤ　ＲＯＭＢＡを“Ｈ”にすることにより達成できる。つまり、ＣＭＤ　ＲＯＭＢＡが“Ｈ”、ＲＯＭ・ＢＬＯＣＫ領域

内のＡＲＯＷｉ，…ＡＲＯＷｊが“Ｈ”になると、ＲＯＭ・ＢＬＯＣＫ領域となるメモリセルブロックが選択される。

【０２６４】

また、ヒューズ素子を切断した後においても、特殊なコマンドを入力することで、ＣＭＤ　ＲＯＭＢＡ及びＲＯＭ・ＢＬＯＣＫ領域内のＡＲＯＷｉ，…ＡＲＯＷｊを“Ｈ”にすることにより、ＲＯＭ・ＢＬＯＣＫ領域内のデータを書き換えることも可能である。この場合には、ＣＭＤ　ＲＯＭＢＡを“Ｈ”にするコマンドは、一般のユーザには非公開にし、不正に、ＲＯＭ・ＢＬＯＣＫ領域内のデータが書き換えられないようにする。

【０２６５】

なお、本例では、ＲＯＭ・ＢＬＯＣＫ領域のヒューズを切断する場合を説明したが、図９のヒューズや図１１の破線Ｘ内のヒューズは、メモリセルブロックが不良ブロックである場合にも、切断される。この場合、この不良ブロックは、リダンダンシイ回路により、予備のブロックに置き換えられる。

【０２６６】

［基本動作の説明］…第３乃至第５の特徴

以下では、読み出し、書き込み、消去、テスト（バーイン）などの各動作モードにおける本発明の４値ＮＡＮＤセル型ＥＥＰＲＯＭ（図１）の主要部の動作、具体的には、データ回路（図２）、一括検知回路（図５）及びワード線制御回路（図６、図９乃至図１２）の動作について詳細に説明する。

【０２６７】

動作の説明を行う前に、まず、メモリセルの閾値電圧とデータ書き込み方法の一例について簡単に説明する。

【０２６８】

図１３は、４値ＮＡＮＤセル型ＥＥＰＲＯＭのメモリセルの閾値電圧（Ｖｔｈ）の分布を示している。

【０２６９】

１つのメモリセルには、４値データ（２ビットデータ）が記憶される。本例では、上述したように、４値データを、“１１”、“１０”、“００”、“０１”とする。また、４値データ（“１１”、“１０”、“００”、“０１”）とメモリセルの閾値電圧との関係は、図１３に示す関係になるものとする。

【０２７０】

つまり、“１１”を消去状態とする。消去状態のメモリセルは、負の閾値電圧Ｖｔｈを有する。また、“１０”、“００”、“０１”を書き込み状態とする。書き込み状態のメモリセルは、正の閾値電圧Ｖｔｈを有する。また、書き込み状態のうち、“１０”状態が最も閾値電圧が低く、“０１”状態が最も閾値電圧が低く、“００”状態は、“１０”状態と“０１”状態の間の閾値電圧を有するものとする。

【０２７１】

４値データ（２ビットデータ）は、偶数ページデータと奇数ページデータからなり、２回の書き込み動作により、メモリセルに書き込まれる。

【０２７２】

まず、偶数ページデータの書き込みが行われる。

全てのメモリセルは、消去状態、即ち、“１１”状態にあるものとする。この後、図１４に示すように、偶数ページデータの書き込みを行うと、メモリセルの閾値電圧Ｖｔｈの分布は、偶数ページデータの値（“１”，“０”）に応じて、２つに分けられる。

【０２７３】

即ち、偶数ページデータが“１”の場合には、メモリセルのトンネル酸化膜に高電界がかからないようにし、メモリセルの閾値電圧Ｖｔｈの上昇を防止する。その結果、メモリセルは、消去状態（“１１”状態）を維持する（偶数ページデータ“１”の書き込み）。

【０２７４】

一方、偶数ページデータが“０”の場合には、メモリセルのトンネル酸化膜に高電界を印

加し、フローティングゲート電極に電子を注入して、メモリセルの閾値電圧Ｖｔｈを所定量だけ上昇させる。その結果、メモリセルは、書き込み状態（“１０”状態）に変化する（偶数ページデータ“０”の書き込み）。

【０２７５】

この後、奇数ページデータの書き込みが行われる。

奇数ページデータの書き込みは、チップの外部から入力される書き込みデータ（即ち、奇数ページデータ）と、メモリセルに既に書き込まれている偶数ページデータとに基づいて行われる。

【０２７６】

即ち、図１５に示すように、奇数ページデータが“１”の場合には、メモリセルのトンネル酸化膜に高電界がかからないようにし、メモリセルの閾値電圧Ｖｔｈの上昇を防止する。その結果、“１１”状態（消去状態）のメモリセルは、“１１”状態をそのまま維持し、“１０”状態のメモリセルは、“１０”状態をそのまま維持する（奇数ページデータ“１”の書き込み）。

【０２７７】

一方、奇数ページデータが“０”の場合には、メモリセルのトンネル酸化膜に高電界を印加し、フローティングゲート電極に電子を注入して、メモリセルの閾値電圧Ｖｔｈを所定量だけ上昇させる。その結果、“１１”状態（消去状態）のメモリセルは、“０１”状態に変化し、“１０”状態のメモリセルは、“００”状態に変化する（奇数ページデータ“０”の書き込み）。

【０２７８】

つまり、本例では、偶数ページデータが“１”、奇数ページデータが“１”のとき、データ“１１”がメモリセルに書き込まれ、偶数ページデータが“０”、奇数ページデータが“１”のとき、データ“１０”がメモリセルに書き込まれる。また、偶数ページデータが“１”、奇数ページデータが“０”のとき、データ“０１”がメモリセルに書き込まれ、偶数ページデータが“０”、奇数ページデータが“０”のとき、データ“００”がメモリセルに書き込まれる。

【０２７９】

このように、２回の書き込み動作により、メモリセルの閾値電圧Ｖｔｈの分布は、４つ（“１１”，“１０”，“００”，“０１”）に分けられる。

【０２８０】

本発明は、奇数ページデータが“０”のときの書き込み方法に特徴を有する（第４の特徴）。即ち、本例では、４値データとメモリセルの閾値電圧との関係を、図１３に示すように設定したため、奇数ページデータが“０”のとき、“１１”状態を“０１”状態に変え、“１０”状態を“００”状態に変えるようにしている（図１５参照）。

【０２８１】

ここで、図１５から明らかなように、“１１”状態を“０１”状態に変える場合の閾値電圧の変動量は、当然に、“１０”状態を“００”状態に変える場合の閾値電圧の変動量よりも大きくなる。つまり、“００”書き込みを行うメモリセル及び“０１”書き込みを行うメモリセルに対して、書き込みパルスは、同一条件で与えられるため、“００”書き込みは、“０１”書き込みよりも早く終了することになる。

【０２８２】

本発明（第４の特徴）では、これを利用して、“００”書き込み終了後の“００”ベリファイリードを省略し、この後は、“０１”ベリファイリードのみを行うようにして、書き込み時間の短縮（書き込みの高速化）を図っている（これについては、後述する。）

また、このような書き込み方法を採用したことにより、本発明は、データ回路（図２）内のベリファイに関する回路（例えば、ＭＯＳトランジスタＴＮ１，…ＴＮ６，ＴＮ８，ＴＮ１０など）にも特徴を有する。

【０２８３】

また、本例では、４値データとメモリセルの閾値電圧との関係を、図１３に示すように設

定したため、本発明は、データの読み出し方法にも特徴を有している（第３の特徴）。
【０２８４】
なお、例えば、先行技術（特願平８－９８６２７号）では、図１３の関係に関して、“００”状態と“０１”状態が逆になっている。つまり、“１１”状態を“０１”状態にする場合の閾値電圧の変動量と“１０”状態を“００”状態にする場合の閾値電圧の変動量がほぼ同じになっている。
【０２８５】
以下、動作タイミング図を用いて、具体的な動作説明を行う
１．　読み出し動作（Read operation）
読み出し動作は、偶数ページデータの読み出し動作と奇数ページデータの読み出し動作とからなる。
【０２８６】
１．－１．　偶数ページデータの読み出し動作
図１３から明らかなように、“１１”状態と“０１”状態が、偶数ページデータが“１”であり、“１０”状態と“００”状態が、偶数ページデータが“０”である。つまり、偶数ページデータが“１”であるか又は“０”であるかは、２回の読み出し動作“ＲＥＡＤ０１”，“ＲＥＡＤ１０”により判断できる。
【０２８７】
従って、偶数ページデータの読み出し動作は、２回の読み出し動作“ＲＥＡＤ０１”，“ＲＥＡＤ１０”とからなる。まず、“ＲＥＡＤ０１”動作が行われ、引き続き、“ＲＥＡＤ１０”動作が行われる。
【０２８８】
１．－１．－１．　“ＲＥＡＤ０１”
図１６は、“ＲＥＡＤ０１”動作を示している。
“ＲＥＡＤ０１”動作は、読み出し電位（選択されたワード線の電位）をＶｃｇｒ０１（例えば、約１．４５Ｖ）に設定し、メモリセルのデータが“０１”であるか、又はそれ以外のデータ“１１”，“１０”，“００”であるかを認識する動作である。
【０２８９】
まず、ロウアドレスデコーダ（図９、図１１）において、ＲＤＥＣＰＢが“Ｌ”に設定される。この時、ＲＤＥＣＡＤ（図９）及びＲＤＥＣＡＤＳ１（図１１）は、共に、“Ｌ（Ｖｓｓ）”であり、全てのメモリセルブロックは、非選択状態となっている。
【０２９０】
この後、ＲＤＥＣＰＢが“Ｌ”から“Ｈ”に変化する。この時、ＭＯＳトランジスタＴＰ４がオフ状態、ＭＯＳトランジスタＴＮ２１がオン状態になる（図９、図１１）。
【０２９１】
また、選択されたメモリセルブロックでは、全てのロウアドレス信号ＡＲＯＷｉ，…ＡＲＯＷｊが“Ｈ”になり、ＲＤＥＣＡＤ（図９）及びＲＤＥＣＡＤＳ１（図１１）が、共に、“Ｈ”になる。非選択のメモリセルブロックでは、ロウアドレス信号ＡＲＯＷｉ，…ＡＲＯＷｊの少なくとも１つが“Ｌ”であるため、ＲＤＥＣＡＤ（図９）及びＲＤＥＣＡＤＳ１（図１１）は、“Ｌ”を維持する。
【０２９２】
選択されたメモリセルブロック内のワード線ドライバ（図１０、図１２）では、入力信号ＲＤＥＣＡＤ，ＲＤＥＣＡＤＳ１が“Ｈ”となるため、オシレーション信号（クロック信号）Ｏｗｃにより、高電圧スイッチ回路（ＮＭＯＳチャージポンプ回路）２６が動作する。
【０２９３】
従って、選択されたメモリセルブロック内のワード線ドライバ（図１０、図１２）では、高電圧スイッチ回路２６の出力ノードに、電位ＶＲＤＥＣが転送される。
【０２９４】
例えば、第１メモリセルブロック内のワード線ドライバＲＭＡＩＮ１（図１０）が選択さ

れた場合には、出力ノードＴｒａｎｓｆｅｒＧ１に、電位ＶＲＤＥＣ（例えば、約６Ｖ）が転送され、第２メモリセルブロック内のワード線ドライバＲＭＡＩＮ２（図１２）が選択された場合には、出力ノードＴｒａｎｓｆｅｒＧ２に、電位ＶＲＤＥＣ（例えば、約６Ｖ）が転送される。

【０２９５】

その結果、転送用トランジスタＨＮｔ１，ＨＮｔ２，…ＨＮｔ１６のゲートは、ＶＲＤＥＣとなり、信号線ＣＧ１，ＣＧ２，…ＣＧ１６の電位は、転送用トランジスタＨＮｔ１，ＨＮｔ２，…ＨＮｔ１６を経由して、ワード線（コントロールゲート線）ＷＬ１，ＷＬ２，…ＷＬ１６に転送される。

【０２９６】

また、信号線ＳＧＤ，ＳＧＳの電位も、転送用トランジスタＨＮ５，ＨＮ６を経由して、セレクトゲート線ＳＧ１，ＳＧ２に転送される。

【０２９７】

ここで、信号線ＣＧ１，ＣＧ２，…ＣＧ１６のうち、選択された１本の信号線の電位は、切替回路（図１）により、Ｖｃｇｒ０１（例えば、約１．４５Ｖ）に設定され、残りの非選択の信号線の電位は、切替回路（図１）により、Ｖｒｅａｄ（例えば、約３．５Ｖ）に設定される。

【０２９８】

また、信号線ＳＧＤ，ＳＧＳの電位も、Ｖｒｅａｄ（例えば、約３．５Ｖ）に設定される。

【０２９９】

一方、非選択のメモリセルブロック内のワード線ドライバ（図１０、図１２）では、高電圧スイッチ回路２６の出力ノードＴｒａｎｓｆｅｒＧ１，ＴｒａｎｓｆｅｒＧ２に、電位ＲＤＥＣＡＤ，ＲＤＥＣＡＤＳ２が転送される。

【０３００】

つまり、非選択のメモリセルブロック内のワード線ドライバ（図１０，図１２）では、出力ノードＴｒａｎｓｆｅｒＧ１，ＴｒａｎｓｆｅｒＧ２が、共に、接地電位Ｖｓｓになる。

【０３０１】

その結果、転送用トランジスタＨＮｔ１，ＨＮｔ２，…ＨＮｔ１６は、オフ状態となり、ワード線（コントロールゲート線）ＷＬ１，ＷＬ２，…ＷＬ１６は、フローティング状態になる。また、セレクトゲート線ＳＧ１，ＳＧ２は、信号線ＳＧＳ，ＳＧＤにより接地される。

【０３０２】

図１６の動作タイミングについて詳細に説明する。

なお、ビット線ＢＬｅに接続されるメモリセルが選択され、ビット線ＢＬｏは、シールドビット線とする。

【０３０３】

ロウ側（ワード線制御回路側）では、まず、時刻ＲＣＬＫ１に、ＢＳＴＯＮが“Ｈ”になる。この時、選択されたメモリセルブロックでは、ワード線ドライバ内の高電圧スイッチ回路の出力ノード（ＴｒａｎｓｆｅｒＧ１又はＴｒａｎｓｆｅｒＧ２）に、Ｖｄｄ（ＲＤＥＣＡＤ又はＲＤＥＣＡＤＳ２）が転送される。

【０３０４】

また、時刻ＲＣＬＫ２に、ＢＳＴＯＮが“Ｌ”になり、時刻ＲＣＬＫ３に、ＶＲＤＥＣがＶｓｇＨＨになるため、選択されたメモリセルブロックでは、ワード線ドライバ内の高電圧スイッチ回路の出力ノード（ＴｒａｎｓｆｅｒＧ１又はＴｒａｎｓｆｅｒＧ２）の電位が、ＶｓｇＨＨに上昇する。

【０３０５】

選択されたワード線ＣＧ select の電位は、Ｖｃｇｒ０１（例えば、約１．４５Ｖ）に設定され、非選択のワード線ＣＧ unselect の電位及びセレクトゲート線ＳＧ１の電位ＳＧ

Ｄは、Ｖｒｅａｄ（例えば、約３．５Ｖ）に設定される。
【０３０６】
一方、カラム側（データ回路側）では、時刻ＲＣＬＫ２に、ＢＬＰＲＥがＶｄｄ（例えば、約２．３Ｖ）になる。また、時刻ＲＣＬＫ３に、ＢＩＡＳｅが接地電位Ｖｓｓ、ＢＩＡＳｏがＶｓｇｈｈになり、時刻ＲＣＬＫ４に、ＢＬＳｅがＶｓｇｈｈになると、ビット線ＢＬｅは、プリチャージされ、ビット線ＢＬｏは、接地電位Ｖｓｓとなる。
【０３０７】
ビット線ＢＬｅをプリチャージしている最中のＢＬＣＬＭＰの電位は、Ｖｃｌｍｐ（例えば、約２Ｖ）であるため、ビット線ＢＬｅは、約０．８Ｖまで上昇した後、フローティング状態となる。そして、時刻ＲＣＬＫ７に、ビット線ＢＬｅのプリチャージが終了する。
【０３０８】
そして、時刻ＲＣＬＫ７に、セレクトゲート線ＳＧ２の電位ＳＧＳが、Ｖｒｅａｄに設定されると、選択されたメモリセルのデータに応じて、ビット線ＢＬｅの電位が低下し又は維持される。
【０３０９】
即ち、選択されたメモリセルのデータが、“１１”、“１０”、“００”の場合には、Ｖｃｇｒ０１により、この選択されたメモリセルは、オン状態になるため、ビット線ＢＬｅの電荷が放電され、ビット線ＢＬｅの電位は、０．３Ｖ以下に低下する（選択ブロック内の非選択のメモリセルは、Ｖｒｅａｄにより、オン状態である。）。
【０３１０】
一方、選択されたメモリセルのデータが、“０１”の場合には、Ｖｃｇｒ０１によっては、この選択されたメモリセルは、オン状態にならないため、ビット線ＢＬｅの電荷が放電されることはなく、ビット線ＢＬｅは、プリチャージ電位（約０．８Ｖ）を維持する。
【０３１１】
時刻ＳＣＬＫ６には、ＳＥＮ及びＬＡＴが共に“Ｌ”、ＳＥＮＢ及びＬＡＴＢが共に“Ｈ”になり、ラッチ回路ＬＡＴＣＨ１、即ち、クロックドインバータＣＩＮＶ１，ＣＩＮＶ２が非動作状態となる（図２）。
【０３１２】
時刻ＳＣＬＫ７に、ＢＬＣがＶｓｇ（約４．５Ｖ）、ｎＰＲＳＴが“Ｌ”になると、センスノード（ＤＴＮｉｊ）がＶｄｄとなる。また、時刻ＳＣＬＫ８に、ｎＰＲＳＴが“Ｈ”になると、センスノードは、フローティング状態になる。また、時刻ＳＣＬＫ９に、ＢＬＣＬＭＰが、Ｖｓｅｎｓｅ（例えば、約１．６Ｖ）になり、ビット線ＢＬｅの電位がセンスノードに伝わる。
【０３１３】
この時、メモリセルのデータが“１１”、“１０”、“００”の場合には、ビット線ＢＬｅの電位は、０．３Ｖ以下となっているため、センスノード（ＤＴＮｉｊ）の電位は、Ｖｄｄから０．３Ｖ以下の電位に低下する。また、メモリセルのデータが“０１”の場合には、ビット線ＢＬｅの電位は、プリチャージ電位（約０．８Ｖ）を維持しているため、クランプ用のＭＯＳトランジスタＴＮ９（図２参照）がカットオフし、センスノード（ＤＴＮｉｊ）は、Ｖｄｄを維持する。
【０３１４】
この後、時刻ＳＣＬＫ１３に、ＳＥＮが“Ｈ”、ＳＥＮＢが“Ｌ”になり、クロックドインバータＣＩＮＶ１が動作状態となる（図２）。
【０３１５】
その結果、メモリセルのデータが“１１”、“１０”、“００”の場合には、クロックドインバータＣＩＮＶ１の出力ノードＮｂｉｊがＶｄｄとなる。メモリセルのデータが“０１”の場合には、クロックドインバータＣＩＮＶ１の出力ノードＮｂｉｊがＶｓｓとなる。
【０３１６】
また、時刻ＳＣＬＫ１４には、ＬＡＴが“Ｈ”、ＬＡＴＢが“Ｌ”になり、クロックドイ

ンバータＣＩＮＶ２が動作状態となる（図２）。即ち、読み出しデータ（センスノードのデータ）がラッチ回路ＬＡＴＣＨ１にラッチされる。

【０３１７】

この時、メモリセルのデータが“１１”、“１０”、“００”の場合には、出力ノードＮａｉｊがＶｓｓ、出力ノードＮｂｉｊがＶｄｄとなり、メモリセルのデータが“０１”の場合には、出力ノードＮａｉｊがＶｄｄ、出力ノードＮｂｉｊがＶｓｓとなる。

【０３１８】

そして、時刻ＳＣＬＫ１５に、ＤＴＧ１がＶｓｇ（約４．５Ｖ）になると、ラッチ回路ＬＡＴＣＨ１にラッチされていたデータが、本発明の第１の特徴であるＤＲＡＭセル、即ち、ノードＣＡＰ１ｉｊに転送される。ノードＣＡＰ１ｉｊには、データをラッチしておくためのキャパシタＤＬＮ（Ｃ１）が接続されているため、読み出しデータは、ノードＣＡＰ１ｉｊにラッチされる。

【０３１９】

以上の“ＲＥＡＤ０１”動作により、ＤＲＡＭセル、即ち、ノードＣＡＰ１ｉｊにラッチされるデータは、表１の通りになる。

【０３２０】

【表１】

"READ01"後のCAP1ij

	"11"	"10"	"00"	"01"
CAP1ij	Vss	Vss	Vss	Vdd

【０３２１】

つまり、この段階では、ノードＣＡＰ１ｉｊがＶｄｄ（“Ｈ”）のときに、偶数ページデータが“１”であることが明らかであるが、ノードＣＡＰ１ｉｊがＶｓｓ（“Ｌ”）のときには、偶数ページデータが“１”であるか又は“０”であるかは不明である。

【０３２２】

そこで、“ＲＥＡＤ０１”に引き続き、“ＲＥＡＤ１０”が行われる。

【０３２３】

１．－１．－２．　“ＲＥＡＤ１０”

図１７は、“ＲＥＡＤ１０”動作を示している。

“ＲＥＡＤ１０”動作は、読み出し電位（選択されたワード線の電位）をＶｃｇｒ１０（例えば、０Ｖ）に設定し、メモリセルのデータが“１１”であるか、又はそれ以外のデータ“１０”，“００”，“０１”であるかを認識する動作である。

【０３２４】

“ＲＥＡＤ１０”動作は、読み出し電位（選択されたワード線の電位）のレベルを除いて、“ＲＥＡＤ０１”動作とほぼ同じになっている。

【０３２５】

まず、時刻ＲＣＬＫ１から時刻ＲＣＬＫ６まで、選択されたワード線の電位のレベルを除いて、“ＲＥＡＤ０１”動作と同じ動作を行う。即ち、選択されたワード線の電位をＶｃｇｒ１０、選択ブロック内の非選択のワード線の電位をＶｒｅａｄにし、ビット線ＢＬｅをプリチャージした後、フローティング状態にし、ビット線ＢＬｏを接地電位Ｖｓｓにする。

【０３２６】

この後、時刻ＲＣＬＫ７に、セレクトゲート線ＳＧ２の電位ＳＧＳをＶｒｅａｄに設定すると、選択されたメモリセルのデータに応じて、ビット線ＢＬｅの電位が低下し又は維持

される。
【０３２７】
即ち、選択されたメモリセルのデータが、“１１”の場合には、Ｖｃｇｒ１０により、この選択されたメモリセルは、オン状態になるため、ビット線ＢＬｅの電荷が放電され、ビット線ＢＬｅの電位は、０．３Ｖ以下に低下する（選択ブロック内の非選択のメモリセルは、Ｖｒｅａｄにより、オン状態である。）。
【０３２８】
一方、選択されたメモリセルのデータが、“１０”、“００”、“０１”の場合には、Ｖｃｇｒ１０によっては、この選択されたメモリセルは、オン状態にならないため、ビット線ＢＬｅの電荷が放電されることはなく、ビット線ＢＬｅは、プリチャージ電位（約０．８Ｖ）を維持する。
【０３２９】
ここで、“ＲＥＡＤ１０”動作がＲＥＡＤ“０１”動作と異なる点は、時刻ＲＣＬＫ７においてＲＥＧ１がＶｄｄになる点にある。
【０３３０】
ＲＥＧ１がＶｄｄになると、ＭＯＳトランジスタＴＮ１０（図２）がオン状態になる。また、ＣＡＰＣＲＧは、Ｖｄｄであり、ＶＲＥＧ及びＤＴＧ２は、Ｖｓｓであるため、ノードＣＡＰ２ｉｊは、Ｖｓｓになっている。つまり、“ＲＥＡＤ０１”で読み出されたデータ（具体的には、ノードＣＡＰ１ｉｊにラッチされたデータ）の値に応じて、センスノード（ＤＴＮｉｊ）が、ＶＲＥＧ（Ｖｓｓ）に短絡されるか、又はＶＲＥＧから切り離されるかが決定される。
【０３３１】
例えば、ノードＣＡＰ１ｉｊにラッチされたデータがＶｄｄの場合（メモリセルのデータが“０１”の場合。上記表１参照。）には、ＭＯＳトランジスタＴＮ３（図２）がオン状態となるため、センスノード（ＤＴＮｉｊ）が、ＶＲＥＧ（Ｖｓｓ）に短絡される。その結果、ビット線ＢＬｅの電荷がＶＲＥＧに放電され、ビット線ＢＬｅの電位は、プリチャージ電位（約０．８Ｖ）からＶｓｓに変化する。
【０３３２】
一方、ノードＣＡＰ１ｉｊにラッチされたデータがＶｓｓの場合（メモリセルのデータが“１１”、“１０”、“００”の場合。上記表１参照。）には、ＭＯＳトランジスタＴＮ３（図２）がオフ状態となるため、センスノード（ＤＴＮｉｊ）が、ＶＲＥＧ（Ｖｓｓ）に短絡されることはない。その結果、ビット線ＢＬｅの電位は、選択されたメモリセルのデータに応じた値、即ち、“１１”の場合は、０．３Ｖ以下の電位、“１０”、“００”の場合には、プリチャージ電位（約０．８Ｖ）となる。
【０３３３】
つまり、“ＲＥＡＤ０１”を行った後、“ＲＥＡＤ１０”の時刻ＲＣＬＫ８の時点においては、選択されたメモリセルのデータが“１１”、“０１”の場合には、ビット線ＢＬｅの電位は、“Ｌ（Ｖｓｓ又は０．３Ｖ以下の電位）”となり、選択されたメモリセルのデータが“１０”、“００”の場合には、ビット線ＢＬｅの電位は、“Ｈ（プリチャージ電位）”となる。
【０３３４】
この後、“ＲＥＡＤ０１”動作と同様に、ビット線ＢＬｅの電位がセンスされ、かつ、ラッチ回路ＬＡＴＣＨ１にラッチされる。
【０３３５】
即ち、時刻ＳＣＬＫ６に、ＳＥＮ及びＬＡＴを共に“Ｌ”、ＳＥＮＢ及びＬＡＴＢを共に“Ｈ”にし、ラッチ回路ＬＡＴＣＨ１、即ち、クロックドインバータＣＩＮＶ１，ＣＩＮＶ２を非動作状態にする。
【０３３６】
時刻ＳＣＬＫ７に、ＢＬＣをＶｓｇ（約４．５Ｖ）にし、ｎＰＲＳＴを“Ｌ”にすると、センスノード（ＤＴＮｉｊ）がＶｄｄとなる。また、時刻ＳＣＬＫ８に、ｎＰＲＳＴが“

Ｈ”になると、センスノードは、フローティング状態になる。また、時刻ＳＣＬＫ９に、ＢＬＣＬＭＰが、Ｖｓｅｎｓｅ（例えば、約１．６Ｖ）になり、ビット線ＢＬｅの電位がセンスノードに伝わる。

【０３３７】

この時、メモリセルのデータが“１１”、“０１”の場合には、ビット線ＢＬｅの電位は、Ｖｓｓ又は０．３Ｖ以下の電位となっているため、センスノード（ＤＴＮｉｊ）の電位は、Ｖｄｄから、Ｖｓｓ又は０．３Ｖ以下の電位に低下する。また、メモリセルのデータが“１０”“００”の場合には、ビット線ＢＬｅの電位は、プリチャージ電位（約０．８Ｖ）を維持しているため、クランプ用のＭＯＳトランジスタＴＮ９（図２参照）がカットオフし、センスノード（ＤＴＮｉｊ）は、Ｖｄｄを維持する。

【０３３８】

この後、時刻ＳＣＬＫ１３に、ＳＥＮが“Ｈ”、ＳＥＮＢが“Ｌ”になり、クロックドインバータＣＩＮＶ１が動作状態となる（図２）。

【０３３９】

その結果、メモリセルのデータが“１１”、“０１”の場合には、クロックドインバータＣＩＮＶ１の出力ノードＮｂｉｊがＶｄｄとなる。メモリセルのデータが“１０”、“００”の場合には、クロックドインバータＣＩＮＶ１の出力ノードＮｂｉｊがＶｓｓとなる。

【０３４０】

また、時刻ＳＣＬＫ１４には、ＬＡＴが“Ｈ”、ＬＡＴＢが“Ｌ”になり、クロックドインバータＣＩＮＶ２が動作状態となる（図２）。即ち、読み出しデータ（センスノードのデータ）がラッチ回路ＬＡＴＣＨ１にラッチされる。

【０３４１】

以上の“ＲＥＡＤ１０”動作により、ラッチ回路ＬＡＴＣＨ１にラッチされるデータは、表２の通りになる。

【０３４２】

【表２】

偶数ﾍﾟｰｼﾞの読み出しﾃﾞｰﾀ

	"11"	"10"	"00"	"01"
Naij	Vss	Vdd	Vdd	Vss

【０３４３】

つまり、偶数ページデータが“１”のメモリセルでは、ラッチ回路ＬＡＴＣＨ１の出力ノードＮａｉｊの電位は、Ｖｓｓとなり、偶数ページデータが“０”のメモリセルでは、ラッチ回路ＬＡＴＣＨ１の出力ノードＮａｉｊの電位は、Ｖｄｄとなる。

【０３４４】

この後、ＣＳＬｉを“Ｈ”にすることにより、ラッチ回路ＬＡＴＣＨ１のデータ（偶数ページデータ）を、Ｉ／Ｏ線（ＩＯｊ，ｎＩＯｊ）に出力し、かつ、メモリチップの外部に出力する。

【０３４５】

なお、図１８は、上述した偶数ページデータの読み出し動作の特徴を簡潔にまとめたものである。つまり、本例では、“ＲＥＡＤ０１”で読み出したデータを記憶回路（ＤＲＡＭセル）にラッチし、そのデータが“Ｈ”のとき（メモリセルが“０１”状態のとき）のみ、次の“ＲＥＡＤ１０”において、センスノード（ＤＴＮｉｊ）を強制的に“Ｌ”にする。

【０３４６】
また、“ＲＥＡＤ１０”では、メモリセルが“１１”状態のときのみ、センスノードが“Ｌ”となるため、結局、メモリセルが、“１１”、“０１”状態のとき（偶数ページデータが“１”のとき）に、センスノード（ＤＴＮｉｊ）が“Ｌ”になり、メモリセルが、“１０”、“００”状態のとき（偶数ページデータが“０”のとき）に、センスノード（ＤＴＮｉｊ）が“Ｈ”になる。
【０３４７】
１．－２．　奇数ページデータの読み出し動作
図１３から明らかなように、“１１”状態と“１０”状態が、奇数ページデータが“１”であり、“００”状態と“０１”状態が、奇数ページデータが“０”である。つまり、奇数ページデータが“１”であるか又は“０”であるかは、１回の読み出し動作“ＲＥＡＤ００”により判断できる。
【０３４８】
従って、奇数ページデータの読み出し動作は、“ＲＥＡＤ００”のみからなる。
【０３４９】
１．－２．－１．　“ＲＥＡＤ００”
図１９は、“ＲＥＡＤ００”動作を示している。
“ＲＥＡＤ００”動作は、読み出し電位（選択されたワード線の電位）をＶｃｇｒ００（例えば、約０．７Ｖ）に設定し、メモリセルのデータが“１１”、“１０”であるか、又は、“００”，“０１”であるかを認識する動作である。
【０３５０】
“ＲＥＡＤ００”動作は、読み出し電位（選択されたワード線の電位）のレベルを除いて、“ＲＥＡＤ０１”動作とほぼ同じになっている。
【０３５１】
まず、選択されたワード線の電位をＶｃｇｒ００、選択ブロック内の非選択のワード線の電位をＶｒｅａｄにし、ビット線ＢＬｅをプリチャージした後、フローティング状態にし、ビット線ＢＬｏを接地電位Ｖｓｓにする（ＢＬｅは、選択ビット線、ＢＬｏは、シールドビット線である。）。
【０３５２】
この後、時刻ＲＣＬＫ７に、セレクトゲート線ＳＧ２の電位ＳＧＳをＶｒｅａｄに設定すると、選択されたメモリセルのデータに応じて、ビット線ＢＬｅの電位が低下し又は維持される。
【０３５３】
即ち、選択されたメモリセルのデータが、“１１”、“１０”の場合には、Ｖｃｇｒ００により、この選択されたメモリセルは、オン状態になるため、ビット線ＢＬｅの電荷が放電され、ビット線ＢＬｅの電位は、０．３Ｖ以下に低下する（選択ブロック内の非選択のメモリセルは、Ｖｒｅａｄにより、オン状態である。）。
【０３５４】
一方、選択されたメモリセルのデータが、“００”、“０１”の場合には、Ｖｃｇｒ００によっては、この選択されたメモリセルは、オン状態にならないため、ビット線ＢＬｅの電荷が放電されることはなく、ビット線ＢＬｅは、プリチャージ電位（約０．８Ｖ）を維持する。
【０３５５】
この後、“ＲＥＡＤ０１”動作と同様に、ビット線ＢＬｅの電位がセンスされ、かつ、ラッチ回路ＬＡＴＣＨ１にラッチされる。
【０３５６】
即ち、時刻ＳＣＬＫ６に、ＳＥＮ及びＬＡＴを共に“Ｌ”、ＳＥＮＢ及びＬＡＴＢを共に“Ｈ”にし、ラッチ回路ＬＡＴＣＨ１、即ち、クロックドインバータＣＩＮＶ１，ＣＩＮＶ２を非動作状態にする。
【０３５７】

時刻ＳＣＬＫ７に、ＢＬＣをＶｓｇ（約４．５Ｖ）にし、ｎＰＲＳＴを“Ｌ”にすると、センスノード（ＤＴＮｉｊ）がＶｄｄとなる。また、時刻ＳＣＬＫ８に、ｎＰＲＳＴが“Ｈ”になると、センスノードは、フローティング状態になる。また、時刻ＳＣＬＫ９に、ＢＬＣＬＭＰが、Ｖｓｅｎｓｅ（例えば、約１．６Ｖ）になり、ビット線ＢＬｅの電位がセンスノードに伝わる。

【０３５８】

この時、メモリセルのデータが“１１”、“１０”の場合には、ビット線ＢＬｅの電位は、０．３Ｖ以下の電位となっているため、センスノード（ＤＴＮｉｊ）の電位は、ＶｄｄからＯ．３Ｖ以下の電位に低下する。また、メモリセルのデータが“００”“０１”の場合には、ビット線ＢＬｅの電位は、プリチャージ電位（約０．８Ｖ）を維持しているため、クランプ用のＭＯＳトランジスタＴＮ９（図２参照）がカットオフし、センスノード（ＤＴＮｉｊ）は、Ｖｄｄを維持する。

【０３５９】

この後、時刻ＳＣＬＫ１３に、ＳＥＮが“Ｈ”、ＳＥＮＢが“Ｌ”になり、クロックドインバータＣＩＮＶ１が動作状態となる（図２）。

【０３６０】

その結果、メモリセルのデータが“１１”、“１０”の場合には、クロックドインバータＣＩＮＶ１の出力ノードＮｂｉｊがＶｄｄとなる。メモリセルのデータが“００”、“０１”の場合には、クロックドインバータＣＩＮＶ１の出力ノードＮｂｉｊがＶｓｓとなる。

【０３６１】

また、時刻ＳＣＬＫ１４には、ＬＡＴが“Ｈ”、ＬＡＴＢが“Ｌ”になり、クロックドインバータＣＩＮＶ２が動作状態となる（図２）。即ち、読み出しデータ（センスノードのデータ）がラッチ回路ＬＡＴＣＨ１にラッチされる。

【０３６２】

以上の“ＲＥＡＤ００”動作により、ラッチ回路ＬＡＴＣＨ１にラッチされるデータは、表３の通りになる。

【０３６３】

【表３】

奇数ﾍﾟｰｼﾞの読み出しﾃﾞｰﾀ

	"11"	"10"	"00"	"01"
Naij	Vss	Vss	Vdd	Vdd

【０３６４】

つまり、奇数ページデータが“１”のメモリセルでは、ラッチ回路ＬＡＴＣＨ１の出力ノードＮａｉｊの電位は、Ｖｓｓとなり、奇数ページデータが“０”のメモリセルでは、ラッチ回路ＬＡＴＣＨ１の出力ノードＮａｉｊの電位は、Ｖｄｄとなる。

【０３６５】

この後、ＣＳＬｉを“Ｈ”にすることにより、ラッチ回路ＬＡＴＣＨ１のデータ（奇数ページデータ）を、Ｉ／Ｏ線（ＩＯｊ，ｎＩＯｊ）に出力し、かつ、メモリチップの外部に出力する。

【０３６６】

なお、図２０は、上述した奇数ページデータの読み出し動作の特徴を簡潔にまとめたものである。つまり、本例では、“ＲＥＡＤ００”で読み出したデータがそのまま奇数ページデータとなる。従って、奇数ページデータの読み出し動作では、例えば、ラッチ回路（ＳＲＡＭセル）ＬＡＴＣＨ１のみを使用し、ＤＲＡＭセルは使用しない。

【０３６７】
２．　書き込み動作（Program operation）
書き込み動作は、図１４及び図１５においてその概要を説明したように、２回の書き込み動作、即ち、偶数ページデータの書き込み動作と奇数ページデータの書き込み動作とからなる。
【０３６８】
２．－１．　偶数ページデータの書き込み動作
まず、偶数ページデータの書き込み動作の概要（動作の流れ）について説明し、その後、具体的な回路動作（動作タイミング）について説明する。
【０３６９】
図２１は、偶数ページデータの書き込み動作の概要を示している。
【０３７０】
まず、例えば、“８０（１６進数）”コマンドがチップ内に入力される。この後、アドレス信号がチップ内に入力され、引き続いて、偶数ページの書き込みデータがチップ内に入力される。この書き込みデータは、チップ外部からチップ内部のＩ／Ｏ線ＩＯｊ，ｎＩＯｊを経由して、データ回路内のラッチ回路ＬＡＴＣＨ１（図２）に入力される（ステップＳＴ１～ＳＴ２）。
【０３７１】
次に、例えば、“１０（１６進数）”コマンドがチップ内に入力される。すると、書き込みパルスがメモリセルのワード線に印加される（ステップＳＴ３～ＳＴ４）。
【０３７２】
ここで、本例では、書き込み時間の短縮（書き込みの高速化）のため、ｎ回目の書き込みパルスの印加（ステップＳＴ４）と同時に、ｎ－１回目の書き込みパルスの印加により“１０”書き込みが十分に行われたか否かの検出を行うシーケンス（並列処理）を採用している（ステップＳＴ５）。
【０３７３】
但し、以下に示すように、書き込み時間の短縮（書き込みの高速化）を達成する他の手段として、本例では、書き込み電位（書き込みパルスの大きさ）を次第に上昇させていくと共に、書き込み動作の当初においては“１０”ベリファイリードを行わないようなシーケンスを採用する。
【０３７４】
従って、本例では、“１０”ベリファイリードを行っていない場合は、書き込みが十分に行われたか否かの検出（ステップＳＴ５）も行わない。
【０３７５】
書き込みパルスをワード線に印加する数が所定回数（例えば、９回）以下の場合には、“１０”ベリファイリードを省略し、書き込みパルスを続けて印加する（ステップＳＴ６）。書き込み動作の当初においてベリファイリードを省略することにより、書き込みの高速化を図ることができるためである。
【０３７６】
なお、“１０”ベリファイリード（ＶＥＲＩＦＹ１０）とは、“１０”書き込みを行うメモリセルに対して、きちんとデータ“１０”が書き込まれたか否かを検証するベリファイにおいて、その検証を行うために、ベリファイ読み出し電位Ｖｃｇｖ１０（図１３）で、メモリセルのデータを読み出すことをいう。
【０３７７】
本例では、書き込み電位（書き込みパルスのレベル）を初期値に設定して書き込みパルスの印加を開始し、この後、書き込みパルスを印加する毎に、ワード線に印加する書き込み電位を、所定値（例えば、約０．２Ｖ）ずつ、次第に上昇させていく。
【０３７８】
例えば、書き込み電位を約０．２Ｖずつ上昇させることにより、理想的には、“１０”書き込み状態のメモリセルの閾値電圧分布の幅を、０．２Ｖ程度にすることができる。実際

の動作では、ベリファイリードで生じるいわゆるアレイ・ノイズによって、“１０”書き込み状態のメモリセルの閾値電圧分布の幅は、０．４Ｖ程度になる。

【０３７９】

なお、図１３では、書き込み状態（“１０”、“００”、“０１”）のメモリセルの閾値電圧分布の幅は、０．４Ｖ程度であることを前提としている。

【０３８０】

書き込み動作の開始から例えば９回の書き込みパルスが印加されるまでの期間においては、書き込み電位は、十分に低く設定されており、“１０”書き込みを行うメモリセルに対する過剰の書き込み（閾値電圧がＶｃｇｒ００を超えるような書き込み）が行われることがない。

【０３８１】

このように、当初は、低い書き込み電位を有するパルスをワード線に印加し、パルスが印加される毎に、次第に、書き込み電位を上昇させていくようにしたのは、フローティングゲート電極に少しずつ電子を注入し、最終的に、所定量の電子をフローティングゲート電極に蓄積するためである。

【０３８２】

この場合、例えば、１回の書き込みパルスで所定量の電子を一度にフローティングゲート電極に注入する場合に比べ、１回の書き込みパルスによりメモリセルのトンネル酸化膜に印加される電界が低くなるため、トンネル酸化膜の信頼性が向上する。

【０３８３】

また、書き込み電位（書き込みパルスのレベル）は、低い値から高い値に次第に上昇させる。つまり、書き込み電位を次第に上昇させる場合は、当初の書き込み電位を高い値に設定してこの書き込み電位を次第に下降させる場合に比べて、経験的に、メモリセルの閾値電圧分布の幅を狭くできるからである。

【０３８４】

ワード線に対する書き込みパルスの印加回数が例えば１０回以上の場合には、“１０”書き込みを行うメモリセルに対して、データ“１０”がきちんと書き込まれたか否かを検証するために、書き込みパルスをワード線に印加した後に、“１０”ベリファイリードが行われる（ステップＳＴ６～ＳＴ７）。

【０３８５】

また、“１０”ベリファイリードによりメモリセルから読み出されたデータは、“１０”書き込みが十分に行われたか否かを示すデータであり、このデータは、データ回路内のラッチ回路ＬＡＴＣＨ１に記憶される。

【０３８６】

この後、次の書き込みパルスをワード線に印加する動作（ステップＳＴ４）に並列して、ラッチ回路ＬＡＴＣＨ１のデータに基づき、直前の書き込みパルスにより“１０”書き込みが十分に行われたか否かを検証する動作（Program completion detection）が実行される（ステップＳＴ５）。

【０３８７】

具体的には、偶数ページデータの書き込み動作では、図１４に示すように、“１１”書き込みと“１０”書き込みが存在する。“１１”書き込みとは、消去状態（“１１”）を維持することを意味し、“１０”書き込みは、書き込みパルスにより、閾値電圧を上昇させ、“１１”状態を“１０”状態にすることを意味する。

【０３８８】

全ての選択されたメモリセル（カラム）に対して所定のデータ“１１”、“１０”が十分に書き込まれた場合（実際には、“１０”書き込みの対象となるメモリセルに十分にデータ“１０”が書き込まれた場合）には、偶数ページデータの書き込み動作が終了する。

【０３８９】

少なくとも１つの選択されたメモリセル（カラム）に対して所定のデータ“１１”、“１０”が十分に書き込まれていない場合（実際には、“１０”書き込みの対象となるメモリ

セルの全てに十分にデータ“１０”が書き込まれていない場合）には、引き続き、“１０”ベリファイリード及び書き込みパルスの印加が行われる。

【０３９０】

なお、一般的には、書き込み十分のメモリセルに対しては、以後、トンネル酸化膜に高電界を印加しないようにし、書き込み不十分のメモリセルに対してのみ、続けて、トンネル酸化膜に高電界を印加（再書き込み）するようにし、書き込み特性の良好なメモリセルに対して過剰な書き込みを防止する。

【０３９１】

ところで、本例では、書き込みの十分／不十分を検出する動作（Program completion detection）を、書き込みパルスをワード線に印加する動作と並列して行っているが、例えば、Program completion detectionを、“１０”ベリファイリードの直後に行い、その後、Program completion detectionの結果が不十分の場合に、再度、書き込みパルスの印加を行うようにしてもよい。

【０３９２】

偶数ページデータの書き込み動作の概要については、以上の通りである。

【０３９３】

上述したように、偶数ページデータの書き込み動作は、書き込みパルス印加、“１０”ベリファイリード（ＶＥＲＩＦＹ１０）及び Program completion detection （書き込みが十分に行われたか否かの検出）からなる。

【０３９４】

以下では、これら３つの動作について順次詳細に説明する。

２．－１．－１．　書き込みパルス印加

図２２は、書き込みパルス印加に関する動作タイミングを示している。

データ回路（カラム）側では、まず、“１０”書き込みを行う場合（偶数ページデータ“０”をメモリセルに書き込む場合）には、書き込みデータをチップ外部からラッチ回路ＬＡＴＣＨ１（図２）に入力し、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊに“Ｌ”をラッチする。

【０３９５】

また、“１１”書き込みを行う場合（偶数ページデータ“１”をメモリセルに書き込む場合）には、書き込みデータをチップ外部からラッチ回路ＬＡＴＣＨ１（図２）に入力し、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊに“Ｈ”をラッチする。

【０３９６】

一方、ワード線制御回路（ロウ）側では、まず、ロウアドレスデコーダ（図９、図１１）において、ＲＤＥＣＰＢが“Ｌ”に設定される。この時、ＲＤＥＣＡＤ（図９）及びＲＤＥＣＡＤＳ１（図１１）は、共に、“Ｌ（Ｖｓｓ）”であり、全てのメモリセルブロックは、非選択状態となっている。

【０３９７】

この後、ＲＤＥＣＰＢが“Ｌ”から“Ｈ”に変化する。この時、ＭＯＳトランジスタＴＰ４がオフ状態、ＭＯＳトランジスタＴＮ２１がオン状態になる（図９、図１１）。

【０３９８】

また、選択されたメモリセルブロックでは、全てのロウアドレス信号ＡＲＯＷｉ，…ＡＲＯＷｊが“Ｈ”になり、ＲＤＥＣＡＤ（図９）及びＲＤＥＣＡＤＳ１（図１１）が、共に、“Ｈ”になる。非選択のメモリセルブロックでは、ロウアドレス信号ＡＲＯＷｉ，…ＡＲＯＷｊの少なくとも１つが“Ｌ”であるため、ＲＤＥＣＡＤ（図９）及びＲＤＥＣＡＤＳ１（図１１）は、“Ｌ”を維持する。

【０３９９】

選択されたメモリセルブロック内のワード線ドライバ（図１０、図１２）では、入力信号ＲＤＥＣＡＤ，ＲＤＥＣＡＤＳ１が“Ｈ”となるため、オシレーション信号（クロック信号）Ｏｗｃにより、高電圧スイッチ回路（ＮＭＯＳチャージポンプ回路）２６が動作する。

【０４００】
従って、選択されたメモリセルブロック内のワード線ドライバ（図１０、図１２）では、高電圧スイッチ回路２６の出力ノードに、電位ＶＲＤＥＣに基づいて生成された昇圧電位ＶｐｇｍＨ（書き込み電位Ｖｐｇｍよりも２Ｖ程度高い電位）が転送される。
【０４０１】
例えば、第１メモリセルブロック内のワード線ドライバＲＭＡＩＮ１（図１０）が選択された場合には、出力ノードＴｒａｎｓｆｅｒＧ１に、電位ＶｐｇｍＨ（例えば、約１８～２２Ｖ）が転送され、第２メモリセルブロック内のワード線ドライバＲＭＡＩＮ２（図１２）が選択された場合には、出力ノードＴｒａｎｓｆｅｒＧ２に、電位ＶｐｇｍＨが転送される。
【０４０２】
その結果、転送用トランジスタＨＮｔ１，ＨＮｔ２，…ＨＮｔ１６のゲートは、十分に高い電位となり、信号線ＣＧ１，ＣＧ２，…ＣＧ１６の電位は、いわゆる閾値落ちなしに、転送用トランジスタＨＮｔ１，ＨＮｔ２，…ＨＮｔ１６を経由して、ワード線（コントロールゲート線）ＷＬ１，ＷＬ２，…ＷＬ１６に転送される。
【０４０３】
また、信号線ＳＧＤ，ＳＧＳの電位も、転送用トランジスタＨＮ５，ＨＮ６を経由して、セレクトゲート線ＳＧ１，ＳＧ２に転送される。
【０４０４】
ここで、信号線ＣＧ１，ＣＧ２，…ＣＧ１６のうち、選択された１本の信号線の電位は、切替回路（図１）により、Ｖｐｇｍ（例えば、約１６～２０Ｖ）に設定され、残りの非選択の信号線の電位は、切替回路（図１）により、Ｖｐａｓｓ（例えば、約１０Ｖ）に設定される。
【０４０５】
また、信号線ＳＧＤの電位は、Ｖｄｄに設定され、ＳＧＳの電位は、Ｖｓｓに設定される。
【０４０６】
一方、非選択のメモリセルブロック内のワード線ドライバ（図１０、図１２）では、高電圧スイッチ回路２６の出力ノードＴｒａｎｓｆｅｒＧ１，Ｔｒａｎｓｆｅｒ Ｇ２に、電位ＲＤＥＣＡＤ，ＲＤＥＣＡＤＳ２が転送される。
【０４０７】
つまり、非選択のメモリセルブロック内のワード線ドライバ（図１０，図１２）では、出力ノードＴｒａｎｓｆｅｒＧ１，Ｔｒａｎｓｆｅｒ Ｇ２は、共に、接地電位Ｖｓｓになる。
【０４０８】
その結果、転送用トランジスタＨＮｔ１，ＨＮｔ２，…ＨＮｔ１６は、オフ状態となり、ワード線（コントロールゲート線）ＷＬ１，ＷＬ２，…ＷＬ１６は、フローティング状態になる。セレクトゲート線ＳＧ１，ＳＧ２は、信号線ＳＧＳ，ＳＧＤにより接地される。
【０４０９】
図２２の動作タイミングについて詳細に説明する。
なお、本例では、ビット線ＢＬｅに接続されるメモリセルが選択されるものとして説明する。
【０４１０】
ロウ側（ワード線制御回路側）では、まず、時刻ＰＬＣＫ１に、ＢＳＴＯＮが“Ｈ”になる。この時、選択されたメモリセルブロックでは、ワード線ドライバ内の高電圧スイッチ回路の出力ノード（Ｔｒａｎｓｆｅｒ Ｇ１又はＴｒａｎｓｆｅｒ Ｇ２）に、Ｖｄｄ（ＲＤＥＣＡＤ又はＲＤＥＣＡＤＳ２）が転送される。
【０４１１】
また、時刻ＰＣＬＫ３に、ＢＳＴＯＮが“Ｌ”になり、時刻ＰＣＬＫ４に、ＶＲＤＥＣがＶｐｇｍＨになるため、選択されたメモリセルブロックでは、ワード線ドライバ内の高電

圧スイッチ回路の出力ノード（ＴｒａｎｓｆｅｒＧ１又はＴｒａｎｓｆｅｒＧ２）の電位が、ＶｐｇｍＨに上昇する。

【０４１２】

一方、カラム側（データ回路側）では、時刻ＰＣＬＫ１に、ＢＬＣ及びＢＬＣＬＭＰが、それぞれＶｓｇ（例えば、約６Ｖ）となり、時刻ＰＣＬＫ４に、ＢＬＳｅが、ＶｓｇＨＨとなる。その結果、ラッチ回路ＬＡＴＣＨ１とビット線ＢＬｅが電気的に接続され、ラッチ回路ＬＡＴＣＨ１のデータがビット線ＢＬｅに転送される。

【０４１３】

例えば、“１０”書き込みを行うメモリセルが接続されるビット線（選択ビット線）ＢＬｅには、ラッチ回路ＬＡＴＣＨ１からＶｓｓが転送される（ラッチ回路のノードＮａｉｊは、Ｖｓｓ。）。また、“１１”書き込みを行う（消去状態を維持する）メモリセルが接続されるビット線（選択ビット線）ＢＬｅには、ラッチ回路ＬＡＴＣＨ１からＶｄｄが転送される（ラッチ回路のノードＮａｉｊは、Ｖｄｄ。）。

【０４１４】

なお、非選択ビット線ＢＬｏの電位は、Ｖｄｄに設定される。即ち、ＢＬＳｏは、常にＶｓｓに設定され、時刻ＰＬＣＫ４に、ＢＩＡＳｏがＶｓｇＨＨとなり、ＢＬＣＲＬがＶｄｄとなるため、ＢＬＣＲＬからビット線ＢＬｏにＶｄｄが転送される。

【０４１５】

そして、ビット線ＢＬｅ，ＢＬｏの充電が終了した後、時刻ＰＣＬＫ５に、非選択のワード線ＣＧ unselect が、Ｖｐａｓｓ（例えば、約１０Ｖ）に設定される。また、時刻ＰＣＬＫ６には、選択されたワード線ＣＧ select が、Ｖｐｇｍｍ（例えば、１６～２０Ｖ程度）に設定される。

【０４１６】

“１０”書き込みを行うメモリセルが接続される選択ビット線ＢＬｅは、Ｖｓｓであるため、そのメモリセルのチャネル電位も、Ｖｓｓである。従って、“１０”書き込みを行うメモリセルでは、チャネルとコントロールゲート電極（選択されたワード線）との間に高電界がかかり、チャネルからフローティングゲート電極に電子が注入される。

【０４１７】

“１１”書き込みを行うメモリセルが接続される非選択ビット線ＢＬｅは、Ｖｄｄであり、セレクトゲート線ＳＧ１も、Ｖｄｄである。つまり、“１１”書き込みを行うメモリセルとビット線との間に接続されるセレクトトランジスタは、カットオフする。

【０４１８】

従って、非選択のワード線の電位がＶｐａｓｓになり、選択されたワード線の電位がＶｐｇｍになると、“１１”書き込みを行うメモリセルのチャネルとワード線の間の容量カップリングにより、“１１”書き込みを行うメモリセルのチャネル電位は、８Ｖ程度まで上昇する。

【０４１９】

その結果、“１１”書き込みを行うメモリセルでは、チャネルとコントロールゲート電極（選択されたワード線）との間に高電界が印加されず、チャネルからフローティングゲート電極に電子が注入されない（“１０”書き込みが禁止される。即ち、消去状態を維持する）。

【０４２０】

ところで、ビット線ＢＬｏの電位は、Ｖｄｄである。従って、セレクトゲート線ＳＧ１がＶｄｄになると、ビット線ＢＬｏに接続されるセレクトトランジスタは、カットオフする。つまり、ビット線ＢＬｏに接続される非選択のメモリセルでは、チャネル電位が上昇し、“１０”書き込みが禁止される。

【０４２１】

なお、時刻ＰＣＬＫ６から時刻ＣＣＬＫ１０／ＰＲＣＶ１までの期間で、書き込みパルスは、選択されたワード線に印加される。

【０４２２】

そして、時刻ＰＲＣＶ１に、選択されたワード線の電荷を放電し、選択されたワード線の電位をＶｐｇｍからＶｓｓにする。また、時刻ＰＲＣＶ２に、非選択のワード線の電荷を放電し、非選択のワード線を、転送電位ＶｐａｓｓからＶｓｓにする。さらに、時刻ＰＲＣＶ３に、ビット線ＢＬｅ，ＢＬｏの電荷を放電する。

【０４２３】

なお、図２３は、書き込みパルス印加時における様子を示したものである。即ち、偶数ページデータが“０”のとき、書き込みセルのチャネルに接地電位Ｖｓｓ（“Ｌ”）が転送され、偶数ページデータが“１”のとき、書き込みセルのチャネルは、Ｖｄｄ－Ｖｔｈで、フローティング状態となる。

【０４２４】

２．－１．－２．　“ＶＥＲＩＦＹ１０”

図２４は、“１０”ベリファイリードの動作タイミングを示している。

“１０”ベリファイリード（ＶＥＲＩＦＹ１０）では、ビット線をプリチャージした後、選択されたワード線をＶｃｇｖ１０（例えば、約０．１５Ｖ）にし、ビット線の電位変化を検出し、メモリセルのデータを読み出す。

【０４２５】

ここで、ラッチ回路ＬＡＴＣＨ１（図２）には、既に、書き込みデータがラッチされているため、ベリファイリードでは、読み出しデータが書き込みデータと衝突しないようにしなければならない。

【０４２６】

そこで、ビット線に対するプリチャージや、放電（セルデータの読み出し）を行っている間に、ラッチ回路ＬＡＴＣＨ１に記憶された書き込みデータを、ノードＣＡＰ２ｉｊに転送し、かつ、一時記憶する。

【０４２７】

具体的には、以下のようになる。

まず、時刻ＲＣＬＫ１に、ＣＡＰＣＲＧ及びＶＲＥＧを、それぞれＶｄｄに設定し、時刻ＲＣＬＫ４に、ＢＯＯＴをＶｓｓに設定する。時刻ＲＣＬＫ５に、ＶＲＥＧがＶｓｓになると、ノードＣＡＰ２ｉｊは、Ｖｓｓにリセットされる。なお、この間、ＤＴＧ２は、Ｖｓｓになっている。

【０４２８】

時刻ＲＣＬＫ９／ＳＣＬＫ１に、ＣＡＰＣＲＧがＶｓｓになり、ノードＣＡＰ２ｉｊは、フローティング状態になる。この後、時刻ＳＣＬＫ２に、ＤＴＧ２がＶｓｇ（例えば、約４．５Ｖ）になり、ラッチ回路ＬＡＴＣＨ１にラッチされた書き込みデータは、ＭＯＳトランジスタＴＮ２を経由して、ノードＣＡＰ２ｉｊに転送され、かつ、一時記憶される。

【０４２９】

即ち、偶数ページの書き込みデータが“０”の場合（“１０”書き込みを行う場合）には、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊが“Ｌ”であるため、ノードＣＡＰ２ｉｊは、Ｖｓｓになる。

【０４３０】

また、偶数ページの書き込みデータが“１”の場合（“１１”書き込みを行う場合）には、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊが“Ｈ”であるため、ノードＣＡＰ２ｉｊは、Ｖｄｄになる。

【０４３１】

この後、時刻ＳＣＬＫ３に、ＤＴＧ２がＶｄｄになり、時刻ＳＣＬＫ４に、ＢＯＯＴがＶｄｄになる。

【０４３２】

この時、偶数ページの書き込みデータが“０”の場合（“１０”書き込みを行う場合）には、ノードＣＡＰ２ｉｊは、Ｖｓｓのままとなる。また、偶数ページの書き込みデータが“１”の場合（“１１”書き込みを行う場合）には、ノードＣＡＰ２ｉｊの電位は、キャパシタＤＬＮ（Ｃ２）によりブートされるため、Ｖｄｄ（例えば、約２．３Ｖ）から３．

５Ｖ程度に上昇する。
【０４３３】
この後、時刻ＳＣＬＫ５に、ＤＴＧ２がＶｓｓになり、ノードＣＡＰ２ｉｊは、ラッチ回路ＬＡＴＣＨ１から電気的に切り離される。
【０４３４】
一方、メモリセルのデータは、通常の読み出し動作（ＲＥＡＤ１０）と同様にして、ビット線ＢＬｅに読み出される。
【０４３５】
即ち、ビット線ＢＬｅのプリチャージなどを行った後、時刻ＲＣＬＫ７に、ＳＧＳがＶｒｅａｄとなり、メモリセルのデータに応じて、ビット線ＢＬｅの電位が変化する。
【０４３６】
例えば、“１１”書き込みを行う選択メモリセル（偶数ページの書き込みデータが“１”の選択メモリセル）では、Ｖｃｇｖ１０により、その選択メモリセルがオン状態になるため、ビット線ＢＬｅの電荷が放電され、ビット線ＢＬｅは、０．３Ｖ以下の電位となる。
【０４３７】
また、“１０”書き込みを行う選択メモリセル（偶数ページの書き込みデータが“０”の選択メモリセル）において、“１０”書き込み不十分の場合には、Ｖｃｇｖ１０により、その選択メモリセルがオン状態になるため、ビット線ＢＬｅの電荷が放電され、ビット線ＢＬｅは、０．３Ｖ以下の電位となる。
【０４３８】
また、“１０”書き込みを行う選択メモリセル（偶数ページの書き込みデータが“０”の選択メモリセル）において、“１０”書き込み十分の場合には、Ｖｃｇｖ１０により、その選択メモリセルはオフ状態になるため、ビット線ＢＬｅの電荷は放電されず、ビット線ＢＬｅは、０．８Ｖを維持する。
【０４３９】
この後、時刻ＳＣＬＫ６に、ＳＥＮ及びＬＡＴが共に“Ｌ”、ＳＥＮＢ及びＬＡＴＢが共に“Ｈ”になり、データ回路内のラッチ回路ＬＡＴＣＨ１、即ち、クロックドインバータＣＩＮＶ１，ＣＩＮＶ２が非動作状態となる。
【０４４０】
なお、この時、書き込みデータは、既に、ノードＣＡＰ２ｉｊに転送され、かつ、時刻ＳＣＬＫ５の時点で、ノードＣＡＰ２ｉｊは、ラッチ回路ＬＡＴＣＨ１から電気的に切断されている。
【０４４１】
時刻ＳＣＬＫ７に、ＢＬＣがＶｓｇ（例えば、約４．５Ｖ）、ｎＰＲＳＴが“Ｌ”になることで、センスノード（ＤＴＮｉｊ）が充電され、センスノードは、Ｖｄｄになる（Ｎａｉｊも、Ｖｄｄとなる。）。また、時刻ＳＣＬＫ８に、ｎＰＲＳＴがＶｄｄになると、センスノード（ＤＴＮｉｊ）は、フローティング状態となる。
【０４４２】
時刻ＳＣＬＫ９に、ＢＬＣＬＭＰがＶｓｅｎｓｅ（例えば、約１．６Ｖ）になると、ビット線ＢＬｅに読み出されたメモリセルのデータは、センスノード（ＤＴＮｉｊ）に転送される。
【０４４３】
即ち、“１１”書き込みを行う選択メモリセル（偶数ページの書き込みデータが“１”の選択メモリセル）と、“１０”書き込みを行う選択メモリセル（偶数ページの書き込みデータが“０”の選択メモリセル）のうち書き込みが不十分であるメモリセルに関しては、ビット線ＢＬｅは、０．３Ｖ以下の電位となっているため、センスノード（ＤＴＮｉｊ）も、０．３Ｖ以下の電位に低下する。
【０４４４】
“１０”書き込みを行う選択メモリセル（偶数ページの書き込みデータが“０”の選択メモリセル）のうち書き込みが十分に行われたメモリセルに関しては、ビット線ＢＬｅの電

位は、０．８Ｖを維持しているため、クランプ用のＭＯＳトランジスタＴＮ９がカットオフし、センスノード（ＤＴＮｉｊ）は、Ｖｄｄを維持する。

【０４４５】

時刻ＳＣＬＫ１０において、センスノード（ＤＴＮｉｊ）の電位は、表４に示す通りとなる。

【０４４６】

【表４】

"VERIFY10"中のｾﾝｽﾉｰﾄﾞ(DTNij・Naij)

	"11"書き込み (書き込み非選択)	"10"書き込み 不十分	"10"書き込み 十分
SCLK10の時点	"LOW"	"LOW"	"HIGH"
SCLK12の時点	"HIGH"	"LOW"	"HIGH"

【０４４７】

この後、通常の読み出し動作（ＲＥＡＤ１０）と異なり、“１０”ベリファイリードでは、時刻ＳＣＬＫ１１に、ＲＥＧ２がＶｓｇとなり、ＭＯＳトランジスタＴＮ６がオン状態となる。

【０４４８】

“１１”書き込みを行う場合（偶数ページの書き込みデータが“１”の場合）には、ノードＣＡＰ２ｉｊには、“Ｈ”がラッチされているため、ＭＯＳトランジスタＴＮ１は、オン状態である。つまり、ＣＯＭｉ（Ｖｄｄに設定されている）とセンスノード（ＤＴＮｉｊ）が短絡し、その結果、センスノード（ＤＴＮｉｊ）は、Ｖｄｄとなる。

【０４４９】

“１０”書き込みを行う場合（偶数ページの書き込みデータが“０”の場合）には、ノードＣＡＰ２ｉｊには、“Ｌ”がラッチされているため、ＭＯＳトランジスタＴＮ１は、オフ状態である。つまり、ＣＯＭｉ（Ｖｄｄに設定されている）とセンスノード（ＤＴＮｉｊ）は電気的に切り離されているため、センスノード（ＤＴＮｉｊ）の電位の変化はない。

【０４５０】

従って、時刻ＳＣＬＫ１２におけるセンスノード（ＤＴＮｉｊ）の電位は、上記表４に示す通りになる。

【０４５１】

この後、時刻ＳＣＬＫ１３に、ＳＥＮがＶｄｄ、ＳＥＮＢがＶｓｓとなり、クロックドインバータＣＩＮＶ１が動作状態となり、センスノード（ＤＴＮｉｊ）の電位をセンスする。

【０４５２】

上記表４に示すように、“１１”書き込みの場合及び“１０”書き込み十分の場合には、センスノード（ＤＴＮｉｊ）は、それぞれ“Ｈ”であるため、クロックドインバータＣＩＮＶ１の出力ノードＮｂｉｊは、Ｖｓｓになる。また、“１０”書き込み不十分の場合には、センスノード（ＤＴＮｉｊ）は、“Ｌ”であるため、クロックドインバータＣＩＮＶ１の出力ノードＮｂｉｊは、Ｖｄｄになる。

【０４５３】

この後、時刻ＳＣＬＫ１４に、ＬＡＴがＶｄｄ、ＬＡＴＢがＶｓｓになり、読み出しデー

タがラッチ回路ＬＡＴＣＨ１にラッチされる。

【０４５４】

つまり、“１１”書き込みの場合及び“１０”書き込み十分の場合には、ノードＮａｉｊは、Ｖｄｄとなり、ノードＮｂｉｊは、Ｖｓｓとなる。“１０”書き込み不十分の場合には、ノードＮａｉｊは、Ｖｓｓとなり、ノードＮｂｉｊは、Ｖｄｄとなる。

【０４５５】

“１０”ベリファイリードを終了した時点におけるラッチ回路ＬＡＴＣＨ１のデータは、表５に示す通りとなる。

【０４５６】

【表５】

"BERIFY10"後におけるﾗｯﾁ回路LATCH1のﾃﾞｰﾀ

	"11"書き込み (書き込み非選択)	"10"書き込み 不十分	"10"書き込み 十分
Naij	"Vdd"	"Vss"	"Vdd"
Nbij	"Vss"	"Vdd"	"Vss"

【０４５７】

なお、このラッチ回路ＬＡＴＣＨ１のデータが、新規の書き込みデータ（偶数ページデータ）として、以後、使用される。つまり、“ＶＥＲＩＦＹ１０”において、ノードＣＡＰ２ｉｊにラッチされたデータは、後述する Program completion detection において消えてしまう。

【０４５８】

このようにすることで、書き込みデータ（偶数ページデータ）が“０”（即ち、“Ｌ”）のときに、書き込み（“１０”書き込み）を実行すると共に、書き込み十分になると、書き込みデータを“０”（“Ｌ”）から“１”（“Ｈ”）に変化させ、それ以降は、書き込み（“１０”書き込み）が行われないようにしている。

【０４５９】

ところで、上述の“１０”ベリファイリードにおいて、時刻ＳＣＬＫ４に、ＢＯＯＴを、ＶｓｓからＶｄｄにして、“１１”書き込みの場合のノードＣＡＰ２ｉｊの電位を４Ｖ程度までブートしている理由は、時刻ＳＣＬＫ１１に、ＲＥＧ２をＶｓｇにしたときに、センスノード（ＤＴＮｉｊ）を、ＮチャネルＭＯＳトランジスタＴＮ１の閾値電圧分の閾値落ちなしに、Ｖｄｄに設定するためである。

【０４６０】

仮に、“１１”書き込みの場合のノードＣＡＰ２ｉｊの電位がＶｄｄ（例えば、約２．３Ｖ）であるとすると、時刻ＳＣＬＫ１１に、センスノード（ＤＴＮｉｊ）は、１．５Ｖ程度までしか上昇しない。

【０４６１】

論理動作上は、センスノードの１．５Ｖを“Ｈ”と認識できると考えられるが、この場合、センス時（ＳＣＬＫ１３）に、クロックドインバータＣＩＮＶ１において貫通電流が流れる欠点がある。データ回路は、チップ内に、４０００個或いは８０００個或いは１６００００個あるので、全てのデータ回路のクロックドインバータＣＩＮＶ１に貫通電流が流れるとすると、チップ合計では、１００ｍＡ程度の大電流になってしまう。

【０４６２】
その結果、チップ内電源電位Ｖｄｄが降下したり、消費電流が大幅に増加するなどという問題が生じる。
【０４６３】
本例のように、“１１”書き込みの場合のノードＣＡＰ２ｉｊの電位を４Ｖ程度までブートしておけば、ＭＯＳトランジスタＴＮ１における閾値落ちなしに、センスノード（ＤＴＮｉｊ）を充電でき、上述のような電源電位Ｖｄｄの降下や消費電流の増大を防ぐことができる。
【０４６４】
なお、図２５は、“１０”ベリファイリード時の様子をまとめたものである。即ち、ラッチ回路ＬＡＴＣＨ１にラッチされた書き込みデータがＤＲＡＭセルに転送された後、読み出しデータがセンスノード（ＤＴＮｉｊ）に転送される。
【０４６５】
この時、ＤＲＡＭセルにラッチされたデータが“Ｈ”、即ち、“１１”書き込み又は“１０”書き込み十分を示していると、読み出しデータにかかわらず、センスノード（ＤＴＮｉｊ）は、“Ｈ”となる。
【０４６６】
つまり、ＤＲＡＭセルにラッチされたデータが“Ｌ”、即ち、“１０”書き込み不十分を示しているときのみ、メモリセルの状態に応じたデータがセンスノード（ＤＴＮｉｊ）に転送される。
【０４６７】
例えば、メモリセルの状態が“１０”状態に達していない場合（“１０”不十分の場合）には、センスノード（ＤＴＮｉｊ）は、“Ｌ”となり、メモリセルの状態が“１０”状態に達っした場合（“１０”十分の場合）には、センスノード（ＤＴＮｉｊ）は、“Ｈ”となる。
【０４６８】
そして、センスノード（ＤＴＮｉｊ）のデータは、ラッチ回路ＬＡＴＣＨ１にラッチされる。
【０４６９】
なお、以後は、ラッチ回路ＬＡＴＣＨ１にラッチされたデータに基づいて、次の書き込みパルスの印加及び次の“１０”ベリファイリードが行われる。
【０４７０】
２．－１．－３．　“ Program completion detection ”
“ＶＥＲＩＦＹ１０”の後、“１０”書き込みを行うメモリセルの全てに対して、きちんと“１０”書き込みが行われたか否かを検出する“ Program completion detection "動作が行われる。この検出は、“ＶＥＲＩＦＹ１０”によってラッチ回路ＬＡＴＣＨ１にラッチされたデータ（表５参照）に基づいて行われる。そして、“１０”書き込みが十分でない場合には、再書き込み（書き込みパルスの印加）が実行され、“１０”書き込みが十分な場合は、書き込み（書き込みパルスの印加）を終了する。
【０４７１】
図２６は、“ Program completion detection ”の動作タイミングを示している。
この“ Program completion detection ”では、図５の一括検知回路が使用される。
【０４７２】
なお、図１９の動作の概要で説明したように、“ＶＥＲＩＦＹ１０”を終了した後に、次の“書き込みパルスの印加”が直ちに行われ、“ Program completion detection ”は、この“書き込みパルスの印加”に並列して実行される。
【０４７３】
従って、時刻ＰＣＬＫ７／ＣＣＬＫ１は、図２２中における時刻ＰＣＬＫ７／ＣＣＬＫ１と同じである。
【０４７４】

また、偶数ページデータの書き込み動作における“ Program completion detection ”では、図２６の時刻ＣＣＬＫ５が時刻ＣＣＬＫ９となる。つまり、時刻ＣＣＬＫ５までの動作が実行され、時刻ＣＣＬＫ５から時刻ＣＣＬＫ９までの動作は省略される。

【０４７５】

なお、時刻ＣＣＬＫ５から時刻ＣＣＬＫ９までの動作は、後述する奇数ページデータの書き込み動作における“ Program completion detection ”において実行される。

【０４７６】

まず、時刻ＣＣＬＫ１に、ＣＡＰＣＲＧがＶｓｇ、ＶＲＥＧがＶｄｄになり、ノードＣＡＰ２ｉｊが充電され、ノードＣＡＰ２ｉｊの電位は、Ｖｄｄになる（ＤＴＧ２はＶｓｓ）。

【０４７７】

この時、“ＶＥＲＩＦＹ１０”において、ノードＣＡＰ２ｉｊにラッチされたデータ（偶数ページデータ）は、消滅してしまう。しかし、“ＶＥＲＩＦＹ１０”において、既に、新たな書き込みデータがラッチ回路ＬＡＴＣＨ１にラッチされているため、書き込みデータが完全に消えることはない。

【０４７８】

つまり、書き込みデータ（偶数ページデータ）が“０”（即ち、“Ｌ”）のときに、書き込み（“１０”書き込み）が実行されるが、書き込み十分になると、書き込みデータは、“０”から“１”に変化し、それ以降は、書き込み（“１０”書き込み）が行われないようにしている。

【０４７９】

この後、時刻ＣＣＬＫ２（ＤＣＬＫ１）に、ＣＯＭＨｎ（図５）がＶｓｓからＶｄｄ、ＮＣＯＭＬ（図５）がＶｄｄからＶｓｓになると、ＣＯＭｉ１及びＣＯＭｉ２は、それぞれＶｄｄ、かつ、フローティング状態になり、ＮＣＯＭは、Ｖｓｓ、かつ、フローティング状態になる。

【０４８０】

時刻ＤＣＬＫ２に、例えば、ＲＥＧ２－０がＶｄｄになる。この時、図５において、第１及び第５のデータ回路が選択され、第１のデータ回路内のＲＥＧ２と第５のデータ回路内のＲＥＧ２がそれぞれＶｄｄになる。

【０４８１】

第１及び第５のデータ回路の双方において、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊのデータがＶｄｄの場合（表５参照）、即ち、“１１”書き込み（書き込み非選択）又は“１０”書き込み十分の場合には、センスノードＤＴＮｉｊは、Ｖｄｄを維持しているため、ＭＯＳトランジスタＴＮ６（図２）はオフ状態となり、ＣＯＭｉ１及びＣＯＭｉ２は、Ｖｄｄを保つ。従って、ＮＣＯＭは、Ｖｓｓを維持する。

【０４８２】

一方、第１及び第５のデータ回路の少なくとも一方において、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊのデータがＶｓｓの場合（表５参照）、即ち、“１０”書き込み不十分の場合には、センスノードＤＴＮｉｊは、Ｖｓｓを維持しているため、ＭＯＳトランジスタＴＮ６（図２）はオン状態となり、ＣＯＭｉ１又はＣＯＭｉ２は、ＶｄｄからＶｓｓに変化する。従って、ＮＣＯＭは、ＶｓｓからＶｄｄに変化する。

【０４８３】

同様にして、順次、ＲＥＧ２－１，ＲＥＧ２－２，ＲＥＧ２－３がＶｄｄになる。つまり、ＲＥＧ２－１がＶｄｄのとき、第２及び第６のデータ回路が選択され、ＲＥＧ２－２がＶｄｄのとき、第３及び第７のデータ回路が選択され、ＲＥＧ２－３がＶｄｄのとき、第４及び第８のデータ回路が選択され、それぞれのデータ回路において、ラッチ回路ＬＡＴＣＨ１の状態、即ち、“１０”書き込みの十分／不十分が検出される。

【０４８４】

その結果、第１乃至第８のデータ回路の全てから“１１”書き込み（書き込み非選択）又は“１０”書き込み十分を示すデータが出力されると、時刻ＣＣＬＫ３の時点において、

ＮＣＯＭは、Ｖｓｓになる。また、第１乃至第８のデータ回路の少なくとも１個から“１０”書き込み不十分を示すデータが出力されると、時刻ＣＣＬＫ３の時点において、ＮＣＯＭは、Ｖｄｄになる。

【０４８５】

また、ＦＬＡＧノード（図５）には、全てのカラムが並列に接続されている。従って、予めＦＬＡＧノードを、Ｖｄｄかつフローティング状態に設定しておき、この後、時刻ＣＣＬＫ３に、ＣＯＬＰＲＥをＶｄｄに設定し、ＭＯＳトランジスタＴＮ１７（図５）をオン状態にする。

【０４８６】

この時、全てのカラムに対応する全てのデータ回路から“１１”書き込み（書き込み非選択）又は“１０”書き込み十分を示すデータが出力されている場合、ＮＣＯＭは、Ｖｓｓであるため、ＭＯＳトランジスタＴＮ１６（図５）は、オフ状態となる。従って、ＦＬＡＧノードは、Ｖｄｄを維持する。

【０４８７】

また、全てのカラムに対応する全てのデータ回路の少なくとも１個から“１０”書き込み不十分を示すデータが出力されている場合、ＮＣＯＭは、Ｖｄｄになるため、ＭＯＳトランジスタＴＮ１６（図５）は、オン状態となる。従って、ＦＬＡＧノードは、ＶｄｄからＶｓｓに変化する。

【０４８８】

このように、全てのカラムにおいて、“１０”書き込み不十分なメモリセルが存在しない場合のみに、ＦＬＡＧノードは、Ｖｄｄを保ち、少なくとも１つのカラムにおいて、“１０”書き込み不十分なメモリセルが存在する場合には、ＦＬＡＧノードは、Ｖｓｓになる。

【０４８９】

従って、このＦＬＡＧノードのレベルを検出し、ＦＬＡＧノードがＶｄｄの場合、即ち、“１０”書き込み不十分のカラム（メモリセル）が存在しない場合には、偶数ページデータの書き込みルーチンを終了する。また、ＦＬＡＧノードがＶｓｓの場合、即ち、“１０”書き込み不十分のカラム（メモリセル）が少なくとも１個存在する場合には、再び、“１０”ベリファイリードを行い、この後、書き込みパルスの印加に並列して Program completion detection を行う。

【０４９０】

なお、不良セルが存在するために、リダンダンシイ回路によりスペアセルに置き換えられた不良カラム（置き換えの単位は８カラムとする）では、図５の一括検知回路１０のヒューズ素子が切断される。従って、この不良カラムのために、ＦＬＡＧノードがＶｓｓになることはない。

【０４９１】

図２７は、 Program completion detection の様子を簡潔に示したものである。即ち、ラッチ回路ＬＡＴＣＨ１には、“１０”ベリファイリードでメモリセルから読み出されたデータがラッチされている。従って、このラッチ回路ＬＡＴＣＨ１のデータをセンスノード（ＤＴＮｉｊ）に転送し、ＣＯＭｉの電位を変化を検出することにより、全てのメモリセルについて“１０”書き込みが完了したか否かを検出することができる。

【０４９２】

２．－２．　奇数ページデータの書き込み動作

まず、奇数ページデータの書き込み動作の概要（動作の流れ）について説明し、その後、具体的な回路動作（動作タイミング）について説明する。

【０４９３】

図２８は、奇数ページデータの書き込み動作の概要を示している。

奇数ページデータの書き込みを行う前において、既に、上述したような偶数ページデータの書き込みが完了しているため、メモリセルの状態は、“１１”状態又は“１０”状態にある。

【０４９４】
まず、例えば、“８０（１６進数）”コマンドがチップ内に入力される。この後、アドレス信号がチップ内に入力され、引き続いて、奇数ページの書き込みデータがチップ内に入力される。この書き込みデータは、チップ外部からチップ内部のＩ／Ｏ線ＩＯｊ，ｎＩＯｊを経由して、データ回路内のラッチ回路ＬＡＴＣＨ１（図２）に入力される（ステップＳＴ１～ＳＴ２）。
【０４９５】
次に、例えば、“１０（１６進数）”コマンドがチップ内に入力される。すると、まず、メモリセルに記憶された偶数ページデータが読み出される（ Internal Data Load ）。この後、チップ外部から入力した奇数ページデータ（書き込みデータ）とメモリセルから読み出した偶数ページデータに基づいて、書き込みパルスの印加が実行される（ステップＳＴ３～ＳＴ５）。
【０４９６】
ここで、本例では、書き込み時間の短縮（書き込みの高速化）のため、ｎ回目の書き込みパルスの印加（ステップＳＴ５）と同時に、ｎ－１回目の書き込みパルスの印加により、“００”書き込み及び“０１”書き込みが十分に行われたか否かの検出を行うシーケンス（並列処理）を採用している（ステップＳＴ５～ＳＴ７）。
【０４９７】
但し、以下に示すように、書き込み時間の短縮（書き込みの高速化）を達成する他の手段として、本例では、書き込み電位（書き込みパルスの大きさ）を次第に上昇させていくと共に、書き込み動作の当初においては、“００”ベリファイリード及び“０１”ベリファイリードをそれぞれ行わないようなシーケンスを採用する。
【０４９８】
従って、本例では、“００”ベリファイリードを行っていない場合には、“００”書き込みが十分に行われたか否かの検出も行われない。また、“０１”ベリファイリードを行っていない場合には、“０１”書き込みが十分に行われたか否かの検出も行われない。
【０４９９】
書き込みパルスをワード線に印加する数が第１の所定回数（例えば、９回）以下の場合には、“００”ベリファイリードを省略し、書き込みパルスを続けて印加する（ステップＳＴ１０）。書き込みパルスをワード線に印加する数が第２の所定回数（例えば、１３回）以下の場合には、“０１”ベリファイリードを省略する（ステップＳＴ８Ａ，８Ｂ）。
【０５００】
このように、書き込みの当初においてベリファイリードを省略するのは、上述したような書き込み電位を徐々に上げていく手法では、書き込み当初においてメモリセルに所定のデータが十分に書き込まれている可能性はほとんどないため、ベリファイリードを行うよりも、これを省略して、書き込み速度の高速化を図る方が有利だからである。
【０５０１】
なお、“００”ベリファイリード（ＶＥＲＩＦＹ００）とは、“００”書き込みを行うメモリセルに対して、きちんとデータ“００”が書き込まれたか否かを検証するベリファイにおいて、その検証を行うために、ベリファイ読み出し電位Ｖｃｇｖ００（図１３）で、メモリセルのデータを読み出すことをいう。
【０５０２】
また、“０１”ベリファイリード（ＶＥＲＩＦＹ０１）とは、“０１”書き込みを行うメモリセルに対して、きちんとデータ“０１”が書き込まれたか否かを検証するベリファイにおいて、その検証を行うために、ベリファイ読み出し電位Ｖｃｇｖ０１（図１３）で、メモリセルのデータを読み出すことをいう。
【０５０３】
本例では、書き込み電位（書き込みパルスのレベル）を初期値に設定して書き込みパルスの印加を開始し、この後、書き込みパルスを印加する毎に、ワード線に印加する書き込み電位を、所定値（例えば、約０．２Ｖ）ずつ、次第に上昇させていく。

【０５０４】
例えば、書き込み電位を約０．２Ｖずつ上昇させることにより、理想的には、“００”書き込み状態のメモリセル及び“０１”書き込み状態のメモリセルの閾値電圧分布の幅を、０．２Ｖ程度にすることができる。実際の動作では、ベリファイリードで生じるいわゆるアレイ・ノイズによって、“００”書き込み状態のメモリセル及び“０１”書き込み状態のメモリセルの閾値電圧分布の幅は、０．４Ｖ程度になる。
【０５０５】
書き込み動作の開始から例えば９回の書き込みパルスが印加されるまでの期間においては、書き込み電位は、“００”書き込みを完全に行うには十分に低い値に設定されている。また、書き込み動作の開始から例えば１３回の書き込みパルスが印加されるまでの期間においては、書き込み電位は、“０１”書き込みを完全に行うには十分に低い値に設定されている。
【０５０６】
従って、“００”書き込みを行うメモリセルや“０１”書き込みを行うメモリセルに対して、過剰な書き込み（閾値電圧がＶｃｇｒ０１を超えるような書き込みが行われることがない。
【０５０７】
このように、当初は、低い書き込み電位を有するパルスをワード線に印加し、パルスが印加される毎に、次第に、書き込み電位を上昇させていくようにしたのは、フローティングゲート電極に少しずつ電子を注入し、最終的に、所定量の電子をフローティングゲート電極に蓄積するためである。
【０５０８】
この場合、例えば、１回の書き込みパルスで所定量の電子を一度にフローティングゲート電極に注入する場合に比べ、１回の書き込みパルスによりメモリセルのトンネル酸化膜に印加される電界が低くなるため、トンネル酸化膜の信頼性が向上する。
【０５０９】
また、書き込み電位（書き込みパルスのレベル）は、低い値から高い値に次第に上昇させる。つまり、書き込み電位を次第に上昇させる場合は、当初の書き込み電位を高い値に設定してこの書き込み電位を次第に下降させる場合に比べて、経験的に、メモリセルの閾値電圧分布の幅を狭くできるからである。
【０５１０】
ワード線に対する書き込みパルスの印加回数が例えば１０回以上の場合には、“００”書き込みを行うメモリセルに対して、データ“００”がきちんと書き込まれたか否かを検証するために、書き込みパルスをワード線に印加した後に、“００”ベリファイリードが行われる（ステップＳＴ１０～ＳＴ１１）。
【０５１１】
また、ワード線に対する書き込みパルスの印加回数が例えば１４回以上の場合には、“０１”書き込みを行うメモリセルに対して、データ“０１”がきちんと書き込まれたか否かを検証するために、書き込みパルスをワード線に印加した後に、“０１”ベリファイリードが行われる（ステップＳＴ８Ａ～ＳＴ９Ａ，ＳＴ８Ｂ～ＳＴ９Ｂ）。
【０５１２】
“００”ベリファイリードによりメモリセルから読み出されたデータは、“００”書き込みが十分に行われたか否かを示すデータであり、このデータは、“００”書き込みの対象となるカラムに存在するデータ回路内のラッチ回路ＬＡＴＣＨ１に記憶される。
【０５１３】
“０１”ベリファイリードによりメモリセルから読み出されたデータは、“０１”書き込みが十分に行われたか否かを示すデータであり、このデータは、“０１”書き込みの対象となるカラムに存在するデータ回路内のラッチ回路ＬＡＴＣＨ１に記憶される。
【０５１４】
この後、次の書き込みパルスをワード線に印加する動作（ステップＳＴ５）に並列して、

ラッチ回路ＬＡＴＣＨ１のデータに基づき、直前の書き込みパルスにより“００”書き込み又は“０１”書き込みが十分に行われたか否かを検証する動作（ Program completion detection ）が実行される（ステップＳＴ６～ＳＴ７）。

【０５１５】

具体的には、奇数ページデータの書き込み動作では、図１５に示すように、“１１”、“１０”、“００”、“０１”の４種類の書き込みが存在する。“１１”書き込みと“１０”書き込みは、偶数ページデータを書き込んだ後のメモリセルの状態を維持するものである。また、“００”書き込みとは、書き込みパルスにより、閾値電圧を上昇させ、“１０”状態を“００”状態にすることを意味し、“０１”書き込みとは、書き込みパルスにより、閾値電圧を上昇させ、“１１”状態を“０１”状態にすることを意味する。

【０５１６】

全ての選択されたメモリセル（カラム）に対して所定のデータ“１１”、“１０”、“００”、“０１”が十分に書き込まれた場合（実際には、“００”、“０１”書き込みの対象となるメモリセルに十分にデータ“００”、“０１”が書き込まれた場合）には、奇数ページデータの書き込み動作が終了する（ステップＳＴ６）。

【０５１７】

少なくとも１つの選択されたメモリセル（カラム）に対して所定のデータ“１１”、“１０”、“００”、“０１”が十分に書き込まれていない場合（実際には、“００”、“０１”書き込みの対象となるメモリセルに十分にデータ“００”、“０１”が書き込まれていない場合）には、引き続き、“００”ベリファイリード、“０１”ベリファイリード及び書き込みパルスの印加が行われる（ステップＳＴ５～ＳＴ１１）。

【０５１８】

ここで、本例では、“００”書き込みの対象となる全てのメモリセルに対して、十分に“００”書き込みが行われた後には、“００”ベリファイリードを行わないようにし、この後には、“０１”ベリファイリード及び Program completion detection のみを行うようにしている（ステップＳＴ７，ＳＴ８Ｂ，ＳＴ９Ｂのルート）。

【０５１９】

このようなシーケンスにした理由は、通常、“００”書き込みは、“０１”書き込みよりも先に終了するため（“００”状態の閾値電圧は、“０１”状態の閾値電圧よりも低い。）、“００”書き込みが終了した後の“００”ベリファイリードを省略し、書き込み時間の短縮（書き込みの高速化）を図ることにある。

【０５２０】

ところで、本例では、書き込みの十分／不十分を検出する動作（ Program completion detection ）を、書き込みパルスをワード線に印加する動作と並列して行っているが、例えば、 Program completion detection を、“００”ベリファイリード又は“０１”ベリファイリードの直後に行い、その後、 Program completion detection の結果が不十分の場合に、再度、書き込みパルスの印加を行うようにしてもよい。

【０５２１】

また、書き込み十分のメモリセルに対しては、以後、書き込みパルスの印加が行われないようにし、書き込み不十分のメモリセルに対してのみ、続けて、書き込みパルスの印加（再書き込み）を行い、書き込み特性の良好なメモリセルに対して過剰な書き込みが行われないようにしてもよい。

【０５２２】

奇数ページデータの書き込み動作の概要は、以上の通りである。

【０５２３】

上述したように、奇数ページデータの書き込み動作は、メモリセルに記憶された偶数ページデータの読み出し（ Internal data load ）、書き込みパルスの印加、“００”ベリファイリード（ＶＥＲＩＦＹ００）、“０１”ベリファイリード（ＶＥＲＩＦＹ０１）、 Program completion detection 及び "00" Program completion detection からなる。

【０５２４】

以下では、これらの動作について順次詳細に説明する。
【０５２５】
２．－２．－１．　“ Internal data load ”
Internal data load とは、メモリセルに記憶された偶数ページデータを読み出し、データ回路内の記憶回路（ＤＲＡＭセル、即ち、ノードＣＡＰ１ｉｊ）にラッチする動作のことである。なお、書き込みデータ（奇数ページデータ）は、一時的に、ノードＣＡＰ２ｉｊにラッチされた後、再び、ラッチ回路ＬＡＴＣＨ１にラッチされる。
【０５２６】
図２９及び図３０は、それぞれ Internal data load に関する動作タイミングを示している。
【０５２７】
Internal data load は、４つの動作（1st Quarter, 2nd Quarter, 3rd Quarter, 4th Quarter）から構成される。
【０５２８】
また、1st Quarterは、図２９の実線、2nd Quarterは、図３０の実線で示している。3rd Quarterは、1st Quarterとほぼ同じであるが、図２９の二点破線で示す部分が1st Quarterと異なっている。4th Quarterは、2nd Quarterとほぼ同じであるが、図３０の二点破線で示す部分が2nd Quarterと異なっている。
【０５２９】
２．－２．－１．－１．　“ Internal data load 1st Quarter ”
図２９の実線は、Internal data load 1st Quarter に関する動作タイミングを示している。
【０５３０】
チップ外部から入力した奇数ページの書き込みデータが“１”の場合、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊは、“Ｈ”となっている。また、チップ外部から入力した奇数ページの書き込みデータが“０”の場合、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊは、“Ｌ”となっている。
【０５３１】
1st Quarterでは、選択されたワード線の電位（読み出し電位）をＶｃｇｒ１０に設定して読み出し動作を行う。この場合、メモリセルが“１１”状態ならば、ビット線は、放電され、ビット線の電位は、“Ｌ”となる。メモリセルが“１０”状態ならば、ビット線は、プリチャージ電位を維持するため、ビット線の電位は、“Ｈ”となる。
【０５３２】
一方、メモリセルのデータをビット線に読み出している間に、ラッチ回路ＬＡＴＣＨ１にラッチした奇数ページデータがノードＣＡＰ２ｉｊに転送される。
【０５３３】
具体的には、奇数ページデータが“１”、即ち、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊが“Ｈ”のときは、時刻ＳＣＬＫ５に、ノードＣＡＰ２ｉｊは、４Ｖ程度になる。奇数ページデータが“０”、即ち、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊが“Ｌ”のときは、時刻ＳＣＬＫ５に、ノードＣＡＰ２ｉｊは、Ｖｓｓとなる。
【０５３４】
この後、ビット線の電位をセンスし、かつ、ラッチ回路ＬＡＴＣＨ１にラッチする。メモリセルが“１１”状態ならば、ビット線の電位が“Ｌ”であるため、センスノードＤＴＮｉｊが“Ｌ”になり、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊも、“Ｌ”となる。メモリセルが“１０”状態ならば、ビット線の電位が“Ｈ”であるため、センスノードＤＴＮｉｊが“Ｈ”になり、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊも、“Ｈ”となる。
【０５３５】
また、時刻ＲＣＬＫ１５に、ＤＴＧ１がＶｓｇになると、ラッチ回路ＬＡＴＣＨ１のデータは、ＤＲＡＭセル、即ち、ノードＣＡＰ１ｉｊに転送され、かつ、ラッチされる。
【０５３６】

以上から、1st Quarterが終了した時点においては、奇数ページデータは、ノードＣＡＰ２ｉｊにラッチされ、偶数ページデータは、ノードＣＡＰ１ｉｊにラッチされる。

【０５３７】

そして、1st Quarter終了時におけるノードＣＡＰ１ｉｊ、ＣＡＰ２ｉｊのデータは、表６に示す通りになる。

【０５３８】

【表６】

"Internal Data Lood 1st Quarter"終了時にｷｬﾊﾟｼﾀC1,C2に蓄えられたﾃﾞｰﾀ

	"11"	"10"	"00"	"01"
CAP1ij	"Low"	"High"	"High"	"Low"
CAP2ij	"High"	"High"	"Low"	"Low"

【０５３９】

つまり、“ Internal data load 1st Quarter ”では、メモリセルに記憶された偶数ページデータが“１”のとき（“１１”状態のとき）、ノードＣＡＰ１ｉｊは、“Ｌ”となり、メモリセルに記憶された偶数ページデータが“０”のとき（“１０”状態のとき）、ノードＣＡＰ１ｉｊは、“Ｈ”となる。

【０５４０】

また、奇数ページデータが“１”とき（メモリセルの状態“１１”、“１０”を変化させないとき）、ノードＣＡＰ２ｉｊは、“Ｈ”となり、奇数ページデータが“０”のとき（メモリセルの状態を“００”、“０１”に変化させるとき）、ノードＣＡＰ２ｉｊは、“Ｌ”となる。

【０５４１】

なお、図３１は、“ Internal data load 1st Quarter ”における偶数／奇数ページデータの動きを簡略化して示したものである。

【０５４２】

２．－２．－１．－２．　“ Internal data load 2nd Quarter ”

図３０の実線は、Internal data load 2nd Quarter に関する動作タイミングを示している。

【０５４３】

Internal data load 1st Quarter に引き続き、Internal data load 2nd Quarter が行われる。Internal data load 2nd Quarterでは、ノードＣＡＰ２ｉｊにラッチされた奇数ページデータを、ラッチ回路ＬＡＴＣＨ１に戻す動作が行われる。

【０５４４】

まず、時刻ＩＬＣＬＫ１に、ＢＬＳｅがＶｓｓになり、時刻ＩＬＣＬＫ２に、ＢＬＳｏがＶｄｄになる。ＢＬＣＲＬは、Ｖｓｓである。その結果、図２のノードＮｓは、ノードＢＬＣＲＬに短絡され、Ｖｓｓとなる。

【０５４５】

また、時刻ＩＬＣＬＫ２に、ＳＥＮ及びＬＡＴが共にＶｓｓ、ＳＥＮＢ及びＬＡＴＢが共にＶｄｄとなり、ラッチ回路ＬＡＴＣＨ１、即ち、クロックドインバータＣＩＮＶ１，ＣＩＮＶ２が非活性化される。

【０５４６】

この後、時刻ＩＬＣＬＫ３に、ｎＰＲＳＴがＶｓｓになると、センスノード（ＤＴＮｉｊ）がＶｄｄにプリチャージされる。また、時刻ＩＬＣＬＫ４に、ｎＰＲＳＴがＶｄｄになると、センスノード（ＤＴＮｉｊ）は、フローティング状態になる。

【０５４７】

また、時刻ＩＬＣＬＫ３に、ＢＬＣがＶｓｇとなり、時刻ＩＬＣＬＫ５に、ＢＬＣＬＭＰがＶｓｅｎｓｅ（例えば、約１．６Ｖ）になる。この時、ノードＮｓは、Ｖｓｓであるため、センスノード（ＤＴＮｉｊ）も、Ｖｓｓとなる。

【０５４８】

この後、時刻ＩＬＣＬＫ６に、ＢＬＣＬＭＰがＶｓｓになり、時刻ＩＬＣＬＫ７に、ＲＥＧ２がＶｓｇになる。この時、ノードＣＡＰ２ｉｊのデータに応じて、センスノード（ＤＴＮｉｊ）の電位が変化する。

【０５４９】

例えば、上記表６から明らかなように、奇数ページデータが“１”の場合、即ち、“１１”、“１０”書き込みを行う場合（具体的には、メモリセルのデータを維持する場合、即ち、書き込み非選択の場合）には、ノードＣＡＰ２ｉｊは、“Ｈ”であるため、図２のＭＯＳトランジスタＴＮ１がオン状態になる。その結果、センスノード（ＤＴＮｉｊ）がノードＣＯＭｉに接続され、センスノードは、Ｖｄｄとなる。

【０５５０】

一方、奇数ページデータが“０”の場合、即ち、“００”、“０１”書き込みを行う場合には、ノードＣＡＰ２ｉｊは、“Ｌ”であるため、図２のＭＯＳトランジスタＴＮ１がオフ状態になる。その結果、センスノード（ＤＴＮｉｊ）は、Ｖｓｓのままとなる。

【０５５１】

この後、時刻ＩＬＣＬＫ９に、ＳＥＮがＶｄｄとなり、クロックドインバータＣＩＮＶ１が動作状態となる。即ち、センスノード（ＤＴＮｉｊ）の電位がクロックドインバータＣＩＮＶ１によりセンスされる。また、時刻ＩＬＣＬＫ１０に、ＬＡＴがＶｄｄになり、ラッチ回路ＬＡＴＣＨ１が動作状態になる。

【０５５２】

即ち、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊは、奇数ページデータが“１”の場合には、“Ｈ”となり、奇数ページデータが“０”の場合には、“Ｌ”となる。

【０５５３】

その結果、2nd Quarter 終了時におけるＤＲＡＭセル（ノードＣＡＰ１ｉｊ）の状態、及び、2nd Quarter 終了時におけるラッチ回路ＬＡＴＣＨ１のノードＮａｉｊの状態は、表７に示す通りとなる。

【０５５４】

【表７】

"Internal Data Lood 2nd Quarter"終了時
にｷｬﾊﾟｼﾀC1､ﾗｯﾁ回路LATCH1にに蓄えられたﾃﾞｰﾀ

	"11"	"10"	"00"	"01"
CAP1ij	"Low"	"High"	"High"	"Low"
Naij	"High"	"High"	"Low"	"Low"

【０５５５】

なお、図３２は、“ Internal data load 2nd Quarter ”における奇数ページデータの動

きを簡略化して示したものである。

【０５５６】

２．－２．－１．－３．　“ Internal data load 3rd Quarter ”

図２９の実線（ＳＧＤ，ＲＥＧ１については二点破線）は、Internal data load 3rd Quarter に関する動作タイミングを示している。

【０５５７】

Internal data load 3rd Quarter 及び Internal data load 4th Quarter では、Internal data load 1st Quarter 及び Internal data load 2nd Quarterにより、ＤＲＡＭセル（ノードＣＡＰ１ｉｊ）にラッチされたデータを反転（“Ｈ”→“Ｌ”、“Ｌ”→“Ｈ”）する動作を行う。

【０５５８】

上記表７に示すように、ノードＣＡＰ１ｉｊにラッチされたデータは、偶数ページデータが“１”のとき“Ｌ”であり、偶数ページデータが“０”のとき“Ｈ”である。即ち、“１”を“Ｈ”、“０”を“Ｌ”と考えれば、偶数ページデータの値とノードＣＡＰ１ｉｊにラッチされたデータの値は、互いに逆となっている。

【０５５９】

そこで、Internal data load 3rd Quarter 及び Internal data load 4th Quarter では、ＤＲＡＭセル（ノードＣＡＰ１ｉｊ）にラッチされたデータを反転し、偶数ページデータの値とノードＣＡＰ１ｉｊにラッチされたデータの値が、互いに同じになるようにする。

【０５６０】

Internal data load 3rd Quarter が Internal data load 1st Quarter と異なる点は、▲１▼　ＳＧＤがＶｓｓである点、▲２▼　時刻ＲＣＬＫ７から時刻ＲＣＬＫ８の間でＲＥＧ１がＶｄｄになる点、の２点にある。

【０５６１】

Internal data load 3rd Quarter では、ノードＣＡＰ１ｉｊのデータを反転し、センスノード（ＤＴＮｉｊ）に転送した後、ラッチ回路ＬＡＴＣＨ１にラッチされた奇数ページデータをノードＣＡＰ２ｉｊに転送し、さらに、この後に、センスノード（ＤＴＮｉｊ）のデータをラッチ回路ＬＡＴＣＨ１に転送する。

【０５６２】

まず、Internal data load 1st Quarter と同様に、時刻ＲＣＬＫ４に、ビット線がプリチャージされ、ビット線の電位は、０．８Ｖ程度になる。この後、時刻ＲＣＬＫ７に、ＳＧＳがＶｒｅａｄとなるが、本例では、ＳＧＤが、常に、Ｖｓｓであるため、メモリセルを通じてのビット線の放電は行われない。

【０５６３】

本例では、時刻ＲＣＬＫ７に、ＲＥＧ１がＶｄｄになると、ＣＡＰ１ｉｊにラッチされたデータに基づいて、ビット線（又はセンスノード）の放電又は現状維持が決定される。

【０５６４】

例えば、上記表７から明らかなように、偶数ページデータが“０”のとき、即ち、“１０”書き込み時又は“００”書き込み時には、ノードＣＡＰ１ｉｊがＶｄｄであるため、ＭＯＳトランジスタＴＮ３（図２）がオン状態となり、ビット線（センスノード）は、ＶＲＥＧ（Ｖｓｓ）に短絡される。

【０５６５】

一方、偶数ページデータが“１”のとき、即ち、“１１”書き込み時又は“０１”書き込み時には、ノードＣＡＰ１ｉｊがＶｓｓであるため、ＭＯＳトランジスタＴＮ３（図２）がオフ状態となり、ビット線（センスノード）は、プリチャージ電位（０．８Ｖ程度）を維持する。

【０５６６】

この後、ラッチ回路ＬＡＴＣＨ１にラッチされている奇数ページデータは、Internal data load 1st Quarter と同様に、時刻ＳＣＬＫ２に、ノードＣＡＰ２ｉｊに転送される。

この後、時刻ＳＣＬＫ６に、ＳＥＮ及びＬＡＴが共に“Ｌ”となり、ラッチ回路ＬＡＴＣＨ１が非動作状態となる。

【０５６７】

さらに、この後、時刻ＳＣＬＫ７に、ＢＬＣがＶｓｇ、ｎＰＲＳＴがＶｓｓとなり、時刻ＳＣＬＫ８に、ｎＰＲＳＴがＶｄｄになる。時刻ＳＣＬＫ９に、ＢＬＣＬＭＰがＶｓｅｎｓｅになり、かつ、時刻ＳＣＬＫ１３に、ＳＥＮが“Ｈ”となり、クロックドインバータＣＩＮＶ１により、センスノード（ＤＴＮｉｊ）の電位がセンスされる。また、時刻ＳＣＬＫ１４に、ＬＡＴが“Ｈ”となり、ラッチ回路ＬＡＴＣＨ１が動作状態となる。

【０５６８】

その結果、偶数ページデータが“０”のとき（ノードＣＡＰ１ｉｊがＶｄｄのとき）は、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊは、“Ｌ”となり、偶数ページデータが“１”のとき（ノードＣＡＰ１ｉｊがＶｓｓのとき）は、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊは、“Ｈ”となる。

【０５６９】

この後、時刻ＳＣＬＫ１５に、ＤＴＧ１をＶｓｇにすると、ラッチ回路ＬＡＴＣＨ１のデータがＤＲＡＭセル（ノードＣＡＰ１ｉｊ）に転送される。

【０５７０】

ここで、偶数ページデータが“０”のとき（ノードＣＡＰ１ｉｊがＶｄｄのとき）は、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊが“Ｌ”のため、ノードＣＡＰ１ｉｊは、Ｖｄｄ（“Ｈ”）からＶｓｓ（“Ｌ”）に反転する。また、偶数ページデータが“１”のとき（ノードＣＡＰ１ｉｊがＶｓｓのとき）は、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊが“Ｈ”のため、ノードＣＡＰ１ｉｊは、Ｖｓｓ（“Ｌ”）からＶｄｄ（“Ｈ”）に反転する。

【０５７１】

Internal data load 3rd Quarterが終了した時点で、奇数ページデータは、ノードＣＡＰ２ｉｊに記憶され、偶数ページデータは、ノードＣＡＰ１ｉｊに記憶されている。

【０５７２】

3rd Quarter終了時におけるＣＡＰ１ｉｊ及びＣＡＰ２ｉｊのデータは、表８に示す通りである。

【０５７３】

【表８】

"Internal Data Lood 3rd Quarter"終了時にｷｬﾊﾟｼﾀC1,C2に蓄えられたﾃﾞｰﾀ

	"11"	"10"	"00"	"01"
CAP1ij	"High"	"Low"	"Low"	"High"
CAP2ij	"High"	"High"	"Low"	"Low"

【０５７４】

なお、図３３は、“ Internal data load 3rd Quarter ”における偶数／奇数ページデータの動きを簡略化して示したものである。

【０５７５】

２．－２．－１．－４．　“ Internal data load 4th Quarter ”

図３０の実線（ＳＧＤについては二点破線）は、Internal data load 4th Quarter に関

する動作タイミングを示している。

【０５７６】

Internal data load 4th Quarter では、ノードＣＡＰ２ｉｊにラッチされた奇数ページデータをラッチ回路ＬＡＴＣＨ１に戻す動作が行われる。

【０５７７】

Internal data load 4th Quarter が Internal data load 2nd Quarter と異なる点は、ＳＧＤが常にＶｓｓである点のみである。

【０５７８】

ノードＣＡＰ２ｉｊに記憶された奇数ページデータをラッチ回路ＬＡＴＣＨ１に転送する動作は、Internal data load 2nd Quarterと同じである。従って、Internal data load 4th Quarter の詳細な説明は、省略する。

【０５７９】

なお、4th Quarter終了時のＤＲＡＭセル（ノードＣＡＰ１ｉｊ）及びラッチ回路ＬＡＴＣＨ１（ノードＮａｉｊ）にラッチされたデータは、表９に示す通りである。

【０５８０】

【表９】

"Internal Data Lood 4th Quarter"終了時
にｷｬﾊﾟｼﾀC1､ﾗｯﾁ回路LATCH1にに蓄えられたﾃﾞｰﾀ

	"11"	"10"	"00"	"01"
CAP1ij	"High"	"Low"	"Low"	"High"
Naij	"High"	"High"	"Low"	"Low"

【０５８１】

なお、図３４は、“ Internal data load 4th Quarter ”における奇数ページデータの動きを簡略化して示したものである。

【０５８２】

以上、Internal data load（1st Quarter, 2nd Quarter, 3rd Quarter, 4th Quarter）について説明した。これにより、奇数ページデータは、ラッチ回路ＬＡＴＣＨ１にラッチされ、偶数ページデータは、ＤＲＡＭセル（ノードＣＡＰ１ｉｊ）にラッチされる。しかも、奇数／偶数ページデータの値とラッチされたデータの値は、同じである（“１”は“Ｈ”、“０”は“Ｌ”に対応）。

【０５８３】

この後、上記表９に示すように、ＣＡＰ１ｉｊ及びＮａｉｊにラッチされた２ビットデータに基づいて、奇数ページデータの実際の書き込み動作が行われる。

【０５８４】

２．－２．－２．　書き込みパルス印加

書き込みパルス印加は、偶数ページデータにおける書き込みパルスの印加と全く同じ動作タイミングににより行われる。

【０５８５】

“００”書き込み及び“０１”書き込みでは、上記表９に示すように、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊが“Ｌ”であるため、ビット線は、Ｖｓｓになる。従って、選択されたメモリセルのトンネル酸化膜に高電界が印加され、ＦＮトンネル効果により電子がフローティングゲート電極に注入され、書き込みが行われる。

【０５８６】

“１１”書き込み及び“１０”書き込みでは、上記表９に示すように、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊが“Ｈ”であるため、ビット線は、Ｖｄｄになる。従って、選択されたメモリセルのトンネル酸化膜に高電界が印加されることはなく、メモリセルの状態は変化しない（“１１”状態又は“１０”状態を保持する。）。

【０５８７】

なお、書き込みパルス印加に関する動作タイミングは、偶数ページデータの書き込み動作（項目２．－１．）における書き込みパルス印加（項目２．－１．－１．）と同じなので、その詳細については、省略する。

【０５８８】

２．－２．－３．　“ＶＥＲＩＦＹ０１”

図３５は、“０１”ベリファイリードの動作タイミングを示している。

【０５８９】

“０１”ベリファイリード（ＶＥＲＩＦＹ０１）では、ビット線をプリチャージした後、選択されたワード線を図１３に示すＶｃｇｖ０１（例えば、約１．７５Ｖ）にし、ビット線の電位変化を検出し、メモリセルのデータを読み出す。

【０５９０】

“ＶＥＲＩＦＹ０１”では、データ回路内の２つの記憶回路（ＬＡＴＣＨ１，Ｃ１）が、“１１”、“１０”、“００”の書き込みデータをラッチしている場合には、書き込みデータの変更はない。

【０５９１】

なお、“００”に関しては、後述する“ＶＥＲＩＦＹ００”がＯＫ（書き込み十分）の場合、“００”が“１０”に変更されている。これについては、後述する“ＶＥＲＩＦＹ００”を参照。しかし、“００”であるにしろ又は“１０”にあるにしろ、“ＶＥＲＩＦＹ０１”において、これらのデータの値が変わることはない。

【０５９２】

一方、“ＶＥＲＩＦＹ０１”において、データ回路内の２つの記憶回路（ＬＡＴＣＨ１，Ｃ１）が、“０１”の書き込みデータをラッチしている場合には、読み出しデータが書き込み十分を示しているとき、即ち、ビット線が“Ｈ”のときには、それ以降、書き込みを行わないように、書き込みデータが“０１”から“１１”に変化する（奇数ページデータが“０”から“１”に変化する。）。

【０５９３】

また、“ＶＥＲＩＦＹ０１”において、データ回路内の２つの記憶回路（ＬＡＴＣＨ１，Ｃ１）が、“０１”の書き込みデータをラッチしている場合に、読み出しデータが書き込み不十分を示しているとき、即ち、ビット線が“Ｌ”のときには、引き続き、書き込みを行うように、書き込みデータの変更はない。

【０５９４】

具体的な動作は、以下のようになる。

まず、ビット線に対するプリチャージや、放電（セルデータの読み出し）を行っている間に、ラッチ回路ＬＡＴＣＨ１に記憶された書き込みデータを、ノードＣＡＰ２ｉｊに転送し、かつ、一時記憶する。これにより、読み出しデータが奇数ページデータに衝突しないようにする。

【０５９５】

時刻ＲＣＬＫ１に、ＣＡＰＣＲＧ及びＶＲＥＧを、それぞれＶｄｄに設定し、時刻ＲＣＬＫ４に、ＢＯＯＴをＶｓｓに設定する。時刻ＲＣＬＫ５に、ＶＲＥＧがＶｓｓになると、ノードＣＡＰ２ｉｊは、ＶｓｓにリセットされるＶｓｓになっている。なお、この間、ＤＴＧ２は、

【０５９６】

時刻ＲＣＬＫ９／ＳＣＬＫ１に、ＣＡＰＣＲＧがＶｓｓになり、ノードＣＡＰ２ｉｊは、フローティング状態になる。この後、時刻ＳＣＬＫ２に、ＤＴＧ２がＶｓｇ（例えば、約４．５Ｖ）になり、ラッチ回路ＬＡＴＣＨ１にラッチされた書き込みデータ（奇数ページ

データ）は、ＭＯＳトランジスタＴＮ２を経由して、ノードＣＡＰ２ｉｊに転送され、かつ、一時記憶される。

【０５９７】

即ち、奇数ページの書き込みデータが“０”の場合（“００”書き込み又は“０１”書き込みを行う場合）には、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊが“Ｌ”であるため、ノードＣＡＰ２ｉｊは、Ｖｓｓになる。

【０５９８】

また、奇数ページの書き込みデータが“１”の場合（“１１”、“１０”状態を維持する場合及び“００”、“０１”書き込み十分の場合）には、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊが“Ｈ”であるため、ノードＣＡＰ２ｉｊは、Ｖｄｄになる。

【０５９９】

この後、時刻ＳＣＬＫ３に、ＤＴＧ２がＶｄｄになり、時刻ＳＣＬＫ４に、ＢＯＯＴがＶｄｄになる。

【０６００】

この時、奇数ページの書き込みデータが“０”の場合（“００”書き込み又は“０１”書き込みを行う場合）には、ノードＣＡＰ２ｉｊは、Ｖｓｓのままとなる。また、奇数ページの書き込みデータが“１”の場合（“１１”又は“１０”状態を維持する場合）には、ノードＣＡＰ２ｉｊの電位は、キャパシタＤＬＮ（Ｃ２）によりブートされるため、Ｖｄｄ（例えば、約２．３Ｖ）から３．５Ｖ程度に上昇する。

【０６０１】

この後、時刻ＳＣＬＫ５に、ＤＴＧ２がＶｓｓになり、ノードＣＡＰ２ｉｊは、ラッチ回路ＬＡＴＣＨ１から電気的に切り離される。

【０６０２】

以上の動作の並列して、ビット線のプリチャージ動作や、メモリセルのデータをビット線に読み出す動作が実行される。

【０６０３】

即ち、ビット線のプリチャージなどを行った後、時刻ＲＣＬＫ７に、ＳＧＳがＶｒｅａｄとなり、メモリセルのデータに応じてビット線の電位が変化する。

【０６０４】

例えば、“０１”書き込みを行うメモリセル以外のメモリセル（“１１”又は“１０”書き込みを行うセル（即ち、書き込みを行わないセル）、“００”書き込みを行うセル）では、Ｖｃｇｖ０１（例えば、約１．７５Ｖ）により、そのメモリセルがオン状態になるため、ビット線の電荷が放電され、ビット線は、０．３Ｖ以下の電位となる。

【０６０５】

また、“０１”書き込みを行うメモリセルにおいて、“０１”書き込み不十分の場合には、Ｖｃｇｖ０１（例えば、約１．７５Ｖ）により、そのメモリセルがオン状態になるため、ビット線の電荷が放電され、ビット線は、０．３Ｖ以下の電位となる。

【０６０６】

また、“０１”書き込みを行うメモリセルにおいて、“０１”書き込み十分の場合には、Ｖｃｇｖ０１（例えば、約１．７５Ｖ）により、そのメモリセルがオフ状態になるため、ビット線の電荷は放電されず、ビット線は、０．８Ｖを維持する。

【０６０７】

この後、時刻ＳＣＬＫ６に、ＳＥＮ及びＬＡＴが共に“Ｌ”、ＳＥＮＢ及びＬＡＴＢが共に“Ｈ”になり、データ回路内のラッチ回路ＬＡＴＣＨ１、即ち、クロックドインバータＣＩＮＶ１，ＣＩＮＶ２が非動作状態となる。

【０６０８】

また、時刻ＳＣＬＫ７に、ＢＬＣがＶｓｇ（例えば、約４．５Ｖ）、ｎＰＲＳＴが“Ｌ”になることで、センスノード（ＤＴＮｉｊ）が充電され、センスノードは、Ｖｄｄになる。同時に、Ｎａｉｊも、Ｖｄｄとなる。また、時刻ＳＣＬＫ８に、ｎＰＲＳＴがＶｄｄになると、センスノード（ＤＴＮｉｊ）は、フローティング状態になる。

【０６０９】
時刻ＳＣＬＫ９に、ＢＬＣＬＭＰがＶｓｅｎｓｅ（例えば、約１．６Ｖ）になると、ビット線に読み出されたメモリセルのデータは、センスノード（ＤＴＮｉｊ）に転送される。
【０６１０】
即ち、“１１”又は“１０”書き込みを行うメモリセル、“００”書き込みを行うメモリセル、及び、“０１”書き込みを行うメモリセルのうち書き込み不十分のメモリセルに関しては、ビット線は、０．３Ｖ以下の電位となっているため、センスノード（ＤＴＮｉｊ）の電位も、０．３Ｖ以下の電位に低下する。
【０６１１】
一方、“０１”書き込みを行うメモリセルのうち書き込み十分のメモリセルに関しては、ビット線は、０．８Ｖを維持しているため、クランプ用のＭＯＳトランジスタＴＮ９がカットオフし、センスノード（ＤＴＮｉｊ）は、Ｖｄｄを維持する。
【０６１２】
時刻ＳＣＬＫ１０において、センスノード（ＤＴＮｉｊ）の電位は、表１０に示す通りとなる。
【０６１３】
【表１０】

"VERIFY01"の中のｾﾝｽﾉｰﾄﾞ(DTNij・Naij)

	"11","10" 書き込み(書き込み非選択)	"00"書き込み 不十分	"00"書き込み 十分	"01"書き込み 不十分	"01"書き込み 十分
SCLK10の時点	"Low"	"Low"	"Low"	"Low"	"High"
SCLK12の時点	"High"	"Low"	"Low"	"Low"	"High"

【０６１４】
この後、時刻ＳＣＬＫ１１に、ＲＥＧ２がＶｓｇとなり、ＭＯＳトランジスタＴＮ６（図２）がオン状態となる。
【０６１５】
ここで、“１１”、“１０”書き込みを行う場合（奇数ページデータが“１”の場合）には、ノードＣＡＰ２ｉｊには、“Ｈ”が記憶されているため、ＭＯＳトランジスタＴＮ１（図２）は、オン状態である。つまり、ＣＯＭｉ（Ｖｄｄに設定されている）とセンスノード（ＤＴＮｉｊ）が短絡し、その結果、センスノード（ＤＴＮｉｊ）は、Ｖｄｄとなる。
【０６１６】
また、“００”、“０１”書き込みを行う場合（奇数ページデータが“０”の場合）には、ノードＣＡＰ２ｉｊには、“Ｌ”が記憶されているため、ＭＯＳトランジスタＴＮ１（図２）は、オフ状態である。つまり、ＣＯＭｉ（Ｖｄｄに設定されている）とセンスノード（ＤＴＮｉｊ）は電気的に切り離されているため、センスノード（ＤＴＮｉｊ）の電位の変化はない。
【０６１７】
従って、時刻ＳＣＬＫ１２におけるセンスノード（ＤＴＮｉｊ）の電位は、上記表１０に示す通りとなる。
【０６１８】
この後、時刻ＳＣＬＫ１３に、ＳＥＮがＶｄｄ、ＳＥＮＢがＶｓｓとなり、クロックドインバータＣＩＮＶ１が動作状態となるため、センスノード（ＤＴＮｉｊ）の電位がセンス

される。
【０６１９】
上記表１０に示すように、“１１”、“１０”書き込みを行う場合には、センスノード（ＤＴＮｉｊ）は、“Ｈ”であり、ノードＮａｉｊも、“Ｈ”となる。もともと、“１１”、“１０”書き込みを行う場合（奇数ページデータが“１”の場合）には、ノードＮａｉｊは、“Ｈ”であったため（表９参照）、“１１”、“１０”書き込みを行う場合には、書き込みデータの変更はない。
【０６２０】
また、“００”書き込みを行う場合には、センスノード（ＤＴＮｉｊ）は、“Ｌ”であり、ノードＮａｉｊも、“Ｌ”となる。もともと、“００”書き込みを行う場合（奇数ページデータが“０”の場合）には、ノードＮａｉｊは、“Ｌ”であったため（表９参照）、“００”書き込みを行う場合にも、書き込みデータの変更はない。
【０６２１】
なお、“００”書き込みに関しては、後述する“ＶＥＲＩＦＹ００”において、書き込み十分を示すデータが読み出されると、“００”が“１０”に変化する（奇数ページデータが“０”から“１”に変化する。）。しかし、“ＶＥＲＩＦＹ０１”において書き込みデータ（“００”又は“１０”）が変更されることはない。
【０６２２】
また、“０１”書き込みを行う場合で、かつ、“０１”書き込みが不十分の場合には、センスノード（ＤＴＮｉｊ）は、“Ｌ”であり、ノードＮａｉｊも、“Ｌ”となる。もともと、“０１”書き込みを行う場合（奇数ページデータが“０”の場合）には、ノードＮａｉｊは、“Ｌ”であったため（表９参照）、“０１”書き込みを行う場合で、かつ、書き込みが不十分の場合にも、書き込みデータの変更はない。
【０６２３】
また、“０１”書き込みを行う場合で、かつ、“０１”書き込みが十分の場合には、センスノード（ＤＴＮｉｊ）は、“Ｈ”であり、ノードＮａｉｊも、“Ｈ”となる。もともと、“０１”書き込みを行う場合（奇数ページデータが“０”の場合）には、ノードＮａｉｊは、“Ｌ”であったため（表９参照）、“０１”書き込みを行う場合で、かつ、書き込みが十分の場合には、書き込みデータは、“０１”から“１１”に変化する（ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊの値、つまり、奇数ページデータが“０”から“１”に変更される。）。
【０６２４】
なお、図３６は、“０１”ベリファイリード時の様子を簡略化して示すものである。
【０６２５】
２．－２．－４．　“ＶＥＲＩＦＹ００”
図３７は、“００”ベリファイリードの動作タイミングを示している。
【０６２６】
“００”ベリファイリード（ＶＥＲＩＦＹ００）では、ビット線をプリチャージした後、選択されたワード線を図１３に示すＶｃｇｖ００（例えば、約０．９Ｖ）にし、ビット線の電位変化を検出し、メモリセルのデータを読み出す。
【０６２７】
“ＶＥＲＩＦＹ００”では、データ回路内の２つの記憶回路（ＬＡＴＣＨ１，Ｃ１）が、“１１”、“１０”、“０１”の書き込みデータをラッチしている場合には、書き込みデータの変更はない。
【０６２８】
一方、“ＶＥＲＩＦＹ００”において、データ回路内の２つの記憶回路（ＬＡＴＣＨ１，Ｃ１）が、“００”の書き込みデータをラッチしている場合には、読み出しデータが書き込み十分を示しているとき、即ち、ビット線が“Ｈ”のときには、それ以降、書き込みを行わないように、書き込みデータが“００”から“１０”に変化する（奇数ページデータが“０”から“１”に変化する。）。

【０６２９】
また、“ＶＥＲＩＦＹ００”において、データ回路内の２つの記憶回路（ＬＡＴＣＨ１，Ｃ１）が、“００”の書き込みデータをラッチしている場合に、読み出しデータが書き込み不十分を示しているとき、即ち、ビット線が“Ｌ”のときには、引き続き、書き込みを行うように、書き込みデータの変更はない。
【０６３０】
ところで、図２３のフローチャートに示すように、“ＶＥＲＩＦＹ００”の前に、上述した“ＶＥＲＩＦＹ０１”が実行される。
【０６３１】
従って、“ＶＥＲＩＦＹ０１”において、“０１”書き込み十分を示すデータが読み出されているときは、データ回路内の２つの記憶回路（ＬＡＴＣＨ１，Ｃ１）にラッチされたデータは、既に、“０１”から“１１”に変更されている。一方、“０１”書き込み不十分を示すデータが読み出されているときは、データ回路内の２つの記憶回路（ＬＡＴＣＨ１，Ｃ１）にラッチされたデータは、“０１”のままである。
【０６３２】
具体的な動作は、以下のようになる。
まず、ビット線のプリチャージ動作及びメモリセルのデータをビット線に読み出す動作が実行される。
【０６３３】
即ち、ビット線のプリチャージなどを行った後、時刻ＲＣＬＫ７に、ＳＧＳがＶｒｅａｄとなり、メモリセルのデータに応じてビット線の電位が変化する。
【０６３４】
例えば、“１１”、“１０”書き込みを行うメモリセル（即ち、書き込みを行わないメモリセル）では、Ｖｃｇｖ００（例えば、約０．９Ｖ）により、そのメモリセルがオン状態になるため、ビット線の電荷が放電され、ビット線は、０．３Ｖ以下の電位となる。
【０６３５】
また、“００”書き込みを行うメモリセルにおいて、“００”書き込み不十分の場合には、Ｖｃｇｖ００（例えば、約０．９Ｖ）により、そのメモリセルがオン状態になるため、ビット線の電荷が放電され、ビット線は、０．３Ｖ以下の電位となる。
【０６３６】
また、“００”書き込みを行うメモリセルにおいて、“００”書き込み十分の場合には、Ｖｃｇｖ００（例えば、約０．９Ｖ）により、そのメモリセルがオフ状態になるため、ビット線の電荷は放電されず、ビット線は、０．８Ｖを維持する。
【０６３７】
なお、“０１”書き込みを行うメモリセルに関しては、“０１”書き込み十分の場合には、Ｖｃｇｖ００（例えば、約０．９Ｖ）により、当然に、そのメモリセルがオフ状態になるため、ビット線の電荷は放電されず、ビット線は、０．８Ｖを維持する。
【０６３８】
しかし、“０１”書き込み不十分の場合には、Ｖｃｇｖ００（例えば、約０．９Ｖ）により、メモリセルがオンになる場合（閾値電圧がＶｃｇｖ００よりも低い場合）とオフになる場合（閾値電圧がＶｃｇｖ００よりも高い場合）がある。よって、“０１”書き込み不十分の場合には、そのメモリセルの閾値電圧に応じて、ビット線は、０．８Ｖを維持するか又は０．３Ｖ以下の電位になるかが決定される。
【０６３９】
ここで、本例では、メモリセルのデータをビット線に読み出している最中、即ち、時刻ＲＣＬＫ７～ＲＣＬＫ８において、ＲＥＧ１が“Ｈ”になる。なお、ＢＬＣＬＭＰは、Ｖｃｌｍｐ（例えば、約１．６Ｖ）である。
【０６４０】
そして、表９から明らかなように、偶数ページデータが“１”のとき（“１１”、“０１”書き込みのとき）、ＤＲＡＭセル（ノードＣＡＰ１ｉｊ）には、“Ｈ”がラッチされて

いる。つまり、“１１”、“０１”書き込みの場合に、センスノード（ＤＴＮｉｊ）は、ＶＲＥＧ（Ｖｓｓ）に短絡され、センスノードは、強制的に、Ｖｓｓとなる。

【０６４１】

その結果、“１１”、“１０”書き込みを行う場合、“００”書き込みが不十分な場合、及び、“０１”書き込みを行う場合には、ビット線は、“Ｌ”、即ち、０．３Ｖ以下の電位となり、“００”書き込み十分の場合のみ、ビット線は、“Ｈ”、即ち、０．８Ｖを維持する。

【０６４２】

この後、時刻ＲＣＬＫ８に、ＢＬＣＬＭＰがＶｓｓになり、ビット線とセンスノードが電気的に切断される。

【０６４３】

ところで、以上のような動作、即ち、ビット線に対するプリチャージや、放電（セルデータの読み出し）などを行っている間に、ラッチ回路ＬＡＴＣＨ１に記憶された書き込みデータを、ノードＣＡＰ２ｉｊに転送し、かつ、一時記憶する。これにより、読み出しデータが奇数ページデータに衝突しないようにする。

【０６４４】

時刻ＲＣＬＫ１に、ＣＡＰＣＲＧ及びＶＲＥＧを、それぞれＶｄｄに設定し、時刻ＲＣＬＫ４に、ＢＯＯＴをＶｓｓに設定する。時刻ＲＣＬＫ５に、ＶＲＥＧがＶｓｓになると、ノードＣＡＰ２ｉｊは、Ｖｓｓにリセットされる。なお、この間、ＤＴＧ２は、Ｖｓｓになっている。

【０６４５】

時刻ＲＣＬＫ９／ＳＣＬＫ１に、ＣＡＰＣＲＧがＶｓｓになり、ノードＣＡＰ２ｉｊは、フローティング状態になる。この後、時刻ＳＣＬＫ２に、ＤＴＧ２がＶｓｇ（例えば、約４．５Ｖ）になり、ラッチ回路ＬＡＴＣＨ１にラッチされた書き込みデータ（奇数ページデータ）は、ＭＯＳトランジスタＴＮ２を経由して、ノードＣＡＰ２ｉｊに転送され、かつ、一時記憶される。

【０６４６】

即ち、奇数ページの書き込みデータが“０”の場合（“００”書き込み又は“０１”書き込みを行う場合）には、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊが“Ｌ”であるため、ノードＣＡＰ２ｉｊは、Ｖｓｓになる。

【０６４７】

また、奇数ページの書き込みデータが“１”の場合（“１１”、“１０”状態を維持する場合及び“００”、“０１”書き込みが十分になった場合）には、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊが“Ｈ”であるため、ノードＣＡＰ２ｉｊは、Ｖｄｄになる。

【０６４８】

この後、時刻ＳＣＬＫ３に、ＤＴＧ２がＶｄｄになり、時刻ＳＣＬＫ４に、ＢＯＯＴがＶｄｄになる。

【０６４９】

この時、奇数ページの書き込みデータが“０”の場合（“００”書き込み又は“０１”書き込みを行う場合）には、ノードＣＡＰ２ｉｊは、Ｖｓｓのままとなる。また、奇数ページの書き込みデータが“１”の場合（“１１”又は“１０”状態を維持する場合）には、ノードＣＡＰ２ｉｊの電位は、キャパシタＤＬＮ（Ｃ２）によりブートされるため、Ｖｄｄ（例えば、約２．３Ｖ）から３．５Ｖ程度に上昇する。

【０６５０】

この後、時刻ＳＣＬＫ５に、ＤＴＧ２がＶｓｓになり、ノードＣＡＰ２ｉｊは、ラッチ回路ＬＡＴＣＨ１から電気的に切り離される。

【０６５１】

さらに、この後、時刻ＳＣＬＫ６に、ＳＥＮ及びＬＡＴが共に“Ｌ”、ＳＥＮＢ及びＬＡＴＢが共に“Ｈ”になり、データ回路内のラッチ回路ＬＡＴＣＨ１、即ち、クロックドインバータＣＩＮＶ１，ＣＩＮＶ２が非動作状態となる。

【０６５２】
また、時刻ＳＣＬＫ７に、ＢＬＣがＶｓｇ（例えば、約４．５Ｖ）、ｎＰＲＳＴが“Ｌ”になることで、センスノード（ＤＴＮｉｊ）が充電され、センスノードは、Ｖｄｄになる。同時に、Ｎａｉｊも、Ｖｄｄとなる。また、時刻ＳＣＬＫ８に、ｎＰＲＳＴがＶｄｄになると、センスノード（ＤＴＮｉｊ）は、フローティング状態になる。
【０６５３】
時刻ＳＣＬＫ９に、ＢＬＣＬＭＰがＶｓｅｎｓｅ（例えば、約１．６Ｖ）になると、ビット線に読み出されたメモリセルのデータは、センスノード（ＤＴＮｉｊ）に転送される。
【０６５４】
即ち、“１１”、“１０”書き込みを行うメモリセル、“００”書き込みを行うメモリセルのうち書き込みが不十分のメモリセル、及び、“０１”書き込みを行うメモリセルに関しては、ビット線は、０．３Ｖ以下の電位となっているため、センスノード（ＤＴＮｉｊ）の電位も、０．３Ｖ以下の電位に低下する。
【０６５５】
一方、“００”書き込みを行うメモリセルのうち書き込みが十分のメモリセルに関しては、ビット線は、０．８Ｖを維持しているため、クランプ用のＭＯＳトランジスタＴＮ９（図２）がカットオフし、センスノード（ＤＴＮｉｊ）は、Ｖｄｄを維持する。
【０６５６】
時刻ＳＣＬＫ１０において、センスノード（ＤＴＮｉｊ）の電位は、表１１に示す通りとなる。
【０６５７】
【表１１】

"VERIFY00"の中のｾﾝｽﾉｰﾄﾞ(DTNij・Naij)

	"11","10" 書き込み(書き込み非選択)	"00"書き込み不十分	"00"書き込み十分	"01"書き込み不十分	"01"書き込み十分
SCLK10の時点	"Low"	"Low"	"High"	"Low"	"Low"
SCLK12の時点	"High"	"Low"	"High"	"Low"	"High"

【０６５８】
この後、時刻ＳＣＬＫ１１に、ＲＥＧ２がＶｓｇとなり、ＭＯＳトランジスタＴＮ６（図２）がオン状態となる。
【０６５９】
ここで、“１１”、“１０”書き込みを行う場合及び“０１”書き込みが十分の場合（奇数ページデータが“１”の場合。“０１”書き込み十分では、“０１”が“１１”に変更されている。）には、ノードＣＡＰ２ｉｊには、“Ｈ”がラッチされているため、ＭＯＳトランジスタＴＮ１（図２）は、オン状態である。つまり、ＣＯＭｉ（Ｖｄｄに設定されている）とセンスノード（ＤＴＮｉｊ）が短絡し、その結果、センスノード（ＤＴＮｉｊ）は、Ｖｄｄとなる。
【０６６０】
また、“００”書き込み及び“０１”書き込み不十分の場合（奇数ページデータが“０”の場合）には、ノードＣＡＰ２ｉｊには、“Ｌ”がラッチされているため、ＭＯＳトランジスタＴＮ１（図２）は、オフ状態である。つまり、ＣＯＭｉ（Ｖｄｄに設定されている）とセンスノード（ＤＴＮｉｊ）は電気的に切り離されているため、センスノード（ＤＴＮｉｊ）の電位の変化はない。

【０６６１】
従って、時刻ＳＣＬＫ１２におけるセンスノード（ＤＴＮｉｊ）の電位は、上記表１１に示す通りとなる。
【０６６２】
この後、時刻ＳＣＬＫ１３に、ＳＥＮがＶｄｄ、ＳＥＮＢがＶｓｓとなり、クロックドインバータＣＩＮＶ１が動作状態となるため、センスノード（ＤＴＮｉｊ）の電位がセンスされる。
【０６６３】
上記表１１に示すように、“１１”、“１０”書き込みを行う場合には、センスノード（ＤＴＮｉｊ）は、“Ｈ”であり、ノードＮａｉｊも、“Ｈ”となる。もともと、“１１”、“１０”書き込みを行う場合（奇数ページデータが“１”の場合）には、ノードＮａｉｊは、“Ｈ”であったため（表９参照）、“１１”、“１０”書き込みを行う場合には、書き込みデータの変更はない。
【０６６４】
また、“００”書き込みを行う場合で、かつ、“００”書き込みが不十分の場合には、センスノード（ＤＴＮｉｊ）は、“Ｌ”であり、ノードＮａｉｊも、“Ｌ”となる。もともと、“００”書き込みを行う場合（奇数ページデータが“０”の場合）には、ノードＮａｉｊは、“Ｌ”であったため（表９参照）、“００”書き込みを行う場合で、かつ、“００”書き込みが不十分の場合にも、書き込みデータの変更はない。
【０６６５】
また、“００”書き込みを行う場合で、かつ、“００”書き込みが十分の場合には、センスノード（ＤＴＮｉｊ）は、“Ｈ”であり、ノードＮａｉｊも、“Ｈ”となる。もともと、“００”書き込みを行う場合（奇数ページデータが“０”の場合）には、ノードＮａｉｊは、“Ｌ”であったため（表９参照）、“００”書き込みを行う場合で、かつ、“００”書き込みが十分の場合には、書き込みデータは、“００”から“１０”に変化する（ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊの値、つまり、奇数ページデータが“０”から“１”に変更される。）。
【０６６６】
また、“０１”書き込みを行う場合で、かつ、ＶＥＲＩＦＹ０１で書き込み不十分であった場合には、センスノード（ＤＴＮｉｊ）は、“Ｌ”であり、ノードＮａｉｊも、“Ｌ”となる。もともと、“０１”書き込みを行う場合（奇数ページデータが“０”の場合）には、ノードＮａｉｊは、“Ｌ”であったため（表９参照）、“０１”書き込みを行う場合で、かつ、書き込みが不十分の場合にも、書き込みデータの変更はない。
【０６６７】
また、“０１”書き込みを行う場合で、かつ、ＶＥＲＩＦＹ０１で書き込み十分であった場合には、センスノード（ＤＴＮｉｊ）は、“Ｈ”であり、ノードＮａｉｊも、“Ｈ”となる。もともと、ＶＥＲＩＦＹ０１で書き込み十分である場合には、上述したように、“０１”は、“１１”に変更されており、このため、ノードＮａｉｊは、“Ｈ”になっているため（表１０参照）、“０１”書き込みを行う場合で、かつ、書き込みが十分の場合にも、書き込みデータの変更はない（注意：“１１”のままである。）。
【０６６８】
なお、図３８は、“００”ベリファイリード時の様子を簡略化して示したものである。
【０６６９】
２．－２．－５．　“ Program completion detection ”
“ＶＥＲＩＦＹ０１”及び“ＶＥＲＩＦＹ００”の後に、“０１”又は“００”書き込みを行う全てのメモリセルに対して、きちんと“０１”又は“００”書き込みが行われたか否かを検出する“ Program completion detection ”動作が行われる。
【０６７０】
この検出は、“ＶＥＲＩＦＹ０１”及び“ＶＥＲＩＦＹ００”によってラッチ回路ＬＡＴＣＨ１にラッチされたデータ（表１０及び表１１参照）に基づいて行われる。そして、“

０１”又は“００”書き込みが十分でない場合には、再書き込み（書き込みパルスの印加）が実行され、“０１”又は“００”書き込みが十分な場合には、書き込み（書き込みパルスの印加）を終了する。

【０６７１】

図２６は、“ Program completion detection ”の動作タイミングを示している。

【０６７２】

なお、図２８の動作の概要で説明したように、“ＶＥＲＩＦＹ００”を終了した後に、次の“書き込みパルスの印加”が直ちに行われ、“ Program completion detection ”は、この“書き込みパルスの印加”に並列して実行される。

【０６７３】

従って、時刻ＰＣＬＫ７／ＣＣＬＫ１は、図２２中における時刻ＰＣＬＫ７／ＣＣＬＫ１と同じである。

【０６７４】

また、奇数ページデータの書き込み動作における“ Program completion detection ”では、図２６の時刻ＰＣＬＫ７／ＣＣＬＫ１から時刻ＣＣＬＫ９での動作が実行される。

【０６７５】

まず、時刻ＣＣＬＫ１に、ＣＡＰＣＲＧがＶｓｇ、ＶＲＥＧがＶｄｄになり、ノードＣＡＰ２ｉｊが充電され、ノードＣＡＰ２ｉｊの電位は、Ｖｄｄになる（ＤＴＧ２はＶｓｓ）。

【０６７６】

この後、時刻ＣＣＬＫ２（ＤＣＬＫ１）に、ＣＯＭＨｎ（図５）がＶｓｓからＶｄｄ、ＮＣＯＭＬ（図５）がＶｄｄからＶｓｓになると、ＣＯＭｉ１及びＣＯＭｉ２は、それぞれＶｄｄ、かつ、フローティング状態になり、ＮＣＯＭは、Ｖｓｓ、かつ、フローティング状態になる。

【０６７７】

時刻ＤＣＬＫ２に、例えば、ＲＥＧ２－０がＶｄｄになる。この時、図５において、第１及び第５のデータ回路が選択され、第１のデータ回路内のＲＥＧ２と第５のデータ回路内のＲＥＧ２がそれぞれＶｄｄになる。

【０６７８】

第１及び第５のデータ回路の双方において、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊのデータが“Ｈ（Ｖｄｄ）”の場合（表１１参照）、即ち、“１１”、“１０”書き込み（書き込み非選択）又は“００”、“１０”書き込み十分の場合には、センスノードＤＴＮｉｊは、“Ｈ（Ｖｄｄ）”を維持しているため、ＭＯＳトランジスタＴＮ６（図２）はオフ状態となり、ＣＯＭｉ１及びＣＯＭｉ２は、Ｖｄｄを保つ。従って、ＮＣＯＭは、Ｖｓｓを維持する。

【０６７９】

一方、第１及び第５のデータ回路の少なくとも一方において、ラッチ回路ＬＡＴＣＨ１のノードＮａｉｊのデータが“Ｌ（Ｖｓｓ）”の場合（表１１参照）、即ち、“００”、“０１”書き込み不十分の場合には、センスノードＤＴＮｉｊは、“Ｌ（Ｖｓｓ）”を維持しているため、ＭＯＳトランジスタＴＮ６（図２）はオン状態となり、ＣＯＭｉ１又はＣＯＭｉ２は、ＶｄｄからＶｓｓに変化する。従って、ＮＣＯＭは、ＶｓｓからＶｄｄに変化する。

【０６８０】

同様にして、順次、ＲＥＧ２－１，ＲＥＧ２－２，ＲＥＧ２－３がＶｄｄになる。つまり、ＲＥＧ２－１がＶｄｄのとき、第２及び第６のデータ回路が選択され、ＲＥＧ２－２がＶｄｄのとき、第３及び第７のデータ回路が選択され、ＲＥＧ２－３がＶｄｄのとき、第４及び第８のデータ回路が選択され、それぞれのデータ回路において、ラッチ回路ＬＡＴＣＨ１の状態、即ち、“００”、“０１”書き込みの十分／不十分が検出される。

【０６８１】

その結果、第１乃至第８のデータ回路の全てから“１１”、“１０”書き込み（書き込み

非選択）又は“００”、“０１”書き込み十分を示すデータが出力されると、時刻ＣＣＬＫ３の時点において、ＮＣＯＭは、Ｖｓｓになる。また、第１乃至第８のデータ回路の少なくとも１個から“００”、“０１”書き込み不十分を示すデータが出力されると、時刻ＣＣＬＫ３の時点において、ＮＣＯＭは、Ｖｄｄになる。

【０６８２】

また、ＦＬＡＧノード（図５）には、全てのカラムが並列に接続されている。従って、予めＦＬＡＧノードを、Ｖｄｄかつフローティング状態に設定しておき、この後、時刻ＣＣＬＫ３に、ＣＯＬＰＲＥをＶｄｄに設定し、ＭＯＳトランジスタＴＮ１７（図５）をオン状態にする。

【０６８３】

この時、全てのカラムに対応する全てのデータ回路から“１１”、“１０”書き込み（書き込み非選択）又は“００”、“０１”書き込み十分を示すデータが出力されている場合、ＮＣＯＭは、Ｖｓｓであるため、ＭＯＳトランジスタＴＮ１６（図５）は、オフ状態となる。従って、ＦＬＡＧノードは、Ｖｄｄを維持する。

【０６８４】

また、全てのカラムに対応する全てのデータ回路の少なくとも１個から“００”、“０１”書き込み不十分を示すデータが出力されている場合、ＮＣＯＭは、Ｖｄｄになるため、ＭＯＳトランジスタＴＮ１６（図５）は、オン状態となる。従って、ＦＬＡＧノードは、ＶｄｄからＶｓｓに変化する。

【０６８５】

このように、全てのカラムにおいて、“００”、“０１”書き込み不十分なメモリセルが存在しない場合のみに、ＦＬＡＧノードは、Ｖｄｄを保ち、少なくとも１つのカラムにおいて、“００”、“０１”書き込み不十分なメモリセルが存在する場合には、ＦＬＡＧノードは、Ｖｓｓになる。

【０６８６】

従って、このＦＬＡＧノードのレベルを検出し、ＦＬＡＧノードがＶｄｄの場合、即ち、“００”、“０１”書き込み不十分のカラム（メモリセル）が存在しない場合には、奇数ページデータの書き込みルーチンを終了する。また、ＦＬＡＧノードがＶｓｓの場合、即ち、“００”、“０１”書き込み不十分のカラム（メモリセル）が少なくとも１個存在する場合には、再び、“０１”ベリファイリード及び“００”ベリファイリードを行い、この後、書き込みパルスの印加に並列して Program completion detection を行う。

【０６８７】

なお、不良セルが存在するために、リダンダンシイ回路によりスペアセルに置き換えられた不良カラム（置き換えの単位は８カラムとする）では、図５の一括検知回路１０のヒューズ素子が切断される。従って、この不良カラムのために、ＦＬＡＧノードがＶｓｓになることはない。

【０６８８】

２．－２．－６．　“ "00" - Program completion detection ”

Program completion detection を行った後、“００”書き込みを行う全てのメモリセルに対して、きちんと“００”書き込みが行われたか否かを検出する "00" - Program completion detection が行われる。

【０６８９】

"00" - Program completion detection の目的は、奇数ページデータの書き込み動作の概要で説明したように、“００”書き込みを行う全てのメモリセルが書き込み十分になった後に、“ＶＥＲＩＦＹ００”を省略し、この後、“ＶＥＲＩＦＹ０１”のみを行って、最終的に、“００”、“０１”書き込みを行う全てのメモリセルを書き込み十分にする点にある。

【０６９０】

この場合、“００”書き込みを行う全てのメモリセルが書き込み十分になった後に“ＶＥＲＩＦＹ００”が省略されるため、書き込み時間の短縮（書き込みの高速化）を図ること

ができる。
【０６９１】
図２６の時刻ＣＣＬＫ４から時刻ＣＣＬＫ９までが、"00" - Program completion detection の動作タイミングを示している。
【０６９２】
"00" - Program completion detection は、Program completion detectionと同様に、書き込みパルス印加（図２２）に並列して行われる。
【０６９３】
時刻ＣＣＬＫ５に、ＣＡＰＣＲＧがＶｓｇになり、ＭＯＳトランジスタＴＮ４（図２）がオン状態になる。その結果、ノードＣＡＰ２ｉｊは、ＶＲＥＧ（Ｖｄｄ）に短絡され、Ｖｄｄとなる。この後、時刻ＤＣＬＫ２に、ＣＡＰＣＲＧがＶｓｓになり、ＭＯＳトランジスタＴＮ４（図２）がオフ状態になる。その結果、ノードＣＡＰ２ｉｊは、フローティング状態になる。なお、ＤＴＧ２は、Ｖｓｓである。
【０６９４】
この後、時刻ＤＣＬＫ３に、ＲＥＧ１がＶｄｄになる。また、“１１”書き込み及び“０１”書き込みの場合、ノードＣＡＰ１ｉｊは、“Ｈ”となっている（表９参照）。
【０６９５】
従って、“１１”書き込みの場合、センスノード（ＤＴＮｉｊ）は、Ｖｄｄであるため、ＭＯＳトランジスタＴＮ３，ＴＮ１０（図２）がオフ状態となり、ノードＣＡＰ２ｉｊは、Ｖｄｄを維持する。
【０６９６】
また、“０１”書き込み十分の場合、センスノード（ＤＴＮｉｊ）は、Ｖｄｄであるため、ＭＯＳトランジスタＴＮ３，ＴＮ１０（図２）がオフ状態となり、ノードＣＡＰ２ｉｊは、Ｖｄｄを維持する。“０１”書き込み不十分の場合、センスノード（ＤＴＮｉｊ）は、Ｖｓｓであるため、ＭＯＳトランジスタＴＮ３，ＴＮ１０（図２）がオン状態となり、ノードＣＡＰ２ｉｊは、ＶｄｄからＶｓｓに変化する。
【０６９７】
また、“００”書き込み及び“１０”書き込みの場合、ノードＣＡＰ１ｉｊは、“Ｌ”となっている（表９参照）。従って、ＭＯＳトランジスタＴＮ３（図２）がオフ状態となり、ノードＣＡＰ２ｉｊは、Ｖｄｄを維持する。
【０６９８】
つまり、時刻ＤＣＬＫ４の時点で、“０１”書き込み不十分の場合のみ、ノードＣＡＰ２ｉｊがＶｓｓとなり、それ以外の場合は、ノードＣＡＰ２ｉｊは、Ｖｄｄを保つ。
【０６９９】
時刻ＤＣＬＫ４に、ＣＯＭＨｎが“Ｌ”になり、図５のＣＯＭｉ１及びＣＯＭｉ２は、Ｖｄｄ、かつ、フローティング状態になる。なお、ノードＮＣＯＭは、Ｖｓｓ、かつ、フローティング状態になっている。
【０７００】
時刻ＤＣＬＫ４に、例えば、ＲＥＧ２－０がＶｄｄとなる。この時、図５において、第１及び第５のデータ回路が選択され、第１のデータ回路内のＲＥＧ２と第５のデータ回路内のＲＥＧ２がそれぞれＶｄｄになる。
【０７０１】
ここで、ＣＯＭｉ１，ＣＯＭｉ２が放電される場合（Ｖｓｓとなる場合）は、ノードＣＡＰ２ｉｊがＶｄｄであり、かつ、センスノード（ＤＴＮｉｊ）がＶｓｓの場合のみである。そして、このような場合は、“００”書き込み不十分の場合に相当する。
【０７０２】
従って、第１及び第５のデータ回路の少なくとも一方において、“００”書き込み不十分の場合、ＣＯＭｉ１及びＣＯＭｉ２の少なくとも１つがＶｓｓになり、ＭＯＳトランジスタＴＰ２，ＴＰ３の少なくとも１つがオン状態となる。その結果、ノードＮＣＯＭは、充電され、Ｖｄｄとなる。

【０７０３】
第１及び第５のデータ回路の双方が、いずれも“００”書き込み不十分でない場合、ＣＯＭｉ１及びＣＯＭｉ２は、共に、Ｖｄｄを維持し、ＭＯＳトランジスタＴＰ２，ＴＰ３が共にオフ状態となる。その結果、ノードＮＣＯＭは、Ｖｓｓを維持する。
【０７０４】
同様にして、順次、ＲＥＧ２－１，ＲＥＧ２－２，ＲＥＧ２－３がＶｄｄとなる。つまり、ＲＥＧ２－１がＶｄｄのとき、第２及び第６のデータ回路が選択され、ＲＥＧ２－２がＶｄｄのとき、第３及び第７のデータ回路が選択され、ＲＥＧ２－３がＶｄｄのとき、第４及び第８のデータ回路が選択され、それぞれのデータ回路において、“００”書き込みの十分／不十分が検出される。
【０７０５】
その結果、第１乃至第８のデータ回路の少なくとも１つから“００”書き込み不十分を示すデータが出力されると、時刻ＣＣＬＫ７の時点において、ＮＣＯＭは、Ｖｄｄになる。
【０７０６】
また、第１乃至第８のデータ回路のいずれからも“００”書き込み不十分を示すデータが出力されていない場合のみ、時刻ＣＣＬＫ７の時点において、ＮＣＯＭは、Ｖｓｓになる。
【０７０７】
ところで、ＦＬＡＧノード（図５）には、全てのカラムが並列に接続されている。従って、ＦＬＡＧノードを、Ｖｄｄ、かつ、フローティング状態に設定しておき、この後、時刻ＣＣＬＫ７に、ＣＯＬＰＲＥをＶｄｄに設定し、ＭＯＳトランジスタＴＮ１７（図５）をオン状態にする。
【０７０８】
この時、全てのカラムに対応する全てのデータ回路のうちの少なくとも１つから“００”書き込み不十分を示すデータが出力されているときは、ＮＣＯＭがＶｄｄであるため、ＭＯＳトランジスタＴＮ１６（図５）がオン状態となり、ＦＬＡＧノードは、Ｖｓｓとなる。
【０７０９】
一方、全てのカラムに対応する全てのデータ回路のいずれからも“００”書き込み不十分を示すデータが出力されていないときは、ＮＣＯＭがＶｓｓであるため、ＭＯＳトランジスタＴＮ１６（図５）がオフ状態となり、ＦＬＡＧノードは、Ｖｄｄとなる。
【０７１０】
このように、全てのカラムにおいて、“００”書き込み不十分なメモリセルが存在しない場合のみに、ＦＬＡＧノードは、Ｖｄｄを保ち、少なくとも１つのカラムにおいて、“００”書き込み不十分なメモリセルが存在する場合には、ＦＬＡＧノードは、Ｖｓｓになる。
【０７１１】
従って、このＦＬＡＧノードのレベルを検出し、ＦＬＡＧノードがＶｄｄの場合、即ち、“００”書き込み不十分なカラム（メモリセル）が存在しない場合には、以後、“ＶＥＲＩＦＹ００”は、行わないようにする。また、ＦＬＡＧノードがＶｓｓの場合、即ち、“００”書き込み不十分なカラム（メモリセル）が存在する場合には、引き続き、“ＶＥＲＩＦＹ００”を行う。
【０７１２】
なお、不良セルが存在するために、リダンダンシイ回路によりスペアセルに置き換えられた不良カラム（置き換えの単位は８カラムとする）では、図５の一括検知回路１０のヒューズ素子が切断される。従って、この不良カラムのために、ＦＬＡＧノードがＶｓｓになることはない。
【０７１３】
３．　消去動作（Erase operation）
消去動作時において、セルウェルには、消去電位Ｖｅｒａ（例えば、約２０Ｖ）が印加さ

れる。

【０７１４】

そして、選択されたメモリセルブロック内の全てのワード線は、接地電位Ｖｓｓに設定される。その結果、選択されたメモリセルブロック内のメモリセルのトンネル酸化膜に高電界がかかり、フローティングゲート電極中の電子がチャネル（セルウェル）に放出され、メモリセルの閾値電圧が低下する。

【０７１５】

非選択のメモリセルブロック内の全てのワード線は、フローティング状態に設定される。その結果、消去電位Ｖｅｒａがセルウェルに印加されると、セルウェルとワード線（コントロールゲート電極）の容量カップリングにより、ワード線の電位は、Ｖｅｒａ又はその近傍まで上昇する。従って、非選択のメモリセルブロック内のメモリセルのトンネル酸化膜には高電界がかからないため、フローティングゲート電極中の電子の移動はなく、メモリセルの閾値電圧の変動もない。

【０７１６】

ところで、図７に示す第１のメモリセルブロックでは、メモリセルアレイ上にロウシールド線（ Row shield line ）が存在する。消去動作時、このロウシールド線の電位も、セルウェルの電位と同様に、ＶｓｓからＶｅｒａに上昇する。ロウシールド線がＶｅｒａになることにより、非選択のメモリセルブロック内のワード線は、セルウェルとワード線の間の容量カップリングにより、Ｖｅｒａ又はその近傍の電位まで十分に上昇するため、誤消去が生じない。

【０７１７】

また、図８に示す第２のメモリセルブロックでは、メモリセルアレイ上に、ロウシールド線に代わり、ワード線ドライバ選択信号線が配置される。消去動作時、ワード線ドライバ選択信号線は、フローティング状態になる。また、ビット線の電位も、Ｖｅｒａになる。従って、非選択のメモリセルブロック内のワード線は、セルウェルとワード線の間の容量カップリングにより、Ｖｅｒａ又はその近傍の電位まで十分に上昇するため、誤消去が生じない。

【０７１８】

なお、ロウシールド線又はブロック選択線が、例えば、Ｖｓｓ又はＶｄｄの場合には、これらの線の下のメモリセルでは、ワード線と、ロウシールド線又はブロック選択線との間に大きな容量を生じる。その結果、ワード線は、昇圧し難くなり、誤消去を生じる。

【０７１９】

セルウェルに消去電位（消去パルス）Ｖｅｒａが印加された後に、消去が十分に行われたか否かを検証する消去ベリファイが行われる。消去ベリファイは、消去パルスを印加した後にメモリセルのデータを読み出す消去ベリファイリード（ Erase verify read ）と、消去ベリファイリードにより読み出されたデータに基づいて、消去不十分のカラムが存在するか否かを検出する“ Erase completion detection ”からなる。

【０７２０】

本例（例えば、図２参照）のメモリ回路では、２本のビット線ＢＬｅ，ＢＬｏが１個のデータ回路を共有しているため、例えば、偶数本目のビット線ＢＬｅに接続されるメモリセルに対する消去ベリファイリードを行った後、これら偶数本目のビット線ＢＬｅに接続される全てのメモリセルのデータが消去されたか否かを検出する“ Erase completion detection ”が行われる。

【０７２１】

この後、例えば、奇数本目のビット線ＢＬｏに接続されるメモリセルに対する消去ベリファイリードを行った後、これら奇数本目のビット線ＢＬｏに接続される全てのメモリセルのデータが消去されたか否かを検出する“ Erase completion detection ”が行われる。

【０７２２】

そして、選択された全てのメモリセルについて、消去十分であることが確認されると、消去動作が終了する。消去不十分のメモリセルがある場合には、再び、消去動作（消去パル

スの印加）が行われる。
【０７２３】
以下、消去動作について、動作タイミング図を用いて詳細に説明する。
３．－１．　消去パルス印加
図３９は、消去パルスの印加に関する動作タイミングを示している。
【０７２４】
＜奇数番目のメモリセルブロック＞
奇数番目のメモリセルブロックでは、上述したように、このブロック内のワード線及びセレクトゲート線の電位を制御するワード線制御回路（ロウアドレスデコーダとワード線ドライバ）がメモリセルアレイの一方側にまとまって配置される。第１のメモリセルブロックを例として、以下、説明する。
【０７２５】
第１のメモリセルブロックが選択される場合、図９のロウアドレスデコーダＲＡＤＤ１の出力信号ＲＤＥＣＡＤがＶｄｄになり、図１０のワード線ドライバＲＭＡＩＮ１内のノードＴｒａｎｓｆｅｒＧ１がＶｄｄに設定される。信号線ＣＧ１，ＣＧ２，…ＣＧ１６の電位は、切替回路（図１）により、接地電位Ｖｓｓに設定される。また、信号線ＳＧＤ，ＳＧＳの電位は、Ｖｄｄに設定される。
【０７２６】
この時、ワード線ＷＬ１，ＷＬ２，…ＷＬ１６の電位は、接地電位Ｖｓｓに設定され、セレクトゲート線ＳＧ１，ＳＧ２は、Ｖｄｄ－Ｖｔｈ（Ｖｔｈは、ＭＯＳトランジスタＨＮｔ１の閾値電圧である。）の電位で、かつ、フローティング状態となる。
【０７２７】
第１のメモリセルブロックが非選択の場合、図９のロウアドレスデコーダＲＡＤＤ１の出力信号ＲＤＥＣＡＤがＶｓｓになり、図１０のワード線ドライバＲＭＡＩＮ１内のノードＴｒａｎｓｆｅｒＧ１がＶｓｓに設定される。その結果、ワード線ＷＬ１，ＷＬ２，…ＷＬ１６は、接地電位Ｖｓｓで、かつ、フローティング状態となる。
【０７２８】
また、ＭＯＳトランジスタＨＮ７，ＨＮ８がオン状態となり、ＳＧＤＳがＶｄｄであるため、セレクトゲート線ＳＧ１，ＳＧ２は、Ｖｄｄ－Ｖｔｈ（Ｖｔｈは、ＭＯＳトランジスタＨＮ７，ＨＮ８の閾値電圧である。）の電位で、かつ、フローティング状態となる。
【０７２９】
＜偶数番目のメモリセルブロック＞
偶数番目のメモリセルブロックでは、上述したように、このブロック内のワード線及びセレクトゲート線の電位を制御するワード線制御回路のうち、ロウアドレスデコーダがメモリセルアレイの一方側に配置され、ワード線ドライバがメモリセルアレイの他方側に配置される。第２のメモリセルブロックを例として、以下、説明する。
【０７３０】
まず、時刻ＥＣＬＫ２に、ＲＯＷＰＲＯＧ１がＶｓｓ、ＲＯＷＰＲＯＧ１ＢがＶｄｄになり、図１２のワード線ドライバＲＭＡＩＮ２内のクロックドインバータＣＩＮＶ５，ＣＩＮＶ６が非動作状態となる。この後、時刻ＥＣＬＫ３に、ＲＯＷＥＲＡＳＥ１がＶｄｄ、ＲＯＷＥＲＡＳＥ１ＢがＶｓｓになり、図１１のロウアドレスデコーダＲＡＤＤ２内のクロックドインバータＣＩＮＶ３が非動作状態となり、クロックドインバータＣＩＮＶ４が動作状態となる。
【０７３１】
そして、第２のメモリセルブロックが選択される場合、ＲＤＥＣＡＤＳ１がＶｄｄとなるため、図１１のロウアドレスデコーダＲＡＤＤ２の出力信号ＲＤＥＣＡＤＳは、Ｖｓｓとなる。また、第２のメモリセルブロックが非選択の場合、ＲＤＥＣＡＤＳ１がＶｓｓとなるため、図１１のロウアドレスデコーダＲＡＤＤ２の出力信号ＲＤＥＣＡＤＳは、Ｖｄｄとなる。
【０７３２】

この後、時刻ＥＣＬＫ４に、ＲＯＷＥＲＡＳＥ２がＶｄｄとなり、ＲＯＷＥＲＡＳＥ２ＢがＶｓｓとなると、クロックドインバータＣＩＮＶ７が動作状態となる。

【０７３３】

その結果、第２のメモリセルブロックが選択される場合、ＲＤＥＣＡＤＳ２がＶｄｄとなるため、図１２のワード線ドライバ内のノードＴｒａｎｓｆｅｒＧ２がＶｄｄとなる。一方、第２のメモリセルブロックが非選択の場合、ＲＤＥＣＡＤＳ２がＶｓｓとなるため、図１２のワード線ドライバ内のノードＴｒａｎｓｆｅｒＧ２がＶｓｓとなる。

【０７３４】

この後、時刻ＥＣＬＫ５に、ＲＯＷＥＲＡＳＥ３ｎがＶｓｓになると、第２のメモリセルブロックが非選択の場合（ＲＤＥＣＡＤＳ２がＶｓｓの場合）に、そのデータがラッチされる。

【０７３５】

また、時刻ＥＣＬＫ６に、ＲＯＷＧＡＴＥがＶｓｓになると、第２のメモリセルブロックが非選択の場合（ＲＤＥＣＡＤＳがＶｄｄの場合）、ＭＯＳトランジスタＤＨＮ６，ＤＨＮ９（図１１及び図１２）がカットオフし、ワード線ドライバ選択信号線２２（図８）がフローティング状態になる。

【０７３６】

このように、奇数番目のメモリセルブロックが選択される場合でも、偶数番目のメモリセルブロックが選択される場合でも、時刻ＥＣＬＫ６の時点で、選択されたブロック内のワード線は、Ｖｓｓに設定され、非選択のブロック内のワード線及びセレクトゲート線は、フローティング状態となる。

【０７３７】

また、偶数番目のメモリセルブロックにおいては、そのブロックが非選択の場合には、ワード線ドライバ選択信号線２２（図８）は、Ｖｄｄで、かつ、フローティング状態となる。

【０７３８】

この後、時刻ＥＣＬＫ７に、セルウェルＣＰＷＥＬＬをＶｅｒａ（例えば、約２０Ｖ）に設定する。この時、選択されたブロック内では、ワード線（接地電位Ｖｓｓ）とセルウェルの間に高電界がかかり、メモリセルのフローティングゲート電極中の電子がセルウェルに放出され、データ消去が実行される。

【０７３９】

また、非選択のブロック内では、時刻ＥＣＬＫ７に、セルウェルＣＰＷＥＬＬをＶｅｒａ（例えば、約２０Ｖ）に設定すると、ワード線とセルウェルの間の容量カップリングにより、ワード線の電位がＶｅｒａ又はその近傍まで上昇する。この時、ワード線ドライバ選択信号線２２（図８）の電位も、ワード線ドライバ選択信号線とセルウェルの間の容量カップリングにより、上昇する。

【０７４０】

従って、非選択のブロック内では、ワード線とセルウェルの間に高電界がかからないため、メモリセルのフローティングゲート電極中の電子がセルウェルに放出されることもなく、データ消去が行われない。

【０７４１】

なお、時刻ＥＣＬＫ８において、ＢＩＡＳｅ及びＢＩＡＳｏをＶｄｄに設定しているのは、ＭＯＳトランジスタＨＮ１ｅ，ＨＮ１ｏ（図２）のドレインのサーフェイス・リーク電流を減少させるためである。

【０７４２】

そして、時刻ＥＲＣＶ１以降に、消去後のリカバリ動作が行われる。

セルウェルＣＰＷＥＬＬの電位が、Ｖｅｒａから１０Ｖ程度に低下すると、ＢＬＣＲＬをＶｓｓに接地し、ビット線ＢＬｅ，ＢＬｏの電荷を放電する。Ｖｅｒａが１０Ｖ程度の場合には、ビット線ＢＬｅ，ＢＬｏは、ビット線ＢＬｅ，ＢＬｏとセルウエルＣＰＷＥＬＬの間の容量カップリングにより、１２Ｖ程度にまで低下している。

【０７４３】
従って、ＭＯＳトランジスタＨＮ１ｅ，ＨＮ１ｏ（図２）がスナップバックすることはない。
【０７４４】
なお、セルウェルＣＰＷＥＬＬが２０Ｖ程度のときに、ＢＬＣＲＬをＶｓｓに接地し、ビット線ＢＬｅ，ＢＬｏの電荷を放電すると、ＭＯＳトランジスタＨＮ１ｅ，ＨＮ１ｏ（図２）がスナップバックし、そのＭＯＳトランジスタが破壊されてしまうという問題がある。
【０７４５】
３．－２．　“Ｅｒａｓｅ　Ｖｅｒｉｆｙ　Ｒｅａｄ”
図４０は、消去ベリファイリード（ Erase verify read ）の動作タイミングを示している。
本例では、偶数本目のビット線ＢＬｅに接続されるメモリセルに対して消去ベリファイリードを行い、奇数本目のビット線ＢＬｏについては、シールドビット線とすることを前提とする。消去ベリファイリードでは、シールドビット線ＢＬ０は、Ｖｄｄに設定される。
【０７４６】
まず、時刻ＲＣＬＫ１に、ＣＡＰＣＲＧをＶｄｄに設定し、時刻ＲＣＬＫ２に、ＢＬＣＬＭＰをＶｃｌｍｐ（例えば、約２Ｖ）に設定する。そして、時刻ＲＣＬＫ５に、ＲＥＧ１がＶｄｄになることにより、選択されたビット線ＢＬｅは、Ｖｓｓ（０Ｖ）に設定される（ＶＲＥＧは、Ｖｓｓ、ＣＡＰ１ｉｊは、Ｖｄｄである。）。
【０７４７】
時刻ＲＣＬＫ７に、選択されたワード線（コントロールゲート電極）ＣＧ select は、Ｖｃｇｅｖ（例えば、０Ｖ）に設定され、セレクトゲート線ＳＧＤは、Ｖｒｅａｄ（例えば、約３．５Ｖ）に設定される（ＳＧＳは、Ｖｒｅａｄ）。
【０７４８】
消去ベリファイリードは、通常、ビット線ＢＬｅに接続され、かつ、選択されたブロック内の全てのワード線に接続されたメモリセルに対して、ほぼ同時に行われるため、選択されたブロック内のワード線ＷＬ１，ＷＬ２，…ＷＬ１６は、全て、Ｖｃｇｅｖに設定される。
【０７４９】
その結果、選択された１ブロック内の１ビット線ＢＬｅに接続される全てのメモリセル（１ＮＡＮＤセルユニット内のメモリセル）が消去十分のとき、その１ビット線ＢＬｅは、“Ｈ”となる。また、選択された１ブロック内の１ビット線ＢＬｅに接続されるメモリセルのうち、少なくとも１個のメモリセルが消去不十分のときは、その１ビット線ＢＬｅは、“Ｌ”となる。
【０７５０】
なお、消去ベリファイリードにおいて、非選択のビット線ＢＬｏは、ビット線間に生じるカップリングノイズの低減のため、Ｖｄｄに設定されている。
【０７５１】
各ビット線ＢＬｅの電位が確定した後、通常のリードと同様に、ビット線ＢＬｅの電位がセンスされる。
【０７５２】
そして、選択された１ブロック内の１ビット線ＢＬｅに接続される全てのメモリセルが消去十分のとき、その１ビット線ＢＬｅが接続されるデータ回路内のセンスノードＤＴＮｉｊ（ラッチ回路ＬＡＴＣＨ１の出力ノードＮａｉｊ）は、“Ｈ”となる。
【０７５３】
また、選択された１ブロック内の１ビット線ＢＬｅに接続されるメモリセルのうち、少なくとも１個のメモリセルが消去不十分のときは、その１ビット線ＢＬｅが接続されるデータ回路内のセンスノードＤＴＮｉｊ（ラッチ回路ＬＡＴＣＨ１の出力ノードＮａｉｊ）は、“Ｌ”となる。

【０７５４】
３．－３．　“ Erase completion detection ”
図４１は、 Erase completion detection に関する動作タイミングを示している。
【０７５５】
消去ベリファイリードの後、全てのカラムにおいて消去が完了したか否かを検出する“ Erase completion detection ”が行われる。図５において、全てのデータ回路内のラッチ回路ＬＡＴＣＨ１の出力ノードＮａｉｊが“Ｈ”のとき、ＦＬＡＧは、“Ｈ”を維持する。図５において、少なくとも１個のデータ回路内のラッチ回路ＬＡＴＣＨ１の出力ノードＮａｉｊが“Ｌ”のとき、ＦＬＡＧは、“Ｌ”となる。
【０７５６】
ＦＬＡＧノードは、全てのカラムに接続されているため、選択された１ブロック内のメモリセルのうち、少なくとも１個のメモリセルが消去不十分であると、ＦＬＡＧノードは、“Ｌ”となり、再度、消去パルスの印加が行われる。選択された１ブロック内の全てのメモリセルが消去十分であると、ＦＬＡＧノードは、“Ｈ”となり、消去動作が終了する。
【０７５７】
なお、“ Erase completion detection ”は、上述した“偶数ページデータの書き込み動作”における“ Program completion detection ”とほぼ同様なので、その動作説明の詳細については、省略する。
【０７５８】
４．　バーイン（Burn-in）・モード
周辺回路を構成するＭＯＳトランジスタ（メモリセル以外のＭＯＳトランジスタ）の信頼性を試験するバーイン・モードでは、電源電位Ｖｄｄの値を、通常動作時に使用する値（例えば、約２．３Ｖ）よりも高い値（例えば、約３．５Ｖ）に設定する。
【０７５９】
この場合、図２のデータ回路内のノードＣＡＰ２ｉｊには、電源電位Ｖｄｄ（例えば、約３．５Ｖ）が印加される。従って、バーイン・モードにおいて、電源電位Ｖｄｄの値を大きくし過ぎると、ＢＯＯＴがＶｓｓからＶｄｄに変化したときに、容量カップリングによりノードＣＡＰ２ｉｊが過剰な高電位となり、図２のデータ回路内のＭＯＳトランジスタＤＬＮ１のゲート（ＭＯＳキャパシタ）が破壊されるという問題がある。
【０７６０】
このような問題を解決するため、例えば、バーイン・モード時に、図２のデータ回路内のＢＯＯＴをＶｄｄに固定しておくことができる。この場合、ノードＣＡＰ２ｉｊの電位は、常に、Ｖｄｄ以下の電位となるため、ＭＯＳトランジスタＤＬＮ１のゲート酸化膜（キャパシタ絶縁膜）に過剰な高電圧が印加されることがない。
【０７６１】
従って、ＭＯＳトランジスタＤＬＮ１のゲートの破壊を防止できる。
【０７６２】
５．　ＤＲＡＭ・バーイン（Burn-in）・モード
上述したように、周辺回路の信頼性試験である通常の“バーイン・モード”においては、原則的に、図２のデータ回路内のノードＣＡＰ２ｉｊ（ＤＲＡＭセル）にＶｄｄを与えることができない。そこで、ＤＲＡＭセルに対しては、以下の図４２に示す動作タイミングにより、バーイン・モードを実行する。
【０７６３】
図４２は、ノードＣＡＰ２ｉｊ（ＤＲＡＭセル）に、Ｖｄｄとは別個の高電位を与えて、ＤＲＡＭセルについてバーイン（Burn-in）・テストを行うモードを示している。
【０７６４】
まず、ＶＲＥＧに、Ｖｅｘｔ（チップ外部から供給される電源電位）が印加される。また、ＣＡＰＣＲＧは、Ｖｓｇであるため、ＭＯＳトランジスタＴＮ４（図２）は、オン状態である。
【０７６５】

従って、ノードＣＡＰ２ｉｊの電位は、Ｖｅｘｔに固定される。なお、Ｖｅｘｔは、バーイン・モードにおいて、ＭＯＳキャパシタＤＬＮ１が破壊されないような所定の値に設定される。

【０７６６】

また、本例では、この後、ＤＴＧ１がＶｓｇとなり、ノードＮａｉｊからノードＣＡＰ１ｉｊ（ＤＲＡＭセル）にＶｄｄが供給される。

【０７６７】

このように、本例では、図２のデータ回路内のＤＲＡＭセルに対する信頼性試験は、図４２に示すような“ＤＲＡＭ・バーイン・モード”により行い、ＤＲＡＭセル以外の周辺回路に対する信頼性試験は、通常の“バーイン・モード”を行う。

【０７６８】

また、“ＤＲＡＭ・バーイン・モード”、即ち、ＤＲＡＭセルに対する信頼性試験は、通常の“バーイン・モード”、即ち、ＤＲＡＭセル以外の周辺回路に対する信頼性試験と同時に行うことができる。

【０７６９】

６．　“Ｒｅｆｒｅｓｈ”…第５の特徴

本例では、多値データ（例えば、４値データ）の一時記憶用として用いる複数個の記憶回路のうちの少なくとも１個を、ＤＲＡＭセル（キャパシタ）から構成している。従って、ＤＲＡＭセルに対しては、リークが問題となるような場合には、定期的にリフレッシュ（refresh）を行う必要がある。

【０７７０】

例えば、奇数ページデータの書き込み動作において、ノードＣＡＰ１ｉｊ（ＤＲＡＭセル）には、偶数ページの書き込みデータ（メモリセルから読み出したデータ）がラッチされる。ここで、ノードＣＡＰ１ｉｊの電荷のリークにより、ノードＣＡＰ１ｉｊにおけるデータ保持能力が問題となる場合には、定期的に、ノードＣＡＰ１ｉｊのデータをリフレッシュすればよい。

【０７７１】

図４３は、書き込み動作中に、ノードＣＡＰ１ｉｊのデータをリフレッシュする場合の動作タイミングを示している。

なお、時刻ＰＲＣＶ１は、図２２（書き込みパルス印加）における時刻ＰＲＣＶ１に相当している。

【０７７２】

時刻ＰＲＣＶ１になると、図２２から分かるように、ワード線の放電が行われる。時刻ＲＦＣＬＫ１（ＰＲＣＶ１）に、ＢＬＣが“Ｌ”になり、データ回路とビット線が切り離される。この時、奇数ページの書き込みデータは、ビット線に保持されている。

【０７７３】

時刻ＲＦＣＬＫ１に、ＳＥＮ及びＬＡＴがＶｓｓとなり、ＳＥＮＢ及びＬＡＴＢがＶｄｄになる。その結果、図２のクロックドインバータＣＩＮＶ１，ＣＩＮＶ２がそれぞれ非動作状態になり、ノードＮａｉｊ，Ｎｂｉｊがフローティング状態になる。

【０７７４】

この後、時刻ＲＦＣＬＫ２に、ＥＱＰＢが“Ｈ”になり、ノードＮａｉｊの電位とノードＮｂｉｊの電位がイコライズされる。図２のＭＯＳキャパシタＤＬＮ３は、ノードＮａｉｊの容量とノードＮｂｉｊの容量をほぼ等しくするために設けられている。

【０７７５】

また、時刻ＲＦＣＬＫ４に、ＤＴＧ１がＶｓｇになり、ノードＣＡＰ１ｉｊのデータ（偶数ページデータ）がノードＮａｉｊに転送される。

【０７７６】

そして、時刻ＲＦＣＬＫ５に、ＳＥＮが“Ｈ”、ＳＥＮＢが“Ｌ”になると、クロックドインバータＣＩＮＶ１により、ノードＣＡＰ１ｉｊのデータがセンスされる。また、時刻ＲＦＣＬＫ６に、ＬＡＴが“Ｈ”、ＬＡＴＢが“Ｌ”になると、ノードＣＡＰ１ｉｊのデ

ータ（偶数ページデータ）がラッチ回路ＬＡＴＣＨ１にラッチされる。
【０７７７】
この時点で、ノードＣＡＰ１ｉｊのデータは、リフレッシュされたことになる。そして、時刻ＲＦＣＬＫ７に、ＤＴＧ１がＶｓｓになると、リフレッシュされた偶数ページデータは、再び、ノードＣＡＰ１ｉｊに格納される。
【０７７８】
この後、ビット線に保持された奇数ページデータがラッチ回路ＬＡＴＣＨ１に戻される。
【０７７９】
まず、時刻ＲＦＣＬＫ８に、ＳＥＮ及びＬＡＴがＶｓｓになり、ＳＥＮＢ及びＬＡＴＢがＶｄｄになる。その結果、図２のクロックドインバータＣＩＮＶ１，ＣＩＮＶ２がそれぞれ非動作状態になり、ノードＮａｉｊ，Ｎｂｉｊがフローティング状態になる。
【０７８０】
また、時刻ＲＦＣＬＫ９に、ＢＬＣがＶｓｇになると、ビット線に保持されていた奇数ページデータがノードＮａｉｊに転送される。
【０７８１】
そして、時刻ＲＦＣＬＫ１０に、ＳＥＮが“Ｈ”、ＳＥＮＢが“Ｌ”になると、クロックドインバータＣＩＮＶ１により、奇数ページデータがセンスされる。また、時刻ＲＦＣＬＫ１１に、ＬＡＴが“Ｈ”、ＬＡＴＢが“Ｌ”になると、奇数ページデータがラッチ回路ＬＡＴＣＨ１にラッチされる。
【０７８２】
本例におけるリフレッシュ動作では、ノードＣＡＰ１ｉｊに保持された偶数ページデータをリフレッシュしている間、奇数ページデータは、ビット線に保持されている。
【０７８３】
従って、ビット線に保持された奇数ページデータがラッチ回路ＬＡＴＣＨ１に戻された後に、ビット線の放電（書き込み後のビット線の放電）が行われる。つまり、図４３の時刻ＲＦＣＬＫ１２は、常に、図２２（書き込みパルス印加）における時刻ＰＲＣＶ３よりも前でなければならない。
【０７８４】
［データ回路の変形例：その一］…第６及び第７の特徴
図４４は、データ回路の変形例を示している。
本例のデータ回路は、図２のデータ回路と比べると、ライト・キャッシュ（Write Cashe）ＷＣＳ１を備えている点に特徴を有する。
【０７８５】
ライト・キャッシュは、ＤＲＡＭセルから構成される。
【０７８６】
以下、ライト・キャッシュを用いた場合の効果について説明する。
複数ページにわたる書き込み動作（例えば、図４４のワード線ＷＬ１に接続されるメモリセルに対する書き込み後、続けて、ワード線ＷＬ２に接続されるメモリセルに対する書き込みを行い、さらに、続けて、ワード線ＷＬ３に接続されるメモリセルに対する書き込みを行うような動作をいう。）では、従来、図４５に示すように、書き込みデータの入力と、書き込み（書き込みパルスの印加）とが交互にシリアルに行われていた。
【０７８７】
これに対し、データ回路内にライト・キャッシュを持つ場合、図４６に示すように、書き込みデータの入力と、書き込み（書き込みパルスの印加）とをパラレルに行うことができる。
【０７８８】
例えば、図４４において、ワード線ＷＬ１に接続されるメモリセル（“Page1”）の書き込みデータがラッチ回路ＬＡＴＣＨ１に入力され、続けて、“Ｐａｇｅ１”の書き込みが行われる。また、“Ｐａｇｅ１”に対する書き込み中に、ワード線ＷＬ２に接続されるメモリセル（“Page2”）の書き込みデータがライト・キャッシュＷＣＳ１に入力される。

【０７８９】
“Ｐａｇｅ１”の書き込みが終了した後に、ライト・キャッシュＷＣＳ１に保持された“Ｐａｇｅ２”の書き込みデータがラッチ回路ＬＡＴＣＨ１に転送され、続けて、“Ｐａｇｅ２”の書き込みが行われる。また、“Ｐａｇｅ２”に対する書き込み中に、ワード線ＷＬ３に接続されるメモリセル（“Page3”）の書き込みデータがライト・キャッシュＷＣＳ１に入力される。
【０７９０】
このように、ライト・キャッシュＷＣＳ１を有するデータ回路によれば、書き込み（書き込みパルス印加）の最中に、次の書き込みの対象となるページに対する書き込みデータをライト・キャッシュＷＣＳ１にロードしているため、２ページ目以降の書き込みデータのロード時間が不要になる。その結果、書き込みが高速化される。
【０７９１】
以下、ライト・キャッシュＷＣＳ１に関して、書き込み時の動作タイミングについて詳細に説明する。
【０７９２】
▲１▼　ライト・キャッシュへのデータ入力
図４７は、ライト・キャッシュに対するデータ入力の動作タイミングを示している。
【０７９３】
書き込みデータが入力する前は、ＰＲは、Ｖｓｇに保たれている。その結果、ノードＣＡＰ３ｉｊ（ＤＲＡＭセル）は、Ｖｄｄになっている。“ライト・キャッシュＷＣＳ１にデータを入力する”というコマンドがチップに入力されると、時刻ＷＣＣＬＫ１に、ＰＲがＶｓｇからＶｓｓに変化し、ノードＣＡＰ３ｉｊは、Ｖｄｄ、かつ、フローティング状態になる。
【０７９４】
この後、時刻ＷＣＣＬＫ２に、ＣＳＬ2ｉがＶｄｄになると、入出力線ＩＯｊからライト・キャッシュＷＣＳ１にデータが入力される。“０”データの場合、ＩＯｊは、Ｖｓｓであるため、ノードＣＡＰ３ｉｊは、Ｖｓｓ（０Ｖ）になる。“１”データの場合、ＩＯｊは、Ｖｄｄであるため、ノードＣＡＰ３ｉｊは、Ｖｄｄを保つ。
【０７９５】
なお、ライト・キャッシュＷＣＳ１に対してデータを入力している間、ＴＧは、Ｖｓｓであるため、ライト・キャッシュＷＣＳ１とラッチ回路ＬＡＴＣＨ１は、互いに電気的に分離されている。従って、ライト・キャッシュＷＣＳ１に対するデータ入力中においても、ラッチ回路ＬＡＴＣＨ１にラッチされた書き込みデータに基づいて、書き込みやベリファイリードなどを行うことができる。
【０７９６】
ところで、ライト・キャッシュＷＣＳ１に書き込みデータが入力されない場合、ノードＣＡＰ３ｉｊは、Ｖｄｄ、即ち、“１”書き込みデータが保持される。その結果、ライト・キャッシュＷＣＳ１にデータが入力されないカラムでは、書き込みが行われない。
【０７９７】
▲２▼　ライト・キャッシュからラッチ回路へのデータ転送
ラッチ回路ＬＡＴＣＨ１にラッチされたデータをメモリセルに書き込む動作が終了すると、ライト・キャッシュＷＣＳ１に保持されたデータがラッチ回路ＬＡＴＣＨ１に転送され、かつ、このデータに基づいて書き込みが行われる。
【０７９８】
図４８は、ライト・キャッシュＷＣＳ１からラッチ回路ＬＡＴＣＨ１へデータを転送する動作タイミングを示している。
【０７９９】
まず、時刻ＷＬＣＬＫ１に、ＳＥＮ及びＬＡＴがＶｓｓになり、ＳＥＮＢ及びＬＡＴＢがＶｄｄになる。その結果、ラッチ回路ＬＡＴＣＨ１は、非動作状態となる。続いて、時刻ＷＬＣＬＫ２に、ＥＱＰＢがＶｄｄになり、ノードＮａｉｊの電位とノードＮｂｉｊの電

位がイコライズされる。
【０８００】
この後、時刻ＷＬＣＬＫ４に、ＴＧがＶｓｇになると、ライト・キャッシュＷＣＳ１のデータがノードＮａｉｊに転送される。また、時刻ＷＬＣＬＫ５に、ＳＥＮがＶｄｄ、ＳＥＮＢがＶｓｓになると、ノードＮａｉｊのデータがクロックドインバータＣＩＮＶ１によりセンスされる。また、時刻ＷＬＣＬＫ６に、ＬＡＴがＶｄｄ、ＬＡＴＢがＶｓｓになると、ノードＮａｉｊのデータがラッチ回路ＬＡＴＣＨ１にラッチされる。
【０８０１】
このようにして、ライト・キャッシュＷＣＳ１のノードＣＡＰ３ｉｊに保持されたデータがラッチ回路ＬＡＴＣＨ１に転送される。ライト・キャッシュＷＣＳ１のデータがラッチ回路ＬＡＴＣＨ１に転送された後は、時刻ＷＬＣＬＫ７に、ＴＧがＶｓｓとなる。
【０８０２】
なお、この後、ＰＲをＶｓｇにし、ＣＡＰ３ｉｊをＶｄｄにし、ライト・キャッシュＷＣＳ１に次の書き込みデータを入力する（図４７）。
【０８０３】
▲３▼　ライト・キャッシュ内のデータのリフレッシュ
ライト・キャッシュＷＣＳ１内のノード（ＤＲＡＭセル）ＣＡＰ３ｉｊの電荷のリークにより、ノードＣＡＰ３ｉｊのデータ保持能力が問題となる場合には、定期的に、ノードＣＡＰ３ｉｊのデータをリフレッシュする。
【０８０４】
図４９は、書き込みの最中に、ライト・キャッシュＣＡＰ３ｉｊのデータをリフレッシュする場合の動作タイミングを示している。
なお、ＰＲＣＶ１は、図２２（書き込みパルス印加）におけるＰＲＣＶ１に相当している。
【０８０５】
まず、時刻ＰＲＣＶ１になると、図２２から分かるように、ワード線の放電が行われる。時刻ＷＲＦＣＬＫ１（ＰＲＣＶ１）に、ＢＬＣが“Ｌ”になり、データ回路とビット線が電気的に切り離される。なお、ライト・キャッシュＷＣＳ１のリフレッシュの間、ラッチ回路ＬＡＴＣＨ１の書き込みデータは、ビット線に待機させておく。
【０８０６】
即ち、時刻ＷＲＦＣＬＫ１に、ＳＥＮ及びＬＡＴがＶｓｓになり、ＳＥＮＢ及びＬＡＴＢがＶｄｄになる。その結果、図４４のクロックドインバータＣＩＮＶ１，ＣＩＮＶ２が非動作状態となり、ノードＮａｉｊ，Ｎｂｉｊがフローティング状態になる。
【０８０７】
この後、時刻ＷＲＦＣＬＫ２に、ＥＱＰＢが“Ｈ”になり、ノードＮａｉｊの電位とノードＮｂｉｊの電位がイコライズされる。なお、図４４のＭＯＳキャパシタＤＬＮ３は、ノードＮａｉｊの容量とノードＮｂｉｊの容量をほぼ同じにするために設けられている。
【０８０８】
また、時刻ＷＲＦＣＬＫ４に、ＴＧがＶｓｇになり、ライト・キャッシュＷＣＳ１のノードＣＡＰ３ｉｊのデータがノードＮａｉｊに出力される。そして、時刻ＷＲＦＣＬＫ５に、ＳＥＮが“Ｈ”、ＳＥＮＢが“Ｌ”になると、ライト・キャッシュＷＣＳ１のデータがクロックドインバータＣＩＮＶ１によりセンスされる。また、時刻ＷＲＦＣＬＫ６に、ＬＡＴが“Ｈ”、ＬＡＴＢが“Ｌ”になると、ライト・キャッシュＷＣＳ１のデータは、ラッチ回路ＬＡＴＣＨ１にラッチされる。
【０８０９】
この時点で、ライト・キャッシュＷＣＳ１のデータ（ノードＣＡＰ３ｉｊの電位）は、リフレッシュされたことになる。この後、時刻ＷＲＦＣＬＫ７に、ＴＧがＶｓｓになると、リフレッシュされたライト・キャッシュＷＣＳ１のデータは、再び、ノードＣＡＰ３ｉｊに保持される。
【０８１０】

この後、ビット線に待機させておいた書き込みデータをラッチ回路ＬＡＴＣＨ１に戻す動作が行われる。

【０８１１】

まず、時刻ＷＲＦＣＬＫ８に、ＳＥＮ及びＬＡＴがＶｓｓとなり、ＳＥＮＢ及びＬＡＴＢがＶｄｄになる。その結果、図４４のクロックドインバータＣＩＮＶ１，ＣＩＮＶ２は、非動作状態となり、ノードＮａｉｊ，Ｎｂｉｊは、フローティング状態になる。

【０８１２】

また、時刻ＷＲＦＣＬＫ９に、ＢＬＣがＶｓｇになると、ビット線とデータ回路が電気的に接続され、ビット線に保持されたの書き込みデータは、ノードＮａｉｊに転送される。そして、時刻ＷＲＦＣＬＫ１０に、ＳＥＮが“Ｈ”、ＳＥＮＢが“Ｌ”になると、この書き込みデータは、クロックドインバータＣＩＮＶ１によりセンスされる。また、時刻ＷＲＦＣＬＫ１１に、ＬＡＴが“Ｈ”、ＬＡＴＢが“Ｌ”になると、書き込みデータは、ラッチ回路ＬＡＴＣＨ１にラッチされる。

【０８１３】

このように、ライト・キャッシュＷＣＳ１のデータについてのリフレッシュ動作においては、ノードＣＡＰ３ｉｊに保持されたデータをリフレッシュしている間、ラッチ回路ＬＡＴＣＨ１にラッチされていた書き込みデータは、ビット線に保持されている。

【０８１４】

従って、ライト・キャッシュＷＣＳ１のデータのリフレッシュを終え、ビット線に保持された書き込みデータをラッチ回路ＬＡＴＣＨ１に戻した後に、ビット線の放電（書き込み動作後のビット線の放電）が行われる。つまり、時刻ＷＲＦＣＬＫ１２は、常に、図２２（書き込みパルス印加）におけるＰＲＣＶ３よりも前でなければならない。

【０８１５】

［データ回路の変形例：その二］…第６の特徴

図５０は、データ回路の変形例を示している。

本例のデータ回路は、図４４のデータ回路と比べると、ライト・キャッシュ（Write Cache）ＷＣＳ２がＳＲＡＭセルから構成されている点に特徴を有する。

【０８１６】

図４４の例では、ライト・キャッシュは、ＤＲＡＭセルから構成され、本例では、ライト・キャッシュは、ＳＲＡＭセルから構成される。いずれの場合においても、書き込みデータの入力と、書き込み（書き込みパルスの印加）とをパラレルに行うことができるため、書き込み速度を高速化する、という効果を得ることが可能である。

【０８１７】

以下、ライト・キャッシュＷＣＳ２に関して、書き込み時の動作タイミングについて詳細に説明する。

【０８１８】

▲１▼　ライト・キャッシュへのデータ入力

図５１は、ライト・キャッシュに対するデータ入力の動作タイミングを示している。

【０８１９】

書き込みデータが入力する前は、ＰＲ３は、Ｖｄｄに保たれている。“ライト・キャッシュＷＣＳ２にデータを入力する”というコマンドがチップに入力されると、時刻ＷＡＣＬＫ１に、ＰＲ３がＶｄｄからＶｓｓに変化し、ノードＮｃｉｊは、Ｖｄｄとなり、ノードＮｄｉｊは、Ｖｓｓにセットされる。

【０８２０】

この後、時刻ＷＡＣＬＫ２に、ＣＳＬ３ｉがＶｄｄになり、入出力線ＩＯｊ，ｎＩＯｊからライト・キャッシュＷＣＳ２にデータが入力される。“０”データの場合、ＩＯｊは、Ｖｓｓ、ｎＩＯｊは、Ｖｄｄであるため、ＳＲＡＭセルのノードＮｃｉｊは、Ｖｓｓになり、ノードＮｄｉｊは、Ｖｄｄになる。“１”データの場合、ＩＯｊは、Ｖｄｄ、ｎＩＯｊは、Ｖｓｓであるため、ＳＲＡＭセルのノードＮｃｉｊは、Ｖｄｄになり、ノードＮｄｉｊは、Ｖｓｓになる。

【０８２１】
ライト・キャッシュＷＣＳ２へデータを入力している間、ＴＧ３は、Ｖｓｓとなっているため、ライト・キャッシュＷＣＳ２とラッチ回路ＬＡＴＣＨ１は、互いに電気的に分離されている。従って、ライト・キャッシュＷＣＳ２に対するデータ入力中においても、ラッチ回路ＬＡＴＣＨ１に保持された書き込みデータに基づいて、データの書き込みやベリファイリードを行うことができる。
【０８２２】
図５０において、ライト・キャッシュＷＣＳ２にデータが入力されない場合、ノードＮｃｉｊは、Ｖｄｄとなり、ノードＮｄｉｊは、Ｖｓｓとなる。つまり、ライト・キャッシュＷＣＳ２は、“１”書き込みデータを保持している。その結果、ライト・キャッシュＷＣＳ２にデータが入力されないカラムでは、書き込みが行われない。
【０８２３】
▲２▼　ライト・キャッシュからラッチ回路へのデータ転送
ラッチ回路ＬＡＴＣＨ１にラッチされたデータの書き込みが終了すると、ライト・キャッシュＷＣＳ２に保持されたデータがラッチ回路ＬＡＴＣＨ１に転送され、続けて、書き込みが行われる。
【０８２４】
図５２は、ライト・キャッシュＷＣＳ２からラッチ回路ＬＡＴＣＨ１へデータを転送する動作タイミングを示している。
【０８２５】
まず、時刻ＷＢＣＬＫ１に、ＳＥＮ及びＬＡＴがＶｓｓになり、ＳＥＮＢ及びＬＡＴＢがＶｄｄになる。その結果、ラッチ回路ＬＡＴＣＨ１は、非動作状態となる。続いて、時刻ＷＢＣＬＫ２に、ＴＧ３がＶｓｇになると、ライト・キャッシュＷＣＳ２のデータ（ノードＮｃｉｊのデータ）がノードＮａｉｊに転送される。また、時刻ＷＢＣＬＫ３に、ＳＥＮがＶｄｄ、ＳＥＮＢがＶｓｓになると、ノードＮａｉｊのデータがクロックドインバータＣＩＮＶ１によりセンスされる。また、時刻ＷＬＣＬＫ４に、ＬＡＴがＶｄｄ、ＬＡＴＢがＶｓｓになると、ノードＮａｉｊのデータがラッチ回路ＬＡＴＣＨ１にラッチされる。
【０８２６】
このようにして、ライト・キャッシュＷＣＳ２のノードＮｃｉｊに保持されたデータがラッチ回路ＬＡＴＣＨ１に転送される。ライト・キャッシュＷＣＳ２のデータがラッチ回路ＬＡＴＣＨ１に転送された後は、時刻ＷＬＣＬＫ５に、ＴＧ３がＶｓｓとなり、ラッチ回路ＬＡＴＣＨ１とライト・キャッシュＷＣＳ２は、電気的に切り離される。
【０８２７】
なお、この後、ＰＲ３をＶｓｓにし、ＮｃｉｊをＶｄｄにした後、ライト・キャッシュＷＣＳ２に次の書き込みデータを入力する（図５１）。
【０８２８】
本例では、ライト・キャッシュＷＣＳ２は、ＳＲＡＭから構成されるため、図４４の例で説明した“ライト・キャッシュ内のデータのリフレッシュ”は、不要である。
【０８２９】
［書き込み速度に関して］
１．　概要
従来のフラッシュメモリ（Flash Memory）では、書き込みの対象となるメモリセルが接続される１本のビット線に対して１つのデータ回路が接続される。データ回路は、選択されたメモリセルに対する書き込みデータを一時的に保持する記憶回路（例えば、ラッチ回路）を備えている。
【０８３０】
通常の２値フラッシュメモリでは、１つのデータ回路内には、１ビットの書き込みデータを保持する１つの記憶回路が設けられる。多値メモリになると、１つのデータ回路内には、３値以上の書き込みデータを保持するための複数の記憶回路が設けられる。

【０８３１】
そして、実際の書き込み動作では、データ回路に保持された書き込みデータに基づいて、選択されたメモリセルに対して書き込みを実行するか否か（例えば、フローティングゲート電極に電子を注入するか否か）が決定される。
【０８３２】
このように、従来のフラッシュメモリでは、書き込みの対象となるメモリセルが接続される１本のビット線に対して、書き込みデータの一時記憶用としての１つのデータ回路が設けられる。つまり、例えば、チップ内に４０００個のデータ回路が存在する場合には、４０００個のメモリセルに対してほぼ同時に書き込みを実行することができる。
【０８３３】
従って、データ回路の数を増やせば増やすほど、書き込み速度を高速化することができる。仮に、チップ内に８０００個のデータ回路を設けると、８０００個のメモリセルに対してほぼ同時に書き込みを実行できる。この場合、チップ内に４０００個のデータ回路を設ける場合に比べて、書き込み速度を２倍にすることができる。
【０８３４】
しかし、チップ内のデータ回路の数を増やすということは、チップ面積を大きくするということを意味する。また、チップ面積が大きくなると、１ビット当りのコストが増えるなどの問題が生じる。
【０８３５】
以下に説明する発明は、このような問題を解決するものであり、その特徴は、１つのデータ回路を用いて、２つのメモリセルに対してほぼ同時に書き込みを実行することができる点にある。
【０８３６】
ここで、当然に、１つのデータ回路内には、従来と同様に、１つのメモリセルに対する書き込みデータ（２値又は多値）のみを一時的に保持できる記憶回路（例えば、ラッチ回路）が設けられる。例えば、２値メモリの場合には、１つのデータ回路内には、１ビットデータを一時的に記憶できる１つの記憶回路のみが設けられる。
【０８３７】
従って、本発明では、チップ面積を増加させることなく、１つのデータ回路を用いて、２個のメモリセルをほぼ同時に書き込むことにより、従来に比べて、書き込み速度を約２倍に高速化できる。
【０８３８】
２．　本発明の要点
まず、本発明の要点について説明する（図５３）。
本発明は、上述のように、１つのデータ回路を用いて、２つのメモリセルに対してほぼ同時に書き込みを実行するようにした点に特徴を有する。
【０８３９】
なお、データ回路内には、従来と同様に、１つのメモリセルに対する書き込みデータを一時的に保持するための記憶回路しか設けられていない（これによりチップ面積の増大を防ぐ）。つまり、本発明は、書き込み動作（制御回路における書き込み制御）を工夫することにより、チップ面積の増加なく、書き込み速度を２倍にする技術を提案するものである。
【０８４０】
以下では、２値ＮＡＮＤ型フラッシュメモリを例にして説明を行う。
本発明では、１つのデータ回路に少なくとも２本のビット線ＢＬＡ，ＢＬＢが接続されることを前提とする。また、この２本のビット線ＢＬＡ，ＢＬＢは、異なるバンク内に配置される。つまり、ビット線ＢＬＡに接続されるメモリセルのコントロールゲート線（ワード線）とビット線ＢＬＢに接続されるメモリセルのコントロールゲート線（ワード線）は、常に、互いに異なっていることが前提である。この場合、２本のビット線ＢＬＡ，ＢＬＢは、互いに対向かつ隣接して配置されることなく、例えば、データ回路を中心にして、

互いにオープン状態となるように配置される。
【０８４１】
従って、例えば、シールドビット線読み出し方法を実行するために、１つのデータ回路に２本のビット線を接続し、これらを互いに対向かつ隣接して配置するような場合は、本発明から除かれる。但し、本発明とこのようなシールドビット線読み出し方法を組み合わせることは可能である（後に詳述する）。
【０８４２】
書き込み動作（要点のみ）について説明する。
なお、具体的な書き込み動作については、後に詳述する。
【０８４３】
選択されたメモリセルは、ビット線ＢＬＡに接続されるメモリセルＣｅｌｌＡとビット線ＢＬＢに接続されるメモリセルＣｅｌｌＢと仮定する。これら２つのメモリセルＣｅｌｌＡ，ＣｅｌｌＢに対して、１つのデータ回路（１つのメモリセルに対する書き込みデータのみを保持可能）を用いて、ほぼ同時に書き込み動作を実行する。
【０８４４】
まず、メモリセルＣｅｌｌＡに対する書き込みデータは、チップ外部からデータ回路を経由してビット線ＢＬＡに保持される。同様に、メモリセルＣｅｌｌＢに対する書き込みデータは、チップ外部からデータ回路を経由してビット線ＢＬＢに保持される。
【０８４５】
図５３（ａ）及び（ｂ）に示すように、メモリセルＣｅｌｌＡに対する書き込み動作を実行する際には、ＴＧＡが“Ｌ”、ＴＧＢが“Ｈ”に設定される。
【０８４６】
つまり、トランスファゲートＴｒＮＡがオフ状態であるため、ビット線ＢＬＡは、フローティング状態であり、かつ、メモリセルＣｅｌｌＡに対する書き込みデータを保持している。この時、メモリセルＣｅｌｌＡのコントロールゲート線（ワード線）に書き込みパルスが印加されるため、ビット線ＢＬＡの書き込みデータに応じて、メモリセルＣｅｌｌＡに対する書き込みが実行される。
【０８４７】
例えば、“０”書き込み（書き込み選択）の場合、ビット線ＢＬＡは、０Ｖ（“Ｌｏｗ”、即ち、書き込みデータ“０”）であり、メモリセルＣｅｌｌＡのチャネルも０Ｖとなる。従って、メモリセルＣｅｌｌＡのトンネル酸化膜には、高電圧が印加され、メモリセルＣｅｌｌＡに対して、“０”書き込み（フローティングゲート電極に対する電子の注入）が実行される。
【０８４８】
また、“１”書き込み（書き込み非選択）の場合、ビット線ＢＬＡは、Ｖｄｄ（“Ｈｉｇｈ”、即ち、書き込みデータ“１”）であり、メモリセルＣｅｌｌＡのチャネルは、例えば、Ｖｄｄ－Ｖｔｈ（Ｖｔｈは、セレクトトランジスタの閾値電圧である。）となり、かつ、ビット線ＢＬＡから切り離される（セレクトトランジスタがカットオフする。）。
【０８４９】
従って、コントロールゲート線（ワード線）に書き込みパルスが印加されても、コントロールゲート線とチャネルの容量カップリングにより、チャネルの電位が上昇する。その結果、メモリセルＣｅｌｌＡのトンネル酸化膜には、高電圧が印加されず、メモリセルＣｅｌｌＡに対して、“１”書き込み（消去維持）が実行される。
【０８５０】
メモリセルＣｅｌｌＡに対して書き込みパルスを印加している間、書き込みデータは、フローティング状態のビット線ＢＬＡに保持されている。この時、ビット線ＢＬＡの書き込みデータの変動はなく、書き込みデータは、ビット線ＢＬＡに安定して保持されている。
【０８５１】
なぜなら、ビット線ＢＬＡの容量は十分に大きいため、例えば、“０”書き込み時に、コントロールゲート線に書き込みパルスを印加しても、容量カップリングによるフローティ

ング状態のビット線ＢＬＡの電位変動はほとんどないからである。また、“０”書き込み時に、メモリセルＣｅｌｌＡのフローティングゲート電極からビット線ＢＬＡに流れるトンネル電流も微小な値であるため、これによるビット線ＢＬＡの電位変動も、ほとんどない。

【０８５２】

ところで、メモリセルＣｅｌｌＡに対して書き込みパルスを印加している間、トランスファゲートＴｒＮＢは、オン状態を維持しており、ビット線ＢＬＢは、データ回路２－ｉに電気的に接続されている。

【０８５３】

メモリセルＣｅｌｌＢに対して、例えば、書き込み動作を一度も行っていない場合には、メモリセルＣｅｌｌＡに対して書き込みパルスを印加している間、ビット線ＢＬＢに保持された書き込みデータ（“０”又は“１”）のリフレッシュを行ってもよい。ビット線ＢＬＢは、書き込み時にフローティング状態になるため、リーク（電荷の漏れ）により、ビット線ＢＬＢに保持されたデータが変動する可能性があるからである。

【０８５４】

リフレッシュは、ビット線ＢＬＢに保持された書き込みデータをデータ回路２－ｉ内の記憶回路（例えば、ラッチ回路）に転送し、この書き込みデータをセンス及びラッチした後に、再び、ビット線ＢＬＢに戻すことにより行う。

【０８５５】

一方、メモリセルＣｅｌｌＢに対して、書き込みパルスを印加した後には、メモリセルＣｅｌｌＡに対して書き込みパルスを印加している間、メモリセルＣｅｌｌＢの状態（書き込みがきちんと行われたか否か）を検証する動作、即ち、書き込みベリファイ動作が行われる。

【０８５６】

まず、ビット線ＢＬＢに保持されたメモリセルＣｅｌｌＢに対する書き込みデータが、データ回路２－ｉ内の記憶回路に転送され、かつ、保持される（図５３（ａ））。この後、メモリセルＣｅｌｌＢのデータが読み出され（ベリファイリード）、例えば、データ回路２－ｉ内の記憶回路に保持された書き込みデータとメモリセルＣｅｌｌＢの読み出しデータが比較される。

【０８５７】

両者が一致していれば、書き込みＯＫとなり、以後、メモリセルＣｅｌｌＢに対する電子注入は行われない。一方、両者が不一致ならば、書き込みＮＧとなり、メモリセルＣｅｌｌＢに対する書き込み動作が継続して行われる。

【０８５８】

即ち、データ回路２－ｉ内の記憶回路に保持された再書き込みデータがビット線ＢＬＢに戻され、その後、メモリセルＣｅｌｌＢに対して書き込みパルスが印加される。

【０８５９】

また、図５３（ｃ）及び（ｄ）に示すように、メモリセルＣｅｌｌＡに対して書き込みパルスが印加された後には、ＴＧＡが“Ｈ”、ＴＧＢが“Ｌ”に設定される。

【０８６０】

つまり、トランスファゲートＴｒＮＢがオフ状態であるため、ビット線ＢＬＢは、フローティング状態であり、かつ、メモリセルＣｅｌｌＢに対する書き込みデータを保持している。この時、メモリセルＣｅｌｌＢのコントロールゲート線（ワード線）に書き込みパルスが印加されるため、ビット線ＢＬＢの書き込みデータに応じて、メモリセルＣｅｌｌＢに対する書き込みが実行される。

【０８６１】

例えば、“０”書き込み（書き込み選択）の場合、ビット線ＢＬＢは、０Ｖ（“Ｌｏｗ”、即ち、書き込みデータ“０”）であり、メモリセルＣｅｌｌＢのチャネルも０Ｖとなる。従って、メモリセルＣｅｌｌＢのトンネル酸化膜には、高電圧が印加され、メモリセルＣｅｌｌＢに対して、“０”書き込み（フローティングゲート電極に対する電子の注入）

が実行される。

【０８６２】

また、“１”書き込み（書き込み非選択）の場合、ビット線ＢＬＢは、Ｖｄｄ（“Ｈｉｇｈ”、即ち、書き込みデータ“１”）であり、メモリセルＣｅｌｌＢのチャネルは、例えば、Ｖｄｄ－Ｖｔｈ（Ｖｔｈは、セレクトトランジスタの閾値電圧である。）となり、かつ、ビット線ＢＬＢから切り離される（セレクトトランジスタがカットオフする。）。

【０８６３】

従って、コントロールゲート線（ワード線）に書き込みパルスが印加されても、コントロールゲート線とチャネルの容量カップリングにより、チャネルの電位が上昇する。その結果、メモリセルＣｅｌｌＢのトンネル酸化膜には、高電圧が印加されず、メモリセルＣｅｌｌＢに対して、“１”書き込み（消去維持）が実行される。

【０８６４】

メモリセルＣｅｌｌＢに対して書き込みパルスを印加している間、書き込みデータは、フローティング状態のビット線ＢＬＢに保持されている。この時、上述した理由と同様の理由により、ビット線ＢＬＢの書き込みデータの変動はなく、書き込みデータは、ビット線ＢＬＢに安定して保持されている。

【０８６５】

ところで、図５３（ｃ），（ｄ）では、トランスファゲートＴｒＮＡは、オン状態を維持しており、ビット線ＢＬＡは、データ回路２－ｉに電気的に接続され、メモリセルＣｅｌｌＡに対するベリファイリードが行われる。

【０８６６】

まず、ビット線ＢＬＡに保持されたメモリセルＣｅｌｌＡに対する書き込みデータが、データ回路２－ｉ内の記憶回路に転送され、かつ、保持される（図５３（ｃ））。この後、メモリセルＣｅｌｌＡのデータが読み出され（ベリファイリード）、例えば、データ回路２－ｉ内の記憶回路に保持された書き込みデータとメモリセルＣｅｌｌＡの読み出しデータが比較される。

【０８６７】

両者が一致していれば、書き込みＯＫとなり、以後、メモリセルＣｅｌｌＡに対する電子注入は行われない。一方、両者が不一致ならば、書き込みＮＧとなり、メモリセルＣｅｌｌＡに対する書き込み動作が継続して行われる。

【０８６８】

即ち、データ回路２－ｉ内の記憶回路に保持された再書き込みデータがビット線ＢＬＡに戻され、その後、メモリセルＣｅｌｌＡに対して書き込みパルスが印加される。

【０８６９】

そして、メモリセルＣｅｌｌＡ，ＣｅｌｌＢに対して、正確に、書き込みが行われるまで、図５３（ａ）～（ｄ）の動作が繰り返して行われる。

【０８７０】

このように、本発明によれば、２つの選択されたメモリセル（２本のビット線）に対応して１つのデータ回路が設けられる場合に、一方のメモリセルに対して書き込みを実行している最中は、書き込みデータをその一方のメモリセルに接続されるビット線に保持し、かつ、そのビット線とデータ回路を電気的に切断する。この時、他方のメモリセルが接続されるビット線をデータ回路に電気的に接続し、他方のメモリセルに対するベリファイ動作を実行する。

【０８７１】

このような構成及び制御方法によれば、１つのメモリセルに対する書き込みデータのみを一時的に保持できる１つのデータ回路を用いて、２つの選択されたメモリセルに対して、ほぼ同時に、書き込みを実行することができる。従って、チップ面積を大きくすることなく、書き込み速度を高速化（従来のほぼ２倍）することができる。

【０８７２】

なお、以上の説明は、本発明の要点を説明するものである。従って、同様の手法を用いる

ことにより、例えば、１つのデータ回路を用いて、２つ以上の選択されたメモリセルに対して、ほぼ同時に書き込みを行うことも可能である。

【０８７３】

３．　具体例１

以下、本発明の具体例について説明する。

なお、本発明の要点の項目で説明したと同様に、以下では、２値ＮＡＮＤ型フラッシュメモリを例にして説明する。

【０８７４】

３．－１．　チップレイアウト

図５４は、本発明の２値ＮＡＮＤ型フラッシュメモリのチップレイアウトの概略を示している。

本レイアウトの特徴は、メモリセルアレイが、上位バンク（Upper bank）と下位バンク(Lower bank)から構成され、上位バンクと下位バンクの間に、データ回路が配置されている点にある。

【０８７５】

つまり、本例では、データ回路が、上位バンクのメモリセルと下位バンクのメモリセルに共有される。この場合、１つのデータ回路を用いて、上位バンク内の１つのメモリセルと下位バンク内の１つのメモリセルを、ほぼ同時に書き込むことができるため、従来（１つのデータ回路により１つのメモリセルの書き込みが行われる）に比べて、書き込み速度を約２倍にすることができる。

【０８７６】

上位バンクは、４つのバンクＢａｎｋ１Ｕ，Ｂａｎｋ２Ｕ，Ｂａｎｋ３Ｕ，Ｂａｎｋ４Ｕから構成され、これに対応して、下位バンクも、４つのバンクＢａｎｋ１Ｌ，Ｂａｎｋ２Ｌ，Ｂａｎｋ３Ｌ，Ｂａｎｋ４Ｌから構成される。ビット線ＢＬＡは、データ回路から上位バンク側に延び、ビット線ＢＬＢは、データ回路から下位バンク側に延びる。

【０８７７】

本例では、１回の書き込み動作（データ入力から書き込み完了までの動作、書き込みパルスの印加は、通常、複数回行われる。）により、８ページ　Ｐａｇｅ１Ｕ，Ｐａｇｅ２Ｕ，Ｐａｇｅ３Ｕ，Ｐａｇｅ４Ｕ，Ｐａｇｅ１Ｌ，Ｐａｇｅ２Ｌ，Ｐａｇｅ３Ｌ，Ｐａｇｅ４Ｌ　分のデータの書き込み（１つのバンクに対しては１ページ分の書き込み）を行うことができる。

【０８７８】

なお、従来の書き込み方法では、上位バンクのメモリセルと下位バンクのメモリセルをほぼ同時に書き込むことは不可能であるため、従来では、１回の書き込み動作により４ページ分のデータ書き込みのみが行える。つまり、本発明は、従来に比べて、書き込み速度を約２倍にすることができる。

【０８７９】

３．－２．　データ回路

図５５は、図５４のチップレイアウトに関して、１つのデータ回路とこれに接続されるビット線及びメモリセルを示したものである。

【０８８０】

データ回路２－ｉは、ラッチ回路ＬＡＴＣＨ１と、ＮチャネルＭＯＳトランジスタＴＮ３１と、ベリファイ用のＰチャネルＭＯＳトランジスタＴＰ３１，ＴＰ３２と、プリチャージ用のＮチャネルＭＯＳトランジスタＴＮ３２Ａ，ＴＮ３２Ｂ，ＴＮ３２Ｃ，ＴＮ３２Ｄと、トランスファゲートＴｒＮＡ，ＴｒＮＢ，ＴｒＮＣ，ＴｒＮＤとを含んでいる。

【０８８１】

ラッチ回路ＬＡＴＣＨ１は、例えば、書き込み／読み出し時における書き込み／読み出しデータの一時記憶用として用いられる。

【０８８２】

本例では、１つのデータ回路２－ｉに、４本のビット線ＢＬＡ，ＢＬＢ，ＢＬＣ，ＢＬＤ

が接続される。２本のビット線ＢＬＡ，ＢＬＣは、上位バンク（Upper bank）内に配置される。ビット線ＢＬＡ，ＢＬＣは、互いに対向し、かつ、隣接して配置される。また、２本のビット線ＢＬＢ，ＢＬＤは、下位バンク（Lower bank）内に配置される。ビット線ＢＬＢ，ＢＬＤも、互いに対向し、かつ、隣接して配置される。

【０８８３】

書き込み動作時には、上位バンク内の２本のビット線ＢＬＡ，ＢＬＣのうちの１本が選択され、かつ、下位バンク内の２本のビット線ＢＬＢ，ＢＬＤのうちの１本が選択される。つまり、１つのデータ回路２－ｉを用いて、２つのメモリセル（上位バンク内の１つのメモリセルと下位バンク内の１つのメモリセル）に対して、ほぼ同時に書き込みを行う。

【０８８４】

本例のように、１つのバンク内の２本のビット線を１つのデータ回路２－ｉに接続した理由は、書き込み／読み出し時に、２本のビット線のうちの１本をＶｓｓ又はＶｄｄに固定し、書き込み／読み出し時におけるビット線間容量結合ノイズを防止する点にある。

【０８８５】

例えば、書き込み動作時、上位バンク内の２本のビット線ＢＬＡ，ＢＬＣのうち、選択されなかった１本のビット線は、チップ内電源電位Ｖｄｄに設定される。このように、選択されなかったビット線をＶｄｄ（書き込み非選択状態）にすることで、書き込み時におけるビット線間容量結合ノイズをなくすことができる。また、選択されなかった１本のビット線に接続されるメモリセルに対する誤書き込み（“０”書き込み）を防止できる。

【０８８６】

同様の理由により、下位バンク内の２本のビット線ＢＬＢ，ＢＬＤのうち、選択されなかった１本のビット線も、チップ内電源電位Ｖｄｄに設定される。

【０８８７】

また、本例のように、１つのバンク内の２本のビット線を１つのデータ回路２－ｉに接続した場合、読み出し動作時に、いわゆるシールドビット線読み出し手法を採用でき、読み出し時におけるビット線間容量結合ノイズをなくすことができる。つまり、読み出し時に、２本のビット線のうちの一方をデータ読み出し用のビット線とし、他方をシールドビット線（Ｖｓｓ）とすることで、読み出し速度の高速化、誤読み出しの防止などを図ることができる。

【０８８８】

このように、本例では、データ回路２－ｉを用いて、２つのメモリセルＣｅｌｌＡ，ＣｅｌｌＢに対して書き込みを行う場合、２本のビット線ＢＬＣ，ＢＬＤは、常に、固定電位（Ｖｄｄ又はＶｓｓ）に設定される。また、データ回路２－ｉを用いて、２つのメモリセルＣｅｌｌＣ，ＣｅｌｌＤに対して書き込みを行う場合、２本のビット線ＢＬＡ，ＢＬＢは、常に、固定電位（Ｖｄｄ又はＶｓｓ）に設定される。

【０８８９】

従って、書き込み／読み出し時において、ビット線間容量結合ノイズを発生させることなく、書き込み／読み出し動作を実行できる。

【０８９０】

３．－３．　書き込み動作

図５６は、図５４及び図５５のメモリに関し、２つのメモリセルＣｅｌｌＡ，ＣｅｌｌＢに対する書き込み動作を詳細に示したものである。

【０８９１】

(1) Step1

まず、上位バンク（Upper bank）のメモリセルＣｅｌｌＡに対するデータロード（Data load）、即ち、メモリセルＣｅｌｌＡに対する書き込みデータが、チップ外部からチップ内のデータ回路２－ｉに入力される。

【０８９２】

実際は、図５４の４つのバンクＢａｎｋ１Ｕ，Ｂａｎｋ２Ｕ，Ｂａｎｋ３Ｕ，Ｂａｎｋ４Ｕに対して、４ページＰａｇｅ１Ｕ，Ｐａｇｅ２Ｕ，Ｐａｇｅ３Ｕ，Ｐａｇｅ４Ｕ分のデ

ータが、４ページ分のデータに対応して設けられた複数のデータ回路に入力される。
【０８９３】
また、ＴＧＡが“Ｈ”になり、トランスファゲートＴｒＮＡがオン状態になると、メモリセルＣｅｌｌＡに対する書き込みデータは、データ回路２－ｉから上位バンク内のビット線ＢＬＡに転送される。
【０８９４】
例えば、書き込みデータが“０”のとき（“０”書き込み又は書き込み選択）は、ビット線ＢＬＡは、Ｖｓｓ（０Ｖ）となり、書き込みデータが“１”のとき（“１”書き込み又は書き込み非選択）は、ビット線ＢＬＡは、チップ内電源電位Ｖｄｄ（例えば、約２．３Ｖ）になる。
【０８９５】
(2) Step2
まず、ＴＧＡが“Ｌ”になり、トランスファゲートＴｒＮＡがオフ状態になる。その結果、ビット線ＢＬＡとデータ回路２－ｉが電気的に切り離され、メモリセルＣｅｌｌＡに対する書き込みデータが、ビット線ＢＬＡに閉じ込められる（保持される）。
【０８９６】
この後、下位バンク（Lower bank）のメモリセルＣｅｌｌＢに対するデータロード（Data load）、即ち、メモリセルＣｅｌｌＢに対する書き込みデータが、チップ外部からチップ内のデータ回路２－ｉに入力される。
【０８９７】
実際は、図５４の４つのバンクＢａｎｋ１Ｌ，Ｂａｎｋ２Ｌ，Ｂａｎｋ３Ｌ，Ｂａｎｋ４Ｌに対して、４ページＰａｇｅ１Ｌ，Ｐａｇｅ２Ｌ，Ｐａｇｅ３Ｌ，Ｐａｇｅ４Ｌ分のデータが、４ページ分のデータに対応して設けられた複数のデータ回路に入力される。
【０８９８】
また、ＴＧＢが“Ｈ”になり、トランスファゲートＴｒＮＢがオン状態になると、メモリセルＣｅｌｌＢに対する書き込みデータは、データ回路２－ｉから下位バンク内のビット線ＢＬＢに転送される。
【０８９９】
例えば、書き込みデータが“０”のとき（“０”書き込み又は書き込み選択）は、ビット線ＢＬＢは、Ｖｓｓとなり、書き込みデータが“１”のとき（“１”書き込み又は書き込み非選択）は、ビット線ＢＬＢは、チップ内電源電位Ｖｄｄになる。
【０９００】
(3) Step3
下位バンク内のメモリセルＣｅｌｌＢに対する書き込み（書き込みパルスの印加）が実行される。
【０９０１】
まず、ＴＧＢを“Ｌ”にし、ＴＧＡを“Ｈ”にする。
この時、トランスファゲートＴｒＮＢがオフ状態になるため、ビット線ＢＬＢとデータ回路２－ｉが電気的に切断される。ビット線ＢＬＢは、フローティング状態となり、メモリセルＣｅｌｌＢに対する書き込みデータは、ビット線ＢＬＢに保持される。
【０９０２】
この後、メモリセルＣｅｌｌＢのコントロールゲート線（ワード線）に、書き込みパルスが印加される。この時、ビット線ＢＬＢ側のセレクトゲート線は、チップ内電源電位Ｖｄｄに設定され、ソース線側のセレクトゲート線は、接地電位Ｖｓｓに設定される。また、選択されたメモリセルＣｅｌｌＢに接続されるコントロールゲート線（選択されたワード線）は、書き込み電位Ｖｐｇｍに設定され、それ以外のコントロールゲート線（非選択のワード線）は、転送電位Ｖｐａｓｓに設定される。
【０９０３】
“０”書き込みの場合、ビット線ＢＬＢは、Ｖｓｓ（０Ｖ）であり、メモリセルＣｅｌｌＢのチャネルも、Ｖｓｓとなっている。従って、メモリセルＣｅｌｌＢにおいては、トン

ネル酸化膜に高電界が印加され、トンネル酸化膜にＦＮトンネル電流が流れる。つまり、メモリセルＣｅｌｌＢでは、チャネルからフローティングゲート電極に電子が注入されるため、メモリセルＣｅｌｌＢの閾値電圧が上昇する。

【０９０４】

“１”書き込みの場合、ビット線ＢＬＢは、Ｖｄｄ（例えば、約２．３Ｖ）であり、メモリセルＣｅｌｌＢのチャネルは、Ｖｄｄ－Ｖｔｈ（Ｖｔｈは、ビット線とメモリセルの間に接続されるセレクトトランジスタの閾値電圧）となり、かつ、ビット線とメモリセルの間に接続されるセレクトトランジスタは、カットオフしている。

【０９０５】

従って、メモリセルＣｅｌｌＢにおいては、書き込みパルスが印加されると、ワード線とチャネルの容量カップリングにより、チャネルの電位も、例えば、８Ｖ程度に上昇する。このため、トンネル酸化膜に高電界が印加されることはなく、トンネル酸化膜にＦＮトンネル電流が流れることもない。つまり、メモリセルＣｅｌｌＢの閾値電圧は、変化しない（消去状態を維持する）。

【０９０６】

下位バンク内のメモリセルＣｅｌｌＢに対する書き込みを行っている間、上位バンク内のビット線ＢＬＡに保持されたメモリセルＣｅｌｌＡに対する書き込みデータのリフレッシュを行う。

【０９０７】

即ち、ＴＧＡは、“Ｈ”であるため、トランスファゲートＴｒＮＡは、オン状態であり、ビット線ＢＬＡは、データ回路２－ｉに電気的に接続されている。ビット線ＢＬＡに保持された書き込みデータは、データ回路２－ｉ内のラッチ回路に転送され、ラッチ回路に保持される。この後、ラッチ回路に保持された書き込みデータは、再び、ビット線ＢＬＡに戻される（リフレッシュ）。

【０９０８】

上位バンク内のビット線ＢＬＡに保持された書き込みデータのリフレッシュは、Step2の期間に、上位バンク内のビット線ＢＬＡの電位（書き込みデータ）がリーク電流により変動する可能性がある場合に行えばよい。言い換えれば、Step2の期間、即ち、メモリセルＣｅｌｌＢに対する書き込みデータをロードし、下位バンク内のビット線ＢＬＢにメモリセルＣｅｌｌＢに対する書き込みデータを保持する間に、上位バンク内のビット線ＢＬＡの電位の変動がほとんどなければ、リフレッシュを行わなくてもよい。

【０９０９】

なお、リフレッシュは、書き込み（書き込みパルスの印加）を行う前、又は、書き込み（書き込みパルスの印加）を行った後に行ってもよい。

【０９１０】

書き込みを行った後にリフレッシュを行う場合には、例えば、 Step2の状態（ＴＧＡが“Ｌ”、ＴＧＢが“Ｈ”）、即ち、ビット線ＢＬＢをＶｓｓ（“０”書き込み）又はＶｄｄ（“１”書き込み）に固定した状態（フローティング状態でない状態）で、メモリセルＣｅｌｌＢに対する書き込みを行い、この後、 Step3の状態（ＴＧＡが“Ｈ”、ＴＧＢが“Ｌ”）にして、ビット線ＢＬＡに保持された書き込みデータのリフレッシュを行ってもよい。

【０９１１】

また、本例では、ビット線ＢＬＡに書き込みデータを転送し（Step1）、ビット線ＢＬＢに書き込みデータを転送した後（Step2）、下位バンク内のメモリセルＣｅｌｌＢに対する書き込みを行っているが（Step3）、ビット線の電位変動（リーク電流）が問題とならない場合には、ビット線ＢＬＡに書き込みデータを転送し（Step1）、ビット線ＢＬＢに書き込みデータを転送した後（Step2）、上位バンク内のメモリセルＣｅｌｌＡに対する書き込みを行い、この後、下位バンク内のメモリセルＣｅｌｌＢに対する書き込みを行ってもよい。或いは、Step2 の後に、メモリセルＣｅｌｌＡに対する書き込みと、メモリセルＣｅｌｌＢに対する書き込みを、ほぼ同時に行ってもよい。

【０９１２】
(4) Step4
ビット線ＢＬＡに保持された書き込みデータをリフレッシュした後、ＴＧＡが“Ｌ”になり、トランスファゲートＴｒＮＡがオフ状態になる。この後、ＴＧＢが“Ｈ”になり、トランスファゲートＴｒＮＢがオン状態になる。
【０９１３】
ＴＧＡが“Ｌ”になった後、上位バンク内のメモリセルＣｅｌｌＡに対する書き込み（書き込みパルスの印加）が実行される。
【０９１４】
トランスファゲートＴｒＮＡがオフ状態であるため、ビット線ＢＬＡは、フローティング状態である。また、メモリセルＣｅｌｌＡに対する書き込みデータは、ビット線ＢＬＡに保持されている。
【０９１５】
この後、メモリセルＣｅｌｌＡのコントロールゲート線（ワード線）に、書き込みパルスが印加される。この時、ビット線ＢＬＡ側のセレクトゲート線は、チップ内電源電位Ｖｄｄに設定され、ソース線側のセレクトゲート線は、接地電位Ｖｓｓに設定される。また、選択されたメモリセルＣｅｌｌＡに接続されるコントロールゲート線（選択されたワード線）は、書き込み電位Ｖｐｇｍに設定され、それ以外のコントロールゲート線（非選択のワード線）は、転送電位Ｖｐａｓｓに設定される。
【０９１６】
“０”書き込みの場合、ビット線ＢＬＡは、Ｖｓｓ（０Ｖ）であり、メモリセルＣｅｌｌＡのチャネルも、Ｖｓｓとなっている。従って、メモリセルＣｅｌｌＡにおいては、トンネル酸化膜に高電界が印加され、トンネル酸化膜にＦＮトンネル電流が流れる。つまり、メモリセルＣｅｌｌＡでは、チャネルからフローティングゲート電極に電子が注入されるため、メモリセルＣｅｌｌＡの閾値電圧が上昇する。
【０９１７】
“１”書き込みの場合、ビット線ＢＬＡは、Ｖｄｄであり、メモリセルＣｅｌｌＡのチャネルは、Ｖｄｄ－Ｖｔｈ（Ｖｔｈは、ビット線とメモリセルの間に接続されるセレクトトランジスタの閾値電圧）となり、かつ、ビット線とメモリセルの間に接続されるセレクトトランジスタは、カットオフしている。この場合、書き込みパルスが印加されると、ワード線とチャネルの容量カップリングにより、チャネルの電位も、例えば、８Ｖ程度に上昇するため、トンネル酸化膜にＦＮトンネル電流は流れず、メモリセルＣｅｌｌＡの閾値電圧は、変化しない（消去状態を維持する）。
【０９１８】
上位バンク内のメモリセルＣｅｌｌＡに対する書き込みを行っている間、下位バンク内では、まず、ビット線ＢＬＢに保持されたメモリセルＣｅｌｌＢに対する書き込みデータをデータ回路に転送する動作が行われる。
【０９１９】
即ち、ＴＧＢが“Ｈ”になり、トランスファゲートＴｒＮＢがオン状態になると、ビット線ＢＬＢは、データ回路２－ｉに電気的に接続される。従って、ビット線ＢＬＢに保持された書き込みデータは、データ回路２－ｉ内のラッチ回路（例えば、図５５のＬＡＴＣＨ１）に保持される。
【０９２０】
(5) Step5
ビット線ＢＬＢに保持された書き込みデータをデータ回路内のラッチ回路に転送した後、続けて、下位バンク内のメモリセルＣｅｌｌＢに対するベリファイ動作を行う。なお、この時、上位バンク内では、例えば、メモリセルＣｅｌｌＡに対する書き込みが継続して行われている。
【０９２１】
まず、下位バンク内のメモリセルＣｅｌｌＢに対するベリファイリードを行う。即ち、Ｔ

ＧＢが“Ｈ”であり、トランスファゲートＴｒＮＢがオン状態であるため、ビット線ＢＬＢは、データ回路２－ｉに電気的に接続されている。

【０９２２】

従って、２本のセレクトゲート線にＶｒｅａｄを与え、メモリセルＣｅｌｌＢのコントロールゲート線（選択されたワード線）にベリファイリード用の読み出し電位Ｖｃｇｖ０を与え、非選択のワード線にメモリセルが常にオン状態になる電位Ｖｒｅａｄを与えると、メモリセルＣｅｌｌＢのデータは、ビット線ＢＬＢを経由して、データ回路に転送される。

【０９２３】

この後、データ回路では、メモリセルＣｅｌｌＢのデータとラッチ回路に保持された書き込みデータに基づいて、メモリセルＣｅｌｌＢに正確なデータが完全に書き込まれたか否かを検出する動作及び再書き込みデータを生成する動作が行われる。

【０９２４】

そして、メモリセルＣｅｌｌＢに正確なデータが完全に書き込まれていると判断された場合には、それ以後のメモリセルＣｅｌｌＢに対する書き込みが終了する（具体的には、“０”書き込みの場合に、書き込みデータを“０”から“１”に変更し、以後、“０”書き込みを行わないようにする。）。一方、メモリセルＣｅｌｌＢに正確なデータが十分に書き込まれていないと判断された場合には、継続して、メモリセルＣｅｌｌＢに対する書き込みが行われる。

【０９２５】

以上のようなベリファイ動作が終了した後、データ回路により生成された再書き込みデータは、下位バンク内のビット線ＢＬＢに転送され、かつ、保持される。

【０９２６】

(6) Step6

メモリセルＣｅｌｌＢに対するベリファイ動作が終了した後、ＴＧＢが“Ｌ”になり、トランスファゲートＴｒＮＢがオフ状態になる。この後、ＴＧＡが“Ｈ”になり、トランスファゲートＴｒＮＡがオン状態になる。

【０９２７】

ＴＧＢが“Ｌ”になった後、下位バンク内のメモリセルＣｅｌｌＢに対する再書き込み（Re-write）が実行される。

なお、“０”書き込みの場合、例えば、書き込み不十分の場合には、“０”データの再書き込みが行われ、既に、書き込み十分になっている場合には、書き込みデータが“１”に変更され、“０”書き込みが行われないようにしている。

【０９２８】

トランスファゲートＴｒＮＢがオフ状態であるため、ビット線ＢＬＢは、フローティング状態である。また、メモリセルＣｅｌｌＢに対する書き込みデータは、ビット線ＢＬＢに保持されている。

【０９２９】

この後、メモリセルＣｅｌｌＢのコントロールゲート線（ワード線）に、書き込みパルスが印加される。

【０９３０】

一方、下位バンク内のメモリセルＣｅｌｌＢに対する書き込みを行っている間、上位バンク内では、まず、ビット線ＢＬＡに保持されたメモリセルＣｅｌｌＡに対する書き込みデータをデータ回路に転送する動作が行われる。

【０９３１】

即ち、ＴＧＡが“Ｈ”になり、トランスファゲートＴｒＮＡがオン状態になると、ビット線ＢＬＡは、データ回路２－ｉに電気的に接続される。従って、ビット線ＢＬＡに保持された書き込みデータは、データ回路２－ｉ内のラッチ回路（例えば、図５５のＬＡＴＣＨ１）に保持される。

【０９３２】

(7) Step7
ビット線ＢＬＡに保持された書き込みデータをデータ回路内のラッチ回路に転送した後、続けて、上位バンク内のメモリセルＣｅｌｌＡに対するベリファイ動作を行う。なお、この時、下位バンク内では、例えば、メモリセルＣｅｌｌＢに対する書き込みが継続して行われている。
【０９３３】
まず、上位バンク内のメモリセルＣｅｌｌＡに対するベリファイリードを行う。即ち、ＴＧＡが“Ｈ”であり、トランスファゲートＴｒＮＡがオン状態であるため、ビット線ＢＬＡは、データ回路２－ｉに電気的に接続されている。
【０９３４】
従って、２本のセレクトゲート線にＶｒｅａｄを与え、メモリセルＣｅｌｌＡのコントロールゲート線（選択されたワード線）にベリファイリード用の読み出し電位Ｖｃｇｖ０を与え、非選択のワード線にメモリセルが常にオン状態になる電位Ｖｒｅａｄを与えると、メモリセルＣｅｌｌＡのデータは、ビット線ＢＬＡを経由して、データ回路に転送される。
【０９３５】
この後、データ回路では、メモリセルＣｅｌｌＡのデータとラッチ回路に保持された書き込みデータに基づいて、メモリセルＣｅｌｌＡに正確なデータが完全に書き込まれたか否かを検出する動作及び再書き込みデータを生成する動作が行われる。
【０９３６】
そして、メモリセルＣｅｌｌＡに正確なデータが完全に書き込まれていると判断された場合には、それ以後のメモリセルＣｅｌｌＡに対する書き込みが終了する（具体的には、“０”書き込みの場合に、書き込みデータを“０”から“１”に変更し、以後、“０”書き込みを行わないようにする。）。一方、メモリセルＣｅｌｌＡに正確なデータが十分に書き込まれていないと判断された場合には、継続して、メモリセルＣｅｌｌＡに対する書き込みが行われる。
【０９３７】
以上のようなベリファイ動作が終了した後、データ回路により生成された再書き込みデータは、上位バンク内のビット線ＢＬＡに転送され、かつ、保持される。
【０９３８】
(8) Step7以降
この後、再び、Step4の動作が行われる。即ち、Step7以降は、メモリセルＣｅｌｌＡ，ＣｅｌｌＢを含む全てのメモリセルに対する書き込みが十分に行われるまで、又は、書き込み回数が所定数を超えて書き込み不良になるまで、Step4～Step7の動作が繰り返し行われる。
【０９３９】
なお、図５５において、メモリセルＣｅｌｌＡ，ＣｅｌｌＢに対して書き込み動作を行っている間、例えば、ビット線ＢＬＣ，ＢＬＤは、Ｖｄｄ（書き込み時）又はＶｓｓ（ベリファイ時）に固定される。
【０９４０】
メモリセルＣｅｌｌＣ，ＣｅｌｌＤに対しても、上述の動作と同様にして、書き込み動作が行われ、この時、ビット線ＢＬＡ，ＢＬＢは、Ｖｄｄ（書き込み時）又はＶｓｓ（ベリファイ時）に固定される。
【０９４１】
３．－４．　書き込み動作を構成する各動作の説明
次に、上述した書き込み動作を構成する各動作について詳細に説明する。
なお、データ回路及びメモリセルアレイは、図５５に示す構成を有しているものとする。また、メモリセルＣｅｌｌＡ，ＣｅｌｌＢに対して書き込みを行い、ビット線ＢＬＣ，ＢＬＤは、Ｖｄｄ又はＶｓｓに固定されるものとする。
【０９４２】

３．－４．－１．　データロード（Data load）
図５６の“Step1”では、上位バンク内のメモリセルＣｅｌｌＡに対する書き込みデータが、チップ外部からデータ回路に入力され、かつ、データ回路からビット線ＢＬＡに転送される。
【０９４３】
図５７は、“Step1”の動作を実行するための各信号のタイミングを示している。
【０９４４】
まず、ＣＳＬが“Ｈ”になり、書き込みデータが、チップ外部からＩＯ，ｎＩＯを経由してデータ回路２－ｉ内のラッチ回路ＬＡＴＣＨ１に入力される。そして、時刻Ｔｄ１に、ＴＲＳ及びＴＧＡがＶｓｇ（例えば、約４Ｖ）になり、ラッチ回路ＬＡＴＣＨ１に保持された書き込みデータが、上位バンク内のビット線ＢＬＡに転送される。なお、ＴＧＢ，ＴＧＣ，ＴＧＤは、全て、Ｖｓｓである。
【０９４５】
“０”書き込み（書き込み選択）の場合、ラッチ回路ＬＡＴＣＨ１に保持された書き込みデータは、“０”（Ｎ１＝Ｖｓｓ、Ｎ２＝Ｖｄｄ）となる。従って、“０”書き込み時、ビット線ＢＬＡには、Ｖｓｓ（書き込みデータ“０”）が保持される。
【０９４６】
“１”書き込み（書き込み非選択）の場合、ラッチ回路ＬＡＴＣＨ１に保持された書き込みデータは、“１”（Ｎ１＝Ｖｄｄ、Ｎ２＝Ｖｓｓ）となる。従って、“１”書き込み時、ビット線ＢＬＡには、Ｖｄｄ（書き込みデータ“１”）が保持される。
【０９４７】
この後、時刻Ｔｄ２に、ＴＲＳ及びＴＧＡがＶｓｓになり、メモリセルＣｅｌｌＡに対する書き込みデータのデータロードが終了する。
上述のデータロードの最中において、例えば、ＶＳＣは、Ｖｓｓに設定され、ＰＲＥＣは、Ｖｓｇ又はＶｄｄに設定される。この場合、ビット線ＢＬＣは、Ｖｓｓに固定されるため、ビット線ＢＬＡに対するビット線間の容量結合ノイズを除去できる。なお、ＢＬＣ（ＶＳＣ）は、ＶｓｓからＶｄｄに設定してもよい。
【０９４８】
図５６の“Step2”では、下位バンク内のメモリセルＣｅｌｌＢに対する書き込みデータが、チップ外部からデータ回路に入力され、かつ、データ回路からビット線ＢＬＢに転送される。
【０９４９】
図５８は、“Step2”の動作を実行するための各信号のタイミングを示している。
【０９５０】
まず、書き込みデータが、チップ外部からノードＮａｉｊ，Ｎｂｉｊを経由してデータ回路２－ｉ内のラッチ回路ＬＡＴＣＨ１に入力される。そして、時刻Ｔｄ１に、ＴＲＳ及びＴＧＢがＶｓｇ（例えば、約４Ｖ）になり、ラッチ回路ＬＡＴＣＨ１に保持された書き込みデータが、下位バンク内のビット線ＢＬＢに転送される。なお、ＴＧＡ，ＴＧＣ，ＴＧＤは、全て、Ｖｓｓである。
【０９５１】
この後、時刻Ｔｄ２に、ＴＲＳ及びＴＧＢがＶｓｓになり、メモリセルＣｅｌｌＢに対する書き込みデータのデータロードが終了する。
上述のデータロードの最中において、例えば、ＶＳＤは、Ｖｄｄに設定され、ＰＲＥＤは、Ｖｓｇに設定される。この場合、ビット線ＢＬＤは、Ｖｄｄに固定されるため、ビット線ＢＬＢに対するビット線間の容量結合ノイズを除去できる。
【０９５２】
３．－４．－２．　書き込みパルス印加
図５６の“Step3”では、下位バンク内のメモリセルＣｅｌｌＢに対する書き込みパルス印加が行われる。
【０９５３】

図５９は、“Step3”の動作（書き込みパルス印加に関する部分）を実行するための各信号のタイミングを示している。

【０９５４】

ＴＧＢ，ＴＧＣ及びＴＧＤは、全て、Ｖｓｓであり、トランスファゲートＴｒＮＢ，ＴｒＮＣ，ＴｒＮＤは、オフ状態である。

【０９５５】

メモリセルＣｅｌｌＢに対して書き込みを行うため、ＰＲＥＢは、Ｖｓｓとなっており、ビット線ＢＬＢには、書き込みデータが保持される。ビット線ＢＬＤは、Ｖｄｄに固定される。つまり、ＰＲＥＤは、Ｖｓｇに設定され、ＶＳＤは、Ｖｄｄに設定される。

【０９５６】

ビット線ＢＬＡには、メモリセルＣｅｌｌＡに対する書き込みデータが保持されるため、ＰＲＥＡは、Ｖｓｓに設定される。

【０９５７】

まず、時刻Ｔｐｒ１に、セレクトゲート線ＳＧ１ＬがＶｄｄになり、時刻Ｔｐｒ２に、非選択のコントロールゲート線（ワード線）ＣＧ２Ｌ～ＣＧ１６Ｌが転送電位Ｖｐａｓｓになる。そして、時刻Ｔｐｒ３に、選択されたコントロールゲート線（ワード線）ＣＧ１Ｌが書き込み電位Ｖｐｇｍになる。

【０９５８】

“０”書き込みの場合、ビット線ＢＬＢの電位は、Ｖｓｓであるため（“０”データ保持）、メモリセルＣｅｌｌＢのチャネルも、Ｖｓｓ（０Ｖ）となる。従って、メモリセルＣｅｌｌＢでは、トンネル酸化膜に高電界が印加され、電子がチャネルからフローティングゲート電極に注入される。

【０９５９】

“１”書き込みの場合、ビット線ＢＬＢの電位は、Ｖｄｄであるため（“１”データ保持）、メモリセルＣｅｌｌＢのチャネルは、Ｖｄｄ－Ｖｔｈ（Ｖｔｈは、セレクトトランジスタの閾値電圧）となる。また、セレクトトランジスタは、カットオフ状態となり、メモリセルＣｅｌｌＢのチャネルは、フローティング状態となる。

【０９６０】

この場合、メモリセルＣｅｌｌＢでは、チャネル電位が、コントロールゲート線（ワード線）とチャネルの間の容量カップリングにより、例えば、８Ｖ程度に上昇するため、トンネル酸化膜に高電界が印加されず、電子がチャネルからフローティングゲート電極に注入されない。

【０９６１】

この後、時刻Ｔｐｒ４に、選択されたコントロールゲート線ＣＧ１Ｌの電位が、書き込み電位Ｖｐｇｍから接地電位Ｖｓｓに低下する。また、時刻Ｔｐｒ５に、非選択のコントロールゲート線ＣＧ２Ｌ～ＣＧ１６Ｌの電位が、転送電位Ｖｐａｓｓから接地電位Ｖｓｓに低下する。また、時刻Ｔｐｒ６に、セレクトゲート線ＳＧ１Ｌが、ＶｄｄからＶｓｓに低下する。

【０９６２】

以上により、書き込みパルスの印加が終了する。

【０９６３】

なお、通常の書き込みでは、書き込みパルスの印加が終了した後、ビット線ＢＬＢの放電を行うが、本発明では、書き込みパルスの印加が終了した後、ビット線ＢＬＢの放電を行わない。本発明では、ビット線ＢＬＢに書き込みデータを保持するからである。

【０９６４】

３．－４．－３．　リフレッシュ

図５６の“Step3”では、下位バンク内のメモリセルＣｅｌｌＢに対して書き込みパルスの印加を行っている間、上位バンク内のビット線ＢＬＡに保持された書き込みデータのリフレッシュを行う。

【０９６５】

図６０は、“Step3”の動作（書き込みデータのリフレッシュに関する部分）を実行するための各信号のタイミングを示している。

【０９６６】

ＴＧＢ，ＴＧＣ及びＴＧＤは、全て、Ｖｓｓであり、トランスファゲートＴｒＮＢ，ＴｒＮＣ，ＴｒＮＤは、オフ状態である。

【０９６７】

ビット線ＢＬＡに保持されたメモリセルＣｅｌｌＡに対する書き込みデータのリフレッシュを行うため、ＰＲＥＡは、Ｖｓｓに設定される。メモリセルＣｅｌｌＢに対しては書き込みが行われるため、ＰＲＥＢも、Ｖｓｓである。一方、ＰＲＥＣ，ＰＲＥＤは、Ｖｓｇに設定され、ＶＳｃ，ＶＳＤは、Ｖｄｄに設定され、ビット線ＢＬＣ，ＢＬＤは、Ｖｄｄに固定される。

【０９６８】

まず、時刻Ｔｒｆ１に、ＳＥＮ及びＬＡＴがＶｓｓになり、クロックドインバータＩＮＶ１，ＩＮＶ２が非動作状態になる。即ち、ラッチ回路ＬＡＴＣＨ１は、非動作状態になる。また、時刻Ｔｒｆ２に、ＴＲＳ及びＴＧＡがＶｓｇになり、上位バンク内のビット線ＢＬＡがデータ回路２－ｉ内のラッチ回路ＬＡＴＣＨ１に電気的に接続される。

【０９６９】

その結果、ビット線ＢＬＡに保持された書き込みデータは、センスノードＮ１に転送される。この後、時刻Ｔｒｆ３に、ＳＥＮがＶｄｄになり、クロックドインバータＩＮＶ１が動作状態になると、クロックドインバータＩＮＶ１により、センスノードＮ１の電位（書き込みデータ）がセンスされる。

【０９７０】

また、時刻Ｔｒｆ４に、ＬＡＴがＶｄｄになると、クロックドインバータＩＮＶ２が動作状態になり、書き込みデータがラッチ回路ＬＡＴＣＨ１にラッチされる。つまり、ビット線ＢＬＡに保持された書き込みデータがラッチ回路ＬＡＴＣＨ１により増幅される。

【０９７１】

同時に、ラッチ回路ＬＡＴＣＨ１とビット線ＢＬＡが電気的に接続されているため、ラッチ回路ＬＡＴＣＨ１にラッチされた書き込みデータは、ビット線ＢＬＡに、再び、戻される（リフレッシュ）。

そして、時刻Ｔｒｆ５に、ＴＲＳ及びＴＧＡがＶｓｓになり、ビット線ＢＬＡに保持された書き込みデータのリフレッシュが終了する。

【０９７２】

３．－４．－４．　書き込みパルス印加

図５６の“Step4”及び“Step5”では、上位バンク内のメモリセルＣｅｌｌＡに対する書き込みパルスの印加が行われる。

【０９７３】

図６１は、“Step4”及び“Step5”の動作（書き込みパルス印加に関する部分）を実行するための各信号のタイミングを示している。

【０９７４】

ＴＧＡ，ＴＧＣ及びＴＧＤは、全て、Ｖｓｓであり、トランスファゲートＴｒＮＡ，ＴｒＮＣ，ＴｒＮＤは、オフ状態である。ＴＧＢは、後述する書き込みデータ転送及びベリファイリードを行う必要があるため、Ｖｓｇに設定される。

【０９７５】

メモリセルＣｅｌｌＡに対して書き込みを行うため、ＰＲＥＡは、Ｖｓｓとなっており、ビット線ＢＬＡには、書き込みデータが保持される。ＰＲＥＣは、Ｖｓｇに設定され、ＶＳｃは、Ｖｄｄに設定され、ビット線ＢＬＣは、Ｖｄｄに固定される。ＰＲＥＢは、Ｖｓｓに設定される。

【０９７６】

まず、時刻Ｔｐｒ１に、セレクトゲート線ＳＧ１ＵがＶｄｄになり、時刻Ｔｐｒ２に、非選択のコントロールゲート線（ワード線）ＣＧ２Ｕ～ＣＧ１６Ｕが転送電位Ｖｐａｓｓに

なる。そして、時刻Ｔｐｒ３に、選択されたコントロールゲート線（ワード線）ＣＧ１Ｕが書き込み電位Ｖｐｇｍになる。

【０９７７】

“０”書き込みの場合、ビット線ＢＬＡの電位は、Ｖｓｓであるため（“０”データ保持）、メモリセルＣｅｌｌＡのチャネルも、Ｖｓｓ（０Ｖ）となる。従って、メモリセルＣｅｌｌＡでは、トンネル酸化膜に高電界が印加され、電子がチャネルからフローティングゲート電極に注入される。

【０９７８】

“１”書き込みの場合、ビット線ＢＬＡの電位は、Ｖｄｄであるため（“１”データ保持）、メモリセルＣｅｌｌＡのチャネルは、Ｖｄｄ－Ｖｔｈ（Ｖｔｈは、セレクトトランジスタの閾値電圧）となる。また、セレクトトランジスタは、カットオフ状態となり、メモリセルＣｅｌｌＡのチャネルは、フローティング状態となる。

【０９７９】

この場合、メモリセルＣｅｌｌＡでは、チャネル電位が、コントロールゲート線（ワード線）とチャネルの間の容量カップリングにより、例えば、８Ｖ程度に上昇するため、トンネル酸化膜に高電界が印加されず、電子がチャネルからフローティングゲート電極に注入されない。

【０９８０】

この後、時刻Ｔｐｒ４に、選択されたコントロールゲート線ＣＧ１Ｕの電位が、書き込み電位Ｖｐｇｍから接地電位Ｖｓｓに低下する。また、時刻Ｔｐｒ５に、非選択のコントロールゲート線ＣＧ２Ｕ～ＣＧ１６Ｕの電位が、転送電位Ｖｐａｓｓから接地電位Ｖｓｓに低下する。また、時刻Ｔｐｒ６に、セレクトゲート線ＳＧ１Ｕが、ＶｄｄからＶｓｓに低下する。

【０９８１】

以上により、メモリセルＣｅｌｌＡに対する書き込みパルスの印加が終了する。なお、本発明では、書き込みパルスの印加が終了した後、ビット線ＢＬＡの放電を行わない。本発明では、ビット線ＢＬＡに書き込みデータを保持するからである。

【０９８２】

３．－４．－５．　書き込みデータ転送

図５６の“Step4”では、上位バンク内のメモリセルＣｅｌｌＡに対して書き込みパルスの印加を行って入る間、下位バンク内では、まず、ビット線ＢＬＢに保持された書き込みデータをデータ回路２－ｉ内のラッチ回路ＬＡＴＣＨ１に転送する動作が行われる。

【０９８３】

図６２は、“Step4”の動作（書き込みデータの転送に関する部分）を実行するための各信号のタイミングを示している。

【０９８４】

ＴＧＡ，ＴＧＣ及びＴＧＤは、全て、Ｖｓｓであり、トランスファゲートＴｒＮＡ，ＴｒＮＣ，ＴｒＮＤは、オフ状態である。

【０９８５】

ビット線ＢＬＢに保持されたメモリセルＣｅｌｌＢに対する書き込みデータの転送を行うため、ＰＲＥＢは、Ｖｓｓに設定される。メモリセルＣｅｌｌＡに対しては書き込みが行われるため、ＰＲＥＡも、Ｖｓｓである。一方、ＰＲＥＣ，ＰＲＥＤは、Ｖｓｇに設定され、ＶＳｃ，ＶＳＤは、Ｖｄｄに設定され、ビット線ＢＬＣ，ＢＬＤは、Ｖｄｄに固定される。

【０９８６】

まず、時刻Ｔｔｓ１に、ＳＥＮ及びＬＡＴがＶｓｓになり、クロックドインバータＩＮＶ１，ＩＮＶ２が非動作状態になる。即ち、ラッチ回路ＬＡＴＣＨ１は、非動作状態になる。また、時刻Ｔｔｓ２に、ＴＲＳ及びＴＧＢがＶｓｇになり、下位バンク内のビット線ＢＬＢがデータ回路２－ｉ内のラッチ回路ＬＡＴＣＨ１に電気的に接続される。

【０９８７】

その結果、ビット線ＢＬＢに保持された書き込みデータは、センスノードＮ１に転送される。この後、時刻Ｔｔｓ３に、ＳＥＮがＶｄｄになり、クロックドインバータＩＮＶ１が動作状態になると、クロックドインバータＩＮＶ１により、センスノードＮ１の電位（書き込みデータ）がセンスされる。

【０９８８】

この後、時刻Ｔｔｓ４に、ＴＲＳがＶｓｇからＶｓｓに変化すると、トランジスタＴＮ３１がオフ状態になり、ラッチ回路ＬＡＴＣＨ１とビット線ＢＬＢが電気的に切断される。

【０９８９】

そして、時刻Ｔｔｓ５に、ＬＡＴがＶｄｄになると、クロックドインバータＩＮＶ２が動作状態になり、書き込みデータがラッチ回路ＬＡＴＣＨ１にラッチされる。つまり、ビット線ＢＬＢに保持されていた書き込みデータがラッチ回路ＬＡＴＣＨ１にラッチされることになる。

【０９９０】

そして、時刻Ｔｔｓ６に、ＴＧＢがＶｓｓになり、ビット線ＢＬＢに保持された書き込みデータの転送が終了する。

【０９９１】

３．－４．－６．　ベリファイリード

図５６の“Step5”では、上位バンク内のメモリセルＣｅｌｌＡに対して書き込みパルスの印加を行って入る間、下位バンク内では、メモリセルＣｅｌｌＢに対するベリファイリードが行われる。

【０９９２】

図６３は、“Step5”の動作（ベリファイリードに関する部分）を実行するための各信号のタイミングを示している。

ＴＧＡ，ＴＧＣ及びＴＧＤは、全て、Ｖｓｓであり、トランスファゲートＴｒＮＡ，ＴｒＮＣ，ＴｒＮＤは、オフ状態である。

【０９９３】

メモリセルＣｅｌｌＡに対しては書き込みが行われるため、ＰＲＥＡは、Ｖｓｓである。一方、ビット線ＢＬＣは、Ｖｄｄ、ビット線ＢＬＤは、Ｖｓｓに固定される。従って、ＰＲＥＣ，ＰＲＥＤは、Ｖｓｇに設定され、ＶＳｃは、Ｖｄｄ、ＶＳＤは、Ｖｓｓに設定される。

【０９９４】

まず、時刻Ｔｖｆｙ１に、ＴＧＢがＶｓｇになる。また、ＰＲＥＢがＶｐｒｅ（例えば、約３Ｖ）になり、ビット線ＢＬＢが約１．８Ｖにプリチャージされる。この後、時刻Ｔｖｆｙ２に、ＰＲＥＢがＶｓｓになり、ビット線ＢＬＢのプリチャージが終了する。

【０９９５】

時刻Ｔｖｆｙ３に、選択されたコントロールゲート線（ワード線）ＣＧ１Ｌがベリファイ用の読み出し電位Ｖｃｇｖ０（例えば、約０．５Ｖ）に設定され、セレクトゲート線ＳＧ１Ｌ，ＳＧ２Ｌ及び非選択のコントロールゲート線（ワード線）ＣＧ２Ｌ～ＣＧ１６Ｌが、常にメモリセルがオン状態になるような電位Ｖｒｅａｄ（例えば、約３．５Ｖ）に設定される。

【０９９６】

この時、メモリセルＣｅｌｌＢのデータに応じて、ビット線ＢＬＢの電位が変化し、又は維持される。

【０９９７】

例えば、メモリセルＣｅｌｌＢに関して、“０”書き込み不十分の場合及び“１”書き込みを行う場合には、メモリセルＣｅｌｌＢの閾値電圧は、Ｖｃｇｖ０よりも低いため、メモリセルＣｅｌｌＢはオン状態になり、ビット線ＢＬＢの電荷は、放電される。その結果、ビット線ＢＬＢの電位は、Ｖｓｓになる。

【０９９８】

また、メモリセルＣｅｌｌＢに関して、“０”書き込み十分の場合には、メモリセルＣｅ

ｌｌＢの閾値電圧は、Ｖｃｇｖ０よりも高いため、メモリセルＣｅｌｌＢはオフ状態になり、ビット線ＢＬＢの電荷は、放電されない。その結果、ビット線ＢＬＢの電位は、プリチャージ電位（例えば、約１．８Ｖ）が維持される。

【０９９９】

この後、時刻Ｔｖｆｙ４に、コントロールゲート線（ワード線）ＣＧ１Ｌ～ＣＧ１６Ｌ及びセレクトゲート線ＳＧ１Ｌ，ＳＧ２Ｌの電位を、Ｖｓｓ（０Ｖ）に設定する。

【１０００】

そして、時刻Ｔｖｆｙ５に、ＶＦＹが“Ｌ”になると、トランジスタＴＰ３２がオン状態となるため、ラッチ回路ＬＡＴＣＨ１にラッチされた書き込みデータに応じて、ビット線ＢＬＢの電位が決定される。

【１００１】

例えば、“１”書き込み（書き込み非選択）の場合には、ラッチ回路ＬＡＴＣＨ１には、書き込みデータ“１”がラッチされているため（ノードＮ２が“Ｌ”）、トランジスタＴＰ３１は、オン状態であり、ビット線ＢＬＢは、Ｖｄｄに固定される。

【１００２】

つまり、時刻Ｔｖｆｙ４の時点では、ベリファイリードによりビット線ＢＬＢの電位は、Ｖｓｓになるが、時刻Ｔｖｆｙ５の時点では、ビット線ＢＬＢは、強制的に、Ｖｄｄに設定される。

【１００３】

また、“０”書き込み（書き込み選択）の場合には、ラッチ回路ＬＡＴＣＨ１には、書き込みデータ“０”がラッチされているため（ノードＮ２が“Ｈ”）、トランジスタＴＰ３１は、オフ状態である。従って、ビット線ＢＬＢは、ベリファイリードによりビット線ＢＬＢに読み出されたデータ、即ち、時刻Ｔｖｆｙ４時点のビット線ＢＬＢの電位をそのまま維持する。

【１００４】

つまり、“０”書き込み不十分の場合には、ビット線ＢＬＢの電位は、Ｖｓｓとなり、“０”書き込み十分の場合には、ビット線ＢＬＢの電位は、プリチャージ電位となる。

【１００５】

この後、時刻Ｔｖｆｙ６に、ＳＥＮ及びＬＡＴがＶｓｓになり、クロックドインバータＩＮＶ１，ＩＮＶ２が非動作状態、即ち、ラッチ回路ＬＡＴＣＨ１が非動作状態になる。この時、ラッチ回路ＬＡＴＣＨ１にラッチされていた書き込みデータは、消失する。

【１００６】

そして、時刻Ｔｖｆｙ７に、ＴＲＳがＶｓｇになると、トランジスタＴＮ３１がオン状態になり、ビット線ＢＬＢとラッチ回路ＬＡＴＣＨ１が電気的に接続される。また、時刻Ｔｖｆｙ８に、ＳＥＮが“Ｈ”になり、クロックドインバータＩＮＶ１により、ビット線ＢＬＢの電位がセンスされる。さらに、時刻Ｔｖｆｙ９に、ＬＡＴが“Ｈ”になると、ビット線ＢＬＢの電位が、ラッチ回路ＬＡＴＣＨ１にラッチされる。

【１００７】

つまり、ビット線ＢＬＢの電位が、再書き込みデータとして、ラッチ回路ＬＡＴＣＨ１にラッチされることになる。同時に、この再書き込みデータは、ビット線ＢＬＢに転送され、かつ、保持される。

そして、以後は、ビット線ＢＬＢに保持された再書き込みデータに基づいて、再書き込みが行われる。

【１００８】

ところで、書き込み（書き込みパルス印加）は、原則として、ベリファイリードの結果、全てのカラム（全ての選択されたメモリセル）に対応するビット線ＢＬＢの電位が“Ｈ”になったときに終了する。ビット線ＢＬＢの電位が“Ｌ”のカラムが存在する場合、即ち、“０”書き込み不十分のメモリセルが存在する場合には、書き込み回数がその上限に達しない限り、継続して、書き込みが行われる。

【１００９】

全てのカラムのビット線ＢＬＢの電位が“Ｈ”になったか否かの検出は、一致検出回路（例えば、図１、図２及び図５に示すようなもの）を用いて行えばよい（Program completion detection）。

【１０１０】

最後に、時刻Ｔｖｆｙ１０に、ＴＲＳ及びＴＧＡがＶｓｓになり、ベリファイリードが終了する。

【１０１１】

３．－４．－７．　その他

図５６の“Step6”及び“Step7”では、“Step4”及び“Step5”と同様の動作が行われる。即ち、下位バンク内では、メモリセルＣｅｌｌＢに対する書き込みパルスの印加を行い、上位バンク内では、ビット線ＢＬＡに保持された書き込みデータの転送及びメモリセルＣｅｌｌＡに対するベリファイリードを行う。

【１０１２】

なお、“Step6”及び“Step7”における書き込みパルスの印加、書き込みデータの転送、ベリファイリードの各動作は、対象が異なる点を除けば、“Step4”及び“Step5”における各動作（項目３．－４．－４．及び項目３．－４．－５．及び項目３．－４．－６．を参照）と全く同じであるため、図６４乃至図６６に波形図のみを示し、その詳細な説明は、省略する。

【１０１３】

上述の例では、ビット線をフローティング状態にした後、書き込みパルスをメモリセルに印加していた。逆に、メモリセルに書き込みパルスを印加した後、ビット線をフローティング状態にし、書き込みデータをビット線に保持してもよい。

【１０１４】

４．　具体例２

上述の具体例１では、１つのデータ回路に接続され、同時に書き込みを行う複数のメモリセル（選択されたビット線）が、それぞれ異なるバンク内に配置されることを前提としたため、複数の選択されたメモリセルのコントロールゲート線（ワード線）が共通になることはなかった。

【１０１５】

本例では、１つのデータ回路を用いて、同じバンク内に存在する（即ち、コントロールゲート線を共通にする）複数のメモリセルに対して同時に書き込みを行う場合について説明する。なお、１つのデータ回路内には、１つのメモリセルに対する書き込みデータ（２値又は多値）を一時的に保持できる記憶回路（例えば、ラッチ回路）のみが配置されていることは言うまでもない。

【１０１６】

４．－１．　概要

本例においても、具体例１と同様に、２値ＮＡＮＤ型フラッシュメモリを例にして説明する。

チップレイアウト及びデータ回路に関しては、具体例１と同じものを使用する（図５４及び図５５を参照）。但し、データ回路とビット線の接続関係に関しては、例えば、図６７に示すような関係にする。つまり、１つのデータ回路２－ｉには、６本のビット線ＢＬＡ１，ＢＬＡ２，ＢＬＡ３，ＢＬＢ１，ＢＬＢ２，ＢＬＢ３を接続する。

【１０１７】

６本のビット線ＢＬＡ１，ＢＬＡ２，ＢＬＡ３，ＢＬＢ１，ＢＬＢ２，ＢＬＢ３のうち、３本のビット線ＢＬＡ１，ＢＬＡ２，ＢＬＡ３は、上位バンク（Upper bank）内に配置され、３本のビット線ＢＬＢ１，ＢＬＢ２，ＢＬＢ３は、下位バンク（Lower bank）内に配置される。

【１０１８】

そして、本例では、１つのデータ回路２－ｉを用いて、例えば、上位バンク内の３本のビット線ＢＬＡ１，ＢＬＡ２，ＢＬＡ３に接続され、かつ、コントロールゲート線ＣＧ１Ｕ

１を共通にする３つのメモリセルＣｅｌｌＡ１，ＣｅｌｌＡ２，ＣｅｌｌＡ３に対して同時に書き込みを行う。この時、下位バンク内の３本のビット線ＢＬＢ１，ＢＬＢ２，ＢＬＢ３は、それぞれメモリセルＣｅｌｌＡ１，ＣｅｌｌＡ２，ＣｅｌｌＡ３に対する書き込みデータの一時待機用として使用される。

【１０１９】

また、例えば、下位バンク内の３本のビット線ＢＬＢ１，ＢＬＢ２，ＢＬＢ３に接続され、かつ、コントロールゲート線ＣＧ１Ｌ１を共通にする３つのメモリセルＣｅｌｌＢ１，ＣｅｌｌＢ２，ＣｅｌｌＢ３に対しても、同時に書き込みが行われる。この時、上位バンク内の３本のビット線ＢＬＡ１，ＢＬＡ２，ＢＬＡ３は、それぞれメモリセルＣｅｌｌＢ１，ＣｅｌｌＢ２，ＣｅｌｌＢ３に対する書き込みデータの一時待機用として使用される。

【１０２０】

４．－２．　書き込み動作

以下、図６８乃至図７０を参照しつつ、具体的な書き込み動作について説明する。なお、メモリセルＣｅｌｌＡ１，ＣｅｌｌＡ２，ＣｅｌｌＡ３に対する書き込み動作と、メモリセルＣｅｌｌＢ１，ＣｅｌｌＢ２，ＣｅｌｌＢ３に対する書き込み動作は、対象が異なる点を除けば、全く同じであるため、以下の説明では、メモリセルＣｅｌｌＡ１，ＣｅｌｌＡ２，ＣｅｌｌＡ３に対する書き込み動作についてのみ説明する。

【１０２１】

(1) Step1-1

まず、メモリセルＣｅｌｌＡ１に対する書き込みデータのデータロード（Data load）が行われる。

【１０２２】

メモリセルＣｅｌｌＡ１の書き込みデータがチップ外部からデータ回路２－ｉに入力される。この後、ＴＧＡ１が“Ｈ”になると、トランスファゲートＴｒＮＡ１がオン状態になるため、データ回路２－ｉ内の書き込みデータは、ビット線ＢＬＡ１に転送され、かつ、保持される。この時、ＴＧＢ１は、“Ｌ”であり、トランスファゲートＴｒＮＢ１は、オフ状態である。

【１０２３】

なお、“０”書き込み（書き込み選択）の場合には、書き込みデータは、“０”であり、ビット線ＢＬＡ１は、０Ｖになる。また、“１”書き込み（書き込み非選択）の場合には、書き込みデータは、“１”であり、ビット線ＢＬＡ１は、Ｖｄｄになる。

【１０２４】

この後、ＴＧＢ１が“Ｌ”から“Ｈ”になり、トランスファゲートＴｒＮＢ１がオン状態になる。従って、データ回路２－ｉ内の書き込みデータは、ビット線ＢＬＢ１にも転送され、かつ、保持される。

【１０２５】

(2) Step1-2

引き続き、メモリセルＣｅｌｌＡ２に対する書き込みデータのデータロード（Data load）が行われる。

【１０２６】

まず、ＴＧＡ１及びＴＧＢ１を“Ｌ”にし、トランスファゲートＴｒＮＡ１，ＴｒＮＢ１をオフ状態にする。この時、ビット線ＢＬＡ１，ＢＬＢ１は、フローティング状態になり、メモリセルＣｅｌｌＡ１に対する書き込みデータは、ビット線ＢＬＡ１，ＢＬＢ１に閉じ込められる。

【１０２７】

この後、メモリセルＣｅｌｌＡ２の書き込みデータがチップ外部からデータ回路２－ｉに入力される。この後、ＴＧＡ２が“Ｈ”になると、トランスファゲートＴｒＮＡ２がオン状態になるため、データ回路２－ｉ内の書き込みデータは、ビット線ＢＬＡ２に転送され、かつ、保持される。この時、ＴＧＢ２は、“Ｌ”であり、トランスファゲートＴｒＮＢ

２は、オフ状態である。
【１０２８】
この後、ＴＧＢ２が“Ｌ”から“Ｈ”になり、トランスファゲートＴｒＮＢ２がオン状態になる。従って、データ回路２－ｉ内の書き込みデータは、ビット線ＢＬＢ２にも転送され、かつ、保持される。
【１０２９】
(3) Step1-3
引き続き、メモリセルＣｅｌｌＡ３に対する書き込みデータのデータロード（Data load）が行われる。
【１０３０】
まず、ＴＧＡ２及びＴＧＢ２を“Ｌ”にし、トランスファゲートＴｒＮＡ２，ＴｒＮＢ２をオフ状態にする。この時、ビット線ＢＬＡ２，ＢＬＢ２は、フローティング状態になり、メモリセルＣｅｌｌＡ２に対する書き込みデータは、ビット線ＢＬＡ２，ＢＬＢ２に閉じ込められる。
【１０３１】
この後、メモリセルＣｅｌｌＡ３の書き込みデータがチップ外部からデータ回路２－ｉに入力される。この後、ＴＧＡ３が“Ｈ”になると、トランスファゲートＴｒＮＡ３がオン状態になるため、データ回路２－ｉ内の書き込みデータは、ビット線ＢＬＡ３に転送され、かつ、保持される。この時、ＴＧＢ３は、“Ｌ”であり、トランスファゲートＴｒＮＢ３は、オフ状態である。
【１０３２】
この後、ＴＧＢ３が“Ｌ”から“Ｈ”になり、トランスファゲートＴｒＮＢ３がオン状態になる。従って、データ回路２－ｉ内の書き込みデータは、ビット線ＢＬＢ３にも転送され、かつ、保持される。
【１０３３】
(4) Step1-4
“Step1-1”から“Step1-3”までの動作により、書き込みデータのデータロードが終了した。この後、本例では、書き込みパルスを印加する前に、各ビット線に保持された書込みデータのリフレッシュを行う。
【１０３４】
但し、書込みデータのリフレッシュ（“Step1-4”及び“Step1-5”）は、データロードの最中に、既にデータロードが終了したビット線の電位がリーク電流により変動する可能性がある場合に行えばよく、データロードの最中に、既にデータロードが終了したビット線の電位がリーク電流により変動する可能性がない場合には行わなくてもよい。
【１０３５】
この場合、データロード（“Step1-1”乃至“Step1-3”）が終了した後に、直ちに、書き込みパルスの印加（“Step1-6”）が行われる。
【１０３６】
リーク電流によるビット線の電位変動が問題となる場合には、書き込みデータのリフレッシュは、ビット線ＢＬＡ１，ＢＬＢ１に保持されたメモリセルＣｅｌｌＡ１に対する書き込みデータ及びビット線ＢＬＡ２，ＢＬＢ２に保持されたメモリセルＣｅｌｌＡ２に対する書き込みデータについて行う。
【１０３７】
つまり、ビット線ＢＬＡ３，ＢＬＢ３に保持されたメモリセルＣｅｌｌＡ３に対する書き込みデータについては、リークによるビット線の電位変動が問題となるような場合でも、リフレッシュを行わない。なぜなら、メモリセルＣｅｌｌＡ３に対する書き込みデータのデータロードは、最後（“Step1-3”）に行われるため、ビット線ＢＬＡ３，ＢＬＢ３に書き込みデータを保持している時間（Data retention time）が短いからである。
【１０３８】
“Step1-4”では、メモリセルＣｅｌｌＡ１に対する書き込みデータをリフレッシュする

。
【１０３９】
まず、ＴＧＡ１が“Ｈ”になり、トランスファゲートＴｒＮＡ１がオン状態になる。この時、ビット線ＢＬＡ１は、データ回路２－ｉに電気的に接続されるため、データ回路２－ｉ内のラッチ回路を用いて、ビット線ＢＬＡ１に保持されたメモリセルＣｅｌｌＡ１に対する書き込みデータのリフレッシュを行う。
【１０４０】
なお、ビット線ＢＬＡ１に保持された書き込みデータのリフレッシュを行っている間、ＴＧＢ１は、“Ｌ”であり、トランスファゲートＴｒＮＢ１は、オフ状態になっている。
【１０４１】
この後、ＴＧＡ１が“Ｌ”になり、トランスファゲートＴｒＮＡ１がオフ状態になる。また、ＴＧＢ１が“Ｈ”になり、トランスファゲートＴｒＮＢ１がオン状態になる。この時、ビット線ＢＬＢ１は、データ回路２－ｉに電気的に接続されるため、データ回路２－ｉ内のラッチ回路を用いて、ビット線ＢＬＢ１に保持されたメモリセルＣｅｌｌＡ１に対する書き込みデータのリフレッシュを行う。
【１０４２】
(8) Step1-5
“Step1-5”では、メモリセルＣｅｌｌＡ２に対する書き込みデータをリフレッシュする。
【１０４３】
まず、ＴＧＡ２が“Ｈ”になり、トランスファゲートＴｒＮＡ２がオン状態になる。この時、ビット線ＢＬＡ２は、データ回路２－ｉに電気的に接続されるため、データ回路２－ｉ内のラッチ回路を用いて、ビット線ＢＬＡ２に保持されたメモリセルＣｅｌｌＡ２に対する書き込みデータのリフレッシュを行う。
【１０４４】
なお、ビット線ＢＬＡ２に保持された書き込みデータのリフレッシュを行っている間、ＴＧＢ２は、“Ｌ”であり、トランスファゲートＴｒＮＢ２は、オフ状態になっている。
【１０４５】
この後、ＴＧＡ２が“Ｌ”になり、トランスファゲートＴｒＮＡ２がオフ状態になる。また、ＴＧＢ２が“Ｈ”になり、トランスファゲートＴｒＮＢ２がオン状態になる。この時、ビット線ＢＬＢ２は、データ回路２－ｉに電気的に接続されるため、データ回路２－ｉ内のラッチ回路を用いて、ビット線ＢＬＢ２に保持されたメモリセルＣｅｌｌＡ２に対する書き込みデータのリフレッシュを行う。
【１０４６】
なお、“Step1-1”から“Step1-5”までの間、セレクトゲート線ＳＧ１Ｕ１，ＳＧ１Ｌ１は、それぞれオフ状態となっているため、各ビット線に保持された書込みデータが消失することはない。
【１０４７】
(6) Step1-6
“Step1-6”では、書き込みパルスの印加が行われる。
【１０４８】
既に、ビット線ＢＬＡ１には、メモリセルＣｅｌｌＡ１に対する書き込みデータが保持され、ビット線ＢＬＡ２には、メモリセルＣｅｌｌＡ２に対する書き込みデータが保持され、ビット線ＢＬＡ３には、メモリセルＣｅｌｌＡ３に対する書き込みデータが保持されている。このため、コントロールゲート線ＣＧ１Ｕ１に書き込みパルスを印加すれば、同時に、３つのメモリセルＣｅｌｌＡ１，ＣｅｌｌＡ２，ＣｅｌｌＡ３に対する書き込みが実行される。
【１０４９】
書き込みを行っている最中のコントロールゲート線（ワード線）及びセレクトゲート線の電位は、以下の通りである。

ビット線側のセレクトゲート線ＳＧ１Ｕ１は、Ｖｄｄに設定され、ソース線側のセレクトゲート線は、Ｖｓｓに設定され、選択されたコントロールゲート線ＣＧ１Ｕ１は、書き込み電位Ｖｐｇｍに設定され、非選択のコントロールゲート線は、転送電位Ｖｐａｓｓに設定される。

【１０５０】

そして、“０”書き込み（書き込み選択）の場合、選択されたメモリセルのチャネルは、０Ｖとなるため、トンネル酸化膜に高電界が印加され、チャネルからフローティングゲート電極に電子が注入される。

【１０５１】

一方、“１”書き込み（書き込み非選択）の場合、選択されたメモリセルのチャネルは、Ｖｄｄ－Ｖｔｈ（Ｖｔｈは、セレクトトランジスタの閾値電圧）となり、かつ、ビット線側のセレクトトランジスタがオフ状態となるため、チャネルは、フローティング状態になる。

【１０５２】

従って、書き込みパルスが印加されると、コントロールゲート線とチャネルの容量カップリングにより、チャネルの電位が８Ｖ程度に上昇する。つまり、トンネル酸化膜に高電界が印加されることはなく、チャネルからフローティングゲート電極に電子が注入されない。

【１０５３】

(7) Step1-7

書き込みパルスの印加を終えた後、ビット線に一時記憶した書き込みデータをデータ回路に転送する動作、ベリファイ動作（ベリファイリード及びProgram completion detection）及び再書き込みデータをビット線に転送する動作がそれぞれ行われる。

【１０５４】

データ回路２－ｉは、１つのメモリセルに対する書き込み／読み出しデータを一時記憶できるラッチ回路のみを有するため、これらの動作は、ビット線（又はメモリセル）ごとに行う。

【１０５５】

本例では、“Step1-7”及び“Step1-8”において、ビット線ＢＬＢ１（又はビット線ＢＬＡ１でもよい。）に一時記憶した書き込みデータをデータ回路に転送する動作、メモリセルＣｅｌｌＡ１に対するベリファイリード動作（Program completion detectionを含む）及び再書き込みデータをデータ回路からビット線ＢＬＢ１（ビット線ＢＬＡ１，ＢＬＢ１でもよい。）に転送する動作を行う。

【１０５６】

また、“Step1-9”及び“Step1-10”において、ビット線ＢＬＢ２（ビット線ＢＬＡ２は、不可。これについては、後述する。）に一時記憶した書き込みデータをデータ回路に転送する動作、メモリセルＣｅｌｌＡ２に対するベリファイリード動作（Program completion detectionを含む）及び再書き込みデータをデータ回路からビット線ＢＬＢ２（ビット線ＢＬＡ２，ＢＬＢ２でもよい。）に転送する動作を行う。

【１０５７】

また、“Step1-11”及び“Step1-12”において、ビット線ＢＬＢ３（ビット線ＢＬＡ３は、不可。これについては、後述する。）に一時記憶した書き込みデータをデータ回路に転送する動作、メモリセルＣｅｌｌＡ３に対するベリファイリード動作（Program completion detectionを含む）及び再書き込みデータをデータ回路からビット線ＢＬＢ３（ビット線ＢＬＡ３，ＢＬＢ３でもよい。）に転送する動作を行う。

【１０５８】

なお、本例では、上位バンク内の選択されたメモリセルに対する書き込みデータを、そのメモリセルが接続されるビット線と、下位バンク内の１本のビット線に保持するようにしている。その理由は、後述するベリファイリード動作において、例えば、選択されたメモリセルＣｅｌｌＡ１に対するベリファイリードを行ったときに、その他の選択されたメモ

リセルＣｅｌｌＡ２，ＣｅｌｌＡ３に接続されるビット線ＢＬＡ２，ＢＬＡ３に保持される書き込みデータが消失してしまうためである。

【１０５９】

つまり、下位バンク内のビット線ＢＬＢ２，ＢＬＢ３に書き込みデータを保持しておけば、例えば、メモリセルＣｅｌｌＡ１に対するベリファイリード時に、上位バンク内のビット線ＢＬＡ２，ＢＬＡ３に保持される書き込みデータが消失してしまっても、メモリセルＣｅｌｌＡ２，ＣｅｌｌＡ３に対する書き込みデータは、ビット線ＢＬＢ２，ＢＬＢ３に保持され、消失することはない。

【１０６０】

“Step1-7”の動作について説明する。

“Step1-7”では、下位バンク内のビット線ＢＬＢ１に保持された上位バンク内のメモリセルＣｅｌｌＡ１に対する書き込みデータをデータ回路に転送する動作が行われる。

【１０６１】

まず、ＴＧＢ１が“Ｈ”になると、トランスファゲートＴｒＮＢ１がオン状態になる。この時、ビット線ＢＬＢ１がデータ回路に電気的に接続され、下位バンク内のビット線ＢＬＢ１に保持されたメモリセルＣｅｌｌＡ１に対する書き込みデータがデータ回路に転送される。

【１０６２】

なお、本例では、これに代えて、ＴＧＡ１を“Ｈ”、トランスファゲートＴｒＮＡ１をオン状態にし、上位バンク内のビット線ＢＬＡ１に保持された書き込みデータをデータ回路に転送するようにしてもよい。

【１０６３】

この書き込みデータは、例えば、図５５に示すようなデータ回路２－ｉ内のラッチ回路ＬＡＴＣＨ１に保持される。

【１０６４】

(8) Step1-8

“Step1-8”では、メモリセルＣｅｌｌＡ１に対するベリファイリードが行われる。

【１０６５】

まず、ビット線ＢＬＡ１をプリチャージ電位（例えば、１．８Ｖ程度）にプリチャージする。この時、ビット線ＢＬＡ１に保持されていた書き込みデータは、消失するが、既に、書き込みデータは、データ回路内のラッチ回路に転送されているため、問題ない。

【１０６６】

この後、ＴＧＡ１を“Ｈ”にし、トランスファゲートＴｒＮＡ１をオン状態にすると、ビット線ＢＬＡ１がデータ回路に電気的に接続される。

【１０６７】

そして、２本のセレクトゲート線にＶｒｅａｄを与え、メモリセルＣｅｌｌＡ１のコントロールゲート線（選択されたワード線）ＣＧ１Ｕ１にベリファイリード用の読み出し電位Ｖｃｇｖ０を与え、非選択のワード線にメモリセルが常にオン状態になる電位Ｖｒｅａｄを与えると、メモリセルＣｅｌｌＡ１のデータは、ビット線ＢＬＡ１を経由して、データ回路２－ｉに転送される。

【１０６８】

この後、データ回路２－ｉでは、メモリセルＣｅｌｌＡ１のデータとラッチ回路ＬＡＴＣＨ１に保持された書き込みデータに基づいて、再書き込みデータを生成する動作、及び、メモリセルＣｅｌｌＡ１に正確なデータが完全に書き込まれたか否かを検出する動作（Program completion detection）が行われる。

【１０６９】

仮に、図５５のデータ回路を用いたとすると、“１”書き込み及び“０”書き込み十分の場合には、再書き込みデータは、“１”となるため、以後、“０”書き込みは、行われない。つまり、メモリセルＣｅｌｌＡ１に対する書き込みが終了する。

【１０７０】

一方、“０”書き込み不十分の場合には、再書き込みデータは、“０”となるため、継続して、“０”書き込みが行われる。つまり、メモリセルＣｅｌｌＡ１に対する書き込みが継続される。

【１０７１】

なお、メモリセルＣｅｌｌＡ１に対するベリファイリードでは、コントロールゲート線ＣＧ１Ｕ１に読み出し電位Ｖｃｇｖ０を与える。

その結果、メモリセルＣｅｌｌＡ１と共にコントロールゲート線ＣＧ１Ｕ１を共通にするメモリセルＣｅｌｌＡ２，ＣｅｌｌＡ３がオン状態になり、ビット線ＢＬＡ２，ＢＬＡ３に保持されていたメモリセルＣｅｌｌＡ２，ＣｅｌｌＡ３に対する書き込みデータは、消失する。しかし、メモリセルＣｅｌｌＡ２，ＣｅｌｌＡ３に対する書き込みデータは、下位バンク内のビット線ＢＬＢ２，ＢＬＢ３にも保持されているため、問題はない。

【１０７２】

ベリファイリード後、メモリセルＣｅｌｌＡ１に対する再書き込みデータが、ビット線ＢＬＡ１に転送される（実際は、トランスファゲートＴｒＮＡ１がオン状態であるため、ベリファイリードとほぼ同時に再書き込みデータがビット線ＢＬＡ１に転送される。）。この時、ＴＧＢ１は、“Ｌ”であり、トランスファゲートＴｒＮＢ１は、オフ状態である。

【１０７３】

この後、ＴＧＢ１を“Ｈ”にすると、トランスファゲートＴｒＮＢ１がオン状態になり、メモリセルＣｅｌｌＡ１に対する再書き込みデータは、ビット線ＢＬＢ１にも転送される。

【１０７４】

なお、後述するように、メモリセルＣｅｌｌＡ２に対するベリファイリード時に、ビット線ＢＬＡ１に保持されたメモリセルＣｅｌｌＡ１に対する再書き込みデータは、消失することになる。従って、以後は、ビット線ＢＬＢ１に保持された書き込みデータを使用することになる。

【１０７５】

(9) Step1-9

上述の“Step1-7”及び“Step1-8”の動作と同様にして、“Step1-9”及び“Step1-10”の動作が行われる。

【１０７６】

まず、“Step1-9”の動作について説明する。

“Step1-9”では、下位バンク内のビット線ＢＬＢ２に保持された上位バンク内のメモリセルＣｅｌｌＡ２に対する書き込みデータをデータ回路に転送する動作が行われる。

【１０７７】

まず、ＴＧＢ２が“Ｈ”になると、トランスファゲートＴｒＮＢ２がオン状態になる。この時、ビット線ＢＬＢ２がデータ回路に電気的に接続され、下位バンク内のビット線ＢＬＢ２に保持されたメモリセルＣｅｌｌＡ２に対する書き込みデータがデータ回路に転送される。

【１０７８】

なお、本例では、上位バンク内のビット線ＢＬＡ２に保持されたメモリセルＣｅｌｌＡ２に対する書き込みデータは、メモリセルＣｅｌｌＡ１に対するベリファイリード時（“Step1-8”）に消失している。従って、メモリセルＣｅｌｌＡ２に対する書き込みデータは、下位バンク内のビット線ＢＬＢ２からデータ回路に転送する。

【１０７９】

そして、この書き込みデータは、例えば、図５５に示すようなデータ回路２－ｉ内のラッチ回路ＬＡＴＣＨ１に保持される。

【１０８０】

(10) Step1-10

“Step1-10”では、メモリセルＣｅｌｌＡ２に対するベリファイリードが行われる。

【１０８１】

まず、ビット線ＢＬＡ２をプリチャージ電位（例えば、１．８Ｖ程度）にプリチャージする。この後、ＴＧＡ２を“Ｈ”にし、トランスファゲートＴｒＮＡ２をオン状態にすると、ビット線ＢＬＡ２がデータ回路に電気的に接続される。

【１０８２】

そして、２本のセレクトゲート線にＶｒｅａｄを与え、メモリセルＣｅｌｌＡ２のコントロールゲート線（選択されたワード線）ＣＧ１Ｕ１にベリファイリード用の読み出し電位Ｖｃｇｖ０を与え、非選択のワード線にメモリセルが常にオン状態になる電位Ｖｒｅａｄ（例えば、３．５Ｖ程度）を与えると、メモリセルＣｅｌｌＡ２のデータは、ビット線ＢＬＡ２を経由して、データ回路２－ｉに転送される。

【１０８３】

この後、データ回路２－ｉでは、メモリセルＣｅｌｌＡ２のデータとラッチ回路ＬＡＴＣＨ１に保持された書き込みデータに基づいて、再書き込みデータを生成する動作、及び、メモリセルＣｅｌｌＡ２に正確なデータが完全に書き込まれたか否かを検出する動作（Program completion detection）が行われる。

【１０８４】

例えば、“１”書き込み及び“０”書き込み十分の場合には、再書き込みデータは、“１”となるため、以後、メモリセルＣｅｌｌＡ２に対して“０”書き込みは、行われない。つまり、メモリセルＣｅｌｌＡ２に対する書き込みが終了する。

【１０８５】

また、“０”書き込み不十分の場合には、再書き込みデータは、“０”となるため、継続して、メモリセルＣｅｌｌＡ２に対して“０”書き込みが行われる。

【１０８６】

ところで、メモリセルＣｅｌｌＡ２に対するベリファイリードでは、コントロールゲート線ＣＧ１Ｕ１に読み出し電位Ｖｃｇｖ０を与える。

その結果、メモリセルＣｅｌｌＡ２と共にコントロールゲート線ＣＧ１Ｕ１を共通にするメモリセルＣｅｌｌＡ１，ＣｅｌｌＡ３がオン状態になり、ビット線ＢＬＡ１，ＢＬＡ３に保持されていたメモリセルＣｅｌｌＡ１，ＣｅｌｌＡ３に対する書き込みデータは、消失する。

【１０８７】

しかし、メモリセルＣｅｌｌＡ１，ＣｅｌｌＡ３に対する書き込みデータ（又は再書き込みデータ）は、下位バンク内のビット線ＢＬＢ１，ＢＬＢ３に保持されているため、これら書き込みデータが完全に消失することはない。

【１０８８】

ベリファイリード後、メモリセルＣｅｌｌＡ２に対する再書き込みデータが、ビット線ＢＬＡ２に転送される（実際は、トランスファゲートＴｒＮＡ２がオン状態であるため、ベリファイリードとほぼ同時に再書き込みデータがビット線ＢＬＡ２に転送される。）。この時、ＴＧＢ２は、“Ｌ”であり、トランスファゲートＴｒＮＢ２は、オフ状態である。

【１０８９】

この後、ＴＧＢ２を“Ｈ”にすると、トランスファゲートＴｒＮＢ２がオン状態になり、メモリセルＣｅｌｌＡ２に対する再書き込みデータは、ビット線ＢＬＢ２にも転送される。

【１０９０】

なお、後述するように、メモリセルＣｅｌｌＡ３に対するベリファイリード時に、ビット線ＢＬＡ２に保持されたメモリセルＣｅｌｌＡ２に対する再書き込みデータは、消失することになる。従って、以後は、ビット線ＢＬＢ２に保持された書き込みデータを使用することになる。

【１０９１】

(11) Step1-11

上述の“Step1-9”及び“Step1-10”の動作と同様にして、“Step1-11”及び“Step1-12”の動作が行われる。

【１０９２】
まず、“Step1-11”の動作について説明する。
“Step1-11”では、下位バンク内のビット線ＢＬＢ３に保持された上位バンク内のメモリセルＣｅｌｌＡ３に対する書き込みデータをデータ回路に転送する動作が行われる。
【１０９３】
まず、ＴＧＢ３が“Ｈ”になると、トランスファゲートＴｒＮＢ３がオン状態になる。この時、ビット線ＢＬＢ３がデータ回路に電気的に接続され、下位バンク内のビット線ＢＬＢ３に保持されたメモリセルＣｅｌｌＡ３に対する書き込みデータがデータ回路に転送される。
【１０９４】
なお、上位バンク内のビット線ＢＬＡ３に保持されたメモリセルＣｅｌｌＡ３に対する書き込みデータは、メモリセルＣｅｌｌＡ１に対するベリファイリード時（“Step1-8”）に既に消失している。従って、メモリセルＣｅｌｌＡ３に対する書き込みデータは、下位バンク内のビット線ＢＬＢ３からデータ回路に転送する。
【１０９５】
そして、この書き込みデータは、例えば、図５５に示すようなデータ回路２－ｉ内のラッチ回路ＬＡＴＣＨ１に保持される。
【１０９６】
(12) Step1-12
“Step1-12”では、メモリセルＣｅｌｌＡ３に対するベリファイリードが行われる。
【１０９７】
まず、ビット線ＢＬＡ３をプリチャージ電位（例えば、１．８Ｖ程度）にプリチャージする。この後、ＴＧＡ３を“Ｈ”にし、トランスファゲートＴｒＮＡ３をオン状態にすると、ビット線ＢＬＡ３がデータ回路に電気的に接続される。
【１０９８】
そして、２本のセレクトゲート線にＶｒｅａｄを与え、メモリセルＣｅｌｌＡ３のコントロールゲート線（選択されたワード線）ＣＧ１Ｕ１にベリファイリード用の読み出し電位Ｖｃｇｖ０を与え、非選択のワード線にメモリセルが常にオン状態になる電位Ｖｒｅａｄ（例えば、３．５Ｖ程度）を与えると、メモリセルＣｅｌｌＡ３のデータは、ビット線ＢＬＡ３を経由して、データ回路２－ｉに転送される。
【１０９９】
この後、データ回路２－ｉでは、メモリセルＣｅｌｌＡ３のデータとラッチ回路ＬＡＴＣＨ１に保持された書き込みデータに基づいて、再書き込みデータを生成する動作、及び、メモリセルＣｅｌｌＡ３に正確なデータが完全に書き込まれたか否かを検出する動作（Program completion detection）が行われる。
【１１００】
例えば、“１”書き込み及び“０”書き込み十分の場合には、再書き込みデータは、“１”となるため、以後、メモリセルＣｅｌｌＡ３に対して“０”書き込みは、行われない。つまり、メモリセルＣｅｌｌＡ３に対する書き込みが終了する。
【１１０１】
また、“０”書き込み不十分の場合には、再書き込みデータは、“０”となるため、継続して、メモリセルＣｅｌｌＡ３に対して“０”書き込みが行われる。
【１１０２】
ところで、メモリセルＣｅｌｌＡ３に対するベリファイリードでは、コントロールゲート線ＣＧ１Ｕ１に読み出し電位Ｖｃｇｖ０を与える。
その結果、メモリセルＣｅｌｌＡ３と共にコントロールゲート線ＣＧ１Ｕ１を共通にするメモリセルＣｅｌｌＡ１，ＣｅｌｌＡ２がオン状態になり、ビット線ＢＬＡ１，ＢＬＡ２に保持されていたメモリセルＣｅｌｌＡ１，ＣｅｌｌＡ２に対する書き込みデータは、消失する。
【１１０３】

しかし、メモリセルＣｅｌｌＡ１，ＣｅｌｌＡ２に対する書き込みデータ（又は再書き込みデータ）は、下位バンク内のビット線ＢＬＢ１，ＢＬＢ２に保持されているため、これら書き込みデータが完全に消失することはない。

【１１０４】

ベリファイリード後、メモリセルＣｅｌｌＡ３に対する再書き込みデータが、ビット線ＢＬＡ３に転送される（実際は、トランスファゲートＴｒＮＡ２がオン状態であるため、ベリファイリードとほぼ同時に再書き込みデータがビット線ＢＬＡ３に転送される。）。この時、ＴＧＢ３は、“Ｌ”であり、トランスファゲートＴｒＮＢ３は、オフ状態である。

【１１０５】

この後、ＴＧＢ３を“Ｈ”にすると、トランスファゲートＴｒＮＢ３がオン状態になり、メモリセルＣｅｌｌＡ３に対する再書き込みデータは、ビット線ＢＬＢ３にも転送される。

【１１０６】

なお、“Step1-12”が終了すると、メモリセルＣｅｌｌＡ１，ＣｅｌｌＡ２，ＣｅｌｌＡ３に対するベリファイリード動作が終了したことになる。つまり、上位バンク内のビット線ＢＬＡ３に転送されたメモリセルＣｅｌｌＡ３に対する再書き込みデータは、消失することなく、ビット線ＢＬＡ３に保持される。

【１１０７】

この後、上位バンク内のメモリセルＣｅｌｌＡ１，ＣｅｌｌＡ２，ＣｅｌｌＡ３に対して再書き込み（書き込みパルスの印加）が行われるが、上述したように、上位バンク内のビット線ＢＬＡ１には、メモリセルＣｅｌｌＡ１に対する書き込みデータが保持されておらず、上位バンク内のビット線ＢＬＡ２には、メモリセルＣｅｌｌＡ２に対する書き込みデータが保持されていない。上位バンク内のビット線ＢＬＡ３にのみ、メモリセルＣｅｌｌＡ３に対する書き込みデータが保持されている。

【１１０８】

そこで、再書き込み前に、メモリセルＣｅｌｌＡ１に対する書き込みデータを、下位バンク内のビット線ＢＬＢ１から上位バンク内のビット線ＢＬＡ１に転送する動作（“Step1-13”及び“Step1-14”）、及び、メモリセルＣｅｌｌＡ２に対する書き込みデータを、下位バンク内のビット線ＢＬＢ２から上位バンク内のビット線ＢＬＡ２に転送する動作（“Step1-15”及び“Step1-16”）を実行する。

【１１０９】

(13) Step1-13

“Step1-13”では、下位バンク内のビット線ＢＬＢ１に保持されたメモリセルＣｅｌｌＡ１に対する書込みデータを、データ回路２－ｉに転送する。

【１１１０】

まず、ＴＧＢ１を“Ｈ”にし、トランスファゲートＴｒＮＢ１をオン状態にする。この時、下位バンク内のビット線ＢＬＢ１は、データ回路２－ｉに電気的に接続され、ビット線ＢＬＢ１に保持されたメモリセルＣｅｌｌＡ１に対する書込みデータは、データ回路２－ｉに転送される。そして、この書き込みデータは、ラッチ回路２－ｉ内のラッチ回路ＬＡＴＣＨ１（例えば、図５５参照）にラッチされる。

【１１１１】

この後、ＴＧＢ１を“Ｌ”にし、トランスファゲートＴｒＮＢ１をオフ状態にする。

【１１１２】

(14) Step1-14

“Step1-14”では、データ回路２－ｉ内のラッチ回路ＬＡＴＣＨ１に保持されたメモリセルＣｅｌｌＡ１に対する書込みデータを、上位バンク内のビット線ＢＬＡ１に転送する。

【１１１３】

まず、ＴＧＡ１を“Ｈ”にし、トランスファゲートＴｒＮＡ１をオン状態にする。この時、上位バンク内のビット線ＢＬＡ１は、データ回路２－ｉに電気的に接続され、データ回路２－ｉ内のラッチ回路ＬＡＴＣＨ１に保持されたメモリセルＣｅｌｌＡ１に対する書込

みデータは、上位バンク内のビット線ＢＬＡ１に転送される。
【１１１４】
この後、ＴＧＡ１を“Ｌ”にし、トランスファゲートＴｒＮＡ１をオフ状態にする。
【１１１５】
(15) Step1-15
“Step1-15”では、下位バンク内のビット線ＢＬＢ２に保持されたメモリセルＣｅｌｌＡ２に対する書込みデータを、データ回路２－ｉに転送する。
【１１１６】
まず、ＴＧＢ２を“Ｈ”にし、トランスファゲートＴｒＮＢ２をオン状態にする。この時、下位バンク内のビット線ＢＬＢ２は、データ回路２－ｉに電気的に接続され、ビット線ＢＬＢ２に保持されたメモリセルＣｅｌｌＡ２に対する書込みデータは、データ回路２－ｉに転送される。そして、この書き込みデータは、ラッチ回路２－ｉ内のラッチ回路ＬＡＴＣＨ１（例えば、図５５参照）にラッチされる。
【１１１７】
この後、ＴＧＢ２を“Ｌ”にし、トランスファゲートＴｒＮＢ２をオフ状態にする。
【１１１８】
(16) Step1-16
“Step1-16”では、データ回路２－ｉ内のラッチ回路ＬＡＴＣＨ１に保持されたメモリセルＣｅｌｌＡ２に対する書込みデータを、上位バンク内のビット線ＢＬＡ２に転送する。
【１１１９】
まず、ＴＧＡ２を“Ｈ”にし、トランスファゲートＴｒＮＡ２をオン状態にする。この時、上位バンク内のビット線ＢＬＡ２は、データ回路２－ｉに電気的に接続され、データ回路２－ｉ内のラッチ回路ＬＡＴＣＨ１に保持されたメモリセルＣｅｌｌＡ２に対する書込みデータは、上位バンク内のビット線ＢＬＡ２に転送される。
【１１２０】
この後、ＴＧＡ２を“Ｌ”にし、トランスファゲートＴｒＮＡ２をオフ状態にする。
【１１２１】
(17) Step1-17
“Step1-12”の時点で、メモリセルＣｅｌｌＡ３に対する書き込みデータは、上位バンク内のビット線ＢＬＡ３に保持され、“Step1-13”乃至“Step1-16”の動作により、メモリセルＣｅｌｌＡ１，ＣｅｌｌＡ２に対する書き込みデータが上位バンク内のビット線ＢＬＡ１，ＢＬＡ２に転送された。
【１１２２】
これにより、上位バンク内の各ビット線ＢＬＡ１，ＢＬＡ２，ＢＬＡ３には、それぞれ再書き込みデータが保持された状態になる。
【１１２３】
この後、“Step1-17”では、選択されたコントロールゲート線（選択されたワード線）ＣＧ１Ｕ１に書き込みパルスを印加し、上位バンク内のメモリセルＣｅｌｌＡ１，ＣｅｌｌＡ２，ＣｅｌｌＡ３に対する再書き込みを実行する。
【１１２４】
なお、“Step1-17”における書き込みパルスの印加後は、“Step1-7”から“Step1-16”と同様の動作が再び行われる。
つまり、以後は、“Step1-7”から“Step1-17”までの動作が、全ての選択されたメモリセルの書き込みが十分に行われるまで（又は書き込み回数が所定数を超えて書き込み不良となるまで）、繰り返し実行される。
【１１２５】
以上、説明したように、具体例２によれば、同一のバンク内に存在するコントロールゲート線を共通にする複数のメモリセルに対して、１個のデータ回路を用いて、同時に、書き込みを実行することができる。
【１１２６】

つまり、データ回路が１つのメモリセルに対する書き込み／読み出しデータを保持できる記憶回路のみを有している場合であっても、それぞれのメモリセルに対する書き込みデータをビット線に保持することにより、複数のメモリセルに対して１つのデータ回路により書き込みを実行することができる。

【１１２７】

また、複数のバンクに対して１つのデータ回路を設け、例えば、このデータ回路を用いて、ある１つのバンク（上位バンク）内の複数のメモリセルに対して書き込みを実行するときは、他のバンク（下位バンク）内の複数のビット線に書き込みデータを保持するようにしている。

【１１２８】

従って、書き込みデータの消失なく、一連の書き込み動作（書き込みパルス印加、ベリファイリード、Program completion detectionなど）を実行することができる。

【１１２９】

このように、具体例２によれば、チップ面積を増加させることなく、即ち、データ回路の規模を大きくすることなく、高速な書き込みを達成することが可能になる。

【１１３０】

なお、具体例２では、１つのデータ回路を用いて、同一バンク内に存在する３個のメモリセルに対する書き込みを同時に行っているが、１つのデータ回路を用いて、同一バンク内に存在する４個以上のメモリセルに対して、書き込みを同時に実行することも可能である。

【１１３１】

例えば、図７１の例では、１つのデータ回路２－ｉに、上位バンク（Upper bank）内の６本のビット線ＢＬＡ１，ＢＬＡ２，ＢＬＡ３，ＢＬＣ１，ＢＬＣ２，ＢＬＣ３と、下位バンク（Lower bank）内の６本のビット線ＢＬＢ１，ＢＬＢ２，ＢＬＢ３，ＢＬＤ１，ＢＬＤ２，ＢＬＤ３とを接続している。

【１１３２】

この場合、具体例２と同様にして、上位バンク内の６本のビット線ＢＬＡ１，ＢＬＡ２，ＢＬＡ３，ＢＬＣ１，ＢＬＣ２，ＢＬＣ３に接続される６個のメモリセルに対して同時に書き込みを実行することができる。また、下位バンク内の６本のビット線ＢＬＢ１，ＢＬＢ２，ＢＬＢ３，ＢＬＤ１，ＢＬＤ２，ＢＬＤ３に接続される６個のメモリセルに対して同時に書き込みを実行することができる。

【１１３３】

また、上位バンク内のメモリセルに対して書き込みを行う際には、３本のビット線ＢＬＡ１，ＢＬＡ２，ＢＬＡ３に接続される３個のメモリセルに対して同時に書き込みを行い、ビット線ＢＬＢ１，ＢＬＢ２，ＢＬＢ３には、それぞれビット線ＢＬＡ１，ＢＬＡ２，ＢＬＡ３の書き込みデータを蓄えればよい。

【１１３４】

この時、ビット線間容量結合ノイズを防止するため、ビット線ＢＬＣ１，ＢＬＣ２，ＢＬＣ３及びビット線ＢＬＤ１，ＢＬＤ２，ＢＬＤ３をシールドビット線（Ｖｄｄ又はＶｓｓに固定）としてもよい。

【１１３５】

同様に、上位バンク内のメモリセルに対して書き込みを行う際には、３本のビット線ＢＬＣ１，ＢＬＣ２，ＢＬＣ３に接続される３個のメモリセルに対して同時に書き込みを行い、ビット線ＢＬＤ１，ＢＬＤ２，ＢＬＤ３には、それぞれビット線ＢＬＣ１，ＢＬＣ２，ＢＬＣ３の書き込みデータを蓄えればよい。この時、ビット線ＢＬＡ１，ＢＬＡ２，ＢＬＡ３及びビット線ＢＬＢ１，ＢＬＢ２，ＢＬＢ３をシールドビット線としてもよい。

【１１３６】

なお、下位バンク内のメモリセルに対する書き込みに対しても、選択しないビット線をシールドビット線とすることができる。

【１１３７】

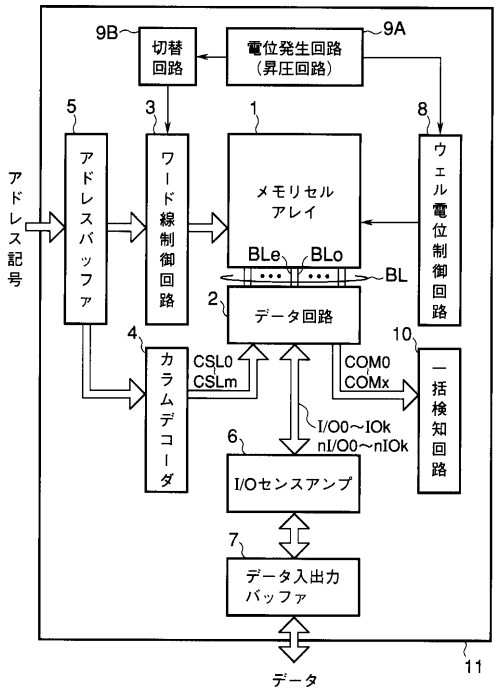
［その他］
以上、本発明の不揮発性半導体メモリについての詳細な説明を終了する。
【１１３８】
なお、本実施の形態では、多値ＮＡＮＤセル型ＥＥＰＲＯＭを例として説明したが、本発明は、当然に、他のタイプの多値メモリに適用が可能である。例えば、メモリセルアレイとしては、ＮＯＲ型、ＡＮＤ型(A.Nozoe : ISSCC, Digest of Technichal Papers,1995)、ＤＩＮＯＲ型(S.Kobayashi : ISSCC, Digest of Technichal Papers,1995)、、Virtual Ground Array型(Lee, et al. : Symposium on VLSI Circuits, Digest of Technichal Papers,1994)などであってもよい。
【１１３９】
また、本発明は、フラッシュメモリ（Flash memory）に限られず、例えば、マスクＲＯＭ、ＥＰＲＯＭなどの不揮発性半導体メモリにも適用できる。
【１１４０】
【発明の効果】
以上、説明したように、本発明によれば、第一に、データ回路内に配置される多値データ（ｎ値データ）の一時記憶用として用いられる複数の記憶回路のうちの少なくとも１つを、ＤＲＡＭセル（キャパシタ）から構成している。周知のように、ＤＲＡＭセルの面積は、ＳＲＡＭセルの面積よりも小さいため、複数の記憶回路の一部をＤＲＡＭセルから構成する場合は、従来のように全ての記憶回路をＳＲＡＭセルのみから構成する場合よりも、データ回路の面積を小さくすることができる。
【１１４１】
第二に、ワード線制御回路がロウアドレスデコーダとワード線ドライバから構成され、かつ、メモリセルアレイの一方側にロウアドレスデコーダが配置され、メモリセルアレイの両側にワード線ドライバが配置される場合に、動作モードに応じて、メモリセルアレイの一方側のロウアドレスデコーダと他方側のワード線ドライバを接続するための信号線の状態を制御している。従って、その信号線がメモリセルの動作に悪影響を与えることがなくなる。
【１１４２】
第三に、例えば、４値データとメモリセルの閾値電圧の関係を、所定の関係に設定することにより、偶数ページデータの読み出しを、２回の読み出し動作で行うことができ、奇数ページデータの読み出しを、１回の読み出し動作で行うことができる。
【１１４３】
第四に、例えば、４値データとメモリセルの閾値電圧の関係を、所定の関係に設定することにより、例えば、偶数ページデータの書き込み後に行われる奇数ページデータの書き込みにおいて、“００”書き込みを“０１”書き込みよりも早く終わらせ、“００”書き込み終了後には、“００”ベリファイリードを省略することで、書き込み時間の短縮（書き込みの高速化）を図ることができる。
【１１４４】
第五に、例えば、書き込み動作において、データ回路内に、ラッチ回路の代わりに設けたＤＲＡＭセル（キャパシタ）に対して、リフレッシュ動作を行うことにより、キャパシタの電荷のリークが問題となるような場合でも、書き込み動作を正確に行うことができる。
【１１４５】
第六に、データ回路内にライト・キャッシュを設けることで、例えば、複数ページにわたる書き込みを実行したときに、書き込み（書き込みパルス印加）と書き込みデータの入力をパラレルに行うことができ、実質的に、２ページ目以降のデータロード時間を不要とし、書き込みの高速化を図ることができる。
【１１４６】
第七に、データ回路内にライト・キャッシュが設けられ、そのライト・キャッシュがＤＲＡＭセル（キャパシタ）から構成される場合に、そのＤＲＡＭセルに対してリフレッシュ動作を行うことにより、ＤＲＡＭセルのリークが問題となるような場合にも、書き込みデ

ータが消えてしまうことがない。
【１１４７】
第八に、１つのメモリセルに対する書き込み／読み出しデータを記憶できる記憶回路のみを有するデータ回路を用いて、異なるバンク内の複数のメモリセルに対して、ほぼ同時に、書き込みを実行することができる。つまり、メモリセルに対する書き込みデータを、そのメモリセルが接続されるビット線に保持することにより、１つのデータ回路を用いて複数のメモリセルの書き込みを実行できる。また、一方のメモリセルに対して書き込みを行っているときに、他方のメモリセルに対してベリファイリードを行うことにより、チップ面積の増大なく、従来に比べて書き込み速度を約２倍にできる。
【１１４８】
第九に、１つのメモリセルに対する書き込み／読み出しデータを記憶できる記憶回路のみを有するデータ回路を用いて、同一のバンク内に配置され、コントロールゲート線を共通にする複数のメモリセルに対して、同時に、書き込みを実行できる。つまり、メモリセルに対する書き込みデータを、そのメモリセルが接続されるビット線とそのメモリセルが配置されるバンクとは異なるバンク内のビット線に保持することにより、１つのデータ回路を用いて同一バンク内の複数のメモリセルに対して同時に書き込みを実行できる。これにより、チップ面積の増大なく、従来に比べて書き込み速度を高速化できる。
【図面の簡単な説明】
【図１】本発明に関わる多値ＮＡＮＤセル型ＥＥＰＲＯＭの概要を示す図。
【図２】図１のメモリ内のデータ回路を示す図。
【図３】図１のメモリ内のメモリセルアレイを示す図。
【図４】図１のメモリ内のカラムデコーダの一部を示す図。
【図５】図１のメモリ内の一括検知回路を示す図。
【図６】図１のメモリ内のワード線制御回路を示す図。
【図７】図６の第１のメモリセルブロック内のデバイス構造を示す図。
【図８】図６の第２のメモリセルブロック内のデバイス構造を示す図。
【図９】図６のロウアドレスデコーダＲＡＤＤ１を示す図。
【図１０】図６のワード線ドライバＲＭＡＩＮ１を示す図。
【図１１】図６のロウアドレスデコーダＲＡＤＤ２を示す図。
【図１２】図６のワード線ドライバＲＭＡＩＮ２を示す図。
【図１３】４値データとメモリセルの閾値電圧との関係を示す図。
【図１４】偶数ページデータの書き込み後のメモリセルの閾値電圧分布を示す図。
【図１５】奇数ページデータの書き込み後のメモリセルの閾値電圧分布を示す図。
【図１６】偶数ページデータの読み出しに関する動作タイミングを示す波形図。
【図１７】偶数ページデータの読み出しに関する動作タイミングを示す波形図。
【図１８】偶数ページデータの読み出し動作の概略を示す図。
【図１９】奇数ページデータの読み出しに関する動作タイミングを示す波形図。
【図２０】奇数ページデータの読み出し動作の概略を示す図。
【図２１】偶数ページデータの書き込み動作の一連の流れを示す図。
【図２２】書き込み動作中のプログラムパルス印加に関する動作タイミングを示す波形図。
【図２３】書き込み動作中のプログラムパルス印加の概要を示す図。
【図２４】書き込み動作中の“１０”ベリファイリードに関する動作タイミングを示す波形図。
【図２５】書き込み動作中の“１０”ベリファイリードの概要を示す図。
【図２６】書き込み動作中の“ Program Completion Detection ”に関する動作タイミングを示す波形図。
【図２７】書き込み動作中の“ Program Completion Detection ”の概要を示す図。
【図２８】奇数ページデータの書き込み動作の一連の流れを示す図。
【図２９】書き込み動作中の“ Internal Data Load 1st/3rd Quarter ”に関する動作タ

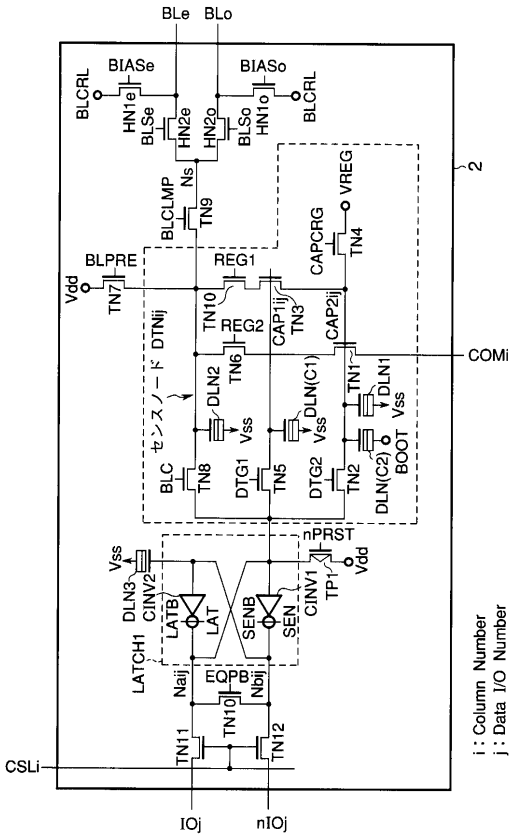
イミングを示す波形図。
【図３０】書き込み動作中の“ Internal Data Load 2nd/4th Quarter ”に関する動作タイミングを示す波形図。
【図３１】書き込み動作中の“ Internal Data Load 1st Quarter ”の概略を示す図。
【図３２】書き込み動作中の“ Internal Data Load 2nd Quarter ”の概略を示す図。
【図３３】書き込み動作中の“ Internal Data Load 3rd Quarter ”の概略を示す図。
【図３４】書き込み動作中の“ Internal Data Load 4th Quarter ”の概略を示す図。
【図３５】書き込み動作中の“０１”ベリファイリードに関する動作タイミングを示す波形図。
【図３６】書き込み動作中の“０１”ベリファイリードの概要を示す図。
【図３７】書き込み動作中の“００”ベリファイリードに関する動作タイミングを示す波形図。
【図３８】書き込み動作中の“００”ベリファイリードの概要を示す図。
【図３９】消去動作中の消去パルス印加に関する動作タイミングを示す波形図。
【図４０】消去動作中の消去ベリファイリードに関する動作タイミングを示す波形図。
【図４１】消去動作中の“ Erase Completion Detection ”に関する動作タイミングを示す波形図。
【図４２】“ DRAM・Burn-in ”に関する動作タイミングを示す波形図。
【図４３】ＤＲＡＭセルのリフレッシュに関する動作タイミングを示す波形図。
【図４４】図２のデータ回路の変形例を示す図。
【図４５】複数ページに対する書き込みの一般的なシークエンスを示す図。
【図４６】図４４のデータ回路を用いた場合の複数ページに対する書き込みのシークエンスを示す図。
【図４７】図４４のデータ回路内のライト・キャッシュに対するデータ入力の動作タイミングを示す波形図。
【図４８】図４４のデータ回路内のライト・キャッシュからラッチ回路へのデータ転送の動作タイミングを示す波形図。
【図４９】図４４のデータ回路内のライト・キャッシュのデータのリフレッシュに関する動作タイミングを示す波形図。
【図５０】図２のデータ回路の変形例を示す図。
【図５１】図５０のデータ回路内のライト・キャッシュに対するデータ入力の動作タイミングを示す波形図。
【図５２】図５０のデータ回路内のライト・キャッシュからラッチ回路へのデータ転送の動作タイミングを示す波形図。
【図５３】書き込み速度に関する本発明（具体例１）の概要を示す図。
【図５４】本発明の２値ＮＡＮＤセル型ＥＥＰＲＯＭのチップレイアウトを示す図。
【図５５】図５４のメモリのデータ回路の一例を示す図。
【図５６】書き込み速度に関する本発明の動作の詳細を示す図。
【図５７】データロードに関する動作タイミングを示す波形図。
【図５８】データロードに関する動作タイミングを示す波形図。
【図５９】書き込みパルスの印加に関する動作タイミングを示す波形図。
【図６０】リフレッシュに関する動作タイミングを示す波形図。
【図６１】書き込みパルスの印加に関する動作タイミングを示す波形図。
【図６２】書き込みデータ転送に関する動作タイミングを示す波形図。
【図６３】ベリファイリードに関する動作タイミングを示す波形図。
【図６４】書き込みパルスの印加に関する動作タイミングを示す波形図。
【図６５】書き込みデータ転送に関する動作タイミングを示す波形図。
【図６６】ベリファイリードに関する動作タイミングを示す波形図。
【図６７】書き込み速度に関する本発明（具体例２）の概要を示す図。
【図６８】書き込み速度に関する本発明の動作を詳細に示す図。

【図６９】書き込み速度に関する本発明の動作を詳細に示す図。
【図７０】書き込み速度に関する本発明の動作を詳細に示す図。
【図７１】書き込み速度に関する本発明（具体例２）の変形例を示す図。
【図７２】ＮＡＮＤセル型ＥＥＰＲＯＭのメモリセルアレイを示す回路図。
【図７３】ＮＡＮＤセルユニットのデバイス構造を示す平面図。
【図７４】図７３のＬＸＸＩＶ－ＬＸＸＩＶ線に沿う断面図。
【図７５】図７３のＬＸＸＶ－ＬＸＸＶ線に沿う断面図。
【図７６】図７３のＮＡＮＤセルユニットの等価回路を示す図。
【図７７】ＮＡＮＤセル型ＥＥＰＲＯＭのウェル構造を示す図。
【図７８】従来のデータ回路を示す図。
【符号の説明】
１　：メモリセルアレイ、
２　：データ回路、
３　：ワード線制御回路、
４　：カラムデコーダ、
５　：アドレスバッファ、
６　：Ｉ／Ｏセンスアンプ、
７　：データ入出力バッファ、
８　：ウェル電位制御回路、
９Ａ　：電位発生回路、
９Ｂ　：切替回路、
１０　：一括検知回路、
１１　：メモリチップ、
１１－１　：ｐ型シリコン基板、
１１－２　：ｎ型ウェル領域、
１１－３　：ｐ型ウェル領域、
２２　：信号線（ＲＤＥＣＡＤＳ）
２３　：ロウシールド線、
２４　：ドレイン拡散層、
２５　：ソース拡散層、
２６　：昇圧回路、
ＴＮ１，…ＴＮ２１　：低電圧エンハンスメント型ＮチャネルＭＯＳトランジスタ、
ＨＮ１ｅ，ＨＮ１ｏ，ＨＮ２ｅ，ＨＮ２ｏ，ＨＮ３，…ＨＮ８，ＨＮｔ１，…ＨＮｔ１６
：高電圧エンハンスメント型ＮチャネルＭＯＳトランジスタ、
ＤＬＮ１，…ＤＬＮ３　：低電圧デプレッション型ＮチャネルＭＯＳトランジスタ、
ＤＬＮ（Ｃ１），ＤＬＮ（Ｃ２）：ＭＯＳキャパシタ（ＤＲＡＭセル）、
ＤＨＮ１，…ＤＨＮ９　：高電圧デプレッション型ＮチャネルＭＯＳトランジスタ、
ＴＰ１，…ＴＰ７　：低電圧エンハンスメント型ＰチャネルＭＯＳトランジスタ、
ＩＨＮ１，ＩＨＮ２　：閾値電圧が０．１Ｖ程度の高電圧ＮチャネルＭＯＳトランジスタ、
ＣＩＮＶ１，…ＣＩＮＶ７　：クロックドインバータ、
ＬＡＴＣＨ１　：ラッチ回路、
Ｉ１，…Ｉ３　：インバータ、
ＮＡＮＤ１，ＮＡＮＤ２　：ＮＡＮＤ回路。

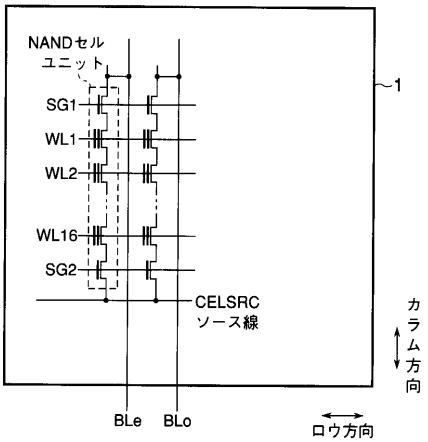
【図１】


9B
切替回路
9A
電位発生回路（昇圧回路）
5
3
1
8
アドレスバッファ
ワード線制御回路
メモリセルアレイ
ウェル電位制御回路
アドレス記号
BLe
BLo
BL
2
データ回路
4
10
カラムデコーダ
CSL0
CSLm
COM0
COMx
一括検知回路
I/O0～IOk
nI/O0～nIOk
6
I/Oセンスアンプ
7
データ入出力バッファ
データ
11

【図２】


BLe
BLo
BLCRL
BIASe
BIASo
HN1e
HN2e
HN2o
HN1o
BLSe
BLSo
BLCLMP
Ns
TN9
VREG
CAPCRG
TN4
2
BLPRE
REG1
Vdd
TN7
TN10
CAP1ij
TN3
CAP2ij
REG2
COMi
センスノード DTNij
DLN2
TN6
DLN(C1)
TN1
DLN1
Vss
BLC
TN8
DTG1
TN5
DTG2
TN2
DLN(C2)
BOOT
nPRST
DLN3
CINV2
LATB
LAT
SENB
SEN
CINV1
TP1
LATCH1
Naij
EQPB
Nbij
TN10
TN11
TN12
CSLi
IOj
nIOj
i : Column Number
j : Data I/O Number

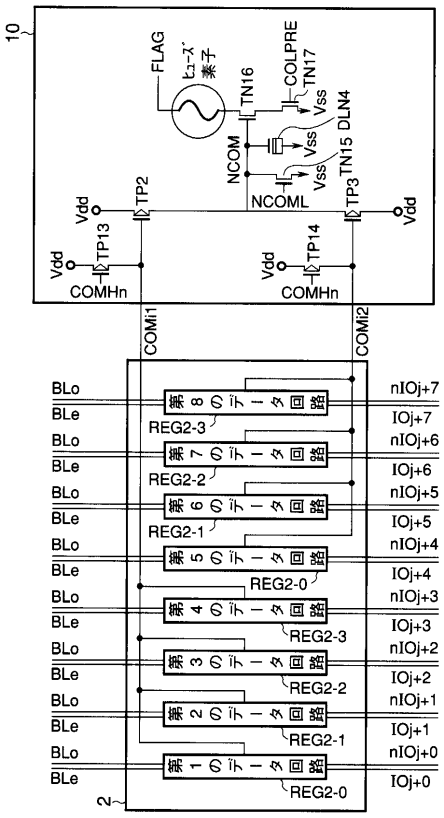
【図３】


NANDセルユニット
1
SG1
WL1
WL2
WL16
SG2
CELSRC
ソース線
カラム方向
BLe
BLo
ロウ方向

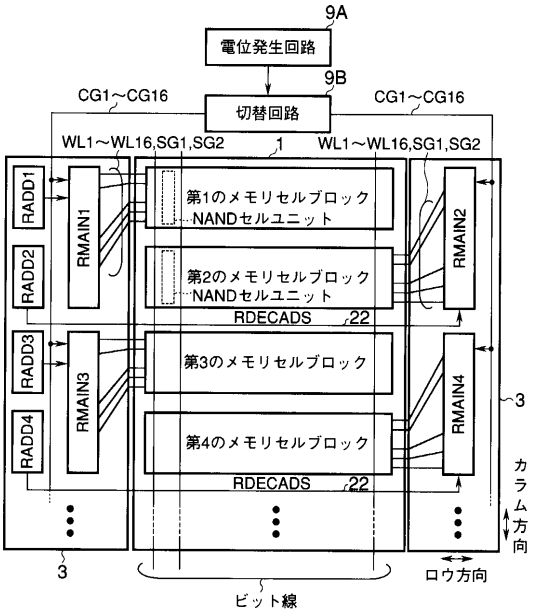
【図４】


CAk1
CBk2
CCk3
CSLi

【図５】

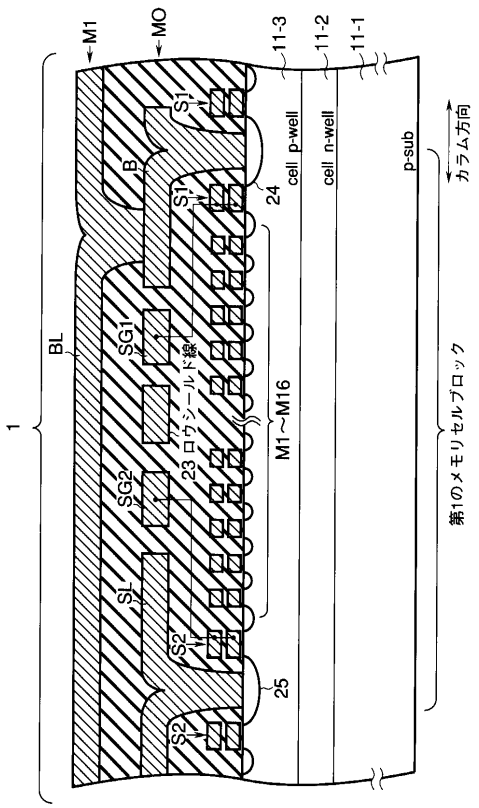

10
FLAG
ヒューズ素子
TN16
COLPRE
TN17
Vss
NCOM
TN15
DLN4
NCOML
TP2
TP3
Vdd
TP13
TP14
COMHn
COMi1
COMi2
BLo
BLe
第8のデータ回路
第7のデータ回路
第6のデータ回路
第5のデータ回路
第4のデータ回路
第3のデータ回路
第2のデータ回路
第1のデータ回路
REG2-3
REG2-2
REG2-1
REG2-0
nIOj+7
IOj+7
nIOj+6
IOj+6
nIOj+5
IOj+5
nIOj+4
IOj+4
nIOj+3
IOj+3
nIOj+2
IOj+2
nIOj+1
IOj+1
nIOj+0
IOj+0
2

【図６】

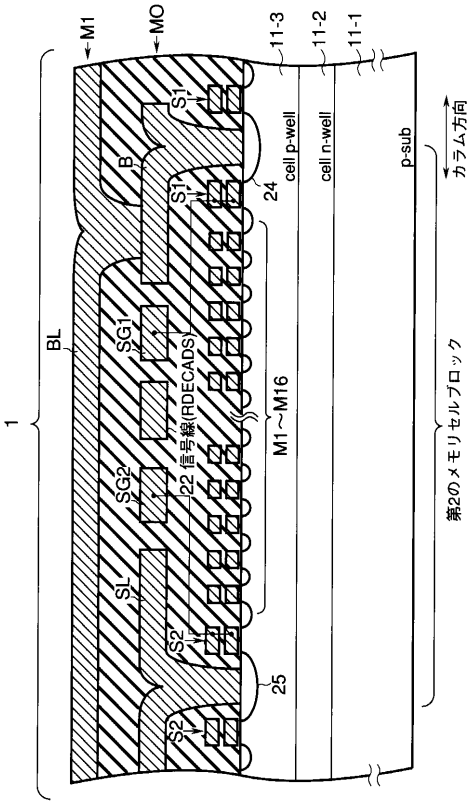


RMAINi：第iのワード線ドライバ
RADDi：第iのロウアドレスデコーダ
RDECADSi：ワード線ドライバ選択信号
i=1.2.3.4.・・・

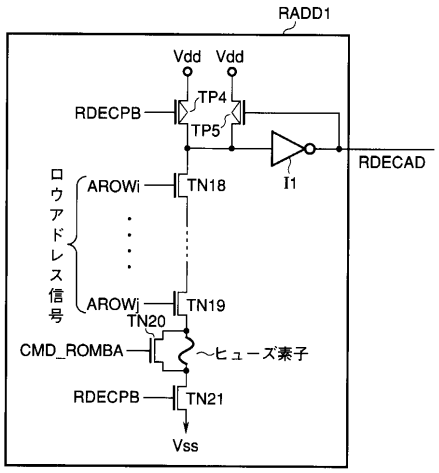
【図７】



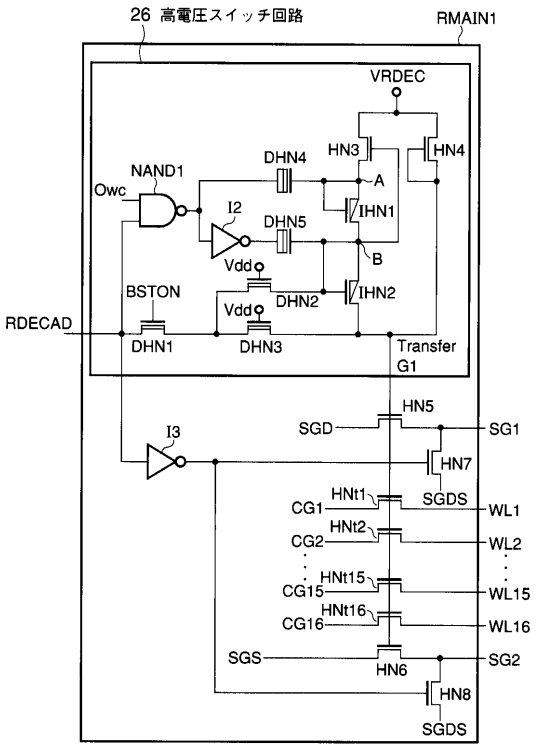
【図８】



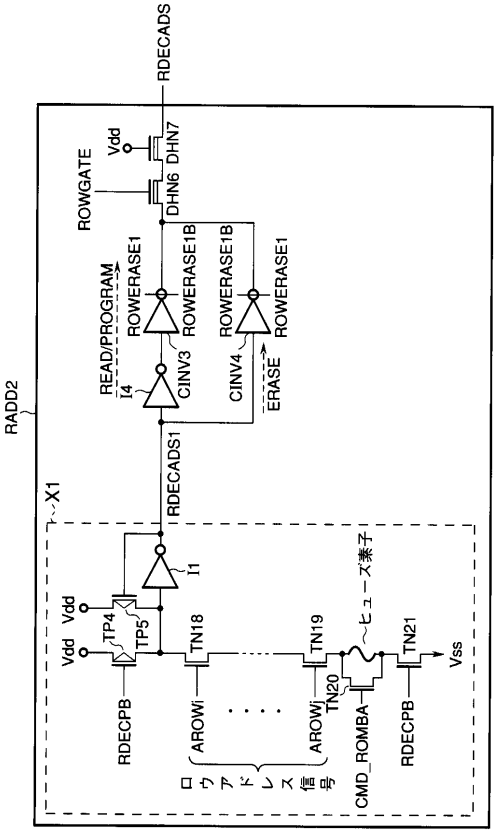
【図９】



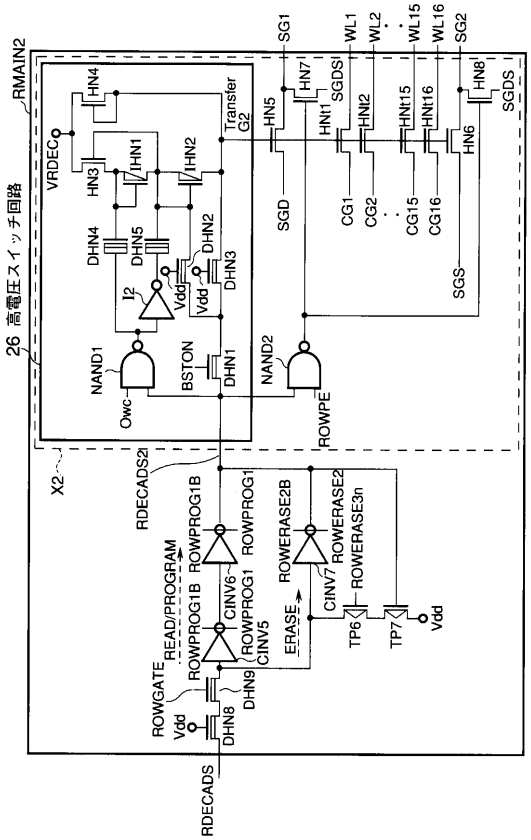
【図１０】



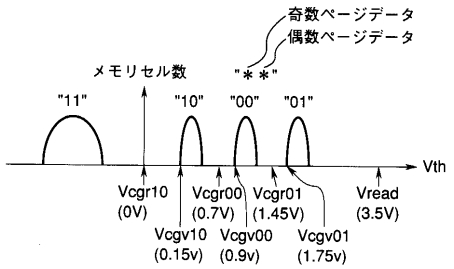
【図１１】



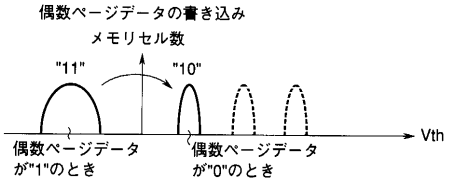
【図１２】



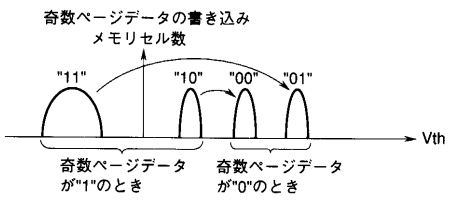
【図１３】



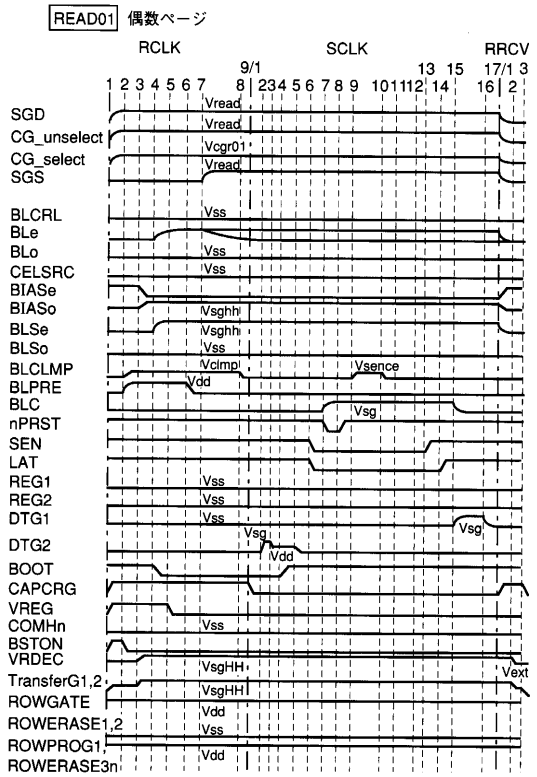
【図１４】



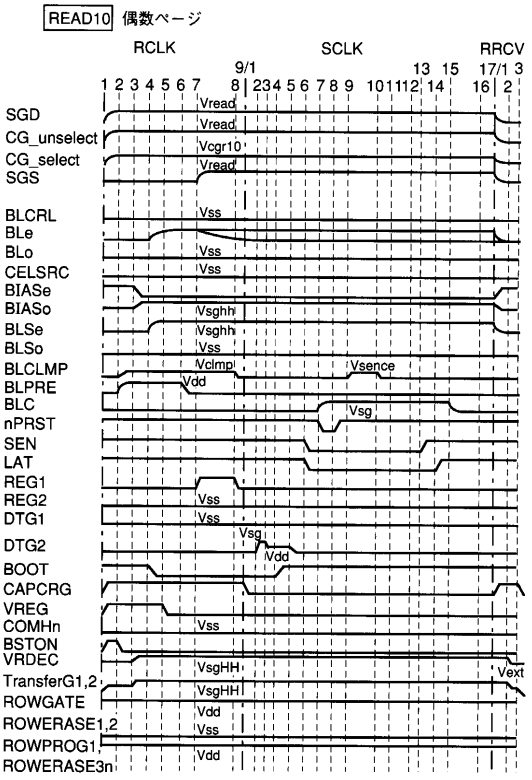
【図１５】



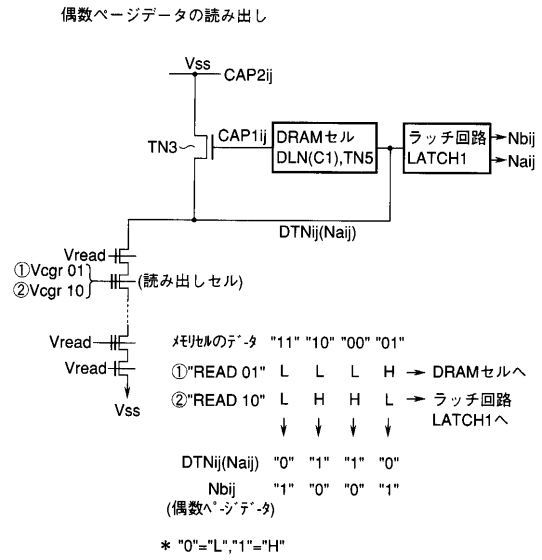
【図１６】



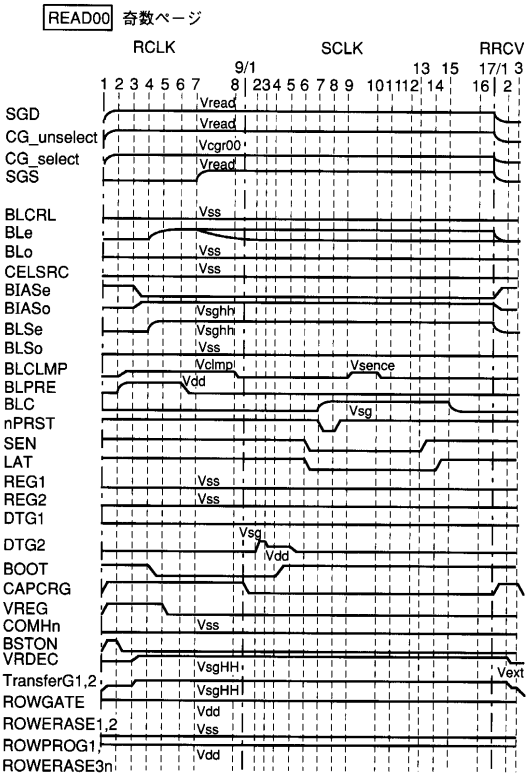
【図１７】



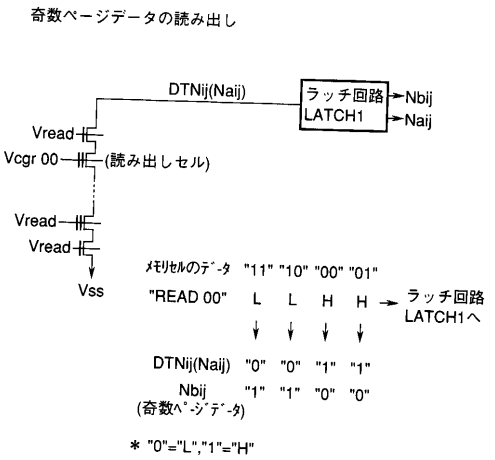
【図１８】



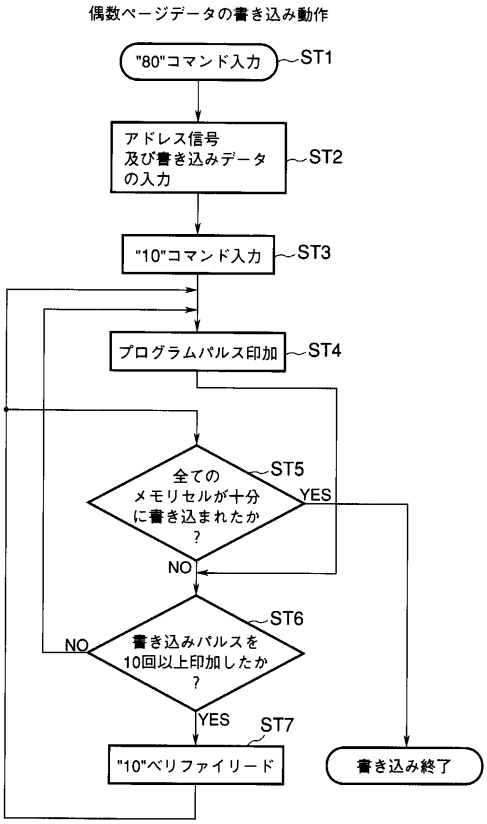
【図１９】



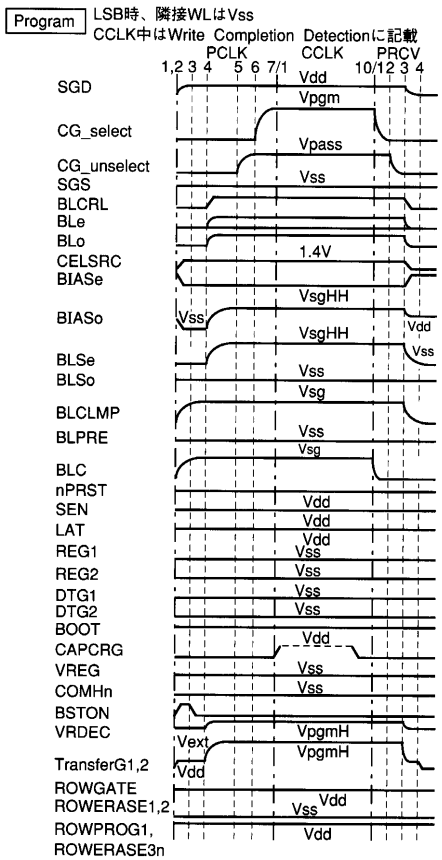
【図２０】



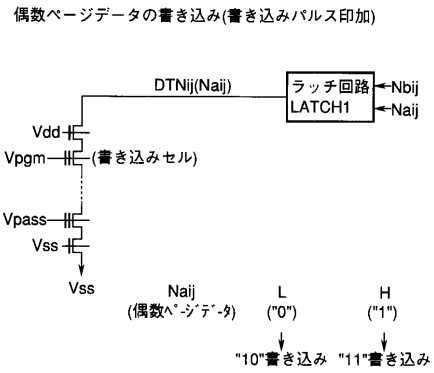
【図２１】



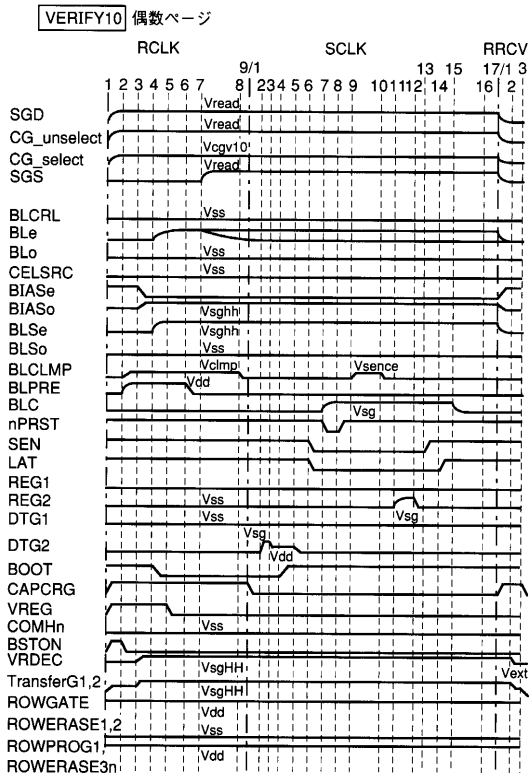
【図２２】



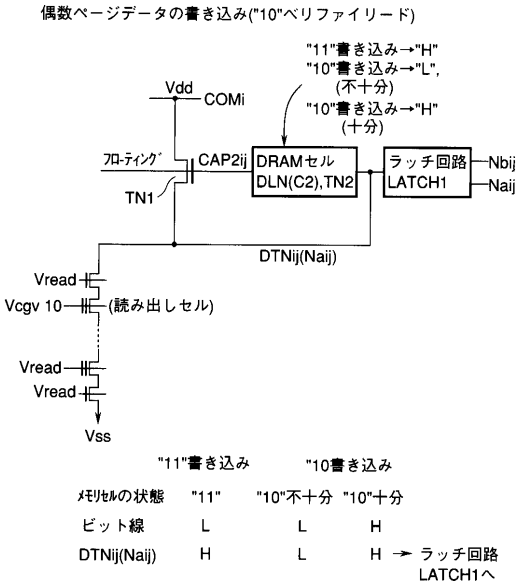
【図２３】



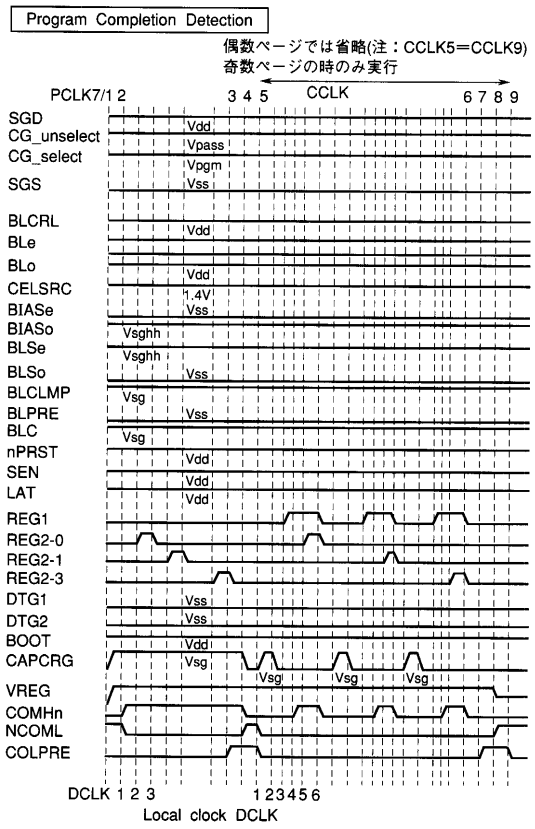
【図２４】



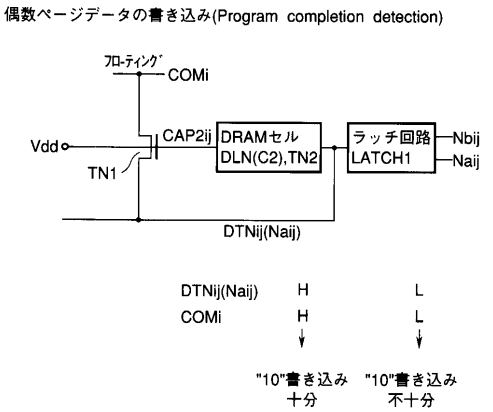
【図２５】



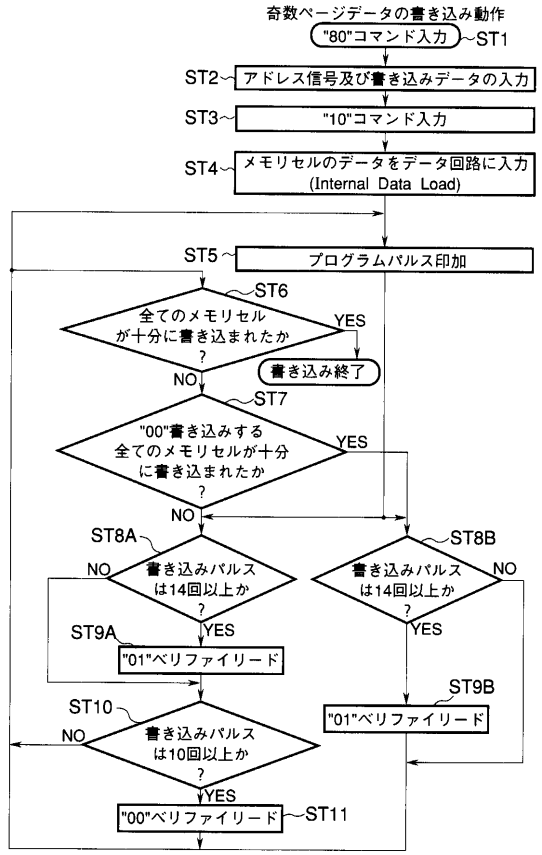
【図２６】



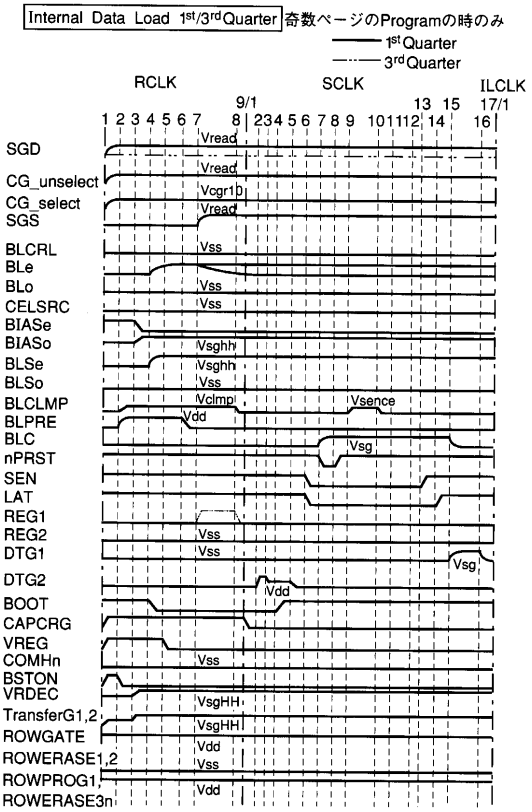
【図２７】



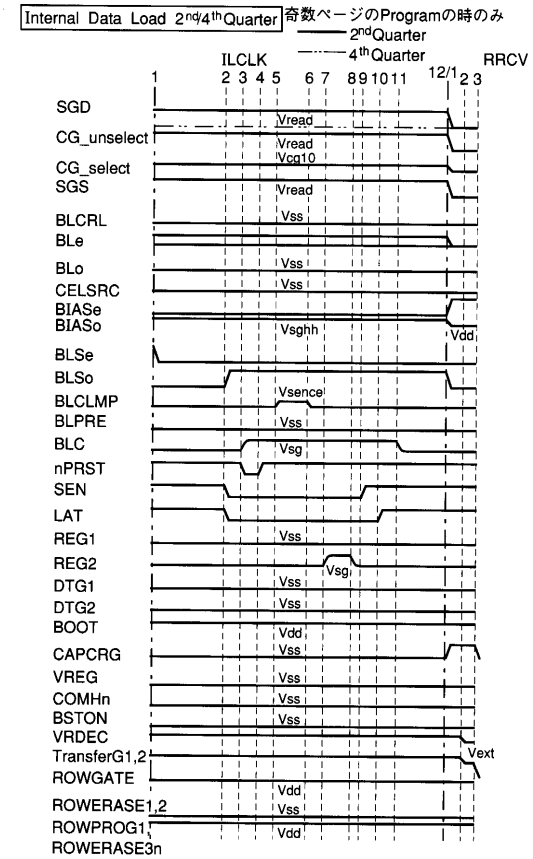
【図２８】



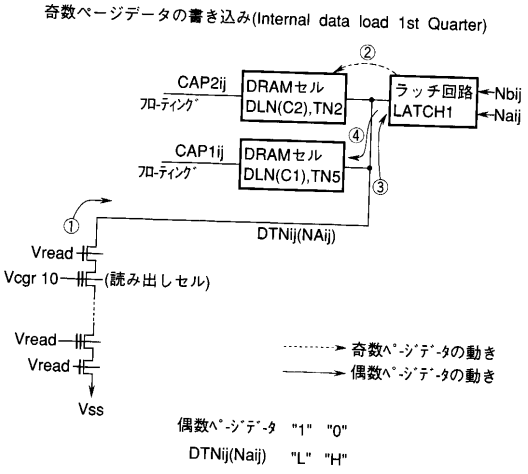
【図２９】



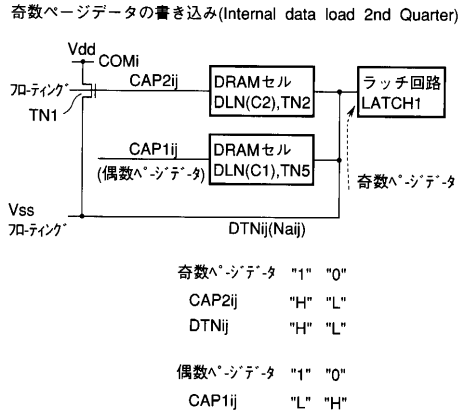
【図３０】



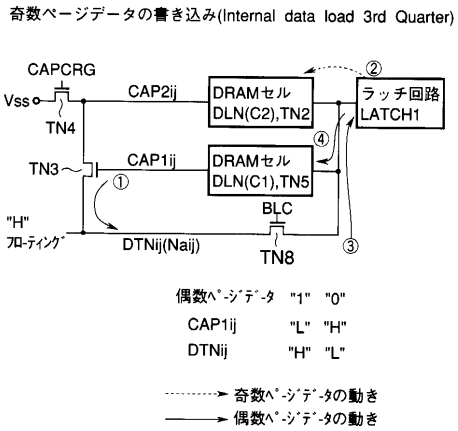
【図３１】



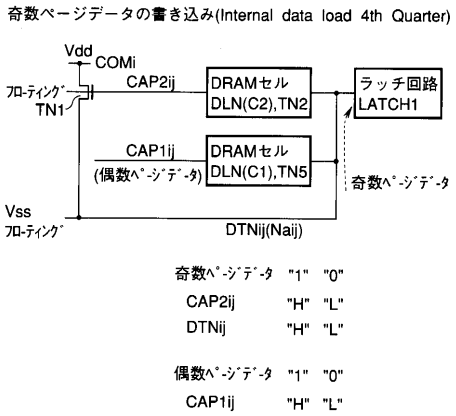
【図３２】



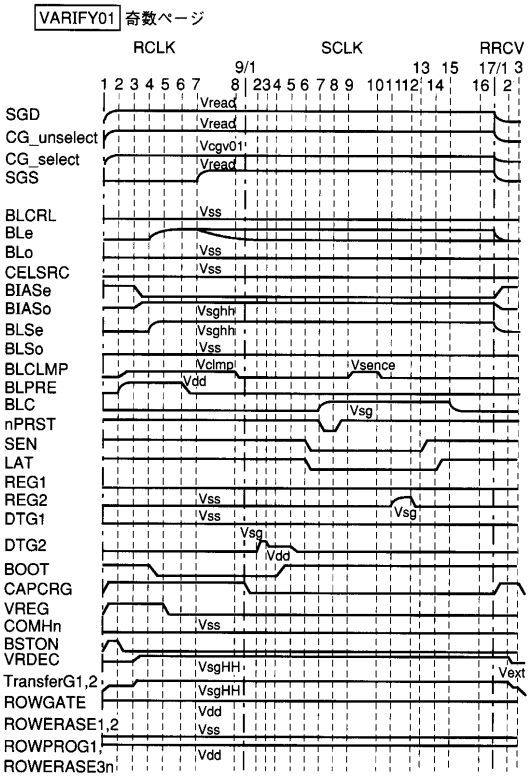
【図３３】



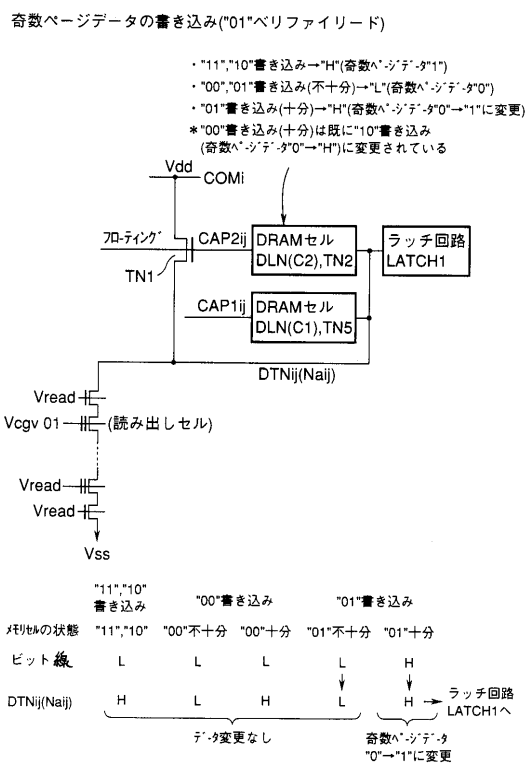
【図３４】



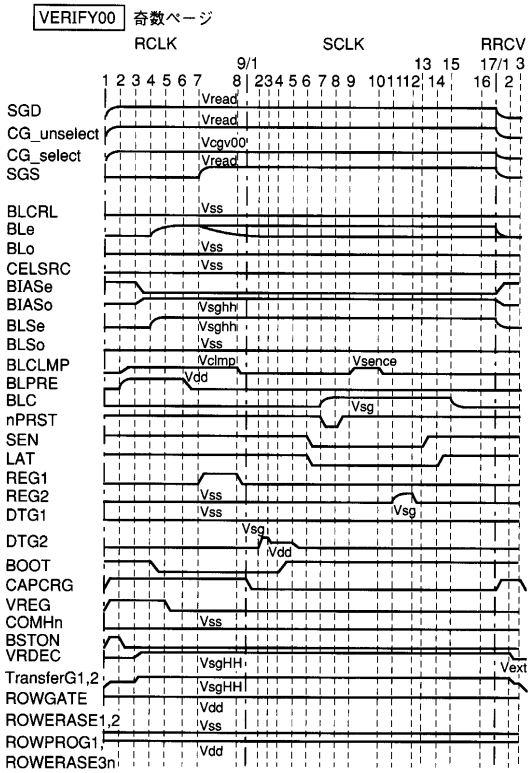
【図３５】



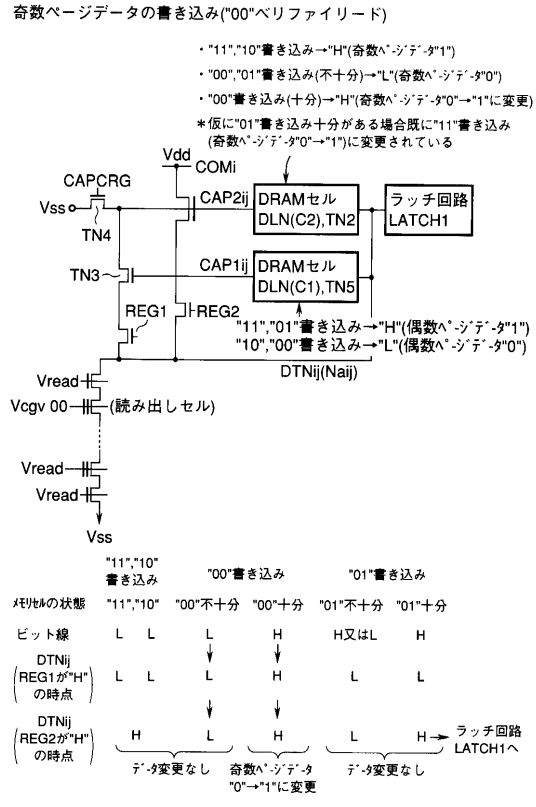
【図３６】



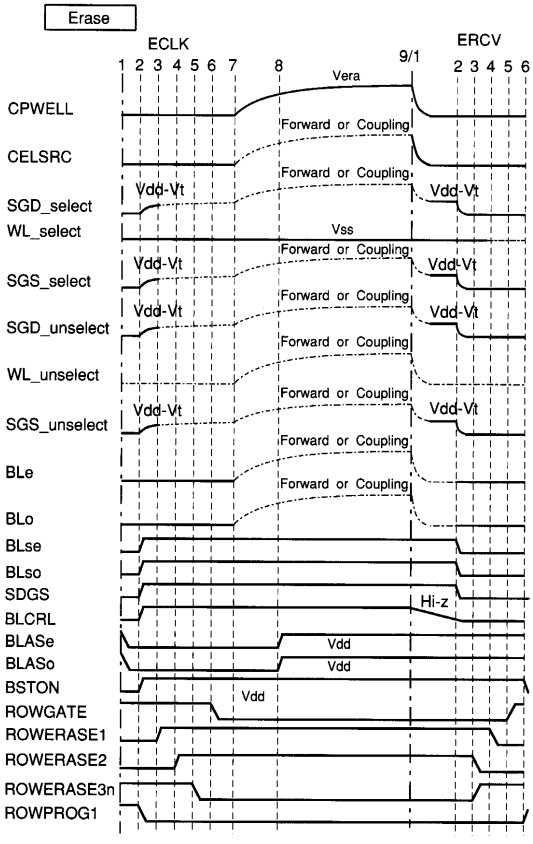
【図３７】



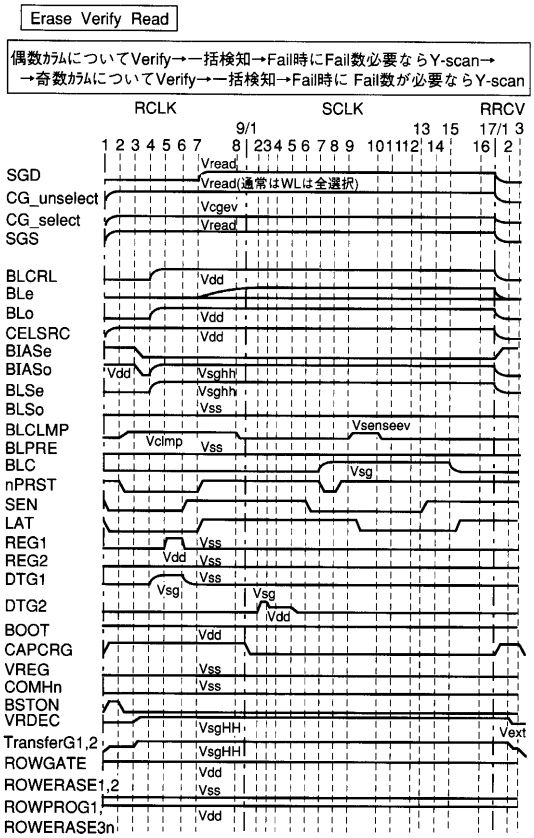
【図３８】



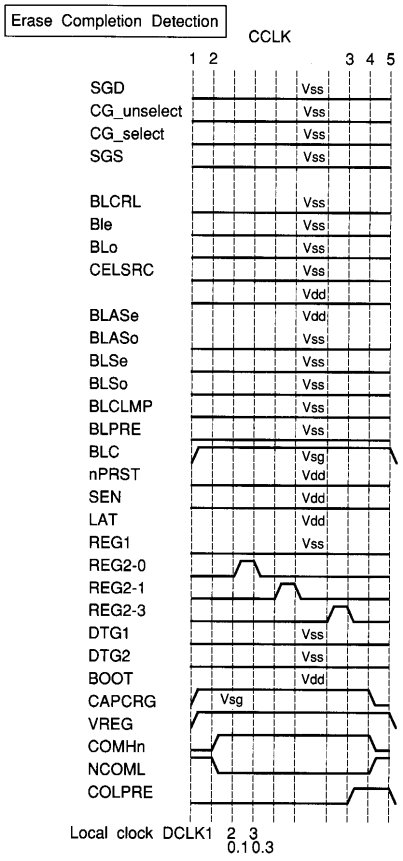
【図３９】



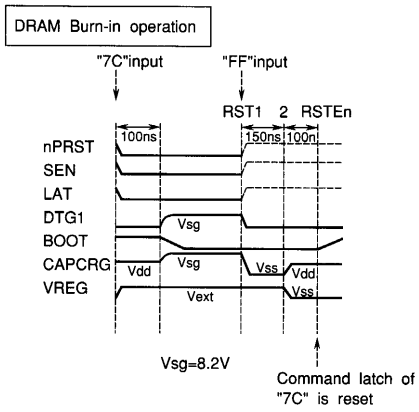
【図４０】



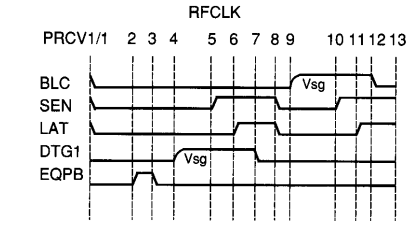
【図４１】



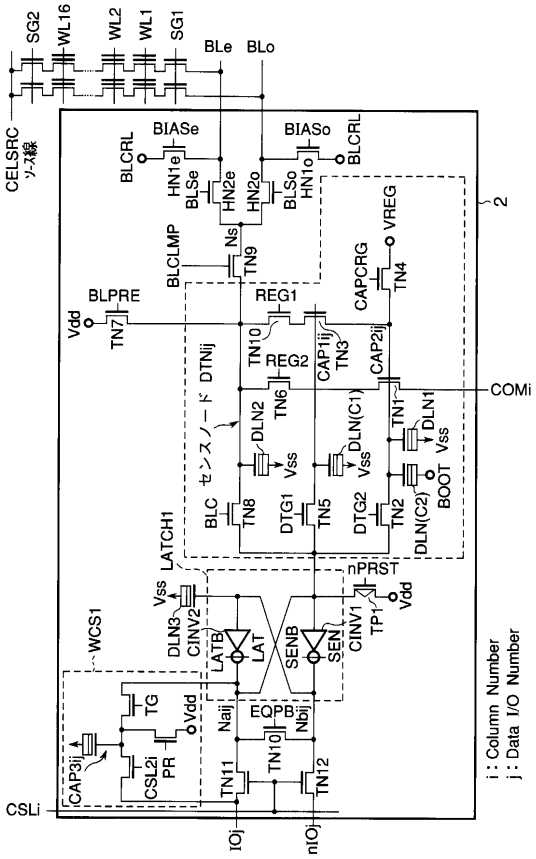
【図４２】



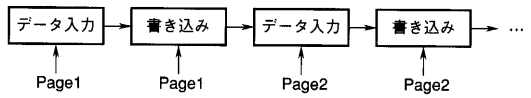
【図４３】



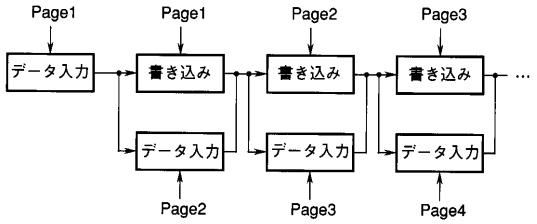
【図４４】



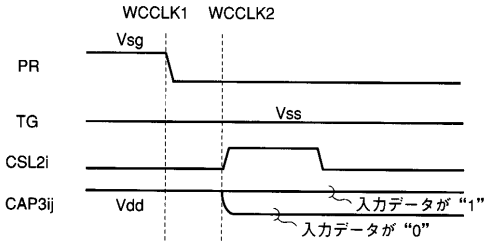
【図４５】



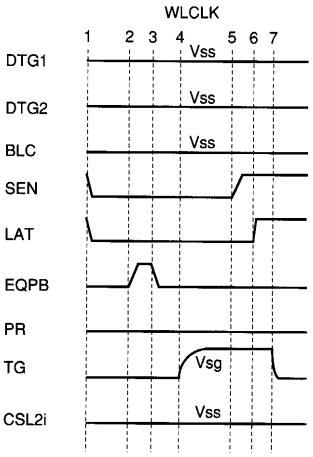
【図４６】



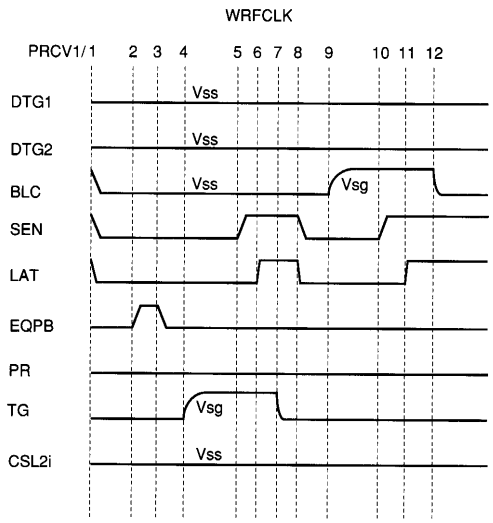
【図４７】



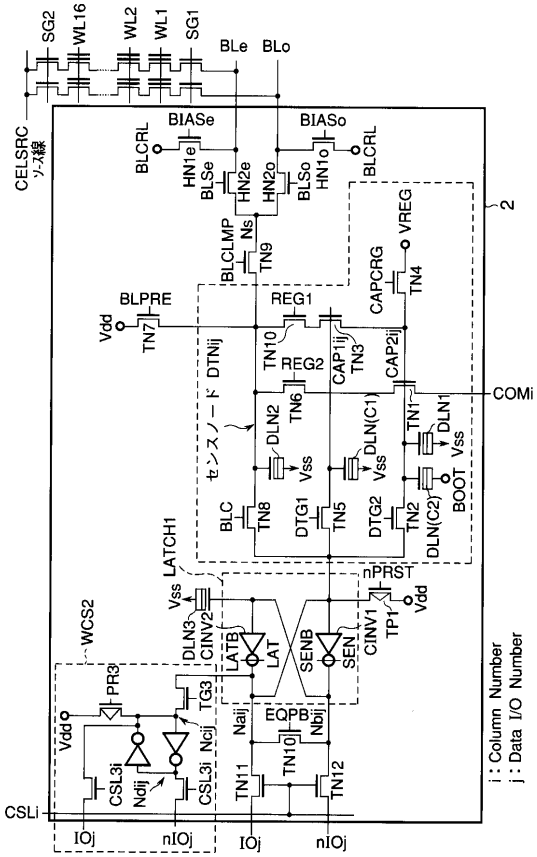
【図４８】



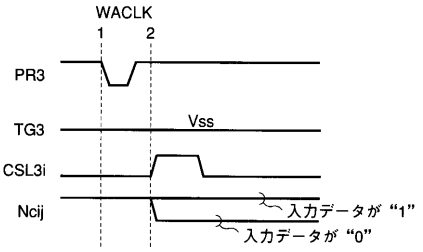
【図４９】



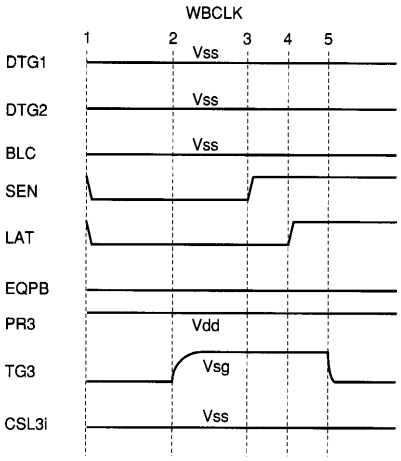
【図５０】



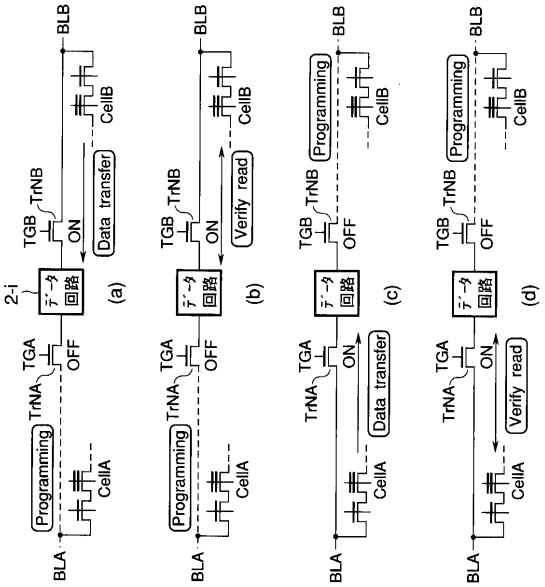
【図５１】



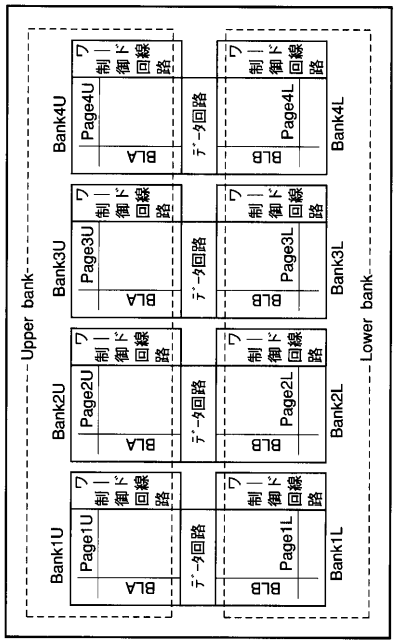
【図５２】



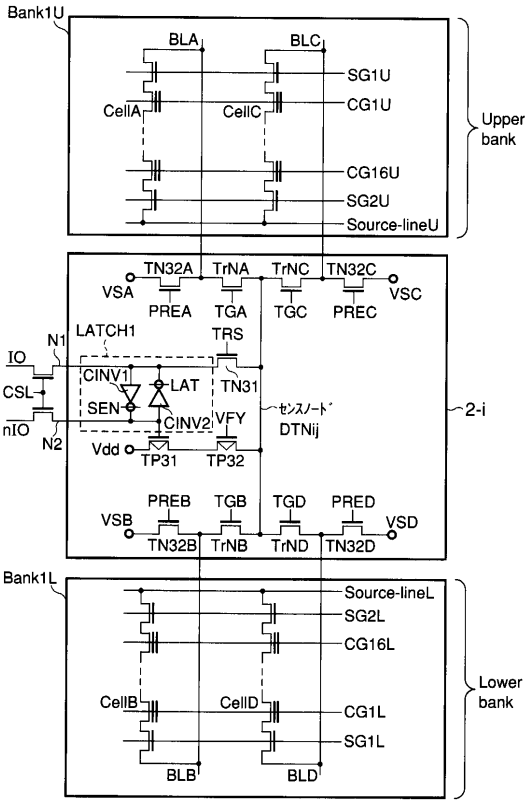
【図５３】



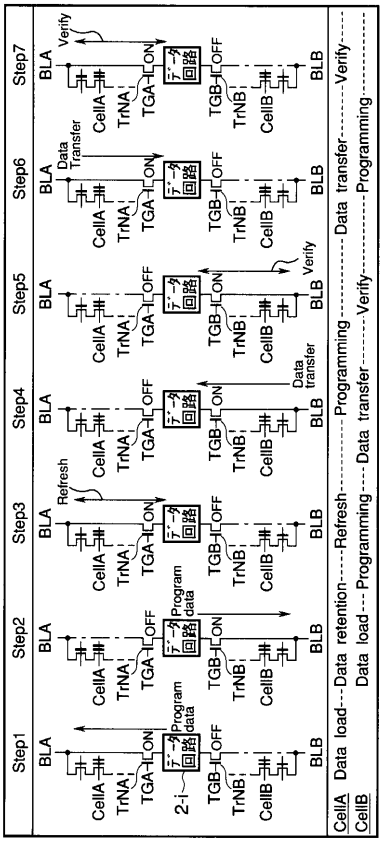
【図５４】



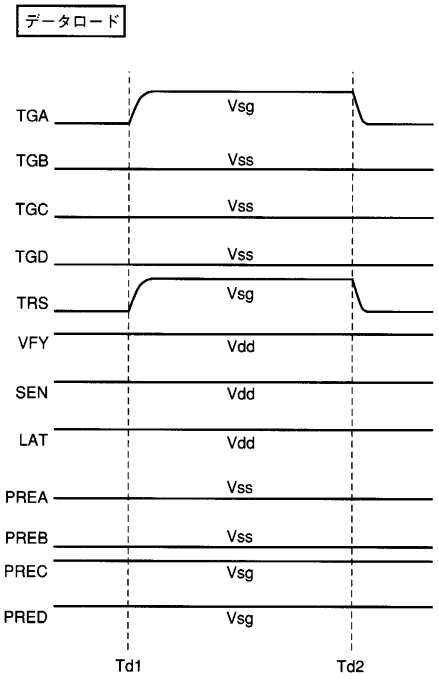
【図５５】



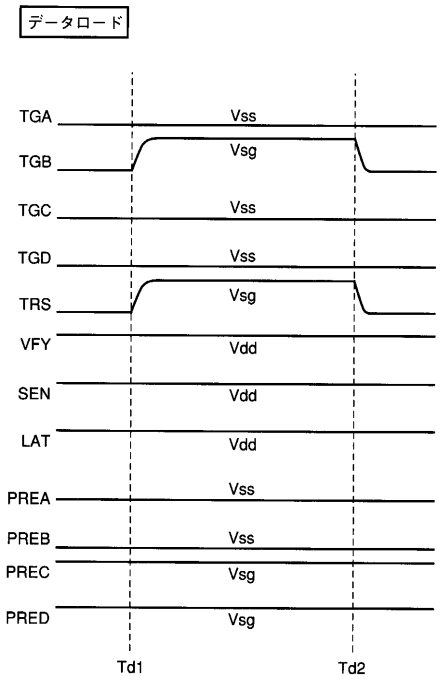
【図５６】



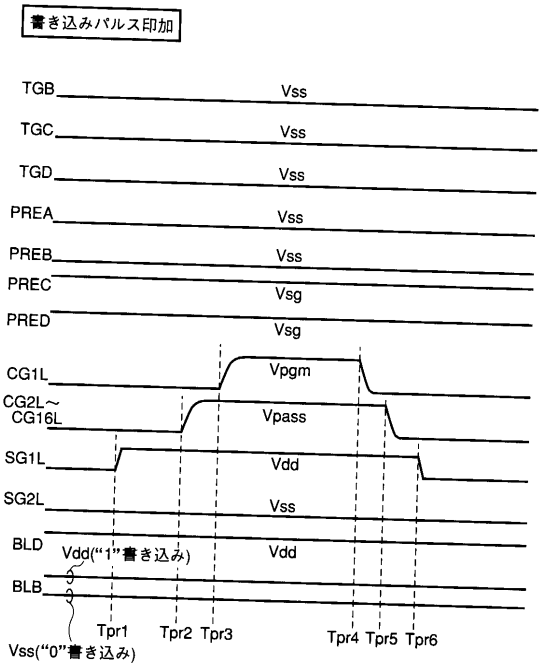
【図５７】



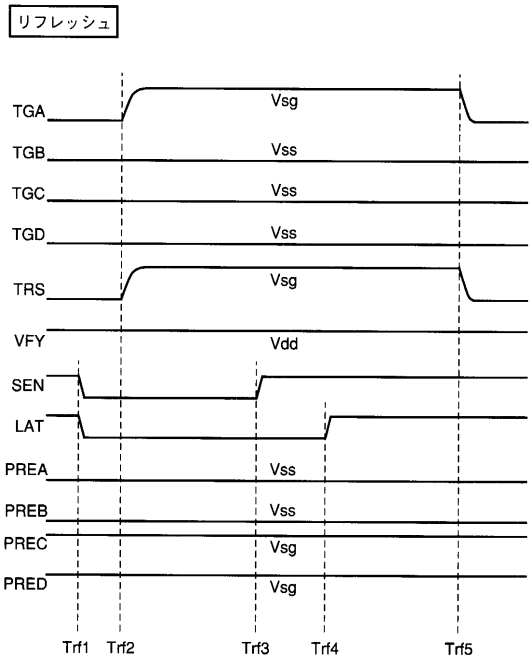
【図５８】



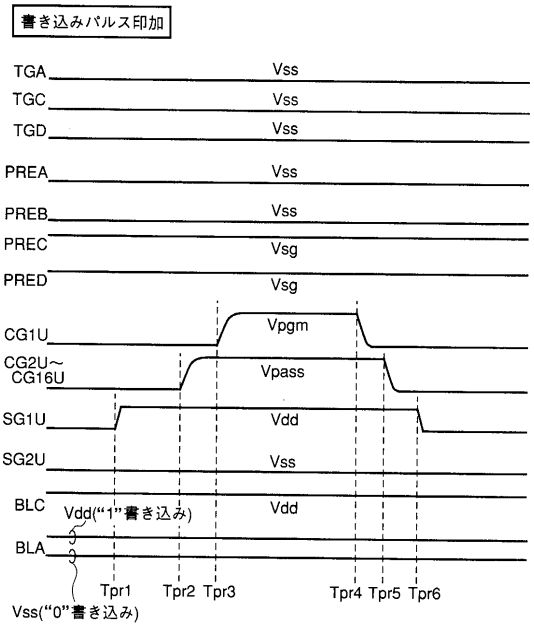
【図５９】



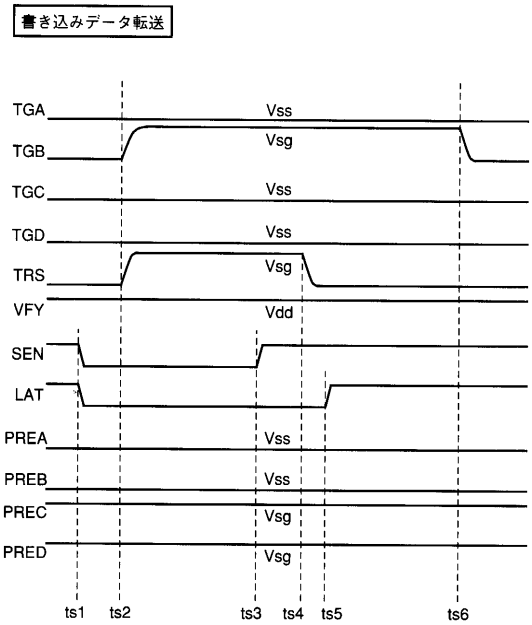
【図６０】



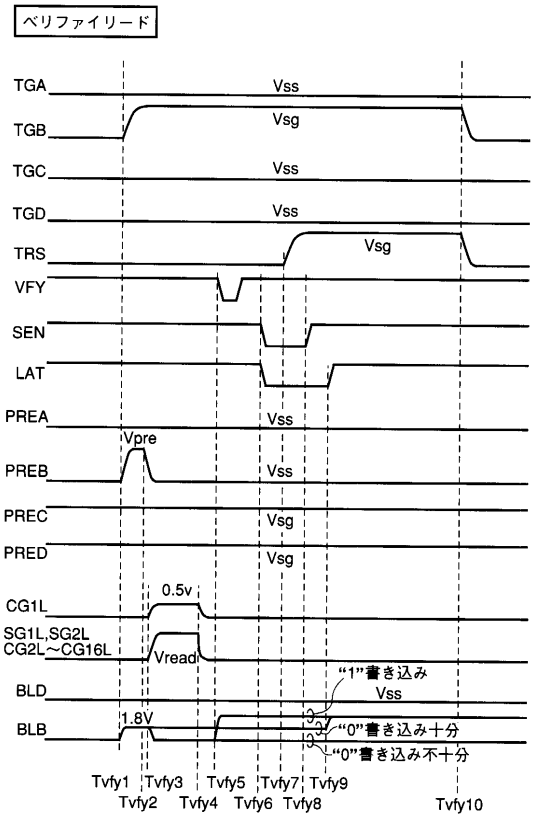
【図６１】



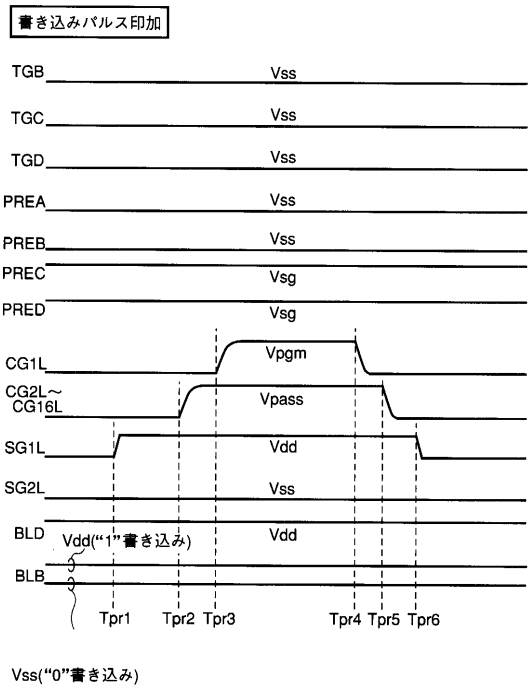
【図６２】



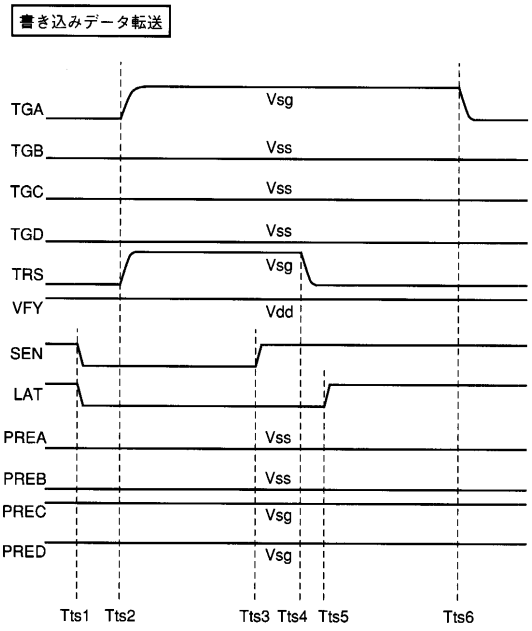
【図６３】



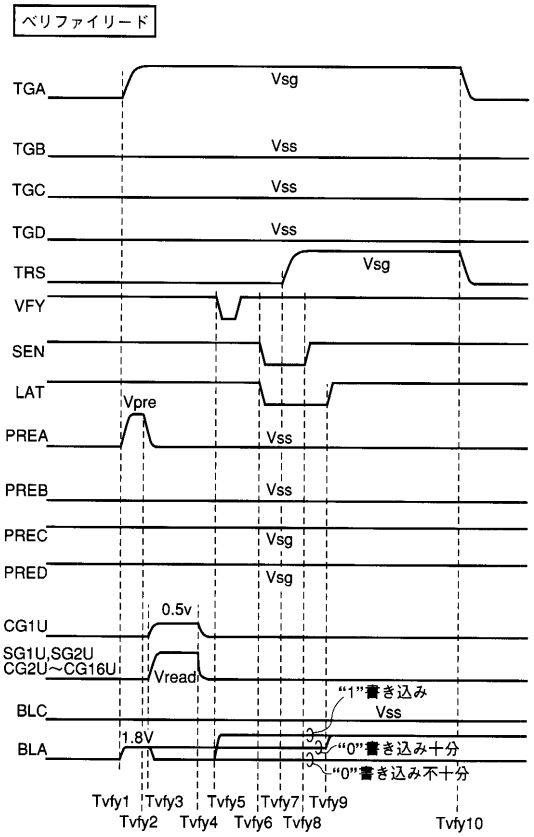
【図６４】



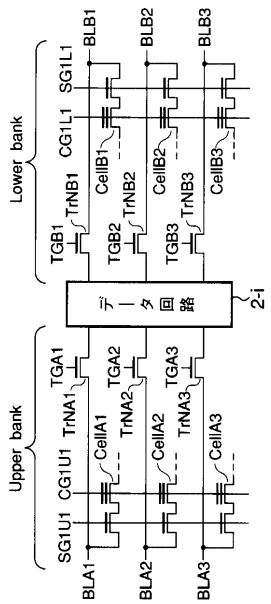
【図６５】



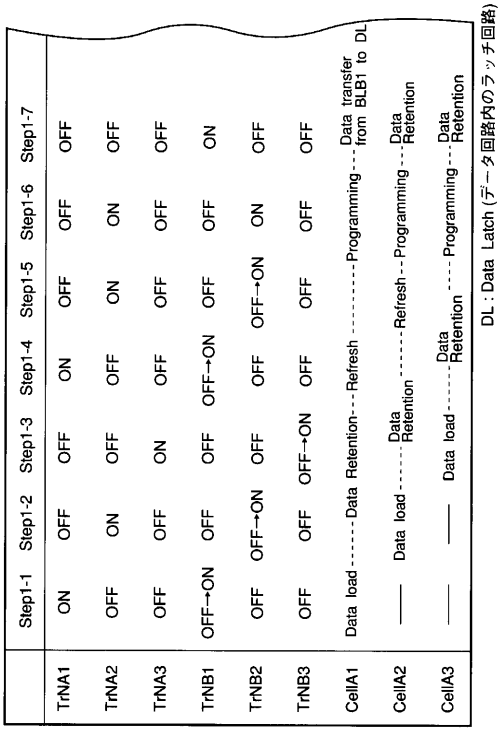
【図６６】



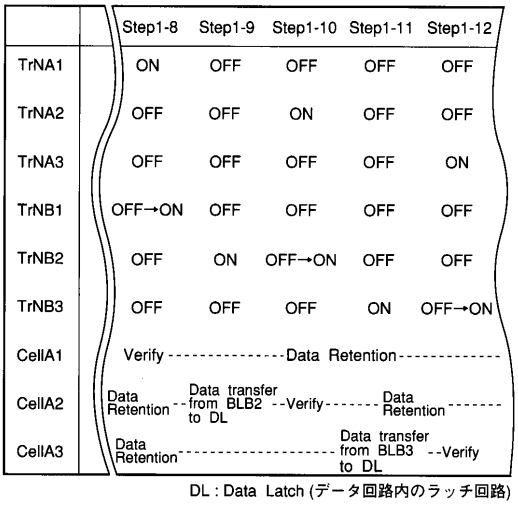
【図６７】



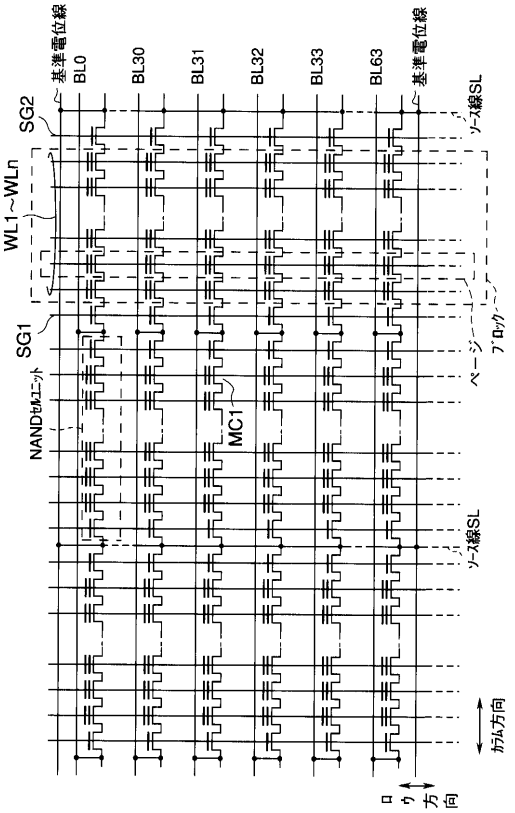
【図６８】



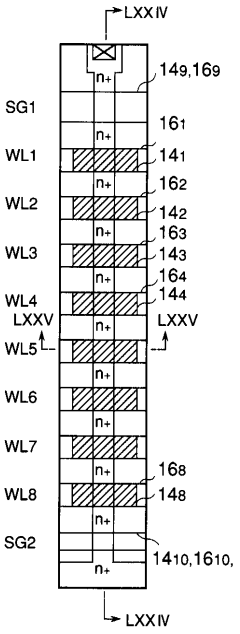
【図６９】


Step1-8
Step1-9
Step1-10
Step1-11
Step1-12
TrNA1
TrNA2
TrNA3
TrNB1
TrNB2
TrNB3
CellA1
CellA2
CellA3
ON
OFF
OFF
OFF→ON
OFF
OFF
Verify
Data Retention
Data Retention
Data transfer from BLB2 to DL
Verify
Data Retention
Data Retention
Data transfer from BLB3 to DL
Verify
OFF
OFF
ON
OFF
OFF
OFF
OFF
ON
OFF→ON
OFF
OFF
OFF
OFF
OFF
ON
OFF
OFF
OFF
OFF
OFF

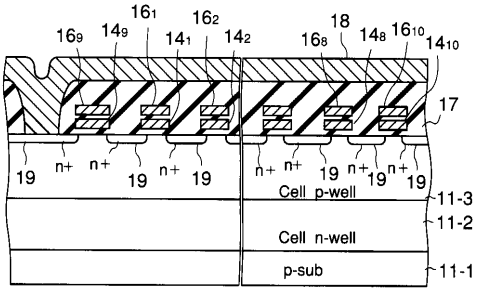
【図７２】



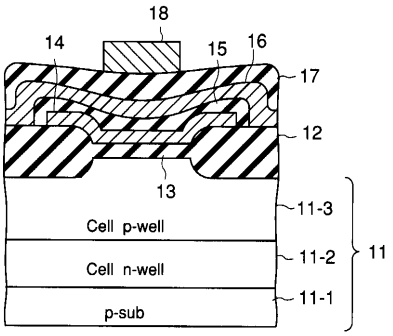
【図７３】



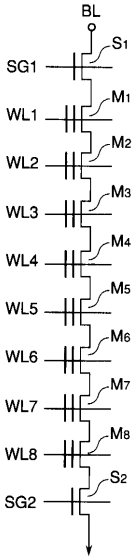
【図７４】



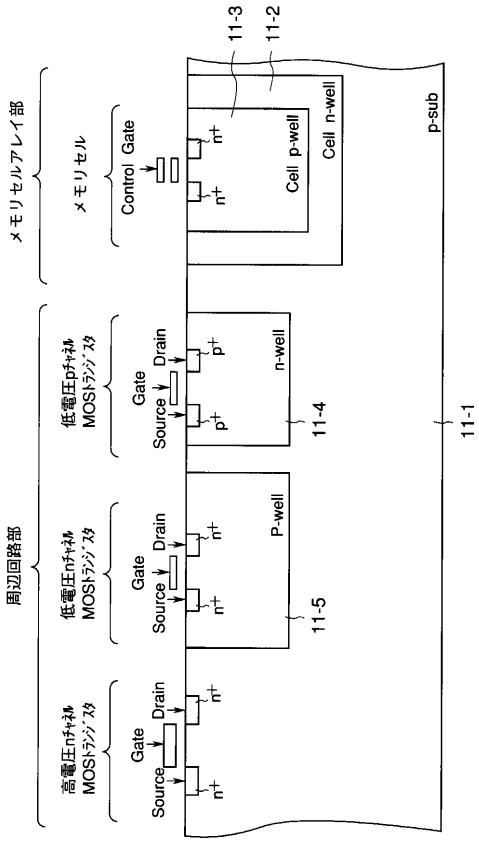
【図７５】



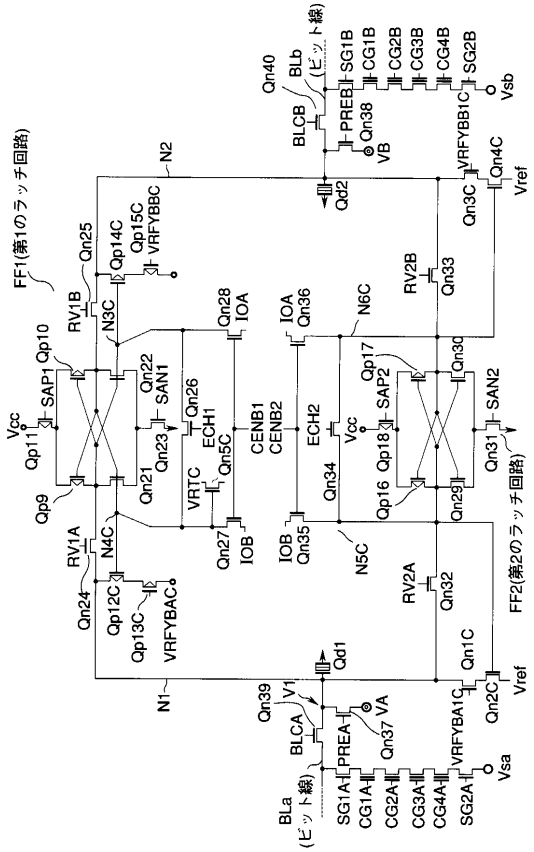
【図７６】



【図７７】


メモリセルアレイ部
周辺回路部
高電圧nチャネル MOSトランジスタ
低電圧nチャネル MOSトランジスタ
低電圧pチャネル MOSトランジスタ
メモリセル
Control Gate
Gate
Source
Drain
n+
p+
Cell p-well
Cell n-well
P-well
n-well
p-sub
11-1
11-2
11-3
11-4
11-5

【図７８】


FF1(第1のラッチ回路)
FF2(第2のラッチ回路)
Vcc
Vsa
Vsb
Vref
N1
N2
N3C
N4C
N5C
N6C
SAP1
SAP2
SAN1
SAN2
VRFYBAC
VRFYBBC
VRFYBA1C
VRFYBB1C
RV1A
RV1B
RV2A
RV2B
IOA
IOB
CENB1
CENB2
ECH1
ECH2
VRTC
VA
VB
PREA
PREB
BLa (ビット線)
BLb (ビット線)
BLCA
BLCB
SG1A
SG1B
CG1A
CG1B
CG2A
CG2B
CG3A
CG3B
CG4A
CG4B
SG2A
SG2B
Qp9
Qp10
Qp11
Qp12C
Qp13C
Qp14C
Qp15C
Qp16
Qp17
Qp18
Qn1C
Qn2C
Qn3C
Qn4C
Qn5C
Qn21
Qn22
Qn23
Qn24
Qn25
Qn26
Qn27
Qn28
Qn29
Qn30
Qn31
Qn32
Qn33
Qn34
Qn35
Qn36
Qn37
Qn38
Qn39
Qn40
Qd1
Qd2

フロントページの続き

(51)Int.Cl. F I
H01L 29/792 (2006.01)

(72)発明者 竹内 健
神奈川県川崎市幸区小向東芝町１番地 株式会社東芝マイクロエレクトロニクスセンター内
(72)発明者 田中 智晴
神奈川県川崎市幸区小向東芝町１番地 株式会社東芝マイクロエレクトロニクスセンター内
(72)発明者 柴田 昇
神奈川県川崎市幸区小向東芝町１番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 小松 正

(56)参考文献 特開平０８－３１５５８６（ＪＰ，Ａ）
特開平０９－３２６１９７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl., ＤＢ名)
G11C 16/00-16/34