

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/28

(45) 공고일자 1999년06월 15일

(11) 등록번호 10-0200071

(24) 등록일자 1999년03월09일

(21) 출원번호 10-1996-0023334

(65) 공개번호 특 1998-0005489

(22) 출원일자 1996년06월24일

(43) 공개일자 1998년03월30일

(73) 특허권자 삼성전자주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 이수천
경기도 군포시 산본동 목련아파트 1213동 1003호
(74) 대리인 이건주

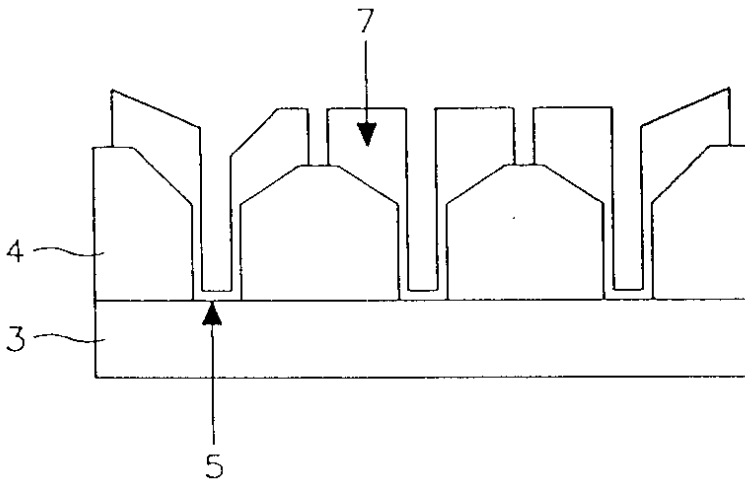
심사관 : 홍성표

(54) 반도체 장치의 콘택 식각 방법

요약

1. 청구 범위에 기재된 발명이 속한 기술분야: 반도체 장치의 콘택 식각 방법.
2. 발명이 해결하려고 하는 기술적 과제 : 반도체 장치의 개선된 멀티콘택의 제조 및 식각 방법을 제공함.
3. 발명의 해결방법의 요지 : 반도체 장치의 개선된 콘택 식각 방법은 상기 반도체 장치의 제조공정시 멀티콘택 어레이 구조와 싱글콘택 구조에 대한 식각의 적용 디자인 룰을 구별하여 상기 멀티콘택 어레이 구조의 경우를 상기 싱글콘택 구조보다 큰 스페이스로 하는 것을 특징으로 한다.
4. 발명의 중요한 용도 : 반도체 장치의 콘택 식각 방법으로서 사용.

대표도



명세서

[발명의 명칭]

반도체 장치의 콘택 식각 방법

[도면의 간단한 설명]

제1도 및 제2도는 종래기술의 대표적인 콘택 어레이의 구조 및 단면을 나타낸 도면들.

제3도 및 제4도는 본 발명의 일 실시예에 따른 콘택 어레이의 구조들 및 단면을 나타낸 도면들이다.

* 도면의 주요부분에 대한 부호의 설명

3 : 기판

4 : 절연막

5 : 콘택

6 : 콘택의 식각에 의한 손상부위

7 : 금속 배선막

[발명의 상세한 설명]

본 발명은 통상의 에이직(ASIC) 또는 로직화된 반도체 집적회로(IC) 등과 같은 반도체 장치에서의 콘택 식각 방법에 관한 것이다.

통상적으로, 반도체 장치는 보다 많은 기능 및 동작을 수행하기 위해 고집적화되어가는 추세에 있다. 이에 따라서, 칩 사이즈의 축소를 도모하기 위해 반도체 장치의 디자인 룰(design rule)은 점점 더 축소되는 경향이다. 이러한 칩 사이즈의 축소에 영향을 미치는 것들의 하나로서 콘택 식각등과 같은 백 엔드(back end) 공정에서의 디자인 룰이 본 분야에 알려져 있다. 상기 백 엔드 공정에서의 디자인 룰은 반도체 장치내의 소자의 고집적화와 더불어 칩 사이즈의 축소에 밀접한 관련성이 있다.

백 엔드 공정에서, 이중 금속 배선막을 연결시키기 위한 콘택 즉, 접촉구(contact)를 형성시 콘택의 사이즈와 콘택간의 스페이스(space)도 크게 감소되는 추세에 있는데, 특히 콘택이 황열로 구성되어 있는 경우에 있어서의 콘택 사이즈의 축소는 공정상 많은 문제점을 야기할 가능성이 있다. 즉, 보다 구체적으로 설명하면 콘택간의 스페이스가 작은 경우에 콘택형성시 패터닝(patterning)을 위한 포토 레지스트(photo resist)의 들뜸(lifting)현상이 발생할 수가 있다는 것이다.

종래의 기술에서는 제1도의 1a와 같이 콘택이 1개 또는 2개로 구성되어 있는 싱글 콘택(Single contact)인 경우나, 제1도의 1b와 같이 멀티콘택(multi contact)의 어레이(array)구조로 구성되어 있는 경우에도 동일한 디자인 룰을 적용하여 제조공정을 실행하였다. 여기서, 1b와 같이 멀티 콘택 어레이 구조가 형성되어 있는 경우 콘택 식각시 금속 배선막의 스텝 커버리지(step coverage)를 증가시켜 주기 위해서 BOE(Buffered Oxide Etchant)로 등방성 식각을 일부 실시한다. 이 때 측면 방향으로도 식각이 많이 진행되는데, 이 경우 금속하부층(metal under layer)의 절연막이 BPSG막 또는 플라즈마(plasma) 산화막으로 형성되어 있는 경우가 대부분이므로 통상적으로 측면 방향의 식각량이 수직방향의 1.5~2배 정도로 진행되는 경우가 대부분이다. 이러한 경우 콘택 디파인(contact define)을 위한 포토 레지스트의 하부 층(layer)까지 완전히 식각이 진행되어 포토 레지스트의 리프팅을 유발하고 후속의 메탈 증착시 콘택간의 단락(쇼트)을 유발하게 된다. 즉, 종래 기술에 대한 평면도인 제1도를 제2도에서는 단면구조로 도시하고 있는데, 제2도에 도시된 바와 같이 서로 다른 두가지의 구조에 대하여 동일하게 디자인 룰을 적용시켜 콘택 스페이스를 T1으로 하면, 손상부위 6가 존재하여 콘택 식각 및 금속 배선막 형성후의 프로파일 자체가 상당히 불량하게 되며, 콘택간 금속 배선막의 쇼트가 발생하는 것을 확인할 수 있다. 또한 이러한 현상이 발생할 경우 웨이퍼 자체의 불량은 물론이고 콘택의 에칭공정 진행 중 포토 레지스트의 들뜸(lifting)현상으로 진행 설비의 오염까지 발생할 가능성이 있는 것이다. 이를 방지하기 위한 방법으로는 습식 식각을 제거하거나 콘택의 스페이스를 증가시키는 방법이 고려할 수 있으나 전자의 경우는 W-플러그(plug)공정이 반드시 추가되어야 하는 문제점이 있고, 후자의 경우는 전체적으로 칩 사이즈를 증가시키는 결과를 초래하게 된다.

따라서 본 발명의 목적은 상기한 종래의 문제점을 해소할 수 있는 반도체 장치에서의 콘택 식각 방법을 제공함에 있다.

본 발명의 다른 목적은 멀티콘택 어레이 구조가 형성되어 있는 경우에 콘택의 습식 식각시 포토 레지스트의 들뜸 현상을 방지할 수 있는 반도체 장치의 콘택 식각 방법을 제공함에 있다.

본 발명의 또 다른 목적은 디자인 룰을 콘택의 배열 구조에 따라 차별적으로 적용하여 칩 사이즈의 축소를 도모하는데 있다.

상기한 목적을 달성하기 위한 본 발명에 따르면, 상기 반도체 장치의 제조공정시 멀티 콘택 어레이 구조와 싱글 콘택 구조에 대한 콘택 식각의 적용 디자인 룰을 구별하여 상기 멀티콘택 어레이 구조의 경우를 상기 싱글콘택 구조보다 큰 스페이스로 하는 것을 특징으로 한다.

이하에서는 본 발명의 바람직한 일 실시예에 따른 콘택 식각방법이 첨부된 도면과 함께 설명될 것이다. 첨부된 도면들내에서 서로 동일한 기능을 가지는 공정상의 영역 또는 부분은 이해의 편의를 위해서 동일 내지 유사한 참조부호로 라벨링된다. 다음의 설명에서는 본 발명의 보다 철저한 이해를 제공하기 위해 특정한 상세들이 예들들어 한정되고 자세하게 설명된다. 그러나, 당해 기술분야에 통상의 지식을 가진 자들에게 있어서는 본 발명이 이러한 상세한 항목들이 없이도 상기한 설명에 의해서만 실시될 수 있을 것이다. 또한 본 분야에 너무나 잘 알려진 기본적 공정 및 습식식각의 식각액 또는 특성, 그리고 공정의 구현은 본 발명의 요지를 모호하지 않게 하기 위해 상세히 설명하지 않는다.

이하의 설명에서는 본 발명의 바람직한 일 실시예가 예들들어 한정되고 첨부된 도면을 위주로 예들들어 설명될 것이다.

제1,2도가 종래 기술의 구조로서 도시된 것에 대응하여 제3도 및 제4도를 본 발명의 실시예에 따라 적용되는 콘택의 구조로서 도시하였다. 종래 기술에서는 싱글콘택이나 멀티콘택 어레이 구조에서 동일한 디자인 룰을 적용하였지만, 제3, 4도에서 나타난 본 발명의 실시예에서는 이와는 달리 디자인 룰을 콘택의 구조에 따라 차별적으로 적용하는 것이 특징이다.

제3, 4도를 참조하면 싱글 콘택과 멀티 콘택 어레이 구조에서의 디자인 룰을 달리 적용한 것이 나타나 있다. 여기서, 본 발명의 적용을 콘택 어레이 구조로 형성된 모든 경우에 적용하는 것 보다 어레이의 배열

구조가 3×3 이상일 경우부터 적용하면 더욱 바람직하다. 제3도를 참조하면, 콘택의 스페이스를 습식 식각의 마진(margin)을 고려하여 싱글 콘택의 사이즈를 T1으로 적용한 경우에 3b의 멀티콘택 어레이는 상기 T1 보다 큰 T3의 사이즈로 디자인 룰을 적용한 것이 나타난다. 상기에서 콘택 구조는 메탈 콘택, 비아 콘택 등 배선을 위한 콘택을 포함하는 의미이다. 그리고, 상기 콘택 구조는 습식 식각시 BOE 용액 또는 HF(불산)용액 등을 사용하여 식각을 진행할 수 있다. 또한, 제4도에서는 제3도의 상태를 단면구조로 도시한 것이 나타나 있다. 이것은 반도체 장치의 제조공정시 멀티콘택 어레이 구조와 싱글 콘택 구조에 대한 콘택 식각의 적용 디자인 룰을 구별하여 상기 멀티콘택 어레이 구조의 경우를 상기 싱글콘택 구조보다 큰

스페이스로 하는 경우에 대한 실시예이다.

여기서, 멀티 콘택 어레이에서의 스페이스 룰은 콘택의 습식식각시 식각되는 양의 5배 정도를 제공하는 것이 좋다. 예를 들어, 콘택의 습식식각량이 2, 500옹스트롱일 경우 콘택의 어레이에서의 디자인 룰은 1.3 미크론 미터정도로 한다. 제4도의 단면에서, 콘택 어레이구조의 프로파일이 양호함을 확인할 수 있으며, 종래기술인 제2도에서의 참조부호 6과 같은 메탈 콘택, 쇼트 현상이 발생되지 아니한 것을 알 수 있다.

상기한 본 발명은 도면을 중심으로 예를 들어 설명되고 한정되었지만, 그 동일한 것은 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 변화와 변형이 가능함이 본 분야의 숙련된 자에게 있어 명백할 것이다. 예를 들어, 응용면에서 어레이의 배열구조가 3 × 3 뿐만 아니라 타의 구조에도 적용될 수 있다.

상기한 본 발명에 따르면, 멀티콘택 어레이 구조에서 종래에 문제가 되었던 들뜸 등의 프로파일 불량 및 메탈 단락현상을 사전에 방지할 수 있으며 공정의 변경 없이 적용이 가능한 효과가 있다.

(57) 청구의 범위

청구항 1

반도체 제조 공정중 콘택 층의 디자인 룰을 공정상의 변경없이 멀티콘택 어레이 구조와 싱글 콘택 구조의 디자인 룰을 차별적으로 적용하는 것을 특징으로 하는 방법.

청구항 2

제1항에 있어서, 상기 콘택 구조는 메탈 콘택, 비아 콘택 등 배선을 위한 콘택을 포함하는 것을 특징으로 하는 방법.

청구항 3

제1항에 있어서, 상기 콘택 구조는 습식 식각시 B0E 용액 또는 HF 용액 등으로 공정을 진행하는 것을 특징으로 하는 방법.

청구항 4

제3항에 있어서, 상기 멀티콘택 어레이 구조에 습식식각을 진행시 콘택 스페이스 디자인 룰은 습식 식각량의 약 5배 정도를 적용하는 것을 특징으로 하는 방법.

청구항 5

제1항에 있어서, 상기 멀티콘택 어레이 구조는 3 × 3 이상의 매트릭스 구조로 형성되어 있는 것을 특징으로 하는 방법.

청구항 6

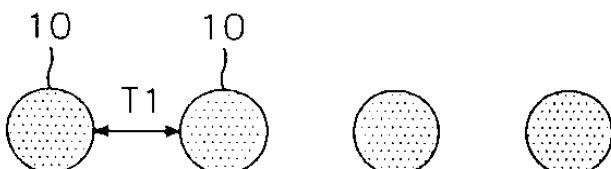
반도체 장치의 콘택 식각 방법에 있어서, 상기 반도체 장치의 제조공정시 멀티 콘택 어레이 구조와 싱글 콘택 구조에 대한 콘택 식각의 적용 디자인 룰을 구별하여 상기 멀티콘택 어레이 구조의 경우를 상기 싱글콘택 구조보다 큰 스페이스로 하는 것을 특징으로 하는 콘택식각 방법.

청구항 7

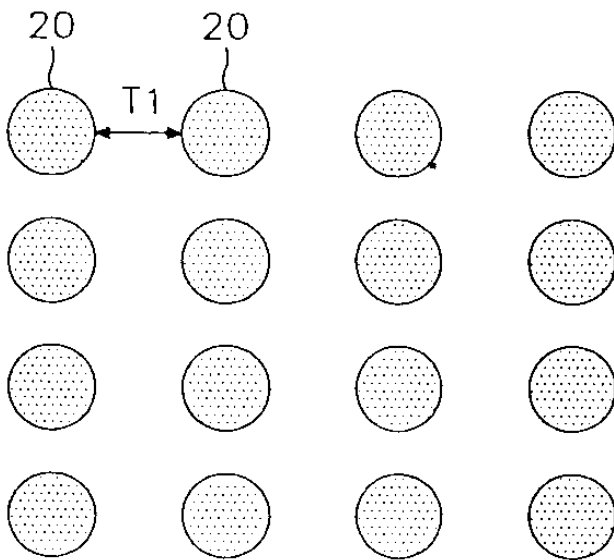
반도체 장치의 멀티콘택 식각 방법에 있어서, 상기 멀티콘택이 적어도 3개 이상의 행과 열의 매트릭스 구조로 이루어진 경우에 싱글콘택 구조에 대한 콘택 식각의 적용 디자인 룰보다 큰 디자인 룰로서 이루어진 상기 멀티콘택을 습식 식각함을 특징으로 하는 콘택식각 방법.

도면

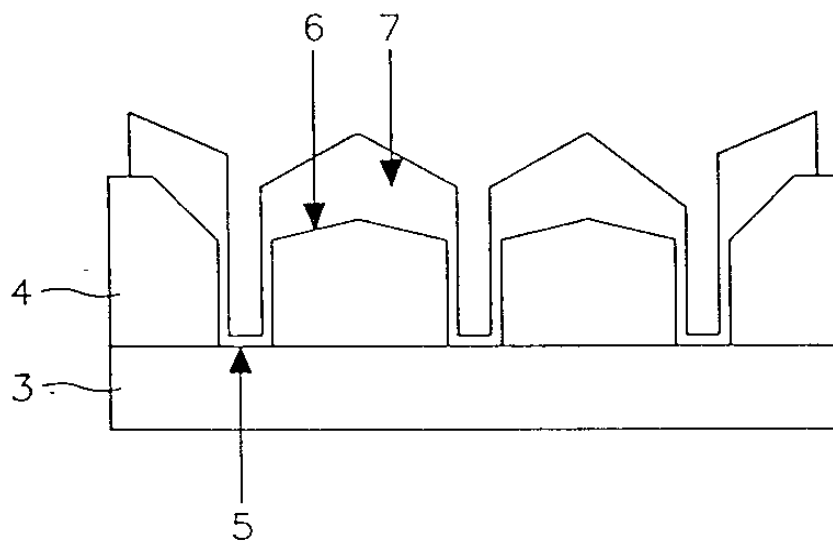
도면 1a



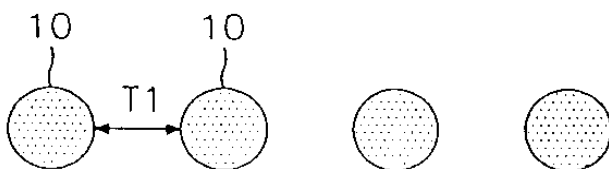
도면 1b



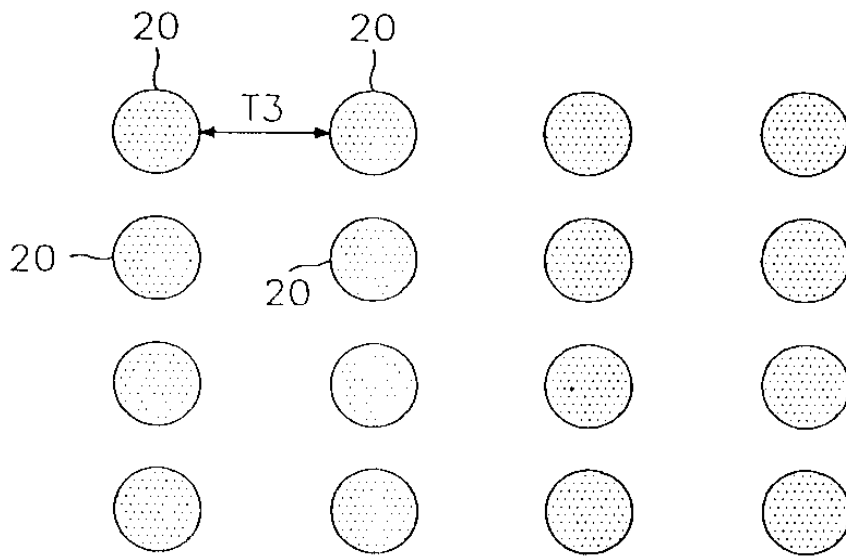
도면 2



도면 3a



도면3b



도면4

