



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년06월30일
(11) 등록번호 10-2826722
(24) 등록일자 2025년06월25일

(51) 국제특허분류(Int. Cl.)
H10F 39/12 (2025.01)
(52) CPC특허분류
H10F 39/809 (2025.01)
H10F 39/8033 (2025.01)
(21) 출원번호 10-2021-7040472
(22) 출원일자(국제) 2020년06월25일
심사청구일자 2023년05월16일
(85) 번역문제출일자 2021년12월09일
(65) 공개번호 10-2022-0023996
(43) 공개일자 2022년03월03일
(86) 국제출원번호 PCT/JP2020/025037
(87) 국제공개번호 WO 2020/262541
국제공개일자 2020년12월30일
(30) 우선권주장
JP-P-2019-118489 2019년06월26일 일본(JP)
(56) 선행기술조사문헌
JP11274316 A*
(뒷면에 계속)

(73) 특허권자
소니 세미컨덕터 솔루션즈 가부시키키가이샤
일본국 가나가와켄 아즈기시 아사히쵸 4-14-1
(72) 발명자
사카 나오키
일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소
니 세미컨덕터 솔루션즈 가부시키키가이샤 내
오카모토 신타로
일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소
니 세미컨덕터 솔루션즈 가부시키키가이샤 내
(뒷면에 계속)
(74) 대리인
최달용

전체 청구항 수 : 총 20 항

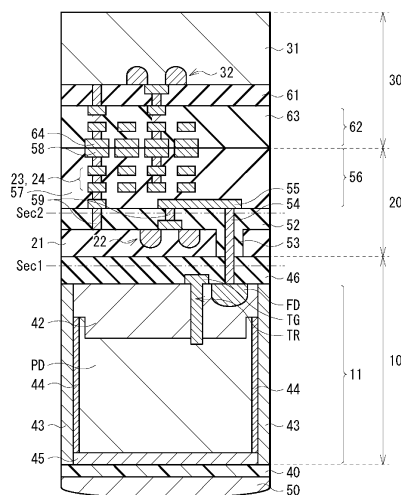
심사관 : 심병로

(54) 발명의 명칭 **활상 장치**

(57) 요약

본 개시의 한 실시 형태에 관한 활상 장치는 광전 변환을 행하는 센서 화소를 갖는 제1 기판과, 상기 센서 화소로부터 출력된 전하에 의거하여 화소 신호를 출력하는 화소 회로를 갖는 제2 기판과, 상기 화소 신호를 신호 처리하는 처리 회로를 갖는 제3 기판을 구비하고, 상기 제1 기판, 상기 제2 기판 및 상기 제3 기판은 이 순서로 적층되고, 상기 화소 회로의 전계 효과 트랜지스터가 마련되는 반도체층의 적어도 1개 이상에서는, 상기 제1 기판 측의 영역의 도전형 불순물의 농도는 상기 제3 기판측의 영역의 도전형 불순물의 농도보다도 높다.

대표도 - 도7



(52) CPC특허분류

H10F 39/8037 (2025.01)

H10F 39/805 (2025.01)

H10F 39/811 (2025.01)

(72) 발명자

코야마 유스케

일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니
세미컨덕터 솔루션즈 가부시키키가이샤 내

모리 시게타카

일본국 가나가와켄 아즈기시 아사히쵸 4-14-1 소니
세미컨덕터 솔루션즈 가부시키키가이샤 내

(56) 선행기술조사문헌

JP2007228460 A*

JP2010093229 A*

JP2010225768 A*

JP2014022561 A*

JP2015032687 A*

JP2018129374 A*

W02018180570 A1*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

광전 변환을 행하는 센서 화소를 갖는 제1 기판과,
 상기 센서 화소로부터 출력된 전하에 의거하여 화소 신호를 출력하는 화소 회로를 갖는 제2 기판과,
 상기 화소 신호를 신호 처리하는 처리 회로를 갖는 제3 기판을 구비하고,
 상기 제1 기판, 상기 제2 기판 및 상기 제3 기판은 이 순서로 적층되고,
 상기 화소 회로의 전계 효과 트랜지스터가 마련되는 반도체층의 적어도 1개 이상에서는, 상기 제1 기판측의 영역의 도전형 불순물의 농도는 상기 제3 기판측의 영역의 도전형 불순물의 농도보다도 높으며,
 상기 반도체층 및 제1 절연층의 계면 근방에 마련된 제1 영역과, 상기 반도체층 위에 마련되는 확산층과,
 상기 제1 영역은 상기 반도체층과 상기 제1 절연층의 계면을 포함하고, 또한 상기 반도체층과 상기 확산층의 계면을 포함하지 않는 것을 특징으로 하는 촬상 장치.

청구항 2

제1항에 있어서,
 상기 센서 화소는 광전 변환 소자와, 상기 광전 변환 소자에 전기적으로 접속된 전송 트랜지스터와, 상기 전송 트랜지스터를 통하여 상기 광전 변환 소자로부터 출력된 상기 전하를 일시적으로 유지하는 플로팅 디퓨전을 가지고,
 상기 화소 회로는 상기 플로팅 디퓨전의 전위를 소정의 전위로 리셋하는 리셋 트랜지스터와, 상기 플로팅 디퓨전에 유지된 상기 전하의 레벨에 응한 전압의 신호를 상기 화소 신호로서 생성하는 증폭 트랜지스터와, 상기 증폭 트랜지스터로부터의 상기 화소 신호의 출력 타이밍을 제어하는 선택 트랜지스터를 갖는 것을 특징으로 하는 촬상 장치.

청구항 3

제2항에 있어서,
 상기 제1 기판은 상기 광전 변환 소자, 상기 전송 트랜지스터 및 상기 플로팅 디퓨전이 표면측에 마련된 제1 반도체 기판을 포함하고,
 상기 제2 기판은 상기 리셋 트랜지스터, 상기 증폭 트랜지스터 및 상기 선택 트랜지스터가 표면측에 마련된 제2 반도체 기판을 포함하고,
 상기 제2 기판은, 상기 제1 반도체 기판의 상기 표면측에, 상기 제2 반도체 기판의 상기 표면과 반대의 이면측을 향하여 접합되는 것을 특징으로 하는 촬상 장치.

청구항 4

제3항에 있어서,
 상기 제2 반도체 기판의 상기 이면은 절연층을 통하여 상기 제1 반도체 기판의 상기 표면에 접합되는 것을 특징으로 하는 촬상 장치.

청구항 5

제4항에 있어서,
 상기 제2 반도체 기판과 상기 절연층의 계면은 상기 제1 기판과 상기 제2 기판의 접합 계면인 것을 특징으로 하는 촬상 장치.

청구항 6

제5항에 있어서,

상기 제2 반도체 기관과 상기 절연층의 계면을 포함하는 영역에는, 상기 제2 반도체 기관의 타영역보다도 상기 도전형 불순물을 고농도로 포함하는 제1 영역이 마련되는 것을 특징으로 하는 활성 장치.

청구항 7

제6항에 있어서,

상기 화소 회로의 전계 효과 트랜지스터의 적어도 1개 이상은,

일방향으로 연신되어 상기 제2 반도체 기관으로부터 볼록 설치된 확산층과,

상기 일방향과 직교하는 방향으로 연신되어 상기 확산층에 과설된 게이트 전극과,

상기 게이트 전극을 끼워서 양측의 상기 확산층에 마련된 소스 영역 및 드레인 영역을 구비하는 핀형의 전계 효과 트랜지스터인 것을 특징으로 하는 활성 장치.

청구항 8

제7항에 있어서,

상기 제2 반도체 기관의 상기 표면에는, 상기 제2 반도체 기관에 소정의 전위를 공급하는 보디 콘택트가 마련되는 것을 특징으로 하는 활성 장치.

청구항 9

제8항에 있어서,

상기 보디 콘택트는 상기 게이트 전극에 대해 상기 소스 영역과 같은 측의 평면 영역에 마련되는 것을 특징으로 하는 활성 장치.

청구항 10

제6항에 있어서,

상기 제1 영역은 상기 제2 반도체 기관의 전면에 걸쳐 마련되는 것을 특징으로 하는 활성 장치.

청구항 11

제6항에 있어서,

상기 제1 영역은 상기 도전형 불순물로서 붕소 원자를 포함하는 에피택셜 성장층인 것을 특징으로 하는 활성 장치.

청구항 12

제6항에 있어서,

상기 제1 영역은 상기 도전형 불순물로서 붕소 원자를 포함하는 폴리실리콘층인 것을 특징으로 하는 활성 장치.

청구항 13

제6항에 있어서,

상기 제2 반도체 기관의 상기 표면층의 일부 영역에는, 소정의 전위를 공급하는 콘택트 플러그와 전기적으로 접속하고, 상기 도전형 불순물을 고농도로 포함하는 제2 영역이 또한 마련되는 것을 특징으로 하는 활성 장치.

청구항 14

제13항에 있어서,

상기 제2 반도체 기관에는, 상기 제1 영역 및 상기 제2 영역보다도 상기 도전형 불순물을 저농도로 포함하고,

상기 제1 영역과 상기 제2 영역과 인접하는 제3 영역이 또한 마련되는 것을 특징으로 하는 활상 장치.

청구항 15

제13항에 있어서,

상기 콘택트 플러그는 상기 제2 반도체 기판을 관통하여 마련되고, 상기 제1 영역과 직접 접속하는 것을 특징으로 하는 활상 장치.

청구항 16

제6항에 있어서,

상기 제1 영역은 상기 도전형 불순물로서 붕소 원자를 포함하고, 비도전형 불순물로서 탄소 원자를 또한 포함하는 것을 특징으로 하는 활상 장치.

청구항 17

제2항에 있어서,

상기 제1 기판은 상기 광전 변환 소자, 상기 전송 트랜지스터 및 상기 플로팅 디퓨전을 상기 센서 화소마다 가지고,

상기 제2 기판은 상기 센서 화소마다 상기 화소 회로를 갖는 것을 특징으로 하는 활상 장치.

청구항 18

제2항에 있어서,

상기 제1 기판은 상기 광전 변환 소자, 상기 전송 트랜지스터 및 상기 플로팅 디퓨전을 상기 센서 화소마다 가지고,

상기 제2 기판은 복수의 상기 센서 화소마다 상기 화소 회로를 갖는 것을 특징으로 하는 활상 장치.

청구항 19

제2항에 있어서,

상기 제1 기판은 상기 광전 변환 소자 및 상기 전송 트랜지스터를 상기 센서 화소마다 가지고, 또한 상기 플로팅 디퓨전을 복수의 상기 센서 화소마다 공유하고,

상기 제2 기판은 상기 플로팅 디퓨전을 공유하는 복수의 상기 센서 화소마다 상기 화소 회로를 갖는 것을 특징으로 하는 활상 장치.

청구항 20

제1항에 있어서,

상기 제3 기판은 상기 처리 회로가 표면층에 마련된 제3 반도체 기판을 포함하는 것을 특징으로 하는 활상 장치.

발명의 설명

기술 분야

[0001] 본 개시는 활상 장치에 관한 것이다.

배경 기술

[0002] 2차원 구조의 활상 장치의 1화소당의 면적의 미세화는 미세 프로세스의 도입 및 실장 밀도의 향상에 의해 실현되어 왔다. 근래, 활상 장치의 더한층의 소형화 및 화소의 고밀도화를 실현하기 위해, 3차원 구조의 활상 장치가 개발되어 있다. 3차원 구조의 활상 장치는, 예를 들면, 복수의 센서 화소를 갖는 반도체 기판과, 각 센서 화소에서 얻어진 신호를 처리하는 신호 처리 회로를 갖는 반도체 기판을 서로 적층함으로써 구성된다(특허문헌 1

참조).

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 특개2010-245506호 공보

발명의 내용

[0004] 3차원 구조의 촬상 장치에서는, 반도체 기관 사이의 전기적인 접속의 고속화 및 칩의 소형화 등을 위해, 각 센서 화소에서 광전 변환된 전하를 관독하는 화소 회로를 갖는 반도체 기관이 박육화된다. 단, 박육화된 반도체 기관은, 박육화되기 전과 비교하여 극히 두께가 얇기 때문에, 박육화된 반도체 기관상에 트랜지스터 등을 적절하게 형성하는 기술이 요구되어 있다.

[0005] 즉, 적층된 반도체 기관을 박육화한 3차원 구조의 촬상 장치에서, 화소 회로의 전기적인 특성을 향상시키는 것이 바람직하다.

[0006] 본 개시의 한 실시 형태에 관한 촬상 장치는 광전 변환을 행하는 센서 화소를 갖는 제1 기관과, 상기 센서 화소로부터 출력된 전하에 의거하여 화소 신호를 출력하는 화소 회로를 갖는 제2 기관과, 상기 화소 신호를 신호 처리하는 처리 회로를 갖는 제3 기관을 구비하고, 상기 제1 기관, 상기 제2 기관 및 상기 제3 기관은 이 순서로 적층되고, 상기 화소 회로의 전계 효과 트랜지스터가 마련되는 반도체층의 적어도 1개 이상에서는, 상기 제1 기관층의 영역의 도전형 불순물의 농도는 상기 제3 기관층의 영역의 도전형 불순물의 농도보다도 높은 것이다.

[0007] 본 개시의 한 실시 형태에 관한 촬상 장치는 광전 변환을 행하는 센서 화소를 갖는 제1 기관과, 상기 센서 화소로부터 출력된 전하에 의거하여 화소 신호를 출력하는 화소 회로를 갖는 제2 기관과, 상기 화소 신호를 신호 처리하는 처리 회로를 갖는 제3 기관을 구비하고, 상기 제1 기관, 상기 제2 기관 및 상기 제3 기관은 이 순서로 적층되어 있고, 상기 화소 회로의 전계 효과 트랜지스터가 마련되는 반도체층의 적어도 1개 이상은, 상기 제1 기관층의 영역의 도전형 불순물의 농도는 상기 제3 기관층의 영역의 도전형 불순물의 농도보다도 높게 마련된다. 이에 의해, 예를 들면, 본 개시의 한 실시 형태에 관한 촬상 장치는 제2 기관에 포함되는 제2 반도체 기관의 웰 영역을 적절하게 형성할 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 개시의 한 실시 형태에 관한 촬상 장치(1)의 개략 구성의 한 예를 도시하는 모식도.

도 2는 센서 화소(12) 및 화소 회로(22)의 한 예를 도시하는 회로도.

도 3은 센서 화소(12) 및 화소 회로(22)의 다른 예를 도시하는 회로도.

도 4는 센서 화소(12) 및 화소 회로(22)의 다른 예를 도시하는 회로도.

도 5는 센서 화소(12) 및 화소 회로(22)의 다른 예를 도시하는 회로도.

도 6은 복수의 화소 회로(22)와, 복수의 수직 신호선(24)의 접속의 한 예를 도시하는 회로도.

도 7은 촬상 장치(1)의 적층 방향의 단면 구성의 한 예를 도시하는 종단면도.

도 8은 촬상 장치(1)의 수평 방향의 단면 구성의 한 예를 도시하는 모식도.

도 9는 촬상 장치(1)의 수평 방향의 단면 구성의 한 예를 도시하는 모식도.

도 10은 촬상 장치(1)의 수평면 내에서의 배선 레이아웃의 한 예를 도시한 모식도.

도 11은 촬상 장치(1)의 수평면 내에서의 배선 레이아웃의 한 예를 도시한 모식도.

도 12는 촬상 장치(1)의 수평면 내에서의 배선 레이아웃의 한 예를 도시한 모식도.

도 13은 촬상 장치(1)의 수평면 내에서의 배선 레이아웃의 한 예를 도시한 모식도.

도 14a는 제1 실시 형태에 관한 제2 반도체 기관(21)에 마련되는 전계 효과 트랜지스터(1100)의 한 예를 도시하

는 사시도.

도 14b는 도 14a에 도시하는 전계 효과 트랜지스터를 확산층(1120)의 연신 방향을 따라 절단한 단면 구성을 도시하는 모식도.

도 15는 제1 영역(1111)을 포함하는 반도체층(1110)의 형성 방법의 개략을 도시하는 모식도.

도 16은 제1 실시 형태에 관한 전계 효과 트랜지스터(1100)의 구조의 바리에이션을 모식적으로 도시하는 사시도.

도 17은 제1 실시 형태에 관한 전계 효과 트랜지스터(1100)와, 통상의 전계 효과 트랜지스터(1900)를 혼재하는 바리에이션을 도시하는 모식도.

도 18은 제1 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도.

도 19는 제1 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도.

도 20은 제1 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도.

도 21은 제1 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도.

도 22는 제1 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도.

도 23은 제1 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도.

도 24는 제1 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도.

도 25는 제1 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도.

도 26은 제1 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도.

도 27은 제1 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도.

도 28은 제1 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도.

도 29는 제1 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도.

도 30은 제1 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도.

도 31은 제1 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도.

도 32는 제1 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도.

도 33은 제1 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도.

도 34는 제1 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도.

도 35는 제1 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도.

도 36은 제2 실시 형태에 관한 제2 반도체 기판(1210)을 제1 기판(1201)에 첩합시킬 때의 양태를 도시하는 모식도.

도 37은 제2 실시 형태에 관한 제2 반도체 기판(1210)을 제1 기판(1201)에 첩합시킬 때의 다른 양태를 도시하는 모식도.

도 38은 제2 실시 형태에 관한 제2 반도체 기판(1210)을 제1 기판(1201)에 첩합시킬 때의 다른 양태를 도시하는 모식도.

도 39는 제2 실시 형태에 관한 제2 반도체 기판(1210)을 제1 기판(1201)에 첩합시킬 때의 다른 양태를 도시하는 모식도.

도 40은 제2 실시 형태에 관한 제2 반도체 기판(1210)을 제1 기판(1201)에 첩합시킬 때의 또 다른 양태를 도시하는 모식도.

도 41은 제2 실시 형태에 관한 제2 반도체 기판(1210)을 제1 기판(1201)에 첩합시킬 때의 또 다른 양태를 도시하는 모식도.

도 42는 제2 실시 형태에 관한 제2 반도체 기판(1210)을 제1 기판(1201)에 첩합시킬 때의 또 다른 양태를 도시하는 모식도.

도 43은 제2 실시 형태에 관한 제2 반도체 기판(1210)을 제1 기판(1201)에 첩합시킬 때의 또 다른 양태를 도시하는 모식도.

도 44는 제2 실시 형태에 관한 제2 반도체 기판(1210)에 마련되는 전계 효과 트랜지스터의 웰 영역에 대한 콘택트 플러그의 구조의 바리에이션을 모식적으로 도시하는 종단면도.

도 45는 제2 실시 형태에 관한 제2 반도체 기판(1210)에 마련되는 전계 효과 트랜지스터의 웰 영역에 대한 콘택트 플러그의 구조의 바리에이션을 모식적으로 도시하는 종단면도.

도 46은 제2 실시 형태에 관한 제2 반도체 기판(1210)에 마련되는 전계 효과 트랜지스터의 웰 영역에 대한 콘택트 플러그의 구조의 바리에이션을 모식적으로 도시하는 종단면도.

도 47은 제2 실시 형태에 관한 제2 반도체 기판(1210)에 마련되는 전계 효과 트랜지스터의 웰 영역에 대한 콘택트 플러그의 구조의 바리에이션을 모식적으로 도시하는 종단면도.

도 48은 제3 실시 형태에 관한 제2 반도체 기판(1310)에서의 제1 영역(1311)의 형성 및 전계 효과 트랜지스터의 형성의 양태를 도시하는 모식도.

도 49는 제3 실시 형태에 관한 제2 반도체 기판(1310)에서의 제1 영역(1311)의 형성 및 전계 효과 트랜지스터의 형성의 양태를 도시하는 모식도.

도 50은 제3 실시 형태에 관한 제2 반도체 기판(1310)에 마련되는 전계 효과 트랜지스터의 구조의 바리에이션을 모식적으로 도시하는 단면도.

도 51은 제3 실시 형태에 관한 제2 반도체 기판(1310)에 마련되는 전계 효과 트랜지스터의 구조의 바리에이션을 모식적으로 도시하는 단면도.

도 52는 도 7에 기재된 단면 구성의 한 변형례를 도시하는 종단면도.

도 53은 도 7에 기재된 단면 구성의 한 변형례를 도시하는 종단면도.

도 54는 제3 변형례에 관한 활상 장치의 구성례를 도시하는 두께 방향의 단면도.

도 55는 제3 변형례에 관한 활상 장치의 구성례를 도시하는 두께 방향의 단면도.

도 56은 제3 변형례에 관한 활상 장치의 구성례를 도시하는 두께 방향의 단면도.

도 57은 제3 변형례에 관한 복수의 화소 유닛의 레이아웃례를 도시하는 수평 방향의 단면도.

도 58은 제3 변형례에 관한 복수의 화소 유닛의 레이아웃례를 도시하는 수평 방향의 단면도.

- 도 59는 제3 변형례에 관한 복수의 화소 유닛의 레이아웃례를 도시하는 수평 방향의 단면도.
- 도 60은 도 7에서의 절단면(Sec1) 및 절단면(Sec2)의 단면 구성의 한 변형례를 도시하는 모식도.
- 도 61은 도 7에서의 절단면(Sec1) 및 절단면(Sec2)의 단면 구성의 한 변형례를 도시하는 모식도.
- 도 62는 도 7에서의 절단면(Sec1) 및 절단면(Sec2)의 단면 구성의 한 변형례를 도시하는 모식도.
- 도 63은 도 7에서의 절단면(Sec1) 및 절단면(Sec2)의 단면 구성의 한 변형례를 도시하는 모식도.
- 도 64는 도 7에서의 절단면(Sec1) 및 절단면(Sec2)의 단면 구성의 한 변형례를 도시하는 모식도.
- 도 65는 제7 변형례에 관한 촬상 장치(1)의 절단면(Sec2)의 단면 구성의 다른 예를 도시하는 모식도.
- 도 66은 제7 변형례에 관한 촬상 장치(1)의 절단면(Sec2)의 단면 구성의 다른 예를 도시하는 모식도.
- 도 67은 열 병렬 ADC 탑재의 CMOS 이미지 센서의 회로 구성을 도시하는 모식도.
- 도 68은 도 67에 도시하는 촬상 장치(1)를 3개의 기관을 적층하여 구성한 한 예를 도시하는 모식도.
- 도 69는 제10 변형례에 관한 촬상 장치(1)의 단면 구성의 한 예를 도시하는 모식도.
- 도 70은 3개의 기관을 적층하여 구성되는 촬상 장치(1)에 CoSi_2 또는 NiSi 등의 실리사이드로 이루어지는 저저항 영역(26)을 적용한 예를 도시하는 모식도.
- 도 71은 본 개시의 한 실시의 형태에 관한 촬상 장치의 기능 구성의 한 예를 도시하는 블록도.
- 도 72는 도 71에 도시한 촬상 장치의 개략 구성을 도시하는 평면 모식도.
- 도 73은 도 72에 도시한 III-III'선을 따른 단면 구성을 도시하는 모식도.
- 도 74는 도 71에 도시한 화소 공유 유닛의 등가 회로도.
- 도 75는 복수의 화소 공유 유닛과 복수의 수직 신호선의 접속 양태의 한 예를 도시하는 도면.
- 도 76은 도 73에 도시한 촬상 장치의 구체적인 구성의 한 예를 도시하는 단면 모식도.
- 도 77a는 도 76에 도시한 제1 기관의 요부의 평면 구성의 한 예를 도시하는 모식도.
- 도 77b는 도 77a에 도시한 제1 기관의 요부와 함께 패드부의 평면 구성을 도시하는 모식도.
- 도 78은 도 76에 도시한 제2 기관(반도체층)의 평면 구성의 한 예를 도시하는 모식도.
- 도 79는 도 76에 도시한 제1 배선층과 함께, 화소 회로 및 제1 기관의 요부의 평면 구성의 한 예를 도시하는 모식도.
- 도 80은 도 76에 도시한 제1 배선층 및 제2 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 81은 도 76에 도시한 제2 배선층 및 제3 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 82는 도 76에 도시한 제3 배선층 및 제4 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 83은 도 73에 도시한 촬상 장치에의 입력 신호의 경로에 관해 설명하기 위한 모식도.
- 도 84는 도 73에 도시한 촬상 장치의 화소 신호의 신호 경로에 관해 설명하기 위한 모식도.
- 도 85는 도 78에 도시한 제2 기관(반도체층)의 평면 구성의 한 변형례를 도시하는 모식도.
- 도 86은 도 85에 도시한 화소 회로와 함께, 제1 배선층 및 제1 기관의 요부의 평면 구성을 도시하는 모식도.
- 도 87은 도 86에 도시한 제1 배선층과 함께, 제2 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 88은 도 87에 도시한 제2 배선층과 함께, 제3 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 89는 도 88에 도시한 제3 배선층과 함께, 제4 배선층의 평면 구성의 한 예를 도시하는 모식도.
- 도 90은 도 77a에 도시한 제1 기관의 평면 구성의 한 변형례를 도시하는 모식도.
- 도 91은 도 90에 도시한 제1 기관에 적층된 제2 기관(반도체층)의 평면 구성의 한 예를 도시하는 모식도.

도 92는 도 91에 도시한 화소 회로와 함께, 제1 배선층의 평면 구성의 한 예를 도시하는 모식도.
 도 93은 도 92에 도시한 제1 배선층과 함께, 제2 배선층의 평면 구성의 한 예를 도시하는 모식도.
 도 94는 도 93에 도시한 제2 배선층과 함께, 제3 배선층의 평면 구성의 한 예를 도시하는 모식도.
 도 95는 도 94에 도시한 제3 배선층과 함께, 제4 배선층의 평면 구성의 한 예를 도시하는 모식도.
 도 96은 도 90에 도시한 제1 기관의 평면 구성의 다른 예를 도시하는 모식도.
 도 97은 도 96에 도시한 제1 기관에 적층되는 제2 기관(반도체층)의 평면 구성의 한 예를 도시하는 모식도.
 도 98은 도 97에 도시한 화소 회로와 함께, 제1 배선층의 평면 구성의 한 예를 도시하는 모식도.
 도 99는 도 98에 도시한 제1 배선층과 함께, 제2 배선층의 평면 구성의 한 예를 도시하는 모식도.
 도 100은 도 99에 도시한 제2 배선층과 함께, 제3 배선층의 평면 구성의 한 예를 도시하는 모식도.
 도 101은 도 100에 도시한 제3 배선층과 함께, 제4 배선층의 평면 구성의 한 예를 도시하는 모식도.
 도 102는 도 73에 도시한 촬상 장치의 다른 예를 도시하는 단면 모식도.
 도 103은 도 102에 도시한 촬상 장치에의 입력 신호의 경로에 관해 설명하기 위한 모식도.
 도 104는 도 102에 도시한 촬상 장치의 화소 신호의 신호 경로에 관해 설명하기 위한 모식도.
 도 105는 도 76에 도시한 촬상 장치의 다른 예를 도시하는 단면 모식도.
 도 106은 도 74에 도시한 등가 회로의 다른 예를 도시하는 도면.
 도 107은 도 77a 등에 도시한 화소 분리부의 다른 예를 도시하는 평면 모식도.
 도 108은 상기 실시의 형태 및 그 변형례에 관한 촬상 장치를 구비한 촬상 시스템의 개략 구성의 한 예를 도시하는 도면.
 도 109는 도 108에 도시한 촬상 시스템의 촬상 순서의 한 예를 도시하는 도면.
 도 110은 차량 제어 시스템의 개략적인 구성의 한 예를 도시하는 블록도.
 도 111은 차외 정보 검출부 및 촬상부의 설치 위치의 한 예를 도시하는 설명도.
 도 112는 내시경 수술 시스템의 개략적인 구성의 한 예를 도시하는 도면.
 도 113은 카메라 헤드 및 CCU의 기능 구성의 한 예를 도시하는 블록도.

발명을 실시하기 위한 구체적인 내용

- [0009] 이하, 본 개시에서의 실시 형태에 관해, 도면을 참조하여 상세히 설명한다. 이하에서 설명하는 실시 형태는 본 개시의 한 예로서, 본 개시에 관한 기술이 이하의 양태로 한정되는 것이 아니다. 또한, 본 개시의 각 도면에 도시하는 각 구성 요소의 배치, 치수 및 치수비 등에 관해서도, 각 도면에 도시하는 것으로 한정되는 것이 아니다.
- [0010] 또한, 설명은 이하의 순서로 행한다.
- [0011] 1. 촬상 장치의 구성
- [0012] 2. 제1 실시 형태
- [0013] 3. 제2 실시 형태
- [0014] 4. 제3 실시 형태
- [0015] 5. 변형례
- [0016] 6. 구체례
- [0017] 6. 1. 실시의 형태(3개의 기관의 적층 구조를 갖는 촬상 장치)

- [0018] 6. 2. 변형례 1(평면 구성의 예 1)
- [0019] 6. 3. 변형례 2(평면 구성의 예 2)
- [0020] 6. 4. 변형례 3(평면 구성의 예 3)
- [0021] 6. 5. 변형례 4(화소 어레이부의 중앙부에 기관 사이의 콘택트부를 갖는 예)
- [0022] 6. 6. 변형례 5(플레이너형의 전송 트랜지스터를 갖는 예)
- [0023] 6. 7. 변형례 6(1개의 화소 회로에 1개의 화소가 접속되는 예)
- [0024] 6. 8. 변형례 7(화소 분리부의 구성례)
- [0025] 6. 9. 적용례(촬상 시스템)
- [0026] 6. 10. 응용례
- [0027] <<1. 촬상 장치의 구성>>
- [0028] 우선, 도 1~도 13을 참조하여, 본 개시에 관한 기술이 적용되는 촬상 장치에 관해 설명한다.
- [0029] 도 1은 본 개시의 한 실시 형태에 관한 촬상 장치(1)의 개략 구성의 한 예를 도시하는 도식도이다. 도 1에 도시하는 바와 같이, 촬상 장치(1)는 제1 기관(10), 제2 기관(20) 및 제3 기관(30)을 구비하고, 이들 3개의 기관을 접합(貼合)시킴으로써 구성된 3차원 구조의 촬상 장치이다. 또한, 제1 기관(10), 제2 기관(20) 및 제3 기관(30)은 이 순서로 적층된다.
- [0030] 제1 기관(10)은 광전 변환을 행하는 복수의 센서 화소(12)를 갖는 제1 반도체 기관(11)을 포함한다. 복수의 센서 화소(12)는 제1 기관(10)의 화소 영역(13)의 내부에 행렬형상으로 배치되어 마련된다.
- [0031] 제2 기관(20)은 센서 화소(12)로부터의 전하에 의거하여 화소 신호를 출력하는 화소 회로(22)를 갖는 제2 반도체 기관(21)을 포함한다. 화소 회로(22)는, 예를 들면, 4개의 센서 화소(12)마다 1개씩 마련된다. 또한, 제2 기관(20)은 행방향으로 연신하는 복수의 화소 구동선(23)과, 열방향으로 연신하는 복수의 수직 신호선(24)을 구비한다.
- [0032] 제3 기관(30)은 화소 신호를 신호 처리하는 처리 회로(32)를 갖는 제3 반도체 기관(31)을 포함한다. 또한, 처리 회로(32)는, 예를 들면, 수직 구동 회로(33), 칼럼 신호 처리 회로(34), 수평 구동 회로(35) 및 시스템 제어 회로(36)를 가진다. 처리 회로(32)는 센서 화소(12)마다의 출력 전압(Vout)을 수평 구동 회로(35)로부터 외부에 출력할 수 있다.
- [0033] 수직 구동 회로(33)는, 예를 들면, 복수의 센서 화소(12)를 행 단위로 순차적으로 선택한다. 칼럼 신호 처리 회로(34)는, 예를 들면, 수직 구동 회로(33)에 의해 선택된 행의 각 센서 화소(12)로부터 출력되는 화소 신호에 대해, 상관 이중 샘플링 처리를 시행한다. 예를 들면, 칼럼 신호 처리 회로(34)는 상관 이중 샘플링 처리를 시행함에 의해 화소 신호의 신호 레벨을 추출하고, 각 센서 화소(12)의 수광량에 응한 화소 데이터를 유지할 수 있다. 수평 구동 회로(35)는, 예를 들면, 칼럼 신호 처리 회로(34)에 유지되어 있는 화소 데이터를 순차적으로, 외부에 출력한다. 시스템 제어 회로(36)는, 예를 들면, 처리 회로(32) 내의 각 구성의 구동을 제어한다. 이에 의하면, 처리 회로(32)는 센서 화소(12)의 각각의 수광량에 의거한 화소 데이터를 외부에 출력할 수 있다.
- [0034] 도 2는 센서 화소(12) 및 화소 회로(22)의 한 예를 도시하는 회로도이다. 도 2에 도시하는 회로도에서는, 4개의 센서 화소(12)가 1개의 화소 회로(22)를 공유하고 있다. 여기에서의 「공유」란, 4개의 센서 화소(12)로부터의 출력이 공통의 1개의 화소 회로(22)에 입력되는 것을 나타낸다.
- [0035] 센서 화소(12)의 각각은 서로 공통의 구성 요소를 가진다. 이하에서는, 센서 화소(12)의 각각의 구성 요소를 서로 구별하는 경우에는, 구성 요소의 부호의 말미에 식별 번호(1, 2, 3, 4)를 부여한다. 한편, 센서 화소(12)의 각각을 서로 구별하지 않는 경우에는, 구성 요소의 부호의 말미에 식별 번호의 부여는 생략한다.
- [0036] 센서 화소(12)는, 예를 들면, 포토 다이오드(PD)와, 포토 다이오드(PD)에 전기적으로 접속된 전송 트랜지스터(TR)와, 전송 트랜지스터(TR)를 통하여 포토 다이오드(PD)로부터 출력된 전하를 일시적으로 유지하는 플로팅 디퓨전(FD)을 가진다. 포토 다이오드(PD)는 광전 변환을 행함으로써, 수광량에 응한 전하를 발생시키는 광전 변환 소자이다. 전송 트랜지스터(TR)는, 예를 들면, MOS(Metal-Oxide-Semiconductor) 트랜지스터이다.
- [0037] 포토 다이오드(PD)의 캐소드는 전송 트랜지스터(TR)의 소스에 전기적으로 접속되고, 포토 다이오드(PD)의 애노

드는 기준 전위선(예를 들면, 그라운드)에 전기적으로 접속된다. 전송 트랜지스터(TR)의 드레인은 플로팅 디퓨전(FD)에 전기적으로 접속되고, 전송 트랜지스터(TR)의 게이트는 화소 구동선(23)에 전기적으로 접속된다.

[0038] 화소 회로(22)를 공유하는 센서 화소(12)의 각각의 플로팅 디퓨전(FD)은 서로 전기적으로 접속되고, 또한 공통의 화소 회로(22)의 입력단에 전기적으로 접속된다. 화소 회로(22)는, 예를 들면, 리셋 트랜지스터(RST)와, 선택 트랜지스터(SEL)와, 증폭 트랜지스터(AMP)를 가진다. 또한, 화소 회로(22)는 선택 트랜지스터(SEL)를 임의로 가진다.

[0039] 리셋 트랜지스터(RST)의 소스(즉, 화소 회로(22)의 입력단)는 플로팅 디퓨전(FD)에 전기적으로 접속되고, 리셋 트랜지스터(RST)의 드레인은 전원선(VDD) 및 증폭 트랜지스터(AMP)의 드레인에 전기적으로 접속되고, 리셋 트랜지스터(RST)의 게이트는 화소 구동선(23)에 전기적으로 접속된다. 증폭 트랜지스터(AMP)의 소스는 선택 트랜지스터(SEL)의 드레인에 전기적으로 접속되고, 증폭 트랜지스터(AMP)의 게이트는 리셋 트랜지스터(RST)의 소스에 전기적으로 접속된다. 선택 트랜지스터(SEL)의 소스(즉, 화소 회로(22)의 출력단)는 수직 신호선(24)에 전기적으로 접속되고, 선택 트랜지스터(SEL)의 게이트는 화소 구동선(23)에 전기적으로 접속된다.

[0040] 온 상태가 된 전송 트랜지스터(TR)는 포토 다이오드(PD)에서 광전 변환된 전하를 플로팅 디퓨전(FD)에 전송한다. 리셋 트랜지스터(RST)는 플로팅 디퓨전(FD)의 전위를 소정의 전위로 리셋한다. 온 상태가 된 리셋 트랜지스터(RST)는 플로팅 디퓨전(FD)의 전위를 전원선(VDD)의 전위로 리셋한다. 선택 트랜지스터(SEL)는 화소 회로(22)로부터의 화소 신호의 출력 타이밍을 제어한다.

[0041] 증폭 트랜지스터(AMP)는 플로팅 디퓨전(FD)에 유지된 전하의 레벨에 응한 전압의 신호를 화소 신호로서 생성한다. 증폭 트랜지스터(AMP)는 이른바 소스 팔로워형의 증폭기를 구성하고 있고, 포토 다이오드(PD)에서 발생한 전하의 레벨에 응한 전압의 화소 신호를 출력한다. 선택 트랜지스터(SEL)가 온 상태가 된 경우, 증폭 트랜지스터(AMP)는 플로팅 디퓨전(FD)의 전위를 증폭하고, 수직 신호선(24)을 통하여, 증폭한 전위에 응한 전압을 칼럼 신호 처리 회로(34)에 출력한다. 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)는, 예를 들면, MOS 트랜지스터이다.

[0042] 도 3~도 5는 센서 화소(12) 및 화소 회로(22)의 다른 예를 도시하는 회로도이다.

[0043] 도 3에 도시하는 바와 같이, 선택 트랜지스터(SEL)는 전원선(VDD) 및 증폭 트랜지스터(AMP) 사이에 마련되어도 좋다. 이 경우, 리셋 트랜지스터(RST)의 드레인은 전원선(VDD) 및 선택 트랜지스터(SEL)의 드레인에 전기적으로 접속된다. 선택 트랜지스터(SEL)의 소스는 증폭 트랜지스터(AMP)의 드레인에 전기적으로 접속되고, 선택 트랜지스터(SEL)의 게이트는 화소 구동선(23)에 전기적으로 접속된다. 증폭 트랜지스터(AMP)의 소스(즉, 화소 회로(22)의 출력단)는 수직 신호선(24)에 전기적으로 접속되고, 증폭 트랜지스터(AMP)의 게이트는 리셋 트랜지스터(RST)의 소스에 전기적으로 접속된다.

[0044] 또한, 도 4 또는 도 5에 도시하는 바와 같이, 리셋 트랜지스터(RST)의 소스와 증폭 트랜지스터(AMP)의 게이트 사이에, FD 변환 게인 전환 트랜지스터(FDG)가 또한 마련되어도 좋다.

[0045] 전하(Q)는 용량(C)과, 전압(V)의 곱으로 표시되기 때문에, 플로팅 디퓨전(FD)의 용량(C)이 큰 경우, 증폭 트랜지스터(AMP)에서의 변환 후의 전압(V)이 낮아지고 만다. 한편, 화소 신호의 전하(Q)가 큰 경우, 플로팅 디퓨전(FD)의 용량(C)이 충분히 크지 않으면, 플로팅 디퓨전(FD)에서 포토 다이오드(PD)로부터의 전하(Q)를 완전히 유지할 수 없게 된다. 또한, 플로팅 디퓨전(FD)의 용량(C)은, 증폭 트랜지스터(AMP)에서 변환된 전압(V)이 과도하게 높아지지 않도록, 적당하게 큰 것도 중요하다. 그래서, FD 변환 게인 전환 트랜지스터(FDG)는 화소 회로(22)에서의 전하-전압 변환 효율을 전환하기 위해 마련된다.

[0046] FD 변환 게인 전환 트랜지스터(FDG)는 온 상태가 됨으로써, 오프 상태와 비교하여, FD 변환 게인 전환 트랜지스터(FDG)의 게이트 용량의 분만큼 플로팅 디퓨전(FD)의 용량(C)을 크게 할 수 있다. 따라서, FD 변환 게인 전환 트랜지스터(FDG)의 온 또는 오프의 상태를 전환하여 플로팅 디퓨전(FD)의 용량(C)을 가변으로 함으로써, 화소 회로(22)에서의 전하-전압 변환 효율을 전환할 수 있다.

[0047] 도 6은 복수의 화소 회로(22)와, 복수의 수직 신호선(24)의 접속의 한 예를 도시하는 회로도이다.

[0048] 도 6에 도시하는 바와 같이, 복수의 화소 회로(22)가 수직 신호선(24)의 연신 방향(예를 들면, 열방향)으로 나란히 배치되어 있는 경우, 복수의 수직 신호선(24)은 화소 회로(22)마다 1개씩 할당되어도 좋다. 또한, 도 6에서는, 수직 신호선(24)의 각각을 구별하기 위해, 수직 신호선(24)의 각각의 부호의 말미에 식별 번호(1, 2, 3, 4)를 붙였다.

- [0049] 도 7은 촬상 장치(1)의 적층 방향의 단면 구성의 한 예를 도시하는 종단면도이다.
- [0050] 도 7에 도시하는 바와 같이, 촬상 장치(1)는 제1 기판(10), 제2 기판(20) 및 제3 기판(30)을 이 순서로 적층하여 구성된다. 제1 기판(10)의 광입사면측(이면측이라고도 한다)에는, 예를 들면, 센서 화소(12)마다 컬러 필터(40) 및 수광 렌즈(50)가 각각 마련된다. 즉, 촬상 장치(1)는 이른바 이면 조사형의 촬상 장치이다.
- [0051] 제1 기판(10)은 제1 반도체 기판(11)상에 제1 절연층(46)을 적층하여 구성된다. 제1 반도체 기판(11)은 실리콘 기판이고, 예를 들면, 표면의 일부 및 그 근방에, p웰층(42)을 가지고, 그 이외의 영역(즉, p웰층(42)보다도 깊은 영역)에 포토 다이오드(PD)를 가진다. p웰층(42)은, p형의 반도체 영역으로 구성되고, 포토 다이오드(PD)는 p웰층(42)과는 다른 도전형(구체적으로는, n형)의 반도체 영역으로 구성된다. 제1 반도체 기판(11)은 p웰층(42)의 내부에 p웰층(42)과는 다른 도전형(구체적으로는, n형)의 반도체 영역인 플로팅 디퓨전(FD)을 가진다.
- [0052] 제1 기판(10)은 센서 화소(12)마다, 포토 다이오드(PD), 전송 트랜지스터(TR) 및 플로팅 디퓨전(FD)을 가진다. 제1 기판(10)은 제1 반도체 기판(11)의 광입사면측과 반대측(즉, 표면측, 또는 제2 기판(20)측)의 부분에 전송 트랜지스터(TR) 및 플로팅 디퓨전(FD)을 가진다.
- [0053] 제1 기판(10)은 센서 화소(12)의 각각을 분리하는 소자 분리부(43)를 가진다. 소자 분리부(43)는 제1 반도체 기판(11)의 주면의 법선 방향(제1 반도체 기판(11)의 표면에 대해 수직 방향)으로 연신하여 형성되고, 서로 인접하는 센서 화소(12)의 각각을 전기적으로 분리한다. 소자 분리부(43)는, 예를 들면, 제1 반도체 기판(11)을 관통하는 산화 실리콘에 의해 구성된다.
- [0054] 제1 기판(10)은, 예를 들면, 소자 분리부(43)의 포토 다이오드(PD)측의 측면에 접하는 p웰층(44)을 가진다. p웰층(44)은 포토 다이오드(PD)와는 다른 도전형(구체적으로는 p형)의 반도체 영역으로 구성된다. 제1 기판(10)은, 예를 들면, 제1 반도체 기판(11)의 이면에 접하는 고정 전하막(45)을 가진다. 고정 전하막(45)은, 제1 반도체 기판(11)의 수광면측의 계면 준위에 기인하는 암 전류의 발생을 억제하기 위해, 부의 고정 전하를 갖는 절연막으로 구성된다. 고정 전하막(45)의 재료로서는, 예를 들면, 산화 하프늄, 산화 지르콘, 산화 알루미늄, 산화 티탄 또는 산화 탄탈 등을 예시할 수 있다. 고정 전하막(45)은, 전계를 유기함에 의해, 제1 반도체 기판(11)의 수광면측의 계면에 계면으로부터의 전자의 발생을 억제하는 홀 축적층을 형성할 수 있다.
- [0055] 컬러 필터(40)는 제1 반도체 기판(11)의 이면측에 마련된다. 구체적으로는, 컬러 필터(40)는, 예를 들면, 고정 전하막(45)에 대해 센서 화소(12)와 대향하는 위치에 고정 전하막(45)에 접하여 마련된다. 수광 렌즈(50)는, 예를 들면, 컬러 필터(40) 및 고정 전하막(45)에 대해 센서 화소(12)와 대향하는 위치에 컬러 필터(40)에 접하여 마련된다.
- [0056] 제2 기판(20)은 제2 반도체 기판(21) 위에 제2 절연층(52)을 적층하여 구성된다. 제2 반도체 기판(21)은 실리콘 기판이고, 4개의 센서 화소(12)마다 1개의 화소 회로(22)를 가진다. 제2 기판(20)은 제2 반도체 기판(21)의 제3 기판(30)측(즉, 표면측)의 부분에 화소 회로(22)를 가진다. 제2 기판(20)은 제1 반도체 기판(11)의 표면측에 제2 반도체 기판(21)의 이면을 향하도록 하여, 제1 기판(10)에 접합된다. 즉, 제2 기판(20)은 제1 기판(10)과, 페이스 투 페이스로 접합된다.
- [0057] 제2 반도체 기판(21)에는, 분리 절연층(53)이 마련되어 있고, 분리 절연층(53)의 내부에는, 관통 배선(54)이 마련된다. 관통 배선(54)은, 분리 절연층(53)에서 측면이 덮임에 의해, 제2 반도체 기판(21)과 전기적으로 절연된다. 관통 배선(54)은 제2 반도체 기판(21)의 주면의 법선 방향으로 연신되어 있고, 제1 기판(10)의 각 소자 및 제2 기판(20)의 각 소자를 서로 전기적으로 접속한다. 구체적으로는, 관통 배선(54)은 플로팅 디퓨전(FD) 및 접속 배선(55)을 전기적으로 접속한다. 관통 배선(54)은, 예를 들면, 센서 화소(12)마다 1개씩 마련된다.
- [0058] 제2 기판(20)은, 예를 들면, 제2 절연층(52) 내에, 화소 회로(22) 또는 제2 반도체 기판(21)과 전기적으로 접속된 복수의 접속부(59)를 가진다. 배선층(56)은, 예를 들면, 층간 절연층(57), 층간 절연층(57)의 내부에 마련된 복수의 화소 구동선(23) 및 복수의 수직 신호선(24)을 가진다. 배선층(56)은, 예를 들면, 층간 절연층(57)의 내부에, 4개의 센서 화소(12)마다 1개씩 접속 배선(55)을 가진다. 접속 배선(55)은 화소 회로(22)를 공유하는 4개의 센서 화소(12)의 관통 배선(54)을 서로 전기적으로 접속한다.
- [0059] 배선층(56)은, 또한, 층간 절연층(57)의 내부에 복수의 패드 전극(58)을 가진다. 패드 전극(58)의 각각은, 예를 들면, 구리(Cu) 등의 금속으로 형성된다. 패드 전극(58)의 각각은 배선층(56)의 표면에 노출되어 있고, 제2 기판(20)과 제3 기판(30)의 접합 및 제2 기판(20)과 제3 기판(30)의 전기적인 접속에 이용된다. 복수의 패드 전극(58)은, 예를 들면, 화소 구동선(23) 및 수직 신호선(24)마다 1개씩 마련된다.

- [0060] 여기에서, 제2 기관(20)은 복수의 반도체 기관과, 복수의 절연층의 적층 구조로 마련되어도 좋다.
- [0061] 구체적으로는, 제2 기관(20)은 두께 방향으로 적층된 2개의 반도체 기관을 포함해도 좋다. 예를 들면, 제2 기관(20)은 제2 반도체 기관(21) 위에 적층된 제2 절연층(52) 위에, 또한 반도체 기관이 적층됨으로써 마련되어도 좋다. 제2 절연층(52) 위에 또한 마련된 반도체 기관에는, 예를 들면, 트랜지스터가 마련되고, 접속부(59)를 통하여 제2 반도체 기관(21)에 마련된 트랜지스터와 전기적으로 접속된다.
- [0062] 즉, 제2 기관(20)에 마련되는 화소 회로(22)는 제2 반도체 기관(21)과, 제2 절연층(52) 위에 또 적층된 반도체 기관으로 나누어져서 마련되어도 좋다. 구체적으로는, 화소 회로(22)에 포함되는 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)는 적어도 1개 이상의 트랜지스터가 제2 반도체 기관(21)에 마련되고, 나머지 트랜지스터가 제2 절연층(52) 위에 또 적층된 반도체 기관에 마련되어도 좋다. 한 예로서, 제2 반도체 기관(21)에 증폭 트랜지스터(AMP)가 마련되고, 제2 절연층(52) 위에 또 적층된 반도체 기관에 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)가 마련되어도 좋다.
- [0063] 또는, 제2 기관(20)은 두께 방향으로 적층된 3개의 반도체 기관을 포함해도 좋다. 예를 들면, 제2 기관(20)은 제2 반도체 기관(21) 위에 적층된 제2 절연층(52) 위에 또 상부 제1 반도체 기관이 적층되고, 상부 제1 반도체 기관 위에 절연층을 통하여 또 상부 제2 반도체 기관이 적층됨으로써 마련되어도 좋다. 적층된 상부 제1 반도체 기관 및 상부 제2 반도체 기관에는, 예를 들면, 트랜지스터가 마련되고, 접속부(59) 등을 통하여 제2 반도체 기관(21)에 마련된 트랜지스터와 전기적으로 접속된다.
- [0064] 즉, 제2 기관(20)에 마련되는 화소 회로(22)는 제2 반도체 기관(21)과, 적층된 상부 제1 반도체 기관 및 상부 제2 반도체 기관으로 나누어져서 마련되어도 좋다. 구체적으로는, 화소 회로(22)에 포함되는 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)는 적어도 1개 이상의 트랜지스터가 제2 반도체 기관(21), 상부 제1 반도체 기관 및 상부 제2 반도체 기관의 각각에 마련되어도 좋다. 한 예로서, 제2 반도체 기관(21)에 증폭 트랜지스터(AMP)가 마련되고, 제2 반도체 기관(21) 위에 또 마련된 상부 제1 반도체 기관에 리셋 트랜지스터(RST)가 마련되고, 상부 제1 반도체 기관 위에 또 마련된 상부 제2 반도체 기관에 선택 트랜지스터(SEL)가 마련되어도 좋다.
- [0065] 두께 방향으로 적층된 복수의 반도체 기관을 포함하는 제2 기관(20)에서는, 반도체 기관을 나누어서 적층함에 의해, 1개의 화소 회로(22)가 차지하는 반도체 기관의 면적을 보다 작게 할 수 있다. 이와 같은 제2 기관(20)을 이용함에 의해, 촬상 장치(1)는 촬상 장치(1)의 칩 면적을 보다 작게 하는 것이 가능하다.
- [0066] 또한, 이와 같은 제2 기관(20)을 이용함에 의해, 촬상 장치(1)는 화소 회로(22)에 포함되는 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL) 중 임의의 트랜지스터의 면적을 선택적으로 확대할 수 있다. 이에 의하면, 촬상 장치(1)는 증폭 트랜지스터(AMP)의 면적을 확대함으로써, 노이즈를 보다 저감하는 것이 가능하다.
- [0067] 제3 기관(30)은, 예를 들면, 제3 반도체 기관(31)상에 제3 절연막(61)을 적층하여 구성된다. 제3 반도체 기관(31)은 실리콘 기관이고, 처리 회로(32)를 가진다. 또한, 제3 기관(30)은, 제2 기관(20)에 대해, 표면층의 면끼리로 접합되어 있다. 그 때문에, 제3 기관(30)의 각 구성에 관한 설명에서는, 상하의 설명이 도면에서의 상하 방향과는 반대로 되어 있다. 제3 기관(30)은, 제2 반도체 기관(21)의 표면층에 제3 반도체 기관(31)의 표면을 향하도록 하여, 제2 기관(20)에 접합되어 있다. 즉, 제3 기관(30)은 제2 기관(20)과, 페이스 투 페이스로 접합되어 있다.
- [0068] 제3 기관(30)은, 예를 들면, 제3 절연막(61)상에 배선층(62)을 가진다. 배선층(62)은, 예를 들면, 층간 절연층(63)과, 층간 절연층(63)의 내부에 마련되고, 처리 회로(32)와 전기적으로 접속된 복수의 패드 전극(64)을 가진다. 패드 전극(64)의 각각은, 예를 들면, 구리(Cu) 등의 금속으로 형성된다. 패드 전극(64)은, 배선층(62)의 표면에 노출되어 있고, 제2 기관(20)과 제3 기관(30)의 접합 및 제2 기관(20)과 제3 기관(30)의 전기적인 접속에 이용된다. 제2 기관(20) 및 제3 기관(30)은, 패드 전극(58, 64)끼리의 접합에 의해, 서로 전기적으로 접속된다. 즉, 전송 트랜지스터(TR)의 게이트(전송 게이트(TG))는, 관통 배선(54) 및 패드 전극(58, 64)을 통하여, 처리 회로(32)에 전기적으로 접속된다.
- [0069] 도 8 및 도 9는 촬상 장치(1)의 수평 방향의 단면 구성의 한 예를 도시하는 모식도이다. 도 8 및 도 9의 상측의 도면은 도 7에서의 절단면(Sec1)의 단면 구성의 한 예를 도시하는 모식도이고, 도 8 및 도 9의 하측의 도면은 도 7에서의 절단면(Sec2)의 단면 구성의 한 예를 도시하는 모식도이다.

- [0070] 도 8에는, 제1 방향(V1)으로, 2×2 의 4개의 센서 화소(12)를 2조 나열한 구성이 예시되어 있고, 도 9에는, 제1 방향(V1) 및 제2 방향(V2)으로, 2×2 의 4개의 센서 화소(12)를 4조 나열한 구성이 예시되어 있다.
- [0071] 제1 방향(V1)은 매트릭스형상으로 배치된 복수의 센서 화소(12)의 2개의 배열 방향(예를 들어 행방향 및 열방향) 중 일방의 배열 방향(예를 들면, 행방향)과 평행하게 되어 있다. 또한, 제2 방향(V2)은 제1 방향과 직교하는 배열 방향(예를 들면, 열방향)과 평행하게 되어 있다.
- [0072] 관통 배선(54)은, 예를 들면, 센서 화소(12)마다 마련되고, 플로팅 디퓨전(FD) 및 후술하는 접속 배선(55)을 전기적으로 접속한다. 관통 배선(47, 48)은, 예를 들면, 센서 화소(12)마다 마련된다. 관통 배선(47)은 제1 반도체 기판(11)의 p웰층(42)과, 제2 기판(20) 내의 배선을 전기적으로 접속한다. 관통 배선(48)은 전송 게이트(TG) 및 화소 구동선(23)을 전기적으로 접속한다.
- [0073] 도 8에 도시하는 바와 같이, 복수의 관통 배선(54), 복수의 관통 배선(48) 및 복수의 관통 배선(47)은 제1 기판(10)의 면 내에서 제2 방향(V2)(도 8의 상하 방향)으로 띠형상으로 나란히 배치된다. 도 8에는, 복수의 관통 배선(54), 복수의 관통 배선(48) 및 복수의 관통 배선(47)이 제2 방향(V2)으로 2열로 나란히 배치되어 있는 경우가 예시되어 있다.
- [0074] 도 9에 도시하는 바와 같이, 복수의 관통 배선(54), 복수의 관통 배선(48) 및 복수의 관통 배선(47)은 제1 기판(10)의 면 내에서 제1 방향(V1)(도 9의 좌우 방향)으로 띠형상으로 나란히 배치된다. 도 9에는, 복수의 관통 배선(54), 복수의 관통 배선(48) 및 복수의 관통 배선(47)이 제1 방향(V1)으로 2열로 나란히 배치되어 있는 경우가 예시되어 있다.
- [0075] 화소 회로(22)를 공유하는 4개의 센서 화소(12)에서, 4개의 플로팅 디퓨전(FD)은, 예를 들면, 소자 분리부(43)를 통하여 서로 근접하여 배치된다. 화소 회로(22)를 공유하는 4개의 센서 화소(12)에서, 4개의 전송 게이트(TG)는 4개의 플로팅 디퓨전(FD)을 둘러싸도록 배치되어 있고, 예를 들면, 4개의 전송 게이트(TG)에 의해 원환(圓環) 형상을 구성하고 있다.
- [0076] 도 8에 도시하는 바와 같이, 분리 절연층(53)은 제2 방향(V2)으로 연신되는 복수의 블록으로 구성된다. 제2 반도체 기판(21)은 제2 방향(V2)으로 연신되고, 또한 제2 방향(V2)으로 나란히 배치된 복수의 섬형상의 블록(21A)으로 구성된다. 블록(21A)의 각각에는, 예를 들면, 복수조의 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)가 마련된다. 4개의 센서 화소(12)에 의해 공유되는 1개의 화소 회로(22)는, 예를 들면, 4개의 센서 화소(12)와 대응하는 영역 내에 존재하는 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)에 의해 구성된다. 예를 들면, 화소 회로(22)는, 분리 절연층(53)의 왼쪽 옆의 블록(21A) 내의 증폭 트랜지스터(AMP)와, 분리 절연층(53)의 오른쪽 옆의 블록(21A) 내의 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)에 의해 구성된다.
- [0077] 또한, 도 9에 도시하는 바와 같이, 분리 절연층(53)은 제1 방향(V1)으로 연신되는 복수의 블록으로 구성된다. 제2 반도체 기판(21)은 제1 방향(V1)으로 연신되고, 또한 제1 방향(V1)으로 나란히 배치된 복수의 섬형상의 블록(21A)으로 구성된다. 블록(21A)의 각각에는, 예를 들면, 복수조의 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)가 마련된다. 4개의 센서 화소(12)에 의해 공유되는 1개의 화소 회로(22)는, 예를 들면, 4개의 센서 화소(12)와 대응하는 영역 내에 존재하는 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)에 의해 구성된다. 예를 들면, 화소 회로(22)는 분리 절연층(53)의 왼쪽 옆의 블록(21A) 내의 증폭 트랜지스터(AMP)와, 분리 절연층(53)의 오른쪽 옆의 블록(21A) 내의 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)에 의해 구성된다.
- [0078] 도 10~도 13은 촬상 장치(1)의 수평면 내에서의 배선 레이아웃의 한 예를 도시한 모식도이다. 도 10~도 13에서는, 도 8과 마찬가지로, 4개의 센서 화소(12)에 의해 공유된 1개의 화소 회로(22)가 4개의 센서 화소(12)와 대응하는 영역 내에 마련되는 경우의 배선 레이아웃의 한 예를 도시한다. 도 10~도 13에서는, 예를 들면, 배선층(56)에서 서로 다른 층 내에 마련된 배선의 레이아웃을 각각 나타내고 있다.
- [0079] 도 10에 도시하는 바와 같이, 예를 들면, 서로 인접하는 4개의 관통 배선(54)은 접속 배선(55)과 전기적으로 접속된다. 관통 배선(54)은, 접속 배선(55) 및 접속부(59)를 통하여, 분리 절연층(53)의 왼쪽 옆 블록(21A)에 포함되는 증폭 트랜지스터(AMP)의 게이트와, 분리 절연층(53)의 오른쪽 옆 블록(21A)에 포함되는 리셋 트랜지스터(RST)의 게이트에 전기적으로 접속된다.
- [0080] 도 11에 도시하는 바와 같이, 예를 들면, 전원선(VDD)은 제1 방향(V1)으로 나란히 배치된 화소 회로(22)의 각각

과 대응하는 위치에 배치된다. 전원선(VDD)은, 접속부(59)를 통하여, 제1 방향(V1)으로 나란히 배치된 화소 회로(22)의 각각의 증폭 트랜지스터(AMP)의 드레인 및 리셋 트랜지스터(RST)의 드레인에 전기적으로 접속된다. 예를 들면, 2개의 화소 구동선(23)은 제1 방향(V1)으로 나란히 배치된 화소 회로(22)의 각각과 대응하는 위치에 배치된다. 화소 구동선(23)의 일방은, 예를 들면, 제1 방향(V1)으로 나란히 배치된 화소 회로(22)의 각각의 리셋 트랜지스터(RST)의 게이트에 전기적으로 접속된 배선(RSTG)으로서 기능한다. 화소 구동선(23)의 타방은, 예를 들면, 제1 방향(V1)으로 나란히 배치된 화소 회로(22)의 각각의 선택 트랜지스터(SEL)의 게이트에 전기적으로 접속된 배선(SELG)으로서 기능한다. 예를 들면, 증폭 트랜지스터(AMP)의 소스와, 선택 트랜지스터(SEL)의 드레인은 배선(25)을 통하여 서로 전기적으로 접속된다.

[0081] 도 12에 도시하는 바와 같이, 예를 들면, 2개의 전원선(VSS)은 제1 방향(V1)으로 나란히 배치된 화소 회로(22)의 각각과 대응하는 위치에 배치되어 있다. 전원선(VSS)의 각각은, 제2 방향(V2)으로 나란히 배치된 각 센서 화소(12)와 대응하는 위치에서, 복수의 관통 배선(47)에 전기적으로 접속된다. 예를 들면, 4개의 화소 구동선(23)은 제1 방향(V1)으로 나란히 배치된 각 화소 회로(22)와 대응하는 위치에 배치된다. 4개의 화소 구동선(23)의 각각은 제1 방향(V1)으로 나란히 배치된 화소 회로(22)의 각각에 대응하는 1개의 센서 화소(12)의 관통 배선(48)에 전기적으로 접속된 배선(TRG)으로서 기능한다. 4개의 화소 구동선(23)은 제1 방향(V1)으로 나란히 배치된 센서 화소(12)의 각각의 전송 트랜지스터(TR)의 게이트에 전기적으로 접속된다. 도 12에서는, 배선(TRG)의 각각을 구별하기 위해, 배선(TRG)의 말미에 식별 번호(1, 2, 3, 4)를 부여하였다.

[0082] 도 13에 도시하는 바와 같이, 예를 들면, 수직 신호선(24)은 제2 방향(V2)으로 나란히 배치된 화소 회로(22)의 각각과 대응하는 위치에 배치된다. 수직 신호선(24)은 제2 방향(V2)으로 나란히 배치된 화소 회로(22)의 각각의 증폭 트랜지스터(AMP)의 소스에 전기적으로 접속된다.

[0083] 본 개시에 관한 기술은 상기에서 설명한 적층형의 촬상 장치(1)에 적용된다. 이하에서는, 본 개시에 관한 기술에 관해, 제1~제3 실시 형태로 나누어서 설명을 행한다.

[0084] <<2. 제1 실시 형태>>

[0085] 우선, 도 14a~도 35를 참조하여, 본 개시의 제1 실시 형태에 관한 기술에 관해 설명한다. 본 실시 형태에 관한 기술은 제2 기관(20)의 제2 반도체 기관(21)에 마련되는 전계 효과 트랜지스터에 관한 것이다.

[0086] 3개의 기관을 적층함으로써 구성되는 촬상 장치(1)에서는, 제2 기관(20)에 포함되는 제2 반도체 기관(21)은 제1 기관(10)에 첩합된 후에 박육화된다. 또한, 제2 기관(20)은 제1 기관(10)과 페이스 투 백으로 첩합되기 때문에, 제2 반도체 기관(21)의 이면측(즉, 화소 회로(22)가 마련되는 표면측과 반대측)에는, 제1 절연층(46)이 마련되게 된다.

[0087] 이와 같은 경우, 제2 반도체 기관(21)의 전위가 플로팅 상태가 되는 것을 피하기 위해, 제2 반도체 기관(21)에 마련되는 전계 효과 트랜지스터에는, 게이트, 소스 및 드레인에 더하여, 제2 반도체 기관(21)에 소정의 전위를 공급하는 보디 단자가 마련된다.

[0088] 단, 박육화된 제2 반도체 기관(21)에서는, 드레인 영역으로부터 확산되는 공핍층이 제1 절연층(46)에 도달하고, 제2 반도체 기관(21)의 일부 영역을 전기적으로 격리해 버리는 일이 있을 수 있다. 그 때문에, 보디 단자의 배치에 따라서는, 보디 단자로부터 제2 반도체 기관(21)에의 전위 공급이 전기적으로 절단됨으로써, 제2 반도체 기관(21)이 전기적으로 플로팅 상태가 되어, 전계 효과 트랜지스터의 특성이 저하될 가능성이 있다.

[0089] 본 실시 형태에 관한 기술은, 이러한 사정을 감안하여 상도(想到)된 것이다. 본 실시 형태에 관한 기술은, 화소 회로(22)가 마련되는 제2 반도체 기관(21)의 이면측에, 제2 반도체 기관(21)의 다른 영역보다도 도전형 불순물의 농도가 높은 영역을 마련함으로써, 전계 효과 트랜지스터의 보디 영역인 제2 반도체 기관(21)에 의해 용이하게 전위를 공급하는 것이다.

[0090] 또한, 제2 기관(20)이 두께 방향으로 적층된 복수의 반도체 기관을 포함하는 경우, 적층된 복수의 반도체 기관(즉, 제2 반도체 기관(21) 및 제2 반도체 기관(21) 위에 마련된 적어도 1개 이상의 반도체 기관)의 각각의 이면측에는, 반도체 기관의 다른 영역보다도 도전형 불순물의 농도가 높은 영역이 마련되어도 좋다.

[0091] 도 14a는 제2 반도체 기관(21)에 마련되는 전계 효과 트랜지스터(1100)의 한 예를 도시하는 사시도이다.

[0092] 도 14a에 도시하는 바와 같이, 전계 효과 트랜지스터(1100)는 반도체층(1110)과, 반도체층(1110) 및 제1 절연층(1140)의 계면 근방에 마련된 제1 영역(1111)과, 반도체층(1110) 위에 볼록 설치하는 확산층(1120)과, 확산층(1120)에 마련되는 소스 영역(1120S) 및 드레인 영역(1120D)과, 도시되지 않는 게이트 절연막을 통하여 확산층

(1120) 위에 마련되는 게이트 전극(1131)과, 반도체층(1110)에 전기적으로 접속되는 보디 단자(1132)를 구비한다. 즉, 전계 효과 트랜지스터(1100)는, 예를 들면, 제1 절연층(1140) 위에 적층된 반도체층(1110)에 마련된 핀형의 전계 효과 트랜지스터이다.

[0093] 제1 절연층(1140)은 제1 절연층(46)에 상당한다. 제1 절연층(1140)은, 예를 들면, 산화 실리콘(SiO_2)으로 구성된다.

[0094] 반도체층(1110)은 박육화된 제2 반도체 기판(21)에 상당한다. 반도체층(1110)은 제1 도전형 불순물(예를 들면, 붕소(B), 또는 알루미늄(Al) 등의 p형 불순물)이 도입된 실리콘층이다..

[0095] 제1 영역(1111)은 반도체층(1110)과 제1 절연층(1140)의 계면을 포함하는 영역에 마련되고, 반도체층(1110)의 다른 영역보다도 제1 도전형 불순물(예를 들면, 붕소(B), 또는 알루미늄(Al) 등의 p형 불순물)의 농도가 높은 영역이다. 구체적으로는, 제1 영역(1111)은 반도체층(1110)과 제1 절연층(1140)의 계면을 포함하고, 또한 반도체층(1110)과 확산층(1120)의 계면을 포함하지 않는 영역에 마련된다. 제1 영역(1111)이 반도체층(1110)과 확산층(1120)의 계면 근방까지 확산되는 경우, 전계 효과 트랜지스터(1100)의 특성에 영향을 줄 가능성이 있다. 그 때문에, 제1 영역(1111)은 반도체층(1110)과 확산층(1120)의 계면으로부터 떨어져서 마련되는 것이 바람직하다.

[0096] 제1 영역(1111)은, 예를 들면, 제1 도전형 불순물인 붕소(B)를 10^{18} 개/ cm^3 이상으로 포함하는 영역으로서 마련된다. 또한, 반도체층(1110)의 제1 영역(1111) 이외의 다른 영역은 제1 도전형 불순물인 붕소(B)를 10^{16} 개/ cm^3 이하로 포함하는 영역으로서 마련된다.

[0097] 제1 영역(1111)은 전계 효과 트랜지스터(1100)의 채널 영역의 하방에 마련되는 보디 영역과, 보디 단자(1132)를 전기적으로 접속하기 위해, 적어도 드레인 영역(1120D)의 하방에 마련된다. 이에 의하면, 제1 영역(1111)은, 드레인 영역(1120D)으로부터 확산되는 공핍층(Dep)에 의해 반도체층(1110)의 일부 영역이 전기적으로 절연됨으로써, 보디 단자(1132)로부터 반도체층(1110)에의 전위 공급이 절단되어 버리는 것을 방지할 수 있다.

[0098] 보디 단자(1132)로부터 반도체층(1110)에의 전위 공급을 보다 확실하게 행하기 위해서는, 제1 영역(1111)은 전계 효과 트랜지스터(1100)가 마련되는 영역 전역에 걸쳐 마련되는 것이 바람직하다. 또한, 제1 영역(1111)의 형성을 보다 용이하게 행하기 위해서는, 제1 영역(1111)은 반도체층(1110)의 전면에 걸쳐 마련되는 것이 보다 바람직하다.

[0099] 보디 단자(1132)는 반도체층(1110)의 표면측에 마련되고, 제1 영역(1111)을 통하여 전계 효과 트랜지스터(1100)의 보디 영역에 소정의 전위를 공급한다. 보디 단자(1132)는, 예를 들면, 어스와 전기적으로 접속되고, 전계 효과 트랜지스터(1100)의 보디 영역에 그라운드 전위를 공급한다.

[0100] 보디 단자(1132)는 제1 영역(1111)과의 전기적인 접속이 가능하면, 반도체층(1110)의 표면측의 어떠한 장소에 마련되어도 좋다. 단, 공핍층(Dep)이 형성되는 드레인 영역(1120D)측의 반도체층(1110)은 소스 영역(1120S)측의 반도체층(1110)보다도 저항이 높아진다. 그 때문에, 보디 단자(1132)를 게이트 전극(1131)에 대해 소스 영역(1120S)측에 마련함으로써, 보디 단자(1132)로부터 보디 영역에의 저항치를 저감할 수 있다.

[0101] 확산층(1120)은 일방향으로 연신되어 반도체층(1110)의 일주면(一主面)으로부터 볼록 설치된다. 확산층(1120)은 반도체층(1110)과 마찬가지로 실리콘 등으로 구성된다. 확산층(1120)은, 예를 들면, 확산층(1120)에 대응하는 영역을 레지스트 등으로 보호한 후, 반도체층(1110)을 에칭하고, 확산층(1120)에 대응하는 영역 이외의 영역의 반도체층(1110)을 제거함으로써 형성할 수 있다.

[0102] 소스 영역(1120S) 및 드레인 영역(1120D)은 게이트 전극(1131)을 끼워서 양측의 확산층(1120)에 마련된다. 구체적으로는, 소스 영역(1120S) 및 드레인 영역(1120D)은 확산층(1120)의 게이트 전극(1131)에 덮여 있지 않은 영역에, 제2 도전형 불순물(예를 들면, 인(P), 또는 비소(As) 등의 n형 불순물)을 도입함으로써 형성된다. 이때, 게이트 전극(1131)을 끼워서 일방의 확산층(1120)이 소스 영역(1120S)이 되고, 타방의 확산층(1120)이 드레인 영역(1120D)이 된다. 그 때문에, 소스 영역(1120S) 및 드레인 영역(1120D)은 도 14a에서 도시한 예로부터 교체되어도 좋다.

[0103] 게이트 전극(1131)은 확산층(1120)의 연신 방향과 직교하는 방향으로 연신되고, 확산층(1120) 위에 과설(跨設)된다. 게이트 전극(1131)은 도시되지 않는 게이트 절연막을 통하여 확산층(1120) 위에 마련됨에 의해, 확산층(1120)의 상면 및 측면의 3면에서 게이트 구조를 형성한다. 게이트 전극(1131)은, 예를 들면, 폴리실리콘 등의 도전성 재료로 구성되고, 게이트 절연막은, 예를 들면, 산화 실리콘 등으로 구성된다.

- [0104] 여기에서, 전계 효과 트랜지스터(1100)의 게이트 구조를 구체적으로 설명하기 위해, 확산층(1120)의 연신 방향을 따라 전계 효과 트랜지스터(1100)를 절단한 단면 구성을 도 14b에 도시한다. 도 14b는 도 14a에 도시하는 전계 효과 트랜지스터를 확산층(1120)의 연신 방향을 따라 절단한 단면 구성을 도시하는 모식도이다.
- [0105] 도 14b에 도시하는 바와 같이, 확산층(1120) 위에 게이트 절연막(1130)을 통하여 게이트 전극(1131)이 마련된다. 또한, 게이트 전극(1131)을 끼우는 양측의 확산층(1120)에는, 각각 소스 영역(1120S) 및 드레인 영역(1120D)이 형성된다. 이에 의해, 소스 영역(1120S) 및 드레인 영역(1120D)의 사이의 확산층(1120)의 영역이 채널 영역(1120C)이 된다. 채널 영역(1120C)의 전기 저항은 채널 영역(1120C) 위에 마련된 게이트 전극(1131)에 인가되는 전압에 의해 제어된다.
- [0106] 이어서, 도 15를 참조하여, 제1 영역(1111)을 포함하는 반도체층(1110)의 형성 방법에 관해 설명한다. 도 15는 제1 영역(1111)을 포함하는 반도체층(1110)의 형성 방법의 개략을 도시하는 모식도이다.
- [0107] 도 15에 도시하는 바와 같이, 제1 영역(1111)은, 제1 기판(10)과, 제2 기판(20)을 접합시키기 전에, 미리 제2 기판(20)의 반도체층(1110)(제2 반도체 기판(21))에 형성된다. 구체적으로는, 포토 다이오드(PD) 등이 형성된 제1 반도체 기판(11) 및 제1 절연층(46)이 적층된 제1 기판(10)에, 반도체층(1110)을 포함하는 제2 기판(20)을 접합시키는 경우, 반도체층(1110)의 접합면측에 제1 영역(1111)을 미리 형성한다.
- [0108] 제1 영역(1111)은 반도체층(1110)의 접합면측의 영역에 제1 도전형 불순물을 도입함으로써 형성할 수 있다. 제1 영역(1111)에 제1 도전형 불순물을 도입하는 방법으로서, 이온 임플란테이션, 고상 확산, 또는 플라즈마 도핑 등의 공지의 도핑 방법을 이용할 수 있다. 제1 기판(10)에 접합시키기 전에 제1 영역(1111)이 형성되는 경우, 제1 기판(10)과의 접합면측으로부터 반도체층(1110)에 제1 도전형 불순물을 도입할 수 있다. 이와 같은 경우, 제1 영역(1111)을 형성하는 영역에 보다 가까운 면으로부터 제1 도전형 불순물의 도핑을 행할 수 있기 때문에, 제1 영역(1111)이 형성되는 깊이를 보다 높은 정밀도로 제어할 수 있다.
- [0109] 이어서, 도 16 및 도 17을 참조하여, 본 실시 형태에 관한 기술의 바리에이션에 관해 설명한다. 도 16은 본 실시 형태에 관한 전계 효과 트랜지스터(1100)의 구조의 바리에이션을 모식적으로 도시하는 사시도이다.
- [0110] 도 16에 도시하는 바와 같이, 제1 영역(1111A)은, 반도체층(1110)과 제1 절연층(1140)의 계면을 포함하는 영역으로부터, 반도체층(1110)의 표면측의 보디 단자(1132)가 마련되는 영역까지 연신되어 마련되어도 좋다. 이와 같은 경우, 보디 단자(1132)로부터 전계 효과 트랜지스터(1100)의 보디 영역까지의 도통 저항을 더욱 저감할 수 있다.
- [0111] 단, 이와 같은 경우, 반도체층(1110)의 표면측에 마련된 제1 영역(1111A)과, 확산층(1120)에 마련된 소스 영역(1120S), 또는 드레인 영역(1120D)이 근접한다. 그 때문에, 전계 효과 트랜지스터(1100)의 보디 단자와, 소스 또는 드레인 단자가 의도하지 않게 도통해 버리는 일이 있을 수 있다. 그 때문에, 반도체층(1110)의 표면측에 마련된 제1 영역(1111A)과, 확산층(1120)에 마련된 소스 영역(1120S), 또는 드레인 영역(1120D) 사이에는, SiO₂ 등의 절연성 재료로 형성된 소자 분리층(1115)이 마련된다. 이에 의하면, 전계 효과 트랜지스터(1100)는, 적절 한 영역에 소자 분리층(1115)을 마련함에 의해, 연신시킨 제1 영역(1111A)이 의도하지 않는 요소와 도통하거나, 리크를 발생시키거나 하는 것을 방지할 수 있다.
- [0112] 도 17은 본 실시 형태에 관한 전계 효과 트랜지스터(1100)와, 통상의 전계 효과 트랜지스터(1900)를 혼재하는 바리에이션을 도시하는 모식도이다.
- [0113] 도 17에 도시하는 바와 같이, 반도체층(1110)에는, 본 실시 형태에 관한 전계 효과 트랜지스터(1100)와, 플레이너형의 전계 효과 트랜지스터(1900)가 혼재되어 있어도 좋다.
- [0114] 구체적으로는, 전계 효과 트랜지스터(1100)는, 상술한 바와 같이, 반도체층(1110)으로부터 일방향으로 연신되어 불록 설치된 확산층(1120) 위에, 게이트 절연막(1130)을 통하여 게이트 전극(1131)이 과설된 핀형의 전계 효과 트랜지스터이다. 게이트 전극(1131)을 끼우는 양측의 확산층(1120)에는, 소스 영역(1120S) 및 드레인 영역(1120D)이 마련된다.
- [0115] 한편, 전계 효과 트랜지스터(1900)는 반도체층(1110) 위에 게이트 절연막(1930)을 통하여 게이트 전극(1931)이 마련된 플레이너형의 전계 효과 트랜지스터이다. 게이트 전극(1931)을 끼우는 양측의 반도체층(1110)에는, 소스 영역(1920S) 및 드레인 영역(1920D)이 마련된다.
- [0116] 핀형의 전계 효과 트랜지스터(1100), 플레이너형의 전계 효과 트랜지스터(1900) 및 보디 단자(1132)가 마련된

영역은, 의도하지 않는 도통 등이 서로 발생하지 않도록 절연성 재료로 구성된 소자 분리층(1115)에 의해 서로 전기적으로 격리된다.

- [0117] 여기에서, 반도체층(1110)과, 제1 절연층(1140)의 계면을 포함하는 영역에 형성된 제1 영역(1111A)은 핀형의 전계 효과 트랜지스터(1100)뿐만 아니라, 플레이너형의 전계 효과 트랜지스터(1900)의 하방에도 마련되어도 좋다. 이에 의하면, 제1 영역(1111A)은 보디 단자(1132)가 마련된 반도체층(1110)의 표면층의 영역까지 연신됨으로써, 핀형의 전계 효과 트랜지스터(1100) 및 플레이너형의 전계 효과 트랜지스터(1900)의 쌍방의 보디 영역에 균일한 전위를 공급할 수 있다.
- [0118] 다음으로, 도 18~도 35를 참조하여, 본 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 보다 구체적인 구조 및 제조 방법에 관해 설명한다. 도 18~도 35는 본 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)의 제조 방법의 각 공정을 순차적으로 도시하는 모식도이다.
- [0119] 우선, 도 18에 도시하는 바와 같이, 센서 화소가 형성된 제1 반도체 기판(11)(도시 생략)상에 제1 절연층(1140)을 형성한다. 다음으로, 반도체층(제2 반도체 기판)(1110)에 제1 도전형 불순물(예를 들면, p형 불순물)을 도핑함으로써 제1 영역(1111)을 형성한다. 제1 영역(1111)이 형성된 층의 면이 제1 절연층(1140)과 마주 보도록 하여, 반도체층(1110)을 제1 반도체 기판(11)에 접합시킨다. 이어서, 반도체층(1110)을 소정의 막두께까지 박육화한 후, 반도체층(1110)의 표면을 산화하고(도시 생략), 또한, 반도체층(1110)의 산화 표면 위에 SiN막(1160)을 퇴적한다.
- [0120] 다음으로, 도 19에 도시하는 바와 같이, SiN막(1160) 및 반도체층(1110)을 에칭하고, 개구(1160A)를 형성한다. 이에 의해, 도 19의 하층의 평면도에 도시하는 바와 같이, 일방향으로 연신되고, 연신 방향의 일방을 개구한 장방형 형상의메인 패턴(1121)과, 메인 패턴(1121)의 양측에서 메인 패턴(1121)의 연신 방향과 평행 방향으로 연신되는 더미 패턴(1122)이 형성된다. 메인 패턴(1121)은 최종적으로 전계 효과 트랜지스터(1100)의 채널, 소스 및 드레인이 된다.
- [0121] 이어서, 도 20에 도시하는 바와 같이, 개구(1160A)를 SiO₂막(1171)으로 매입한다.
- [0122] 다음으로, 도 21에 도시하는 바와 같이, SiO₂막(1171)을 에칭에 의해 리세스(후퇴)시킴으로써, 저부(底部)에 SiO₂막(1171)이 잔존한 개구(1160B)를 형성한다. 이때, 더미 패턴(1122)은 에칭 패턴의 밀도를 균일화함으로써, 에칭의 마이크로 로딩 효과에 의해 메인 패턴(1121)의 개구(1116B)의 깊이가 호트러져 버리는 것을 방지할 수 있다. 따라서, 이 구성에 의하면, 전계 효과 트랜지스터(1100)의 특성을 보다 양호하게 할 수 있다.
- [0123] 이어서, 도 22에 도시하는 바와 같이, 에칭 레이트가 높은 재료인 BSG(붕소 첨가 실리케이트 글라스)막(1172)을 퇴적함으로써, 개구(1160B)를 매입한다.
- [0124] 다음으로, 도 23에 도시하는 바와 같이, BSG막(1172) 위에 에칭 마스크(1173)를 형성한 후, 더미 패턴(1122)에 대응하는 영역의 BSG막(1172), SiN막(1160) 및 반도체층(1110)을 에칭하여, 개구(1160C)를 형성한다. 이에 의해, 도 23의 하층의 평면도에 도시하는 바와 같이, 더미 패턴(1122)은 제거된다.
- [0125] 이어서, 도 24에 도시하는 바와 같이, SiN막(1161)을 퇴적한 후, 등방적으로 에칭을 행함으로써, 개구(1160C)의 저부에만 SiN막(1161)을 퇴적시킨다.
- [0126] 다음으로, 도 25에 도시하는 바와 같이, 증기(vapor)상태의 불화 수소(HF) 용액 등을 이용하여, BSG막(1172)을 선택적으로 제거한다. 이에 의해, 도 25의 하층의 평면도에 도시하는 바와 같이, 반도체층(1110)에는, 메인 패턴(1121)만이 형성되게 된다.
- [0127] 이어서, 도 26에 도시하는 바와 같이, BSG(붕소 첨가 실리케이트 글라스)막(1174)을 소정의 막두께로 퇴적시킨다.
- [0128] 그 후, 도 27에 도시하는 바와 같이, BSG막(1174)을 소정의 막두께분만큼 에칭함으로써, 메인 패턴(1121)의 측면에 BSG막(1174)을 측벽이 되도록 형성한다. 이에 의해, 도 27의 하층의 평면도에 도시하는 바와 같이, 메인 패턴(1121)의 외주를 따라 패터닝된 BSG막(1174)이 형성된다.
- [0129] 다음으로, 도 28에 도시하는 바와 같이, 반도체층(1110)의 전면에 걸쳐 SiO₂막(1180)을 퇴적한다.
- [0130] 이어서, 도 29에 도시하는 바와 같이, CMP(Chemical Machanical Polishing) 등을 이용하여, 퇴적한 SiO₂막

(1180)을 평탄화함으로써, SiN막(1160)을 노출시킨다.

- [0131] 그 후, 도 30에 도시하는 바와 같이, 후단에서 채널이 되는 영역의 SiN막(1160)을 선택적으로 에칭함으로써, 개구(1160D)를 형성한다. 도 30의 하층의 평면도에 도시하는 바와 같이, 후단에서 채널이 되는 영역은, 메인 패턴(1121)의 연신 방향과 직교하는 방향으로 메인 패턴(1121)의 중앙을 횡단하는 영역이다.
- [0132] 다음으로, 도 31에 도시하는 바와 같이, 증기(vapor)상태의 불화 수소(HF) 용액 등을 이용하여, BSG막(1174)을 선택적으로 제거한다. 이에 의해, 도 31의 하층의 평면도에 도시하는 바와 같이, 메인 패턴(1121)의 일부 영역에서, 개구(1160D)에 의해 반도체층(1110)이 노출된다.
- [0133] 이어서, 도 32에 도시하는 바와 같이, 개구(1160D)에 의해 노출된 반도체층(1110)의 표면을 산화함으로써, 게이트 절연막(도시 생략)을 형성한다. 그 후, 폴리실리콘을 퇴적한 후, CMP 등으로 평탄화함으로써, 게이트 전극(1131)을 형성한다. 이때, 도 32의 하층의 평면도에 도시하는 바와 같이, 게이트 전극(1131)은 메인 패턴(1121)의 주위 및 개구(1160D)에 대응하는 평면 영역에 형성된다.
- [0134] 다음으로, 도 33에 도시하는 바와 같이, 하드 마스크(1175)를 형성하고, 또한 하드 마스크(1175)의 측면에 스페이서(1176)를 형성한다. 또한, 하드 마스크(1175) 및 스페이서(1176)를 마스크로 하여 반도체층(1110)에 제2 도전형 불순물(예를 들면, n형 불순물)의 이온 주입을 행함으로써, 소스 또는 드레인이 되는 확산층(1120)을 형성한다.
- [0135] 또한, 도 33의 하층의 평면도에 도시하는 바와 같이, 하드 마스크(1175)의 크기에 의해 전계 효과 트랜지스터(1100)의 채널 폭이 결정된다. 또한, 스페이서(1176)는, 채널 영역과, 소스 영역 및 드레인 영역을 격리하기 위해 마련된다. 스페이서(1176)의 크기는 전계 효과 트랜지스터(1100)의 특성에 의하여 적절히 조정된다.
- [0136] 이어서, 도 34에 도시하는 바와 같이, 스페이서(1176)를 제거한 후, 하드 마스크(1175)를 마스크로 하여, 노출하고 있는 폴리실리콘(게이트 전극(1131) 형성 시에 퇴적)을 제거한다.
- [0137] 다음으로, 도 35에 도시하는 바와 같이, 폴리실리콘을 제거함으로써 생긴 개구를 SiO₂ 등으로 매입하고, 하드 마스크(1175)를 제거한다. 그 후, 도 35의 하층의 평면도에 도시하는 바와 같이, 게이트 전극(1131)을 일부 포함하는 평면 영역에 콘택트 홀을 형성하고, 형성한 콘택트 홀을 텅스텐으로 매입함으로써, 게이트 전극(1131)의 상면으로부터 측면에 걸쳐 접촉하는 콘택트 플러그(1190)를 형성한다. 콘택트 플러그(1190)는 도시하지 않는 제1 기판(10)에 형성된 센서 화소(12)의 플로팅 디퓨전(FD)에 전기적으로 접속된다.
- [0138] 이와 같은 공정에 의하면, 본 실시 형태에 관한 기술을 적용한 전계 효과 트랜지스터(1100)를 제조하는 것이 가능하다.
- [0139] 이상으로, 본 개시의 제1 실시 형태에 관한 기술에 관해 상세히 설명하였다. 본 실시 형태에 관한 기술에 의하면, 화소 회로(22)가 마련되는 제2 반도체 기판(21)에서, 전계 효과 트랜지스터의 보디 영역에 소정의 전위를 용이하게 공급하는 것이 가능해진다. 따라서, 본 실시 형태에 관한 기술에 의하면, 제2 반도체 기판(21)에 마련되는 전계 효과 트랜지스터의 전기 특성의 신뢰성을 향상시킬 수 있다.
- [0140] <<3. 제2 실시 형태>>
- [0141] 다음으로, 도 36~도 43을 참조하여, 본 개시의 제2 실시 형태에 관한 기술에 관해 설명한다. 본 실시 형태에 관한 기술은 제2 기판(20)의 제2 반도체 기판(21)에 관한 것이다.
- [0142] 3개의 기판을 적층함으로써 구성되는 촬상 장치(1)에서는, 제2 기판(20)에 포함되는 제2 반도체 기판(21)의 전위를 소정의 전위로 고정하기 위해, 제2 반도체 기판(21)의 이면측에 도전형 불순물을 도입한 웰 영역이 마련된다. 웰 영역은 외부의 전원, 또는 그라운드와 전기적으로 접속됨에 의해, 제2 반도체 기판(21)에 마련되는 전계 효과 트랜지스터에 백 바이어스 전위, 또는 그라운드 전위를 공급한다.
- [0143] 이와 같은 웰 영역은, 예를 들면, 제1 기판(10)과, 제2 기판(20)을 접합시킨 후, 제2 기판(20)에 포함되는 제2 반도체 기판(21)의 소정의 영역에 도전형 불순물을 이온 임플란테이션함으로써 형성할 수 있다.
- [0144] 구체적으로는, 도전형 불순물의 이온 임플란테이션은, 제1 기판(10)과, 제2 기판(20)을 접합시킨 후, 제2 기판(20)에 포함되는 제2 반도체 기판(21)을 박육화하고, 박육화한 제2 반도체 기판(21)에 게이트 구조를 형성하고 나서 행해진다.
- [0145] 여기에서, 제2 반도체 기판(21)의 박육화의 정밀도는 수백nm 정도이기 때문에, 박육화된 제2 반도체 기판(21)의

두께는 수백nm 정도 흐트러져 있다. 그 때문에, 도전형 불순물의 이온 임플랜테이션을 일정 조건으로 행한 경우, 제1 기판(10)과의 계면 근방의 제2 반도체 기판(21)에 안정되어 웰 영역을 형성하는 것은 곤란하다. 또한, 제2 반도체 기판(21)의 두께가 상정보다도 얇은 경우, 제1 기판(10)에 이온 임플랜테이션을 행해버릴 가능성이 있기 때문에, 제2 반도체 기판(21)의 이면측의 깊은 영역에 웰 영역을 형성하는 것은 곤란하다. 그 때문에, 제2 반도체 기판(21)에 마련되는 전계 효과 트랜지스터의 특성을 균일화하는 것이 곤란하다.

[0146] 또한, 핀형의 전계 효과 트랜지스터는, 같은 평면 면적의 플레이너형의 전계 효과 트랜지스터와 비교하여, 게이트 폭을 보다 크게 할 수 있기 때문에, 서로 컨덕턴스를 보다 용이하게 증가시킬 수 있는 트랜지스터로서 기대되어 있다. 또한, 핀형의 전계 효과 트랜지스터에서는, 반도체와 절연체의 계면으로부터 떨어진 영역을 전하가 통과하고, 전하가 반도체와 절연체의 계면에 존재하는 트랩의 영향을 받기 어렵기 때문에, 랜덤 노이즈 특성이 양호한 트랜지스터로서 기대되어 있다. 그 때문에, 핀형의 전계 효과 트랜지스터는 제2 반도체 기판(21)에 마련되는 증폭 트랜지스터(AMP) 등에의 적용이 검토되어 있다.

[0147] 그러나, 핀형의 전계 효과 트랜지스터에서는, 얇은 영역에 형성된 웰 영역의 도전형 불순물이 핀 구조에 확산한 경우, 전계 효과 트랜지스터의 전류-전압 특성을 저하시켜 버린다. 그 때문에, 제2 반도체 기판(21)에 핀형의 전계 효과 트랜지스터를 형성하는 경우, 핀 구조로부터 떨어진 제2 반도체 기판(21)의 적절한 영역에 웰 영역을 형성하는 것이 중요하게 되어 있다.

[0148] 본 실시 형태에 관한 기술은 이러한 사정을 감안하여 상도된 것이다. 본 실시 형태에 관한 기술은 제1 기판(10)과 접합시키기 전의 제2 반도체 기판(21)의 접합면측으로부터 미리 도전형 불순물을 도입함으로써, 제2 반도체 기판(21)의 적절한 영역에 웰 영역을 형성하는 것이다.

[0149] 특히, 본 실시 형태에 관한 기술에서는, 제1 기판(10)과 접합시키기 전의 제2 반도체 기판(21)의 접합면측에, 도전형 불순물을 포함하는 퇴적을 행함으로써, 웰 영역을 형성하는 것이다. 이에 의하면, 이온 임플랜테이션 등의 도핑 방법보다도 도전형 불순물의 농도 분포가 가파른 웰 영역을 제2 반도체 기판(21)에 형성할 수 있다. 따라서, 본 실시 형태에 관한 기술은 제2 반도체 기판(21)의 접합면측의 소망하는 영역에 선택적으로 도전형 불순물을 도입하는 것이 가능하다.

[0150] 또한, 제2 기판(20)이 두께 방향으로 적층된 복수의 반도체 기판을 포함하는 경우, 적층된 복수의 반도체 기판(즉, 제2 반도체 기판(21) 및 제2 반도체 기판(21) 위에 마련된 적어도 1개 이상의 반도체 기판)의 각각에 대해, 본 실시 형태에 관한 기술을 적용하는 것도 가능하다. 구체적으로는, 적층된 복수의 반도체 기판(즉, 제2 반도체 기판(21) 및 제2 반도체 기판(21) 위에 마련된 적어도 1개 이상의 반도체 기판)의 각각은, 다른 기판 등과 접합되기 전에, 접합면측의 소망하는 영역에 도전형 불순물이 도입되어 있어도 좋다.

[0151] 도 36은 제2 반도체 기판(1210(21))을 제1 기판(1201(10))에 접합시킬 때의 양태를 도시하는 모식도이다.

[0152] 도 36에 도시하는 바와 같이, 제1 기판(1201(10))에 접합되기 전단에서, 제2 반도체 기판(1210(21))에는, 전계 효과 트랜지스터의 웰 영역으로서 기능하는 제1 영역(1211)이 마련된다.

[0153] 제1 기판(1201)은 제1 반도체 기판(1230(11)) 위에 제1 절연층(1240(46))을 적층하여 구성된다.

[0154] 제1 반도체 기판(1230(11))은 실리콘 기판이고, 예를 들면, 표면의 일부 및 그 근방에, p웰층(1231(42))을 가지고, 그 이외의 영역(즉, p웰층(1231)보다도 깊은 영역)에 포토 다이오드(PD)를 가진다. p웰층(1231)은 p형의 반도체 영역으로 구성되고, 포토 다이오드(PD)는 p웰층(1231)과는 다른 도전형(예를 들면, n형)의 반도체 영역으로 구성된다. 제1 반도체 기판(1230)은 p웰층(1231)의 내부에 p웰층(1231)과는 다른 도전형(예를 들면, n형)의 반도체 영역인 플로팅 디퓨전(FD)과, 포토 다이오드(PD)로부터 전하를 추출하는 전송 트랜지스터(TR)의 전송 게이트(TG)를 가진다.

[0155] 또한, 제1 반도체 기판(1230)은 포토 다이오드(PD)의 각각을 분리하는 소자 분리부(1241(43))와, 소자 분리부(1241)의 포토 다이오드(PD)측의 측면에 접하는 p웰층(1242(44))을 가진다. 소자 분리부(1241)는 제1 반도체 기판(1230)의 주면의 법선 방향(제1 반도체 기판(1230)의 표면에 대해 수직 방향)으로 연신되어 형성되고, 서로 인접하는 포토 다이오드(PD)의 각각을 전기적으로 분리한다. 소자 분리부(1241)는, 예를 들면, 제1 반도체 기판(1230)을 관통하는 산화 실리콘에 의해 구성된다. p웰층(1242)은 포토 다이오드(PD)와는 다른 도전형(구체적으로는 p형)의 반도체 영역으로 구성된다.

[0156] 또한, 제2 반도체 기판(1210)과의 접합면과는 반대측의 제1 기판(1201)의 면에는, 복수의 절연막(1251, 1252, 1253)과, 지지 기판(1250)이 마련된다. 절연막(1251)은, 예를 들면, TEOS(Tetra Ethyl Ortho Silicate)막이고,

절연막(1252)은, 예를 들면, SiN막이고, 절연막(1253)은, 예를 들면, SiO₂막이다. 지지 기판(1250)은, 예를 들면, 실리콘 기판이고, 활상 장치(1)의 제조 공정에서, 제1 기판(1201)의 유지 및 강성 확보를 위해 마련된다.

[0157] 제2 반도체 기판(1210)은, 예를 들면, 실리콘 기판이다. 제2 반도체 기판(1210)은, 제1 기판(1201)과의 접합면측에, 제1 도전형 불순물(예를 들면, 붕소(B) 등의 p형 불순물)이 도입된 제1 영역(1211)을 가진다. 제2 반도체 기판(1210)은, 제1 영역(1211)을 형성한 후에, 제1 기판(1201)과 접합시킨다.

[0158] 제1 영역(1211)은 제2 반도체 기판(1210)의 접합면측의 영역에 제1 도전형 불순물을 도입함으로써 형성되는 영역이다. 제1 영역(1211)에 제1 도전형 불순물을 도입하는 방법으로서, 이온 임플란테이션, 고상 확산, 또는 플라즈마 도핑 등의 공지의 도핑 방법을 이용할 수 있다.

[0159] 제1 기판(1201)과 접합시키기 전에 제2 반도체 기판(1210)에 제1 영역(1211)을 형성하는 경우, 상술한 공지의 도핑 방법을 이용한 제2 반도체 기판(1210)에의 제1 도전형 불순물의 도핑을 제1 기판(1201)과의 접합면측으로부터 행할 수 있다. 이와 같은 경우, 제1 영역(1211)에 가까운 면측으로부터 제1 도전형 불순물을 도핑할 수 있기 때문에, 제1 영역(1211)이 형성되는 깊이를 보다 높은 정밀도로 제어할 수 있다. 또한, 박육화 전의 제2 반도체 기판(1210)에 제1 도전형 불순물을 도핑할 수 있기 때문에, 박육화에 의한 제2 반도체 기판(1210)의 두께 편차에 영향을 받는 일이 없고, 적절한 영역에 제1 영역(1211)을 형성할 수 있다.

[0160] 또한, 제1 영역(1211)은 제1 도전형 불순물(예를 들면, 붕소(B) 등의 p형 불순물)을 포함하는 퇴적에 의해 형성되는 것이 바람직하다. 구체적으로는, 제2 반도체 기판(1210)이 실리콘 기판인 경우, 제1 영역(1211)은 제1 도전형 불순물(예를 들면, 붕소)을 포함하는 에피택셜 성장층으로서 형성되는 것이 바람직하다. 또는, 제2 반도체 기판(1210)이 실리콘 기판인 경우, 제1 영역(1211)은 제1 도전형 불순물(예를 들면, 붕소)을 포함하는 폴리실리콘층으로서 형성되는 것이 바람직하다.

[0161] 이에 의하면, 제1 도전형 불순물을 선택적으로 도입하여 퇴적한 층을 제1 영역(1211)으로 할 수 있기 때문에, 결정 중의 단일 원자층에 불순물을 도입하는(이론상, δ 도프를 행하는) 것이 가능해진다. 따라서, 제1 영역(1211)에서의 제1 도전형 불순물의 두께 방향의 농도 분포를 보다 가파르게 할 수 있다.

[0162] 특히, 제1 도전형 불순물을 포함하는 에피택셜 성장층으로서 제1 영역(1211)을 형성하는 경우, 제1 영역(1211)에서의 제1 도전형 불순물의 농도 분포를 보다 높은 정밀도로 제어하는 것이 가능하다. 한편, 제1 도전형 불순물을 포함하는 폴리실리콘층으로서 제1 영역(1211)을 형성하는 경우, 보다 용이한 제조 프로세스로 제1 영역(1211)을 형성하는 것이 가능하다.

[0163] 도 37~도 39는 제2 반도체 기판(1210(21))을 제1 기판(1201(10))에 접합시킬 때의 다른 양태를 도시하는 모식도이다.

[0164] 도 37~도 39에 도시하는 바와 같이, 본 양태는, 제1 도전형 불순물(예를 들면, 붕소(B))를 포함하는 불순물 도입막(1212)으로부터의 제1 도전형 불순물의 확산에 의해, 제1 영역(1211)을 형성하는 양태이다.

[0165] 구체적으로는, 도 37에 도시하는 바와 같이, 불순물 도입막(1212)은 제2 반도체 기판(1210)의 접합면측에 퇴적되어도 좋다. 또한, 불순물 도입막(1212)의 표면에는 캡층(1213)이 또한 퇴적되어도 좋다.

[0166] 불순물 도입막(1212)은 보로실리케이트 글라스(BoroSilicate Glass: BSG)를 포함하고, 열 확산에 의해 제2 반도체 기판(1210)에 제1 도전형 불순물인 붕소(B)를 확산시키는 막이다. 캡층(1213)은 ALD 등으로 퇴적된 SiO 또는 SiN으로 구성되고, 불순물 도입막(1212)의 막질 변화, 또는 제1 절연층(1240)에의 제1 도전형 불순물의 확산을 억제하는 층이다.

[0167] 이와 같은 경우, 불순물 도입막(1212)은, 제2 반도체 기판(1210)을 제1 기판(1201)에 접합시킨 후의 프로세스에서 생기는 열을 이용하여, 제2 반도체 기판(1210)에 제1 도전형 불순물(예를 들면, 붕소(B))을 확산시킬 수 있다. 이에 의해, 불순물 도입막(1212)은 제2 반도체 기판(1210)에 제1 도전형 불순물을 포함하는 제1 영역(1211)을 형성할 수 있다.

[0168] 또한, 제2 반도체 기판(1210)은, 제1 기판(10)에 접합된 후, 연마 등에 의해 두께 500nm 정도까지 박육화되어도 좋다. 불순물 도입막(1212)으로부터의 제1 도전형 불순물(예를 들면, 붕소(B))의 확산은 제2 반도체 기판(1210)의 박육화 후에 행해져도 좋다.

[0169] 또한, 도 38에 도시하는 바와 같이, 불순물 도입막(1212)은 제2 반도체 기판(1210)의 접합면측에 퇴적되어도 좋다.

- [0170] 불순물 도입막(1212)은, 마찬가지로, 보로실리케이트 글라스(BoroSilicate Glass: BSG)를 포함하고, 열 확산에 의해 제2 반도체 기판(1210)에 제1 도전형 불순물인 붕소(B)를 확산시키는 막이다. 이와 같은 경우, 불순물 도입막(1212)은, 제2 반도체 기판(1210)을 제1 기판(1201)에 접합시킨 후의 프로세스에서 생기는 열을 이용하여, 제2 반도체 기판(1210)에 제1 도전형 불순물(예를 들면, 붕소(B))을 확산시킬 수 있다. 이에 의해, 불순물 도입막(1212)은 제2 반도체 기판(1210)에 제1 도전형 불순물을 포함하는 제1 영역(1211)을 형성할 수 있다.
- [0171] 또한, 도 39에 도시하는 바와 같이, 불순물 도입막(1212)은 제1 기판(1201)의 접합면측에 퇴적되어도 좋다.
- [0172] 불순물 도입막(1212)은 보로실리케이트 글라스(BoroSilicate Glass: BSG)를 포함하고, 접합된 제2 반도체 기판(1210)에 열 확산에 의해 제1 도전형 불순물인 붕소(B)를 확산시키는 막이다. 이와 같은 경우, 불순물 도입막(1212)은, 제2 반도체 기판(1210)을 제1 기판(1201)에 접합시킨 후의 프로세스에서 생기는 열을 이용하여, 제2 반도체 기판(1210)에 제1 도전형 불순물(예를 들면, 붕소(B))를 확산시킬 수 있다. 이에 의해, 불순물 도입막(1212)은 제2 반도체 기판(1210)에 제1 도전형 불순물을 포함하는 제1 영역(1211)을 형성할 수 있다.
- [0173] 도 40~도 43은 제2 반도체 기판(1210(21))을 제1 기판(1201(10))에 접합시킬 때의 또 다른 양태를 도시하는 모식도이다.
- [0174] 도 40~도 43에 도시하는 바와 같이, 본 양태는 제2 반도체 기판(1210)에 서로 다른 도전형의 제1 영역(1211P, 1211N)을 각각 형성하는 양태이다.
- [0175] 구체적으로는, 우선, 도 40에 도시하는 바와 같이, 제2 반도체 기판(1210)의 소정의 영역을 덮도록 마련한 레지스트(1299)를 마스크로 하여, 제1 도전형 불순물을 제2 반도체 기판(121)에 주입함으로써 제1 영역(1211P)이 형성된다. 예를 들면, 제1 영역(1211P)은 제1 도전형 불순물인 붕소(B)를 제2 반도체 기판(121)에 주입함으로써 형성할 수 있다.
- [0176] 이어서, 도 41에 도시하는 바와 같이, 제2 반도체 기판(1210)의 제1 영역(1211P)과는 다른 영역을 덮도록 마련한 레지스트(1299)를 마스크로 하여, 제2 도전형 불순물을 제2 반도체 기판(121)에 주입함으로써 제1 영역(1211N)이 형성된다. 예를 들면, 제1 영역(1211N)은 제2 도전형 불순물인 인(P) 또는 비소(As)를 제2 반도체 기판(121)에 주입함으로써 형성할 수 있다. 또한, 제1 영역(1211N, 1211P)의 형성의 순서는 반대라도 좋다.
- [0177] 다음으로, 도 42에 도시하는 바와 같이, 제1 영역(1211P, 1211N)이 형성된 측의 면을 접합면으로 하여 제2 반도체 기판(1210)이 제1 기판(1201)에 접합된다.
- [0178] 제1 기판(1201)은 제1 반도체 기판(1230) 위에 제1 절연층(1240)을 적층함으로써 구성된다. 제1 반도체 기판(1230)은 실리콘 기판이고, 예를 들면, 표면의 일부 및 그 근방에, p웰층(1231)을 가지고, 그 이외의 영역(즉, p웰층(1231)보다도 깊은 영역)에 포토 다이오드(PD)를 가진다. p웰층(1231)은 p형의 반도체 영역으로 구성되고, 포토 다이오드(PD)는 p웰층(1231)과는 다른 도전형(예를 들면, n형)의 반도체 영역으로 구성된다.
- [0179] p웰층(1231)의 내부에는, p웰층(1231)과는 다른 도전형(예를 들면, n형)의 반도체 영역인 플로팅 디퓨전(FD) 및 p웰층(1231)과 같은 도전형(예를 들면, p형)의 반도체 영역인 웰 콘택트(well)가 마련된다. p웰층(1231) 위에는, 포토 다이오드(PD)로부터 플로팅 디퓨전(FD)에 전하를 추출하는 전송 게이트(TG), 플로팅 디퓨전(FD)과 전기적으로 접속하는 전극(1243) 및 웰 콘택트(well)와 전기적으로 접속하는 전극(1245)이 마련된다.
- [0180] 또한, 제1 반도체 기판(1230)에는, 포토 다이오드(PD)의 각각을 분리하는 소자 분리부(1241)와, 소자 분리부(1241)의 포토 다이오드(PD)측의 측면에 접하는 p웰층(1242)이 마련된다. 소자 분리부(1241)는 제1 반도체 기판(1230)의 주면의 법선 방향(제1 반도체 기판(1230)의 표면에 대해 수직 방향)으로 연신되어 형성되고, 서로 인접하는 포토 다이오드(PD)의 각각을 전기적으로 분리한다. 소자 분리부(1241)는, 예를 들면, 제1 반도체 기판(1230)을 관통하는 산화 실리콘에 의해 구성된다. p웰층(1242)은 포토 다이오드(PD)와는 다른 도전형(구체적으로는 p형)의 반도체 영역으로 구성된다.
- [0181] 그 후, 도 43에 도시하는 바와 같이, 제2 반도체 기판(1210)에는, p형 트랜지스터(TrP), n형 트랜지스터(TrN) 및 Fin형 트랜지스터(TrF)가 마련된다. 제2 반도체 기판(1210) 위에는, p형 트랜지스터(TrP), n형 트랜지스터(TrN) 및 Fin형 트랜지스터(TrF)를 매입하도록 제2 절연층(1220)이 적층된다. 또한, 플로팅 디퓨전(FD)과 전기적으로 접속된 전극(1243)은, 제1 절연층(1240) 및 제2 반도체 기판(1210)을 관통하는 도하지 않는 콘택트를 통하여, 제2 반도체 기판(1210)에 마련되는 증폭 트랜지스터의 게이트 전극과 전기적으로 접속된다. 웰 콘택트(well)와 전기적으로 접속된 전극(1245)은, 제1 절연층(1240)을 관통하는 도하지 않는 콘택트를 통하여, 예를 들면, 제2 반도체 기판(1210)의 p웰(예를 들면, 후술하는 제1 영역(1211P) 또는 p웰 영역(1210P))과 전기적으로

접속될 수 있다.

- [0182] 구체적으로는, 제1 영역(1211P)의 일부의 영역 위에 또한 제1 영역(1211P)과 같은 제1 도전형(즉, p형)의 p웰 영역(1210P)을 마련함으로써, p웰 영역(1210P)에 n형 트랜지스터(TrN)를 형성할 수 있다. 또한, 제1 영역(1211N)의 일부의 영역 위에 또한 제1 영역(1211N)과 같은 제2 도전형(즉, n형)의 n웰 영역(1210N)을 마련함으로써, n웰 영역(1210N)에 p형 트랜지스터(TrP)를 형성할 수 있다. 또한, 제1 영역(1211P, 1211N)의 각각의 다른 영역 위에는, 언도프된 제2 반도체 기판(1210)의 영역을 통하여 Fin형 트랜지스터(TrF)가 마련된다.
- [0183] 이에 의하면, Fin형 트랜지스터(TrF)에서는, 제2 반도체 기판(1210)의 깊은 영역에 마련되는 제1 영역(1211P, 1211N)에 의해, 공핍층 아래를 저저항화할 수 있다. 따라서, Fin형 트랜지스터(TrF)의 보디 영역에의 전위 공급을 보다 안정화시킬 수 있다. 또한, 제2 반도체 기판(1210)에 다른 도전형의 제1 영역(1211P, 1211N)을 형성함으로써, 제2 반도체 기판(1210)에 다른 극성의 n형 트랜지스터(TrN) 및 p형 트랜지스터(TrP)를 각각 형성하는 것이 가능하다.
- [0184] 이어서, 도 44~도 47을 참조하여, 본 실시 형태에 관한 기술의 바리에이션에 관해 설명한다. 도 44~도 47은 제2 반도체 기판(1210)에 마련되는 전계 효과 트랜지스터의 웰 영역에 대한 콘택트 플러그의 구조의 바리에이션을 모식적으로 도시하는 종단면도이다. 또한, 제2 기판(20)이 두께 방향으로 적층된 복수의 반도체 기판을 포함하는 경우, 콘택트 플러그는, 적층된 복수의 반도체 기판(즉, 제2 반도체 기판(1210) 및 제2 반도체 기판(1210) 위에 마련된 적어도 1개 이상의 반도체 기판)의 각각에 대해, 하기에서 나타내는 구조로 각각 마련되어도 좋다.
- [0185] 도 44~도 47에서는, 제1 반도체 기판(1230(11)) 위에 제1 절연층(1240(46))을 적층한 제1 기판(1201(10))과, 제2 반도체 기판(1210(21)) 위에 제2 절연층(1220(52))을 적층한 제2 기판(1202(20))을 접합시킨 적층체에 관해 도시한다. 그 때문에, 도 44~도 47에서는, 제1 기판(1201)의 이면측에 마련되는 컬러 필터(40) 및 수광 렌즈(50), 및 제2 기판(1202)의 표면측에 마련되는 제3 기판(30)의 기재는 생략한다.
- [0186] 도 44~도 47에 도시하는 바와 같이, 제1 기판(1201)은 포토 다이오드(PD) 및 트랜지스터(Tr1)를 가지고, 제2 기판(1202)은 트랜지스터(Tr2) 및 트랜지스터(Tr2)의 웰 영역으로서 기능하는 제1 영역(1211)을 가진다. 제2 기판(1202)에 마련된 제1 영역(1211)은 전기적으로 접속된 콘택트 플러그(Contact Plug)(CP)를 통하여 소정의 전위로 고정되어 있다.
- [0187] 여기에서, 도 44에 도시하는 바와 같이, 콘택트 플러그(CP)는, 제2 반도체 기판(1210)의 표면의 일부 영역에 마련된 제2 영역(1260)을 통하여, 웰 영역인 제1 영역(1211)에 전위를 공급해도 좋다.
- [0188] 제2 영역(1260)은, 예를 들면, 제1 도전형 불순물을 제1 영역(1211)과 같은 정도의 고농도로 포함하는 영역이고, 제2 반도체 기판(1210)의 표면의 일부 영역에 마련된다. 제2 영역(1260)은 제1 영역(1211)과 인접하여 마련되어 있지 않지만, 콘택트 플러그(CP)와 제2 반도체 기판(1210)의 접촉 저항을 저감함으로써, 콘택트 플러그(CP)와 제1 영역(1211) 사이의 도통성을 향상시킬 수 있다.
- [0189] 또한, 도 45에 도시하는 바와 같이, 콘택트 플러그(CP)는, 제2 반도체 기판(1210)의 표면의 일부 영역에 마련된 제2 영역(1260)과, 제2 영역(1260)과 제1 영역(1211)과 인접하는 영역에 마련된 제3 영역(1261)을 통하여, 웰 영역인 제1 영역(1211)에 전위를 공급해도 좋다.
- [0190] 제2 영역(1260)은, 예를 들면, 제1 도전형 불순물을 제1 영역(1211)과 같은 정도의 고농도로 포함하는 영역이고, 제2 반도체 기판(1210)의 표면의 일부 영역에 마련된다. 제3 영역(1261)은 제1 도전형 불순물을 제1 영역(1211) 및 제2 영역(1260)보다도 저농도로 포함하는 영역이고, 제1 영역(1211) 및 제2 영역(1260)과 인접하는 영역에 마련된다. 구체적으로는, 제3 영역(1261)은, 제2 반도체 기판(1210)의 두께 방향에서, 제1 영역(1211) 및 제2 영역(1260) 사이의 영역에 마련되어도 좋다. 이에 의하면, 제2 영역(1260) 및 제3 영역(1261)은 콘택트 플러그(CP)와 제1 영역(1211) 사이의 도통성을 보다 향상시킬 수 있다.
- [0191] 또한, 도 46에 도시하는 바와 같이, 콘택트 플러그(CP1)는 제2 반도체 기판(1210)을 관통하여 마련되고, 제1 영역(1211)에 직접 접촉해도 좋다. 이에 의하면, 콘택트 플러그(CP1)는 웰 영역인 제1 영역(1211)에 직접 전위를 공급할 수 있기 때문에, 보다 저저항으로 제1 영역(1211)에 전위를 공급할 수 있다.
- [0192] 또한, 제2 반도체 기판(1210)의 표면의 일부 영역에는, 제1 도전형 불순물을 제1 영역(1211)과 같은 정도의 고농도로 포함하는 제2 영역(1260)이 임의로 마련되어도 좋다. 제2 영역(1260)은 콘택트 플러그(CP1)와 제1 영역(1211) 사이의 도통성을 보다 향상시킬 수 있다.
- [0193] 또한, 도 47에 도시하는 바와 같이, 콘택트 플러그(CP2)는 제2 반도체 기판(1210) 및 제1 절연층(1240)을 관통

하여 마련되고, 제1 영역(1211)과, 제1 반도체 기관(1230)에 마련된 제4 영역(1280)에 직접 접촉해도 좋다. 제4 영역(1280)은 제1 도전형 불순물을 제1 영역(1211)과 같은 정도의 고농도로 포함하는 영역이고, 제1 반도체 기관(1230)의 표면의 일부 영역에 마련된다. 제4 영역(1280)은 제1 반도체 기관(1230)의 웰 영역에 전위를 공급하기 위해 마련된다.

[0194] 이에 의하면, 콘택트 플러그(CP2)는 제2 반도체 기관(1210)의 제1 영역(1211)과, 제1 반도체 기관(1230)의 제4 영역(1280)에 직접 전위를 공급할 수 있다. 따라서, 적층된 제1 반도체 기관(1230) 및 제2 반도체 기관(1210)의 각각에 1개의 콘택트 플러그(CP2)로 전위를 공급할 수 있기 때문에, 촬상 장치(1)에서의 면적 효율이 개선된다.

[0195] 또한, 제2 반도체 기관(1210)의 표면의 일부 영역에는, 제1 도전형 불순물을 제1 영역(1211)과 같은 정도의 고농도로 포함하는 제2 영역(1260)이 임의로 마련되어도 좋다. 제2 영역(1260)은 콘택트 플러그(CP2)와 제1 영역(1211) 사이의 도통성을 보다 향상시킬 수 있다.

[0196] 이상으로, 본 개시의 제2 실시 형태에 관한 기술에 관해 상세히 설명하였다. 본 실시 형태에 관한 기술에 의하면, 화소 회로(22)가 마련되는 제2 반도체 기관(21)에서, 제2 반도체 기관(21)의 적절한 영역에 제1 도전형 불순물을 도입한 웰 영역을 형성하는 것이 가능하다. 따라서, 본 실시 형태에 관한 기술에 의하면, 제2 반도체 기관(21)에 마련되는 전계 효과 트랜지스터의 전기 특성의 신뢰성을 향상시킬 수 있다.

[0197] <<4. 제3 실시 형태>>

[0198] 이어서, 도 48~도 55를 참조하여, 본 개시의 제3 실시 형태에 관한 기술에 관해 설명한다. 본 실시 형태에 관한 기술은 제2 기관(20)의 제2 반도체 기관(21)에 관한 것이다.

[0199] 3개의 기관을 적층함으로써 구성되는 촬상 장치(1)에서는, 제2 기관(20)에 포함되는 제2 반도체 기관(21)의 전위를 소정의 전위로 고정하기 위해, 제2 반도체 기관(21)의 이면측에 도전형 불순물을 도입한 웰 영역이 마련된다. 웰 영역은 외부의 전원, 또는 그라운드와 전기적으로 접속됨에 의해, 제2 반도체 기관(21)에 마련되는 전계 효과 트랜지스터에 백 바이어스 전위, 또는 그라운드 전위를 공급한다.

[0200] 이와 같은 웰 영역은, 예를 들면, 제1 기관(10)과, 제2 기관(20)을 접합시킨 후, 제2 기관(20)에 포함되는 제2 반도체 기관(21)의 소정의 영역에 도전형 불순물을 이온 임플란테이션함으로써 형성할 수 있다.

[0201] 구체적으로는, 도전형 불순물의 이온 임플란테이션은, 제1 기관(10)과, 제2 기관(20)을 접합시킨 후, 제2 기관(20)에 포함되는 제2 반도체 기관(21)을 박육화하고, 박육화한 제2 반도체 기관(21)에 게이트 구조를 형성하기 전에 행해진다.

[0202] 여기에서, 박육화된 제2 반도체 기관(21)의 두께는 수백nm 정도이다. 그 때문에, 이온 임플란테이션된 제1 도전형 불순물이 제2 반도체 기관(21)에 넓게 확산함으로써, 전계 효과 트랜지스터의 전기 특성에 영향을 줄 가능성이 있다.

[0203] 예를 들면, 핀형의 전계 효과 트랜지스터에서는, 웰 영역의 도전형 불순물이 핀 구조까지 확산한 경우, 핀형의 전계 효과 트랜지스터의 전류-전압 특성을 저하시켜 버릴 가능성이 있다. 그 때문에, 제2 반도체 기관(21)에 마련된 전계 효과 트랜지스터의 전기 특성을 양호하게 유지하기 위해서는, 웰 영역의 도전형 불순물이 제2 반도체 기관(21)의 표면까지 확산하지 않도록, 도전형 불순물의 확산을 적절하게 제어하는 것이 중요하다.

[0204] 본 실시 형태에 관한 기술은 이러한 사정을 감안하여 상도된 것이다. 본 실시 형태에 관한 기술은 제2 반도체 기관(21)의 웰 영역에 도전형 불순물의 확산을 억제하는 비도전형 불순물을 더 도입함으로써, 도전형 불순물의 확산을 적절하게 제어하는 것이다.

[0205] 또한, 제2 기관(20)이 두께 방향으로 적층된 복수의 반도체 기관을 포함하는 경우, 적층된 복수의 반도체 기관(즉, 제2 반도체 기관(1310) 및 제2 반도체 기관(1310) 위에 마련된 적어도 1개 이상의 반도체 기관)의 각각에 대해, 본 실시 형태에 관한 기술을 적용하는 것도 가능하다. 구체적으로는, 적층된 복수의 반도체 기관(즉, 제2 반도체 기관(1310) 및 제2 반도체 기관(1310) 위에 마련된 적어도 1개 이상의 반도체 기관)의 제1 영역(1311)에는, 제1 도전형 불순물에 더하여, 도전형 불순물의 확산을 억제하는 비도전형 불순물이 도입되어도 좋다.

[0206] 도 48 및 도 49는 제2 반도체 기관(1310)에서의 제1 영역(1311)의 형성 및 전계 효과 트랜지스터의 형성의 양태를 도시하는 모식도이다.

[0207] 도 48 및 도 49에 도시하는 바와 같이, 제1 기관(1301(10))은 제1 반도체 기관(1330(11)) 위에 제1 절연층(1340(46))을 적층하여 구성된다. 제2 반도체 기관(1310(21))은 제1 영역(1311)이 형성된 층의 면이 제1 절연층

(1340)을 향하도록 하여, 제1 기관(1301)과 접합된다. 또한, 제2 반도체 기관(1310)의 제1 영역(1311)이 형성된 측과 반대측의 면에는, 게이트 전극(1320), 게이트 절연막(1321), 소스 영역(1310S), 드레인 영역(1310D) 및 사이드 월 절연막(1322)을 구비하는 전계 효과 트랜지스터(1300)가 마련된다.

- [0208] 제1 영역(1311)은 제2 반도체 기관(1310)의 접합면측의 영역에 제1 도전형 불순물 및 비도전형 불순물을 도입함으로써 형성된다. 제1 영역(1311)에 제1 도전형 불순물 및 비도전형 불순물을 도입하는 방법으로서, 이온 임플란테이션을 이용할 수 있다. 또한, 고상 확산, 또는 플라즈마 도핑 등의 다른 공지의 도핑 방법을 이용하는 것도 가능하다.
- [0209] 제1 영역(1311)에 제1 도전형 불순물 및 비도전형 불순물을 도입하는 타이밍은 도 48에 도시하는 바와 같이, 제1 기관(1301)과 제2 반도체 기관(1310)의 접합 후라도 좋으며, 도 49에 도시하는 바와 같이 제1 기관(1301)과 제2 반도체 기관(1310)의 접합 전이라도 좋다.
- [0210] 제1 영역(1311)은, 예를 들면, 제2 반도체 기관(1310)의 전면 중, 전계 효과 트랜지스터가 마련되는 평면 영역에 적어도 마련된다. 단, 제조 공정을 보다 단순화하기 위해서는, 제1 영역(1311)은, 제2 반도체 기관(1310)의 전면에 걸쳐 마련되어도 좋다.
- [0211] 비도전형 불순물은 제1 도전형 불순물과 결합함으로써, 제1 도전형 불순물의 확산을 억제하는 물질이다. 구체적으로는, 제1 도전형 불순물이 붕소(B)인 경우, 제1 도전형 불순물과 결합하는 비도전형 불순물로서는, 탄소(C)를 이용할 수 있다. 제1 영역(1311)을 형성하기 위해 제2 반도체 기관(1310)에 도입한 붕소의 농도와 같은, 또는 보다 높은 농도의 탄소를 제1 영역(1311)에 도입함으로써, 제2 반도체 기관(1310)에서의 붕소의 확산을 억제할 수 있다.
- [0212] 또한, 제1 도전형 불순물이 붕소(B)인 경우, 제1 도전형 불순물과 결합하는 비도전형 불순물로서는, 불소(F)를 이용할 수 있다. 제1 영역(1311)을 형성하기 위해 제2 반도체 기관(1310)에 도입한 붕소의 농도보다 높은 농도의 불소를 제1 영역(1311)에 도입함으로써, 제2 반도체 기관(1310)에서의 붕소의 확산을 억제할 수 있다.
- [0213] 따라서, 본 실시 형태에 관한 기술에 의하면, 제2 반도체 기관(1310)의 이면측에 형성한 제1 영역(1311)에 도입한 제1 도전형 불순물이 제2 반도체 기관(1310)의 표면측에 확산하는 것을 억제할 수 있다. 이에 의하면, 본 실시 형태에 관한 기술은 제2 반도체 기관(1310)에 마련되는 전계 효과 트랜지스터(1300)에서의 전기 특성의 저하를 억제할 수 있다.
- [0214] 이어서, 도 50 및 도 51을 참조하여, 본 실시 형태에 관한 기술의 바리에이션에 관해 설명한다. 도 50 및 도 51은 제2 반도체 기관(1310)에 마련되는 전계 효과 트랜지스터의 구조의 바리에이션을 모식적으로 도시하는 단면도이다. 도 50 및 도 51은 제2 반도체 기관(1310)의 면 내에서 직교하는 2방향에서 각각 전계 효과 트랜지스터를 본 측면도이다.
- [0215] 도 50 및 도 51에 도시하는 바와 같이, 전계 효과 트랜지스터(1300A)는 제1 절연층(1340)을 적층한 제1 반도체 기관(1330)을 갖는 제1 기관(1301)과 접합된 제2 반도체 기관(1310)에 마련된다. 전계 효과 트랜지스터(1300A)는, 제2 반도체 기관(1310)의 표면에 볼록 설치되는 확산층(1312) 위에, 게이트 절연막(1321)을 통하여 게이트 전극(1320)이 과설된 핀형의 전계 효과 트랜지스터이다.
- [0216] 전계 효과 트랜지스터(1300A)에서는, 게이트 전극(1320)을 끼워서 양측에 마련된 확산층(1312)에는, 제2 도전형 불순물이 도입됨으로써, 소스 영역 및 드레인 영역이 형성된다. 또한, 전계 효과 트랜지스터(1300A)에서는, 게이트 절연막(1321)을 통하여 게이트 전극(1320)으로 덮이고, 소스 영역 및 드레인 영역 사이의 확산층(1312)이 채널 영역이 된다. 전계 효과 트랜지스터(1300A)에서는, 게이트 전극(1320)에 덮인 확산층(1312)의 상면 및 양측면의 3면에 게이트 구조가 형성되기 때문에, 같은 평면 면적에서 형성된 전계 효과 트랜지스터(1300)와 비교하여, 게이트 폭을 크게 할 수 있다.
- [0217] 본 실시 형태에 관한 기술에 의하면, 제1 영역(1311)에 포함되는 제1 도전형 불순물의 확산을 억제할 수 있기 때문에, 채널이 형성되는 확산층(1312)에 제1 도전형 불순물이 진입할 가능성을 저감할 수 있다. 이에 의하면, 확산층(1312)에 진입한 제1 도전형 불순물에 의해 실효적인 게이트 폭이 축소하는 것을 억제할 수 있기 때문에, 전계 효과 트랜지스터(1300A)의 전기 특성을 양호하게 유지하는 것이 가능해진다.
- [0218] 이상으로, 본 개시의 제3 실시 형태에 관한 기술에 관해 상세히 설명하였다. 본 실시 형태에 관한 기술에 의하면, 화소 회로(22)가 마련되는 제2 반도체 기관(21)에서, 제1 도전형 불순물과 결합하는 비도전형 불순물을 웰 영역에 또 도입함으로써, 제1 도전형 불순물의 확산을 억제할 수 있다. 따라서, 본 실시 형태에 관한 기술에 의

하면, 제2 반도체 기판(21)에 마련되는 전계 효과 트랜지스터의 전기 특성이 제1 도전형 불순물의 확산에 의해 저하되는 것을 억제할 수 있다.

[0219] <<5. 변형례>>

[0220] 이하에서는, 본 개시에 관한 기술이 적용되는 촬상 장치(1)의 변형례에 관해 설명한다. 또한, 이하의 변형례에 서는, 상기에서 설명한 촬상 장치(1)와 공통의 구성에 대해서는, 동일한 부호를 붙인다.

[0221] (제1 변형례)

[0222] 우선, 도 52를 참조하여, 촬상 장치(1)의 적층 방향의 단면 구성의 한 변형례인 제1 변형례에 관해 설명한다. 도 52는, 도 7에 기재된 단면 구성의 한 변형례를 도시하는 종단면도이다.

[0223] 도 52에 도시하는 바와 같이, 제1 변형례에 관한 촬상 장치(1)에서는, 전송 트랜지스터(TR)는 평면형의 전송 게이트(TG)를 가진다. 그 때문에, 전송 게이트(TG)는 p웰층(42)을 관통하고 있지 않고, 제1 반도체 기판(11)의 표면에 형성된다. 전송 트랜지스터(TR)에 평면형의 전송 게이트(TG)가 이용되는 경우라도, 촬상 장치(1)는 상기와 같은 효과를 이룰 수 있다.

[0224] (제2 변형례)

[0225] 다음으로, 도 53을 참조하여, 촬상 장치(1)의 적층 방향의 단면 구성의 한 변형례인 제2 변형례에 관해 설명한다. 도 53은 도 7에 기재된 단면 구성의 한 변형례를 도시하는 종단면도이다.

[0226] 도 53에 도시하는 바와 같이, 제2 변형례에 관한 촬상 장치(1)에서는, 제2 기판(20)과 제3 기판(30)의 전기적인 접속이 제1 기판(10)에서의 주변 영역(14)과 대응하는 영역에서 형성되어 있다. 주변 영역(14)은 제1 기판(10)의 화소 영역(13)의 주변에 마련된 액자 영역에 대응하는 영역이다. 제2 변형례에 관한 촬상 장치(1)에서는, 제2 기판(20)은 주변 영역(14)과 대응하는 영역에 복수의 패드 전극(58)을 가지고, 제3 기판(30)은 주변 영역(14)과 대응하는 영역에 복수의 패드 전극(64)을 가진다. 이에 의해, 제2 기판(20) 및 제3 기판(30)은 주변 영역(14)과 대응하는 영역에 마련된 패드 전극(58, 64)끼리의 접합으로, 서로 전기적으로 접속된다. 따라서, 제2 변형례에 관한 촬상 장치(1)에서는, 화소 영역(13)에 대응하는 영역에서 패드 전극(58, 64)끼리를 접합하는 경우와 비교하여, 패드 전극(58, 64)끼리의 접합에 의한 영향이 화소 영역(13)에 미칠 가능성을 저감할 수 있다.

[0227] (제3 변형례)

[0228] 또한, 도 54~도 59를 참조하여, 제3 변형례에 관한 촬상 장치(1B)의 구성례에 관해 설명한다. 도 54~도 56은 제3 변형례에 관한 촬상 장치(1B)의 구성례를 도시하는 두께 방향의 단면도이다. 도 57~도 59는 제3 변형례에 관한 촬상 장치(1B)의 복수의 화소 유닛(PU)의 레이아웃례를 도시하는 수평 방향의 단면도이다. 또한, 도 57~도 59에 도시하는 단면도는, 어디까지나 모식도이고, 실제의 구조를 엄밀하게 올바르게 나타내는 것을 목적으로 한 도면이 아니다. 도 57~도 59에 도시하는 단면도는 촬상 장치(1B)의 구성을 지면으로 알기 쉽게 설명하기 위해, 위치(sec1부터 sec3)에서, 트랜지스터나 불순물 확산층의 수평 방향에서의 위치를 의도적으로 바꾸어서 나타내고 있다.

[0229] 구체적으로는, 도 54에 도시하는 촬상 장치(1B)의 화소 유닛(PU)에서, 위치(sec1)에서의 단면은 도 57을 A1-A1'선에서 절단한 단면에 대응하고, 위치(sec2)에서의 단면은 도 58을 B1-B1'선에서 절단한 단면에 대응하고, 위치(sec3)에서의 단면은 도 59를 C1-C1'선에서 절단한 단면에 대응한다. 마찬가지로, 도 55에 도시하는 촬상 장치(1B)에서, 위치(sec1)에서의 단면은 도 57을 A2-A2'선에서 절단한 단면에 대응하고, 위치(sec2)에서의 단면은 도 58을 B2-B2'선에서 절단한 단면에 대응하고, 위치(sec3)에서의 단면은 도 59를 C2-C2'선에서 절단한 단면에 대응한다. 도 56에 도시하는 촬상 장치(1B)에서, 위치(sec1)에서의 단면은 도 57을 A3-A3'선에서 절단한 단면에 대응하고, 위치(sec2)에서의 단면은 도 58을 B3-B3'선에서 절단한 단면에 대응하고, 위치(sec3)에서의 단면은 도 59를 C3-C3'선에서 절단한 단면에 대응한다.

[0230] 도 54~도 59에 도시하는 바와 같이, 제1 기판(보통 기판(10))의 겉면(10a)(일방의 면)측에 제2 기판(20)이 적층되어 있다. 제1 기판(10)의 겉면(10a)측에, 포토 다이오드(PD), 전송 트랜지스터(TR) 및 플로팅 디퓨전(FD)이 마련되어 있다. 포토 다이오드(PD), 전송 트랜지스터(TR) 및 플로팅 디퓨전(FD)은 각각 센서 화소(12)마다 마련되어 있다.

[0231] 제1 기판(10)의 타방의 면(예를 들면, 이면)은 광입사면이다. 촬상 장치(1B)는 이면 조사형의 촬상 장치이고, 이면에 컬러 필터 및 수광 렌즈가 마련되어 있다. 컬러 필터 및 수광 렌즈는 각각 센서 화소(12)마다 마련되어

있다.

- [0232] 제1 기판(10)이 갖는 제1 반도체 기판(11)은 예를 들어 실리콘 기판으로 구성되어 있다. 제1 반도체 기판(11)의 겹면의 일부 및 그 근방에는, 제1 도전형(예를 들면, p형)의 웰층(WE)이 마련되어 있고, 웰층(WE)보다도 깊은 영역에 제2 도전형(예를 들면, n형)의 포토 다이오드(PD)가 마련되어 있다. 또한, 웰층(WE) 내에는, 웰층(WE)보다도 p형의 농도가 높은 웰 콘택트층과, n형의 플로팅 디퓨전(FD)이 마련되어 있다. 웰 콘택트층은, 웰층(WE)과 배선의 접촉 저항을 저감하기 위해 마련되어 있다.
- [0233] 제1 반도체 기판(11)에는, 서로 이웃하는 센서 화소(12)끼리를 전기적으로 분리하는 소자 분리층(16)이 마련되어 있다. 소자 분리층(16)은 예를 들어 STI(Shallow Trench Isolation) 구조를 가지고, 제1 반도체 기판(11)의 깊이 방향으로 연재되어 있다. 소자 분리층(16)은, 예를 들면, 산화 실리콘에 의해 구성되어 있다. 또한, 제1 반도체 기판(11)에서, 소자 분리층(16)과 포토 다이오드(PD) 사이에는, 불순물 확산층(17)이 마련되어 있다. 예를 들면, 불순물 확산층(17)은 제1 반도체 기판(11)의 두께 방향으로 연설(延設)된 p형층과 n형층을 가진다. 소자 분리층(16)측에 p형층이 위치하고, 포토 다이오드(PD)측에 n형층이 위치한다.
- [0234] 제1 반도체 기판(11)의 겹면(11a)측에는, 절연막(2015)이 마련되어 있다. 절연막(2015)은, 예를 들면, 실리콘 산화막(SiO₂), 실리콘 질화막(SiN), 실리콘 산질화막(SiON) 또는 실리콘 탄질화막(SiCN) 중의 1개, 또는, 이들 중 2개 이상을 적층한 막이다.
- [0235] 제2 기판(20)은 하측 기판(2210)과 상측 기판(2220)을 가진다. 하측 기판(2210)은 반도체 기판(2211)을 가진다. 반도체 기판(2211)은 예를 들어 단결정 실리콘으로 구성되는 실리콘 기판이다. 반도체 기판(2211)의 일방의 면(예를 들면, 겹면(2211a))측에, 증폭 트랜지스터(AMP)와, 증폭 트랜지스터(AMP)의 주위를 둘러싸는 소자 분리층(2213)이 마련되어 있다. 소자 분리층(2213)에 의해, 서로 이웃한 화소 유닛(PU)의 일방의 증폭 트랜지스터(AMP)와 타방의 증폭 트랜지스터(AMP)는 전기적으로 분리되어 있다.
- [0236] 하측 기판(2210)은 반도체 기판(2211)의 겹면(2211a)을 덮는 절연막(2215)을 가진다. 절연막(2215)에 의해, 증폭 트랜지스터(AMP) 및 소자 분리층(2213)은 덮여 있다. 또한, 하측 기판(2210)은 반도체 기판(2211)의 타방의 면(예를 들면, 이면(2211b))을 덮는 절연막(2217)을 가진다. 절연막(2215, 2217)은, 예를 들면, SiO₂, SiN, SiON 또는 SiCN 중의 1개, 또는, 이들 중 2개 이상을 적층한 막이다. 제1 기판(10)의 절연막(2015)과 하측 기판(2210)의 절연막(2217)은 서로 접합되어, 층간 절연막(2051)을 구성하고 있다.
- [0237] 상측 기판(2220)은 반도체 기판(2221)을 가진다. 반도체 기판(2221)은 예를 들어 단결정 실리콘으로 구성되는 실리콘 기판이다. 반도체 기판(2221)의 일방의 면(예를 들면, 겹면(2221a))측에, 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)와, 소자 분리층(2223)이 마련되어 있다. 예를 들면, 소자 분리층(2223)은 리셋 트랜지스터(RST)와 선택 트랜지스터(SEL) 사이 및 선택 트랜지스터(SEL)와 반도체 기판(2221)의 웰층 사이에 각각 마련되어 있다.
- [0238] 상측 기판(2220)은 반도체 기판(2221)의 겹면(2221a), 이면(2221b) 및 측면을 덮는 절연막(2225)을 가진다. 절연막(2225)은, 예를 들면, SiO₂, SiN, SiON 또는 SiCN 중의 1개, 또는, 이들 중 2개 이상을 적층한 막이다. 하측 기판(2210)의 절연막(2215)과 상측 기판(2220)의 절연막(2225)은 서로 접합되어, 층간 절연막(2053)을 구성하고 있다.
- [0239] 촬상 장치(1B)는 층간 절연막(2051, 2053) 중에 마련되어, 제1 기판(10) 또는 제2 기판(20)의 적어도 일방에 전기적으로 접속하는 복수의 배선(L1부터 L10)을 구비한다. 배선(L1)은 증폭 트랜지스터(AMP)의 드레인과 전원선(VDD)을 전기적으로 접속하고 있다. 배선(L2)은 1개의 화소 유닛(PU)에 포함되는 4개의 플로팅 디퓨전(FD)과, 증폭 트랜지스터(AMP)의 게이트 전극(AG)을 전기적으로 접속하고 있다. 배선(L3)은 증폭 트랜지스터(AMP)의 소스와 선택 트랜지스터(SEL)의 드레인을 전기적으로 접속하고 있다. 배선(L4)은 선택 트랜지스터(SEL)의 게이트 전극(SG)과 화소 구동선을 전기적으로 접속하고 있다.
- [0240] 배선(L5)은 선택 트랜지스터(SEL)의 소스와 수직 신호선을 전기적으로 접속하고 있다. 배선(L6)은 리셋 트랜지스터(RST)의 드레인과 전원선(VDD)을 전기적으로 접속하고 있다. 배선(L7)은 리셋 트랜지스터(RST)의 게이트 전극(RG)과 화소 구동선을 전기적으로 접속하고 있다. 배선(L8)은 리셋 트랜지스터(RST)의 소스와 배선(L2)을 전기적으로 접속하고 있다. 배선(L9)은 전송 트랜지스터(TR)의 게이트 전극(TG)과 화소 구동선을 전기적으로 접속하고 있다. 배선(L10)은 웰 콘택트층과, 기준 전위(예를 들면, 접지 전위: 0V)를 공급하는 기준 전위선을 전기적으로 접속하고 있다.
- [0241] 배선(L1~L10)에서, 적층체의 두께 방향으로 연설되어 있는 부분은 텅스텐(W)으로 구성되어 있고, 적층체의 두

게 방향과 직교하는 방향(예를 들면, 수평 방향)으로 연결되어 있는 부분은 구리(Cu) 또는 Cu를 주성분으로 하는 Cu 합금으로 구성되어 있다. 단, 배선(L1~L10)을 구성하는 재료는 이들로 한정되지 않고, 다른 재료로 구성되어 있어도 좋다.

[0242] 제2 기판(20)은 상기 배선(L1~L10) 중의 임의의 배선(예를 들면, 배선(L1, L4~L7, L9, L10))에 접속하는 복수의 패드 전극(2227)을 가진다. 복수의 패드 전극(2227)은 예를 들어 Cu 또는 Cu 합금으로 구성되어 있다.

[0243] 제3 기판(30)은 제2 기판(20)에서 제1 기판(10)과 마주 보는 면의 반대측(예를 들면, 겹면측)에 배치되어 있다. 제3 기판(30)은 반도체 기판(2301)과, 반도체 기판(2301)의 겹면(2301a)측을 덮는 절연막(2304)과, 반도체 기판(2301)의 겹면(2301a)측에 마련된 복수의 배선(L30)과, 복수의 배선(L30)에 각각 접속하는 패드 전극(2305)을 구비한다. 또한, 제3 기판(30)은, 후술하는 바와 같이, 제2 기판(20)과 겹면끼리가 접합되어 있다. 이 때문에, 반도체 기판(2301)의 겹면(2301a)은 하측을 향하고 있다.

[0244] 반도체 기판(2301)은 예를 들어 단결정 실리콘으로 구성되는 실리콘 기판이다. 반도체 기판(2301)의 겹면(2301a)측에는, 로직 회로를 구성하는 복수의 트랜지스터 및 불순물 확산층이 마련되어 있다. 절연막(2304)은 로직 회로를 구성하는 복수의 트랜지스터나 불순물 확산층을 덮고 있다. 절연막(2304)에는, 이들 트랜지스터나 불순물 확산층에 접속하는 콘택트 홀이 마련되어 있다.

[0245] 배선(L30)은 콘택트 홀 내에 마련되어 있다. 배선(L30)에서, 제3 기판(30)의 두께 방향으로 연결되어 있는 부분은 티탄(Ti) 또는 코발트(Co)로 구성되어 있고, 제3 기판(30)의 두께 방향과 직교하는 방향(예를 들면, 수평 방향)으로 연결되어 있는 부분은 Cu 또는 Cu를 주성분으로 하는 Cu 합금으로 구성되어 있다. 단, 배선(L30)을 구성하는 재료는 이들로 한정되지 않고, 다른 재료로 구성되어 있어도 좋다.

[0246] 배선(L30)과 반도체 기판(2301)의 접속부에는, 실리사이드(2303)(예를 들면, 티탄 실리사이드(TiSi) 또는 코발트 실리사이드(CoSi₂))가 형성되어 있다. 실리사이드(2303)에 의해, 배선(L30)과 반도체 기판(2301)의 접속이 보다 옴릭 콘택트에 가까운 것이 되고, 접촉 저항이 저감되어 있다. 이에 의해, 로직 회로의 연산 속도의 고속화가 도모되어 있다.

[0247] 또한, 제1 기판(10) 및 제2 기판(20)에는, 실리사이드는 형성되어 있지 않다. 이에 의해, 제1 기판(10)과 제2 기판(20)을 형성할 때에, 실리사이드의 내열 온도를 초과하는 온도에서의 열처리 등이 가능하게 되어 있다. 단, 제1 기판(10) 및 제2 기판(20)의 적어도 일방에 실리사이드가 형성되어 있어도 좋다.

[0248] 복수의 패드 전극(2305)은 예를 들어 Cu 또는 Cu 합금으로 구성되어 있다. 활상 장치(1B)의 두께 방향에서, 제3 기판(30)의 패드 전극(2305)은 제2 기판(20)의 패드 전극(2227)과 마주 보고 전기적으로 접속하고 있다. 예를 들면, 패드 전극(2305, 2227)은 서로를 마주본 상태에서 Cu-Cu 접합되어 일체화하고 있다. 이에 의해, 제2 기판(20)과 제3 기판(30)이 전기적으로 접속됨과 함께, 제2 기판(20)과 제3 기판(30)의 접합의 강도가 높아지고 있다.

[0249] 제3 변형례에 관한 활상 장치(1B)에서는, 복수의 센서 화소(12)마다, 1개의 플로팅 디퓨전용 콘택트가 배치되어 있어도 좋다. 예를 들면, 서로 이웃하는 4개의 센서 화소(12)가 1개의 플로팅 디퓨전용 콘택트를 공유하고 있어도 좋다. 마찬가지로, 복수의 센서 화소(12)마다, 1개의 웰용 콘택트가 배치되어 있어도 좋다. 예를 들면, 서로 이웃하는 4개의 센서 화소(12)가 1개의 웰용 콘택트를 공유하고 있어도 좋다.

[0250] 구체적으로는, 도 55 및 도 59에 도시하는 바와 같이, 활상 장치(1B)는 복수의 센서 화소(12)에 걸쳐도록 배치된 공통 패드 전극(2102)과, 공통 패드 전극(2102)상에 마련된 1개의 배선(L2)을 공유해도 좋다. 예를 들면, 활상 장치(1B)에는, 평면에서 볼 때, 4개의 센서 화소(12)의 각 플로팅 디퓨전(FD1~FD4)이 소자 분리층(16)을 통하여 서로 이웃하는 영역이 존재한다. 이 영역에 공통 패드 전극(2102)이 마련되어 있다. 공통 패드 전극(2102)은 4개의 플로팅 디퓨전(FD1~FD4)에 걸쳐도록 배치되어 있고, 4개의 플로팅 디퓨전(FD1~FD4)과 각각 전기적으로 접속하고 있다. 공통 패드 전극(2102)은, 예를 들면, n형 불순물 또는 p형 불순물이 도핑된 폴리실리콘막으로 구성되어 있다.

[0251] 공통 패드 전극(2102)의 중심부상에 1개의 배선(L2)(즉, 플로팅 디퓨전용 콘택트)이 마련되어 있다. 도 55, 도 57~도 59에 도시하는 바와 같이, 공통 패드 전극(2102)의 중심부상에 마련된 배선(L2)은, 제1 기판(10)으로부터, 제2 기판(20)의 하측 기판(2210)을 관통하여 제2 기판(20)의 상측 기판(2220)까지 연결되어 있고, 상측 기판(2220)에 마련된 배선 등을 통하여, 증폭 트랜지스터(AMP)의 게이트 전극(AG)에 접속하고 있다.

[0252] 또한, 도 54 및 도 59에 도시하는 바와 같이, 활상 장치(1B)는, 복수의 센서 화소(12)에 걸쳐도록 배치된 공통

패드 전극(2110)과, 공통 패드 전극(2110)상에 마련된 1개의 배선(L10)을 공유해도 좋다. 예를 들면, 촬상 장치(1B)에는, 평면에서 볼 때, 4개의 센서 화소(12)의 각 웰층(WE)이 소자 분리층(16)을 통하여 서로 이웃하는 영역이 존재한다. 이 영역에 공통 패드 전극(2110)이 마련되어 있다. 공통 패드 전극(2110)은 4개의 센서 화소(12)의 각 웰층(WE)에 걸쳐도록 배치되어 있고, 4개의 센서 화소(12)의 각 웰층(WE)과 각각 전기적으로 접속하고 있다. 한 예를 들면, 공통 패드 전극(2110)은 Y축 방향으로 나열되는 일방의 공통 패드 전극(2102)과 타방의 공통 패드 전극(2102) 사이에 배치되어 있다. Y축 방향에서, 공통 패드 전극(2102, 2110)은 교대로 나란히 배치되어 있다. 공통 패드 전극(2110)은, 예를 들면, n형 불순물 또는 p형 불순물이 도핑된 폴리실리콘막으로 구성되어 있다.

[0253] 공통 패드 전극(2110)의 중심부상에 1개의 배선(L10)(즉, 웰층 콘택트)이 마련되어 있다. 도 54, 도 57~도 59에 도시하는 바와 같이, 공통 패드 전극(2110)의 중심부상에 마련된 배선(L10)은, 제1 기판(10)으로부터, 제2 기판(20)의 하측 기판(2210)을 관통하여 제2 기판(20)의 상측 기판(2220)까지 연결되어 있고, 상측 기판(2220)에 마련된 배선 등을 통하여, 기준 전위(예를 들면, 접지 전위: 0V)를 공급하는 기준 전위선에 접속하고 있다.

[0254] 공통 패드 전극(2110)의 중심부상에 마련된 배선(L10)은 공통 패드 전극(2110)의 상면과, 하측 기판(2210)에 마련된 관통 구멍의 내측면과, 상측 기판(2220)에 마련된 관통 구멍의 내측면에, 각각 전기적으로 접속하고 있다. 이에 의해, 제1 기판(10)의 제1 반도체 기판(11)의 웰층(WE)과, 제2 기판(20)의 하측 기판(2210)의 웰층 및 상측 기판(2220)의 웰층은 기준 전위(예를 들면, 접지 전위: 0V)에 접속된다.

[0255] 제3 변형례에 관한 촬상 장치(1B)는 제1 기판(10)을 구성하는 제1 반도체 기판(11)의 겉면(11a)측에 마련되고, 서로 이웃하는 복수(예를 들면, 4개)의 센서 화소(12)에 걸쳐도록 배치된 공통 패드 전극(2102, 2110)을 또한 구비한다. 공통 패드 전극(2102)은 4개의 센서 화소(12)의 플로팅 디퓨전(FD)과 전기적으로 접속하고 있기 때문에, 4개의 센서 화소(12)마다, 플로팅 디퓨전(FD)에 접속하는 배선(L2)을 공통화할 수 있다. 또한, 공통 패드 전극(2110)은 4개의 센서 화소(12)의 웰층(WE)과 전기적으로 접속하고 있기 때문에, 4개의 센서 화소(12)마다, 웰층(WE)에 접속하는 배선(L10)을 공통화할 수 있다. 이에 의해, 배선(L2, L10)의 개수가 저감되기 때문에, 센서 화소(12)의 면적 저감이 가능하고, 촬상 장치(1B)의 소형화가 가능하다.

[0256] (제4 변형례)

[0257] 이어서, 도 60 및 도 61을 참조하여, 촬상 장치(1)의 수평 방향의 단면 구성의 한 변형례인 제4 변형례에 관해 설명한다. 도 60 및 도 61의 상측의 도면은 도 7에서의 절단면(Sec1)의 단면 구성의 한 변형례를 도시하는 모식도이고, 도 60 및 도 61의 하측의 도면은 도 7에서의 절단면(Sec2)의 단면 구성의 한 변형례를 도시하는 모식도이다.

[0258] 도 60 및 도 61에 도시하는 바와 같이, 복수의 관통 배선(54), 복수의 관통 배선(48) 및 복수의 관통 배선(47)은 제1 기판(10)의 면 내에서 제1 방향(V1)(도 60 및 도 61의 좌우 방향)으로 띠형상으로 나란히 배치된다. 도 60 및 도 61에서는, 복수의 관통 배선(54), 복수의 관통 배선(48) 및 복수의 관통 배선(47)이 제1 방향(V1)으로 2열로 나란히 배치되어 있는 경우가 예시되어 있다.

[0259] 화소 회로(22)를 공유하는 4개의 센서 화소(12)에서, 4개의 플로팅 디퓨전(FD)은, 예를 들면, 소자 분리부(43)를 통하여 서로 근접하여 배치된다. 화소 회로(22)를 공유하는 4개의 센서 화소(12)에서, 4개의 전송 게이트(TG(TG1, TG2, TG3, TG4))는 4개의 플로팅 디퓨전(FD)을 둘러싸도록 배치된다. 예를 들면, 4개의 전송 게이트(TG)는 원환 형상으로 되도록 배치된다.

[0260] 분리 절연층(53)은 제1 방향(V1)으로 연신되는 복수의 블록으로 구성되어 있다. 제2 반도체 기판(21)은 제1 방향(V1)으로 연신되고, 또한 제1 방향(V1)으로 나란히 배치된 복수의 섬형상의 블록(21A)으로 구성된다. 블록(21A)의 각각에는, 예를 들면, 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)가 마련된다. 4개의 센서 화소(12)에 의해 공유되는 1개의 화소 회로(22)는, 예를 들면, 4개의 센서 화소(12)와 대응하여 배치되어 있지 않고, 제2 방향(V2)으로 어긋나서 배치된다.

[0261] 도 60에서는, 4개의 센서 화소(12)에 의해 공유되는 1개의 화소 회로(22)는, 제2 기판(20)에서, 4개의 센서 화소(12)와 대응하는 영역을 제2 방향(V2)으로 어긋나게 한 영역 내에 있는 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)에 의해 구성된다. 예를 들면, 4개의 센서 화소(12)에 의해 공유되는 1개의 화소 회로(22)는 1개의 블록(21A) 내의 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 선택 트랜지스터(SEL)에 의해 구성된다.

[0262] 도 61에서는, 4개의 센서 화소(12)에 의해 공유되는 1개의 화소 회로(22)는, 제2 기판(20)에서, 4개의 센서 화

소(12)와 대응하는 영역을 제2 방향(V2)으로 어긋나게 한 영역 내에 있는 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL) 및 FD 변환 게인 전환 트랜지스터(FDG)에 의해 구성된다. 예를 들면, 4개의 센서 화소(12)에 의해 공유되는 1개의 화소 회로(22)는 1개의 블록(21A) 내의 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST), 선택 트랜지스터(SEL) 및 FD 변환 게인 전환 트랜지스터(FDG)에 의해 구성된다.

[0263] 제4 변형례에 관한 촬상 장치(1)에서는, 4개의 센서 화소(12)에 의해 공유되는 1개의 화소 회로(22)는 4개의 센서 화소(12)와 정면으로 대하여 배치되어 있지 않고, 4개의 센서 화소(12)와 정면으로 대하는 위치로부터 제2 방향(V2)으로 어긋나서 배치되어 있다. 이 구성에 의하면, 제4 변형례에 관한 촬상 장치(1)는 배선(25)을 짧게 하거나, 배선(25)을 생략하여 증폭 트랜지스터(AMP)의 소스와, 선택 트랜지스터(SEL)의 드레인을 공통의 불순물 영역으로 구성하거나 하는 것이 가능해진다. 따라서, 제4 변형례에 관한 촬상 장치(1)는 화소 회로(22)의 사이즈를 작게 하는 것이 가능해진다.

[0264] (제5 변형례)

[0265] 다음으로, 도 62를 참조하여, 촬상 장치(1)의 수평 방향의 단면 구성의 한 변형례인 제5 변형례에 대해 설명한다. 도 62는 도 7에서의 절단면(Sec1) 및 절단면(Sec2)의 단면 구성의 한 변형례를 도시하는 모식도이다.

[0266] 도 62에 도시하는 바와 같이, 제2 반도체 기관(21)은 분리 절연층(53)을 통하여 제1 방향(V1) 및 제2 방향(V2)으로 나란히 배치된 복수의 섬형상의 블록(21A)으로 구성되어 있다. 블록(21A)의 각각에는, 예를 들면, 한 조의 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)가 마련되어 있다. 이와 같은 경우, 제5 변형례에 관한 촬상 장치(1)는 서로 인접하는 화소 회로(22)끼리로의 크로스토크를 분리 절연층(53)에 의해 억제할 수 있기 때문에, 화상의 해상도 저하, 또는 혼색에 의한 화질 저하를 억제할 수 있다.

[0267] (제6 변형례)

[0268] 이어서, 도 63을 참조하여, 촬상 장치(1)의 수평 방향의 단면 구성의 한 변형례인 제6 변형례에 대해 설명한다. 도 63은 도 7에서의 절단면(Sec1) 및 절단면(Sec2)의 단면 구성의 한 변형례를 도시하는 모식도이다.

[0269] 도 63에서는, 제2 반도체 기관(21)은, 4개의 센서 화소(12)에 의해 공유되는 1개의 화소 회로(22)는, 예를 들면, 4개의 센서 화소(12)와 대응하여 배치되어 있지 않고, 제1 방향(V1)으로 어긋나서 배치되어 있다. 또한, 제6 변형례에 관한 촬상 장치(1)에서는, 제2 반도체 기관(21)은 분리 절연층(53)을 통하여 제1 방향(V1) 및 제2 방향(V2)으로 나란히 배치된 복수의 섬형상의 블록(21A)으로 구성된다. 블록(21A)의 각각에는, 예를 들면, 한 조의 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)가 마련된다. 또한, 제6 변형례에 관한 촬상 장치(1)에서는, 복수의 관통 배선(47) 및 복수의 관통 배선(54)이 제2 방향(V2)으로 배열된다.

[0270] 이에 의해, 복수의 관통 배선(47)은 1개의 화소 회로(22)를 공유하는 4개의 관통 배선(54)과, 그 화소 회로(22)의 제2 방향(V2)으로 인접하는 다른 화소 회로(22)를 공유하는 4개의 관통 배선(54) 사이에 배치된다. 이에 의하면, 제6 변형례에 관한 촬상 장치(1)는 서로 인접하는 화소 회로(22)끼리의 크로스토크를 분리 절연층(53) 및 관통 배선(47)에 의해 억제할 수 있기 때문에, 화상의 해상도 저하, 또는 혼색에 의한 화질 저하를 억제할 수 있다.

[0271] (제7 변형례)

[0272] 다음으로, 도 64~도 66을 참조하여, 촬상 장치(1)의 수평 방향의 단면 구성의 한 변형례인 제7 변형례에 대해 설명한다. 도 64는 도 7에서의 절단면(Sec1) 및 절단면(Sec2)의 단면 구성의 한 변형례를 도시하는 모식도이다.

[0273] 도 64에 도시하는 바와 같이, 제7 변형례에 관한 촬상 장치(1)에서는, 제1 기관(10)은 포토 다이오드(PD) 및 전송 트랜지스터(TR)(즉, 전송 게이트(TG))를 센서 화소(12)마다 가지고, 플로팅 디퓨전(FD)을 4개의 센서 화소(12)마다 공유하고 있다. 그 때문에, 제7 변형례에 관한 촬상 장치(1)는 4개의 센서 화소(12)마다 1개의 관통 배선(54)이 마련되어 있다.

[0274] 또한, 제7 변형례에 관한 촬상 장치(1)에서는, 1개의 플로팅 디퓨전(FD)을 공유하는 4개의 센서 화소(12)에 대응하는 단위 영역을 1개의 센서 화소(12)분만큼 제2 방향(V2)으로 어긋나게 한 영역마다, 관통 배선(47)이 마련되어 있다. 즉, 제7 변형례에 관한 촬상 장치(1)에서는, 1개의 플로팅 디퓨전(FD)을 공유하는 4개의 센서 화소(12)에 대응하는 단위 영역과, 그 단위 영역과 제2 방향(V2)으로 인접하는 인접 단위 영역 사이에 관통 배선(47)이 마련된다. 또한, 관통 배선(47)은 관통 배선(47)의 주위에 존재하는 단위 영역의 2개의 센서 화소(12) 및 관통 배선(47)의 주위에 존재하는 인접 단위 영역의 2개의 센서 화소(12)에서 공유되어 있다.

- [0275] 또한, 제7 변형례에 관한 촬상 장치(1)에서는, 제1 기관(10)은 포토 다이오드(PD) 및 전송 트랜지스터(TR)를 센서 화소(12)마다 분리하는 소자 분리부(43)를 가진다. 제1 반도체 기관(11)의 주면을 법선 방향으로부터 평면에서 본 경우, 소자 분리부(43)는 센서 화소(12)의 주위를 완전하게 둘러싸고 있지 않고, 플로팅 디퓨전(FD)(즉, 관통 배선(54))의 근방 및 관통 배선(47)의 근방에 간극(미형성 영역)을 가지고 있다. 이 간극에 의해, 4개의 센서 화소(12)에 의한 관통 배선(54)의 공유 및 단위 영역과 인접 단위 영역 사이에서의 4개의 센서 화소(12)에 의한 관통 배선(47)의 공유가 가능해진다. 또한, 제7 변형례에 관한 촬상 장치(1)에서는, 제2 기관(20)은 플로팅 디퓨전(FD)을 공유하는 4개의 센서 화소(12)마다 화소 회로(22)를 가진다.
- [0276] 도 65 및 도 66은 제7 변형례에 관한 촬상 장치(1)의 절단면(Sec2)의 단면 구성의 다른 예를 도시하는 모식도이다. 도 65에 도시하는 바와 같이, 제1 기관(10)은 포토 다이오드(PD) 및 전송 트랜지스터(TR)를 센서 화소(12)마다 가지고, 플로팅 디퓨전(FD)을 4개의 센서 화소(12)마다 공유하고 있어도 좋다. 또한, 제1 기관(10)은 포토 다이오드(PD) 및 전송 트랜지스터(TR)를 센서 화소(12)마다 분리하는 소자 분리부(43)를 가지고 있어도 좋다. 또한, 도 66에 도시하는 바와 같이, 포토 다이오드(PD) 및 전송 트랜지스터(TR)를 센서 화소(12)마다 가지고, 플로팅 디퓨전(FD)을 4개의 센서 화소(12)마다 공유하고 있어도 좋다. 또한, 제1 기관(10)은 포토 다이오드(PD) 및 전송 트랜지스터(TR)를 센서 화소(12)마다 분리하는 소자 분리부(43)를 가지고 있어도 좋다.
- [0277] (제8 변형례)
- [0278] 이어서, 도 67을 참조하여, 촬상 장치(1)의 회로 구성의 한 변형례인 제8 변형례에 관해 설명한다. 도 67은 열병렬 ADC(Analog to Digital Converter) 탑재의 CMOS 이미지 센서의 회로 구성을 도시하는 모식도이다.
- [0279] 도 67에 도시하는 바와 같이, 제8 변형례에 관한 촬상 장치(1)는 광전 변환 소자를 포함하는 복수의 센서 화소(12)가 행렬형상(즉, 매트릭스형상)으로 2차원 배치된 화소 영역(13)과, 수직 구동 회로(33)와, 칼럼 신호 처리 회로(34)와, 참조 전압 공급부(38)와, 수평 구동 회로(35)와, 수평 출력선(37)과, 시스템 제어 회로(36)를 구비한다.
- [0280] 시스템 제어 회로(36)는, 마스터 클록(MCK)에 의거하여, 수직 구동 회로(33), 칼럼 신호 처리 회로(34), 참조 전압 공급부(38) 및 수평 구동 회로(35) 등의 동작의 기준이 되는 클록 신호 및 제어 신호 등을 생성한다. 시스템 제어 회로(36)는, 또한, 생성한 클록 신호 및 제어 신호를 수직 구동 회로(33), 칼럼 신호 처리 회로(34), 참조 전압 공급부(38) 및 수평 구동 회로(35)에 공급한다.
- [0281] 수직 구동 회로(33)는 화소 영역(13)의 센서 화소(12)의 각각이 형성된 제1 기관(10) 및 화소 회로(22)가 형성된 제2 기관(20)에 각각 형성된다. 칼럼 신호 처리 회로(34), 참조 전압 공급부(38), 수평 구동 회로(35), 수평 출력선(37) 및 시스템 제어 회로(36)는 제3 기관(30)에 형성된다.
- [0282] 여기에서의 도시는 생략하지만, 센서 화소(12)는, 예를 들면, 포토 다이오드(PD)와, 포토 다이오드(PD)에서 광전 변환된 전하를 플로팅 디퓨전(FD)에 전송하는 전송 트랜지스터(TR)를 가진다. 화소 회로(22)는, 예를 들면, 플로팅 디퓨전(FD)의 전위를 제어하는 리셋 트랜지스터(RST)와, 플로팅 디퓨전(FD)의 전위에 응한 신호를 출력하는 증폭 트랜지스터(AMP)와, 화소 선택을 행하기 위한 선택 트랜지스터(SEL)를 가진다.
- [0283] 화소 영역(13)에는, 센서 화소(12)가 2차원 배치된다. 예를 들면, n행 m열의 매트릭스형상으로 센서 화소(12)가 배치된 화소 영역(13)에서는, 행마다 화소 구동선(23)이 배선되고, 열마다 수직 신호선(24)가 배선된다. 복수의 화소 구동선(23)의 일단에는, 수직 구동 회로(33)의 각 행에 대응한 출력단이 각각 접속되어 있다. 수직 구동 회로(33)는 시프트 레지스터 등에 의해 구성되고, 복수의 화소 구동선(23)을 통하여 화소 영역(13)의 행 어드레스 또는 행 주사의 제어를 행한다.
- [0284] 칼럼 신호 처리 회로(34)는, 예를 들면, 화소 영역(13)의 화소 열마다, 즉 수직 신호선(24)마다 마련된 ADC(아날로그-디지털 변환 회로)(34-1~34-m)를 가진다. 칼럼 신호 처리 회로(34)는, ADC에 의해, 화소 영역(13)의 센서 화소(12)의 각각으로부터 열마다 출력되는 아날로그 신호를 디지털 신호로 변환하여 출력한다.
- [0285] 참조 전압 공급부(38)는, 예를 들면, DAC(디지털-아날로그 변환 회로)(38A)를 가지고, 시간이 경과함에 따라 레벨이 경사형상으로 변화하는, 이른바 램프(RAMP) 파형의 참조 전압(Vref)을 생성한다. 또한, 참조 전압 공급부(38)는, DAC(38A) 이외의 수단을 이용하여, 램프 파형의 참조 전압(Vref)을 생성해도 좋다.
- [0286] DAC(38A)는 시스템 제어 회로(36)로부터의 제어 신호(CS1) 및 클록(CK)에 의거하여 램프 파형의 참조 전압(Vref)을 생성하고, 생성한 참조 전압(Vref)을 칼럼 신호 처리 회로(34)의 ADC(34-1~34-m)에 대해 공급한다.
- [0287] 또한, ADC(34-1~34-m)의 각각은 센서 화소(12) 전부의 정보를 판독하는 프로그레시브 주사 방식에서의 통상 프

레이프 레이트 모드와, 통상 프레임 레이트 모드 시에 비해 센서 화소(12)의 노광 시간을 $1/N$ 로 설정함으로써 프레임 레이트를 N 배(예를 들면, 2배)로 끌어올리는 고속 프레임 레이트 모드의 각 동작 모드에 대응한 AD 변환 동작을 선택적으로 실행 가능하게 구성된다. 이 동작 모드의 전환은 시스템 제어 회로(36)로부터의 제어 신호(CS2, CS3)에 의한 제어에 의해 행해진다. 또한, 시스템 제어 회로(36)는, 외부의 시스템 컨트롤러(도시 생략)로부터의 지시 정보에 의거하여, 통상 프레임 레이트 모드와 고속 프레임 레이트 모드의 각 동작 모드를 전환하기 위한 제어 신호(CS2, CS3)를 생성한다.

- [0288] ADC(34-1~34-m)는 전부 같은 구성이기 때문에, 여기에서는 ADC(34-m)를 예로 들어 설명한다.
- [0289] ADC(34-m)는 비교기(34A)와, 업/다운 카운터(U/DCNT)(34B)와, 전송 스위치(34C)와, 메모리 장치(34D)를 가진다.
- [0290] 비교기(34A)는 화소 영역(13)의 m 열째의 센서 화소(12)의 각각으로부터 출력되는 신호에 응한 수직 신호선(24)의 신호 전압(V_x)과, 참조 전압 공급부(38)로부터 공급되는 램프 과형의 참조 전압(V_{ref})을 비교한다. 비교기(34A)는, 예를 들면, 참조 전압(V_{ref})이 신호 전압(V_x)보다도 큰 경우에 출력(V_{co})을 「H」 레벨로 하고, 참조 전압(V_{ref})이 신호 전압(V_x) 이하인 경우에 출력(V_{co})을 「L」 레벨로 한다.
- [0291] 업/다운 카운터(34B)는 비동기 카운터이다. 업/다운 카운터(34B)는, 시스템 제어 회로(36)로부터 주어지는 제어 신호(CS2)에 의거하여, 시스템 제어 회로(36)로부터 클록(CK)을 공급된다. 업/다운 카운터(34B)는 그 클록(CK)에 동기하여 다운(DOWN) 카운트, 또는 업(UP) 카운트를 행함에 의해, 비교기(34A)에서의 비교 동작의 시작부터 종료까지의 비교 기간을 계측한다.
- [0292] 구체적으로는, 통상 프레임 레이트 모드에서는, 업/다운 카운터(34B)는 1개의 센서 화소(12)로부터의 1회째의 판독 동작 시에 다운 카운트를 행함에 의해 1회째의 판독 시의 비교 시간을 계측한다. 또한, 업/다운 카운터(34B)는 2회째의 판독 동작 시에 업 카운트를 행함에 의해 2회째의 판독 시의 비교 시간을 계측한다.
- [0293] 한편, 고속 프레임 레이트 모드에서는, 업/다운 카운터(34B)는 어떤 행의 센서 화소(12)에 관한 카운트 결과를 그대로 유지한다. 그 후, 업/다운 카운터(34B)는, 다음 행의 센서 화소(12)에 관해, 전회의 카운트 결과를 인계하여 1회째의 판독 동작 시의 다운 카운트를 행함으로써 1회째의 판독 시의 비교 시간을 계측한다. 또한, 업/다운 카운터(34B)는 2회째의 판독 동작 시에 업 카운트를 행함으로써 2회째의 판독 시의 비교 시간을 계측한다.
- [0294] 전송 스위치(34C)는 시스템 제어 회로(36)로부터 주어지는 제어 신호(CS3)에 의거하여 동작한다. 전송 스위치(34C)는, 통상 프레임 레이트 모드에서는, 어떤 행의 센서 화소(12)에 관한 업/다운 카운터(34B)의 카운트 동작이 완료된 시점에서 온(폐) 상태가 됨으로써, 업/다운 카운터(34B)의 카운트 결과를 메모리 장치(34D)에 전송한다.
- [0295] 한편, 예를 들어 $N=2$ 인 고속 프레임 레이트에서는, 전송 스위치(34C)는 어떤 행의 센서 화소(12)에 관한 업/다운 카운터(34B)의 카운트 동작이 완료된 시점에서 오프(개) 상태 그대로가 된다. 그 후, 전송 스위치(34C)는 다음 행의 센서 화소(12)에 관한 업/다운 카운터(34B)의 카운트 동작이 완료된 시점에서 온 상태가 됨으로써, 업/다운 카운터(34B)의 수직 2화소분에 관한 카운트 결과를 메모리 장치(34D)에 전송한다.
- [0296] 이와 같이 하여, 화소 영역(13)의 센서 화소(12)의 각각으로부터 수직 신호선(24)을 경유하여 얼마나 공급되는 아날로그 신호는, ADC(34-1~34-m)에서의 비교기(34A) 및 업/다운 카운터(34B)의 동작에 의해, N 비트의 디지털 신호로 변환되어 메모리 장치(34D)에 격납된다.
- [0297] 수평 구동 회로(35)는 시프트 레지스터 등에 의해 구성되고, 칼럼 신호 처리 회로(34)에서의 ADC(34-1~34-m)의 열 어드레스 및 열 주사의 제어를 행한다. 수평 구동 회로(35)는, ADC(34-1~34-m)의 각각을 제어함으로써, AD 변환된 N 비트의 디지털 신호를 순차적으로 수평 출력선(37)에 판독하게 한다. 판독된 N 비트의 디지털 신호는 수평 출력선(37)을 경유하여 촬상 데이터로서 출력된다.
- [0298] 또한, 특히 도시하지 않지만, 수평 출력선(37)을 경유하여 출력되는 촬상 데이터에 대해 각종의 신호 처리를 행하는 회로 등을 상기 구성 요소 이외에 마련하는 것도 가능하다.
- [0299] 제8 변형례에 관한 촬상 장치(1)에서는, 전송 스위치(34C)를 통하여 업/다운 카운터(34B)의 카운트 결과를 선택적으로 메모리 장치(34D)에 전송할 수 있다. 이에 의하면, 제8 변형례에 관한 촬상 장치(1)에서는, 업/다운 카운터(34B)의 카운트 동작과, 업/다운 카운터(34B)의 카운트 결과의 수평 출력선(37)에의 판독 동작을 독립하여 제어하는 것이 가능하다.

- [0300] (제9 변형례)
- [0301] 다음으로, 도 68을 참조하여, 촬상 장치(1)의 적층 구조의 한 변형례인 제9 변형례에 관해 설명한다. 도 68은 도 67에 도시하는 촬상 장치(1)를 3개의 기관을 적층하여 구성한 한 예를 도시하는 모식도이다.
- [0302] 도 68에 도시하는 바와 같이, 제9 변형례에 관한 촬상 장치(1)는 제1 기관(10), 제2 기관(20) 및 제3 기관을 적층하여 구성된다. 제1 기관(10)에서는, 중앙 부분에 복수의 센서 화소(12)를 포함하는 화소 영역(13)이 형성되어 있고, 화소 영역(13)의 주위에 수직 구동 회로(33)가 형성되어 있다. 또한, 제2 기관(20)에서는, 중앙 부분에, 복수의 화소 회로(22)를 포함하는 화소 회로 영역(15)이 형성되어 있고, 화소 회로 영역(15)의 주위에 수직 구동 회로(33)가 형성되어 있다. 또한, 제3 기관(30)에서는, 칼럼 신호 처리 회로(34), 수평 구동 회로(35), 시스템 제어 회로(36), 수평 출력선(37) 및 참조 전압 공급부(38)가 형성되어 있다. 또한, 수직 구동 회로(33)는 상술한 바와 같이 제1 기관(10) 및 제2 기관(20)의 양방에 형성되어도 좋고, 제1 기관(10)에만 형성되어도 좋고, 제2 기관(20)에만 형성되어도 좋다.
- [0303] 제9 변형례에 관한 촬상 장치(1)는 기관끼리를 전기적으로 접속하는 구조에 기인하는 칩 사이즈의 확대, 또는 화소 면적의 확대를 억제할 수 있다. 이에 의하면, 제9 변형례에 관한 촬상 장치(1)는 1화소당의 면적을 보다 미세화하는 것이 가능해진다.
- [0304] (제10 변형례)
- [0305] 이어서, 도 69 및 도 70을 참조하여, 촬상 장치(1)의 단면 구성의 한 변형례인 제10 변형례에 관해 설명한다. 도 69는 제10 변형례에 관한 촬상 장치(1)의 단면 구성의 한 예를 도시하는 모식도이다.
- [0306] 상기에서 설명한 실시 형태 및 변형례에서는, 촬상 장치(1)는 제1 기관(10), 제2 기관(20) 및 제3 기관(30)의 3개의 기관을 적층하여 구성되는 예를 나타냈다. 그렇지만, 본 개시에 관한 기술은 상기 예시로 한정되지 않는다. 예를 들면, 촬상 장치(1)는 제1 기관(10) 및 제2 기관(20)의 2개의 기관을 적층하여 구성되어도 좋다.
- [0307] 도 69에 도시하는 바와 같이, 이와 같은 경우, 처리 회로(32)는, 예를 들면, 제1 기관(10)과, 제2 기관(20)으로 나누어서 형성된다.
- [0308] 처리 회로(32) 중 제1 기관(10)측에 마련된 회로(32A)에서는, 고온 프로세스에 견딜 수 있는 재료(예를 들면, high-k 재료)로 이루어지는 유전율막과, 메탈 게이트 전극을 적층한 게이트 구조를 갖는 트랜지스터가 마련된다.
- [0309] 한편, 처리 회로(32) 중 제2 기관(20)측에 마련된 회로(32B)에서는, 소스 전극 및 드레인 전극과 접하는 불순물 확산 영역의 표면에, CoSi_2 또는 NiSi 등의 실리사이드로 이루어지는 저저항 영역(26)이 형성되어 있다. 실리사이드로 이루어지는 저저항 영역은 반도체 기관의 재료와 금속의 화합물로 형성되어 있고, 내열성이 높다. 따라서, 센서 화소(12)를 형성할 때에 열산화 등의 고온 프로세스를 이용할 수 있도록 된다. 또한, CoSi_2 또는 NiSi 등의 실리사이드로 이루어지는 저저항 영역(26)은 접촉 저항을 저감할 수 있기 때문에, 처리 회로(32)에서의 연산 속도를 고속화할 수 있다.
- [0310] 또한, CoSi_2 또는 NiSi 등의 실리사이드로 이루어지는 저저항 영역(26)은 상기에서 설명한 실시 형태 및 변형례에 관한 촬상 장치(1)에 마련되어도 좋다. 구체적으로는, 제1 기관(10), 제2 기관(20) 및 제3 기관(30)의 3개의 기관을 적층하여 구성되는 촬상 장치(1)에서도, CoSi_2 또는 NiSi 등의 실리사이드로 이루어지는 저저항 영역(26)이 마련되어도 좋다. 도 70은 3개의 기관을 적층하여 구성되는 촬상 장치(1)에 CoSi_2 또는 NiSi 등의 실리사이드로 이루어지는 저저항 영역(26)을 적용한 예를 도시하는 모식도이다.
- [0311] 도 70에 도시하는 바와 같이, 제3 기관(30)의 처리 회로(32)에서, 소스 전극 및 드레인 전극과 접하는 불순물 확산 영역의 표면에, CoSi_2 또는 NiSi 등의 실리사이드로 이루어지는 저저항 영역(26)이 형성되어도 좋다. 이에 의해, 센서 화소(12)를 형성할 때에, 열산화 등의 고온 프로세스를 이용할 수 있도록 된다. 또한, CoSi_2 또는 NiSi 등의 실리사이드로 이루어지는 저저항 영역(26)은 접촉 저항을 저감할 수 있기 때문에, 처리 회로(32)에서의 연산 속도를 고속화할 수 있다.
- [0312] <<6. 구체례>>
- [0313] 상기에서 설명한 본 개시에 관한 기술은 여러 가지 촬상 장치 등에 적용하는 것이 가능하다. 이하에서는, 본 개

시에 관한 기술이 적용되는 촬상 장치 및 그 촬상 장치를 구비하는 기기에 관해, 구체례를 들어 설명한다.

- [0314] <6. 1. 실시의 형태>
- [0315] [촬상 장치(1)의 기능 구성]
- [0316] 도 71은 본 개시의 한 실시의 형태에 관한 촬상 장치(촬상 장치(1))의 기능 구성의 한 예를 도시하는 블록도이다.
- [0317] 도 71의 촬상 장치(1)는, 예를 들면, 입력부(510A), 행 구동부(520), 타이밍 제어부(530), 화소 어레이부(540), 열 신호 처리부(550), 화상 신호 처리부(560) 및 출력부(510B)를 포함하고 있다.
- [0318] 화소 어레이부(540)에는, 화소(541)가 어레이형상으로 반복 배치되어 있다. 보다 구체적으로는, 복수의 화소를 포함한 화소 공유 유닛(539)이 반복 단위가 되고, 이것이 행방향과 열방향으로 이루어지는 어레이형상으로 반복 배치되어 있다. 또한, 본 명세서에서는, 편의상, 행방향을 H방향, 행방향과 직교하는 열방향을 V방향이라고 부르는 경우가 있다. 도 71의 예에서, 1개의 화소 공유 유닛(539)이 4개의 화소(화소(541A, 541B, 541C, 541D))를 포함하고 있다. 화소(541A, 541B, 541C, 541D)는 각각 포토 다이오드(PD)(후술하는 도 76 등에 도시)를 가지고 있다. 화소 공유 유닛(539)은 1개의 화소 회로(후술하는 도 73의 화소 회로(210))를 공유하는 단위이다. 환언하면, 4개의 화소(화소(541A, 541B, 541C, 541D))마다, 1개의 화소 회로(후술하는 화소 회로(210))를 가지고 있다. 이 화소 회로를 시분할로 동작시킴에 의해, 화소(541A, 541B, 541C, 541D) 각각의 화소 신호가 순차적으로 판독되도록 되어 있다. 화소(541A, 541B, 541C, 541D)는 예를 들면 2행×2열로 배치되어 있다. 화소 어레이부(540)에는, 화소(541A, 541B, 541C, 541D)와 함께, 복수의 행 구동 신호선(542) 및 복수의 수직 신호선(열 판독선)(543)이 마련되어 있다. 행 구동 신호선(542)은 화소 어레이부(540)에서 행방향으로 나란히 배열된 복수의 화소 공유 유닛(539) 각각에 포함되는 화소(541)를 구동한다. 화소 공유 유닛(539) 중 행방향으로 나란히 배열된 각 화소를 구동한다. 후에 도 74를 참조하여 상세하게 설명하지만, 화소 공유 유닛(539)에는, 복수의 트랜지스터가 마련되어 있다. 이들 복수의 트랜지스터를 각각 구동하기 위해, 1개의 화소 공유 유닛(539)에는 복수의 행 구동 신호선(542)이 접속되어 있다. 수직 신호선(열 판독선)(543)에는, 화소 공유 유닛(539)이 접속되어 있다. 화소 공유 유닛(539)에 포함되는 화소(541A, 541B, 541C, 541D) 각각으로부터, 수직 신호선(열 판독선)(543)을 통하여 화소 신호가 판독된다.
- [0319] 행 구동부(520)는, 예를 들면, 화소 구동하기 위한 행의 위치를 정하는 행 어드레스 제어부, 환언하면, 행 디코더부와, 화소(541A, 541B, 541C, 541D)를 구동하기 위한 신호를 발생시키는 행 구동 회로부를 포함하고 있다.
- [0320] 열 신호 처리부(550)는, 예를 들면, 수직 신호선(543)에 접속되고, 화소(541A, 541B, 541C, 541D)(화소 공유 유닛(539))와 소스 팔로워 회로를 형성하는 부하 회로부를 구비한다. 열 신호 처리부(550)는 수직 신호선(543)을 통하여 화소 공유 유닛(539)으로부터 판독된 신호를 증폭하는 증폭 회로부를 가지고 있어도 좋다. 열 신호 처리부(550)는 노이즈 처리부를 가지고 있어도 좋다. 노이즈 처리부에서는, 예를 들면, 광전 변환의 결과로서 화소 공유 유닛(539)으로부터 판독된 신호로부터, 계의 노이즈 레벨이 제거된다.
- [0321] 열 신호 처리부(550)는, 예를 들면, 아날로그 디지털 컨버터(ADC)를 가지고 있다. 아날로그 디지털 컨버터에서는, 화소 공유 유닛(539)으로부터 판독된 신호 또는 상기 노이즈 처리된 아날로그 신호가 디지털 신호로 변환된다. ADC는, 예를 들면, 컴퍼레이터부 및 카운터부를 포함하고 있다. 컴퍼레이터부에서는, 변환 대상이 되는 아날로그 신호와, 이것과 비교 대상이 되는 참조 신호가 비교된다. 카운터부에서는, 컴퍼레이터부에서의 비교 결과가 반전하기까지의 시간이 측정되도록 되어 있다. 열 신호 처리부(550)는 판독 열을 주사하는 제어를 행하는 수평 주사 회로부를 포함하고 있어도 좋다.
- [0322] 타이밍 제어부(530)는, 장치에 입력된 기준 클럭 신호나 타이밍 제어 신호를 기초로 하여, 행 구동부(520) 및 열 신호 처리부(550)에 타이밍을 제어하는 신호를 공급한다.
- [0323] 화상 신호 처리부(560)는, 광전 변환의 결과 얻어진 데이터, 환언하면, 촬상 장치(1)에서의 촬상 동작의 결과 얻어진 데이터에 대해, 각종의 신호 처리를 시행하는 회로이다. 화상 신호 처리부(560)는, 예를 들면, 화상 신호 처리 회로부 및 데이터 유지부를 포함하고 있다. 화상 신호 처리부(560)는 프로세서부를 포함하고 있어도 좋다.
- [0324] 화상 신호 처리부(560)에서 실행되는 신호 처리의 한 예는 AD 변환된 촬상 데이터가 어두운 피사체를 촬영한 데이터인 경우에는 계조를 많이 주고, 밝은 피사체를 촬영한 데이터인 경우에는 계조를 적게 하는 톤 커브 보정 처리이다. 이 경우, 촬상 데이터의 계조를 어떤 톤 커브에 의거하여 보정할 것인지, 톤 커브의 특성 데이터를

미리 화상 신호 처리부(560)의 데이터 유지부에 기억시켜 두는 것이 바람직하다.

- [0325] 입력부(510A)는, 예를 들면, 상기 기준 클록 신호, 타이밍 제어 신호 및 특성 데이터 등을 장치 외부로부터 촬상 장치(1)에 입력하기 위한 것이다. 타이밍 제어 신호는, 예를 들면, 수직 동기 신호 및 수평 동기 신호 등이다. 특성 데이터는, 예를 들면, 화상 신호 처리부(560)의 데이터 유지부에 기억시키기 위한 것이다. 입력부(510A)는, 예를 들면, 입력 단자(511), 입력 회로부(512), 입력 진폭 변경부(513), 입력 데이터 변환 회로부(514) 및 전원 공급부(도시 생략)를 포함하고 있다.
- [0326] 입력 단자(511)는 데이터를 입력하기 위한 외부 단자이다. 입력 회로부(512)는 입력 단자(511)에 입력된 신호를 촬상 장치(1)의 내부에 취입하기 위한 것이다. 입력 진폭 변경부(513)에서는, 입력 회로부(512)에서 취입된 신호의 진폭이 촬상 장치(1)의 내부에서 이용하기 쉬운 진폭으로 변경된다. 입력 데이터 변환 회로부(514)에서는, 입력 데이터의 데이터열의 나열이 변경된다. 입력 데이터 변환 회로부(514)는, 예를 들면, 시리얼 패럴렐 변환 회로에 의해 구성되어 있다. 이 시리얼 패럴렐 변환 회로에서는, 입력 데이터로서 수취한 시리얼 신호가 패럴렐 신호로 변환된다. 또한, 입력부(510A)에서는, 입력 진폭 변경부(513) 및 입력 데이터 변환 회로부(514)가 생략되어 있어도 좋다. 전원 공급부는, 외부로부터 촬상 장치(1)에 공급된 전원을 기초로 하여, 촬상 장치(1)의 내부에서 필요해지는 각종의 전압으로 설정된 전원을 공급한다.
- [0327] 촬상 장치(1)가 외부의 메모리 디바이스와 접속될 때, 입력부(510A)에는, 외부의 메모리 디바이스로부터의 데이터를 수취하는 메모리 인터페이스 회로가 마련되어 있어도 좋다. 외부의 메모리 디바이스는, 예를 들면, 플래시 메모리, SRAM 및 DRAM 등이다.
- [0328] 출력부(510B)는 화상 데이터를 장치 외부에 출력한다. 이 화상 데이터는, 예를 들면, 촬상 장치(1)에서 촬영된 화상 데이터 및 화상 신호 처리부(560)에서 신호 처리된 화상 데이터 등이다. 출력부(510B)는, 예를 들면, 출력 데이터 변환 회로부(515), 출력 진폭 변경부(516), 출력 회로부(517) 및 출력 단자(518)를 포함하고 있다.
- [0329] 출력 데이터 변환 회로부(515)는, 예를 들면, 패럴렐 시리얼 변환 회로에 의해 구성되어 있고, 출력 데이터 변환 회로부(515)에서는, 촬상 장치(1) 내부에서 사용한 패럴렐 신호가 시리얼 신호로 변환된다. 출력 진폭 변경부(516)는 촬상 장치(1)의 내부에서 이용한 신호의 진폭을 변경한다. 변경된 진폭의 신호는 촬상 장치(1)의 외부에 접속되는 외부 디바이스에서 이용하기 쉬워진다. 출력 회로부(517)는 촬상 장치(1)의 내부로부터 장치 외부로 데이터를 출력하는 회로이고, 출력 회로부(517)에 의해, 출력 단자(518)에 접속된 촬상 장치(1) 외부의 배선이 구동된다. 출력 단자(518)에서는, 촬상 장치(1)로부터 장치 외부로 데이터가 출력된다. 출력부(510B)에서는, 출력 데이터 변환 회로부(515) 및 출력 진폭 변경부(516)가 생략되어 있어도 좋다.
- [0330] 촬상 장치(1)가 외부의 메모리 디바이스와 접속될 때, 출력부(510B)에는, 외부의 메모리 디바이스로 데이터를 출력하는 메모리 인터페이스 회로가 마련되어 있어도 좋다. 외부의 메모리 디바이스는, 예를 들면, 플래시 메모리, SRAM 및 DRAM 등이다.
- [0331] [촬상 장치(1)의 개략 구성]
- [0332] 도 72 및 도 73은 촬상 장치(1)의 개략 구성의 한 예를 도시한 것이다. 촬상 장치(1)는 3개의 기관(제1 기관(100), 제2 기관(200), 제3 기관(300))을 구비하고 있다. 도 72는 제1 기관(100), 제2 기관(200), 제3 기관(300) 각각의 평면 구성을 모식적으로 도시한 것이고, 도 73은 서로 적층된 제1 기관(100), 제2 기관(200) 및 제3 기관(300)의 단면 구성을 모식적으로 도시하고 있다. 도 73은 도 72에 도시한 III-III'선을 따른 단면 구성에 대응한다. 촬상 장치(1)는 3개의 기관(제1 기관(100), 제2 기관(200), 제3 기관(300))을 첩합시켜서 구성된 3차원 구조의 촬상 장치이다. 제1 기관(100)은 반도체층(100S) 및 배선층(100T)을 포함한다. 제2 기관(200)은 반도체층(200S) 및 배선층(200T)을 포함한다. 제3 기관(300)은 반도체층(300S) 및 배선층(300T)을 포함한다. 여기에서, 제1 기관(100), 제2 기관(200) 및 제3 기관(300)의 각 기관에 포함되는 배선과 그 주위의 층간 절연막을 합친 것을, 편의상, 각각의 기관(제1 기관(100), 제2 기관(200) 및 제3 기관(300))에 마련된 배선층(100T, 200T, 300T)이라고 부른다. 제1 기관(100), 제2 기관(200) 및 제3 기관(300)은 이 순서로 적층되어 있고, 적층 방향을 따라, 반도체층(100S), 배선층(100T), 반도체층(200S), 배선층(200T), 배선층(300T) 및 반도체층(300S)의 순서로 배치되어 있다. 제1 기관(100), 제2 기관(200) 및 제3 기관(300)의 구체적인 구성에 관해서는 후술한다. 도 73에 도시한 화살표는, 촬상 장치(1)에의 광(L)의 입사 방향을 나타낸다. 본 명세서에서는, 편의상, 이후의 단면도에서, 촬상 장치(1)에서의 광 입사측을 「하」 「하측」 「하방」, 광 입사측과 반대측을 「상」 「상측」 「상방」이라고 부르는 경우가 있다. 또한, 본 명세서에서는, 편의상, 반도체층과 배선층을 구비한 기관에 관해, 배선층의 측을 표면, 반도체층의 측을 이면이라고 부르는 경우가 있다. 또한, 명세서의 기재는 상기 호칭 방법으

로 한정되지 않는다. 촬상 장치(1)는, 예를 들면, 포토 다이오드를 갖는 제1 기판(100)의 이면측으로부터 광이 입사하는, 이면 조사형 촬상 장치로 되어 있다.

[0333] 화소 어레이부(540) 및 화소 어레이부(540)에 포함되는 화소 공유 유닛(539)은 모두 제1 기판(100) 및 제2 기판(200)의 쌍방을 이용하여 구성되어 있다. 제1 기판(100)에는, 화소 공유 유닛(539)이 갖는 복수의 화소(541A, 541B, 541C, 541D)가 마련되어 있다. 이들 화소(541)의 각각이 포토 다이오드(후술하는 포토 다이오드(PD)) 및 전송 트랜지스터(후술하는 전송 트랜지스터(TR))를 가지고 있다. 제2 기판(200)에는, 화소 공유 유닛(539)이 갖는 화소 회로(후술하는 화소 회로(210))가 마련되어 있다. 화소 회로는 화소(541A, 541B, 541C, 541D) 각각의 포토 다이오드로부터 전송 트랜지스터를 통하여 전송된 화소 신호를 판독하고, 또는, 포토 다이오드를 리셋한다. 이 제2 기판(200)은 이와 같은 화소 회로에 더하여, 행방향으로 연재되는 복수의 행 구동 신호선(542) 및 열방향으로 연재되는 복수의 수직 신호선(543)을 가지고 있다. 제2 기판(200)은, 또한, 행방향으로 연재되는 전원선(544)(후술하는 전원선(VDD) 등)을 가지고 있다. 제3 기판(300)은, 예를 들면, 입력부(510A), 행 구동부(520), 타이밍 제어부(530), 열 신호 처리부(550), 화상 신호 처리부(560) 및 출력부(510B)를 가지고 있다. 행 구동부(520)는, 예를 들면, 제1 기판(100), 제2 기판(200) 및 제3 기판(300)의 적층 방향(이하, 단지 적층 방향이라고 한다)에서, 일부가 화소 어레이부(540)에 겹쳐지는 영역에 마련되어 있다. 보다 구체적으로는, 행 구동부(520)는, 적층 방향에서, 화소 어레이부(540)의 H방향의 단부 근방에 겹쳐지는 영역에 마련되어 있다(도 72). 열 신호 처리부(550)는, 예를 들면, 적층 방향에서, 일부가 화소 어레이부(540)에 겹쳐지는 영역에 마련되어 있다. 보다 구체적으로는, 열 신호 처리부(550)는, 적층 방향에서, 화소 어레이부(540)의 V방향의 단부 근방에 겹쳐지는 영역에 마련되어 있다(도 72). 도시는 생략하지만, 입력부(510A) 및 출력부(510B)는 제3 기판(300) 이외의 부분에 배치되어 있어도 좋고, 예를 들면, 제2 기판(200)에 배치되어 있어도 좋다. 또는, 제1 기판(100)의 이면(광입사면)측에 입력부(510A) 및 출력부(510B)를 마련하도록 해도 좋다. 또한, 상기 제2 기판(200)에 마련된 화소 회로는, 다른 호칭으로서, 화소 트랜지스터 회로, 화소 트랜지스터군, 화소 트랜지스터, 화소 판독 회로 또는 판독 회로라고 불리는 일도 있다. 본 명세서에서는, 화소 회로라는 호칭을 이용한다.

[0334] 제1 기판(100)과 제2 기판(200)은, 예를 들면, 관통 전극(후술하는 도 76의 관통 전극(120E, 121E))에 의해 전기적으로 접속되어 있다. 제2 기판(200)과 제3 기판(300)은, 예를 들면, 콘택트부(201, 202, 301, 302)를 통하여 전기적으로 접속되어 있다. 제2 기판(200)에 콘택트부(201, 202)가 마련되고, 제3 기판(300)에 콘택트부(301, 302)가 마련되어 있다. 제2 기판(200)의 콘택트부(201)가 제3 기판(300)의 콘택트부(301)에 접하고, 제2 기판(200)의 콘택트부(202)가 제3 기판(300)의 콘택트부(302)에 접해 있다. 제2 기판(200)은 복수의 콘택트부(201)가 마련된 콘택트 영역(201R)과, 복수의 콘택트부(202)가 마련된 콘택트 영역(202R)을 가지고 있다. 제3 기판(300)은 복수의 콘택트부(301)가 마련된 콘택트 영역(301R)과, 복수의 콘택트부(302)가 마련된 콘택트 영역(302R)을 가지고 있다. 콘택트 영역(201R, 301R)은, 적층 방향에서, 화소 어레이부(540)와 행 구동부(520) 사이에 마련되어 있다(도 73). 환언하면, 콘택트 영역(201R, 301R)은, 예를 들면, 행 구동부(520)(제3 기판(300))와, 화소 어레이부(540)(제2 기판(200))가 적층 방향으로 겹쳐지는 영역, 또는 이 근방 영역에 마련되어 있다. 콘택트 영역(201R, 301R)은, 예를 들면, 이와 같은 영역 중, H방향의 단부에 배치되어 있다(도 72). 제3 기판(300)에서는, 예를 들면, 행 구동부(520)의 일부, 구체적으로는 행 구동부(520)의 H방향의 단부에 겹쳐지는 위치에 콘택트 영역(301R)이 마련되어 있다(도 72, 도 73). 콘택트부(201, 301)는, 예를 들면, 제3 기판(300)에 마련된 행 구동부(520)와, 제2 기판(200)에 마련된 행 구동 신호선(542)을 접속하는 것이다. 콘택트부(201, 301)는, 예를 들면, 제3 기판(300)에 마련된 입력부(510A)와 전원선(544) 및 기준 전위선(후술하는 기준 전위선(VSS))을 접속하고 있어도 좋다. 콘택트 영역(202R, 302R)은, 적층 방향에서, 화소 어레이부(540)와 열 신호 처리부(550) 사이에 마련되어 있다(도 73). 환언하면, 콘택트 영역(202R, 302R)은, 예를 들면, 열 신호 처리부(550)(제3 기판(300))와 화소 어레이부(540)(제2 기판(200))가 적층 방향으로 겹쳐지는 영역, 또는 이 근방 영역에 마련되어 있다. 콘택트 영역(202R, 302R)은, 예를 들면, 이와 같은 영역 중, V방향의 단부에 배치되어 있다(도 72). 제3 기판(300)에서는, 예를 들면, 열 신호 처리부(550)의 일부, 구체적으로는 열 신호 처리부(550)의 V방향의 단부에 겹쳐지는 위치에 콘택트 영역(301R)이 마련되어 있다(도 72, 도 73). 콘택트부(202, 302)는, 예를 들면, 화소 어레이부(540)가 갖는 복수의 화소 공유 유닛(539) 각각으로부터 출력된 화소 신호(포토 다이오드에서의 광전 변환의 결과 발생한 전하의 양에 대응한 신호)를 제3 기판(300)에 마련된 열 신호 처리부(550)로 접속하기 위한 것이다. 화소 신호는 제2 기판(200)으로부터 제3 기판(300)에 보내지도록 되어 있다.

[0335] 도 73은, 상기와 같이, 촬상 장치(1)의 단면도의 한 예이다. 제1 기판(100), 제2 기판(200), 제3 기판(300)은 배선층(100T, 200T, 300T)을 통하여 전기적으로 접속된다. 예를 들면, 촬상 장치(1)는 제2 기판(200)과 제3 기판(300)을 전기적으로 접속하는 전기적 접속부를 가진다. 구체적으로는, 도전 재료로 형성된 전극으로 콘택트부(201, 202, 301, 302)를 형성한다. 도전 재료는, 예를 들면, 구리(Cu), 알루미늄(Al), 금(Au) 등의 금속 재료

로 형성된다. 콘택트 영역(201R, 202R, 301R, 302R)은, 예를 들어 전극으로서 형성된 배선끼리를 직접 접합함으로써, 제2 기판과 제3 기판을 전기적으로 접속하고, 제2 기판(200)과 제3 기판(300)의 신호의 입력 및/또는 출력을 가능하게 한다.

[0336] 제2 기판(200)과 제3 기판(300)을 전기적으로 접속하는 전기적 접속부는 소망하는 개소에 마련할 수 있다. 예를 들면, 도 73에서 콘택트 영역(201R, 202R, 301R, 302R)으로서 말한 바와 같이, 화소 어레이부(540)와 적층 방향으로 겹쳐지는 영역에 마련해도 좋다. 또한, 전기적 접속부를 화소 어레이부(540)와 적층 방향으로 겹쳐지지 않는 영역에 마련해도 좋다. 구체적으로는, 화소 어레이부(540)의 외측에 배치된 주변부와, 적층 방향으로 겹쳐지는 영역에 마련해도 좋다.

[0337] 제1 기판(100) 및 제2 기판(200)에는, 예를 들면, 접속 구멍부(H1, H2)가 마련되어 있다. 접속 구멍부(H1, H2)는 제1 기판(100) 및 제2 기판(200)을 관통하고 있다(도 73). 접속 구멍부(H1, H2)는 화소 어레이부(540)(또는 화소 어레이부(540)에 겹쳐지는 부분)의 외측에 마련되어 있다(도 72). 예를 들면, 접속 구멍부(H1)는 H방향에서 화소 어레이부(540)보다 외측에 배치되어 있고, 접속 구멍부(H2)는 V방향에서 화소 어레이부(540)보다도 외측에 배치되어 있다. 예를 들면, 접속 구멍부(H1)는 제3 기판(300)에 마련된 입력부(510A)에 도달하고 있고, 접속 구멍부(H2)는 제3 기판(300)에 마련된 출력부(510B)에 도달하고 있다. 접속 구멍부(H1, H2)는 공동(空洞)이라도 좋고, 적어도 일부에 도전 재료를 포함하고 있어도 좋다. 예를 들면, 입력부(510A) 및/또는 출력부(510B)로서 형성된 전극에, 본딩 와이어를 접속하는 구성이 있다. 또는, 입력부(510A) 및/또는 출력부(510B)로서 형성된 전극과, 접속 구멍부(H1, H2)에 마련된 도전 재료를 접속하는 구성이 있다. 접속 구멍부(H1, H2)에 마련된 도전 재료는 접속 구멍부(H1, H2)의 일부 또는 전부에 매입되어 있어도 좋고, 도전 재료가 접속 구멍부(H1, H2)의 측벽에 형성되어 있어도 좋다.

[0338] 또한, 도 73에서는 제3 기판(300)에 입력부(510A), 출력부(510B)를 마련하는 구조로 했지만, 이것으로 한정되지 않는다. 예를 들면, 배선층(200T, 300T)을 통하여 제3 기판(300)의 신호를 제2 기판(200)에 보냄으로써, 입력부(510A) 및/또는 출력부(510B)를 제2 기판(200)에 마련할 수도 있다. 마찬가지로, 배선층(100T, 200T)을 통하여, 제2 기판(200)의 신호를 제1 기판(100)에 보냄으로써, 입력부(510A) 및/또는 출력부(510B)를 제1 기판(100)에 마련할 수도 있다.

[0339] 도 74는 화소 공유 유닛(539)의 구성의 한 예를 도시하는 등가 회로도이다. 화소 공유 유닛(539)은, 복수의 화소(541)(도 74에서는, 화소(541A, 541B, 541C, 541D)의 4개의 화소(541)를 도시한다)와, 이 복수의 화소(541)에 접속된 하나의 화소 회로(210)와, 화소 회로(210)에 접속된 수직 신호선(543)을 포함하고 있다. 화소 회로(210)는, 예를 들면, 4개의 트랜지스터, 구체적으로는, 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 포함하고 있다. 상술한 바와 같이, 화소 공유 유닛(539)은 하나의 화소 회로(210)를 시분할로 동작시킴에 의해, 화소 공유 유닛(539)에 포함되는 4개의 화소(541)(화소(541A, 541B, 541C, 541D)) 각각의 화소 신호를 순차적으로 수직 신호선(543)에 출력하도록 되어 있다. 복수의 화소(541)에 하나의 화소 회로(210)가 접속되어 있고, 이 복수의 화소(541)의 화소 신호가, 하나의 화소 회로(210)에 의해 시분할로 출력되는 상태를 「복수의 화소(541)가 하나의 화소 회로(210)를 공유한다」라고 한다.

[0340] 화소(541A, 541B, 541C, 541D)는 서로 공통의 구성 요소를 가지고 있다. 이후, 화소(541A, 541B, 541C, 541D)의 구성 요소를 서로 구별하기 위해, 화소(541A)의 구성 요소의 부호의 말미에는 식별 번호 1, 화소(541B)의 구성 요소의 부호의 말미에는 식별 번호 2, 화소(541C)의 구성 요소의 부호의 말미에는 식별 번호 3, 화소(541D)의 구성 요소의 부호의 말미에는 식별 번호 4를 부여한다. 화소(541A, 541B, 541C, 541D)의 구성 요소를 서로 구별할 필요가 없는 경우에는, 화소(541A, 541B, 541C, 541D)의 구성 요소의 부호의 말미의 식별 번호를 생략한다.

[0341] 화소(541A, 541B, 541C, 541D)는, 예를 들면, 포토 다이오드(PD)와, 포토 다이오드(PD)와 전기적으로 접속된 전송 트랜지스터(TR)와, 전송 트랜지스터(TR)에 전기적으로 접속된 플로팅 디퓨전(FD)을 가지고 있다. 포토 다이오드(PD(PD1, PD2, PD3, PD4))에서는, 캐소드가 전송 트랜지스터(TR)의 소스에 전기적으로 접속되어 있고, 애노드가 기준 전위선(예를 들어 그라운드)에 전기적으로 접속되어 있다. 포토 다이오드(PD)는 입사한 광을 광전 변환하고, 그 수광량에 응한 전하를 발생한다. 전송 트랜지스터(TR(전송 트랜지스터(TR1, TR2, TR3, TR4)))는, 예를 들면, n형의 CMOS(Complementary Metal-Oxide-Semiconductor) 트랜지스터이다. 전송 트랜지스터(TR)에서는, 드레인이 플로팅 디퓨전(FD)에 전기적으로 접속되고, 게이트가 구동 신호선에 전기적으로 접속되어 있다. 이 구동 신호선은 하나의 화소 공유 유닛(539)에 접속된 복수의 행 구동 신호선(542)(도 71 참조) 중의 일부이다. 전

송 트랜지스터(TR)는 포토 다이오드(PD)에서 발생한 전하를 플로팅 디퓨전(FD)으로 전송한다. 플로팅 디퓨전(FD(플로팅 디퓨전(FD1, FD2, FD3, FD4)))은 p형 반도체층 중에 형성된 n형 확산층 영역이다. 플로팅 디퓨전(FD)은 포토 다이오드(PD)로부터 전송된 전하를 일시적으로 유지하는 전하 유지 수단이고, 또한, 그 전하량에 응한 전압을 발생시키는 전하-전압 변환 수단이다.

[0342] 하나의 화소 공유 유닛(539)에 포함되는 4개의 플로팅 디퓨전(FD(플로팅 디퓨전(FD1, FD2, FD3, FD4)))은 서로 전기적으로 접속됨과 함께, 증폭 트랜지스터(AMP)의 게이트 및 FD 변환 게인 전환 트랜지스터(FDG)의 소스에 전기적으로 접속되어 있다. FD 변환 게인 전환 트랜지스터(FDG)의 드레인은 리셋 트랜지스터(RST)의 소스에 접속되고, FD 변환 게인 전환 트랜지스터(FDG)의 게이트는 구동 신호선에 접속되어 있다. 이 구동 신호선은 하나의 화소 공유 유닛(539)에 접속된 복수의 행 구동 신호선(542) 중의 일부이다. 리셋 트랜지스터(RST)의 드레인은 전원선(VDD)에 접속되고, 리셋 트랜지스터(RST)의 게이트는 구동 신호선에 접속되어 있다. 이 구동 신호선은 하나의 화소 공유 유닛(539)에 접속된 복수의 행 구동 신호선(542) 중의 일부이다. 증폭 트랜지스터(AMP)의 게이트는 플로팅 디퓨전(FD)에 접속되고, 증폭 트랜지스터(AMP)의 드레인은 전원선(VDD)에 접속되고, 증폭 트랜지스터(AMP)의 소스는 선택 트랜지스터(SEL)의 드레인에 접속되어 있다. 선택 트랜지스터(SEL)의 소스는 수직 신호선(543)에 접속되고, 선택 트랜지스터(SEL)의 게이트는 구동 신호선에 접속되어 있다. 이 구동 신호선은 하나의 화소 공유 유닛(539)에 접속된 복수의 행 구동 신호선(542) 중의 일부이다.

[0343] 전송 트랜지스터(TR)는 전송 트랜지스터(TR)가 온 상태가 되면, 포토 다이오드(PD)의 전하를 플로팅 디퓨전(FD)에 전송한다. 전송 트랜지스터(TR)의 게이트(전송 게이트(TG))는, 예를 들면, 이른바 중형 전극을 포함하고 있고, 후술하는 도 76에 도시하는 바와 같이, 반도체층(후술하는 도 76의 반도체층(100S))의 표면으로부터 PD에 도달하는 깊이까지 연재되어 마련되어 있다. 리셋 트랜지스터(RST)는 플로팅 디퓨전(FD)의 전위를 소정의 전위로 리셋한다. 리셋 트랜지스터(RST)가 온 상태가 되면, 플로팅 디퓨전(FD)의 전위를 전원선(VDD)의 전위로 리셋한다. 선택 트랜지스터(SEL)는 화소 회로(210)로부터의 화소 신호의 출력 타이밍을 제어한다. 증폭 트랜지스터(AMP)는, 화소 신호로서, 플로팅 디퓨전(FD)에 유지된 전하의 레벨에 응한 전압의 신호를 생성한다. 증폭 트랜지스터(AMP)는 선택 트랜지스터(SEL)를 통하여 수직 신호선(543)에 접속되어 있다. 이 증폭 트랜지스터(AMP)는, 열 신호 처리부(550)에서, 수직 신호선(543)에 접속된 부하 회로부(도 71 참조)와 함께 소스 팔로워를 구성하고 있다. 증폭 트랜지스터(AMP)는, 선택 트랜지스터(SEL)가 온 상태가 되면, 플로팅 디퓨전(FD)의 전압을 수직 신호선(543)을 통하여 열 신호 처리부(550)에 출력한다. 리셋 트랜지스터(RST), 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)는, 예를 들면, N형의 CMOS 트랜지스터이다.

[0344] FD 변환 게인 전환 트랜지스터(FDG)는 플로팅 디퓨전(FD)에서의 전하-전압 변환의 게인을 변경할 때에 이용된다. 일반적으로, 어두운 장소에서의 촬영 시에는 화소 신호가 작다. $Q=CV$ 에 의거하여, 전하 전압 변환을 행할 때에, 플로팅 디퓨전(FD)의 용량(FD 용량(C))이 크면, 증폭 트랜지스터(AMP)에서 전압으로 변환했을 때의 V가 작아져 버린다. 한편, 밝은 장소에서는, 화소 신호가 커지기 때문에, FD 용량(C)이 크지 않으면, 플로팅 디퓨전(FD)에서, 포토 다이오드(PD)의 전하를 완전히 받지 못한다. 또한, 증폭 트랜지스터(AMP)에서 전압으로 변환했을 때의 V가 너무 커지지 않도록(환안하면, 작아지도록), FD 용량(C)이 크게 되어 있을 필요가 있다. 이들에 입각하면, FD 변환 게인 전환 트랜지스터(FDG)를 온으로 했을 때에는, FD 변환 게인 전환 트랜지스터(FDG)분의 게이트 용량이 늘어나기 때문에, 전체의 FD 용량(C)이 커진다. 한편, FD 변환 게인 전환 트랜지스터(FDG)를 오프로 했을 때에는, 전체의 FD 용량(C)이 작아진다. 이와 같이, FD 변환 게인 전환 트랜지스터(FDG)를 온 오프 전환함으로써, FD 용량(C)을 가변으로 하고, 변환 효율을 전환할 수 있다. FD 변환 게인 전환 트랜지스터(FDG)는, 예를 들면, N형의 CMOS 트랜지스터이다.

[0345] 또한, FD 변환 게인 전환 트랜지스터(FDG)를 마련하지 않는 구성도 가능하다. 이때, 예를 들면, 화소 회로(210)는, 예를 들어 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL) 및 리셋 트랜지스터(RST)의 3개의 트랜지스터로 구성된다. 화소 회로(210)는, 예를 들면, 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG) 등의 화소 트랜지스터의 적어도 1개를 가진다.

[0346] 선택 트랜지스터(SEL)는 전원선(VDD)과 증폭 트랜지스터(AMP) 사이에 마련되어 있어도 좋다. 이 경우, 리셋 트랜지스터(RST)의 드레인이 전원선(VDD) 및 선택 트랜지스터(SEL)의 드레인에 전기적으로 접속되어 있다. 선택 트랜지스터(SEL)의 소스가 증폭 트랜지스터(AMP)의 드레인에 전기적으로 접속되어 있고, 선택 트랜지스터(SEL)의 게이트가 행 구동 신호선(542)(도 71 참조)에 전기적으로 접속되어 있다. 증폭 트랜지스터(AMP)의 소스(화소 회로(210)의 출력단)가 수직 신호선(543)에 전기적으로 접속되어 있고, 증폭 트랜지스터(AMP)의 게이트가 리셋 트랜지스터(RST)의 소스에 전기적으로 접속되어 있다. 또한, 도시는 생략하지만, 하나의 화소 회로(210)를 공유하는 화소(541)의 수는 4 이외라도 좋다. 예를 들면, 2개 또는 8개의 화소(541)가 하나의 화소 회로(210)를 공

유해도 좋다.

[0347] 도 75는 복수의 화소 공유 유닛(539)과, 수직 신호선(543)의 접속 양태의 한 예를 도시한 것이다. 예를 들면, 열방향으로 나열되는 4개의 화소 공유 유닛(539)이 4개의 그룹으로 나누어져 있고, 이 4개의 그룹 각각에 수직 신호선(543)이 접속되어 있다. 도 75에는, 설명을 간단하게 하기 위해, 4개의 그룹이 각각, 1개의 화소 공유 유닛(539)을 갖는 예를 도시했는데, 4개의 그룹이 각각, 복수의 화소 공유 유닛(539)을 포함하고 있어도 좋다. 이와 같이, 촬상 장치(1)에서는, 열방향으로 나열되는 복수의 화소 공유 유닛(539)이 1개 또는 복수의 화소 공유 유닛(539)을 포함하는 그룹으로 나누어져 있어도 좋다. 예를 들면, 이 그룹 각각에, 수직 신호선(543) 및 열 신호 처리부(550)가 접속되어 있고, 각각의 그룹으로부터 화소 신호를 동시에 관독할 수 있도록 되어 있다. 또는, 촬상 장치(1)에서는, 열방향으로 나열되는 복수의 화소 공유 유닛(539)에 1개의 수직 신호선(543)이 접속되어 있어도 좋다. 이때, 1개의 수직 신호선(543)에 접속된 복수의 화소 공유 유닛(539)으로부터, 시분할로 순차적으로 화소 신호가 관독되도록 되어 있다.

[0348] [촬상 장치(1)의 구체적 구성]

[0349] 도 76은 촬상 장치(1)의 제1 기관(100), 제2 기관(200) 및 제3 기관(300)의 주면에 대해 수직 방향의 단면 구성의 한 예를 도시한 것이다. 도 76은 구성 요소의 위치 관계를 알기 쉽게 하기 위해 모식적으로 도시한 것이고, 실제의 단면과 달라도 좋다. 촬상 장치(1)에서는, 제1 기관(100), 제2 기관(200) 및 제3 기관(300)이 이 순서로 적층되어 있다. 촬상 장치(1)는, 또한, 제1 기관(100)의 이면측(광입사면측)에 수광 렌즈(401)를 가지고 있다. 수광 렌즈(401)와 제1 기관(100) 사이에, 컬러 필터층(도시 생략)이 마련되어 있어도 좋다. 수광 렌즈(401)는, 예를 들면, 화소(541A, 541B, 541C, 541D) 각각에 마련되어 있다. 촬상 장치(1)는, 예를 들면, 이면 조사형의 촬상 장치이다. 촬상 장치(1)는 중앙부에 배치된 화소 어레이부(540)와, 화소 어레이부(540)의 외측에 배치된 주변부(540B)를 가지고 있다.

[0350] 제1 기관(100)은, 수광 렌즈(401)측으로부터 순차적으로, 절연막(111), 고정 전하막(112), 반도체층(100S) 및 배선층(100T)을 가지고 있다. 반도체층(100S)은 예를 들어 실리콘 기관에 의해 구성되어 있다. 반도체층(100S)은, 예를 들면, 표면(배선층(100T)측의 면)의 일부 및 그 근방에, p웰층(115)을 가지고 있고, 그 이외의 영역(p웰층(115)보다도 깊은 영역)에, n형 반도체 영역(114)을 가지고 있다. 예를 들면, 이 n형 반도체 영역(114) 및 p웰층(115)에 의해 pn 접합형의 포토 다이오드(PD)가 구성되어 있다. p웰층(115)은 p형 반도체 영역이다.

[0351] 도 77a는 제1 기관(100)의 평면 구성의 한 예를 도시한 것이다. 도 77a는, 주로, 제1 기관(100)의 화소 분리부(117), 포토 다이오드(PD), 플로팅 디퓨전(FD), VSS 콘택트 영역(118) 및 전송 트랜지스터(TR)의 평면 구성을 도시하고 있다. 도 76과 함께, 도 77a를 이용하여 제1 기관(100)의 구성에 관해 설명한다.

[0352] 반도체층(100S)의 표면 근방에는, 플로팅 디퓨전(FD) 및 VSS 콘택트 영역(118)이 마련되어 있다. 플로팅 디퓨전(FD)은 p웰층(115) 내에 마련된 n형 반도체 영역에 의해 구성되어 있다. 화소(541A, 541B, 541C, 541D) 각각의 플로팅 디퓨전(FD(플로팅 디퓨전(FD1, FD2, FD3, FD4)))은, 예를 들면, 화소 공유 유닛(539)의 중앙부에 서로 근접하여 마련되어 있다(도 77a). 상세는 후술하지만, 이 화소 공유 유닛(539)에 포함되는 4개의 플로팅 디퓨전(플로팅 디퓨전(FD1, FD2, FD3, FD4))은, 제1 기관(100) 내(보다 구체적으로는 배선층(100T) 내)에서, 전기적 접속 수단(후술하는 패드부(120))을 통하여 서로 전기적으로 접속되어 있다. 또한, 플로팅 디퓨전(FD)은 제1 기관(100)으로부터 제2 기관(200)에(보다 구체적으로는, 배선층(100T)로부터 배선층(200T)에) 전기적 수단(후술하는 관통 전극(120E))을 통하여 접속되어 있다. 제2 기관(200)(보다 구체적으로는 배선층(200T)의 내부)에서는, 이 전기적 수단에 의해, 플로팅 디퓨전(FD)이 증폭 트랜지스터(AMP)의 게이트 및 FD 변환 게인 전환 트랜지스터(FDG)의 소스에 전기적으로 접속되어 있다.

[0353] VSS 콘택트 영역(118)은 기준 전위선(VSS)에 전기적으로 접속되는 영역이고, 플로팅 디퓨전(FD)과 이간하여 배치되어 있다. 예를 들면, 화소(541A, 541B, 541C, 541D)에서는, 각 화소의 V방향의 일단에 플로팅 디퓨전(FD)이 배치되고, 타단에 VSS 콘택트 영역(118)이 배치되어 있다(도 77a). VSS 콘택트 영역(118)은, 예를 들면, p형 반도체 영역에 의해 구성되어 있다. VSS 콘택트 영역(118)은 예를 들어 접지 전위나 고정 전위에 접속되어 있다. 이에 의해, 반도체층(100S)에 기준 전위가 공급된다.

[0354] 제1 기관(100)에는, 포토 다이오드(PD), 플로팅 디퓨전(FD) 및 VSS 콘택트 영역(118)과 함께, 전송 트랜지스터(TR)가 마련되어 있다. 이 포토 다이오드(PD), 플로팅 디퓨전(FD), VSS 콘택트 영역(118) 및 전송 트랜지스터(TR)는 화소(541A, 541B, 541C, 541D) 각각에 마련되어 있다. 전송 트랜지스터(TR)는 반도체층(100S)의 표면측(광입사면측과 반대측, 제2 기관(200)측)에 마련되어 있다. 전송 트랜지스터(TR)는 전송 게이트(TG)를 가지고

있다. 전송 게이트(TG)는, 예를 들면, 반도체층(100S)의 표면에 대향하는 수평 부분(TGb)과, 반도체층(100S) 내에 마련된 수직 부분(TGa)을 포함하고 있다. 수직 부분(TGa)은 반도체층(100S)의 두께 방향으로 연재되어 있다. 수직 부분(TGa)의 일단은 수평 부분(TGb)에 접하고, 타단은 n형 반도체 영역(114) 내에 마련되어 있다. 전송 트랜지스터(TR)를 이와 같은 종형 트랜지스터에 의해 구성함에 의해, 화소 신호의 전송 불량이 생기지 어려워지고, 화소 신호의 판독 효율을 향상시킬 수 있다.

[0355] 전송 게이트(TG)의 수평 부분(TGb)은 수직 부분(TGa)에 대향하는 위치로부터 예를 들면, H방향에서 화소 공유 유닛(539)의 중앙부를 향하여 연재되어 있다(도 77a). 이에 의해, 전송 게이트(TG)에 도달하는 관통 전극(후술하는 관통 전극(TGV))의 H방향의 위치를 플로팅 디퓨전(FD), VSS 콘택트 영역(118)에 접속되는 관통 전극(후술하는 관통 전극(120E, 121E))의 H방향의 위치에 접근할 수 있다. 예를 들면, 제1 기판(100)에 마련된 복수의 화소 공유 유닛(539)은 서로 같은 구성을 가지고 있다(도 77a).

[0356] 반도체층(100S)에는, 화소(541A, 541B, 541C, 541D)를 서로 분리하는 화소 분리부(117)가 마련되어 있다. 화소 분리부(117)는 반도체층(100S)의 법선 방향(반도체층(100S)의 표면에 대해 수직 방향)으로 연재되어 형성되어 있다. 화소 분리부(117)는 화소(541A, 541B, 541C, 541D)를 서로 구획하도록 마련되어 있고, 예를 들어 격자형상의 평면 형상을 가지고 있다(도 77a, 도 77b). 화소 분리부(117)는, 예를 들면, 화소(541A, 541B, 541C, 541D)를 서로 전기적 및 광학적으로 분리한다. 화소 분리부(117)는, 예를 들면, 차광막(117A) 및 절연막(117B)을 포함하고 있다. 차광막(117A)에는, 예를 들면, 텅스텐(W) 등이 이용된다. 절연막(117B)은 차광막(117A)과 p웰층(115) 또는 n형 반도체 영역(114) 사이에 마련되어 있다. 절연막(117B)은, 예를 들면, 산화 실리콘(SiO₂)에 의해 구성되어 있다. 화소 분리부(117)는, 예를 들면, FTI(Full Trench Isolation) 구조를 가지고 있고, 반도체층(100S)을 관통하고 있다. 도시하지 않지만, 화소 분리부(117)는 반도체층(100S)을 관통하는 FTI 구조로 한정되지 않는다. 예를 들면, 반도체층(100S)을 관통하지 않는 DTI(Deep Trench Isolation) 구조라도 좋다. 화소 분리부(117)는 반도체층(100S)의 법선 방향으로 연재되어, 반도체층(100S)의 일부의 영역에 형성된다.

[0357] 반도체층(100S)에는, 예를 들면, 제1 피닝 영역(113) 및 제2 피닝 영역(116)이 마련되어 있다. 제1 피닝 영역(113)은 반도체층(100S)의 이면 근방에 마련되어 있고, n형 반도체 영역(114)과 고정 전하막(112) 사이에 배치되어 있다. 제2 피닝 영역(116)은 화소 분리부(117)의 측면, 구체적으로는, 화소 분리부(117)와 p웰층(115) 또는 n형 반도체 영역(114) 사이에 마련되어 있다. 제1 피닝 영역(113) 및 제2 피닝 영역(116)은, 예를 들면, p형 반도체 영역에 의해 구성되어 있다.

[0358] 반도체층(100S)과 절연막(111) 사이에는, 부의 고정 전하를 갖는 고정 전하막(112)이 마련되어 있다. 고정 전하막(112)이 유기하는 전계에 의해, 반도체층(100S)의 수광면(이면)측의 계면에, 홀 축적층의 제1 피닝 영역(113)이 형성된다. 이에 의해, 반도체층(100S)의 수광면측의 계면 준위에 기인한 암 전류의 발생이 억제된다. 고정 전하막(112)은, 예를 들면, 부의 고정 전하를 갖는 절연막에 의해 형성되어 있다. 이 부의 고정 전하를 갖는 절연막의 재료로서는, 예를 들면, 산화 하프늄, 산화 지르콘, 산화 알루미늄, 산화 티탄 또는 산화 탄탈을 들 수 있다.

[0359] 고정 전하막(112)과 절연막(111) 사이에는, 차광막(117A)이 마련되어 있다. 이 차광막(117A)은 화소 분리부(117)를 구성하는 차광막(117A)과 연속하여 마련되어 있어도 좋다. 이 고정 전하막(112)과 절연막(111) 사이의 차광막(117A)은, 예를 들면, 반도체층(100S) 내의 화소 분리부(117)에 대향하는 위치에 선택적으로 마련되어 있다. 절연막(111)은 이 차광막(117A)을 덮도록 마련되어 있다. 절연막(111)은, 예를 들면, 산화 실리콘에 의해 구성되어 있다.

[0360] 반도체층(100S)과 제2 기판(200) 사이에 마련된 배선층(100T)은, 반도체층(100S)측으로부터, 층간 절연막(119), 패드부(120, 121), 패시베이션막(122), 층간 절연막(123) 및 접합막(124)을 이 순서로 가지고 있다. 전송 게이트(TG)의 수평 부분(TGb)은, 예를 들면, 이 배선층(100T)에 마련되어 있다. 층간 절연막(119)은 반도체층(100S)의 표면 전면에 걸쳐 마련되어 있고, 반도체층(100S)에 접해 있다. 층간 절연막(119)은 예를 들어 산화 실리콘막에 의해 구성되어 있다. 또한, 배선층(100T)의 구성은 상술한 것에 그치지 않고, 배선과 절연막을 갖는 구성이라면 좋다.

[0361] 도 77b는, 도 77a에 도시한 평면 구성과 함께, 패드부(120, 121)의 구성을 도시하고 있다. 패드부(120, 121)는 층간 절연막(119)상의 선택적인 영역에 마련되어 있다. 패드부(120)는 화소(541A, 541B, 541C, 541D) 각각의 플로팅 디퓨전(FD(플로팅 디퓨전(FD1, FD2, FD3, FD4)))을 서로 접속하기 위한 것이다. 패드부(120)는, 예를 들면, 화소 공유 유닛(539)마다, 평면에서 볼 때, 화소 공유 유닛(539)의 중앙부에 배치되어 있다(도 77b). 이 패드부(120)는 화소 분리부(117)를 넘도록 마련되어 있고, 플로팅 디퓨전(FD1, FD2, FD3, FD4) 각각의 적어도

일부에 중첩하여 배치되어 있다(도 76, 도 77b). 구체적으로는, 패드부(120)는 화소 회로(210)를 공유하는 복수의 플로팅 디퓨전(FD(플로팅 디퓨전(FD1, FD2, FD3, FD4))) 각각의 적어도 일부와, 그 화소 회로(210)를 공유하는 복수의 포토 다이오드(PD(포토 다이오드(PD1, PD2, PD3, PD4)))의 사이에 형성된 화소 분리부(117)의 적어도 일부에 대해, 반도체층(100S)의 표면에 대해 수직 방향으로 겹쳐지는 영역에 형성된다. 층간 절연막(119)에는, 패드부(120)와 플로팅 디퓨전(FD1, FD2, FD3, FD4)을 전기적으로 접속하기 위한 접속 비아(120C)가 마련되어 있다. 접속 비아(120C)는 화소(541A, 541B, 541C, 541D) 각각에 마련되어 있다. 예를 들면, 접속 비아(120C)에 패드부(120)의 일부가 매입됨에 의해, 패드부(120)와 플로팅 디퓨전(FD1, FD2, FD3, FD4)이 전기적으로 접속되어 있다.

[0362] 패드부(121)는 복수의 VSS 콘택트 영역(118)을 서로 접속하기 위한 것이다. 예를 들면, V방향으로 이웃하는 일방의 화소 공유 유닛(539)의 화소(541C, 541D)에 마련된 VSS 콘택트 영역(118)과, 타방의 화소 공유 유닛(539)의 화소(541A, 541B)에 마련된 VSS 콘택트 영역(118)이 패드부(121)에 의해 전기적으로 접속되어 있다. 패드부(121)는, 예를 들면, 화소 분리부(117)를 넘도록 마련되어 있고, 이들 4개의 VSS 콘택트 영역(118) 각각의 적어도 일부에 중첩하여 배치되어 있다. 구체적으로는, 패드부(121)는 복수의 VSS 콘택트 영역(118) 각각의 적어도 일부와, 그 복수의 VSS 콘택트 영역(118) 사이에 형성된 화소 분리부(117)의 적어도 일부에 대해, 반도체층(100S)의 표면에 대해 수직 방향으로 겹쳐지는 영역에 형성된다. 층간 절연막(119)에는, 패드부(121)와 VSS 콘택트 영역(118)을 전기적으로 접속하기 위한 접속 비아(121C)가 마련되어 있다. 접속 비아(121C)는 화소(541A, 541B, 541C, 541D) 각각에 마련되어 있다. 예를 들면, 접속 비아(121C)에 패드부(121)의 일부가 매입됨에 의해, 패드부(121)와 VSS 콘택트 영역(118)이 전기적으로 접속되어 있다. 예를 들면, V방향으로 나열되는 복수의 화소 공유 유닛(539) 각각의 패드부(120) 및 패드부(121)는 H방향에서 개략 같은 위치에 배치되어 있다(도 77b).

[0363] 패드부(120)를 마련함으로써, 칩 전체에서, 각 플로팅 디퓨전(FD)으로부터 화소 회로(210)(예를 들어 증폭 트랜지스터(AMP)의 게이트 전극)에 접속하기 위한 배선을 줄일 수 있다. 마찬가지로, 패드부(121)를 마련함으로써, 칩 전체에서, 각 VSS 콘택트 영역(118)에의 전위를 공급하는 배선을 줄일 수 있다. 이에 의해, 칩 전체의 면적의 축소, 미세화된 화소에서의 배선 사이의 전기적 간섭의 억제 및/또는 부품 점수의 삭감에 의한 비용 삭감 등이 가능해진다.

[0364] 패드부(120, 121)는 제1 기판(100), 제2 기판(200)의 소망하는 위치에 마련할 수 있다. 구체적으로는, 패드부(120, 121)를 배선층(100T), 반도체층(200S)의 절연 영역(212)의 어느 하나에 마련할 수 있다. 배선층(100T)에 마련하는 경우에는, 패드부(120, 121)를 반도체층(100S)에 직접 접촉시켜도 좋다. 구체적으로는, 패드부(120, 121)가 플로팅 디퓨전(FD) 및/또는 VSS 콘택트 영역(118)의 각각의 적어도 일부와 직접 접속되는 구성이라도 좋다. 또한, 패드부(120, 121)에 접속하는 플로팅 디퓨전(FD) 및/또는 VSS 콘택트 영역(118)의 각각으로부터 접속 비아(120C, 121C)를 마련하고, 배선층(100T), 반도체층(200S)의 절연 영역(212)의 소망하는 위치에 패드부(120, 121)를 마련하는 구성이라도 좋다.

[0365] 특히, 패드부(120, 121)를 배선층(100T)에 마련하는 경우에는, 반도체층(200S)의 절연 영역(212)에서의 플로팅 디퓨전(FD) 및/또는 VSS 콘택트 영역(118)에 접속되는 배선을 줄일 수 있다. 이에 의해, 화소 회로(210)를 형성하는 제2 기판(200) 중, 플로팅 디퓨전(FD)으로부터 화소 회로(210)에 접속하기 위한 관통 배선을 형성하기 위한 절연 영역(212)의 면적을 삭감할 수 있다. 따라서, 화소 회로(210)를 형성하는 제2 기판(200)의 면적을 크게 확보할 수 있다. 화소 회로(210)의 면적을 확보함으로써, 화소 트랜지스터를 크게 형성할 수 있고, 노이즈 저감 등에 의한 화질 향상에 기여할 수 있다.

[0366] 특히, 화소 분리부(117)에 FTI 구조를 이용한 경우, 플로팅 디퓨전(FD) 및/또는 VSS 콘택트 영역(118)은, 각 화소(541)에 마련하는 것이 바람직하기 때문에, 패드부(120, 121)의 구성을 이용함으로써, 제1 기판(100)과 제2 기판(200)을 접속하는 배선을 대폭적으로 삭감할 수 있다.

[0367] 또한, 도 77b와 같이, 예를 들어 복수의 플로팅 디퓨전(FD)이 접속되는 패드부(120)와, 복수의 VSS 콘택트 영역(118)이 접속되는 패드부(121)는 V방향에서 직선형상으로 교대로 배치된다. 또한, 패드부(120, 121)는 복수의 포토 다이오드(PD)나, 복수의 전송 게이트(TG)나, 복수의 플로팅 디퓨전(FD)에 둘러싸이는 위치에 형성된다. 이에 의해, 복수의 소자를 형성하는 제1 기판(100)에서, 플로팅 디퓨전(FD)과 VSS 콘택트 영역(118) 이외의 소자를 자유롭게 배치할 수 있고, 칩 전체의 레이아웃의 효율화를 도모할 수 있다. 또한, 각 화소 공유 유닛(539)에 형성되는 소자의 레이아웃에서의 대칭성이 확보되어, 각 화소(541)의 특성의 편차를 억제할 수 있다.

[0368] 패드부(120, 121)는, 예를 들면, 폴리실리콘(Poly Si), 보다 구체적으로는, 불순물이 첨가된 도프트 폴리실리콘에 의해 구성되어 있다. 패드부(120, 121)는 폴리실리콘, 텅스텐(W), 티탄(Ti) 및 질화 티탄(TiN) 등의 내열성

이 높은 도전성 재료에 의해 구성되어 있는 것이 바람직하다. 이에 의해, 제1 기판(100)에 제2 기판(200)의 반도체층(200S)을 첩합시킨 후에, 화소 회로(210)를 형성하는 것이 가능해진다. 이하, 이 이유에 관해 설명하다. 또한, 이하의 설명에서, 제1 기판(100)과 제2 기판(200)의 반도체층(200S)을 첩합시킨 후에, 화소 회로(210)를 형성하는 방법을, 제1 제조 방법이라고 부른다.

[0369] 여기에서, 제2 기판(200)에 화소 회로(210)를 형성한 후에, 이것을 제1 기판(100)에 첩합시키는 것도 생각할 수 있다(이하 제2 제조 방법이라고 한다). 이 제2 제조 방법에서는, 제1 기판(100)의 표면(배선층(100T)의 표면) 및 제2 기판(200)의 표면(배선층(200T)의 표면) 각각에, 전기적 접속용의 전극을 미리 형성해 둔다. 제1 기판(100)과 제2 기판(200)을 첩합시키면, 이것과 동시에, 제1 기판(100)의 표면과 제2 기판(200)의 표면의 각각에 형성된 전기적 접속용의 전극끼리가 접촉한다. 이에 의해, 제1 기판(100)에 포함되는 배선과 제2 기판(200)에 포함되는 배선 사이에서 전기적 접속이 형성된다. 따라서, 제2 제조 방법을 이용한 촬상 장치(1)의 구성으로 함으로써, 예를 들어 제1 기판(100)과 제2 기판(200) 각각의 구성에 응하여 적절한 프로세스를 이용하여 제조할 수 있고, 고품질, 고성능인 촬상 장치를 제조할 수 있다.

[0370] 이와 같은 제2 제조 방법에서는, 제1 기판(100)과 제2 기판(200)을 첩합시킬 때에, 첩합용의 제조 장치에 기인하여, 위치 맞춤의 오차가 생기는 일이 있다. 또한, 제1 기판(100) 및 제2 기판(200)은, 예를 들면, 직경 수십 cm 정도의 크기를 갖는데, 제1 기판(100)과 제2 기판(200)을 첩합시킬 때에, 이 제1 기판(100), 제2 기판(200) 각 부의 미시적 영역에서, 기판의 신축이 발생할 우려가 있다. 이 기판의 신축은 기판끼리가 접촉하는 타이밍이 다소 어긋나는 것에 기인한다. 이와 같은 제1 기판(100) 및 제2 기판(200)의 신축에 기인하여, 제1 기판(100)의 표면 및 제2 기판(200)의 표면 각각에 형성된 전기적 접속용의 전극의 위치에, 오차가 생기는 일이 있다. 제2 제조 방법에서는, 이와 같은 오차가 생겨도, 제1 기판(100) 및 제2 기판(200) 각각의 전극끼리가 접촉하도록 대처해 두는 것이 바람직하다. 구체적으로는, 제1 기판(100) 및 제2 기판(200)의 전극의 적어도 일방, 바람직하게는 양방을 상기 오차를 고려하여 크게 해 둔다. 이 때문에, 제2 제조 방법을 이용하면, 예를 들면, 제1 기판(100) 또는 제2 기판(200)의 표면에 형성된 전극의 크기(기판 평면 방향의 크기)가 제1 기판(100) 또는 제2 기판(200)의 내부로부터 표면에 두께 방향으로 연재되는 내부 전극의 크기보다도 커진다.

[0371] 한편, 패드부(120, 121)를 내열성의 도전 재료에 의해 구성함으로써, 상기 제1 제조 방법을 이용하는 것이 가능해진다. 제1 제조 방법에서는, 포토 다이오드(PD) 및 전송 트랜지스터(TR) 등을 포함하는 제1 기판(100)을 형성한 후, 이 제1 기판(100)과 제2 기판(200)(반도체층(200S))을 첩합시킨다. 이때, 제2 기판(200)은 화소 회로(210)를 구성하는 능동 소자 및 배선층 등의 패턴은 미형성의 상태이다. 제2 기판(200)은 패턴을 형성하기 전의 상태이기 때문에, 가령, 제1 기판(100)과 제2 기판(200)을 첩합시킬 때, 그 첩합 위치에 오차가 생겼다 하더라도, 이 첩합 오차에 의해, 제1 기판(100)의 패턴과 제2 기판(200)의 패턴 사이의 위치 맞춤에 오차가 생기는 일은 없다. 왜냐하면, 제2 기판(200)의 패턴은 제1 기판(100)과 제2 기판(200)을 첩합시킨 후에 형성하기 때문이다. 또한, 제2 기판에 패턴을 형성할 때에는, 예를 들면, 패턴 형성을 위한 노광 장치에서, 제1 기판에 형성된 패턴을 위치 맞춤의 대상으로 하면서 패턴을 형성한다. 상기 이유에 의해, 제1 기판(100)과 제2 기판(200)의 첩합 위치의 오차는, 제1 제조 방법에서는, 촬상 장치(1)를 제조하는데에 문제가 되지 않는다. 같은 이유로, 제2 제조 방법에서 생기는 기판의 신축에 기인한 오차도, 제1 제조 방법에서는, 촬상 장치(1)를 제조하는데에 문제가 되지 않는다.

[0372] 제1 제조 방법에서는, 이와 같이 하여 제1 기판(100)과 제2 기판(200)(반도체층(200S))을 첩합시킨 후, 제2 기판(200)상에 능동 소자를 형성한다. 이후, 관통 전극(120E, 121E) 및 관통 전극(TGV)(도 76)을 형성한다. 이 관통 전극(120E, 121E, TGV)의 형성에서는, 예를 들면, 제2 기판(200)의 상방으로부터, 노광 장치에 의한 축소 투영 노광을 이용하여 관통 전극의 패턴을 형성한다. 축소 노광 투영을 이용하기 때문에, 가령, 제2 기판(200)과 노광 장치의 위치 맞춤에 오차가 생겨도, 그 오차의 크기는, 제2 기판(200)에서는, 상기 제2 제조 방법의 오차의 수분의 1(축소 노광 투영 배율의 역수)밖에 되지 않는다. 따라서, 제1 제조 방법을 이용한 촬상 장치(1)의 구성으로 함으로써, 제1 기판(100)과 제2 기판(200)의 각각에 형성되는 소자끼리의 위치 맞춤이 용이해지고, 고품질, 고성능인 촬상 장치를 제조할 수 있다.

[0373] 이와 같은 제1 제조 방법을 이용하여 제조된 촬상 장치(1)는 제2 제조 방법으로 제조된 촬상 장치와 다른 특징을 가진다. 구체적으로는, 제1 제조 방법에 의해 제조된 촬상 장치(1)에서는, 예를 들면, 관통 전극(120E, 121E, TGV)이 제2 기판(200)으로부터 제1 기판(100)에 이르기까지, 개략 일정한 굵기(기판 평면 방향의 크기)로 되어 있다. 또는, 관통 전극(120E, 121E, TGV)이 테이퍼 형상을 가질 때에는, 일정한 기울기의 테이퍼 형상을 가지고 있다. 이와 같은 관통 전극(120E, 121E, TGV)을 갖는 촬상 장치(1)는 화소(541)를 미세화하기 쉽다.

- [0374] 여기에서, 제1 제조 방법에 의해 활상 장치(1)를 제조하면, 제1 기판(100)과 제2 기판(200)(반도체층(200S))을 접합시킨 후에, 제2 기판(200)에 능동 소자를 형성하기 때문에, 제1 기판(100)에도, 능동 소자의 형성 시에 필요한 가열 처리의 영향이 미치게 된다. 이 때문에, 상기와 같이, 제1 기판(100)에 마련된 패드부(120, 121)에는, 내열성이 높은 도전 재료를 이용하는 것이 바람직하다. 예를 들면, 패드부(120, 121)에는, 제2 기판(200)의 배선층(200T)에 포함되는 배선재의 적어도 일부보다도, 융점이 높은(즉 내열성이 높은) 재료를 이용하고 있는 것이 바람직하다. 예를 들면, 패드부(120, 121)에 도프트 폴리실리콘, 텅스텐, 티탄 또는 질화 티탄 등의 내열성이 높은 도전재를 이용한다. 이에 의해, 상기 제1 제조 방법을 이용하여 활상 장치(1)를 제조하는 것이 가능해진다.
- [0375] 패시베이션막(122)은, 예를 들면, 패드부(120, 121)를 덮도록, 반도체층(100S)의 표면 전면에 걸쳐 마련되어 있다(도 76). 패시베이션막(122)은, 예를 들면, 질화 실리콘(SiN)막에 의해 구성되어 있다. 층간 절연막(123)은 패시베이션막(122)을 사이에 두고 패드부(120, 121)를 덮고 있다. 이 층간 절연막(123)은, 예를 들면, 반도체층(100S)의 표면 전면에 걸쳐 마련되어 있다. 층간 절연막(123)은 예를 들어 산화 실리콘(SiO)막에 의해 구성되어 있다. 접합막(124)은 제1 기판(100)(구체적으로는 배선층(100T))과 제2 기판(200)의 접합면에 마련되어 있다. 즉, 접합막(124)은 제2 기판(200)에 접해 있다. 이 접합막(124)은 제1 기판(100)의 주면 전면에 걸쳐 마련되어 있다. 접합막(124)은, 예를 들면, 질화 실리콘막에 의해 구성되어 있다.
- [0376] 수광 렌즈(401)는, 예를 들면, 고정 전하막(112) 및 절연막(111)을 사이에 두고 반도체층(100S)에 대향하고 있다(도 76). 수광 렌즈(401)는 예를 들어 화소(541A, 541B, 541C, 541D) 각각의 포토 다이오드(PD)에 대향하는 위치에 마련되어 있다.
- [0377] 제2 기판(200)은, 제1 기판(100)측으로부터, 반도체층(200S) 및 배선층(200T)을 이 순서로 가지고 있다. 반도체층(200S)은 실리콘 기판으로 구성되어 있다. 반도체층(200S)에서는, 두께 방향에 걸쳐, 웰 영역(211)이 마련되어 있다. 웰 영역(211)은, 예를 들면, p형 반도체 영역이다. 제2 기판(200)에는, 화소 공유 유닛(539)마다 배치된 화소 회로(210)가 마련되어 있다. 이 화소 회로(210)는, 예를 들면, 반도체층(200S)의 표면측(배선층(200T)측)에 마련되어 있다. 활상 장치(1)에서는, 제1 기판(100)의 표면측(배선층(100T)측)에 제2 기판(200)의 이면측(반도체층(200S)측)이 향하도록 하여, 제2 기판(200)이 제1 기판(100)에 첩합되어 있다. 즉, 제2 기판(200)은 제1 기판(100)에 페이스 투 백으로 서로 첩합되어 있다.
- [0378] 도 78~도 82는 제2 기판(200)의 평면 구성의 한 예를 모식적으로 도시하고 있다. 도 78에는, 반도체층(200S)의 표면 근방에 마련된 화소 회로(210)의 구성을 도시한다. 도 79는 배선층(200T)(구체적으로는 후술하는 제1 배선층(W1))과, 배선층(200T)에 접속된 반도체층(200S) 및 제1 기판(100)의 각 부의 구성을 모식적으로 도시하고 있다. 도 80~도 82는 배선층(200T)의 평면 구성의 한 예를 도시하고 있다. 이하, 도 76과 함께, 도 78~도 82를 이용하여 제2 기판(200)의 구성에 관해 설명한다. 도 78 및 도 79에서는 포토 다이오드(PD)의 외형(화소 분리부(117)와 포토 다이오드(PD)의 경계)을 파선으로 나타내고, 화소 회로(210)를 구성하는 각 트랜지스터의 게이트 전극에 겹쳐지는 부분의 반도체층(200S)과 소자 분리 영역(213) 또는 절연 영역(212)의 경계를 점선으로 나타낸다. 증폭 트랜지스터(AMP)의 게이트 전극에 겹쳐지는 부분에서는, 채널 폭방향의 일방에, 반도체층(200S)과 소자 분리 영역(213)의 경계 및 소자 분리 영역(213)과 절연 영역(212)의 경계가 마련되어 있다.
- [0379] 제2 기판(200)에는, 반도체층(200S)을 분단하는 절연 영역(212)과, 반도체층(200S)의 두께 방향의 일부에 마련된 소자 분리 영역(213)이 마련되어 있다(도 76). 예를 들면, H방향으로 이웃하는 2개의 화소 회로(210) 사이에 마련된 절연 영역(212)에, 이 2개의 화소 회로(210)에 접속된 2개의 화소 공유 유닛(539)의 관통 전극(120E, 121E) 및 관통 전극(TGV)(관통 전극(TGV1, TGV2, TGV3, TGV4))이 배치되어 있다(도 79).
- [0380] 절연 영역(212)은 반도체층(200S)의 두께와 개략 같은 두께를 가지고 있다(도 76). 반도체층(200S)은 이 절연 영역(212)에 의해 분단되어 있다. 이 절연 영역(212)에, 관통 전극(120E, 121E) 및 관통 전극(TGV)이 배치되어 있다. 절연 영역(212)은 예를 들어 산화 실리콘에 의해 구성되어 있다.
- [0381] 관통 전극(120E, 121E)은 절연 영역(212)을 두께 방향으로 관통하여 마련되어 있다. 관통 전극(120E, 121E)의 상단은 배선층(200T)의 배선(후술하는 제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3), 제4 배선층(W4))에 접속되어 있다. 이 관통 전극(120E, 121E)은 절연 영역(212), 접합막(124), 층간 절연막(123) 및 패시베이션막(122)을 관통하여 마련되고, 그 하단은 패드부(120, 121)에 접속되어 있다(도 76). 관통 전극(120E)은 패드부(120)와 화소 회로(210)를 전기적으로 접속하기 위한 것이다. 즉, 관통 전극(120E)에 의해, 제1 기판(100)의 플로팅 디퓨전(FD)이 제2 기판(200)의 화소 회로(210)에 전기적으로 접속된다. 관통 전극(121E)은 패드부(121)와 배선층(200T)의 기준 전위선(VSS)을 전기적으로 접속하기 위한 것이다. 즉, 관통 전극(121E)에 의해, 제1 기판

(100)의 VSS 콘택트 영역(118)이 제2 기관(200)의 기준 전위선(VSS)에 전기적으로 접속된다.

[0382] 관통 전극(TGV)은 절연 영역(212)을 두께 방향으로 관통하여 마련되어 있다. 관통 전극(TGV)의 상단은 배선층(200T)의 배선에 접속되어 있다. 이 관통 전극(TGV)은 절연 영역(212), 접합막(124), 층간 절연막(123), 패시베이션막(122) 및 층간 절연막(119)을 관통하여 마련되고, 그 하단은 전송 게이트(TG)에 접속되어 있다(도 76). 이와 같은 관통 전극(TGV)은 화소(541A, 541B, 541C, 541D) 각각의 전송 게이트(TG(전송 게이트(TG1, TG2, TG3, TG4)))와, 배선층(200T)의 배선(행 구동 신호선(542)의 일부, 구체적으로는, 후술하는 도 81의 배선(TRG1, TRG2, TRG3, TRG4)을 전기적으로 접속하기 위한 것이다. 즉, 관통 전극(TGV)에 의해, 제1 기관(100)의 전송 게이트(TG)가 제2 기관(200)의 배선(TRG)에 전기적으로 접속되고, 전송 트랜지스터(TR(전송 트랜지스터(TR1, TR2, TR3, TR4))) 각각에 구동 신호가 보내지도록 되어 있다.

[0383] 절연 영역(212)은 제1 기관(100)과 제2 기관(200)을 전기적으로 접속하기 위한 상기 관통 전극(120E, 121E) 및 관통 전극(TGV)을 반도체층(200S)과 절연하여 마련하기 위한 영역이다. 예를 들면, H방향으로 이웃하는 2개의 화소 회로(210(화소 공유 유닛(539)))의 사이에 마련된 절연 영역(212)에, 이 2개의 화소 회로(210)에 접속된 관통 전극(120E, 121E) 및 관통 전극(TGV(관통 전극(TGV1, TGV2, TGV3, TGV4)))이 배치되어 있다. 절연 영역(212)은, 예를 들면, V방향으로 연재되어 마련되어 있다(도 78, 도 79). 여기에서는, 전송 게이트(TG)의 수평 부분(TGb)의 배치를 연구함에 의해, 수직 부분(TGa)의 위치에 비해, 관통 전극(TGV)의 H방향의 위치가 관통 전극(120E, 121E)의 H방향의 위치에 근접하도록 배치되어 있다(도 77a, 도 79). 예를 들면, 관통 전극(TGV)은, H방향에서, 관통 전극(120E, 120E)과 개략 같은 위치에 배치되어 있다. 이에 의해, V방향으로 연재되는 절연 영역(212)에, 관통 전극(120E, 121E) 및 관통 전극(TGV)을 통합하여 마련할 수 있다. 다른 배치례로서, 수직 부분(TGa)에 중첩하는 영역에만 수평 부분(TGb)을 마련하는 것도 생각할 수 있다. 이 경우에는, 수직 부분(TGa)의 개략 바로 위에 관통 전극(TGV)이 형성되고, 예를 들면, 각 화소(541)의 H방향 및 V방향의 개략 중앙부에 관통 전극(TGV)이 배치된다. 이때, 관통 전극(TGV)의 H방향의 위치와 관통 전극(120E, 121E)의 H방향의 위치가 크게 어긋난다. 관통 전극(TGV) 및 관통 전극(120E, 121E)의 주위에는, 근접하는 반도체층(200S)으로부터 전기적으로 절연하기 위해, 예를 들면, 절연 영역(212)을 마련한다. 관통 전극(TGV)의 H방향의 위치와 관통 전극(120E, 121E)의 H방향의 위치가 크게 떨어지는 경우에는, 관통 전극(120E, 121E, TGV) 각각의 주위에 절연 영역(212)을 독립하여 마련하는 것이 필요해진다. 이에 의해, 반도체층(200S)이 미세하게 분단되게 된다. 이것에 비해, V방향으로 연재되는 절연 영역(212)에, 관통 전극(120E, 121E) 및 관통 전극(TGV)을 통합하여 배치하는 레이아웃은 반도체층(200S)의 H방향의 크기를 크게 할 수 있다. 따라서, 반도체층(200S)에서의 반도체 소자 형성 영역의 면적을 크게 확보할 수 있다. 이에 의해, 예를 들면, 증폭 트랜지스터(AMP)의 사이즈를 크게 하고, 노이즈를 억제하는 것이 가능해진다.

[0384] 화소 공유 유닛(539)은, 도 74를 참조하여 설명한 바와 같이, 복수의 화소(541)의 각각에 마련된 플로팅 디퓨전(FD) 사이를 전기적으로 접속하고, 이들 복수의 화소(541)가 1개의 화소 회로(210)를 공유하는 구조를 가지고 있다. 그리고, 상기 플로팅 디퓨전(FD) 사이의 전기적 접속은, 제1 기관(100)에 마련된 패드부(120)에 의해 이루어지고 있다(도 76, 도 77b). 제1 기관(100)에 마련된 전기적 접속부(패드부(120))와 제2 기관(200)에 마련된 화소 회로(210)는 1개의 관통 전극(120E)을 통하여 전기적으로 접속되어 있다. 다른 구조례로서, 플로팅 디퓨전(FD) 사이의 전기적 접속부를 제2 기관(200)에 마련하는 것도 생각할 수 있다. 이 경우, 화소 공유 유닛(539)에는, 플로팅 디퓨전(FD1, FD2, FD3, FD4) 각각에 접속되는 4개의 관통 전극이 마련된다. 따라서, 제2 기관(200)에서, 반도체층(200S)을 관통하는 관통 전극의 수가 늘어나고, 이들 관통 전극의 주위를 절연하는 절연 영역(212)이 커진다. 이것에 비해, 제1 기관(100)에 패드부(120)를 마련하는 구조(도 76, 도 77b)는 관통 전극의 수를 줄이고, 절연 영역(212)을 작게 할 수 있다. 따라서, 반도체층(200S)에서의 반도체 소자 형성 영역의 면적을 크게 확보할 수 있다. 이에 의해, 예를 들면, 증폭 트랜지스터(AMP)의 사이즈를 크게 하고, 노이즈를 억제하는 것이 가능해진다.

[0385] 소자 분리 영역(213)은 반도체층(200S)의 표면층에 마련되어 있다. 소자 분리 영역(213)은 STI(Shallow Trench Isolation) 구조를 가지고 있다. 이 소자 분리 영역(213)에서는, 반도체층(200S)이 두께 방향(제2 기관(200)의 주면에 대해 수직 방향)으로 파여 있고, 이 파여 있는 부분에 절연막이 매입되어 있다. 이 절연막은, 예를 들면, 산화 실리콘에 의해 구성되어 있다. 소자 분리 영역(213)은 화소 회로(210)를 구성하는 복수의 트랜지스터 사이를 화소 회로(210)의 레이아웃에 응하여 소자 분리하는 것이다. 소자 분리 영역(213)의 하방(반도체층(200S)의 심부)에는, 반도체층(200S)(구체적으로는, 웰 영역(211))이 연재되어 있다.

[0386] 여기에서, 도 77a, 도 77b 및 도 78을 참조하여, 제1 기관(100)에서의 화소 공유 유닛(539)의 외형 형상(기관

평면 방향의 외형 형상)과, 제2 기관(200)에서의 화소 공유 유닛(539)의 외형 형상의 차이를 설명한다.

- [0387] 촬상 장치(1)에서는, 제1 기관(100) 및 제2 기관(200)의 양방에 걸쳐, 화소 공유 유닛(539)이 마련되어 있다. 예를 들면, 제1 기관(100)에 마련된 화소 공유 유닛(539)의 외형 형상과, 제2 기관(200)에 마련된 화소 공유 유닛(539)의 외형 형상은 서로 다르다.
- [0388] 도 77a, 도 77b에서는, 화소(541A, 541B, 541C, 541D)의 외형선을 1점 쇄선으로 나타내고, 화소 공유 유닛(539)의 외형 형상을 태선(太線)으로 나타내고 있다. 예를 들면, 제1 기관(100)의 화소 공유 유닛(539)은 H방향으로 인접하여 배치된 2개의 화소(541)(화소(541A, 541B))와, 이것에 V방향으로 인접된 배치된 2개의 화소(541(화소(541C, 541D)))에 의해 구성되어 있다. 즉, 제1 기관(100)의 화소 공유 유닛(539)은 인접하는 2행×2열의 4개의 화소(541)에 의해 구성되어 있고, 제1 기관(100)의 화소 공유 유닛(539)은 개략 정방형의 외형 형상을 가지고 있다. 화소 어레이부(540)에서는, 이와 같은 화소 공유 유닛(539)이 H방향으로 2화소 피치(화소(541)의 2개분에 상당하는 피치), 또한, V방향으로 2화소 피치(화소(541)의 2개분에 상당하는 피치)로 인접하여 배열되어 있다.
- [0389] 도 78 및 도 79에서는, 화소(541A, 541B, 541C, 541D)의 외형선을 1점 쇄선으로 나타내고, 화소 공유 유닛(539)의 외형 형상을 태선으로 나타내고 있다. 예를 들면, 제2 기관(200)의 화소 공유 유닛(539)의 외형 형상은 H방향에서 제1 기관(100)의 화소 공유 유닛(539)보다도 작고, V방향에서 제1 기관(100)의 화소 공유 유닛(539)보다도 크게 되어 있다. 예를 들면, 제2 기관(200)의 화소 공유 유닛(539)은 H방향으로는 화소 1개분에 상당하는 크기(영역)로 형성되고, V방향으로는, 화소 4개분에 상당하는 크기로 형성되어 있다. 즉, 제2 기관(200)의 화소 공유 유닛(539)은 인접하는 1행×4열로 배열된 화소에 상당하는 크기로 형성되어 있고, 제2 기관(200)의 화소 공유 유닛(539)은 개략 장방형의 외형 형상을 가지고 있다.
- [0390] 예를 들면, 각 화소 회로(210)에서는, 선택 트랜지스터(SEL), 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)가 이 순서로 V방향으로 나란히 배치되어 있다(도 78). 각 화소 회로(210)의 외형 형상을, 상기와 같이, 개략 장방형형상으로 마련함에 의해, 일방향(도 78에서는 V방향)으로 4개의 트랜지스터(선택 트랜지스터(SEL), 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG))를 나열하여 배치할 수 있다. 이에 의해, 증폭 트랜지스터(AMP)의 드레인과, 리셋 트랜지스터(RST)의 드레인을 하나의 확산 영역(전원선(VDD)에 접속되는 확산 영역)에서 공유할 수 있다. 예를 들면, 각 화소 회로(210)의 형성 영역을 개략 정방형형상으로 마련하는 것도 가능하다(후술하는 도 91 참조). 이 경우에는, 일방향을 따라 2개의 트랜지스터가 배치되고, 증폭 트랜지스터(AMP)의 드레인과, 리셋 트랜지스터(RST)의 드레인을 하나의 확산 영역에서 공유하는 것이 곤란해진다. 따라서, 화소 회로(210)의 형성 영역을 개략 장방형형상으로 마련함에 의해, 4개의 트랜지스터를 근접하여 배치하기 쉬워지고, 화소 회로(210)의 형성 영역을 작게 할 수 있다. 즉, 화소의 미세화를 행할 수 있다. 또한, 화소 회로(210)의 형성 영역을 작게 하는 것이 불필요할 때에는, 증폭 트랜지스터(AMP)의 형성 영역을 크게 하여, 노이즈를 억제하는 것이 가능해진다.
- [0391] 예를 들면, 반도체층(200S)의 표면 근방에는, 선택 트랜지스터(SEL), 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)에 더하여, 기준 전위선(VSS)에 접속되는 VSS 콘택트 영역(218)이 마련되어 있다. VSS 콘택트 영역(218)은, 예를 들면, p형 반도체 영역에 의해 구성되어 있다. VSS 콘택트 영역(218)은 배선층(200T)의 배선 및 관통 전극(121E)을 통하여 제1 기관(100(반도체층(100S)))의 VSS 콘택트 영역(118)에 전기적으로 접속되어 있다. 이 VSS 콘택트 영역(218)은, 예를 들면, 소자 분리 영역(213)을 사이에 하고, FD 변환 게인 전환 트랜지스터(FDG)의 소스와 이웃하는 위치에 마련되어 있다(도 78).
- [0392] 다음으로, 도 77b 및 도 78을 참조하여, 제1 기관(100)에 마련된 화소 공유 유닛(539)과 제2 기관(200)에 마련된 화소 공유 유닛(539)의 위치 관계를 설명한다. 예를 들면, 제1 기관(100)의 V방향으로 나열되는 2개의 화소 공유 유닛(539) 중, 일방(예를 들어 도 77b의 지면 상측)의 화소 공유 유닛(539)은 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539) 중의 일방(예를 들면, 도 78의 지면 좌측)의 화소 공유 유닛(539)에 접속되어 있다. 예를 들면, 제1 기관(100)의 V방향으로 나열되는 2개의 화소 공유 유닛(539) 중, 타방(예를 들어 도 77b의 지면 하측)의 화소 공유 유닛(539)은 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539) 중의 타방(예를 들면, 도 78의 지면 우측)의 화소 공유 유닛(539)에 접속되어 있다.
- [0393] 예를 들면, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)에서는, 일방의 화소 공유 유닛(539)의 내부 레이아웃(트랜지스터 등의 배치)이 타방의 화소 공유 유닛(539)의 내부 레이아웃을 V방향 및 H방향으로 반전시킨 레이아웃에 개략 동등하게 되어 있다. 이하, 이 레이아웃에 의해 얻어지는 효과를 설명한다.

- [0394] 제1 기관(100)의 V방향으로 나열되는 2개의 화소 공유 유닛(539)에서는, 각각의 패드부(120)가 화소 공유 유닛(539)의 외형 형상의 중앙부, 즉, 화소 공유 유닛(539)의 V방향 및 H방향의 중앙부에 배치된다(도 77b). 한편, 제2 기관(200)의 화소 공유 유닛(539)은, 상기와 같이, V방향으로 긴 개략 장방형의 외형 형상을 가지고 있기 때문에, 예를 들면, 패드부(120)에 접속되는 증폭 트랜지스터(AMP)는 화소 공유 유닛(539)의 V방향의 중앙으로부터 지면 상방으로 어긋난 위치에 배치되어 있다. 예를 들면, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)의 내부 레이아웃이 같을 때, 일방의 화소 공유 유닛(539)의 증폭 트랜지스터(AMP)와, 패드부(120)(예를 들면, 도 7의 지면 상측의 화소 공유 유닛(539)의 패드부(120))의 거리는 비교적 짧아진다. 그러나, 타방의 화소 공유 유닛(539)의 증폭 트랜지스터(AMP)와, 패드부(120)(예를 들면, 도 7의 지면 하측의 화소 공유 유닛(539)의 패드부(120))의 거리가 길어진다. 이 때문에, 이 증폭 트랜지스터(AMP)와 패드부(120)의 접속에 필요한 배선의 면적이 커지고, 화소 공유 유닛(539)의 배선 레이아웃이 복잡해질 우려가 있다. 이것은, 촬상 장치(1)의 미세화에 영향을 미칠 가능성이 있다.
- [0395] 이에 대해, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)에서, 서로의 내부 레이아웃을 적어도 V방향으로 반전시킴에 의해, 이들 2개의 화소 공유 유닛(539)의 양방에의 증폭 트랜지스터(AMP)와 패드부(120)의 거리를 짧게 할 수 있다. 따라서, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)의 내부 레이아웃을 같게 한 구성과 비교하여, 촬상 장치(1)의 미세화를 행하기 쉬워진다. 또한, 제2 기관(200)의 복수의 화소 공유 유닛(539) 각각의 평면 레이아웃은 도 78에 기재된 범위에서는 좌우 대칭이지만, 후술하는 도 79에 기재된 제1 배선층(W1)의 레이아웃까지 포함시키면, 좌우 비대칭의 것이 된다.
- [0396] 또한, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)의 내부 레이아웃은 서로 H방향으로도 반전되어 있는 것이 바람직하다. 이하, 이 이유에 관해 설명한다. 도 79에 도시한 바와 같이, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)은 각각 제1 기관(100)의 패드부(120, 121)에 접속되어 있다. 예를 들면, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)의 H방향의 중앙부(H방향으로 나열되는 2개의 화소 공유 유닛(539) 사이)에 패드부(120, 121)가 배치되어 있다. 따라서, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)의 내부 레이아웃을 서로, H방향으로도 반전시킴에 의해, 제2 기관(200)의 복수의 화소 공유 유닛(539) 각각과 패드부(120, 121)의 거리를 작게 할 수 있다. 즉, 촬상 장치(1)의 미세화를 더욱 행하기 쉬워진다.
- [0397] 또한, 제2 기관(200)의 화소 공유 유닛(539)의 외형선의 위치는, 제1 기관(100)의 화소 공유 유닛(539)의 어느 하나의 외형선의 위치에 갖추어져 있지 않아도 좋다. 예를 들면, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539) 중, 일방(예를 들어 도 79의 지면 좌측)의 화소 공유 유닛(539)에서는, V방향의 일방(예를 들어 도 79의 지면 상측)의 외형선이 대응하는 제1 기관(100)의 화소 공유 유닛(539)(예를 들어 도 77b의 지면 상측)의 V방향의 일방의 외형선의 외측에 배치되어 있다. 또한, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539) 중, 타방(예를 들어 도 79의 지면 우측)의 화소 공유 유닛(539)에서는, V방향의 타방(예를 들어 도 79의 지면 하측)의 외형선이 대응하는 제1 기관(100)의 화소 공유 유닛(539)(예를 들어 도 77b의 지면 하측)의 V방향의 타방의 외형선의 외측에 배치되어 있다. 이와 같이, 제2 기관(200)의 화소 공유 유닛(539)과, 제1 기관(100)의 화소 공유 유닛(539)을 서로 배치함에 의해, 증폭 트랜지스터(AMP)와 패드부(120)의 거리를 짧게 하는 것이 가능해진다. 따라서, 촬상 장치(1)의 미세화를 행하기 쉬워진다.
- [0398] 또한, 제2 기관(200)의 복수의 화소 공유 유닛(539) 사이에서, 서로의 외형선의 위치는 갖추어져 있지 않아도 좋다. 예를 들면, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)은 V방향의 외형선의 위치가 어긋나서 배치되어 있다. 이에 의해, 증폭 트랜지스터(AMP)와 패드부(120)의 거리를 짧게 하는 것이 가능해진다. 따라서, 촬상 장치(1)의 미세화를 행하기 쉬워진다.
- [0399] 도 77b 및 도 79를 참조하여, 화소 어레이부(540)에서의 화소 공유 유닛(539)의 반복 배치에 관해 설명한다. 제1 기관(100)의 화소 공유 유닛(539)은 H방향으로 2개분의 화소(541)의 크기 및 V방향으로 2개분의 화소(541)의 크기를 가지고 있다(도 77b). 예를 들면, 제1 기관(100)의 화소 어레이부(540)에서는, 이 4개의 화소(541)에 상당하는 크기의 화소 공유 유닛(539)이 H방향으로 2화소 피치(화소(541)의 2개분에 상당하는 피치), 또한, V방향으로 2화소 피치(화소(541)의 2개분에 상당하는 피치)로 인접하여 반복 배열되어 있다. 또는, 제1 기관(100)의 화소 어레이부(540)에, 화소 공유 유닛(539)이 V방향으로 2개 인접하여 배치된 한 쌍의 화소 공유 유닛(539)이 마련되어 있어도 좋다. 제1 기관(100)의 화소 어레이부(540)에서는, 예를 들면, 이 한 쌍의 화소 공유 유닛(539)이 H방향으로 2화소 피치(화소(541)의 2개분에 상당하는 피치), 또한, V방향으로 4화소 피치(화소(541)의 4개분에 상당하는 피치)로 인접하여 반복 배열하고 있다. 제2 기관(200)의 화소 공유 유닛(539)은 H방향으로 1개분의 화소(541)의 크기 및 V방향으로 4개분의 화소(541)의 크기를 가지고 있다(도 79). 예를 들면, 제2 기관

(200)의 화소 어레이부(540)에는, 이 4개의 화소(541)에 상당하는 크기의 화소 공유 유닛(539)을 2개 포함하는 한 쌍의 화소 공유 유닛(539)이 마련되어 있다. 이 화소 공유 유닛(539)은 H방향으로 인접하여 배치되고, 또한, V방향으로는 어긋나게 하여 배치되어 있다. 제2 기관(200)의 화소 어레이부(540)에서는, 예를 들면, 이 한 쌍의 화소 공유 유닛(539)이 H방향으로 2화소 피치(화소(541)의 2개분에 상당하는 피치), 또한, V방향으로 4화소 피치(화소(541)의 4개분에 상당하는 피치)로 간극 없이 인접하여 반복 배열되어 있다. 이와 같은 화소 공유 유닛(539)의 반복 배치에 의해, 화소 공유 유닛(539)을 간극 없이 배치하는 것이 가능해진다. 따라서, 촬상 장치(1)의 미세화를 행하기 쉬워진다.

[0400] 증폭 트랜지스터(AMP)는, 예를 들면, Fin형 등의 3차원 구조를 가지고 있는 것이 바람직하다(도 76). 이에 의해, 실효의 게이트 폭의 크기가 커지고, 노이즈를 억제하는 것이 가능해진다. 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)는, 예를 들면, 플레이너 구조를 가지고 있다. 증폭 트랜지스터(AMP)가 플레이너 구조를 가지고 있어도 좋다. 또는, 선택 트랜지스터(SEL), 리셋 트랜지스터(RST) 또는 FD 변환 게인 전환 트랜지스터(FDG)가, 3차원 구조를 가지고 있어도 좋다.

[0401] 배선층(200T)은, 예를 들면, 패시베이션막(221), 층간 절연막(222) 및 복수의 배선(제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3), 제4 배선층(W4))을 포함하고 있다. 패시베이션막(221)은, 예를 들면, 반도체층(200S)의 표면에 접하고 있고, 반도체층(200S)의 표면 전면을 덮고 있다. 이 패시베이션막(221)은 선택 트랜지스터(SEL), 증폭 트랜지스터(AMP), 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG) 각각의 게이트 전극을 덮고 있다. 층간 절연막(222)은 패시베이션막(221)과 제3 기관(300) 사이에 마련되어 있다. 이 층간 절연막(222)에 의해, 복수의 배선(제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3), 제4 배선층(W4))이 분리되어 있다. 층간 절연막(222)은, 예를 들면, 산화 실리콘에 의해 구성되어 있다.

[0402] 배선층(200T)에는, 예를 들면, 반도체층(200S)측으로부터, 제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3), 제4 배선층(W4) 및 콘택트부(201, 202)가 이 순서로 마련되고, 이들이 서로 층간 절연막(222)에 의해 절연되어 있다. 층간 절연막(222)에는, 제1 배선층(W1), 제2 배선층(W2), 제3 배선층(W3) 또는 제4 배선층(W4)와, 이들 하층을 접속하는 접속부가 복수 마련되어 있다. 접속부는 층간 절연막(222)에 마련한 접속 구멍에 도전 재료를 매설한 부분이다. 예를 들면, 층간 절연막(222)에는, 제1 배선층(W1)과 반도체층(200S)의 VSS 콘택트 영역(218)을 접속하는 접속부(218V)가 마련되어 있다. 예를 들면, 이와 같은 제2 기관(200)의 소자끼리를 접속하는 접속부의 구멍 지름은 관통 전극(120E, 121E) 및 관통 전극(TGV)의 구멍 지름과 다르다. 구체적으로는, 제2 기관(200)의 소자끼리를 접속하는 접속 구멍의 구멍 지름은 관통 전극(120E, 121E) 및 관통 전극(TGV)의 구멍 지름보다도 작게 되어 있는 것이 바람직하다. 이하, 이 이유에 관해 설명한다. 배선층(200T) 내에 마련된 접속부(접속부(218V) 등)의 깊이는 관통 전극(120E, 121E) 및 관통 전극(TGV)의 깊이보다도 작다. 이 때문에 접속부는 관통 전극(120E, 121E) 및 관통 전극(TGV)에 비해 용이하게 접속 구멍에 도전재를 메울 수 있다. 이 접속부의 구멍 지름을 관통 전극(120E, 121E) 및 관통 전극(TGV)의 구멍 지름보다도 작게 함에 의해, 촬상 장치(1)의 미세화를 행하기 쉬워진다.

[0403] 예를 들면, 제1 배선층(W1)에 의해, 관통 전극(120E)과 증폭 트랜지스터(AMP)의 게이트 및 FD 변환 게인 전환 트랜지스터(FDG)의 소스(구체적으로는 FD 변환 게인 전환 트랜지스터(FDG)의 소스에 도달하는 접속 구멍)가 접속되어 있다. 제1 배선층(W1)은, 예를 들면, 관통 전극(121E)과 접속부(218V)를 접속하고 있고, 이에 의해, 반도체층(200S)의 VSS 콘택트 영역(218)과 반도체층(100S)의 VSS 콘택트 영역(118)이 전기적으로 접속된다.

[0404] 다음으로, 도 80~도 82를 이용하여, 배선층(200T)의 평면 구성에 관해 설명한다. 도 80은 제1 배선층(W1) 및 제2 배선층(W2)의 평면 구성의 한 예를 도시한 것이다. 도 81은 제2 배선층(W2) 및 제3 배선층(W3)의 평면 구성의 한 예를 도시한 것이다. 도 82는 제3 배선층(W3) 및 제4 배선층(W4)의 평면 구성의 한 예를 도시한 것이다.

[0405] 예를 들면, 제3 배선층(W3)은, H방향(행방향)으로 연재되는 배선(TRG1, TRG2, TRG3, TRG4, SELL, RSTL, FDGL)을 포함하고 있다(도 81). 이들 배선은 도 74를 참조하여 설명한 복수의 행 구동 신호선(542)에 해당한다. 배선(TRG1, TRG2, TRG3, TRG4)은 각각 전송 게이트(TG1, TG2, TG3, TG4)에 구동 신호를 보내기 위한 것이다. 배선(TRG1, TRG2, TRG3, TRG4)은 각각 제2 배선층(W2), 제1 배선층(W1) 및 관통 전극(120E)을 통하여 전송 게이트(TG1, TG2, TG3, TG4)에 접속되어 있다. 배선(SELL)은 선택 트랜지스터(SEL)의 게이트에, 배선(RSTL)은 리셋 트랜지스터(RST)의 게이트에, 배선(FDGL)은 FD 변환 게인 전환 트랜지스터(FDG)의 게이트에 각각 구동 신호를 보내기 위한 것이다. 배선(SELL, RSTL, FDGL)은 각각 제2 배선층(W2), 제1 배선층(W1) 및 접속부를 통하여, 선택 트랜지스터(SEL), 리셋 트랜지스터(RST), FD 변환 게인 전환 트랜지스터(FDG) 각각의 게이트에 접속되어 있다.

- [0406] 예를 들면, 제4 배선층(W4)은 V방향(열방향)으로 연재되는 전원선(VDD), 기준 전위선(VSS) 및 수직 신호선(543)을 포함하고 있다(도 82). 전원선(VDD)은 제3 배선층(W3), 제2 배선층(W2), 제1 배선층(W1) 및 접속부를 통하여 증폭 트랜지스터(AMP)의 드레인 및 리셋 트랜지스터(RST)의 드레인에 접속되어 있다. 기준 전위선(VSS)은 제3 배선층(W3), 제2 배선층(W2), 제1 배선층(W1) 및 접속부(218V)를 통하여 VSS 콘택트 영역(218)에 접속되어 있다. 또한, 기준 전위선(VSS)은 제3 배선층(W3), 제2 배선층(W2), 제1 배선층(W1), 관통 전극(121E) 및 패드부(121)를 통하여 제1 기관(100)의 VSS 콘택트 영역(118)에 접속되어 있다. 수직 신호선(543)은 제3 배선층(W3), 제2 배선층(W2), 제1 배선층(W1) 및 접속부를 통하여 선택 트랜지스터(SEL)의 소스(Vout)에 접속되어 있다.
- [0407] 콘택트부(201, 202)는, 평면에서 볼 때, 화소 어레이부(540)에 겹쳐지는 위치에 마련되어 있어도 좋으며(예를 들면, 도 73), 또는, 화소 어레이부(540)의 외측의 주변부(540B)에 마련되어 있어도 좋다(예를 들면, 도 76). 콘택트부(201, 202)는 제2 기관(200)의 표면(배선층(200T)측의 면)에 마련되어 있다. 콘택트부(201, 202)는, 예를 들면, Cu(구리) 및 Al(알루미늄) 등의 금속에 의해 구성되어 있다. 콘택트부(201, 202)는 배선층(200T)의 표면(제3 기관(300)측의 면)에 노출하고 있다. 콘택트부(201, 202)는 제2 기관(200)과 제3 기관(300)의 전기적인 접속 및 제2 기관(200)과 제3 기관(300)의 접합에 이용된다.
- [0408] 도 76에는, 제2 기관(200)의 주변부(540B)에 주변 회로를 마련한 예를 도시하였다. 이 주변 회로는 행 구동부(520)의 일부 또는 열 신호 처리부(550)의 일부 등을 포함하고 있어도 좋다. 또한, 도 73에 기재한 바와 같이, 제2 기관(200)의 주변부(540B)에는 주변 회로를 배치하지 않고, 접속 구멍부(H1, H2)를 화소 어레이부(540)의 근방에 배치하도록 해도 좋다.
- [0409] 제3 기관(300)은, 예를 들면, 제2 기관(200)측으로부터 배선층(300T) 및 반도체층(300S)을 이 순서로 가지고 있다. 예를 들면, 반도체층(300S)의 표면은 제2 기관(200)측에 마련되어 있다. 반도체층(300S)은 실리콘 기관으로 구성되어 있다. 이 반도체층(300S)의 표면측의 부분에는, 회로가 마련되어 있다. 구체적으로는, 반도체층(300S)의 표면측의 부분에는, 예를 들면, 입력부(510A), 행 구동부(520), 타이밍 제어부(530), 열 신호 처리부(550), 화상 신호 처리부(560) 및 출력부(510B) 중의 적어도 일부가 마련되어 있다. 반도체층(300S)과 제2 기관(200) 사이에 마련된 배선층(300T)은, 예를 들면, 중간 절연막과, 이 중간 절연막에 의해 분리된 복수의 배선층과, 콘택트부(301, 302)를 포함하고 있다. 콘택트부(301, 302)는 배선층(300T)의 표면(제2 기관(200)측의 면)에 노출되어 있고, 콘택트부(301)는 제2 기관(200)의 콘택트부(201)에, 콘택트부(302)는 제2 기관(200)의 콘택트부(202)에 각각 접해 있다. 콘택트부(301, 302)는 반도체층(300S)에 형성된 회로(예를 들면, 입력부(510A), 행 구동부(520), 타이밍 제어부(530), 열 신호 처리부(550), 화상 신호 처리부(560) 및 출력부(510B)의 적어도 어느 하나)에 전기적으로 접속되어 있다. 콘택트부(301, 302)는, 예를 들면, Cu(구리) 및 알루미늄(Al) 등의 금속에 의해 구성되어 있다. 예를 들면, 접속 구멍부(H1)를 통하여 외부 단자(TA)가 입력부(510A)에 접속되어 있고, 접속 구멍부(H2)를 통하여 외부 단자(TB)가 출력부(510B)에 접속되어 있다.
- [0410] 여기에서, 촬상 장치(1)의 특징에 관해 설명한다.
- [0411] 일반적으로, 촬상 장치는, 주된 구성으로서, 포토 다이오드와 화소 회로로 이루어진다. 여기에서, 포토 다이오드의 면적을 크게 하면 광전 변환의 결과 발생하는 전하가 증가하고, 그 결과 화소 신호의 시그널/노이즈비(S/N비)가 개선되고, 촬상 장치는 보다 좋은 화상 데이터(화상 정보)를 출력할 수 있다. 한편, 화소 회로에 포함되는 트랜지스터의 사이즈(특히 증폭 트랜지스터의 사이즈)를 크게 하면, 화소 회로에서 발생하는 노이즈가 감소하고, 그 결과 촬상 신호의 S/N비가 개선되고, 촬상 장치는 보다 좋은 화상 데이터(화상 정보)를 출력할 수 있다.
- [0412] 그러나, 포토 다이오드와 화소 회로를 동일한 반도체 기관에 마련한 촬상 장치에서, 반도체 기관의 한정된 면적 중에서 포토 다이오드의 면적을 크게 하면, 화소 회로에 구비되는 트랜지스터의 사이즈가 작아져 버리는 것이 생각된다. 또한, 화소 회로에 구비되는 트랜지스터의 사이즈를 크게 하면, 포토 다이오드의 면적이 작아져 버리는 것이 생각된다.
- [0413] 이들 과제를 해결하기 위해, 예를 들면, 본 실시의 형태의 촬상 장치(1)는 복수의 화소(541)가 1개의 화소 회로(210)를 공유하고, 또한, 공유한 화소 회로(210)를 포토 다이오드(PD)에 중첩하여 배치하는 구조를 이용한다. 이에 의해, 반도체 기관의 한정된 면적 중에서, 포토 다이오드(PD)의 면적을 가능한 한 크게 하는 것과, 화소 회로(210)에 구비되는 트랜지스터의 사이즈를 가능한 한 크게 하는 것을 실현할 수 있다. 이에 의해, 화소 신호의 S/N비를 개선하고, 촬상 장치(1)가 보다 좋은 화상 데이터(화상 정보)를 출력할 수 있다.
- [0414] 복수의 화소(541)가 1개의 화소 회로(210)를 공유하고, 이것을 포토 다이오드(PD)에 중첩하여 배치하는 구조를

실현할 때, 복수의 화소(541) 각각의 플로팅 디퓨전(FD)으로부터 1개의 화소 회로(210)에 접속되는 복수의 배선이 연재된다. 화소 회로(210)를 형성하는 반도체 기판(200)의 면적을 크게 확보하기 위해서는, 예를 들어 이들 연재되는 복수의 배선 사이를 상호 접속하여, 1개로 통합하는 접속 배선을 형성할 수 있다. VSS 콘택트 영역(118)으로부터 연재되는 복수의 배선에 관해서도 마찬가지로, 연재되는 복수의 배선 사이를 서로 접속하여, 1개로 통합하는 접속 배선을 형성할 수 있다.

[0415] 예를 들면, 복수의 화소(541) 각각의 플로팅 디퓨전(FD)으로부터 연재되는 복수의 배선 사이를 서로 접속하는 접속 배선을 화소 회로(210)를 형성하는 반도체 기판(200)에서 형성하면, 화소 회로(210)에 포함되는 트랜지스터를 형성하는 면적이 작아져 버리는 것이 생각된다. 마찬가지로, 복수의 화소(541) 각각의 VSS 콘택트 영역(118)으로부터 연재되는 복수의 배선 사이를 서로 접속하여 1개로 통합하는 접속 배선을 화소 회로(210)를 형성하는 반도체 기판(200)에 형성하면, 이에 의해 화소 회로(210)에 포함되는 트랜지스터를 형성하는 면적이 작아져 버리는 것이 생각된다.

[0416] 이들 과제를 해결하기 위해, 예를 들어 본 실시의 형태의 촬상 장치(1)는 복수의 화소(541)가 1개의 화소 회로(210)를 공유하고, 또한, 공유한 화소 회로(210)를 포토 다이오드(PD)에 중첩하여 배치하는 구조로서, 상기 복수의 화소(541) 각각의 플로팅 디퓨전(FD) 사이를 상호 접속하여 1개로 통합하는 접속 배선과, 상기 복수의 화소(541)의 각각에 구비되는 VSS 콘택트 영역(118) 사이를 상호 접속하여 1개로 통합하는 접속 배선을 제1 기판(100)에 마련한 구조를 구비할 수 있다.

[0417] 여기에서, 상기 복수의 화소(541) 각각의 플로팅 디퓨전(FD) 사이를 상호 접속하여 1개로 통합하는 접속 배선과, 상기 복수의 화소(541) 각각의 VSS 콘택트 영역(118) 사이를 상호 접속하여 1개로 통합하는 접속 배선을, 제1 기판(100)에 마련하기 위한 제조 방법으로서, 앞서 말한 제2 제조 방법을 이용하면, 예를 들면, 제1 기판(100) 및 제2 기판(200) 각각의 구성에 응하여 적절한 프로세스를 이용하여 제조할 수 있고, 고품질, 고성능인 촬상 장치를 제조할 수 있다. 또한, 용이한 프로세스로 제1 기판(100) 및 제2 기판(200)의 접속 배선을 형성할 수 있다. 구체적으로는, 상기 제2 제조 방법을 이용하는 경우, 제1 기판(100)과 제2 기판(200)의 접합 경계면이 되는 제1 기판(100)의 표면과 제2 기판(200)의 표면에, 플로팅 디퓨전(FD)에 접속하는 전극과 VSS 콘택트 영역(118)에 접속하는 전극을 각각 마련한다. 또한, 제1 기판(100)과 제2 기판(200)을 접합시켰을 때에 이들 2개의 기판 표면에 마련한 전극 사이에서 위치 어긋남이 발생해도 이들 2개의 기판 표면에 형성한 전극끼리가 접촉하도록, 이들 2개의 기판 표면에 형성하는 전극을 크게 하는 것이 바람직하다. 이 경우, 촬상 장치(1)에 구비되는 각 화소의 한정된 면적의 중에 상기 전극을 배치하는 것이 어려워져 버리는 것이 생각된다.

[0418] 제1 기판(100)과 제2 기판(200)의 접합 경계면에 큰 전극이 필요해지는 과제를 해결하기 위해, 예를 들어 본 실시의 형태의 촬상 장치(1)는 복수의 화소(541)가 1개의 화소 회로(210)를 공유하고, 또한, 공유한 화소 회로(210)를 포토 다이오드(PD)에 중첩하여 배치하는 제조 방법으로서, 앞서 말한 제1 제조 방법을 이용할 수 있다. 이에 의해, 제1 기판(100) 및 제2 기판(200) 각각에 형성되는 소자끼리의 위치 맞춤이 용이해지고, 고품질, 고성능인 촬상 장치를 제조할 수 있다. 또한, 이 제조 방법을 이용함에 의해 생기는 고유의 구조를 구비할 수 있다. 즉, 제1 기판(100)의 반도체층(100S)과 배선층(100T)과 제2 기판(200)의 반도체층(200S)과 배선층(200T)을 이 순서로 적층한 구조, 환언하면, 제1 기판(100)과 제2 기판(200)을 페이스 투 백으로 적층한 구조를 구비하고, 또한, 제2 기판(200)의 반도체층(200S)의 표면층으로부터, 반도체층(200S)과 제1 기판(100)의 배선층(100T)을 관통하여, 제1 기판(100)의 반도체층(100S)의 표면에 이르는, 관통 전극(120E, 121E)을 구비한다.

[0419] 상기 복수의 화소(541) 각각의 플로팅 디퓨전(FD) 사이를 상호 접속하여 1개로 통합하는 접속 배선과, 상기 복수의 화소(541) 각각의 VSS 콘택트 영역(118) 사이를 상호 접속하여 1개로 통합하는 접속 배선을 제1 기판(100)에 마련한 구조에서, 이 구조와 제2 기판(200)을 상기 제1 제조 방법을 이용하여 적층하고 제2 기판(200)에 화소 회로(210)를 형성하면, 화소 회로(210)에 구비되는 능동 소자를 형성할 때에 필요해지는 가열 처리의 영향이, 제1 기판(100)에 형성한 상기 접속 배선에 미쳐 버릴 가능성이 있다.

[0420] 그래서, 상기 접속 배선에 대해, 상기 능동 소자를 형성할 때의 가열 처리의 영향이 미쳐 버리는 과제를 해결하기 위해, 본 실시의 형태의 촬상 장치(1)는 상기 복수의 화소(541) 각각의 플로팅 디퓨전(FD)끼리를 상호 접속하여 1개로 통합하는 접속 배선과, 상기 복수의 화소(541) 각각의 VSS 콘택트 영역(118) 사이를 상호 접속하여 1개로 통합하는 접속 배선에 내열성이 높은 도전 재료를 이용하는 것이 바람직하다. 구체적으로는, 내열성이 높은 도전 재료는 제2 기판(200)의 배선층(200T)에 포함되는 배선재의 적어도 일부보다도, 용점이 높은 재료를 이용할 수 있다.

[0421] 이와 같이, 예를 들어 본 실시의 형태의 촬상 장치(1)는 (1) 제1 기판(100)과 제2 기판(200)을 페이스 투 백으로

로 적층한 구조(구체적으로는, 제1 기판(100)의 반도체층(100S)과 배선층(100T)과 제2 기판(200)의 반도체층(200S)과 배선층(200T)을 이 순서로 적층하는 구조)와, (2) 제2 기판(200)의 반도체층(200S)의 표면층으로부터, 반도체층(200S)과 제1 기판(100)의 배선층(100T)을 관통하여, 제1 기판(100)의 반도체층(100S)의 표면에 이르는, 관통 전극(120E, 121E)을 마련한 구조와, (3) 복수의 화소(541)의 각각에 구비되는 플로팅 디퓨전(FD) 사이를 상호 접속하여 1개로 통합하는 접속 배선과, 복수의 화소(541)의 각각에 구비되는 VSS 콘택트 영역(118) 사이를 상호 접속하여 1개로 통합하는 접속 배선을 내열성이 높은 도전 재료로 형성한 구조를 구비함으로써, 제1 기판(100)과 제2 기판(200)의 계면에 큰 전극을 구비하는 일 없이, 제1 기판(100)에, 복수의 화소(541)의 각각에 구비되는 플로팅 디퓨전(FD) 사이를 상호 접속하여 1개로 통합하는 접속 배선과, 복수의 화소(541)의 각각에 구비되는 VSS 콘택트 영역(118) 사이를 상호 접속하여 1개로 통합하는 접속 배선을 마련하는 것을 가능하게 하고 있다.

[0422] [활상 장치(1)의 동작]

[0423] 다음으로, 도 83 및 도 84를 이용하여 활상 장치(1)의 동작에 관해 설명한다. 도 83 및 도 84는 도 73에 각 신호의 경로를 나타내는 화살표를 추가한 것이다. 도 83은 외부로부터 활상 장치(1)에 입력되는 입력 신호와, 전원 전위 및 기준 전위의 경로를 화살표로 나타낸 것이다. 도 84는 활상 장치(1)로부터 외부에 출력되는 화소 신호의 신호 경로를 화살표로 나타내고 있다. 예를 들면, 입력부(510A)를 통하여 활상 장치(1)에 입력된 입력 신호(예를 들면, 화소 클록 및 동기 신호)는 제3 기판(300)의 행 구동부(520)에 전송되고, 행 구동부(520)에서 행 구동 신호가 만들어진다. 이 행 구동 신호는 콘택트부(301, 201)를 통하여 제2 기판(200)에 보내진다. 또한, 이 행 구동 신호는, 배선층(200T) 내의 행 구동 신호선(542)을 통하여, 화소 어레이부(540)의 화소 공유 유닛(539) 각각에 도달한다. 제2 기판(200)의 화소 공유 유닛(539)에 도달한 행 구동 신호 중, 전송 게이트(TG) 이외의 구동 신호는 화소 회로(210)에 입력되어, 화소 회로(210)에 포함되는 각 트랜지스터가 구동된다. 전송 게이트(TG)의 구동 신호는 관통 전극(TGV)을 통하여 제1 기판(100)의 전송 게이트(TG1, TG2, TG3, TG4)에 입력되고, 화소(541A, 541B, 541C, 541D)가 구동된다(도 83). 또한, 활상 장치(1)의 외부로부터, 제3 기판(300)의 입력부(510A(입력 단자(511)))에 공급된 전원 전위 및 기준 전위는 콘택트부(301, 201)를 통하여 제2 기판(200)에 보내지고, 배선층(200T) 내의 배선을 통하여, 화소 공유 유닛(539) 각각의 화소 회로(210)에 공급된다. 기준 전위는, 또한 관통 전극(121E)을 통하여, 제1 기판(100)의 화소(541A, 541B, 541C, 541D)에도 공급된다. 한편, 제1 기판(100)의 화소(541A, 541B, 541C, 541D)에서 광전 변환된 화소 신호는 관통 전극(120E)을 통하여 화소 공유 유닛(539)마다 제2 기판(200)의 화소 회로(210)에 보내진다. 이 화소 신호에 의거하는 화소 신호는, 화소 회로(210)로부터 수직 신호선(543) 및 콘택트부(202, 302)를 통하여 제3 기판(300)에 보내진다. 이 화소 신호는 제3 기판(300)의 열 신호 처리부(550) 및 화상 신호 처리부(560)에서 처리된 후, 출력부(510B)를 통하여 외부에 출력된다.

[0424] [효과]

[0425] 본 실시의 형태에서는, 화소(541A, 541B, 541C, 541D(화소 공유 유닛(539)))와 화소 회로(210)가 서로 다른 기판(제1 기판(100) 및 제2 기판(200))에 마련되어 있다. 이에 의해, 화소(541A, 541B, 541C, 541D) 및 화소 회로(210)를 동일 기판에 형성한 경우와 비교하여, 화소(541A, 541B, 541C, 541D) 및 화소 회로(210)의 면적을 확대할 수 있다. 그 결과, 광전 변환에 의해 얻을 수 있는 화소 신호의 양을 증대시키고, 또한, 화소 회로(210)의 트랜지스터 노이즈를 저감하는 것이 가능해진다. 이들에 의해, 화소 신호의 시그널/노이즈비를 개선하여, 활상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다. 또한, 활상 장치(1)의 미세화(환언하면, 화소 사이즈의 축소 및 활상 장치(1)의 소형화)가 가능해진다. 활상 장치(1)는 화소 사이즈의 축소에 의해, 단위 면적당의 화소수를 증가시킬 수 있고, 고화질의 화상을 출력할 수 있다.

[0426] 또한, 활상 장치(1)에서는, 제1 기판(100) 및 제2 기판(200)이 절연 영역(212)에 마련된 관통 전극(120E, 121E)에 의해 서로 전기적으로 접속되어 있다. 예를 들면, 제1 기판(100)과 제2 기판(200)을 패드 전극끼리의 접합에 의해 접속하는 방법이나, 반도체층을 관통하는 관통 배선(예를 들어 TSV(Thorough Si Via))에 의해 접속하는 방법도 생각할 수 있다. 이와 같은 방법에 비해, 절연 영역(212)에 관통 전극(120E, 121E)을 마련함에 의해, 제1 기판(100) 및 제2 기판(200)의 접속에 필요한 면적을 작게 할 수 있다. 이에 의해, 화소 사이즈를 축소하고, 활상 장치(1)를 보다 소형화할 수 있다. 또한, 1화소당의 면적의 더한층의 미세화에 의해, 해상도를 보다 높게 할 수 있다. 칩 사이즈의 소형화가 불필요할 때에는 화소(541A, 541B, 541C, 541D) 및 화소 회로(210)의 형성 영역을 확대할 수 있다. 그 결과, 광전 변환에 의해 얻어지는 화소 신호의 양을 증대시키고, 또한, 화소 회로(210)에 구비되는 트랜지스터의 노이즈를 저감하는 것이 가능해진다. 이에 의해, 화소 신호의 시그널/노이즈

즈비를 개선하여, 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0427] 또한, 촬상 장치(1)에서는, 화소 회로(210)와 열 신호 처리부(550) 및 화상 신호 처리부(560)가 서로 다른 기관(제2 기관(200) 및 제3 기관(300))에 마련되어 있다. 이에 의해, 화소 회로(210)와 열 신호 처리부(550) 및 화상 신호 처리부(560)를 동일 기관에 형성한 경우와 비교하여, 화소 회로(210)의 면적과, 열 신호 처리부(550) 및 화상 신호 처리부(560)의 면적을 확대할 수 있다. 이에 의해, 열 신호 처리부(550)에서 생기는 노이즈를 저감하거나, 화상 신호 처리부(560)에 의해 고도의 화상 처리 회로를 탑재하는 것이 가능해진다. 따라서, 화소 신호의 시그널/노이즈비를 개선하여, 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0428] 또한, 촬상 장치(1)에서는, 화소 어레이부(540)가 제1 기관(100) 및 제2 기관(200)에 마련되고, 또한, 열 신호 처리부(550) 및 화상 신호 처리부(560)가 제3 기관(300)에 마련되어 있다. 또한, 제2 기관(200)과 제3 기관(300)을 접속하는 콘택트부(201, 202, 301, 302)는 화소 어레이부(540)의 상방에 형성되어 있다. 이 때문에, 콘택트부(201, 202, 301, 302)는 화소 어레이에 구비되는 각종 배선으로부터 레이아웃상의 간섭을 받지 않고 자유롭게 레이아웃으로 하는 것이 가능해진다. 이에 의해, 제2 기관(200)과 제3 기관(300)의 전기적인 접속에, 콘택트부(201, 202, 301, 302)를 이용하는 것이 가능해진다. 콘택트부(201, 202, 301, 302)를 이용함에 의해, 예를 들면, 열 신호 처리부(550) 및 화상 신호 처리부(560)는 레이아웃의 자유도가 높아진다. 이에 의해, 열 신호 처리부(550)에서 생기는 노이즈를 저감하거나, 화상 신호 처리부(560)에 의해 고도의 화상 처리 회로를 탑재하는 것이 가능해진다. 따라서, 화소 신호의 시그널/노이즈비를 개선하여, 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0429] 또한, 촬상 장치(1)에서는, 화소 분리부(117)가 반도체층(100S)을 관통하고 있다. 이에 의해, 1화소당의 면적의 미세화에 의해 이웃하는 화소(화소(541A, 541B, 541C, 541D))의 거리가 근접한 경우라도, 화소(541A, 541B, 541C, 541D) 사이에서의 혼색을 억제할 수 있다. 이에 의해, 화소 신호의 시그널/노이즈비를 개선하고, 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0430] 또한, 촬상 장치(1)에서는, 화소 공유 유닛(539)마다 화소 회로(210)가 마련되어 있다. 이에 의해, 화소(541A, 541B, 541C, 541D) 각각에 화소 회로(210)를 마련한 경우에 비해, 화소 회로(210)를 구성하는 트랜지스터(증폭 트랜지스터(AMP), 리셋 트랜지스터(RST), 선택 트랜지스터(SEL), FD 변환 게인 전환 트랜지스터(FDG))의 형성 영역을 크게 하는 것이 가능해진다. 예를 들면, 증폭 트랜지스터(AMP)의 형성 영역을 크게 함에 의해, 노이즈를 억제하는 것이 가능해진다. 이에 의해, 화소 신호의 시그널/노이즈비를 개선하여, 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0431] 또한, 촬상 장치(1)에서는, 4개의 화소(화소(541A, 541B, 541C, 541D))의 플로팅 디퓨전(FD(플로팅 디퓨전(FD1, FD2, FD3, FD4)))을 전기적으로 접속하는 패드부(120)가 제1 기관(100)에 마련되어 있다. 이에 의해, 이와 같은 패드부(120)를 제2 기관(200)에 마련하는 경우에 비해, 제1 기관(100)과 제2 기관(200)을 접속하는 관통 전극(관통 전극(120E))의 수를 줄일 수 있다. 따라서, 절연 영역(212)을 작게 하고, 화소 회로(210)를 구성하는 트랜지스터의 형성 영역(반도체층(200S))을 충분한 크기로 확보할 수 있다. 이에 의해, 화소 회로(210)에 구비되는 트랜지스터의 노이즈를 저감하는 것이 가능해지고, 화소 신호의 시그널/노이즈비를 개선하여, 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0432] 이하, 상기 실시의 형태에 관한 촬상 장치(1)의 변형례에 관해 설명한다. 이하의 변형례에서는, 상기 실시의 형태와 공통의 구성에 동일한 부호를 붙여서 설명한다.

[0433] <6. 2. 변형례 1>

[0434] 도 85~도 89는 상기 실시의 형태에 관한 촬상 장치(1)의 평면 구성의 한 변형례를 도시한 것이다. 도 85는 제2 기관(200)의 반도체층(200S)의 표면 근방의 평면 구성을 모식적으로 도시하고 있고, 상기 실시의 형태에서 설명한 도 78에 대응한다. 도 86은 제1 배선층(W1)과, 제1 배선층(W1)에 접속된 반도체층(200S) 및 제1 기관(100)의 각 부의 구성을 모식적으로 도시하고 있고, 상기 실시의 형태에서 설명한 도 79에 대응한다. 도 87은 제1 배선층(W1) 및 제2 배선층(W2)의 평면 구성의 한 예를 도시하고 있고, 상기 실시의 형태에서 설명한 도 80에 대응한다. 도 88은 제2 배선층(W2) 및 제3 배선층(W3)의 평면 구성의 한 예를 도시하고 있고, 상기 실시의 형태에서 설명한 도 81에 대응한다. 도 89는 제3 배선층(W3) 및 제4 배선층(W4)의 평면 구성의 한 예를 도시하고 있고, 상기 실시의 형태에서 설명한 도 82에 대응한다.

[0435] 본 변형례에서는, 도 86에 도시한 바와 같이, 제2 기관(200)의 H방향으로 나열되는 2개의 화소 공유 유닛(539)

중, 일방(예를 들어 지면 우측)의 화소 공유 유닛(539)의 내부 레이아웃이, 타방(예를 들어 지면 좌측)의 화소 공유 유닛(539)의 내부 레이아웃을 H방향으로만 반전시킨 구성으로 되어 있다. 또한, 일방의 화소 공유 유닛(539)의 외형선과 타방의 화소 공유 유닛(539)의 외형선 사이의 V방향의 어긋남이 상기 실시의 형태에서 설명한 어긋남(도 79)보다도 크게 되어 있다. 이와 같이, V방향의 어긋남을 크게 함에 의해, 타방의 화소 공유 유닛(539)의 증폭 트랜지스터(AMP)와, 이것에 접속된 패드부(120)(도 7에 기재된 V방향으로 나열되는 2개의 화소 공유 유닛(539) 중의 타방(지면 하측)의 패드부(120)) 사이의 거리를 작게 할 수 있다. 이와 같은 레이아웃에 의해, 도 85~도 89에 기재된 촬상 장치(1)의 변형례 1은 H방향으로 나열되는 2개의 화소 공유 유닛(539)의 평면 레이아웃을 서로 V방향으로 반전시키는 일 없이, 그 면적을 상기 실시의 형태에서 설명한 제2 기관(200)의 화소 공유 유닛(539)의 면적과 같게 할 수 있다. 또한, 제1 기관(100)의 화소 공유 유닛(539)의 평면 레이아웃은 상기 실시의 형태에서 설명한 평면 레이아웃(도 77a, 도 77b)과 같다. 따라서, 본 변형례의 촬상 장치(1)는 상기 실시의 형태에서 설명한 촬상 장치(1)와 같은 효과를 얻을 수 있다. 제2 기관(200)의 화소 공유 유닛(539)의 배치는 상기 실시의 형태 및 본 변형례에서 설명한 배치로 한정되는 것이 아니다.

[0436] <6. 3. 변형례 2>

[0437] 도 90~도 95는 상기 실시의 형태에 관한 촬상 장치(1)의 평면 구성의 한 변형례를 도시한 것이다. 도 90은 제1 기관(100)의 평면 구성을 모식적으로 도시하고 있고, 상기 실시의 형태에서 설명한 도 77a에 대응한다. 도 91은 제2 기관(200)의 반도체층(200S)의 표면 근방의 평면 구성을 모식적으로 도시하고 있고, 상기 실시의 형태에서 설명한 도 78에 대응한다. 도 92는 제1 배선층(W1)과, 제1 배선층(W1)에 접속된 반도체층(200S) 및 제1 기관(100)의 각 부의 구성을 모식적으로 도시하고 있고, 상기 실시의 형태에서 설명한 도 79에 대응한다. 도 93은 제1 배선층(W1) 및 제2 배선층(W2)의 평면 구성의 한 예를 도시하고 있고, 상기 실시의 형태에서 설명한 도 80에 대응한다. 도 94는 제2 배선층(W2) 및 제3 배선층(W3)의 평면 구성의 한 예를 도시하고 있고, 상기 실시의 형태에서 설명한 도 81에 대응한다. 도 95는 제3 배선층(W3) 및 제4 배선층(W4)의 평면 구성의 한 예를 도시하고 있고, 상기 실시의 형태에서 설명한 도 82에 대응한다.

[0438] 본 변형례에서는, 각 화소 회로(210)의 외형이 개략 정방형의 평면 형상을 가지고 있다(도 91 등). 이 점에서, 본 변형례의 촬상 장치(1)의 평면 구성은 상기 실시의 형태에서 설명한 촬상 장치(1)의 평면 구성과 다르다.

[0439] 예를 들면, 제1 기관(100)의 화소 공유 유닛(539)은 상기 실시의 형태에서 설명한 것과 마찬가지로, 2행×2열의 화소 영역에 걸쳐 형성되어 있고, 개략 정방형의 평면 형상을 가지고 있다(도 90). 예를 들면, 각각의 화소 공유 유닛(539)에서는, 일방의 화소 열의 화소(541A) 및 화소(541C)의 전송 게이트(TG1, TG3)의 수평 부분(TGb)이 수직 부분(TGa)에 중첩하는 위치로부터 H방향에서 화소 공유 유닛(539)의 중앙부를 향하는 방향(보다 구체적으로는, 화소(541A, 541C)의 외연을 향하는 방향, 또한 화소 공유 유닛(539)의 중앙부를 향하는 방향)으로 연계되고, 타방의 화소 열의 화소(541B) 및 화소(541D)의 전송 게이트(TG2, TG4)의 수평 부분(TGb)이 수직 부분(TGa)에 중첩하는 위치로부터 H방향에서 화소 공유 유닛(539)의 외측을 향하는 방향(보다 구체적으로는, 화소(541B, 541D)의 외연을 향하는 방향, 또한 화소 공유 유닛(539)의 외측을 향하는 방향)으로 연계되어 있다. 플로팅 디퓨전(FD)에 접속된 패드부(120)는 화소 공유 유닛(539)의 중앙부(화소 공유 유닛(539)의 H방향 및 V방향의 중앙부)에 마련되고, VSS 콘택트 영역(118)에 접속된 패드부(121)는 적어도 H방향에서(도 90에서는 H방향 및 V방향에서) 화소 공유 유닛(539)의 단부에 마련되어 있다.

[0440] 다른 배치례로서, 전송 게이트(TG1, TG2, TG3, TG4)의 수평 부분(TGb)을 수직 부분(TGa)에 대향하는 영역에만 마련하는 것도 생각할 수 있다. 이때에는, 상기 실시의 형태에서 설명한 것과 마찬가지로, 반도체층(200S)이 미세하게 분단되기 쉽다. 따라서, 화소 회로(210)의 트랜지스터를 크게 형성하는 것이 곤란해진다. 한편, 전송 게이트(TG1, TG2, TG3, TG4)의 수평 부분(TGb)을, 상기 변형례와 같이, 수직 부분(TGa)에 중첩하는 위치로부터 H방향으로 연계시키면, 상기 실시의 형태에서 설명한 것과 마찬가지로, 반도체층(200S)의 폭을 크게 하는 것이 가능해진다. 구체적으로는, 전송 게이트(TG1, TG3)에 접속된 관통 전극(TGV1, TGV3)의 H방향의 위치를 관통 전극(120E)의 H방향의 위치에 근접시켜서 배치하고, 전송 게이트(TG2, TG4)에 접속된 관통 전극(TGV2, TGV4)의 H방향의 위치를 관통 전극(121E)의 H방향의 위치에 근접하여 배치하는 것이 가능해진다(도 92). 이에 의해, 상기 실시의 형태에서 설명한 것과 마찬가지로, V방향으로 연계되는 반도체층(200S)의 폭(H방향의 크기)을 크게 할 수 있다. 따라서, 화소 회로(210)의 트랜지스터의 사이즈, 특히 증폭 트랜지스터(AMP)의 사이즈를 크게 하는 것이 가능해진다. 그 결과, 화소 신호의 시그널/노이즈비를 개선하여, 촬상 장치(1)는 보다 좋은 화소 데이터(화상 정보)를 출력하는 것이 가능해진다.

[0441] 제2 기관(200)의 화소 공유 유닛(539)은, 예를 들면, 제1 기관(100)의 화소 공유 유닛(539)의 H방향 및 V방향의

크기와 개략 같고, 예를 들면, 개략 2행×2열의 화소 영역에 대응하는 영역에 걸쳐 마련되어 있다. 예를 들면, 각 화소 회로(210)에서는, V방향으로 연재되는 하나의 반도체층(200S)에 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)가 V방향으로 나란히 배치되고, FD 변환 게인 전환 트랜지스터(FDG) 및 리셋 트랜지스터(RST)가 V방향으로 연재되는 하나의 반도체층(200S)에, V방향으로 나란히 배치되어 있다. 이 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)가 마련된 하나의 반도체층(200S)과, FD 변환 게인 전환 트랜지스터(FDG) 및 리셋 트랜지스터(RST)가 마련된 하나의 반도체층(200S)은 절연 영역(212)을 통하여 H방향으로 나열되어 있다. 이 절연 영역(212)은 V방향으로 연재되어 있다(도 91).

[0442] 여기에서, 제2 기관(200)의 화소 공유 유닛(539)의 외형에 관해, 도 91 및 도 92를 참조하여 설명한다. 예를 들면, 도 90에 도시한 제1 기관(100)의 화소 공유 유닛(539)은 패드부(120)의 H방향의 일방(도 92의 지면 좌측)에 마련된 증폭 트랜지스터(AMP) 및 선택 트랜지스터(SEL)와, 패드부(120)의 H방향의 타방(도 92의 지면 우측)에 마련된 FD 변환 게인 전환 트랜지스터(FDG) 및 리셋 트랜지스터(RST)에 접속되어 있다. 이 증폭 트랜지스터(AMP), 선택 트랜지스터(SEL), FD 변환 게인 전환 트랜지스터(FDG) 및 리셋 트랜지스터(RST)를 포함하는 제2 기관(200)의 화소 공유 유닛(539)의 외형은 다음 4개의 외연에 의해 정해진다.

[0443] 제1 외연은 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)를 포함하는 반도체층(200S)의 V방향의 일단(도 92의 지면 상측의 단)의 외연이다. 이 제1 외연은 당해 화소 공유 유닛(539)에 포함되는 증폭 트랜지스터(AMP)와, 이 화소 공유 유닛(539)의 V방향의 일방(도 92의 지면 상측)에 이웃하는 화소 공유 유닛(539)에 포함되는 선택 트랜지스터(SEL) 사이에 마련되어 있다. 보다 구체적으로는, 제1 외연은 이들 증폭 트랜지스터(AMP)와 선택 트랜지스터(SEL) 사이의 소자 분리 영역(213)의 V방향의 중앙부에 마련되어 있다. 제2 외연은 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)를 포함하는 반도체층(200S)의 V방향의 타단(도 92의 지면 하측의 단)의 외연이다. 이 제2 외연은 당해 화소 공유 유닛(539)에 포함되는 선택 트랜지스터(SEL)와, 이 화소 공유 유닛(539)의 V방향의 타방(도 92의 지면 하측)에 이웃하는 화소 공유 유닛(539)에 포함되는 증폭 트랜지스터(AMP) 사이에 마련되어 있다. 보다 구체적으로는, 제2 외연은 이들 선택 트랜지스터(SEL)와 증폭 트랜지스터(AMP) 사이의 소자 분리 영역(213)의 V방향의 중앙부에 마련되어 있다. 제3 외연은 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 포함하는 반도체층(200S)의 V방향의 타단(도 92의 지면 하측의 단)의 외연이다. 이 제3 외연은 당해 화소 공유 유닛(539)에 포함되는 FD 변환 게인 전환 트랜지스터(FDG)와, 이 화소 공유 유닛(539)의 V방향의 타방(도 92의 지면 하측)에 이웃하는 화소 공유 유닛(539)에 포함되는 리셋 트랜지스터(RST) 사이에 마련되어 있다. 보다 구체적으로는, 제3 외연은 이들 FD 변환 게인 전환 트랜지스터(FDG)와 리셋 트랜지스터(RST) 사이의 소자 분리 영역(213)의 V방향의 중앙부에 마련되어 있다. 제4 외연은 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 포함하는 반도체층(200S)의 V방향의 일단(도 92의 지면 상측의 단)의 외연이다. 이 제4 외연은 당해 화소 공유 유닛(539)에 포함되는 리셋 트랜지스터(RST)와, 이 화소 공유 유닛(539)의 V방향의 일방(도 92의 지면 상측)에 이웃하는 화소 공유 유닛(539)에 포함되는 FD 변환 게인 전환 트랜지스터(FDG) 사이(도시 생략)에 마련되어 있다. 보다 구체적으로는, 제4 외연은 이들 리셋 트랜지스터(RST)와 FD 변환 게인 전환 트랜지스터(FDG) 사이의 소자 분리 영역(213)(도시 생략)의 V방향의 중앙부에 마련되어 있다.

[0444] 이와 같은 제1, 제2, 제3, 제4 외연을 포함하는 제2 기관(200)의 화소 공유 유닛(539)의 외형에서는, 제1, 제2 외연에 대해, 제3, 제4 외연이 V방향의 일방측에 어긋나서 배치되어 있다(환언하면 V방향의 일방측에 오프셋되어 있다). 이와 같은 레이아웃을 이용함에 의해, 증폭 트랜지스터(AMP)의 게이트 및 FD 변환 게인 전환 트랜지스터(FDG)의 소스를 함께, 패드부(120)에 가능한 한 근접하여 배치하는 것이 가능해진다. 따라서, 이들을 접속하는 배선의 면적을 작게 하고, 촬상 장치(1)의 미세화를 행하기 쉬워진다. 또한 VSS 콘택트 영역(218)은, 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)를 포함하는 반도체층(200S)과, 리셋 트랜지스터(RST) 및 FD 변환 게인 전환 트랜지스터(FDG)를 포함하는 반도체층(200S) 사이에 마련되어 있다. 예를 들면, 복수의 화소 회로(210)는 서로 같은 배치를 가지고 있다.

[0445] 이와 같은 제2 기관(200)을 갖는 촬상 장치(1)도 상기 실시의 형태에서 설명한 것과 같은 효과가 얻어진다. 제2 기관(200)의 화소 공유 유닛(539)의 배치는 상기 실시의 형태 및 본 변형례에서 설명한 배치로 한정되는 것이 아니다.

[0446] <6. 4. 변형례 3>

[0447] 도 96~도 101은 상기 실시의 형태에 관한 촬상 장치(1)의 평면 구성의 한 변형례를 도시한 것이다. 도 96은 제1 기관(100)의 평면 구성을 모식적으로 도시하고 있고, 상기 실시의 형태에서 설명한 도 77b에 대응한다. 도 97은 제2 기관(200)의 반도체층(200S)의 표면 근방의 평면 구성을 모식적으로 도시하고 있고, 상기 실시의 형태에

서 설명한 도 78에 대응한다. 도 98은 제1 배선층(W1)과, 제1 배선층(W1)에 접속된 반도체층(200S) 및 제1 기판(100)의 각 부의 구성을 모식적으로 도시하고 있고, 상기 실시의 형태에서 설명한 도 79에 대응한다. 도 99는 제1 배선층(W1) 및 제2 배선층(W2)의 평면 구성의 한 예를 도시하고 있고, 상기 실시의 형태에서 설명한 도 80에 대응한다. 도 100은 제2 배선층(W2) 및 제3 배선층(W3)의 평면 구성의 한 예를 도시하고 있고, 상기 실시의 형태에서 설명한 도 81에 대응한다. 도 101은 제3 배선층(W3) 및 제4 배선층(W4)의 평면 구성의 한 예를 도시하고 있고, 상기 실시의 형태에서 설명한 도 82에 대응한다.

[0448] 본 변형례에서는, 제2 기판(200)의 반도체층(200S)이, H방향으로 연재되어 있다(도 98). 즉, 상기 도 91 등에 도시한 활상 장치(1)의 평면 구성을 90도 회전시킨 구성에 개략 대응하고 있다.

[0449] 예를 들면, 제1 기판(100)의 화소 공유 유닛(539)은, 상기 실시의 형태에서 설명한 것과 마찬가지로, 2행×2열의 화소 영역에 걸쳐 형성되어 있고, 개략 정방형의 평면 형상을 가지고 있다(도 96). 예를 들면, 각각의 화소 공유 유닛(539)에서는, 일방의 화소행의 화소(541A) 및 화소(541B)의 전송 게이트(TG1, TG2)가 V방향에서 화소 공유 유닛(539)의 중앙부를 향하여 연재되고, 타방의 화소행의 화소(541C) 및 화소(541D)의 전송 게이트(TG3, TG4)가 V방향에서 화소 공유 유닛(539)의 외측 방향으로 연재되어 있다. 플로팅 디퓨전(FD)에 접속된 패드부(120)는 화소 공유 유닛(539)의 중앙부에 마련되고, VSS 콘택트 영역(118)에 접속된 패드부(121)는 적어도 V방향에서(도 96에서는 V방향 및 H방향에서) 화소 공유 유닛(539)의 단부에 마련되어 있다. 이때, 전송 게이트(TG1, TG2)의 관통 전극(TGV1, TGV2)의 V방향의 위치가 관통 전극(120E)의 V방향의 위치에 근접하고, 전송 게이트(TG3, TG4)의 관통 전극(TGV3, TGV4)의 V방향의 위치가 관통 전극(121E)의 V방향의 위치에 근접한다(도 98). 따라서, 상기 실시의 형태에서 설명한 것과 같은 이유에 의해, H방향으로 연재되는 반도체층(200S)의 폭(V방향의 크기)을 크게 할 수 있다. 따라서, 증폭 트랜지스터(AMP)의 사이즈를 크게 하고, 노이즈를 억제하는 것이 가능해진다.

[0450] 각각의 화소 회로(210)에서는, 선택 트랜지스터(SEL) 및 증폭 트랜지스터(AMP)가 H방향으로 나란히 배치되고, 선택 트랜지스터(SEL)와 절연 영역(212)을 사이에 두고 V방향에 이웃하는 위치에 리셋 트랜지스터(RST)가 배치되어 있다(도 97). FD 변환 게인 전환 트랜지스터(FDG)는 리셋 트랜지스터(RST)와 H방향으로 나란히 배치되어 있다. VSS 콘택트 영역(218)은 절연 영역(212)에 섬형상으로 마련되어 있다. 예를 들면, 제3 배선층(W3)은 H방향으로 연재되고(도 100), 제4 배선층(W4)은 V방향으로 연재되어 있다(도 101).

[0451] 이와 같은 제2 기판(200)을 갖는 활상 장치(1)도 상기 실시의 형태에서 설명한 것과 같은 효과가 얻어진다. 제2 기판(200)의 화소 공유 유닛(539)의 배치는 상기 실시의 형태 및 본 변형례에서 설명한 배치로 한정되는 것이 아니다. 예를 들면, 상기 실시의 형태 및 변형례 1에서 설명한 반도체층(200S)이 H방향으로 연재되어 있어도 좋다.

[0452] <6. 5. 변형례 4>

[0453] 도 102는 상기 실시의 형태에 관한 활상 장치(1)의 단면 구성의 한 변형례를 모식적으로 도시한 것이다. 도 102는 상기 실시의 형태에서 설명한 도 73에 대응한다. 본 변형례에서는, 활상 장치(1)가, 콘택트부(201, 202, 301, 302)에 더하여, 화소 어레이부(540)의 중앙부에 대향하는 위치에 콘택트부(203, 204, 303, 304)를 가지고 있다. 이 점에서, 본 변형례의 활상 장치(1)는 상기 실시의 형태에서 설명한 활상 장치(1)와 다르다.

[0454] 콘택트부(203, 204)는 제2 기판(200)에 마련되어 있고, 제3 기판(300)과의 접합면이 노출되어 있다. 콘택트부(303, 304)는 제3 기판(300)에 마련되어 있고, 제2 기판(200)과의 접합면에 노출되어 있다. 콘택트부(203)는 콘택트부(303)과 접하고 있고, 콘택트부(204)는 콘택트부(304)와 접하고 있다. 즉, 이 활상 장치(1)에서는, 제2 기판(200)과 제3 기판(300)이 콘택트부(201, 202, 301, 302)에 더하여 콘택트부(203, 204, 303, 304)에 의해 접속되어 있다.

[0455] 다음으로, 도 103 및 도 104를 이용하여 이 활상 장치(1)의 동작에 관해 설명한다. 도 103에는, 외부로부터 활상 장치(1)에 입력되는 입력 신호와, 전원 전위 및 기준 전위의 경로를 화살표로 나타낸다. 도 104에는, 활상 장치(1)로부터 외부에 출력되는 화소 신호의 신호 경로를 화살표로 나타내고 있다. 예를 들면, 입력부(510A)를 통하여 활상 장치(1)에 입력된 입력 신호는 제3 기판(300)의 행 구동부(520)에 전송되고, 행 구동부(520)에서 행 구동 신호가 만들어진다. 이 행 구동 신호는 콘택트부(303, 203)를 통하여 제2 기판(200)에 보내진다. 또한, 이 행 구동 신호는, 배선층(200T) 내의 행 구동 신호선(542)을 통하여, 화소 어레이부(540)의 화소 공유 유닛(539) 각각에 도달한다. 제2 기판(200)의 화소 공유 유닛(539)에 도달한 행 구동 신호 중, 전송 게이트(TG) 이외의 구동 신호는 화소 회로(210)에 입력되어, 화소 회로(210)에 포함되는 각 트랜지스터가 구동된다. 전송 게

이트(TG)의 구동 신호는 관통 전극(TGV)을 통하여 제1 기판(100)의 전송 게이트(TG1, TG2, TG3, TG4)에 입력되고, 화소(541A, 541B, 541C, 541D)가 구동된다. 또한, 촬상 장치(1)의 외부로부터, 제3 기판(300)의 입력부(510A)(입력 단자(511))에 공급된 전원 전위 및 기준 전위는 콘택트부(303, 203)를 통하여 제2 기판(200)에 보내지고, 배선층(200T) 내의 배선을 통하여, 화소 공유 유닛(539) 각각의 화소 회로(210)에 공급된다. 기준 전위는, 또한 관통 전극(121E)을 통하여, 제1 기판(100)의 화소(541A, 541B, 541C, 541D)에도 공급된다. 한편, 제1 기판(100)의 화소(541A, 541B, 541C, 541D)에서 광전 변환된 화소 신호는 화소 공유 유닛(539)마다 제2 기판(200)의 화소 회로(210)에 보내진다. 이 화소 신호에 의거하는 화소 신호는 화소 회로(210)로부터 수직 신호선(543) 및 콘택트부(204, 304)를 통하여 제3 기판(300)에 보내진다. 이 화소 신호는 제3 기판(300)의 열 신호 처리부(550) 및 화상 신호 처리부(560)에서 처리된 후, 출력부(510B)를 통하여 외부에 출력된다.

[0456] 이와 같은 콘택트부(203, 204, 303, 304)를 갖는 촬상 장치(1)도 상기 실시의 형태에서 설명한 것과 같은 효과가 얻어진다. 콘택트부(303, 304)를 통한 배선의 접속처인, 제3 기판(300)의 회로 등의 설계에 응하여 콘택트부의 위치 및 수 등을 바꿀 수 있다.

[0457] <6. 6. 변형례 5>

[0458] 도 105는 상기 실시의 형태에 관한 촬상 장치(1)의 단면 구성의 한 변형례를 도시한 것이다. 도 105는 상기 실시의 형태에서 설명한 도 76에 대응한다. 본 변형례에서는, 제1 기판(100)에 플레이너 구조를 갖는 전송 트랜지스터(TR)가 마련되어 있다. 이 점에서, 본 변형례의 촬상 장치(1)는 상기 실시의 형태에서 설명한 촬상 장치(1)와 다르다.

[0459] 이 전송 트랜지스터(TR)는 수평 부분(TGb)만에 의해 전송 게이트(TG)가 구성되어 있다. 환언하면, 전송 게이트(TG)는 수직 부분(TGa)을 가지고 있지 않고, 반도체층(100S)에 대향하여 마련되어 있다.

[0460] 이와 같은 플레이너 구조의 전송 트랜지스터(TR)를 갖는 촬상 장치(1)도 상기 실시의 형태에서 설명한 것과 같은 효과가 얻어진다. 또한, 제1 기판(100)에 플레이너형의 전송 게이트(TG)를 마련함에 의해, 종형의 전송 게이트(TG)를 제1 기판(100)에 마련하는 경우에 비해, 보다 반도체층(100S)의 표면 근처까지 포토 다이오드(PD)를 형성하고, 이에 의해, 포화 신호량(Qs)을 증가시키는 것도 생각할 수 있다. 또한, 제1 기판(100)에 플레이너형의 전송 게이트(TG)를 형성하는 방법은, 제1 기판(100)에 종형의 전송 게이트(TG)를 형성하는 방법에 비해, 제조 공정수가 적고, 제조 공정에 기인한 포토 다이오드(PD)에의 악영향이 생기기 어렵다고도 생각할 수 있다.

[0461] <6. 7. 변형례 6>

[0462] 도 106은 상기 실시의 형태에 관한 촬상 장치(1)의 화소 회로의 한 변형례를 도시한 것이다. 도 106은 상기 실시의 형태에서 설명한 도 74에 대응한다. 본 변형례에서는, 1개의 화소(화소(541A))마다 화소 회로(210)가 마련되어 있다. 즉, 화소 회로(210)는 복수의 화소에서 공유되어 있지 않다. 이 점에서, 본 변형례의 촬상 장치(1)는 상기 실시의 형태에서 설명한 촬상 장치(1)와 다르다.

[0463] 본 변형례의 촬상 장치(1)는, 화소(541A)와 화소 회로(210)를 서로 다른 기판(제1 기판(100) 및 제2 기판(200))에 마련하는 점에서는, 상기 실시의 형태에서 설명한 촬상 장치(1)와 같다. 이 때문에, 본 변형례에 관한 촬상 장치(1)도 상기 실시의 형태에서 설명한 것과 같은 효과를 얻을 수 있다.

[0464] <6. 8. 변형례 7>

[0465] 도 107은 상기 실시의 형태에서 설명한 화소 분리부(117)의 평면 구성의 한 변형례를 도시한 것이다. 화소(541A, 541B, 541C, 541D) 각각을 둘러싸는 화소 분리부(117)에, 간극이 마련되어 있어도 좋다. 즉, 화소(541A, 541B, 541C, 541D)의 전둘레가 화소 분리부(117)에 둘러싸여 있지 않아도 좋다. 예를 들면, 화소 분리부(117)의 간극은 패드부(120, 121) 근방에 마련되어 있다(도 77b 참조).

[0466] 상기 실시의 형태에서는, 화소 분리부(117)가 반도체층(100S)을 관통하는 FTI 구조를 갖는 예(도 76 참조)를 설명했다. 화소 분리부(117)는 FTI 구조 이외의 구성을 가지고 있어도 좋다. 예를 들면, 화소 분리부(117)는 반도체층(100S)을 완전하게 관통하도록 마련되어 있지 않아도 좋고, 이른바, DTI(Deep Trench Isolation) 구조를 가지고 있어도 좋다.

[0467] <6. 9. 적용례>

[0468] 도 108은 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1)를 구비한 촬상 시스템(7)의 개략 구성의 한 예를 도시한 것이다.

- [0469] 촬상 시스템(7)은, 예를 들면, 디지털 스틸 카메라나 비디오 카메라 등의 촬상 장치나, 스마트폰이나 태블릿형 단말 등의 휴대 단말 장치 등의 전자 기기이다. 촬상 시스템(7)은, 예를 들면, 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1), DSP 회로(243), 프레임 메모리(244), 표시부(245), 기억부(246), 조작부(247) 및 전원부(248)를 구비하고 있다. 촬상 시스템(7)에서, 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1), DSP 회로(243), 프레임 메모리(244), 표시부(245), 기억부(246), 조작부(247) 및 전원부(248)는 버스 라인(249)을 통하여 상호 접속되어 있다.
- [0470] 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1)는 입사광에 응한 화상 데이터를 출력한다. DSP 회로(243)는 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1)로부터 출력되는 신호(화상 데이터)를 처리하는 신호 처리 회로이다. 프레임 메모리(244)는 DSP 회로(243)에 의해 처리된 화상 데이터를 프레임 단위로 일시적으로 유지한다. 표시부(245)는, 예를 들면, 액정 패널이나 유기 EL(Electro Luminescence) 패널 등의 패널형 표시 장치로 이루어지고, 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1)에서 촬상된 동화 또는 정지화를 표시한다. 기억부(246)는 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1)에서 촬상된 동화 또는 정지화의 화상 데이터를 반도체 메모리나 하드 디스크 등의 기록 매체에 기록한다. 조작부(247)는, 유저에 의한 조작에 따라, 촬상 시스템(7)이 갖는 각종의 기능에 관한 조작 지령을 발한다. 전원부(248)는 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1), DSP 회로(243), 프레임 메모리(244), 표시부(245), 기억부(246) 및 조작부(247)의 동작 전원이 되는 각종의 전원을 이들 공급 대상에 대해 적절히 공급한다.
- [0471] 다음으로, 촬상 시스템(7)에서의 촬상 순서에 관해 설명한다.
- [0472] 도 109는 촬상 시스템(7)에서의 촬상 동작의 플로우차트의 한 예를 도시한다. 유저는 조작부(247)를 조작함에 의해 촬상 시작을 지시한다(스텝 S101). 그러면, 조작부(247)는 촬상 지령을 촬상 장치(1)에 송신한다(스텝 S102). 촬상 장치(1)(구체적으로는 시스템 제어 회로(36))는, 촬상 지령을 받으면, 소정의 촬상 방식으로의 촬상을 실행한다(스텝 S103).
- [0473] 촬상 장치(1)는 촬상에 의해 얻어진 화상 데이터를 DSP 회로(243)에 출력한다. 여기에서, 화상 데이터란, 플로팅 디퓨전(FD)에 일시적으로 유지된 전하에 의거하여 생성된 화소 신호의 전 화소분의 데이터이다. DSP 회로(243)는 촬상 장치(1)로부터 입력된 화상 데이터에 의거하여 소정의 신호 처리(예를 들어 노이즈 저감 처리 등)를 행한다(스텝 S104). DSP 회로(243)는 소정의 신호 처리가 이루어진 화상 데이터를 프레임 메모리(244)에 유지시키고, 프레임 메모리(244)는 화상 데이터를 기억부(246)에 기억시킨다(스텝 S105). 이와 같이 하여, 촬상 시스템(7)에서의 촬상이 행해진다.
- [0474] 본 적용례에서는, 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1)가 촬상 시스템(7)에 적용된다. 이에 의해, 촬상 장치(1)를 소형화 또는 고정밀화할 수 있기 때문에, 소형 또는 고정밀 촬상 시스템(7)을 제공할 수 있다.
- [0475] <6. 10. 응용례>
- [0476] [응용례 1]
- [0477] 본 개시에 관한 기술(본 기술)은, 다양한 제품에 응용할 수 있다. 예를 들면, 본 개시에 관한 기술은 자동차, 전기 자동차, 하이브리드 전기 자동차, 자동 이륜차, 자전거, 퍼스널 모빌리티, 비행기, 드론, 선박, 로봇 등의 어느 한 종류의 이동체에 탑재되는 장치로서 실현되어도 좋다.
- [0478] 도 110은 본 개시에 관한 기술이 적용될 수 있는 이동체 제어 시스템의 한 예인 차량 제어 시스템의 개략적인 구성례를 도시하는 블록도이다.
- [0479] 차량 제어 시스템(12000)은 통신 네트워크(12001)를 통하여 접속된 복수의 전자 제어 유닛을 구비한다. 도 110에 도시한 예에서는, 차량 제어 시스템(12000)은 구동계 제어 유닛(12010), 보디계 제어 유닛(12020), 차외 정보 검출 유닛(12030), 차내 정보 검출 유닛(12040) 및 통합 제어 유닛(12050)을 구비한다. 또한, 통합 제어 유닛(12050)의 기능 구성으로서, 마이크로 컴퓨터(12051), 음성 화상 출력부(12052) 및 차량 탑재 네트워크 I/F(interface)(12053)가 도시되어 있다.
- [0480] 구동계 제어 유닛(12010)은 각종 프로그램에 따라 차량의 구동계에 관련되는 장치의 동작을 제어한다. 예를 들면, 구동계 제어 유닛(12010)은 내연 기관 또는 구동용 모터 등의 차량의 구동력을 발생시키기 위한 구동력 발생 장치, 구동력을 차륜에 전달하기 위한 구동력 전달 기구, 차량의 타각을 조절하는 스티어링 기구 및 차량의 제동력을 발생시키는 제동 장치 등의 제어 장치로서 기능한다.

- [0481] 보디계 제어 유닛(12020)은 각종 프로그램에 따라 차체에 장비된 각종 장치의 동작을 제어한다. 예를 들면, 보디계 제어 유닛(12020)은 키레스 엔트리 시스템, 스마트 키 시스템, 파워 윈도우 장치, 또는, 헤드 램프, 백 램프, 브레이크 램프, 윈커 또는 포그 램프 등의 각종 램프의 제어 장치로서 기능한다. 이 경우, 보디계 제어 유닛(12020)에는, 키를 대체하는 휴대기로부터 발신되는 전파 또는 각종 스위치의 신호가 입력될 수 있다. 보디계 제어 유닛(12020)은 이들 전파 또는 신호의 입력을 접수하고, 차량의 도어 로크 장치, 파워 윈도우 장치, 램프 등을 제어한다.
- [0482] 차외 정보 검출 유닛(12030)은 차량 제어 시스템(12000)을 탑재한 차량의 외부의 정보를 검출한다. 예를 들면, 차외 정보 검출 유닛(12030)에는, 촬상부(12031)가 접속된다. 차외 정보 검출 유닛(12030)은 촬상부(12031)에 차외의 화상을 촬상시킴과 함께, 촬상된 화상을 수신한다. 차외 정보 검출 유닛(12030)은, 수신한 화상에 의거하여, 사람, 차, 장애물, 표지 또는 노면상의 문자 등의 물체 검출 처리 또는 거리 검출 처리를 행해도 좋다.
- [0483] 촬상부(12031)는 광을 수광하고, 그 광의 수광량에 응한 전기 신호를 출력하는 광센서이다. 촬상부(12031)는 전기 신호를 화상으로서 출력할 수도 있고, 거리 측정의 정보로서 출력할 수도 있다. 또한, 촬상부(12031)가 수광하는 광은 가시광이라도 좋고, 적외선 등의 비가시광이라도 좋다.
- [0484] 차내 정보 검출 유닛(12040)은 차내의 정보를 검출한다. 차내 정보 검출 유닛(12040)에는, 예를 들면, 운전자의 상태를 검출하는 운전자 상태 검출부(12041)가 접속된다. 운전자 상태 검출부(12041)는 예를 들어 운전자를 촬상하는 카메라를 포함하고, 차내 정보 검출 유닛(12040)은, 운전자 상태 검출부(12041)로부터 입력되는 검출 정보에 의거하여, 운전자의 피로 정도 또는 집중 정도를 산출해도 좋고, 운전자가 앉아서 졸고 있지 않는지를 판별해도 좋다.
- [0485] 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차내외의 정보에 의거하여, 구동력 발생 장치, 스티어링 기구 또는 제동 장치의 제어 목표치를 연산하고, 구동계 제어 유닛(12010)에 대해 제어 지령을 출력할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는 차량의 충돌 회피 또는 충격 완화, 차간 거리에 의거하는 추종 주행, 차속 유지 주행, 차량의 충돌 경고, 또는 차량의 레인 이탈 경고 등을 포함하는 ADAS(Advanced Driver Assistance System)의 기능 실현을 목적으로 한 협조 제어를 행할 수 있다.
- [0486] 또한, 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차량의 주위의 정보에 의거하여 구동력 발생 장치, 스티어링 기구 또는 제동 장치 등을 제어함에 의해, 운전자의 조작에 의하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.
- [0487] 또한, 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030)에서 취득되는 차외의 정보에 의거하여, 보디계 제어 유닛(12020)에 대해 제어 지령을 출력할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는 차외 정보 검출 유닛(12030)에서 검지한 선행차 또는 대향차의 위치에 응하여 헤드 램프를 제어하여, 하이 빔을 로우 빔으로 전환하는 등의 눈부심 방지를 도모하는 것을 목적으로 한 협조 제어를 행할 수 있다.
- [0488] 음성 화상 출력부(12052)는, 차량의 탑승자 또는 차외에 대해, 시각적 또는 청각적으로 정보를 통지하는 것이 가능한 출력 장치에 음성 및 화상 중의 적어도 일방의 출력 신호를 송신한다. 도 110의 예에서는, 출력 장치로서, 오디오 스피커(12061), 표시부(12062) 및 인스트루먼트 패널(12063)이 예시되어 있다. 표시부(12062)는, 예를 들면, 온 보드 디스플레이 및 헤드 업 디스플레이의 적어도 1개를 포함하고 있어도 좋다.
- [0489] 도 111은 촬상부(12031)의 설치 위치의 예를 도시하는 도면이다.
- [0490] 도 111에서는, 차량(12100)은 촬상부(12031)로서, 촬상부(12101, 12102, 12103, 12104, 12105)를 가진다.
- [0491] 촬상부(12101, 12102, 12103, 12104, 12105)는, 예를 들면, 차량(12100)의 프런트 노우즈, 사이드 미러, 리어 범퍼, 백 도어 및 차실내의 프런트글라스의 상부 등의 위치에 마련된다. 프런트 노우즈에 구비되는 촬상부(12101) 및 차실내의 프런트글라스의 상부에 구비되는 촬상부(12105)는 주로 차량(12100)의 전방의 화상을 취득한다. 사이드 미러에 구비되는 촬상부(12102, 12103)는 주로 차량(12100)의 측방의 화상을 취득한다. 리어 범퍼 또는 백 도어에 구비되는 촬상부(12104)는 주로 차량(12100)의 후방의 화상을 취득한다. 촬상부(12101 및 12105)에서 취득되는 전방의 화상은 주로 선행 차량 또는, 보행자, 장애물, 신호기, 교통 표지 또는 차선 등의 검출에 이용된다.
- [0492] 또한, 도 111에는, 촬상부(12101 내지 12104)의 촬영 범위의 한 예가 도시되어 있다. 촬상 범위(12111)는 프런트 노우즈에 마련된 촬상부(12101)의 촬상 범위를 나타내고, 촬상 범위(12112, 12113)는 각각 사이드 미러에 마

런된 촬상부(12102, 12103)의 촬상 범위를 나타내고, 촬상 범위(12114)는 리어 범퍼 또는 백 도어에 마련된 촬상부(12104)의 촬상 범위를 나타낸다. 예를 들면, 촬상부(12101 내지 12104)에서 촬상된 화상 데이터가 맞접처짐에 의해, 차량(12100)을 상방에서 본 부감(俯瞰) 화상이 얻어진다.

[0493] 촬상부(12101 내지 12104)의 적어도 1개는 거리 정보를 취득하는 기능을 가지고 있어도 좋다. 예를 들면, 촬상부(12101 내지 12104)의 적어도 1개는 복수의 촬상 소자로 이루어지는 스테레오 카메라라도 좋고, 위상차 검출용의 화소를 갖는 촬상 소자라도 좋다.

[0494] 예를 들면, 마이크로 컴퓨터(12051)는, 촬상부(12101 내지 12104)로부터 얻어진 거리 정보를 기초로, 촬상 범위(12111 내지 12114) 내에서의 각 입체물까지의 거리와, 이 거리의 시간적 변화(차량(12100)에 대한 상대 속도)를 구함에 의해, 특히 차량(12100)의 진행로상에 있는 가장 가까운 입체물로, 차량(12100)과 개략 같은 방향으로 소정의 속도(예를 들면, 0km/h 이상)로 주행하는 입체물을 선행차로서 추출할 수 있다. 또한, 마이크로 컴퓨터(12051)는 선행차와 내 차와의 사이에 미리 확보해야 할 차간 거리를 설정하고, 자동 브레이크 제어(추종 정지 제어도 포함한다)나 자동 가속 제어(추종 발진 제어도 포함한다) 등을 행할 수 있다. 이와 같이 운전자의 조작에 의하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.

[0495] 예를 들면, 마이크로 컴퓨터(12051)는, 촬상부(12101 내지 12104)로부터 얻어진 거리 정보를 기초로, 입체물에 관한 입체물 데이터를 이륜차, 보통 차량, 대형 차량, 보행자, 전신주 등 그 외의 입체물로 분류하여 추출하고, 장애물의 자동 회피에 이용할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는 차량(12100)의 주변의 장애물을 차량(12100)의 드라이버가 시인 가능한 장애물과 시인 곤란한 장애물로 식별한다. 그리고, 마이크로 컴퓨터(12051)는 각 장애물과의 충돌의 위험도를 나타내는 충돌 리스크를 판단하고, 충돌 리스크가 설정치 이상으로 충돌 가능성이 있는 상황일 때에는, 오디오 스피커(12061)나 표시부(12062)를 통하여 드라이버에게 경보를 출력하는 것이나, 구동계 제어 유닛(12010)을 통하여 강제 감속이나 회피 조타를 행함으로써, 충돌 회피를 위한 운전 지원을 행할 수 있다.

[0496] 촬상부(12101 내지 12104)의 적어도 1개는 적외선을 검출하는 적외선 카메라라도 좋다. 예를 들면, 마이크로 컴퓨터(12051)는 촬상부(12101 내지 12104)의 촬상 화상 중에 보행자가 존재하는지의 여부를 판정함으로써 보행자를 인식할 수 있다. 이러한 보행자의 인식은, 예를 들어 적외선 카메라로서의 촬상부(12101 내지 12104)의 촬상 화상에서의 특징점을 추출하는 순서와, 물체의 윤곽을 나타내는 일련의 특징점에 패턴 매칭 처리를 행하여 보행자인지의 여부를 판별하는 순서에 의해 행해진다. 마이크로 컴퓨터(12051)가 촬상부(12101 내지 12104)의 촬상 화상 중에 보행자가 존재한다고 판정하고, 보행자를 인식하면, 음성 화상 출력부(12052)는 당해 인식된 보행자에게 강조를 위한 사각형 윤곽선을 중첩 표시하도록, 표시부(12062)를 제어한다. 또한, 음성 화상 출력부(12052)는 보행자를 나타내는 아이콘 등을 소망하는 위치에 표시하도록 표시부(12062)를 제어해도 좋다.

[0497] 이상, 본 개시에 관한 기술이 적용될 수 있는 이동체 제어 시스템의 한 예에 관해 설명하였다. 본 개시에 관한 기술은, 이상 설명한 구성 중, 촬상부(12031)에 적용될 수 있다. 구체적으로는, 상기 실시의 형태 및 그 변형례에 관한 촬상 장치(1)는 촬상부(12031)에 적용할 수 있다. 촬상부(12031)에 본 개시에 관한 기술을 적용함에 의해, 노이즈가 적은 고정밀 촬영 화상을 얻을 수 있기 때문에, 이동체 제어 시스템에서 촬영 화상을 이용한 고정밀의 제어를 행할 수 있다.

[0498] [응용례 2]

[0499] 도 112는 본 개시에 관한 기술(본 기술)이 적용될 수 있는 내시경 수술 시스템의 개략적인 구성의 한 예를 도시하는 도면이다.

[0500] 도 112에서는, 수술자(의사)(11131)가, 내시경 수술 시스템(11000)을 이용하여, 환자 베드(11133)상의 환자(11132)에게 수술을 행하고 있는 상태가 도시되어 있다. 도시하는 바와 같이, 내시경 수술 시스템(11000)은 내시경(11100)과, 기복 튜브(11111)나 에너지 처치구(11112) 등의 그 외의 수술구(11110)와, 내시경(11100)을 지지하는 지지 암장치(11120)와, 내시경하 수술을 위한 각종의 장치가 탑재된 카트(11200)로 구성된다.

[0501] 내시경(11100)은 선단으로부터 소정의 길이의 영역이 환자(11132)의 체강 내에 삽입되는 경통(11101)과, 경통(11101)의 기단에 접속되는 카메라 헤드(11102)로 구성된다. 도시하는 예에서는, 경성(硬性)의 경통(11101)을 갖는 이른바 경성경(硬性鏡)으로서 구성되는 내시경(11100)을 도시하고 있는데, 내시경(11100)은, 연성(軟性)의 경통을 갖는 이른바 연성경(軟性鏡)으로서 구성되어도 좋다.

[0502] 경통(11101)의 선단에는, 대물 렌즈가 감입된 개구부가 마련되어 있다. 내시경(11100)에는 광원 장치(11203)가 접속되어 있고, 당해 광원 장치(11203)에 의해 생성된 광이 경통(11101)의 내부에 연설(延設)되는 라이트 가이드

드에 의해 당해 경통의 선단까지 도광되고, 대물 렌즈를 통하여 환자(11132)의 체강 내의 관찰 대상을 향하여 조사된다. 또한, 내시경(11100)은 직시경(直視鏡)이라도 좋고, 사시경(斜視鏡) 또는 측시경(側視鏡)이라도 좋다.

[0503] 카메라 헤드(11102)의 내부에는 광학계 및 촬상 소자가 마련되어 있고, 관찰 대상으로부터의 반사광(관찰광)은 당해 광학계에 의해 당해 촬상 소자에 집광된다. 당해 촬상 소자에 의해 관찰광이 광전 변환되고, 관찰광에 대응하는 전기 신호, 즉 관찰상에 대응하는 화상 신호가 생성된다. 당해 화상 신호는 RAW 데이터로서 카메라 컨트롤 유닛(CCU: Camera Control Unit)(11201)에 송신된다.

[0504] CCU(11201)는 CPU(Central Processing Unit)나 GPU(Graphics Processing Unit) 등에 의해 구성되고, 내시경(11100) 및 표시 장치(11202)의 동작을 통괄적으로 제어한다. 또한, CCU(11201)는 카메라 헤드(11102)로부터 화상 신호를 수취하고, 그 화상 신호에 대해, 예를 들어 현상 처리(디모자이크 처리) 등의 당해 화상 신호에 의거하는 화상을 표시하기 위한 각종의 화상 처리를 시행한다.

[0505] 표시 장치(11202)는, CCU(11201)로부터의 제어에 의해, 당해 CCU(11201)에 의해 화상 처리가 시행된 화상 신호에 의거하는 화상을 표시한다.

[0506] 광원 장치(11203)는 예를 들어 LED(Light Emitting Diode) 등의 광원으로 구성되고, 수술부 등을 촬영할 때의 조사광을 내시경(11100)에 공급한다.

[0507] 입력 장치(11204)는, 내시경 수술 시스템(11000)에 대한 입력 인터페이스이다. 유저는, 입력 장치(11204)를 통하여, 내시경 수술 시스템(11000)에 대해 각종의 정보의 입력이나 지시 입력을 행할 수 있다. 예를 들면, 유저는 내시경(11100)에 의한 촬상 조건(조사광의 종류, 배율 및 초점 거리 등)을 변경하는 취지의 지시 등을 입력한다.

[0508] 처치구 제어 장치(11205)는 조직의 소작(燒灼), 절개 또는 혈관의 봉지 등을 위해 에너지 처치구(11112)의 구동을 제어한다. 기록 장치(11206)는, 내시경(11100)에 의한 시야의 확보 및 수술자의 작업 공간의 확보의 목적으로, 환자(11132)의 체강을 팽창시키기 위해, 기복 튜브(11111)를 통하여 당해 체강 내에 가스를 보낸다. 레코더(11207)는 수술에 관한 각종의 정보를 기록 가능한 장치이다. 프린터(11208)는, 수술에 관한 각종의 정보를 텍스트, 화상 또는 그래프 등 각종의 형식으로 인쇄 가능한 장치이다.

[0509] 또한, 내시경(11100)에 수술부를 촬영할 때의 조사광을 공급하는 광원 장치(11203)는 예를 들어 LED, 레이저 광원 또는 이들 조합에 의해 구성되는 백색 광원으로 구성할 수 있다. RGB 레이저 광원의 조합에 의해 백색 광원이 구성되는 경우에는, 각 색(각 파장)의 출력 강도 및 출력 타이밍을 고정밀도로 제어할 수 있기 때문에, 광원 장치(11203)에서 촬상 화상의 화이트 밸런스의 조정을 행할 수 있다. 또한, 이 경우에는, RGB 레이저 광원 각각으로부터의 레이저광을 시분할로 관찰 대상에 조사하고, 그 조사 타이밍에 동기하여 카메라 헤드(11102)의 촬상 소자의 구동을 제어함에 의해, RGB 각각에 대응한 화상을 시분할로 촬상하는 것도 가능하다. 당해 방법에 의하면, 당해 촬상 소자에 컬러 필터를 마련하지 않아도, 컬러 화상을 얻을 수 있다.

[0510] 또한, 광원 장치(11203)는 출력하는 광의 강도를 소정의 시간마다 변경하도록 그 구동이 제어되어도 좋다. 그 광의 강도의 변경의 타이밍에 동기하여 카메라 헤드(11102)의 촬상 소자의 구동을 제어하여 시분할로 화상을 취득하고, 그 화상을 합성함에 의해, 이른바 흑바람 및 백바람이 없는 고다이내믹 레인지의 화상을 생성할 수 있다.

[0511] 또한, 광원 장치(11203)는 특수광 관찰에 대응한 소정의 파장 대역의 광을 공급 가능하게 구성되어도 좋다. 특수광 관찰에서는, 예를 들면, 체조직에서의 광의 흡수의 파장 의존성을 이용하여, 통상의 관찰 시에서의 조사광(즉, 백색광)에 비해 협대역의 광을 조사함에 의해, 점막 표층의 혈관 등의 소정의 조직을 고콘트라스트로 촬영하는, 이른바 협대역 광관찰(Narrow Band Imaging)이 행해진다. 또는, 특수광 관찰에서는, 여기광을 조사함에 의해 발생하는 형광에 의해 화상을 얻는 형광 관찰이 행해져도 좋다. 형광 관찰에서는, 체조직에 여기광을 조사하고 당해 체조직으로부터의 형광을 관찰하는 것(자가 형광 관찰), 또는 인도시아닌그린(ICG) 등의 시약을 체조직에 국주(局注)함과 함께 당해 체조직에 그 시약의 형광 파장에 대응한 여기광을 조사하고 형광상을 얻는 것 등을 행할 수 있다. 광원 장치(11203)는 이와 같은 특수광 관찰에 대응한 협대역광 및/또는 여기광을 공급 가능하게 구성될 수 있다.

[0512] 도 113은 도 112에 도시하는 카메라 헤드(11102) 및 CCU(11201)의 기능 구성의 한 예를 도시하는 블록도이다.

[0513] 카메라 헤드(11102)는 렌즈 유닛(11401)과, 촬상부(11402)와, 구동부(11403)와, 통신부(11404)와, 카메라 헤드 제어부(11405)를 가진다. CCU(11201)는 통신부(11411)와, 화상 처리부(11412)와, 제어부(11413)를 가진다. 카

메라 헤드(11102)와 CCU(11201)는 전송 케이블(11400)에 의해 서로 통신 가능하게 접속되어 있다.

- [0514] 렌즈 유닛(11401)은 경통(11101)과의 접속부에 마련되는 광학계이다. 경통(11101)의 선단으로부터 취입된 관찰 광은 카메라 헤드(11102)까지 도광되고, 당해 렌즈 유닛(11401)에 입사한다. 렌즈 유닛(11401)은 줌렌즈 및 포커스 렌즈를 포함하는 복수의 렌즈가 조합되어 구성된다.
- [0515] 촬상부(11402)는 촬상 소자로 구성된다. 촬상부(11402)를 구성하는 촬상 소자는 1개(이른바 단판식)라도 좋고, 복수(이른바 다판식)라도 좋다. 촬상부(11402)가 다판식으로 구성되는 경우에는, 예를 들어 각 촬상 소자에 의해 RGB 각각에 대응하는 화상 신호가 생성되고, 그것들이 합성됨에 의해 컬러 화상이 얻어져도 좋다. 또는 촬상부(11402)는, 3D(Dimensional) 표시에 대응하는 우안용 및 좌안용의 화상 신호를 각각 취득하기 위한 한 쌍의 촬상 소자를 갖도록 구성되어도 좋다. 3D 표시가 행해짐에 의해, 수술자(11131)는 수술부에서의 생체 조직의 깊이를 보다 정확하게 파악하는 것이 가능해진다. 또한, 촬상부(11402)가 다판식으로 구성되는 경우에는, 각 촬상 소자에 대응하여, 렌즈 유닛(11401)도 복수 계통 마련될 수 있다.
- [0516] 또한, 촬상부(11402)는 반드시 카메라 헤드(11102)에 마련되지 않아도 좋다. 예를 들면, 촬상부(11402)는 경통(11101)의 내부에 대물 렌즈의 직후에 마련되어도 좋다.
- [0517] 구동부(11403)는 액추에이터에 의해 구성되고, 카메라 헤드 제어부(11405)로부터의 제어에 의해, 렌즈 유닛(11401)의 줌렌즈 및 포커스 렌즈를 광축을 따라 소정의 거리만큼 이동시킨다. 이에 의해, 촬상부(11402)에 의한 촬상 화상의 배율 및 초점이 적절히 조정될 수 있다.
- [0518] 통신부(11404)는 CCU(11201)와의 사이에서 각종의 정보를 송수신하기 위한 통신 장치에 의해 구성된다. 통신부(11404)는, 촬상부(11402)로부터 얻은 화상 신호를 RAW 데이터로서 전송 케이블(11400)을 통하여 CCU(11201)에 송신한다.
- [0519] 또한, 통신부(11404)는, CCU(11201)로부터, 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 수신하고, 카메라 헤드 제어부(11405)에 공급한다. 당해 제어 신호에는, 예를 들면, 촬상 화상의 프레임 레이트를 지정하는 취지의 정보, 촬상 시의 노출치를 지정하는 취지의 정보 및/또는 촬상 화상의 배율 및 초점을 지정하는 취지의 정보 등, 촬상 조건에 관한 정보가 포함된다.
- [0520] 또한, 상기 프레임 레이트나 노출치, 배율, 초점 등의 촬상 조건은 유저에 의해 적절히 지정되어도 좋고, 취득된 화상 신호에 의거하여 CCU(11201)의 제어부(11413)에 의해 자동적으로 설정되어도 좋다. 후자인 경우에는, 이른바 AE(Auto Exposure) 기능, AF(Auto Focus) 기능 및 AWB(Auto White Balance) 기능이 내시경(11100)에 탑재되어 있게 된다.
- [0521] 카메라 헤드 제어부(11405)는, 통신부(11404)를 통하여 수신한 CCU(11201)로부터의 제어 신호에 의거하여, 카메라 헤드(11102)의 구동을 제어한다.
- [0522] 통신부(11411)는 카메라 헤드(11102)와의 사이에서 각종의 정보를 송수신하기 위한 통신 장치에 의해 구성된다. 통신부(11411)는 카메라 헤드(11102)로부터 전송 케이블(11400)을 통하여 송신되는 화상 신호를 수신한다.
- [0523] 또한, 통신부(11411)는, 카메라 헤드(11102)에 대해, 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 송신한다. 화상 신호나 제어 신호는 전기 통신이나 광통신 등에 의해 송신할 수 있다.
- [0524] 화상 처리부(11412)는 카메라 헤드(11102)로부터 송신된 RAW 데이터인 화상 신호에 대해 각종의 화상 처리를 시행한다.
- [0525] 제어부(11413)는 내시경(11100)에 의한 수술부 등의 촬상 및 수술부 등의 촬상에 의해 얻어지는 촬상 화상의 표시에 관한 각종의 제어를 행한다. 예를 들면, 제어부(11413)는 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 생성한다.
- [0526] 또한, 제어부(11413)는, 화상 처리부(11412)에 의해 화상 처리가 시행된 화상 신호에 의거하여, 수술부 등이 찍힌 촬상 화상을 표시 장치(11202)에 표시시킨다. 이때, 제어부(11413)는 각종의 화상 인식 기술을 이용하여 촬상 화상 내에서의 각종의 물체를 인식해도 좋다. 예를 들면, 제어부(11413)는, 촬상 화상에 포함되는 물체의 예지의 형상이나 색 등을 검출함에 의해, 겸자(鉗子) 등의 수술구, 특정한 생체 부위, 출혈, 에너지 처리구(11112)의 사용 시의 미스트 등을 인식할 수 있다. 제어부(11413)는, 표시 장치(11202)에 촬상 화상을 표시시킬 때에, 그 인식 결과를 이용하여, 각종의 수술 지원 정보를 당해 수술부의 화상에 중첩 표시시켜도 좋다. 수술 지원 정보가 중첩 표시되고, 수술자(11131)에게 제시됨에 의해, 수술자(11131)의 부담을 경감하는 것이나, 수술

자(11131)가 확실하게 수술을 진행하는 것이 가능해진다.

- [0527] 카메라 헤드(11102) 및 CCU(11201)를 접속하는 전송 케이블(11400)은 전기 신호의 통신에 대응한 전기 신호 케이블, 광통신에 대응한 광파이버, 또는 이들 복합 케이블이다.
- [0528] 여기에서, 도시하는 예에서는, 전송 케이블(11400)을 이용하여 유선으로 통신이 행해지고 있었는데, 카메라 헤드(11102)와 CCU(11201) 사이의 통신은 무선으로 행해져도 좋다.
- [0529] 이상, 본 개시에 관한 기술이 적용될 수 있는 내시경 수술 시스템의 한 예에 관해 설명하였다. 본 개시에 관한 기술은, 이상 설명한 구성 중, 내시경(11100)의 카메라 헤드(11102)에 마련된 촬상부(11402)에 알맞게 적용될 수 있다. 촬상부(11402)에 본 개시에 관한 기술을 적용함에 의해, 촬상부(11402)를 소형화 또는 고정밀화할 수 있기 때문에, 소형 또는 고정밀 내시경(11100)을 제공할 수 있다.
- [0530] 이상, 제1~제3 실시 형태, 변형례 및 구체례를 들어, 본 개시에 관한 기술을 설명하였다. 단, 본 개시에 관한 기술은, 상기 실시의 형태 등으로 한정되는 것이 아니라, 여러 가지 변형이 가능하다.
- [0531] 예를 들면, 상기 실시 형태, 변형례 및 구체례에서는, 도전형이 반대가 되어 있어도 좋다. 예를 들면, 상기 실시 형태 및 변형례의 기재에서, p형을 n형으로 바꾸어 읽음과 함께, n형을 p형으로 바꾸어 읽어도 좋다. 이와 같은 경우라도, 상기 실시 형태 및 변형례는 같은 효과를 얻을 수 있다.
- [0532] 또한, 각 실시 형태에서 설명한 구성 및 동작의 전부가 본 개시의 구성 및 동작으로서 필수라고는 한정되지 않는다. 예를 들면, 각 실시 형태에서의 구성 요소 중, 본 개시의 최상위 개념을 나타내는 독립 청구항에 기재되지 않은 구성 요소는, 임의의 구성 요소로서 이해되는 것이 당연하다.
- [0533] 본 명세서 및 첨부특허청구의 범위 전체에서 사용되는 용어는, 「한정적이지 않는」 용어라고 해석되는 것이 당연하다. 예를 들면, 「포함하는」 또는 「포함되는」이라는 용어는, 「포함되는 것으로서 기재된 것으로 한정되지 않는」이라고 해석되는 것이 당연하다. 「갖는」이라는 용어는, 「갖는 것으로서 기재된 것으로 한정되지 않는」이라고 해석되는 것이 당연하다. 그리고, 첨부특허청구의 범위를 일탈하는 일없이 본 개시의 실시의 형태에 변경을 가할 수 있는 것은, 당업자에게는 분명할 것이다.
- [0534] 본 명세서에서 사용한 용어에는, 단지 설명의 편의를 위해 이용한 것으로서, 구성 및 동작을 한정하는 것이 아닌 것이 포함된다. 예를 들면, 「위», 「좌», 「상», 「하」라는 용어는, 참조하고 있는 도면상에서의 방향을 나타내고 있는데 지나지 않는다. 또한, 「내측», 「외측」이라는 용어는, 각각, 주목 요소의 중심을 향하는 방향, 주목 요소의 중심으로부터 멀어지는 방향을 나타낸다. 이들에 유사하는 용어나 같은 취지의 용어에 관해서도 마찬가지이다.
- [0535] 또한, 본 개시에 관한 기술은, 이하와 같은 구성을 취하는 것도 가능하다. 이하의 구성을 구비하는 본 개시에 관한 기술에 의하면, 제2 반도체 기판에 마련되는 전계 효과 트랜지스터의 전기적 특성을 향상시킬 수 있기 때문에, 화소 회로의 전기적인 특성을 향상시킬 수 있다. 본 개시에 관한 기술이 이루는 효과는, 여기에 기재된 효과로 반드시 한정되는 것이 아니고, 본 개시 중에 기재된 어느 하나의 효과라도 좋다.
- [0536] (1)
- [0537] 광전 변환을 행하는 센서 화소를 갖는 제1 기판과,
- [0538] 상기 센서 화소로부터 출력된 전하에 의거하여 화소 신호를 출력하는 화소 회로를 갖는 제2 기판과,
- [0539] 상기 화소 신호를 신호 처리하는 처리 회로를 갖는 제3 기판을 구비하고,
- [0540] 상기 제1 기판, 상기 제2 기판 및 상기 제3 기판은 이 순서로 적층되고,
- [0541] 상기 화소 회로의 전계 효과 트랜지스터가 마련되는 반도체층의 적어도 1개 이상에서는, 상기 제1 기판측의 영역의 도전형 불순물의 농도는 상기 제3 기판측의 영역의 도전형 불순물의 농도보다도 높은 촬상 장치.
- [0542] (2)
- [0543] 상기 센서 화소는 광전 변환 소자와, 상기 광전 변환 소자에 전기적으로 접속된 전송 트랜지스터와, 상기 전송 트랜지스터를 통하여 상기 광전 변환 소자로부터 출력된 상기 전하를 일시적으로 유지하는 플로팅 디퓨전을 가지고,
- [0544] 상기 화소 회로는 상기 플로팅 디퓨전의 전위를 소정의 전위로 리셋하는 리셋 트랜지스터와, 상기 플로팅 디퓨

전에 유지된 상기 전하의 레벨에 응한 전압의 신호를 상기 화소 신호로서 생성하는 증폭 트랜지스터와, 상기 증폭 트랜지스터로부터의 상기 화소 신호의 출력 타이밍을 제어하는 선택 트랜지스터를 갖는 상기 (1)에 기재된 촬상 장치.

(3)

상기 제1 기판은 상기 광전 변환 소자, 상기 전송 트랜지스터 및 상기 플로팅 디퓨전이 표면측에 마련된 제1 반도체 기판을 포함하고,

상기 제2 기판은 상기 리셋 트랜지스터, 상기 증폭 트랜지스터 및 상기 선택 트랜지스터가 표면측에 마련된 제2 반도체 기판을 포함하고,

상기 제2 기판은, 상기 제1 반도체 기판의 상기 표면측에, 상기 제2 반도체 기판의 상기 표면과 반대의 이면측을 향하여 접합되는 상기 (2)에 기재된 촬상 장치.

(4)

상기 제2 반도체 기판의 상기 이면은, 절연층을 통하여 상기 제1 반도체 기판의 상기 표면에 접합되는, 상기 (3)에 기재된 촬상 장치.

(5)

상기 제2 반도체 기판과 상기 절연층의 계면은 상기 제1 기판과 상기 제2 기판의 접합 계면인 상기 (4)에 기재된 촬상 장치.

(6)

상기 제2 반도체 기판과 상기 절연층의 상기 계면을 포함하는 영역에는, 상기 제2 반도체 기판의 타영역보다도 상기 도전형 불순물을 고농도로 포함하는 제1 영역이 마련되는 상기 (4) 또는 (5)에 기재된 촬상 장치.

(7)

상기 화소 회로의 전계 효과 트랜지스터의 적어도 1개 이상은,

일방향으로 연신되어 상기 제2 반도체 기판으로부터 볼록 설치된 확산층과,

상기 일방향과 직교하는 방향으로 연신되어 상기 확산층에 과설된 게이트 전극과,

상기 게이트 전극을 끼워서 양측의 상기 확산층에 마련된 소스 영역 및 드레인 영역을 구비하는 핀형의 전계 효과 트랜지스터인 상기 (6)에 기재된 촬상 장치.

(8)

상기 제2 반도체 기판의 상기 표면에는, 상기 제2 반도체 기판에 소정의 전위를 공급하는 보디 콘택트가 마련되는 상기 (7)에 기재된 촬상 장치.

(9)

상기 보디 콘택트는 상기 게이트 전극에 대해 상기 소스 영역과 같은 측의 평면 영역에 마련되는 상기 (8)에 기재된 촬상 장치.

(10)

상기 제1 영역은 상기 제2 반도체 기판의 전면에 걸쳐 마련되는 상기 (6)~(9)의 어느 한 항에 기재된 촬상 장치.

(11)

상기 제1 영역은 상기 도전형 불순물로서 붕소 원자를 포함하는 에피택셜 성장층인 상기 (6)~(10)의 어느 한 항에 기재된 촬상 장치.

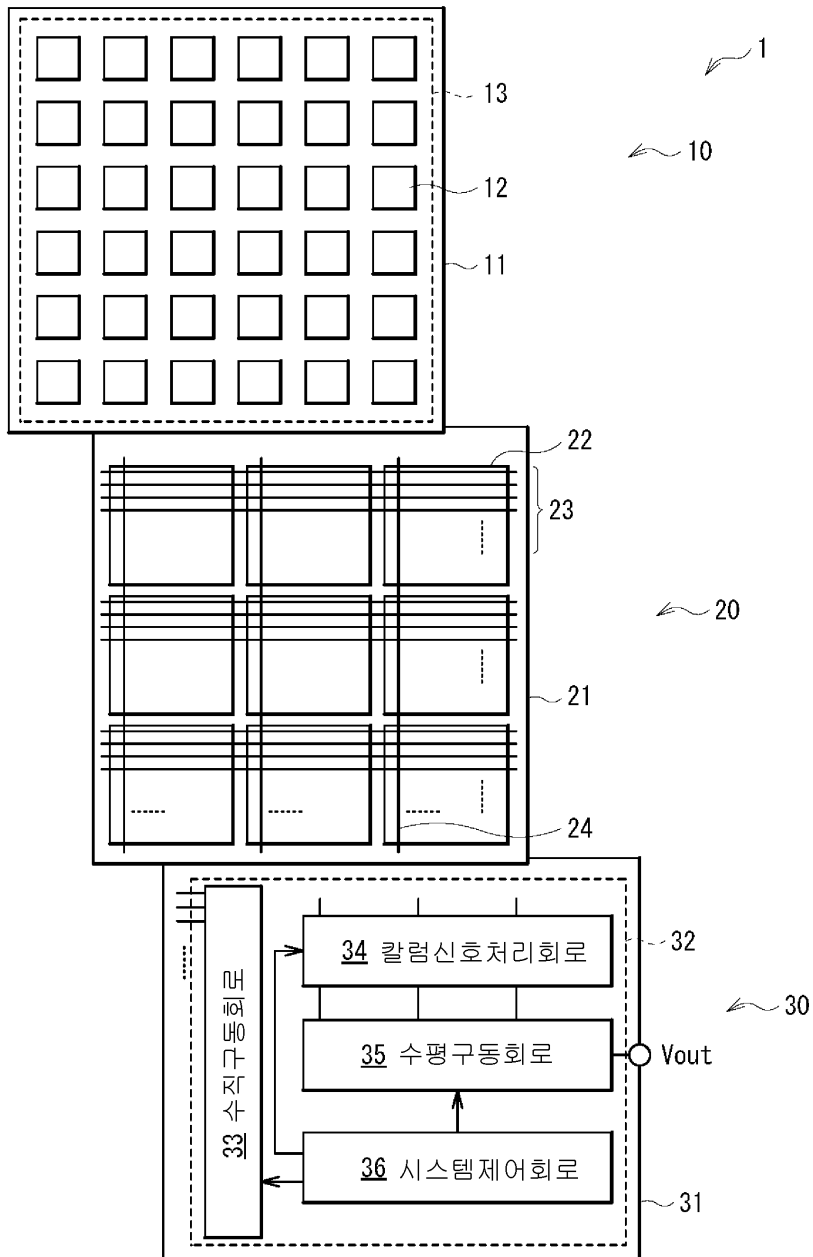
(12)

상기 제1 영역은 상기 도전형 불순물로서 붕소 원자를 포함하는 폴리실리콘층인 상기 (6)~(11)의 어느 한 항에 기재된 촬상 장치.

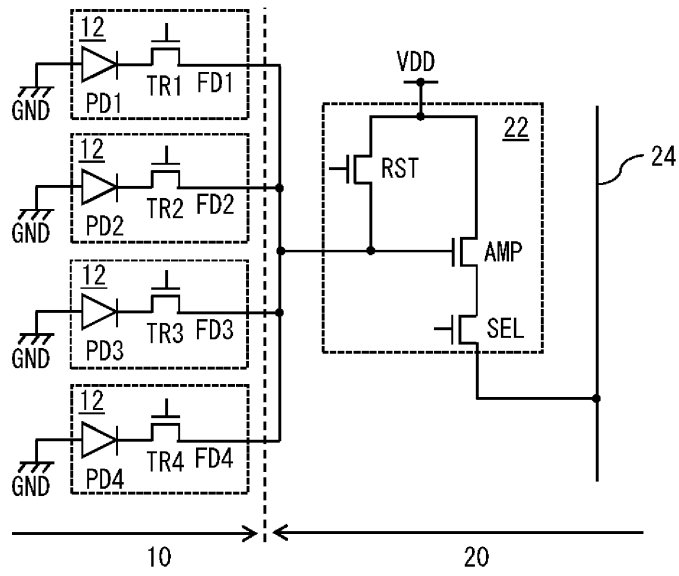
- [0570] (13)
- [0571] 상기 제2 반도체 기관의 상기 표면층의 일부 영역에는, 소정의 전위를 공급하는 콘택트 플러그와 전기적으로 접속하고, 상기 도전형 불순물을 고농도로 포함하는 제2 영역이 또한 마련되는 상기 (6)~(12)의 어느 한 항에 기재된 촬상 장치.
- [0572] (14)
- [0573] 상기 제2 반도체 기관에는, 상기 제1 영역 및 상기 제2 영역보다도 상기 도전형 불순물을 저농도로 포함하고, 상기 제1 영역과 상기 제2 영역과 인접하는 제3 영역이 또한 마련되는 상기 (13)에 기재된 촬상 장치.
- [0574] (15)
- [0575] 상기 콘택트 플러그는 상기 제2 반도체 기관을 관통하여 마련되고, 상기 제1 영역과 직접 접속하는 상기 (13)에 기재된 촬상 장치.
- [0576] (16)
- [0577] 상기 제1 영역은 상기 도전형 불순물로서 붕소 원자를 포함하고, 비도전형 불순물로서 탄소 원자를 또한 포함하는 상기 (6)~(15)의 어느 한 항에 기재된 촬상 장치.
- [0578] (17)
- [0579] 상기 제1 기관은 상기 광전 변환 소자, 상기 전송 트랜지스터 및 상기 플로팅 디퓨전을 상기 센서 화소마다 가지고,
- [0580] 상기 제2 기관은 상기 센서 화소마다 상기 화소 회로를 갖는 상기 (2)~(16)의 어느 한 항에 기재된 촬상 장치.
- [0581] (18)
- [0582] 상기 제1 기관은 상기 광전 변환 소자, 상기 전송 트랜지스터 및 상기 플로팅 디퓨전을 상기 센서 화소마다 가지고,
- [0583] 상기 제2 기관은 복수의 상기 센서 화소마다 상기 화소 회로를 갖는 상기 (2)~(16)의 어느 한 항에 기재된 촬상 장치.
- [0584] (19)
- [0585] 상기 제1 기관은 상기 광전 변환 소자 및 상기 전송 트랜지스터를 상기 센서 화소마다 가지고, 또한 상기 플로팅 디퓨전을 복수의 상기 센서 화소마다 공유하고,
- [0586] 상기 제2 기관은 상기 플로팅 디퓨전을 공유하는 복수의 상기 센서 화소마다 상기 화소 회로를 갖는 상기 (2)~(16)의 어느 한 항에 기재된 촬상 장치.
- [0587] (20)
- [0588] 상기 제3 기관은 상기 처리 회로가 표면층에 마련된 제3 반도체 기관을 포함하는, 상기 (1)~(19)의 어느 한 항에 기재된 촬상 장치.
- [0589] 본 출원은 일본 특허청에서 2019년 6월 26일에 출원된 일본 특허출원 번호 2019-118489호를 기초로 하여 우선권을 주장하는 것이고, 이 출원의 모든 내용을 참조에 의해 본 출원에 원용한다.
- [0590] 당업자라면, 설계상의 요건이나 다른 요인에 응하여, 여러 가지 수정, 콤비네이션, 서브 콤비네이션 및 변경을 상도할 수 있는데, 그것들은 첨부한 청구의 범위나 그 균등물의 범위에 포함되는 것임이 이해된다.

도면

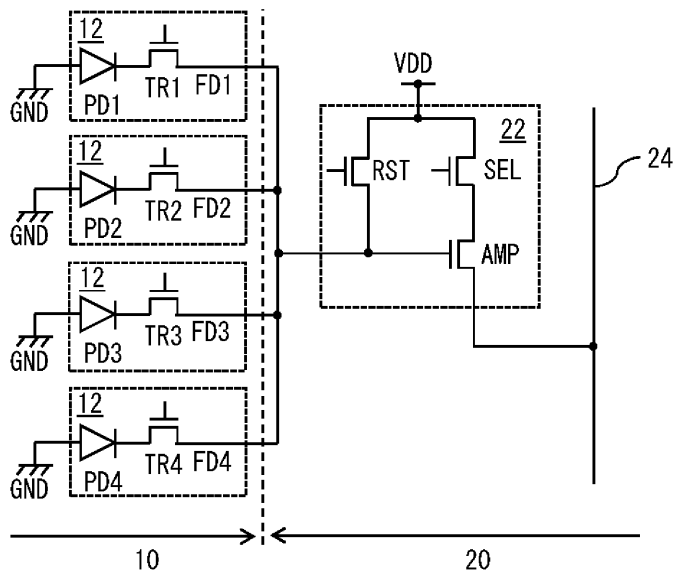
도면1



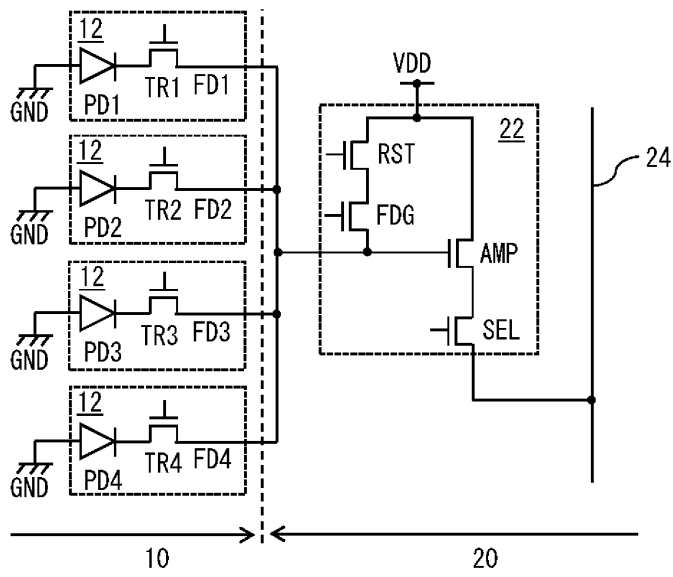
도면2



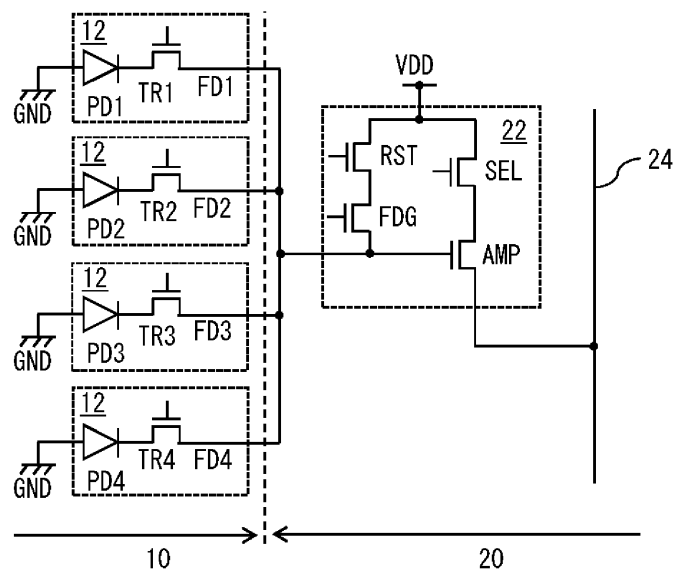
도면3



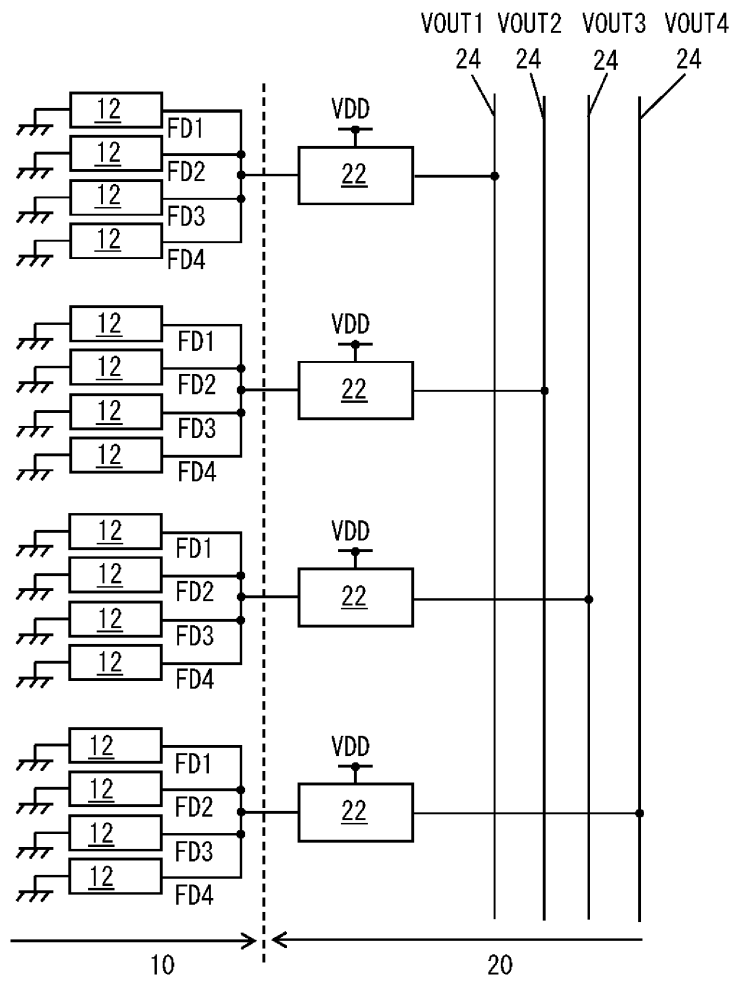
도면4



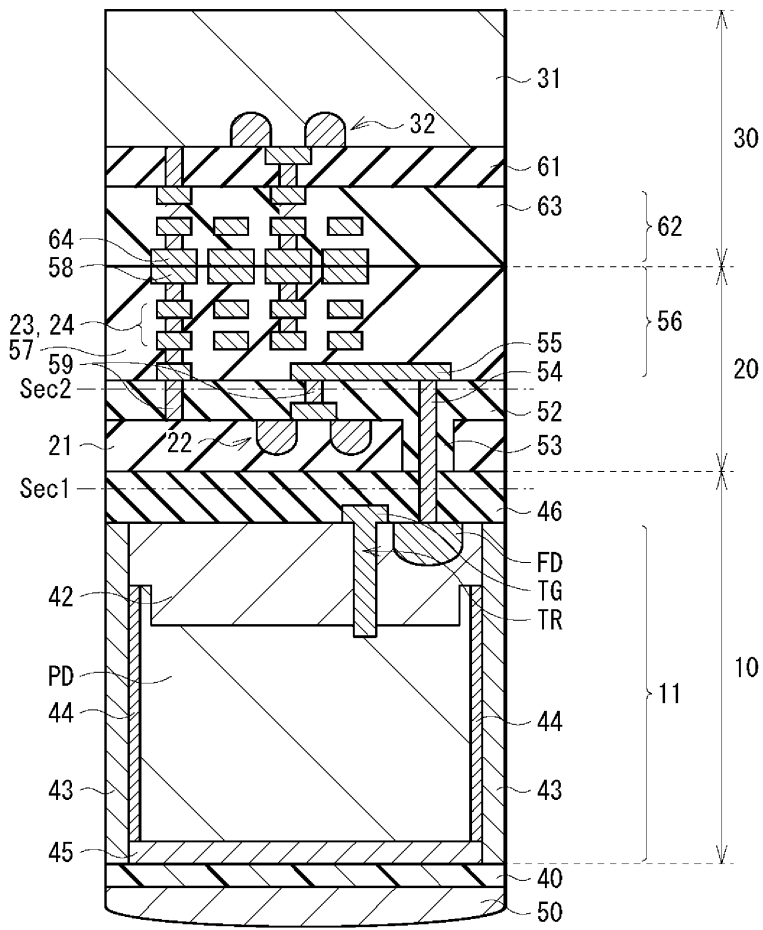
도면5



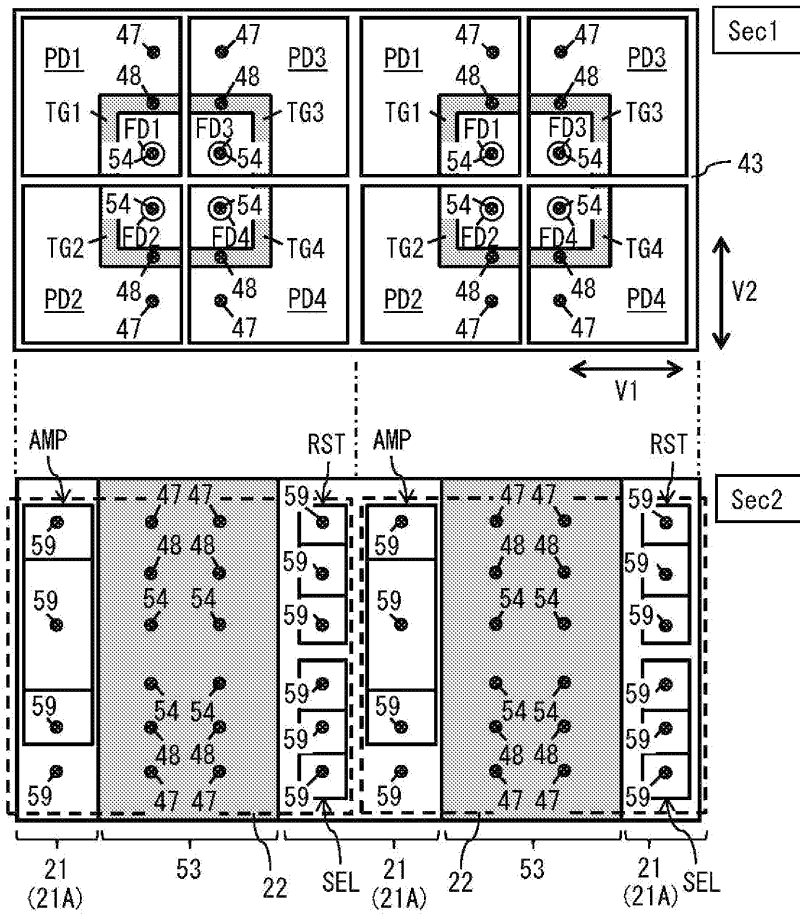
도면6



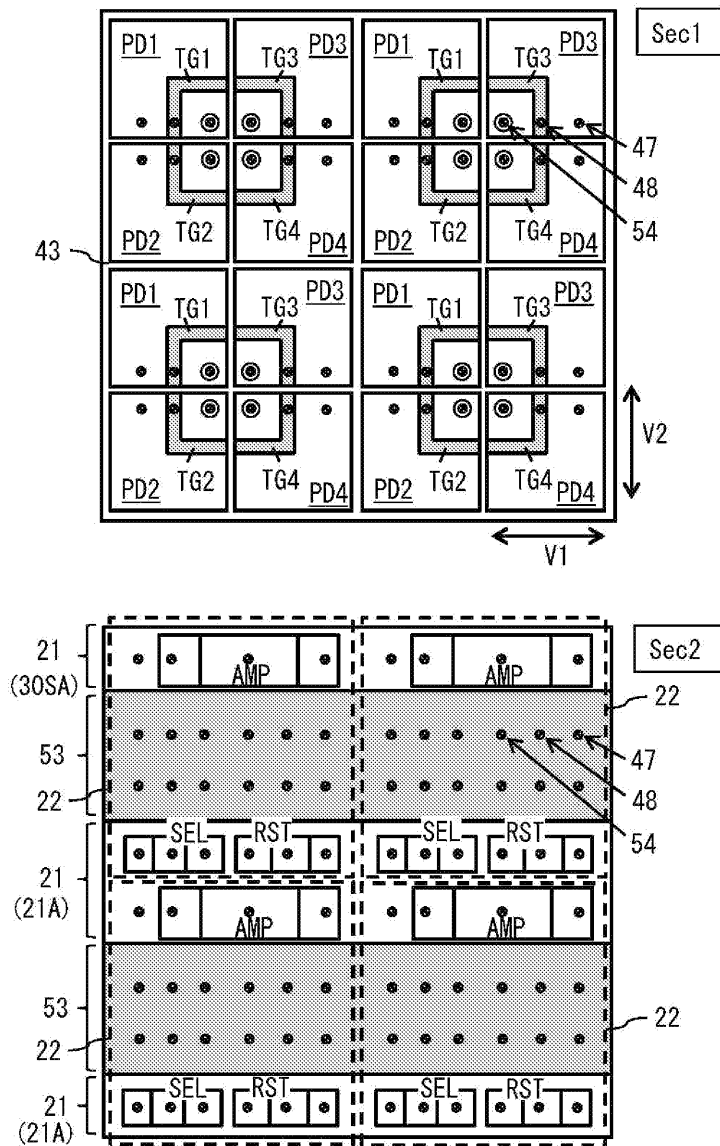
도면7



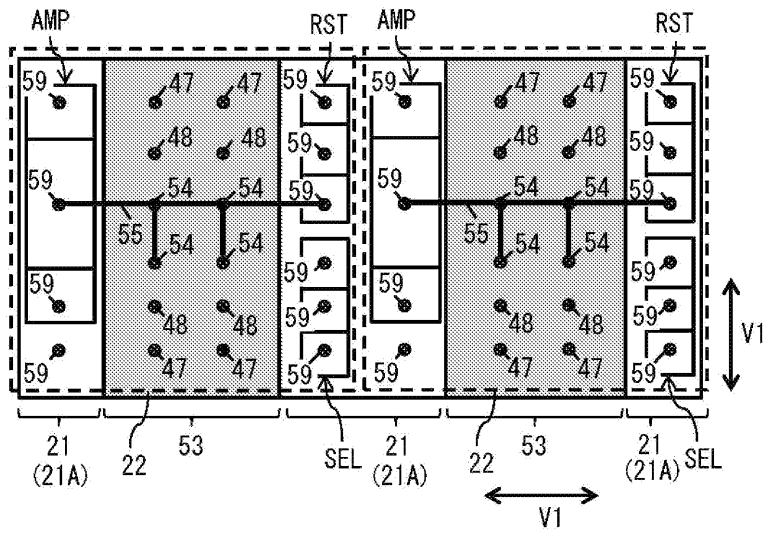
도면8



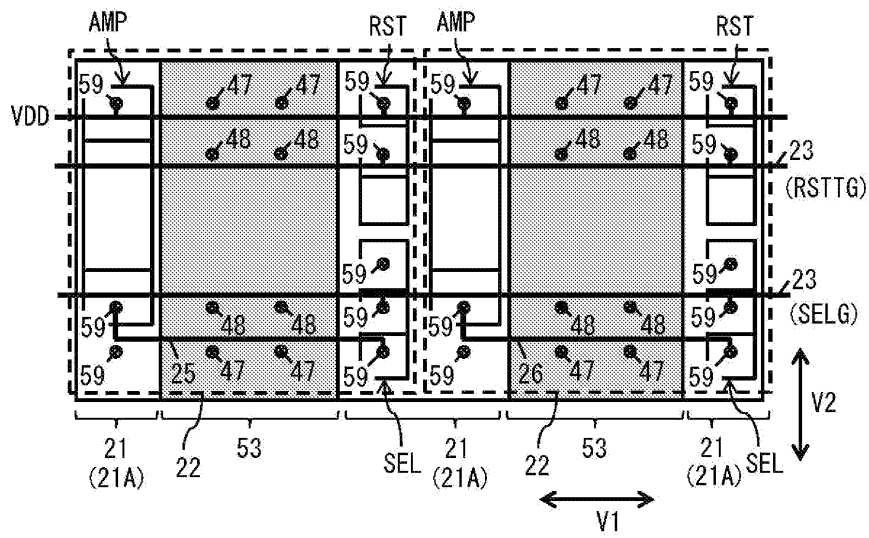
도면9



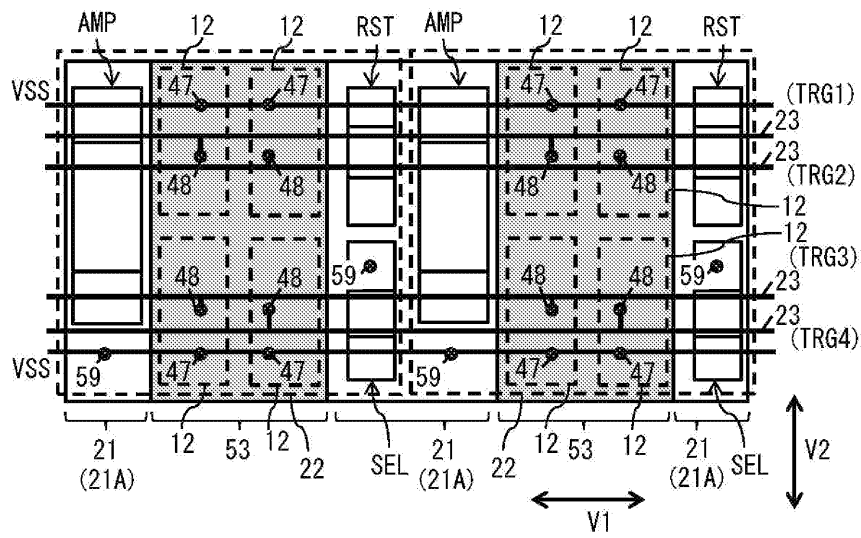
도면10



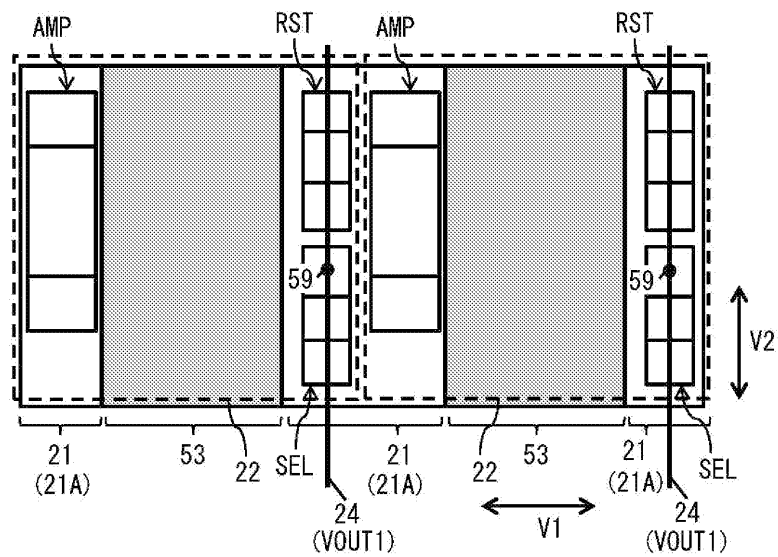
도면11



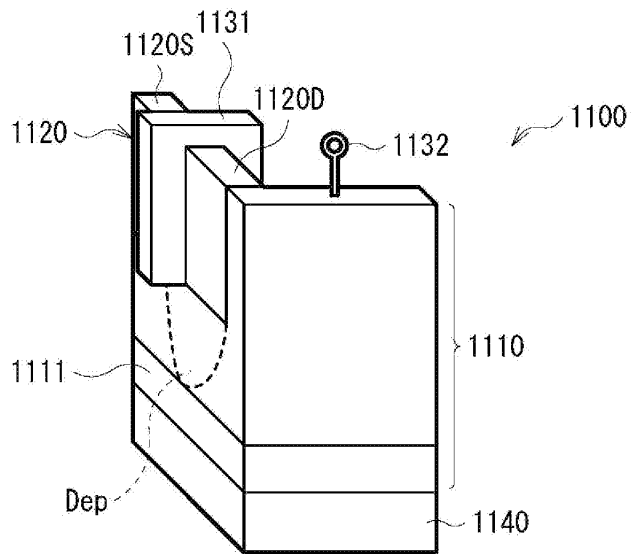
도면12



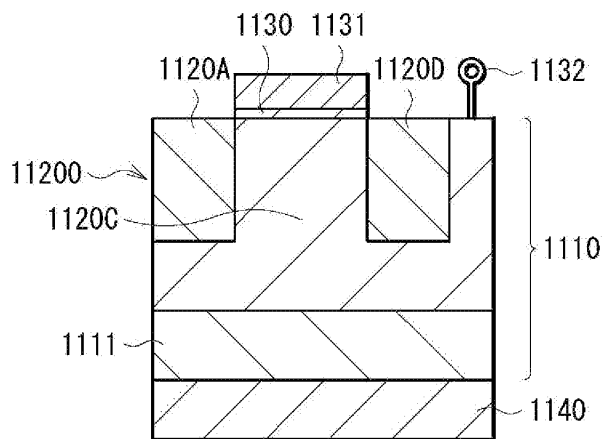
도면13



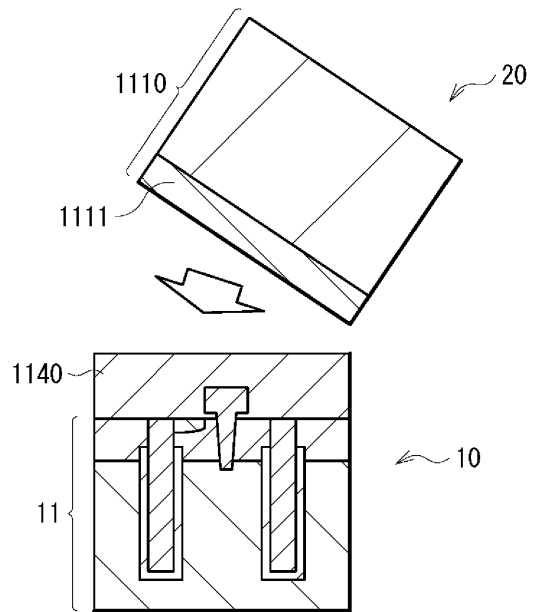
도면14a



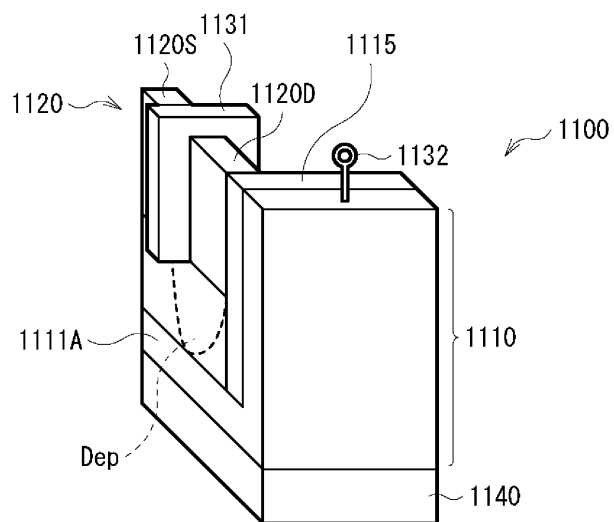
도면14b



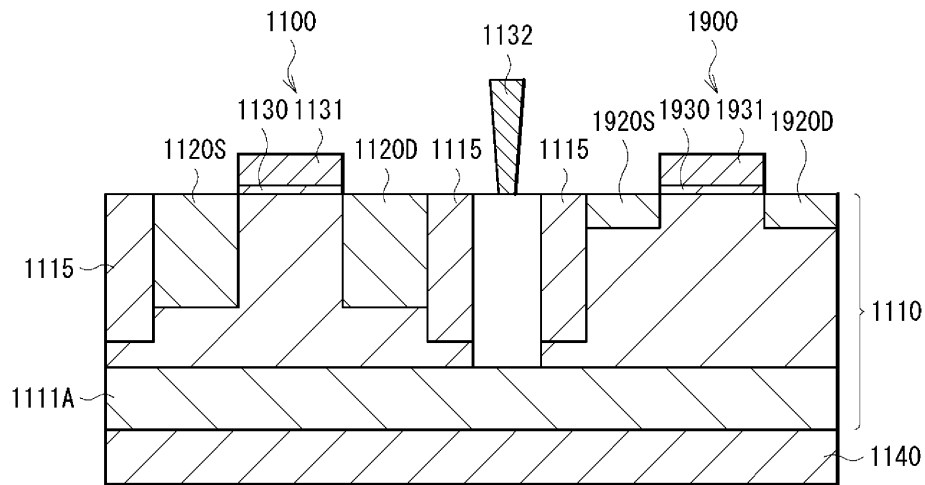
도면15



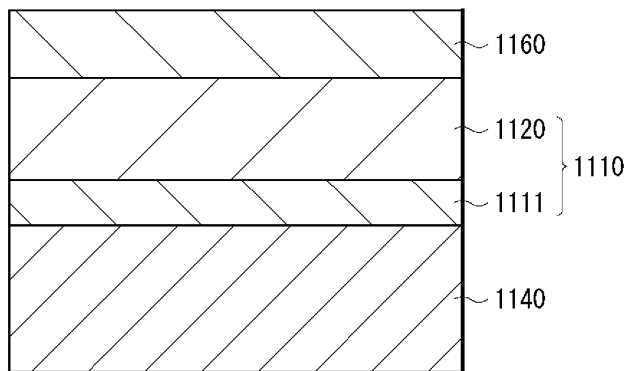
도면16



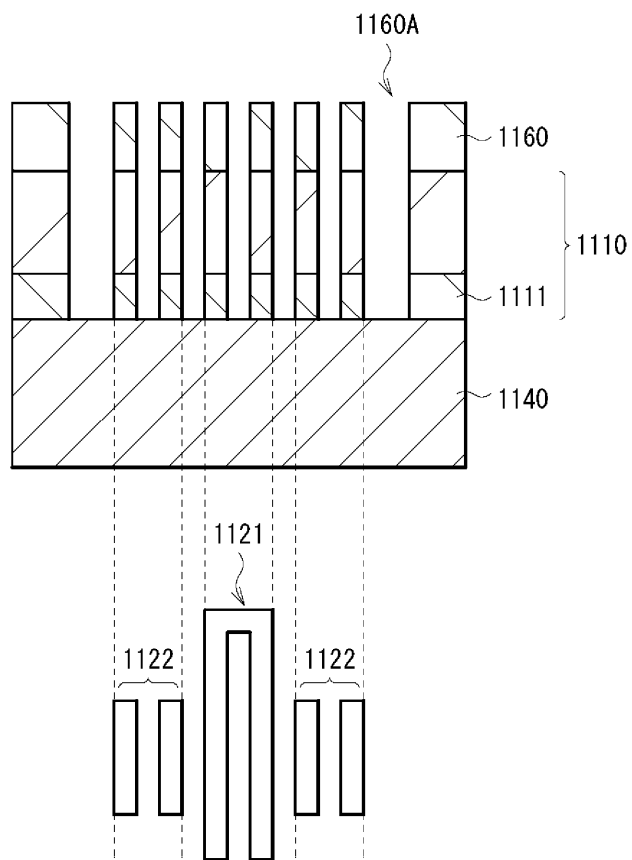
도면17



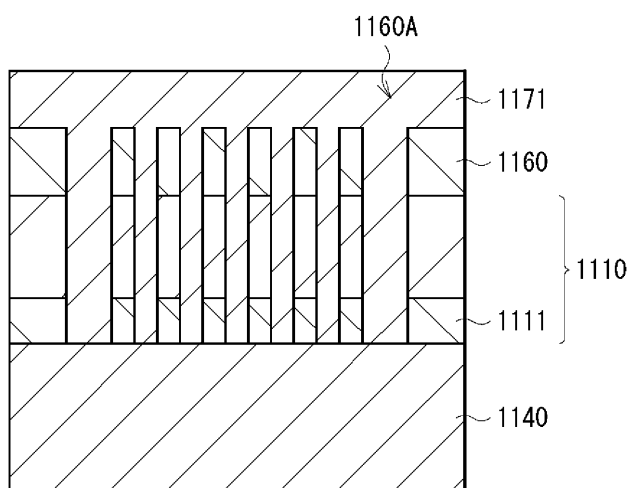
도면18



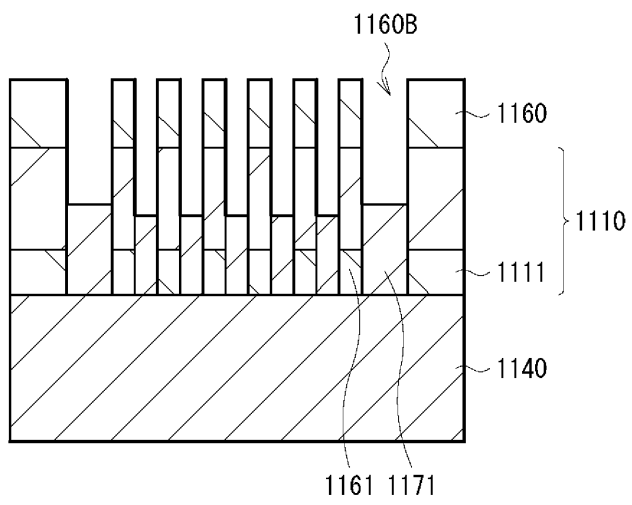
도면19



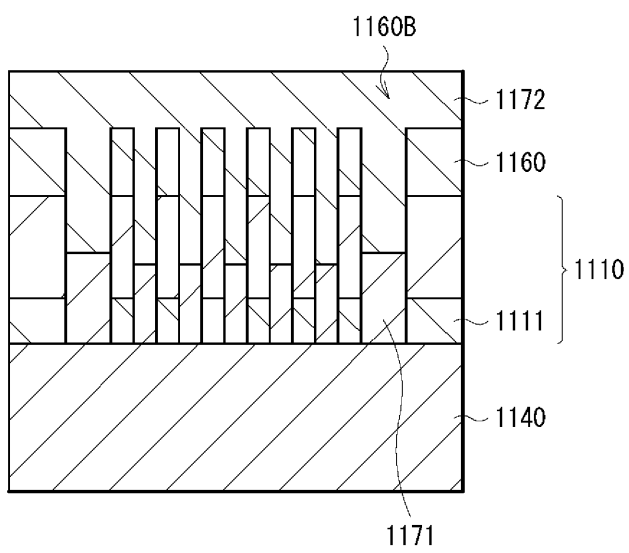
도면20



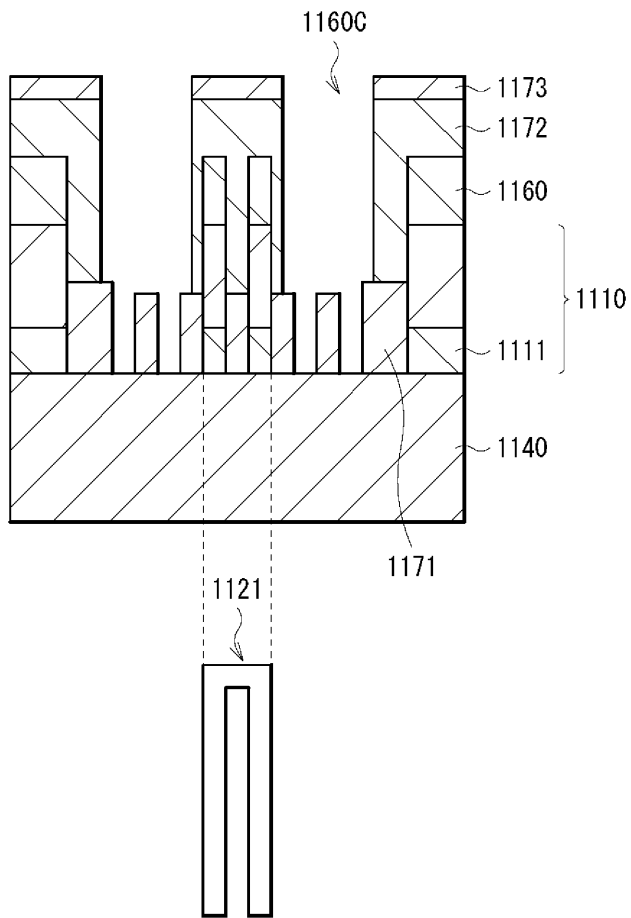
도면21



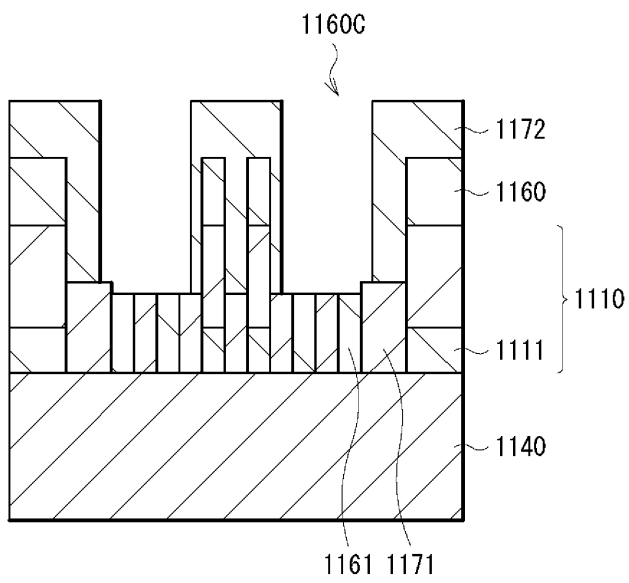
도면22



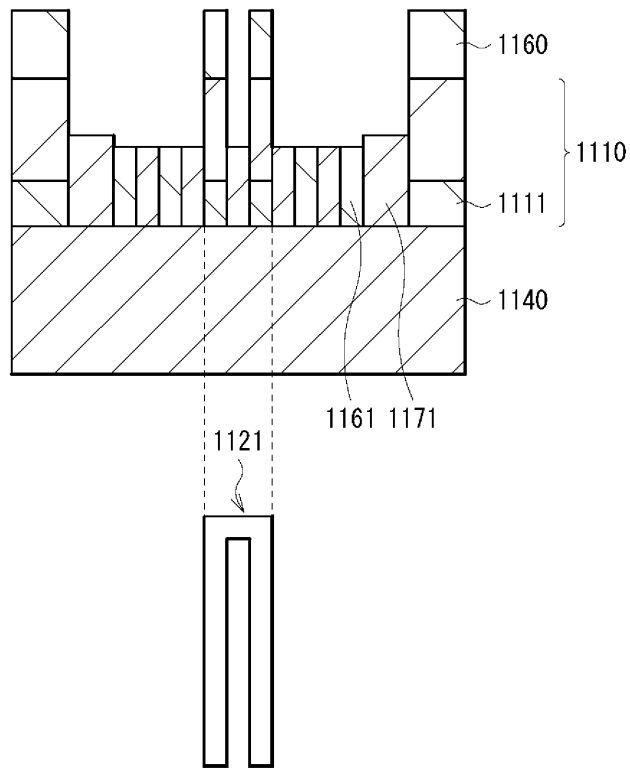
도면23



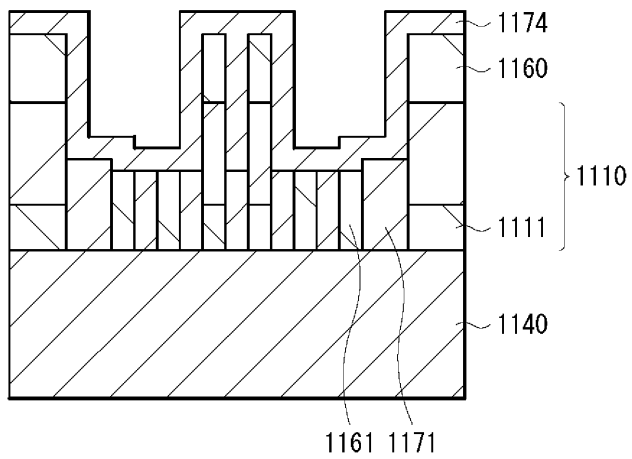
도면24



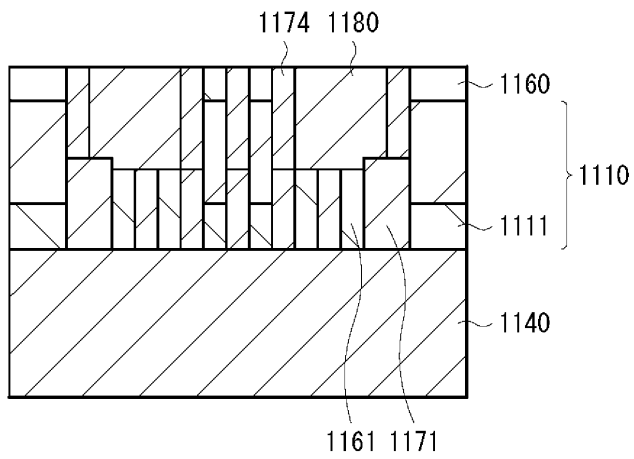
도면25



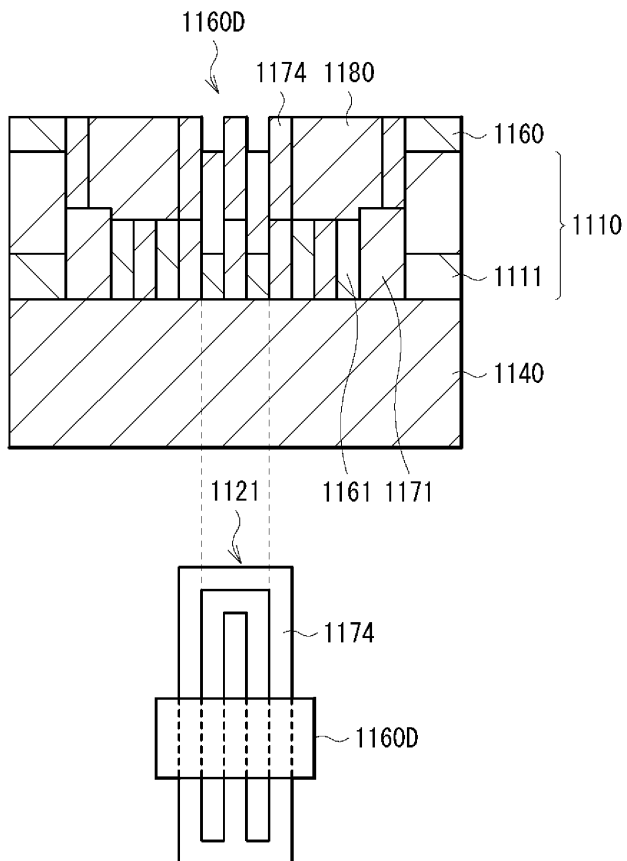
도면26



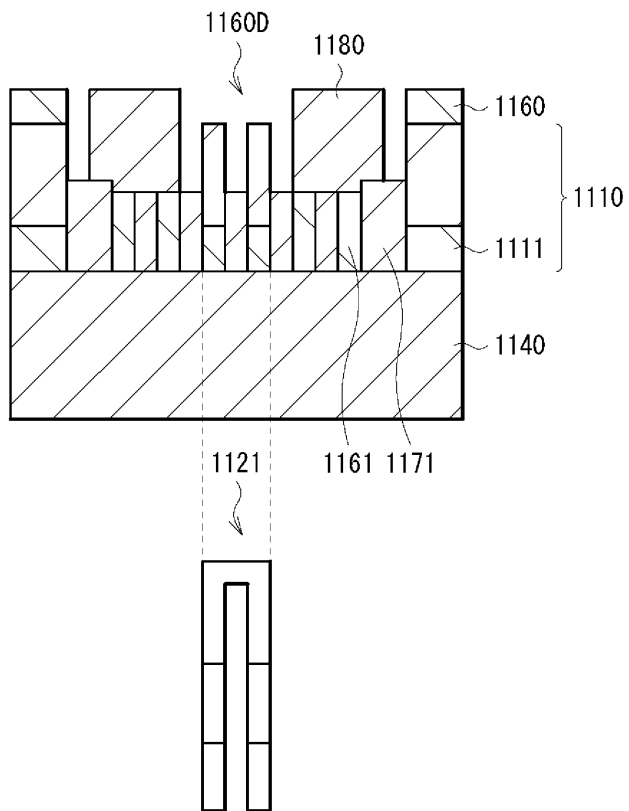
도면29



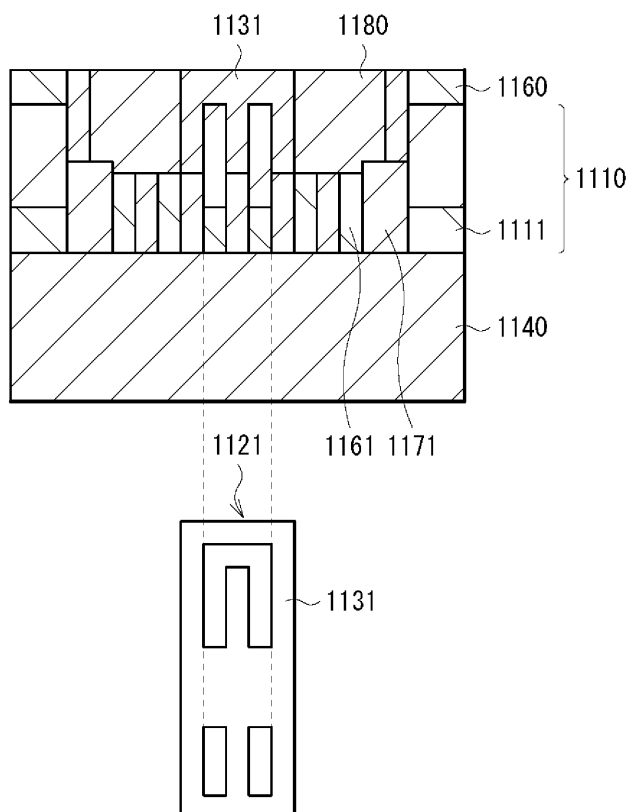
도면30



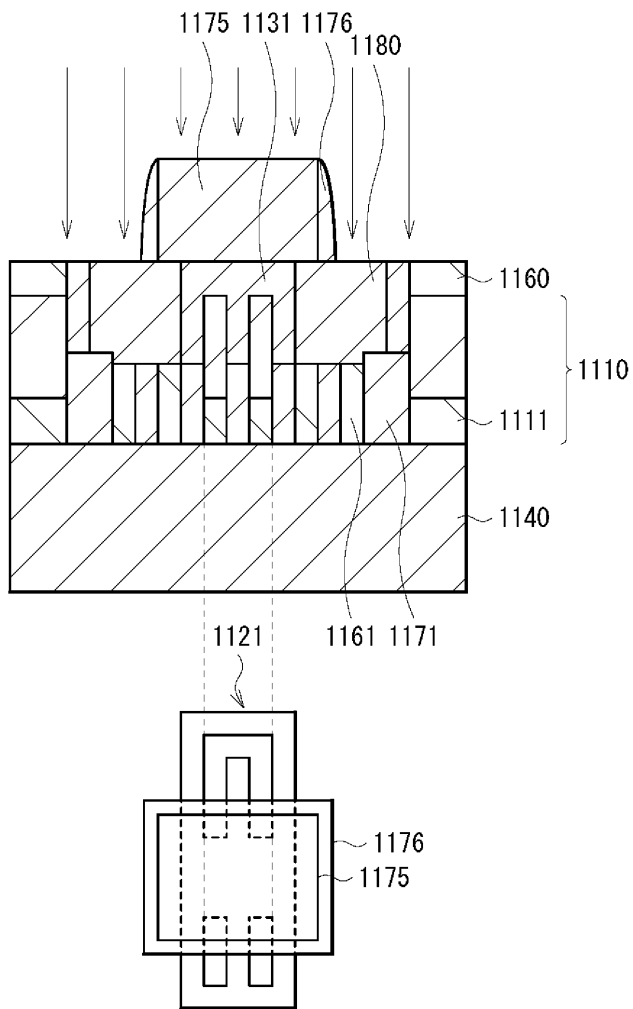
도면31



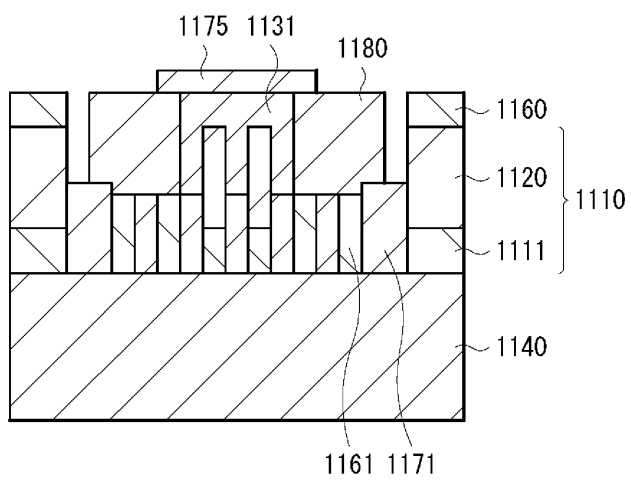
도면32



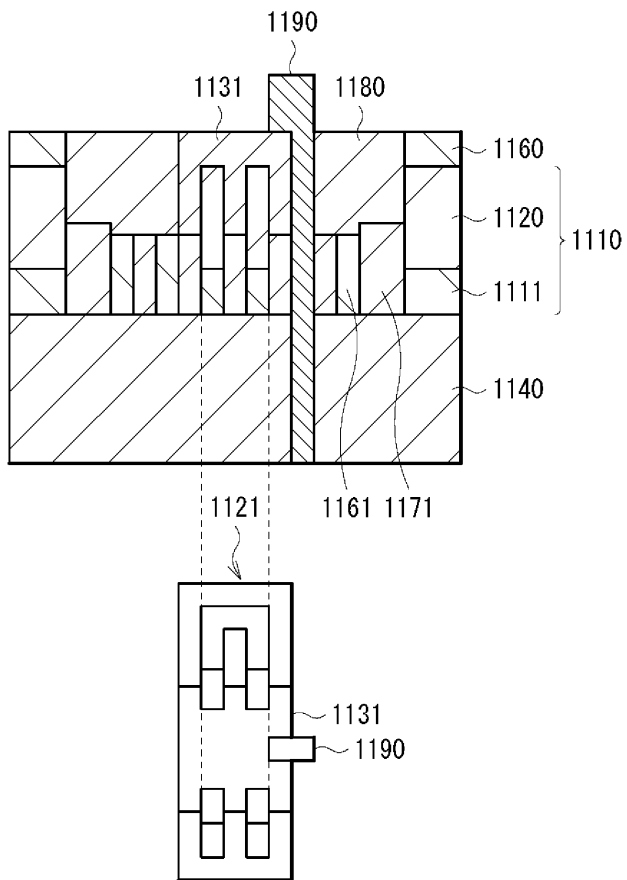
도면33



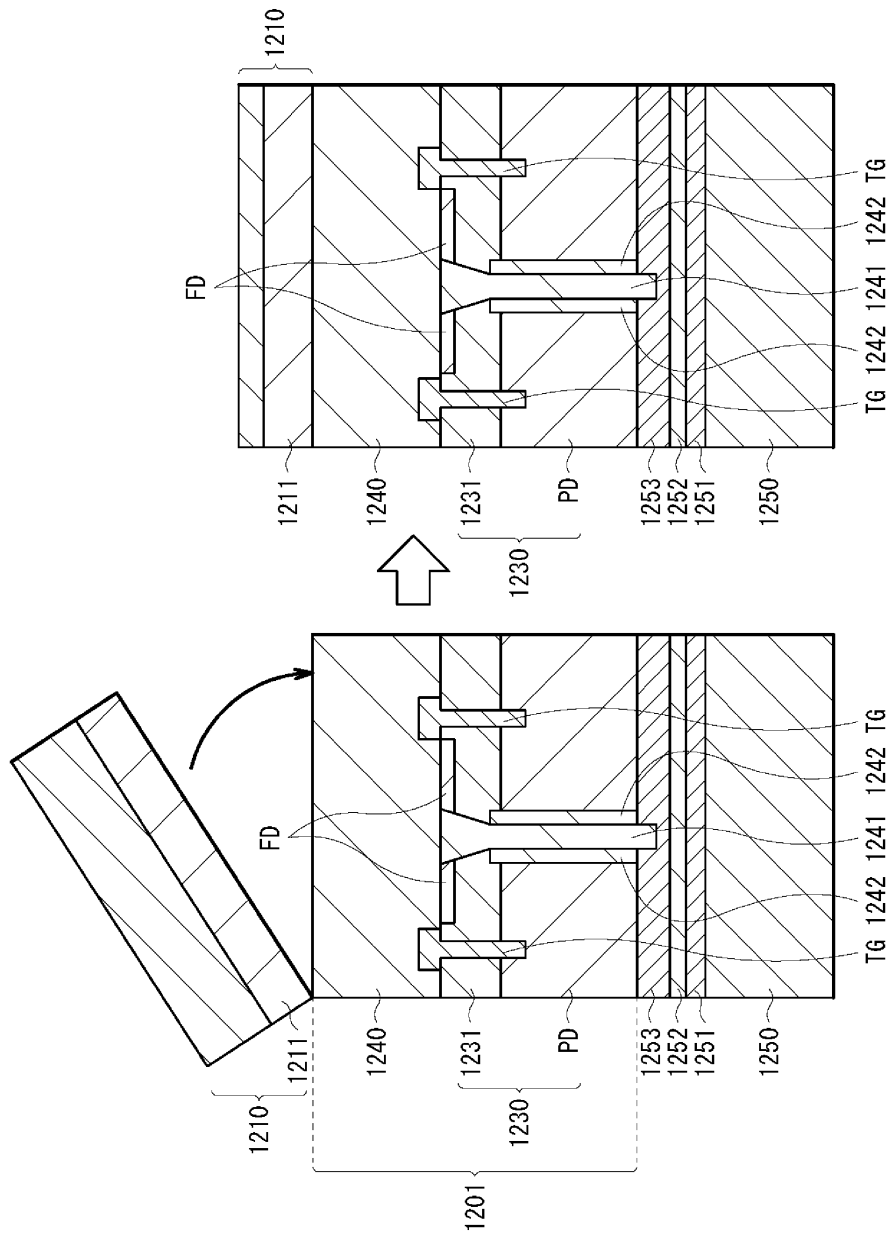
도면34



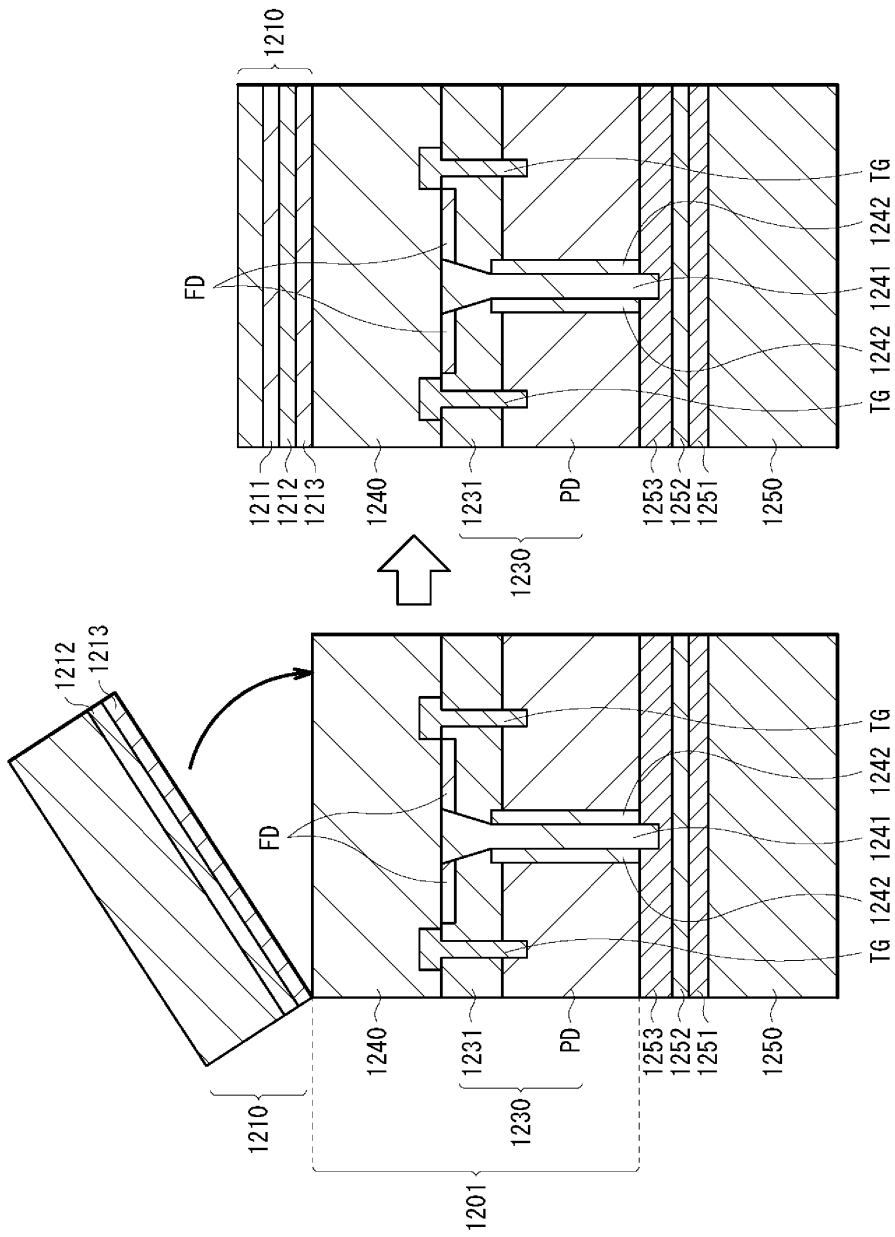
도면35



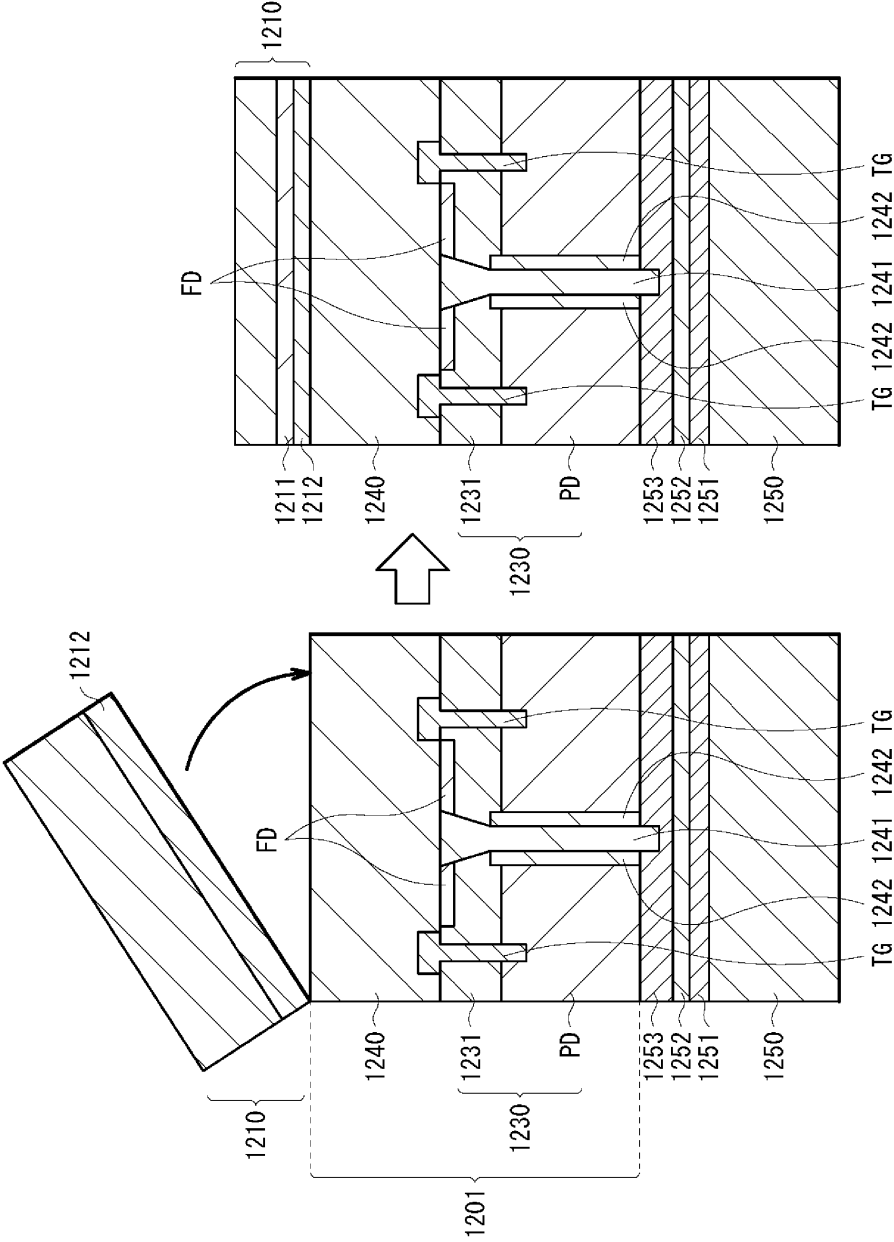
도면36



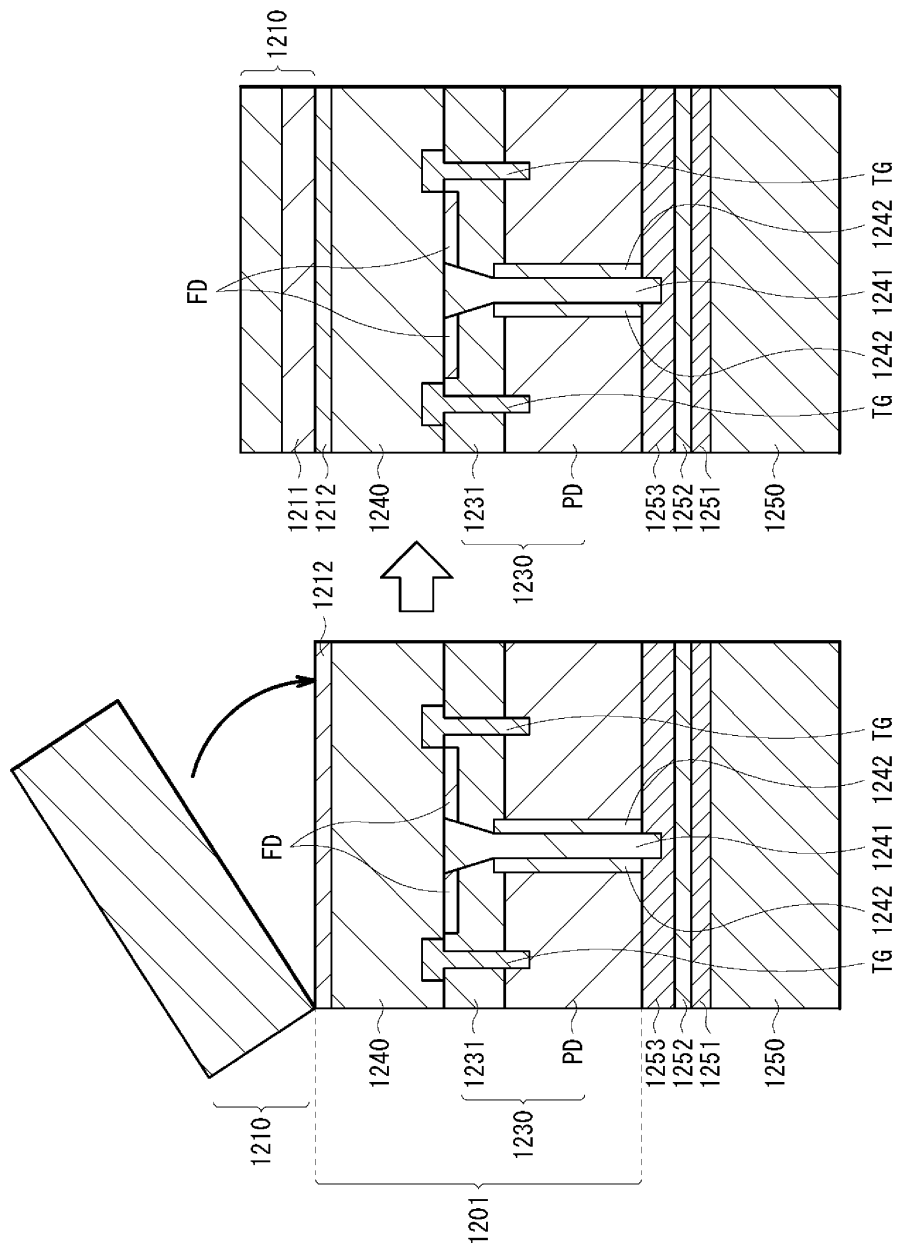
도면37



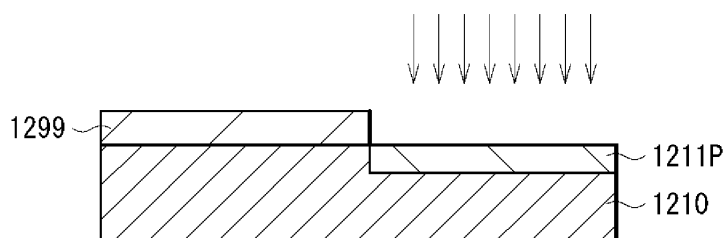
도면38



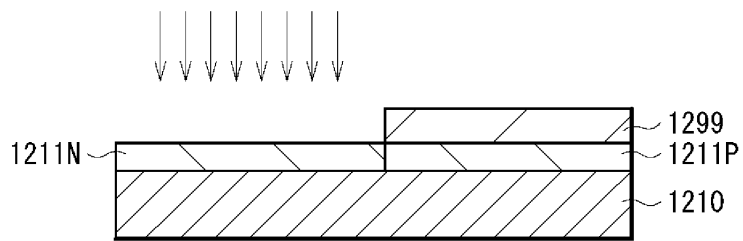
도면 39



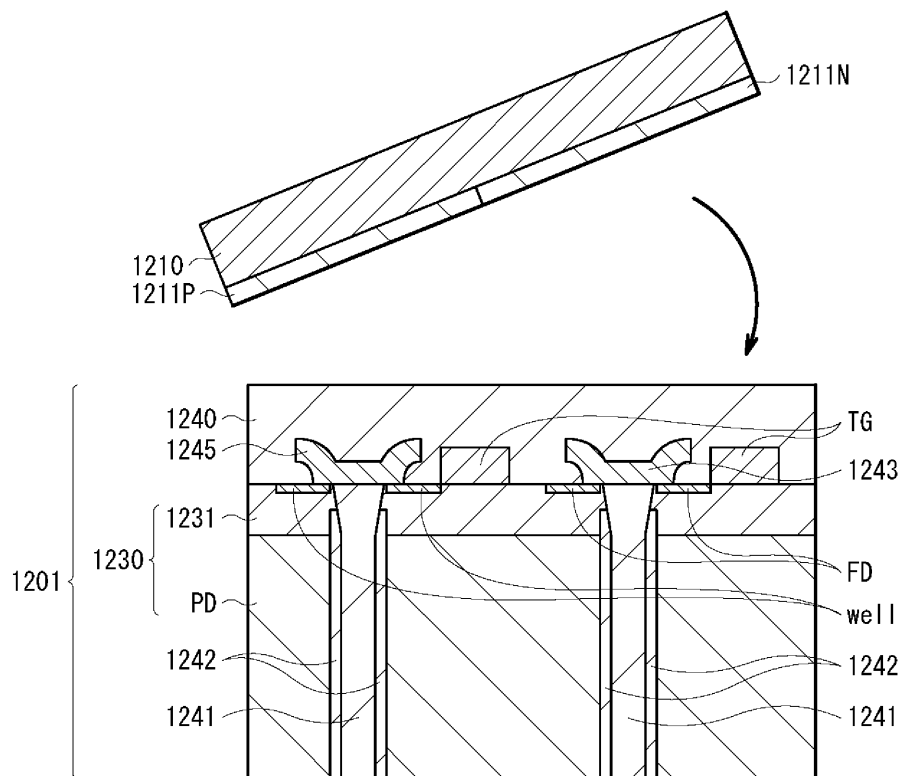
도면40



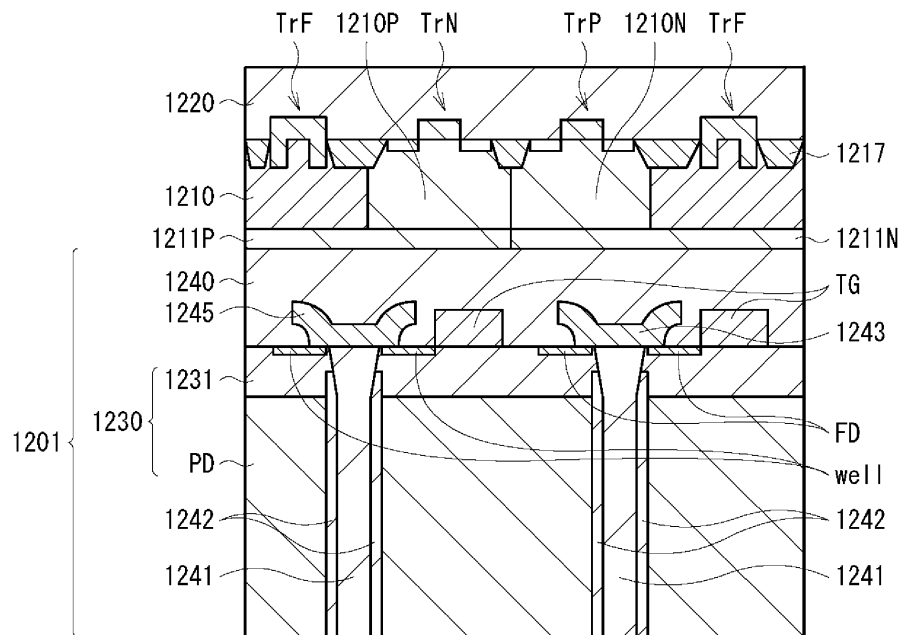
도면41



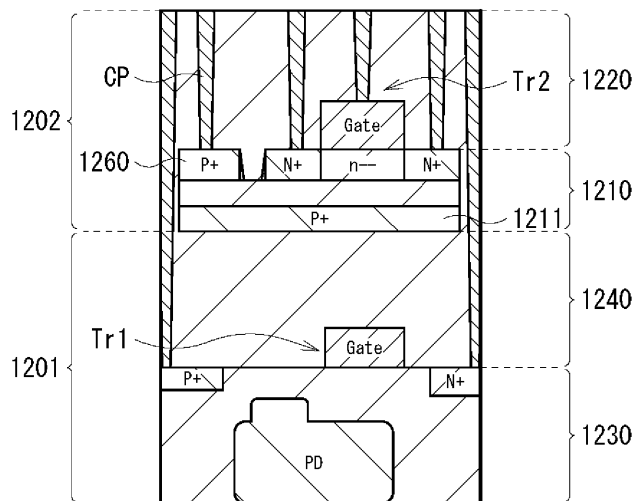
도면42



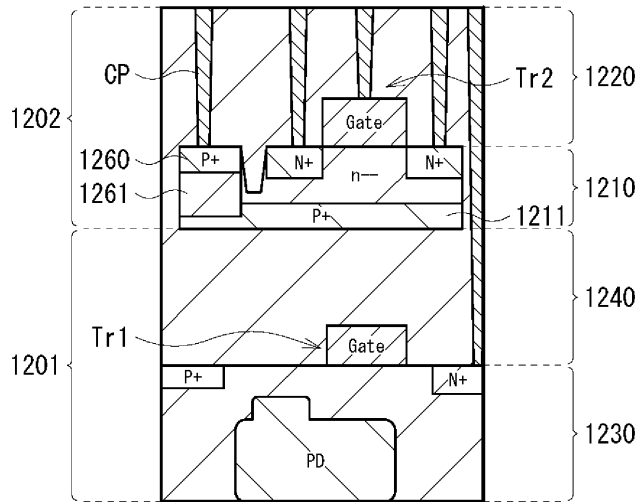
도면43



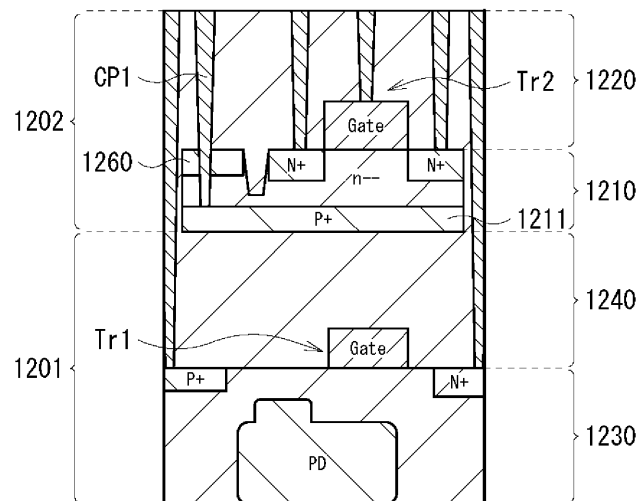
도면44



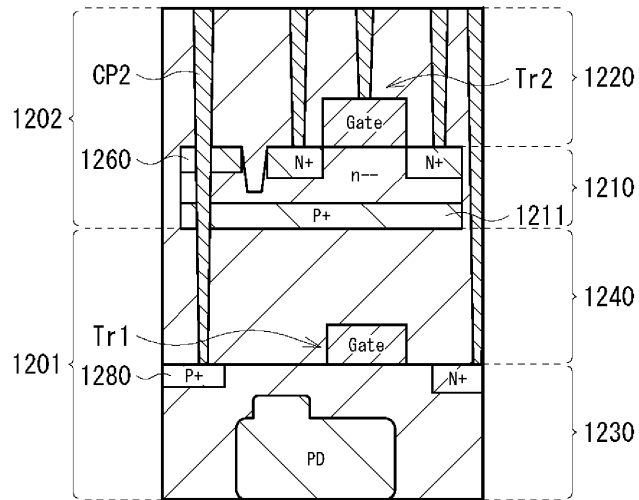
도면45



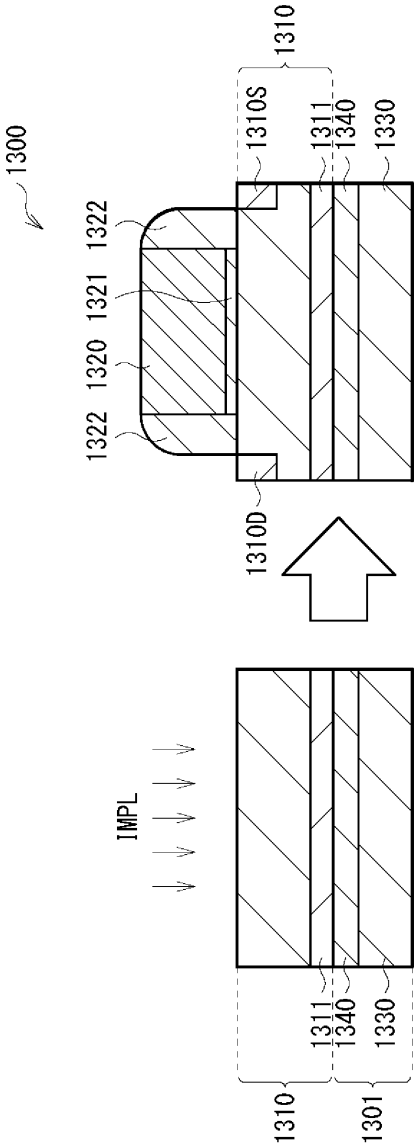
도면46



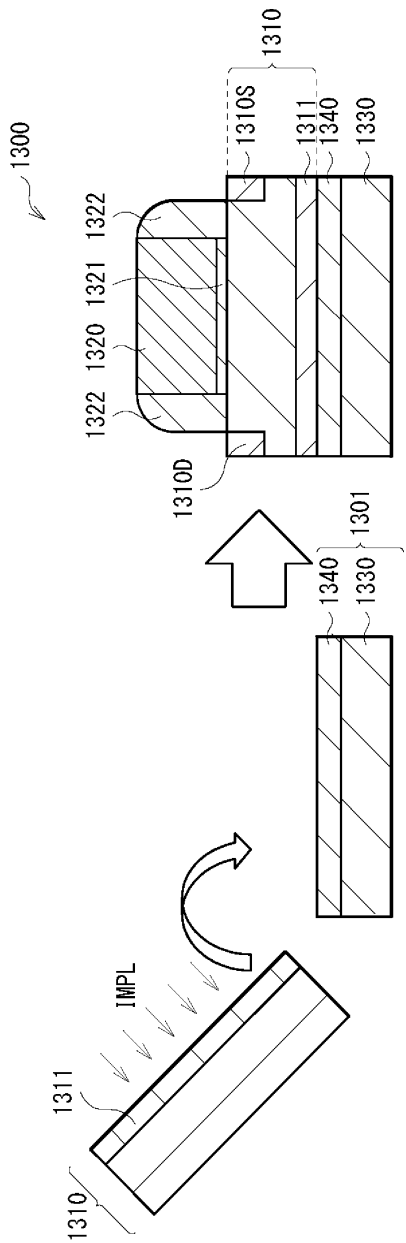
도면47



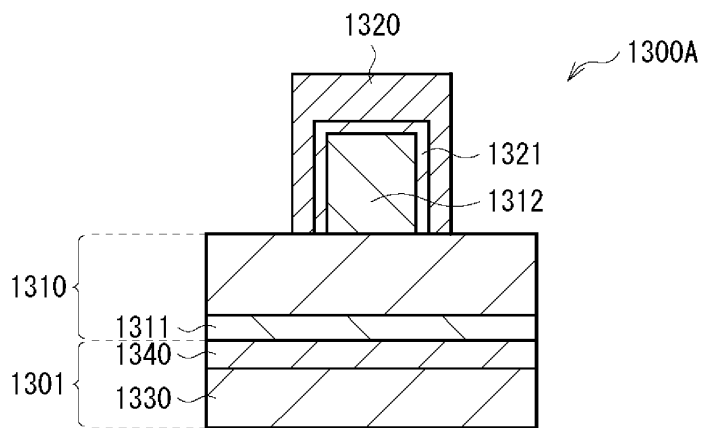
도면48



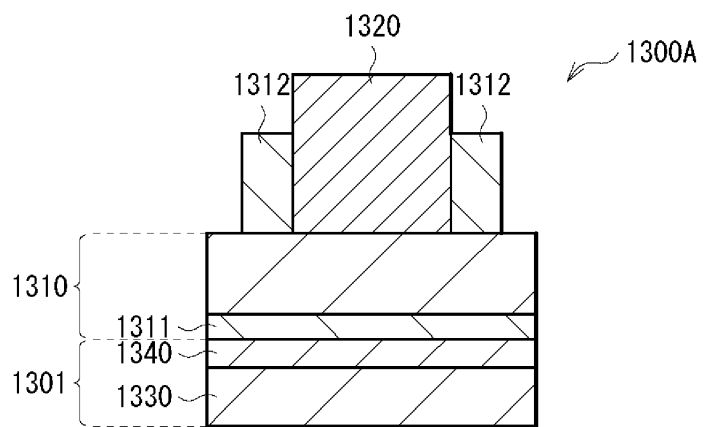
도면49



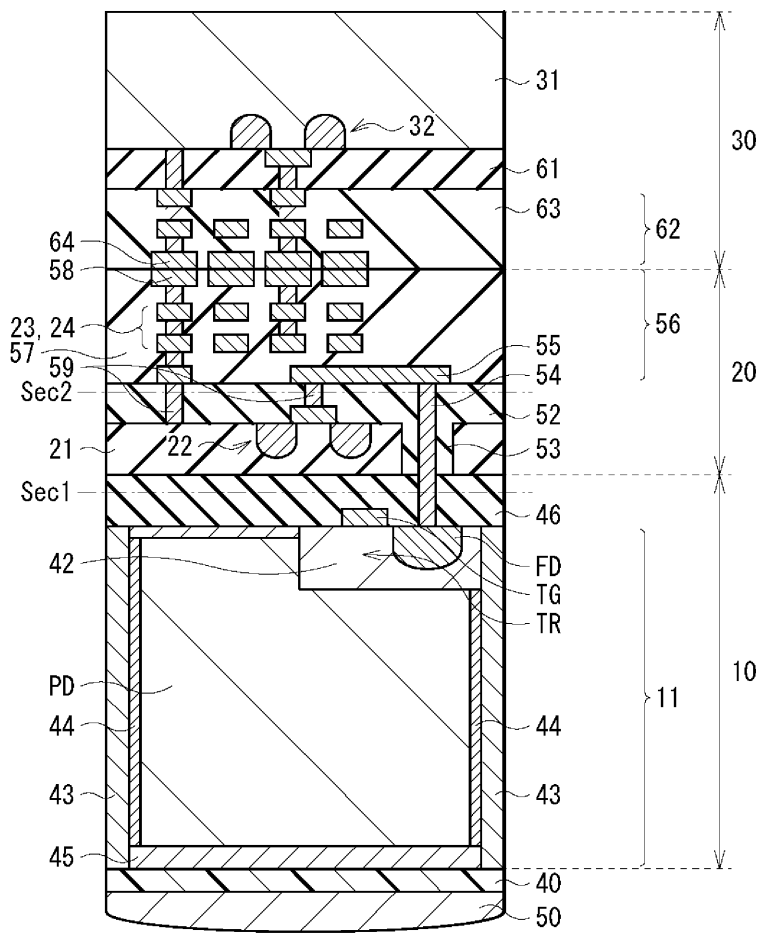
도면50



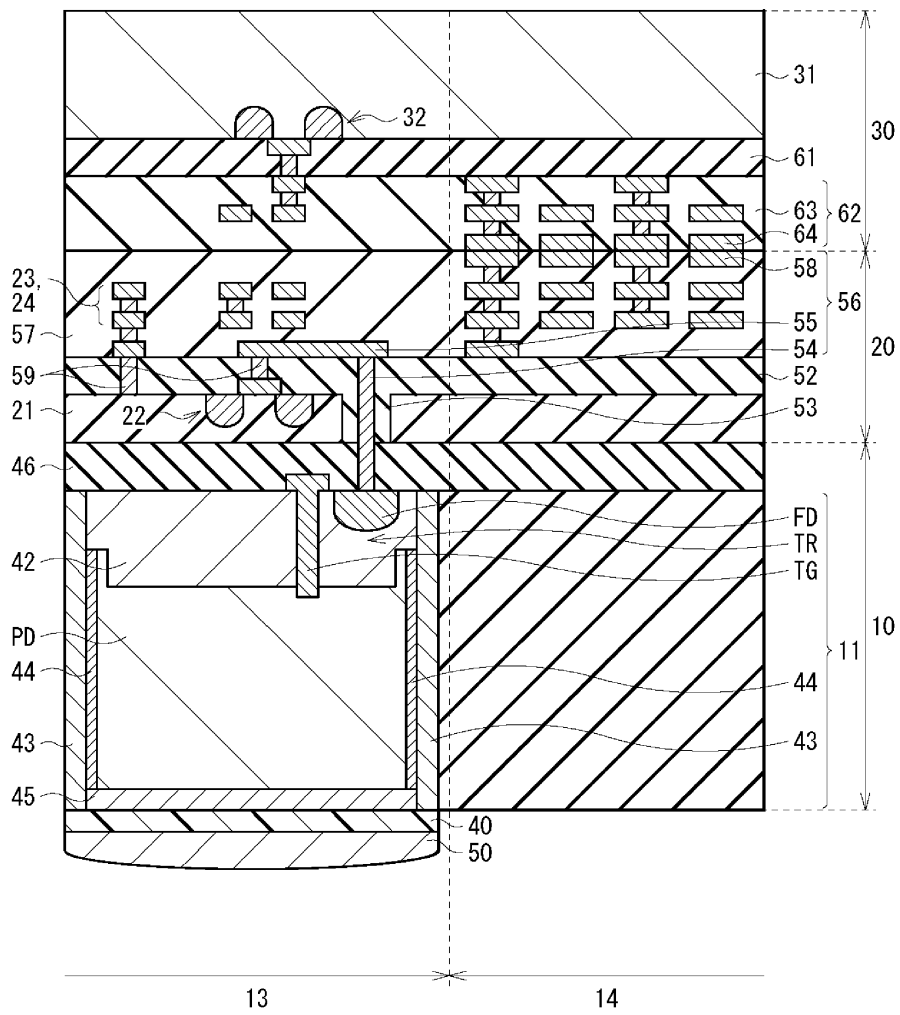
도면51



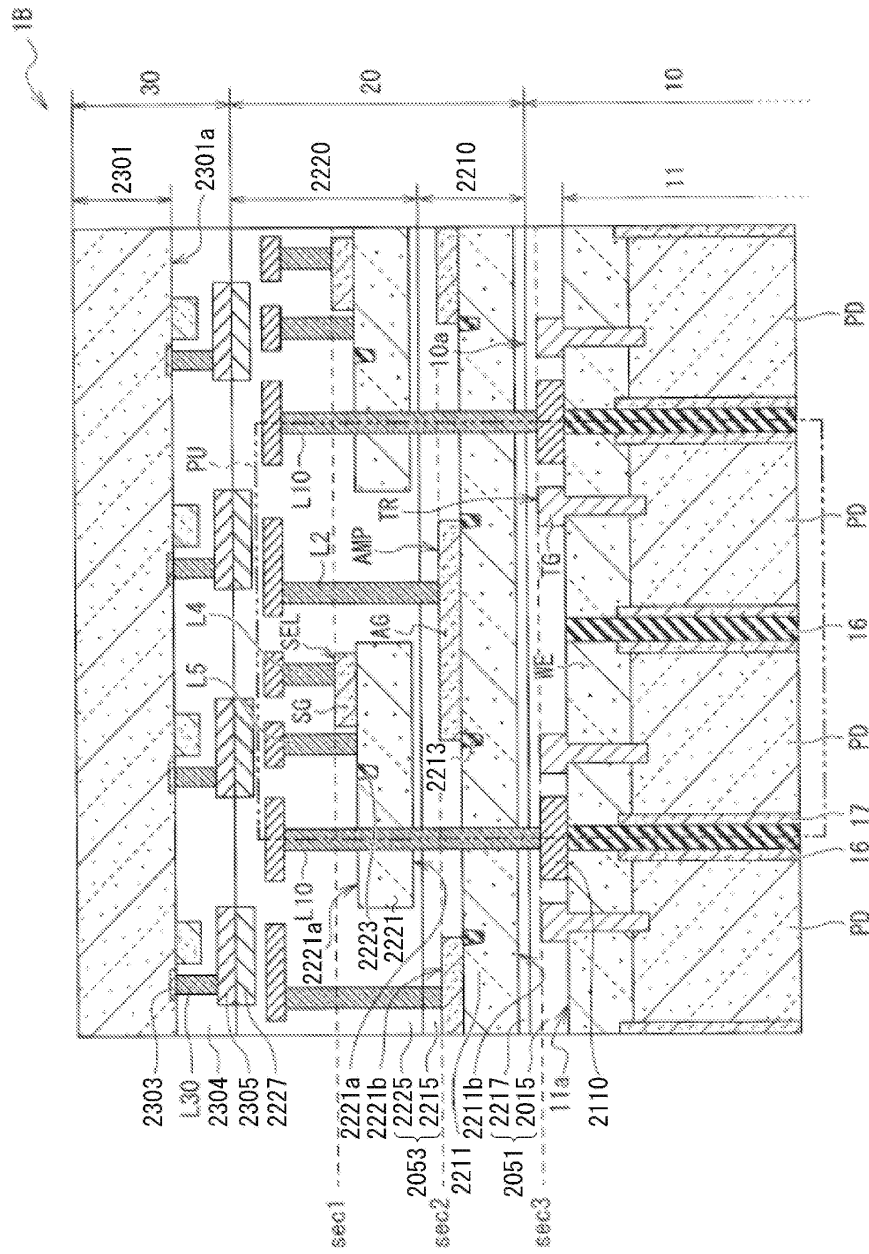
도면52



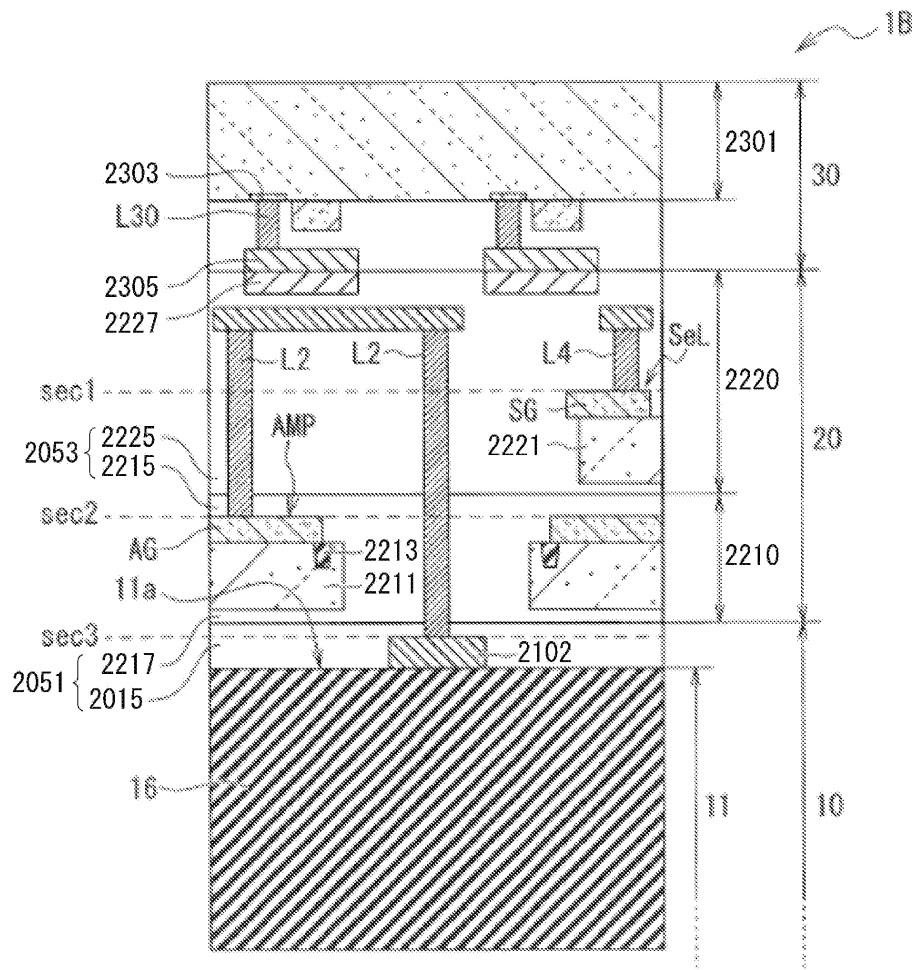
도면53



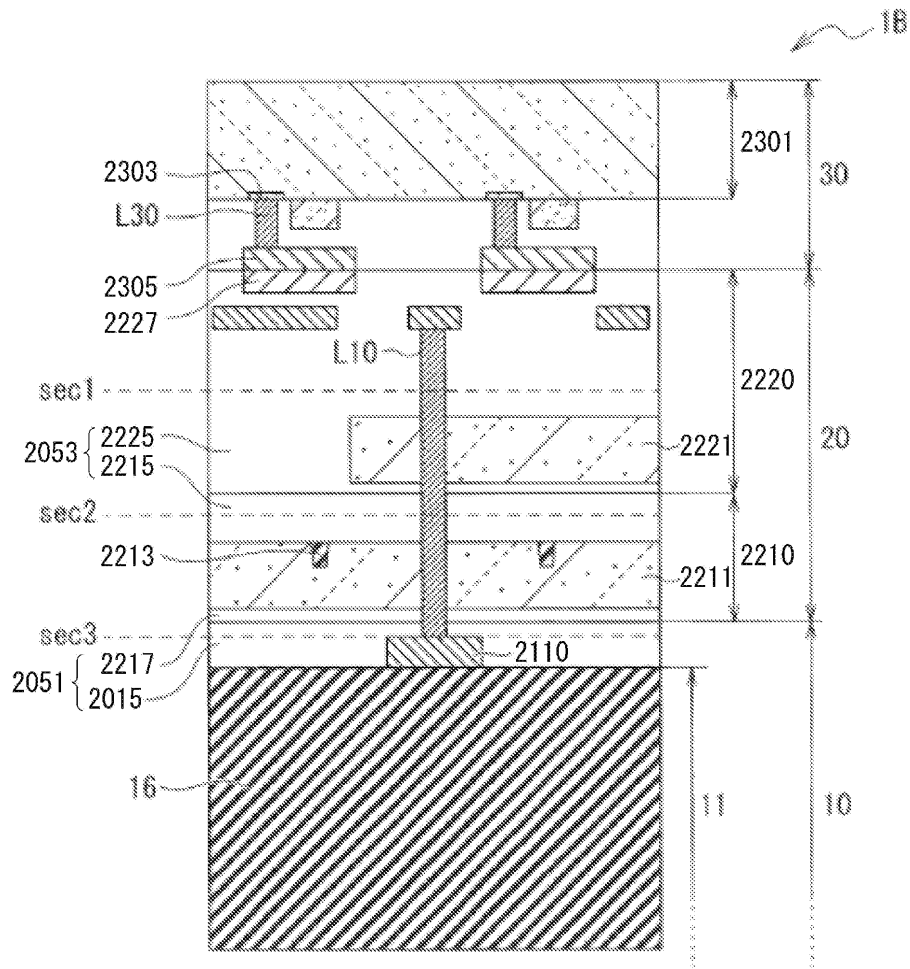
도면54



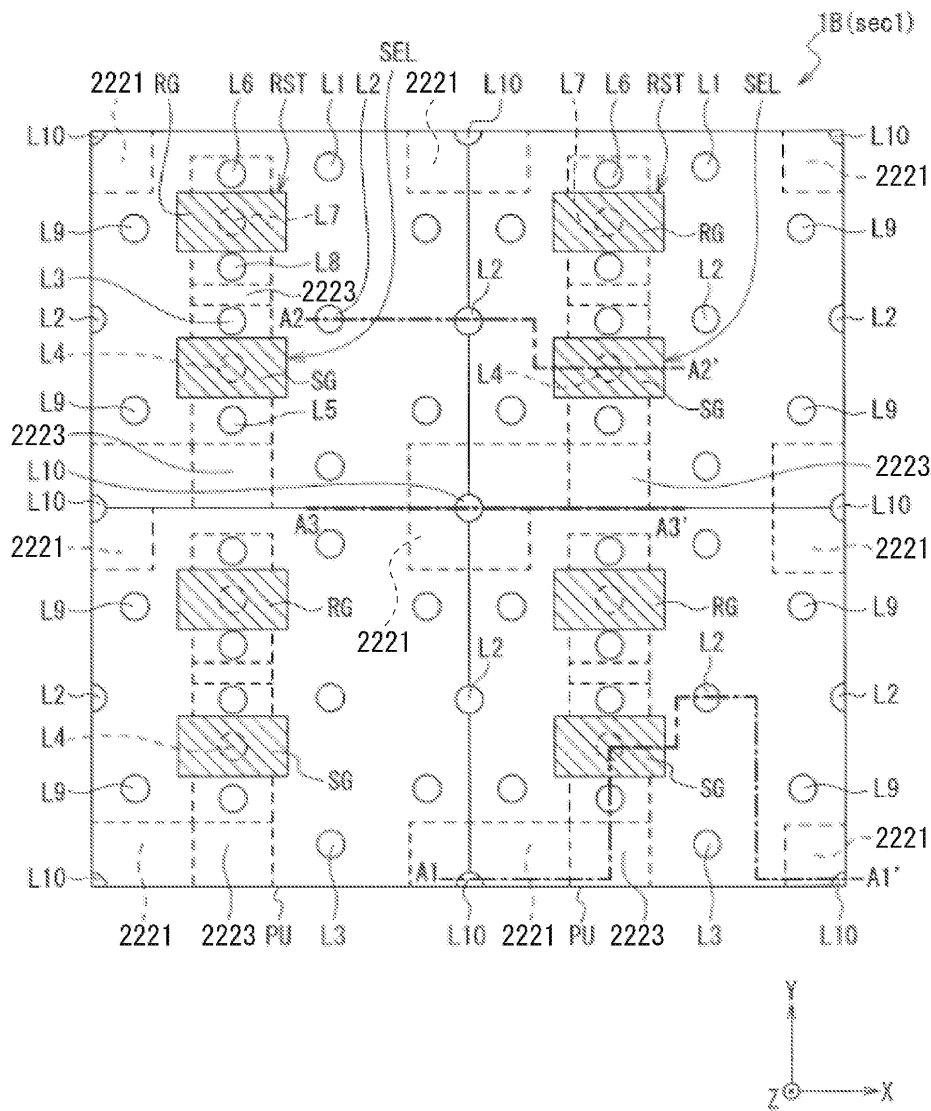
도면55



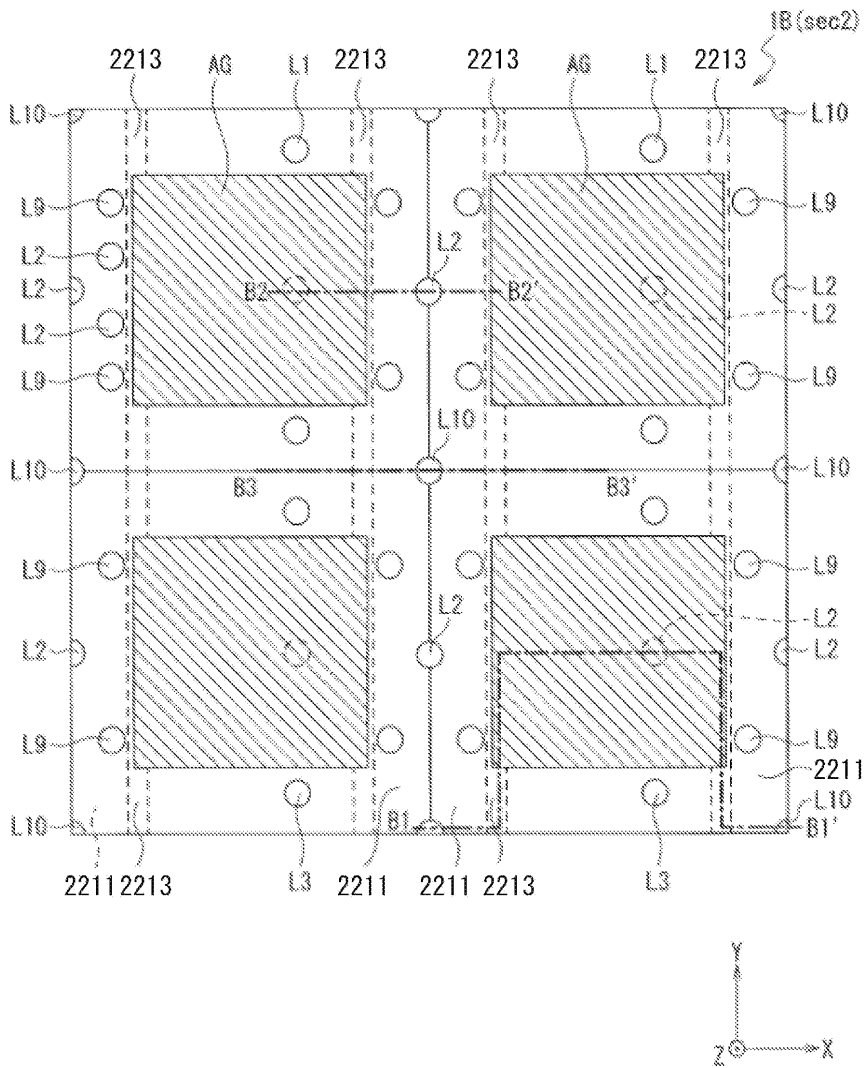
도면56



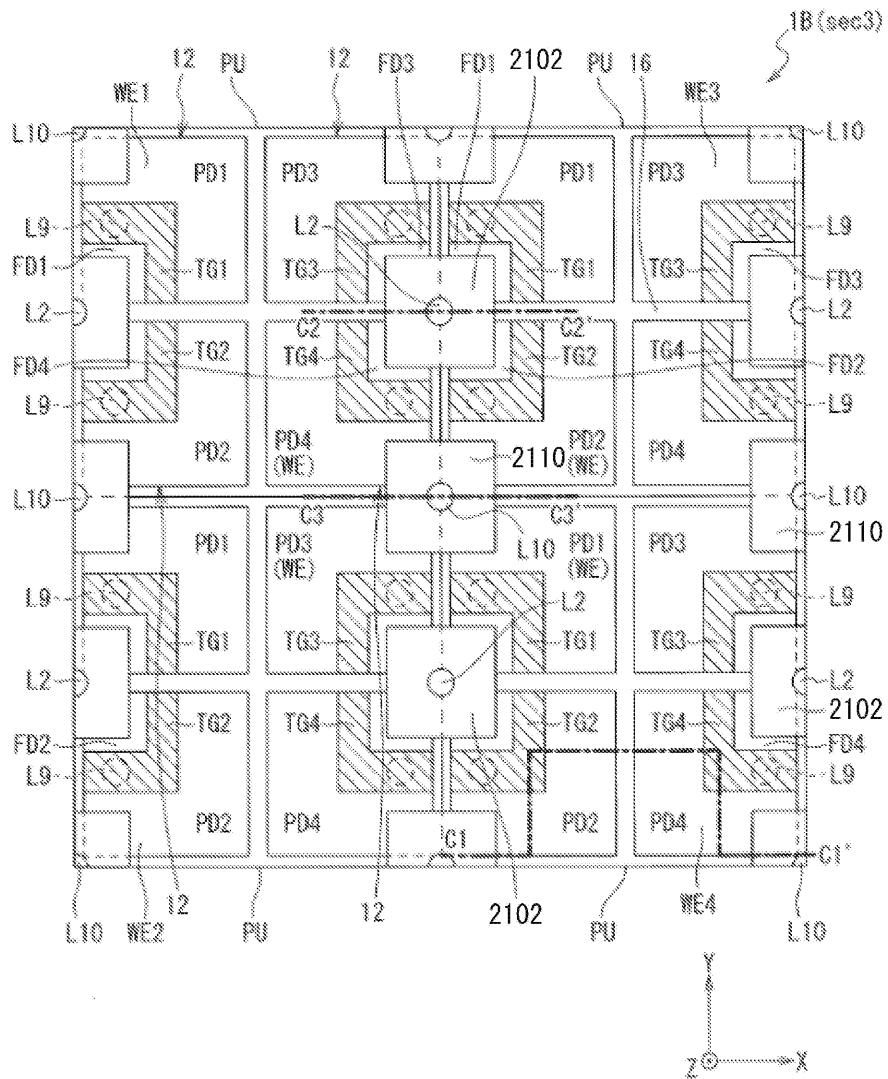
도면57



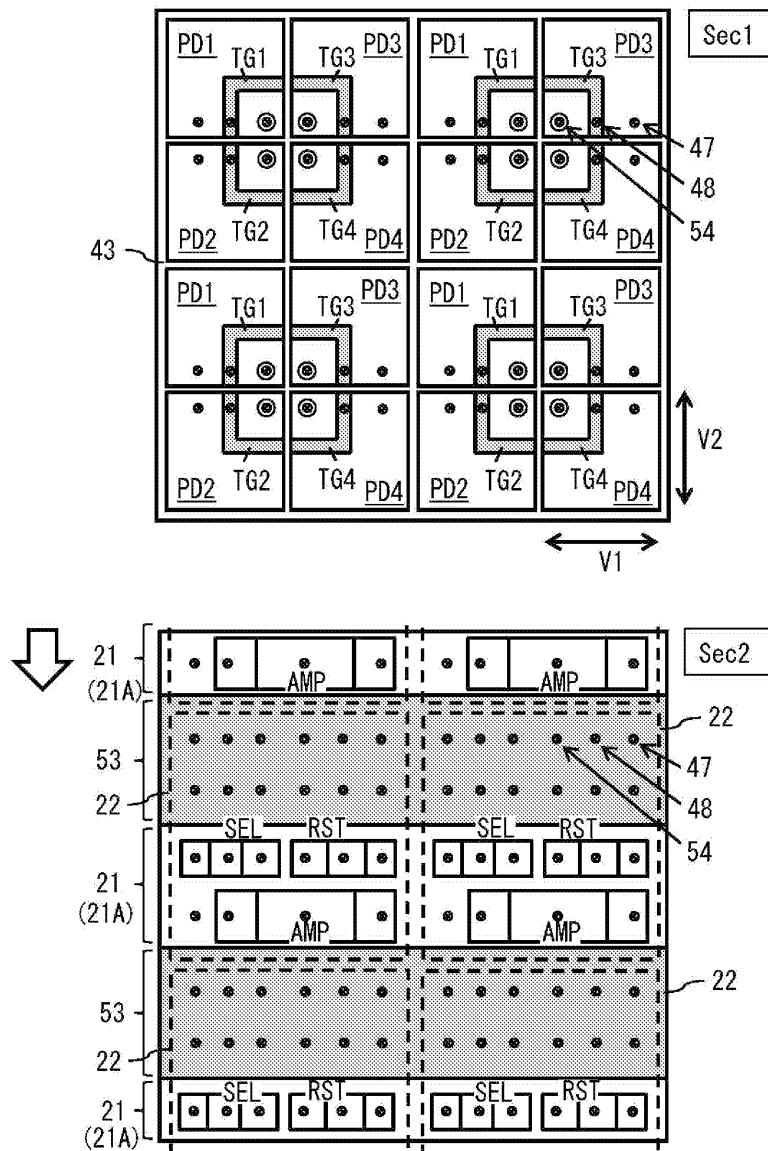
도면58



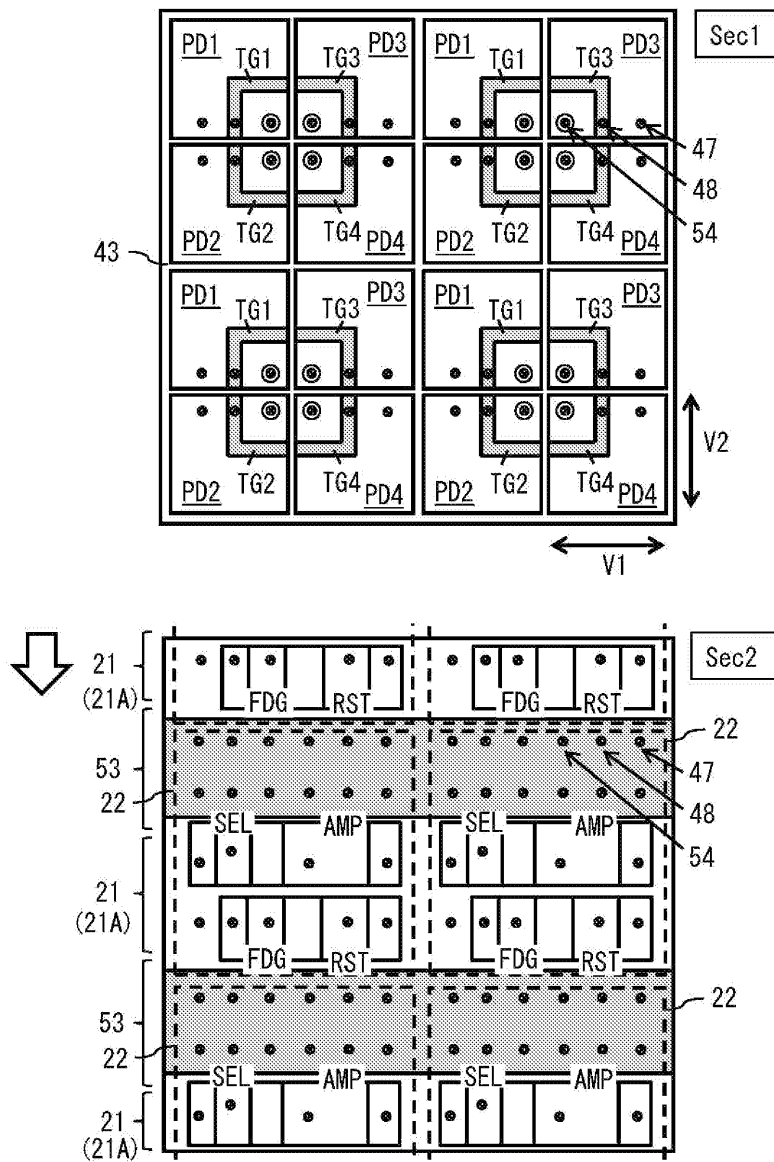
도면59



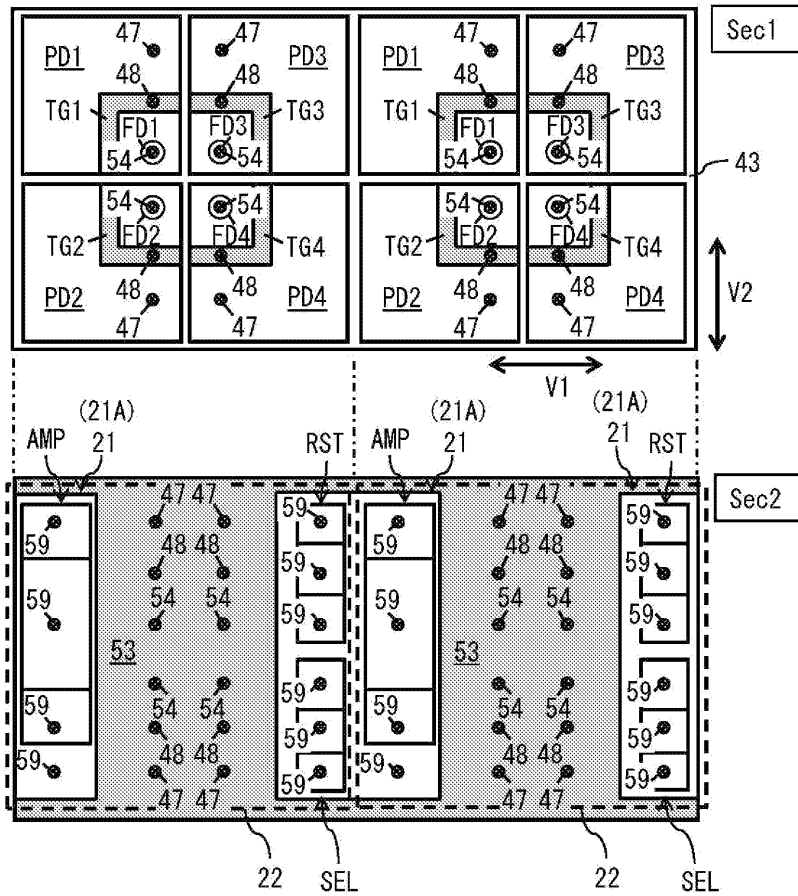
도면60



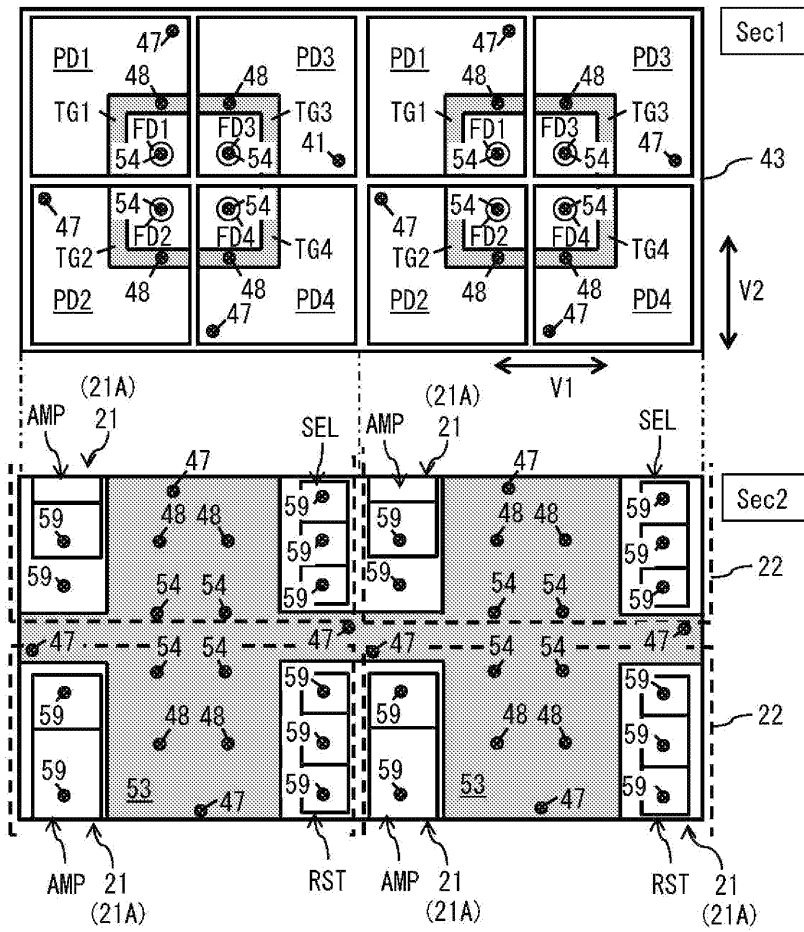
도면61



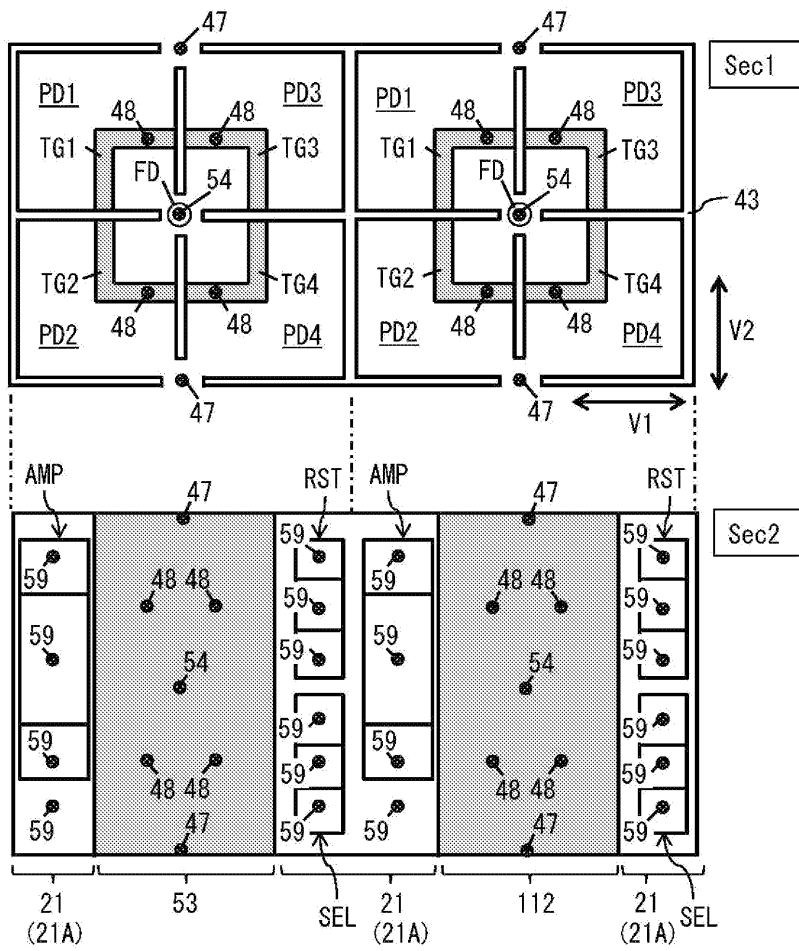
도면62



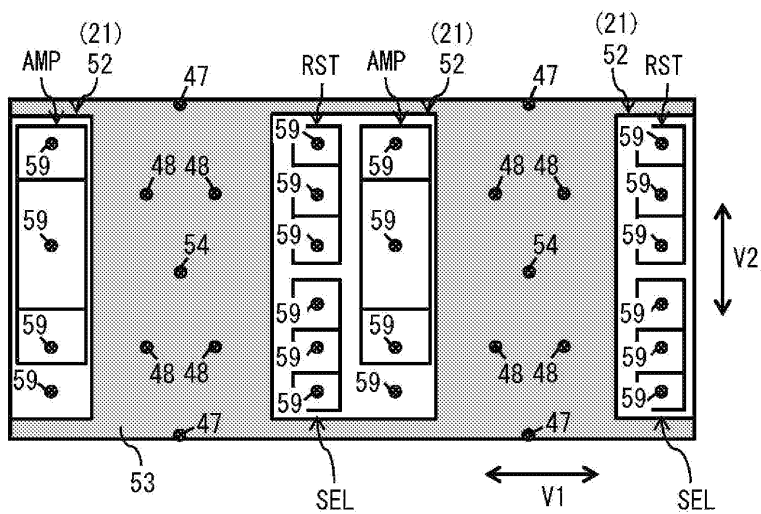
도면 63



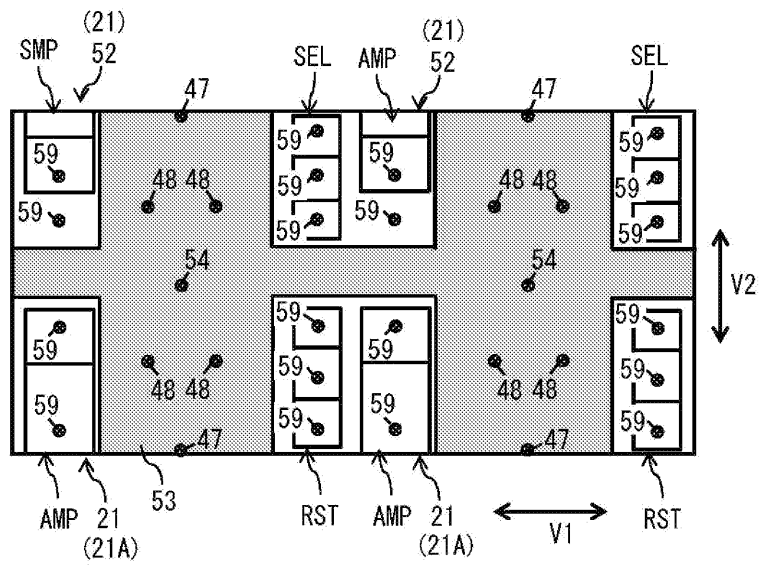
도면64



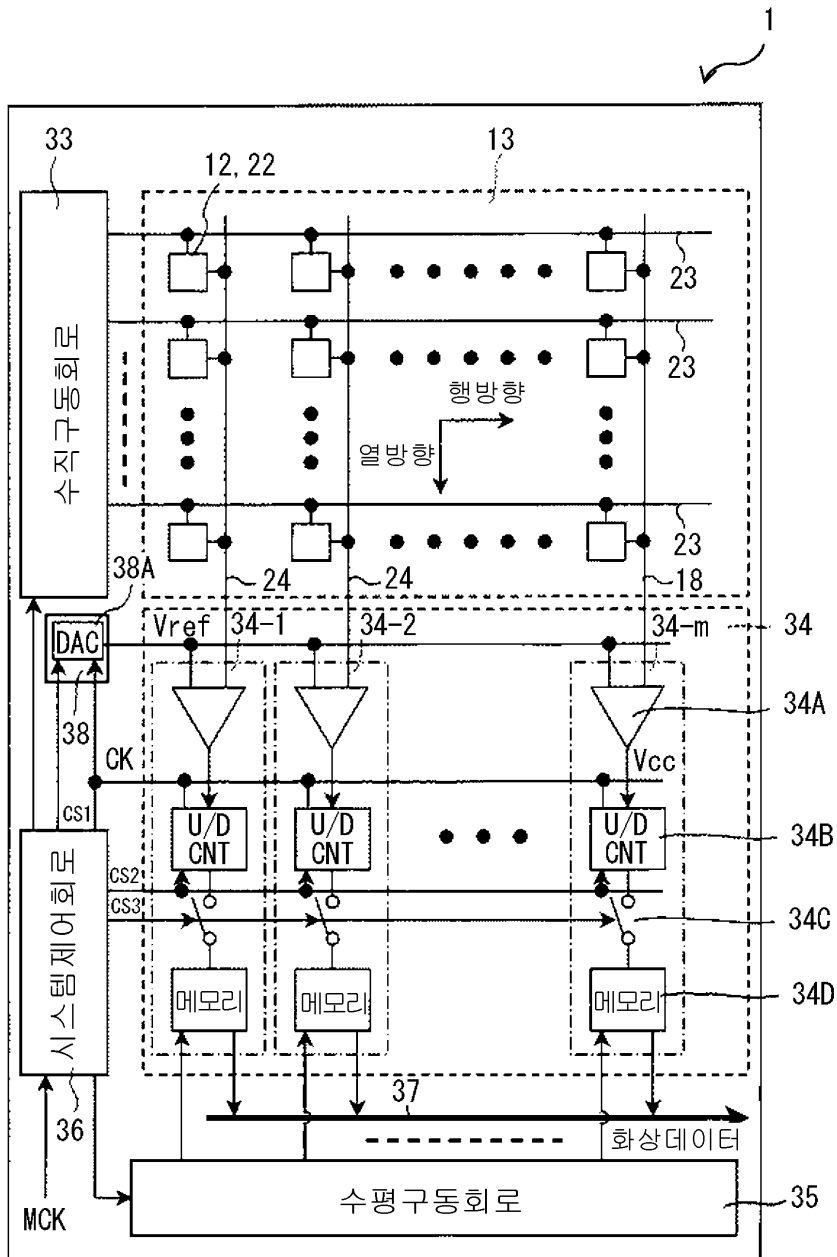
도면65



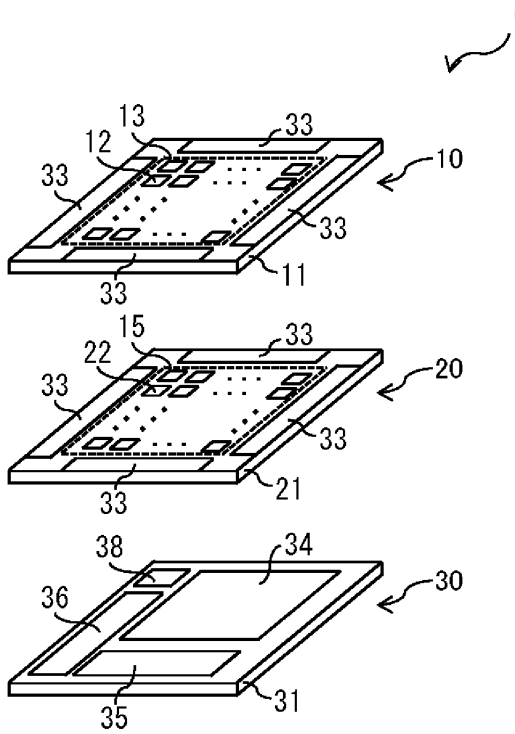
도면66



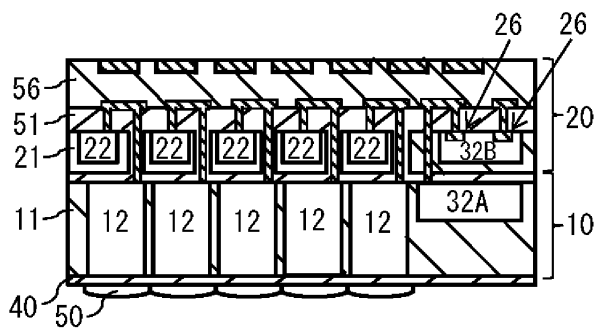
도면67



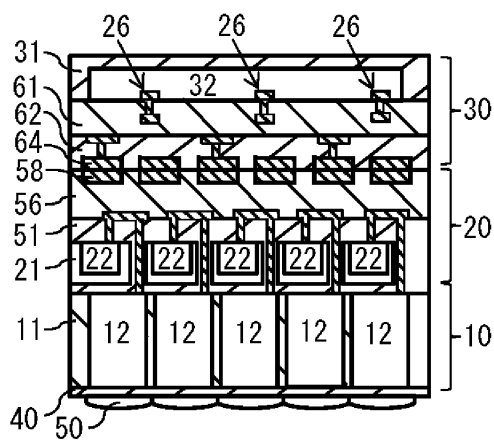
도면68



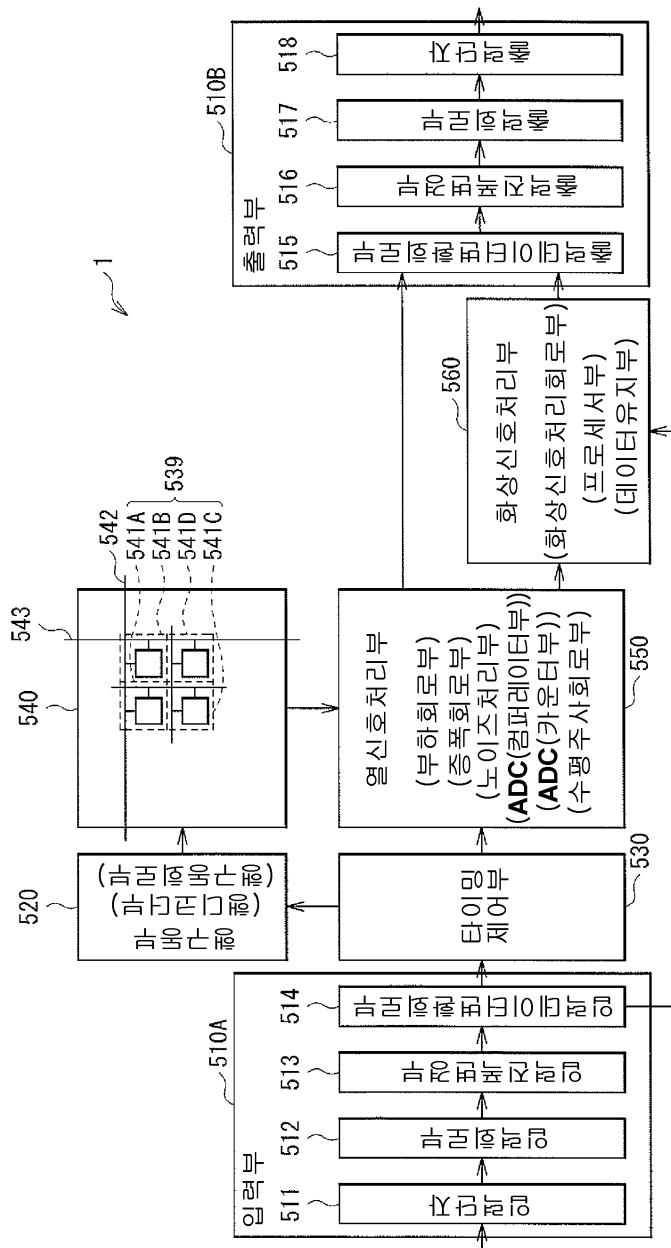
도면69



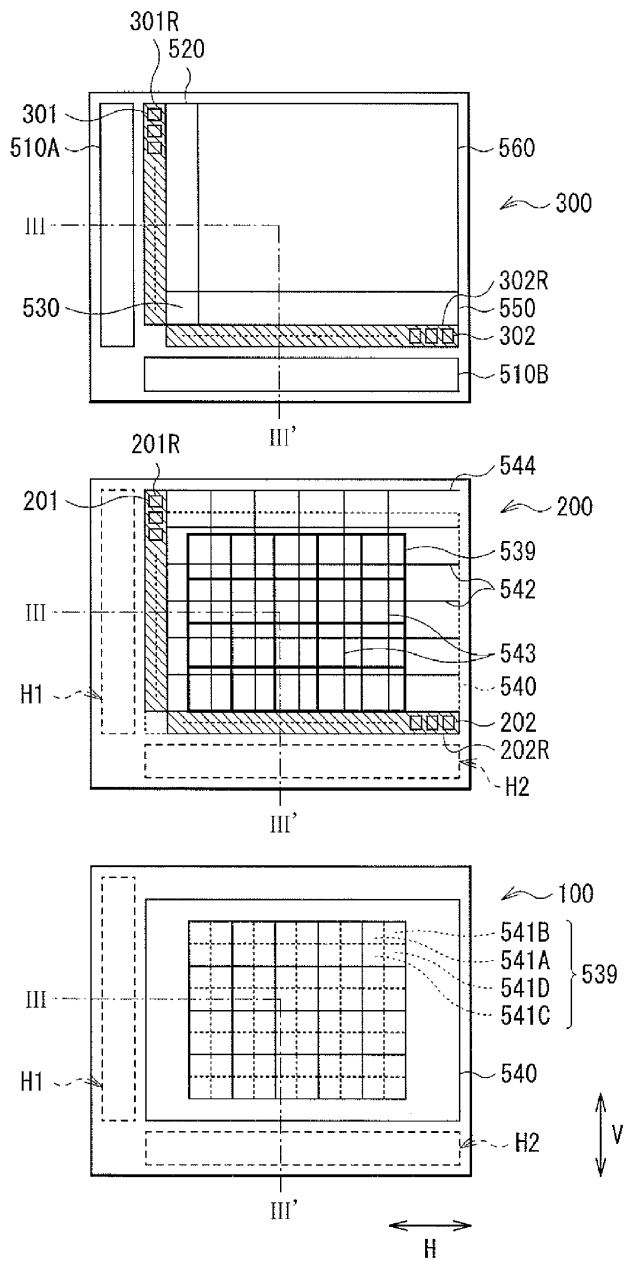
도면70



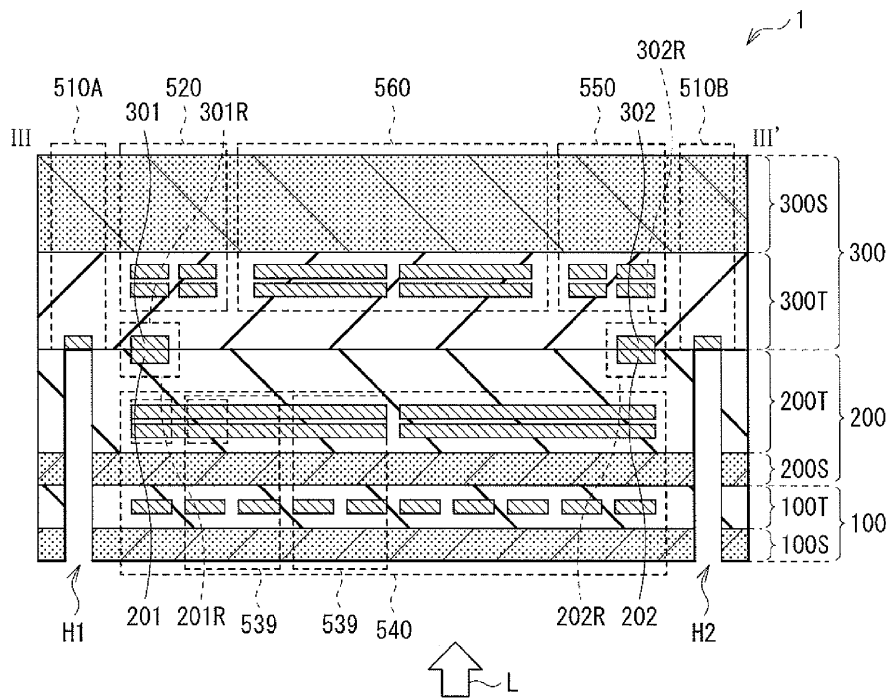
도면71



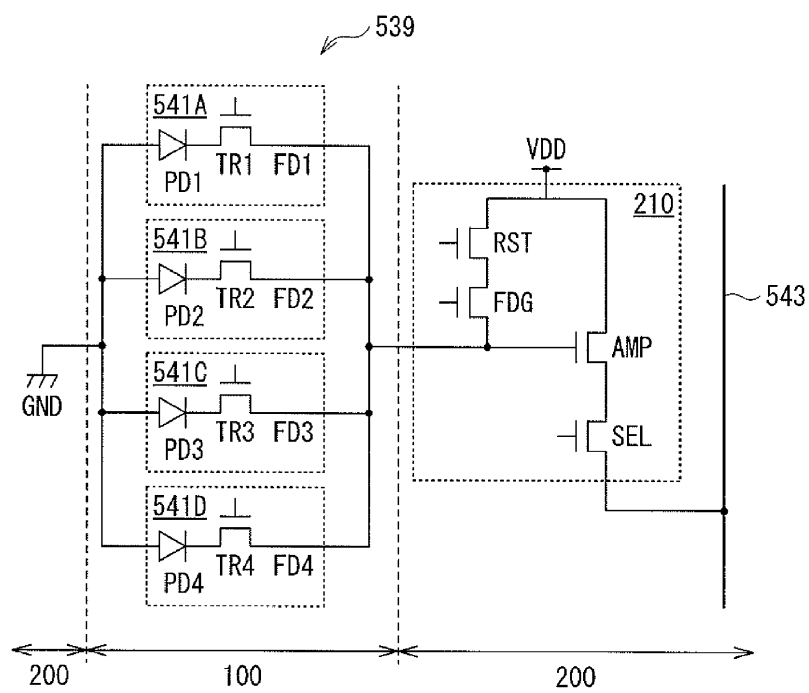
도면72



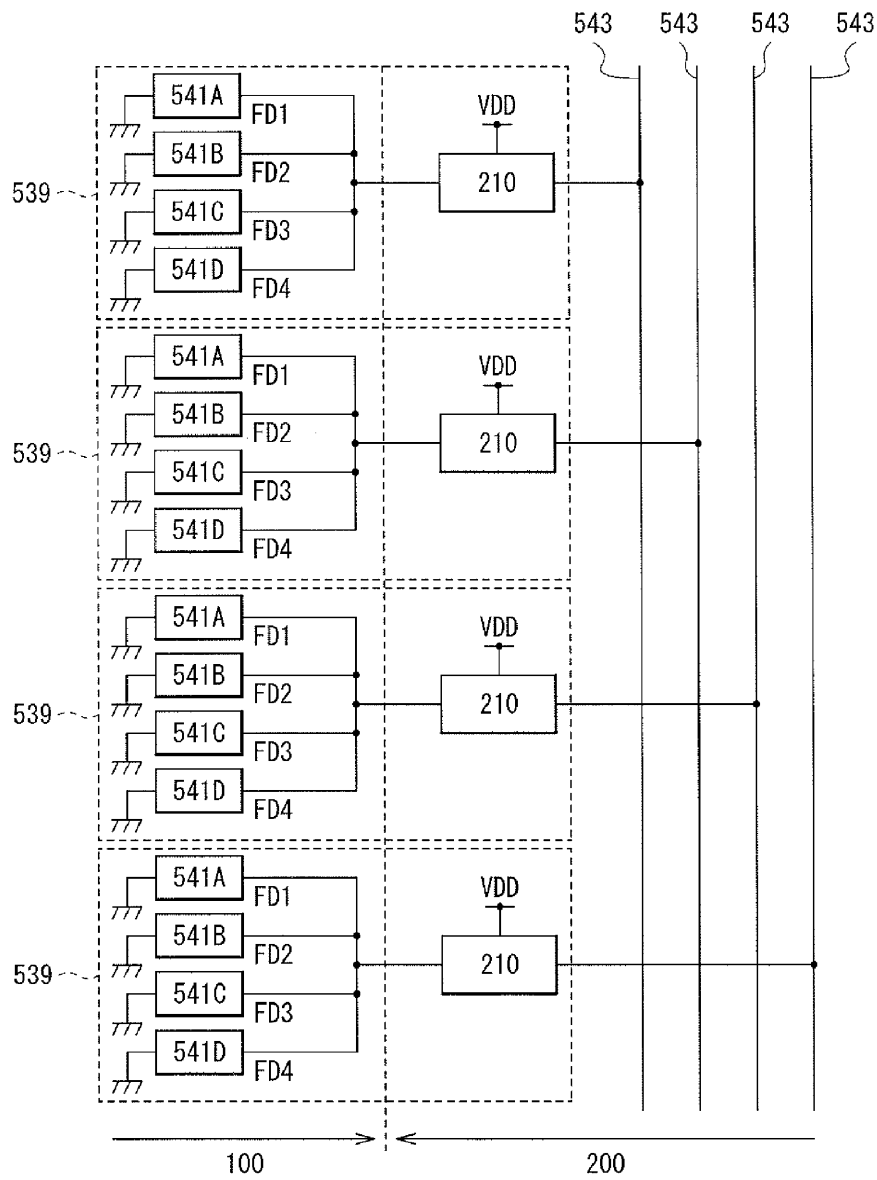
도면 73



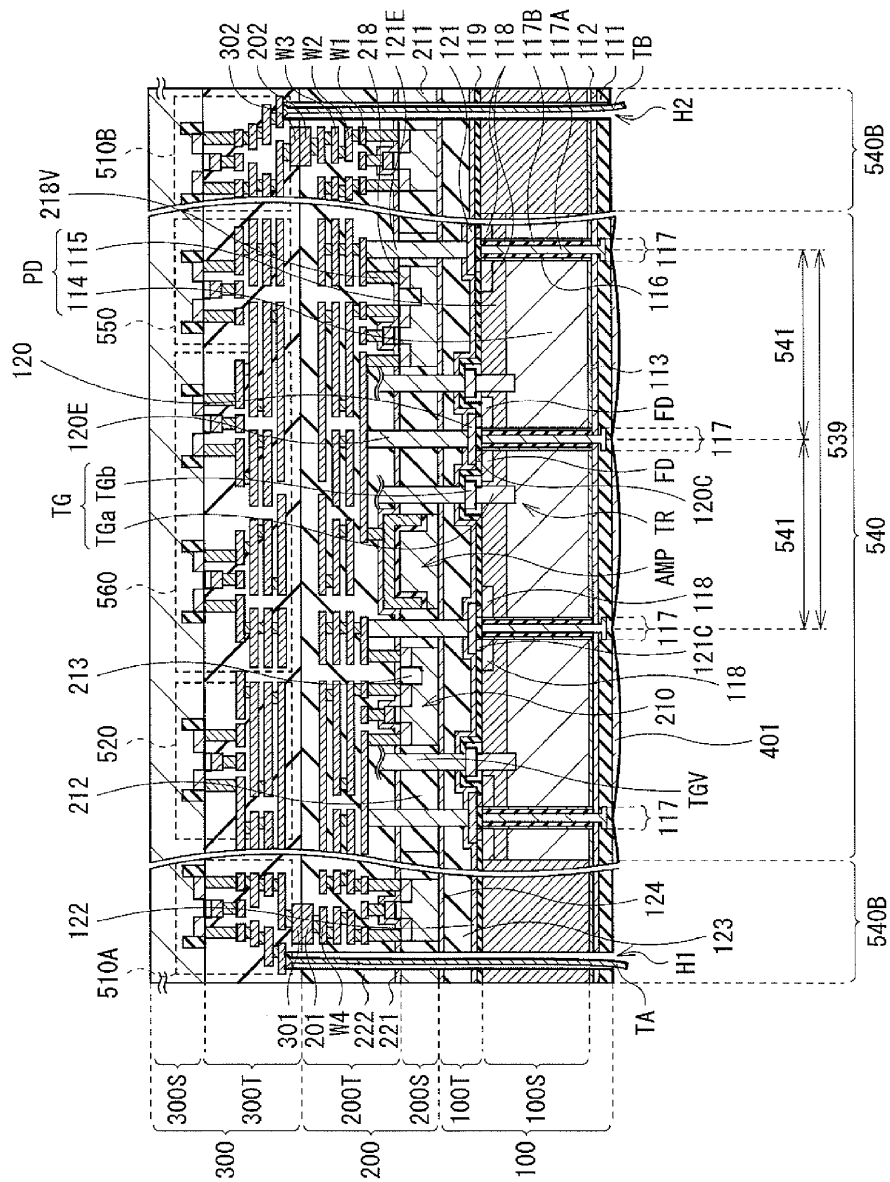
도면 74



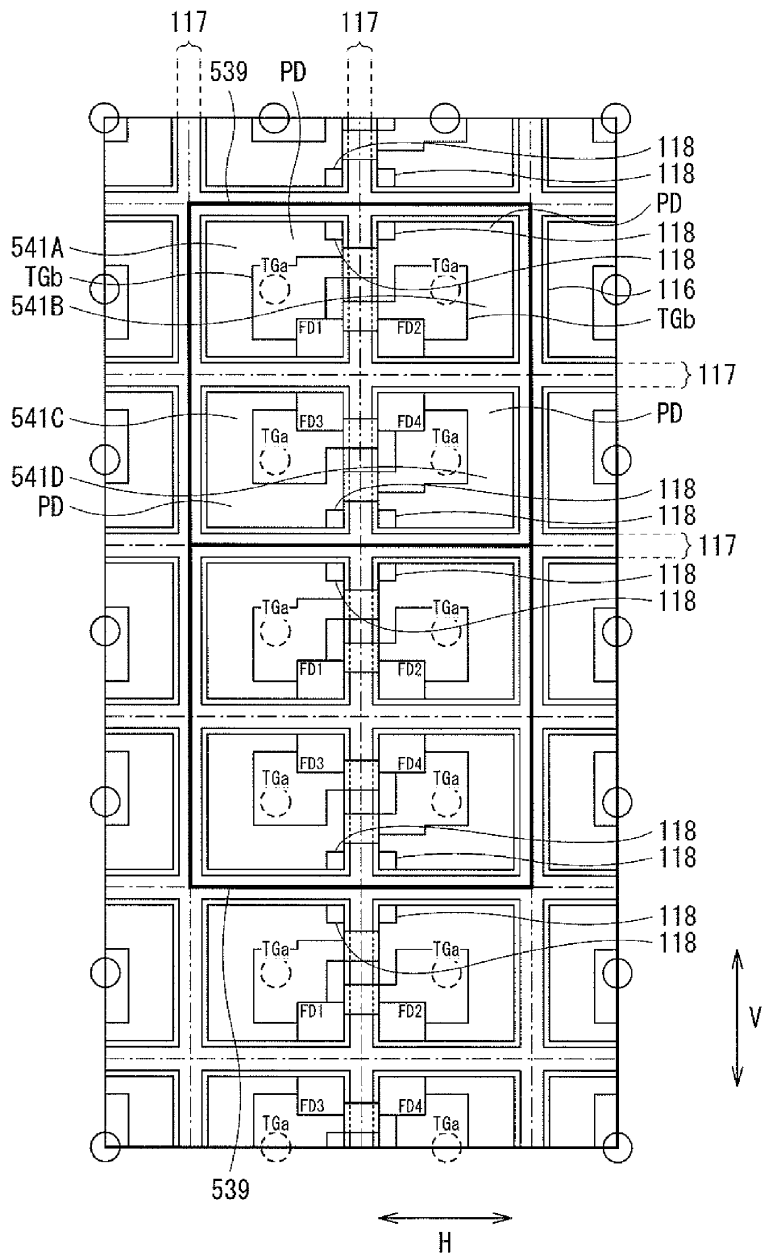
도면75



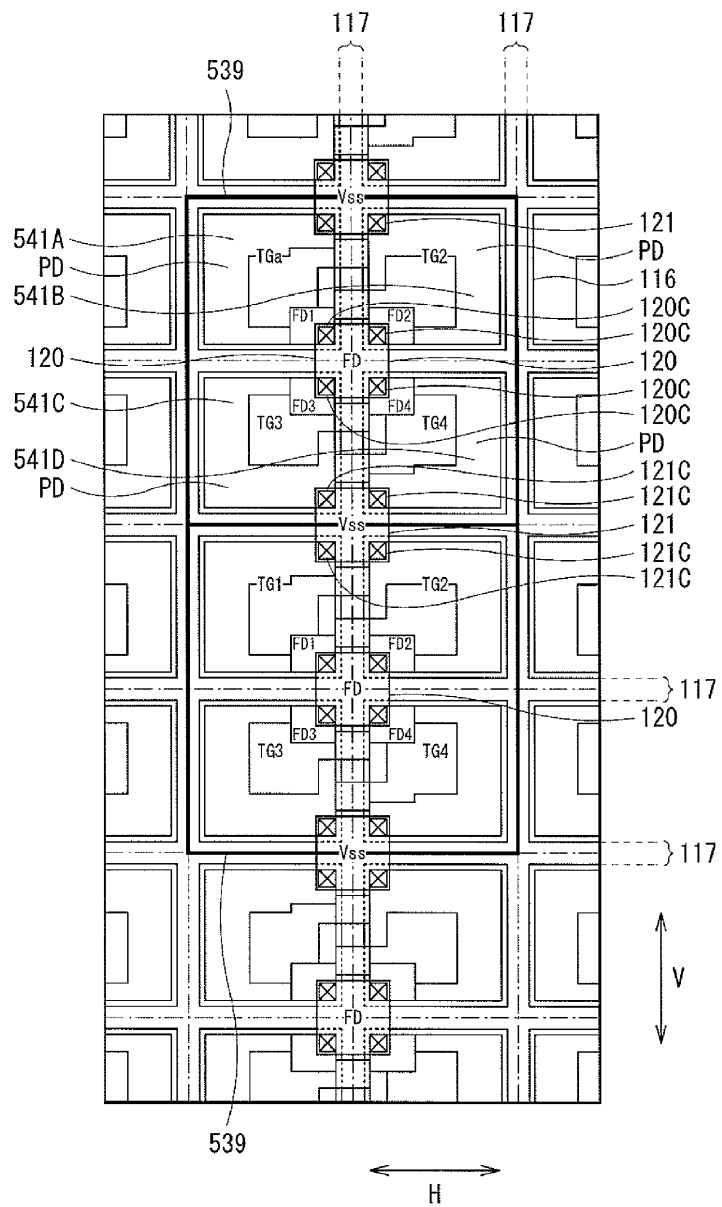
도면 76



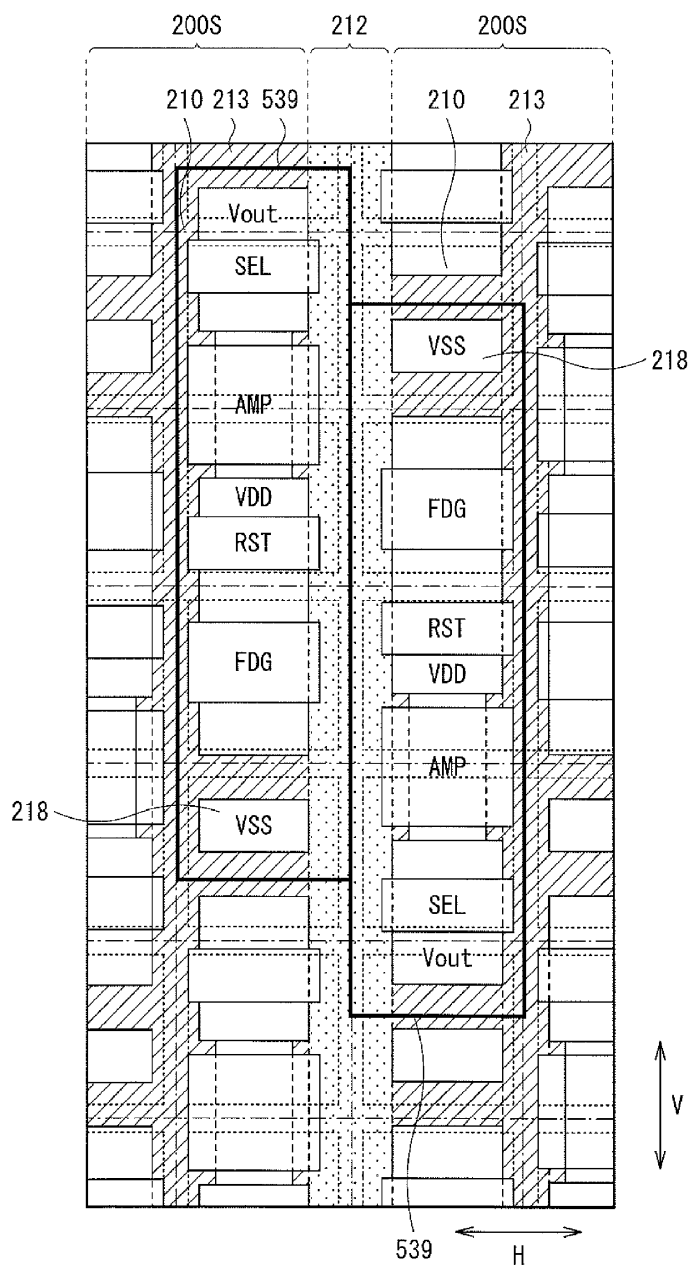
도면77a



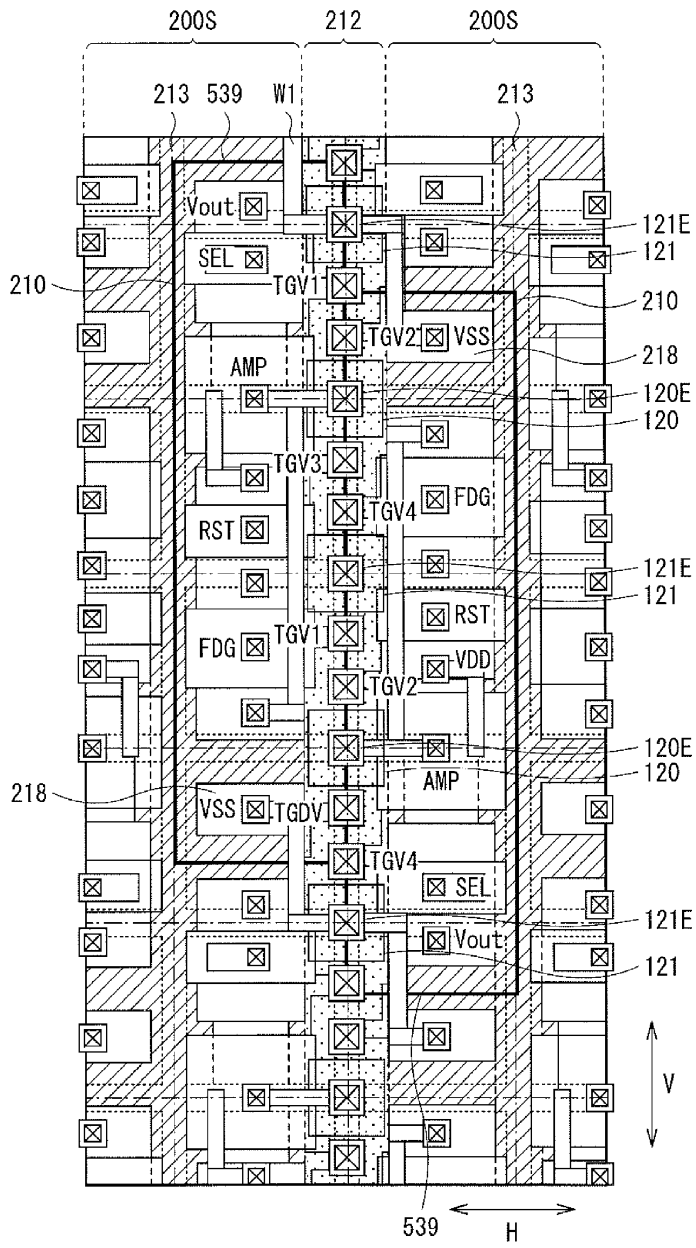
도면 77b



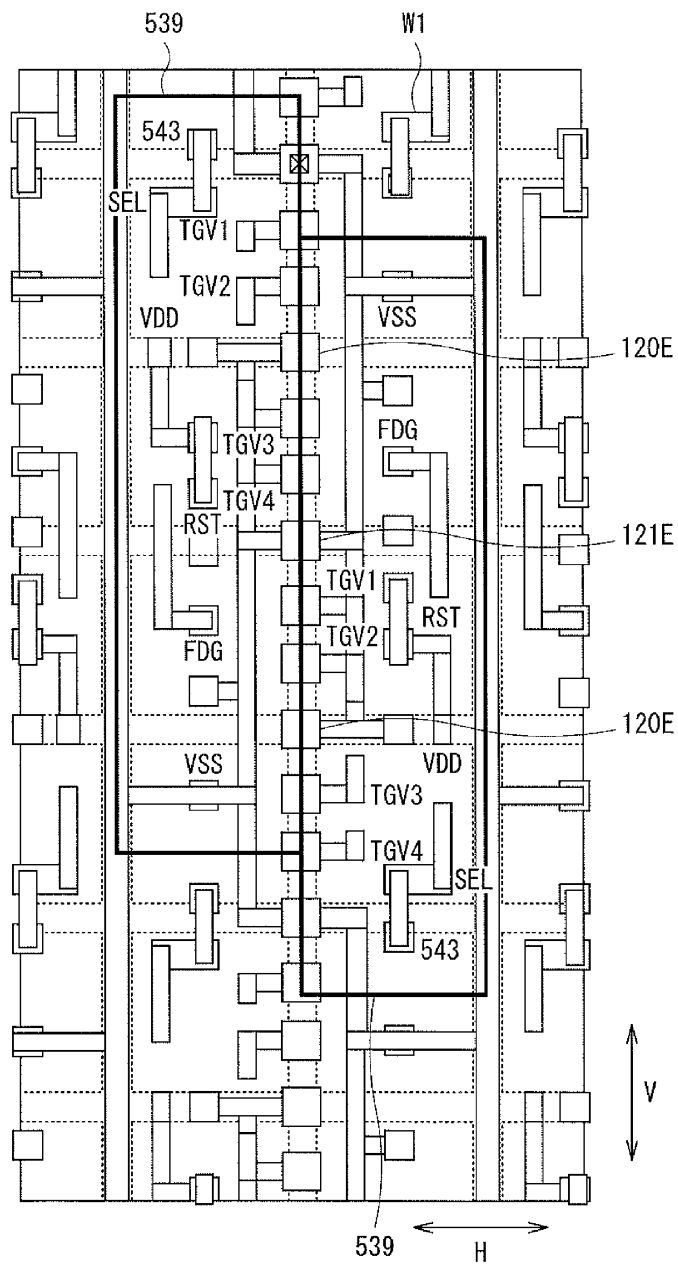
도면78



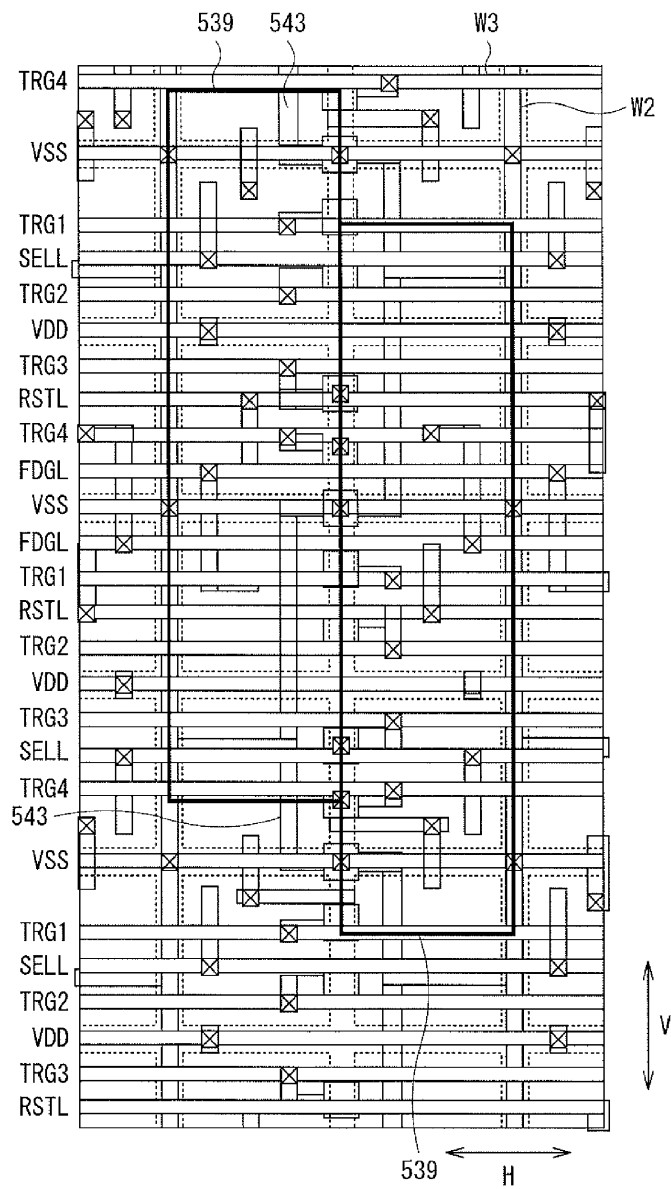
도면79



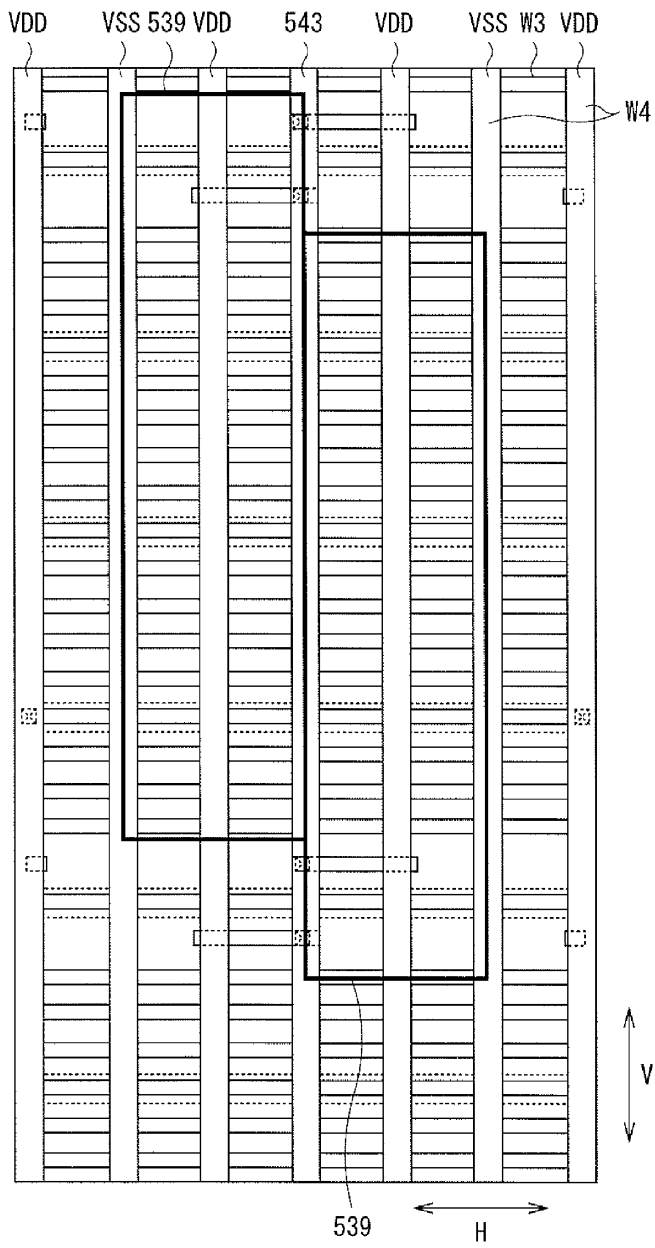
도면80



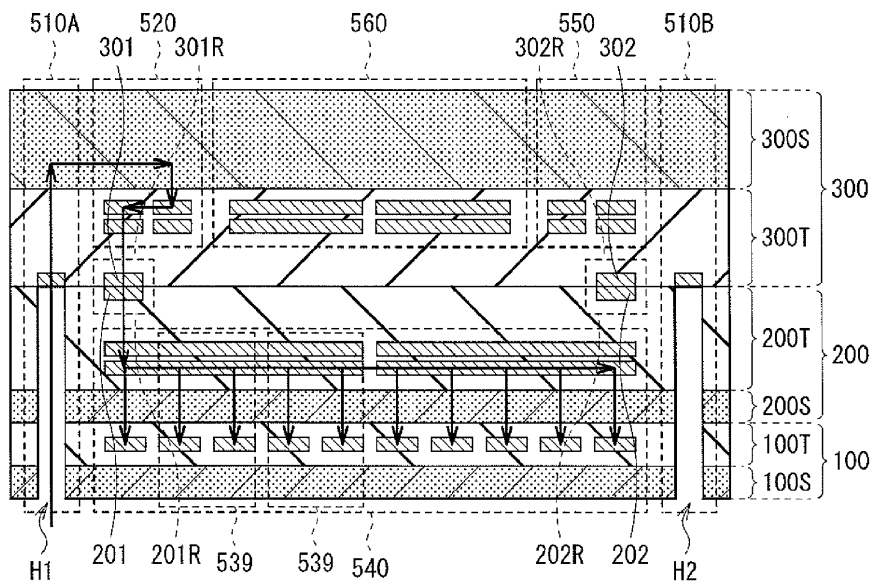
도면81



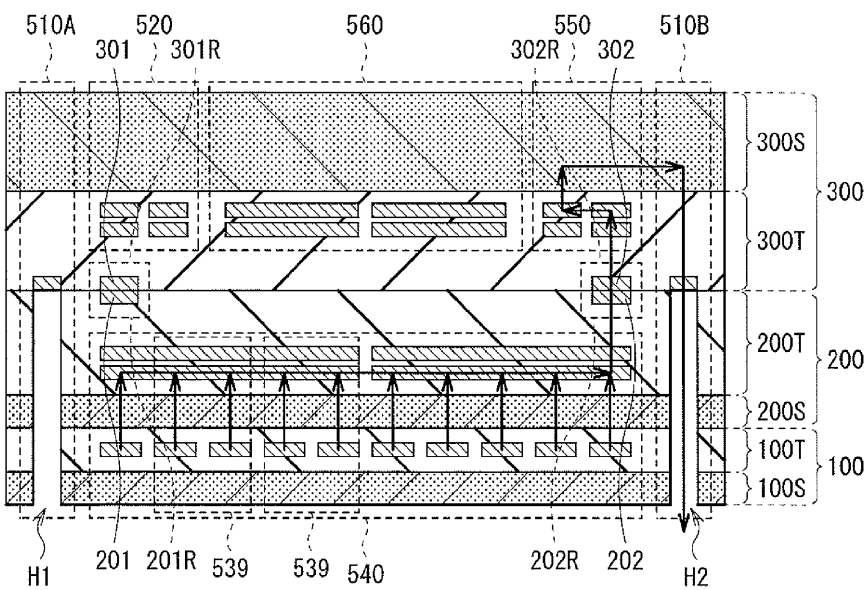
도면82



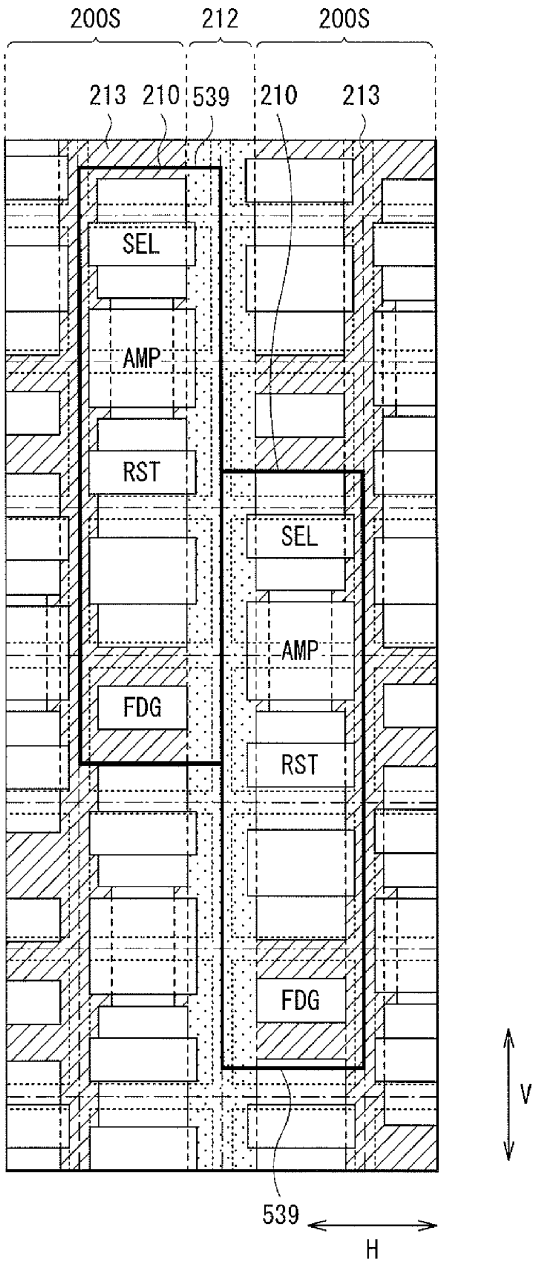
도면83



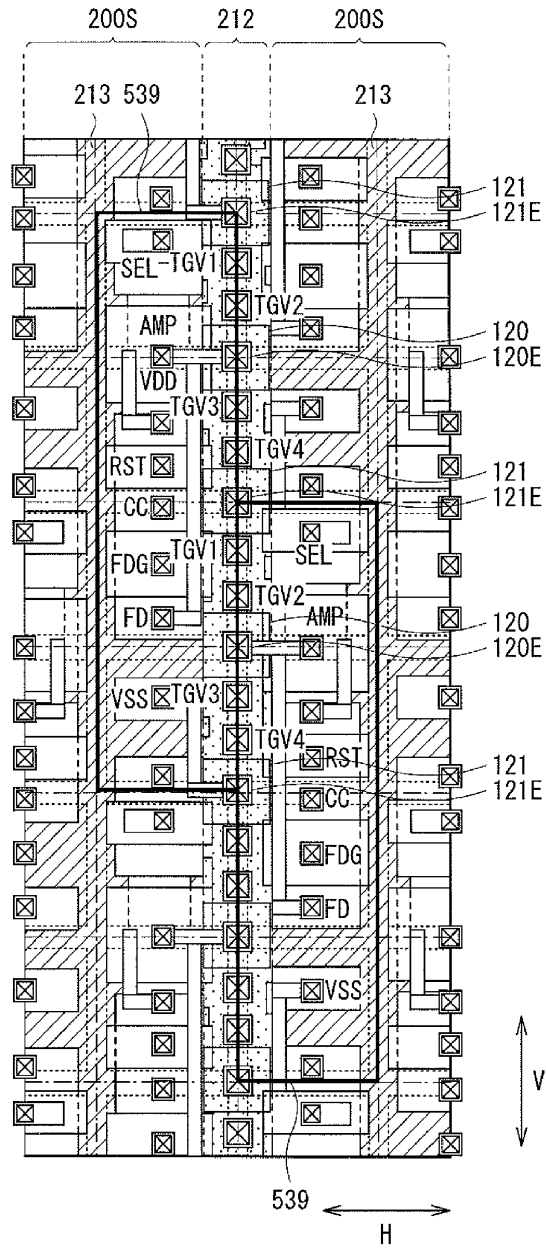
도면84



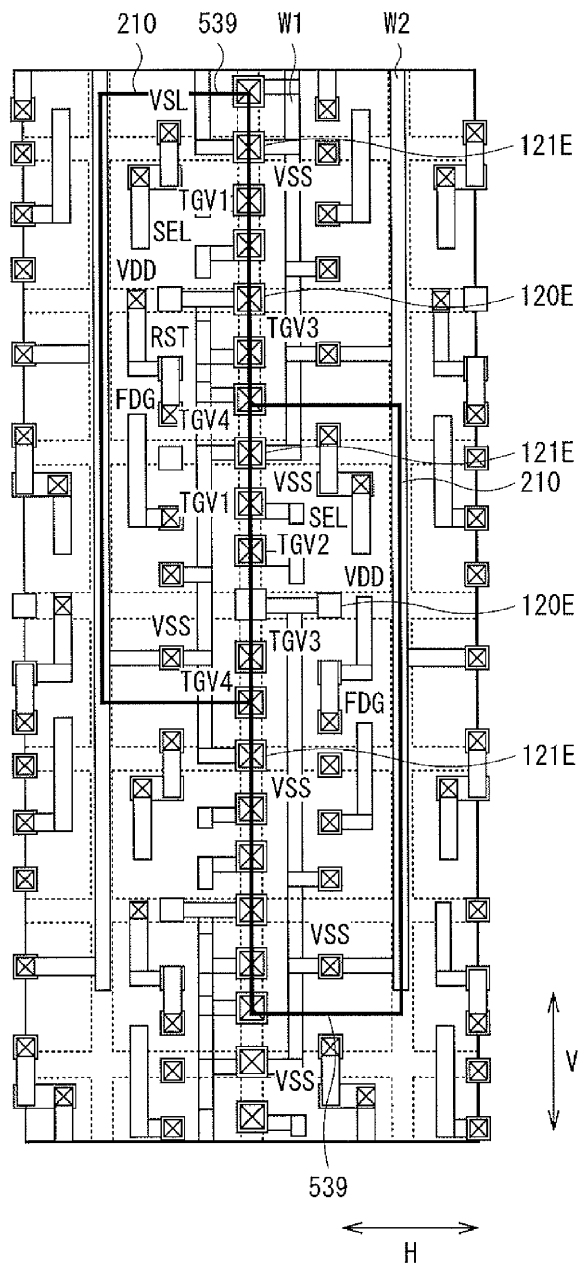
도면85



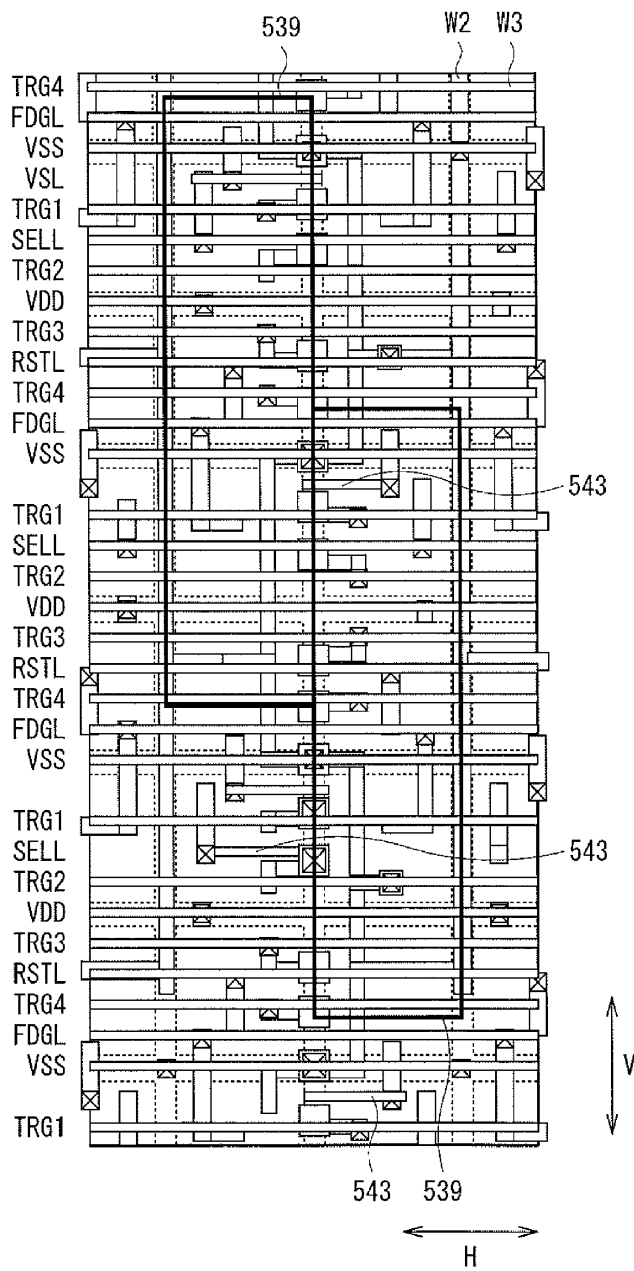
도면86



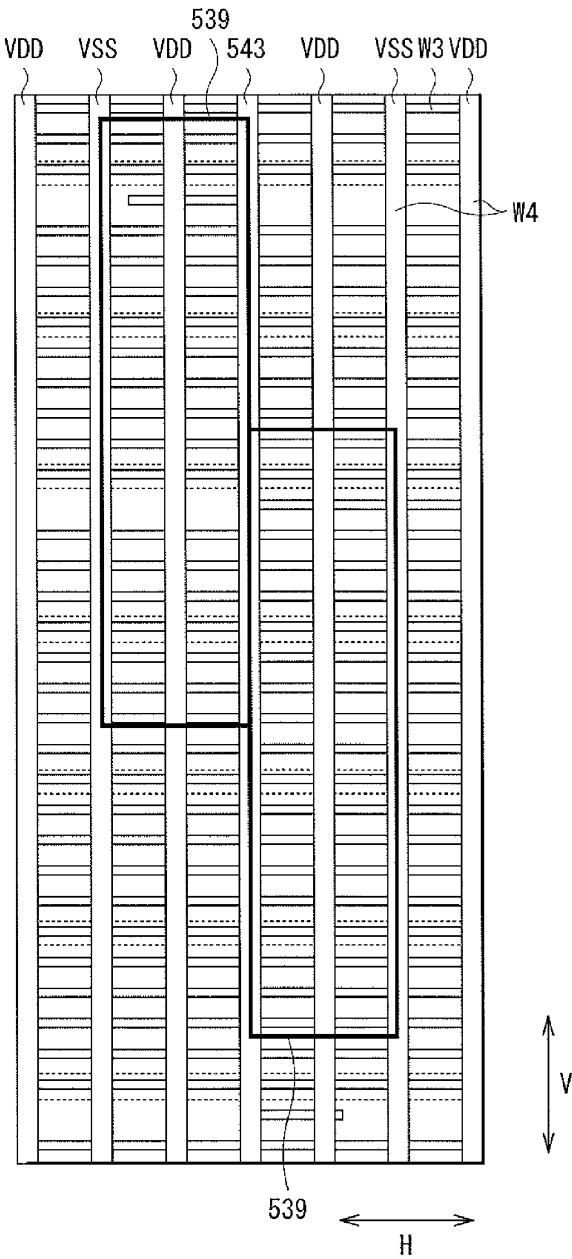
도면87



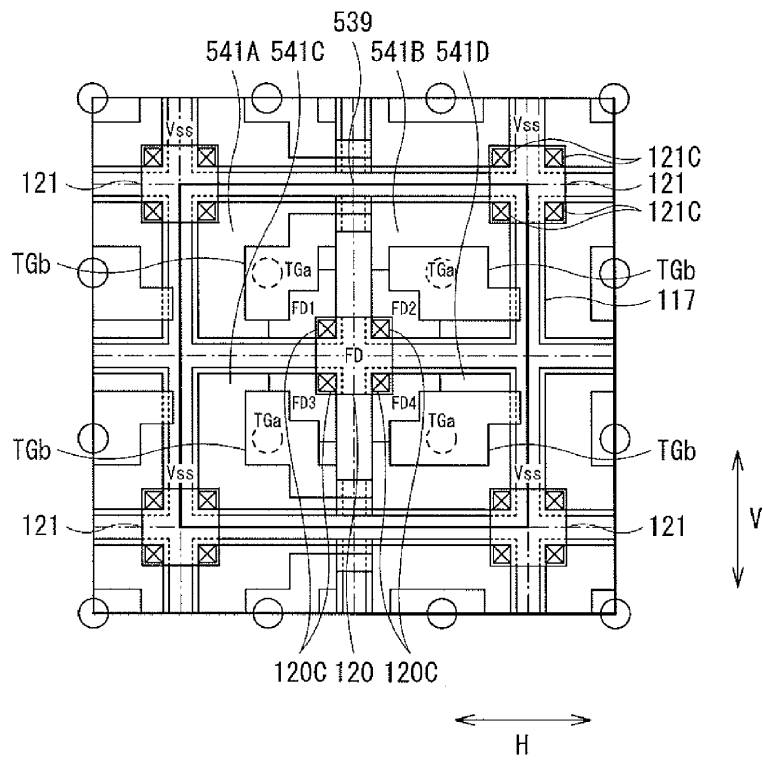
도면88



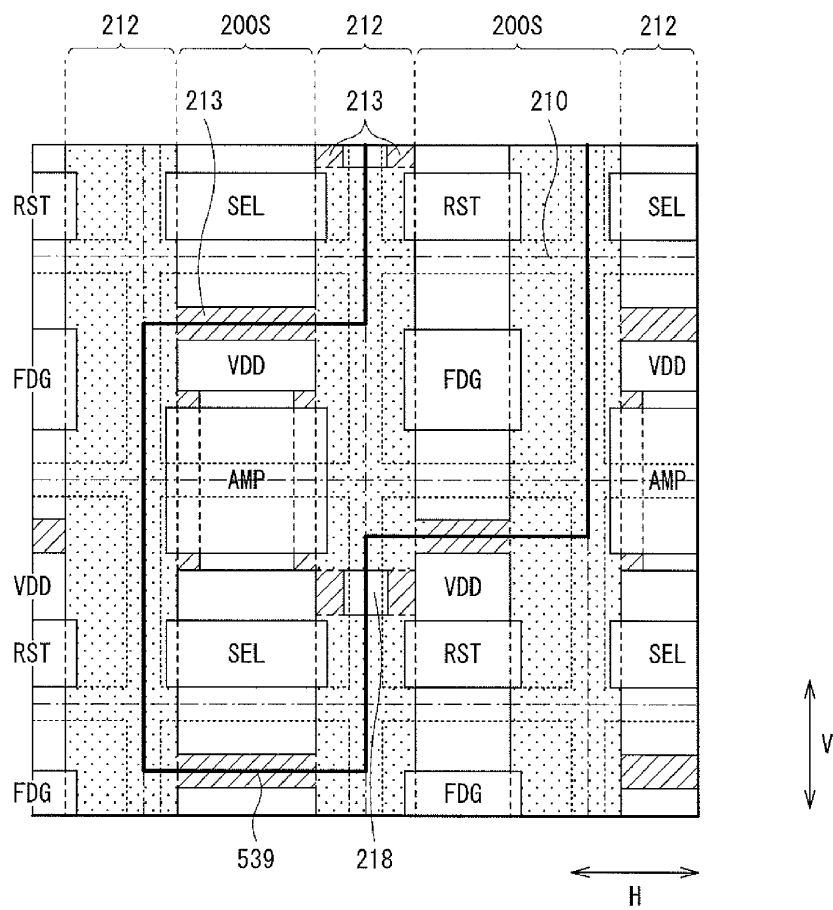
도면89



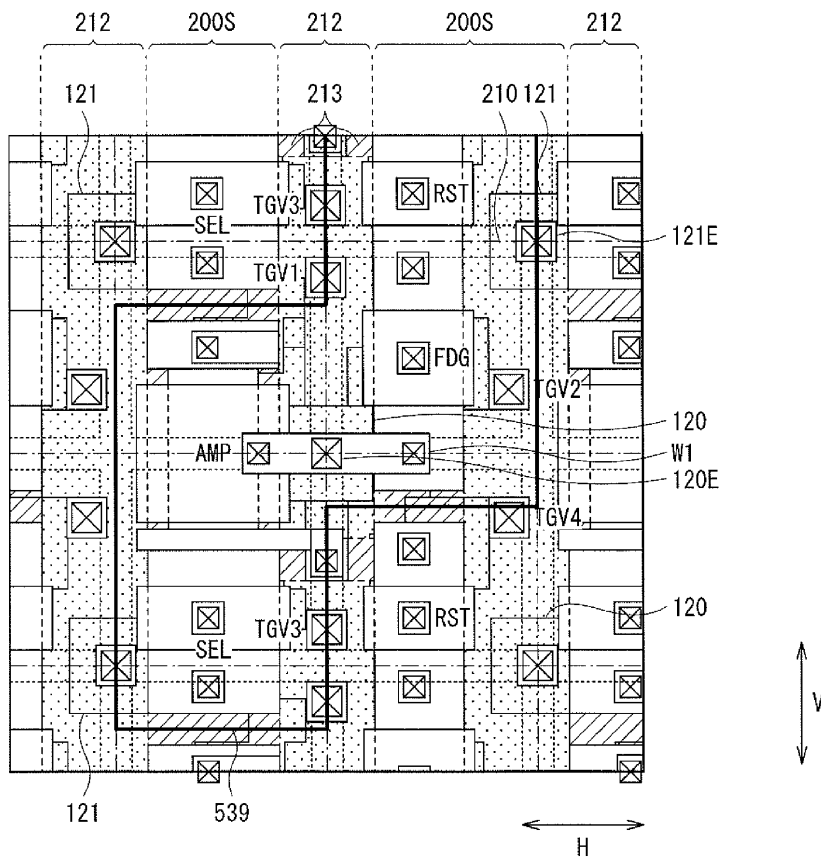
도면90



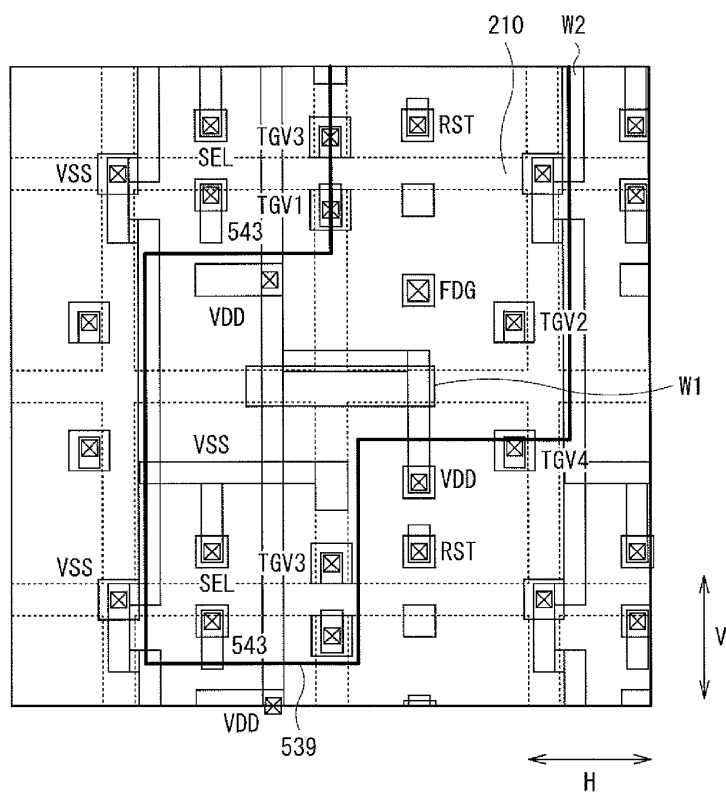
도면91



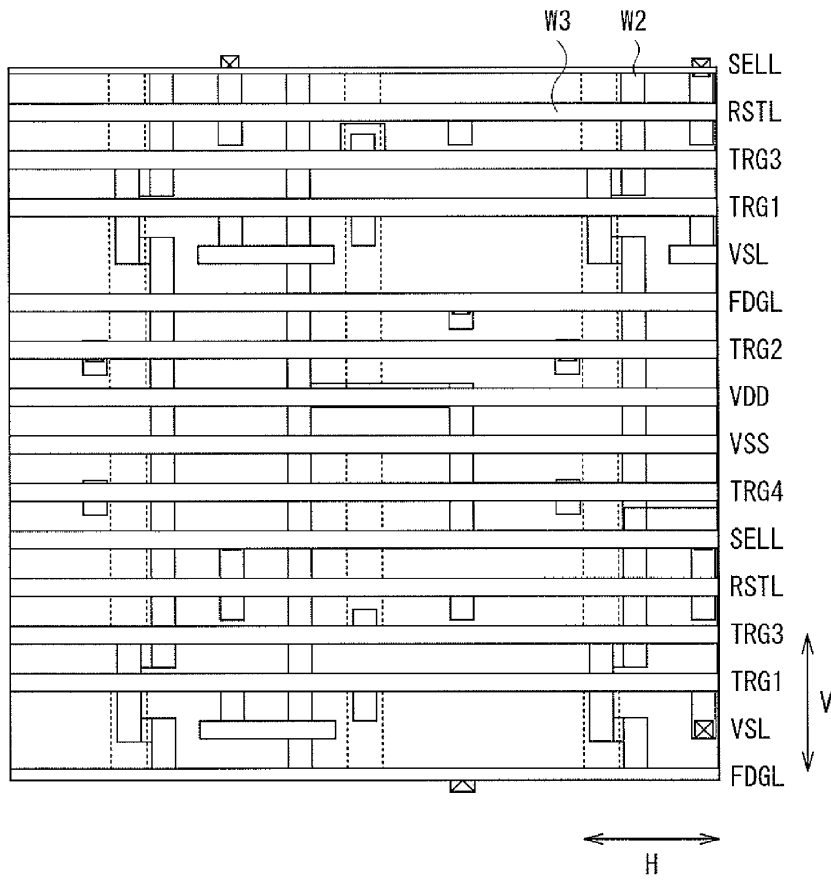
도면92



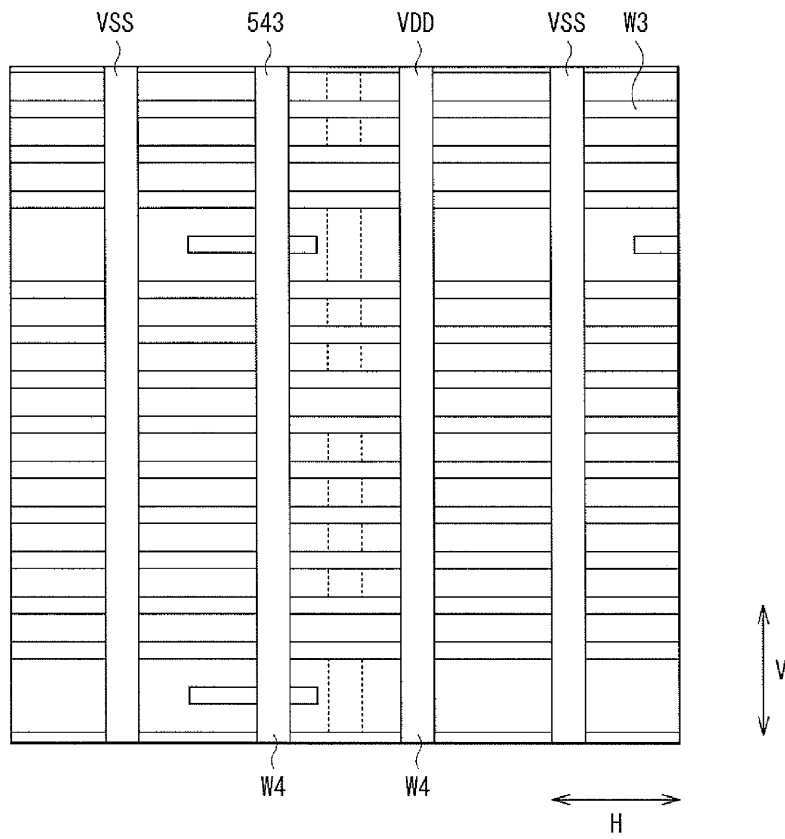
도면93



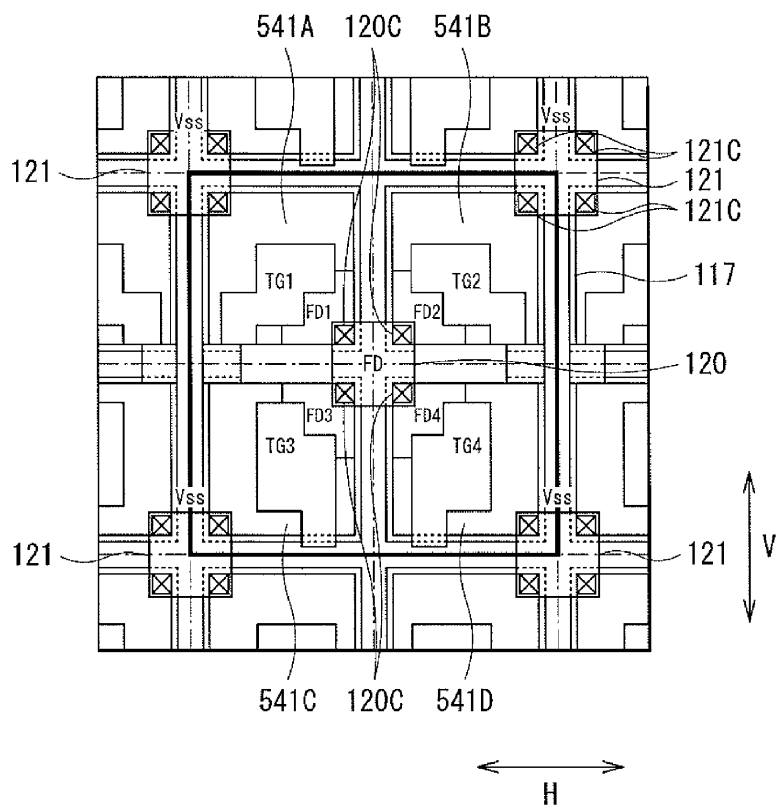
도면94



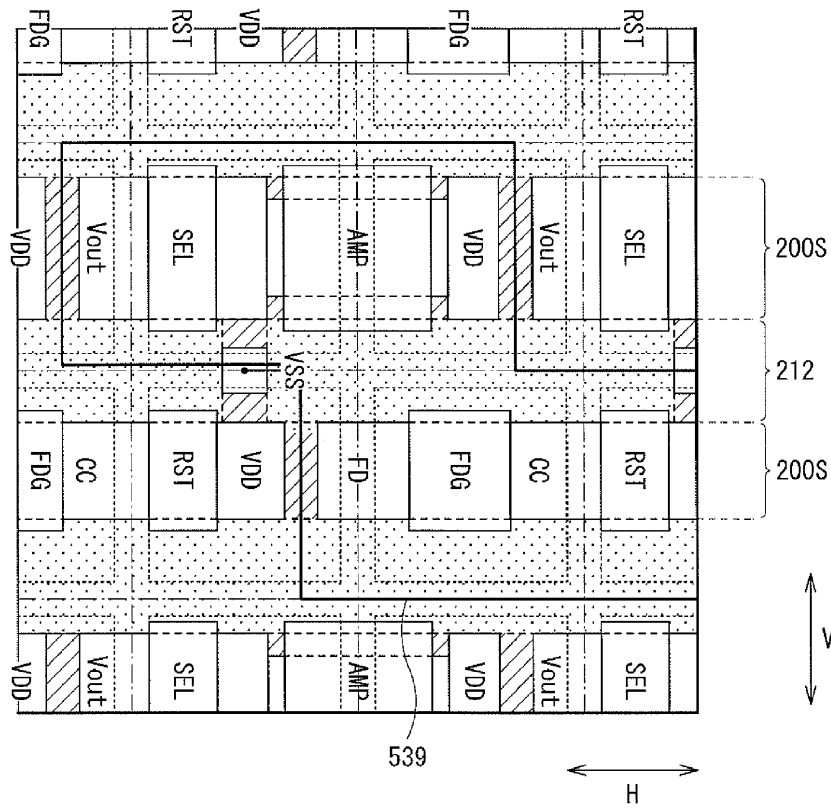
도면95



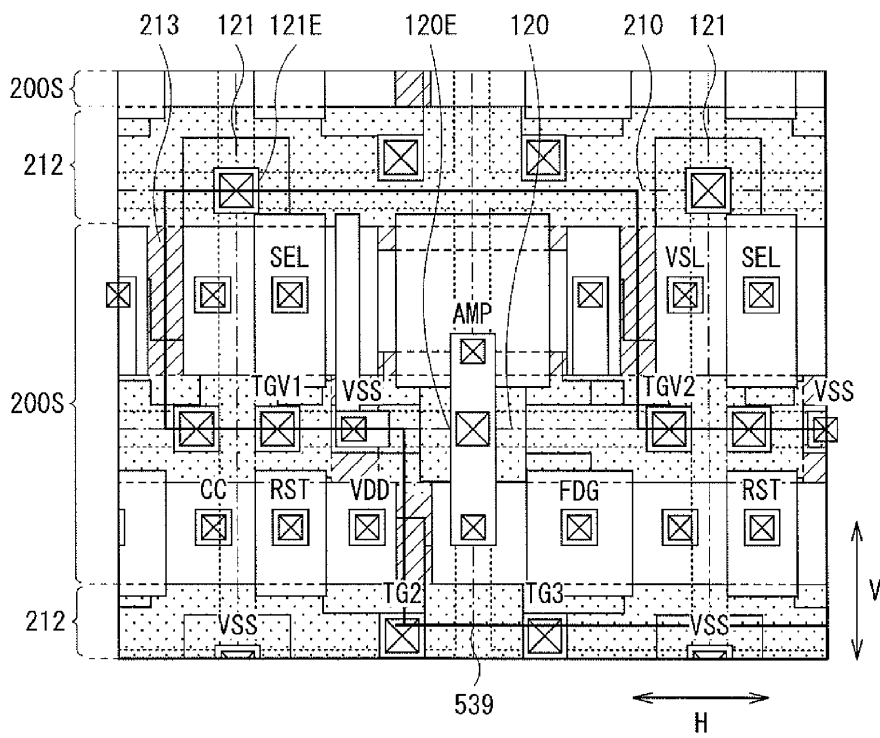
도면96



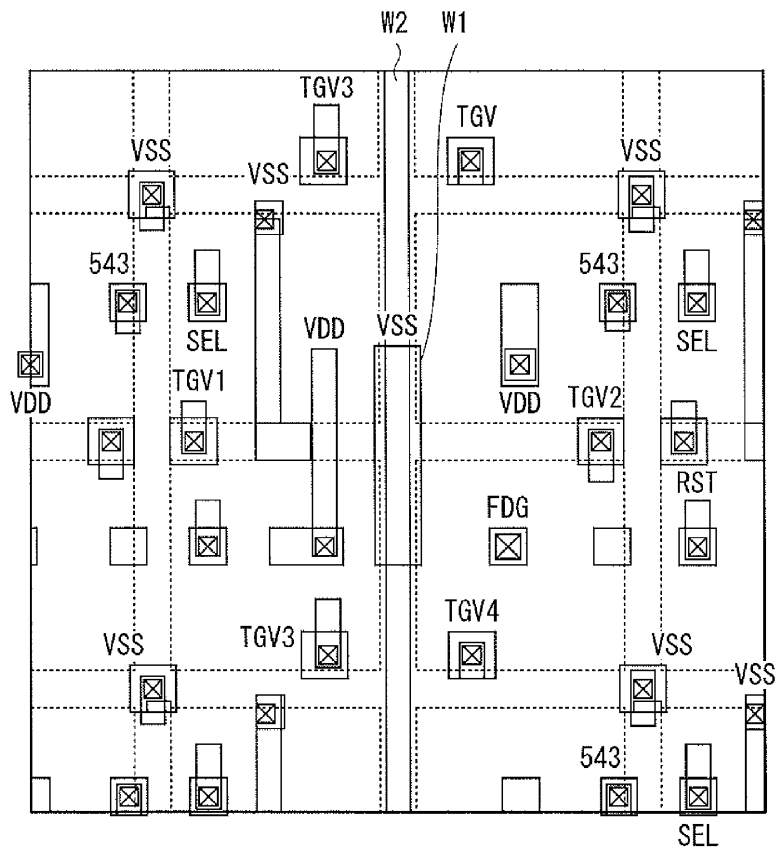
도면97



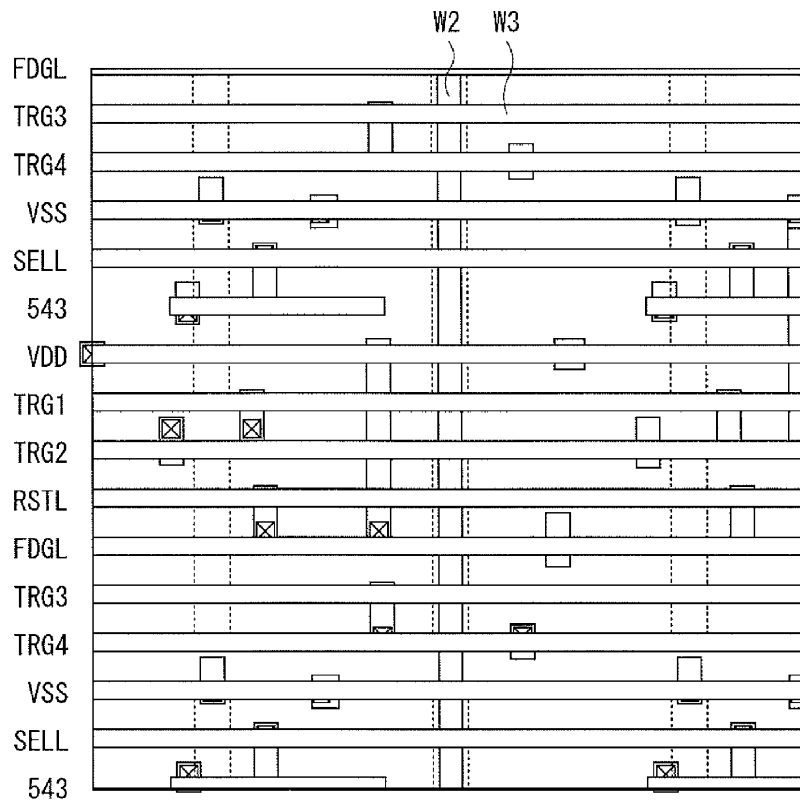
도면98



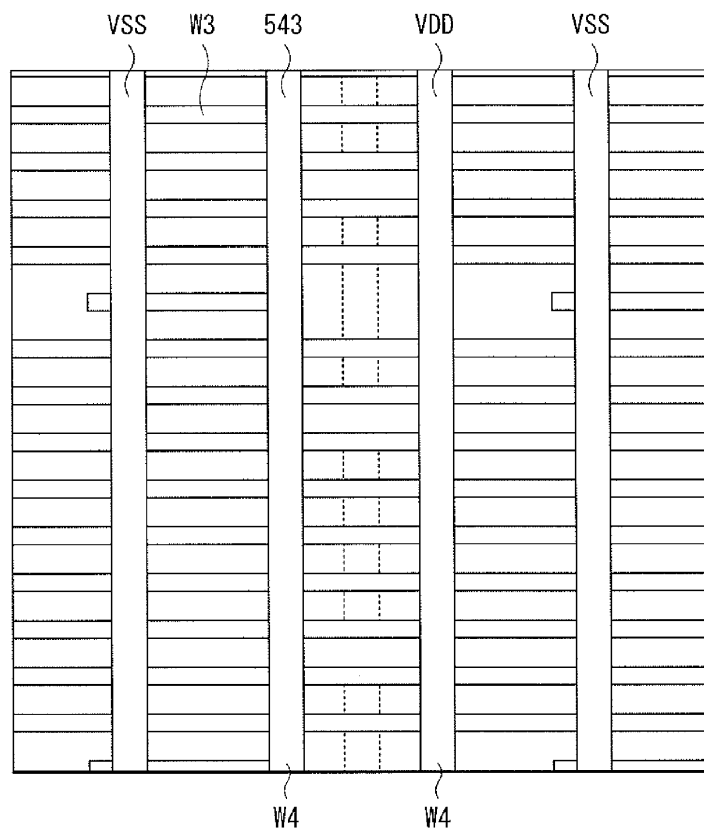
도면99



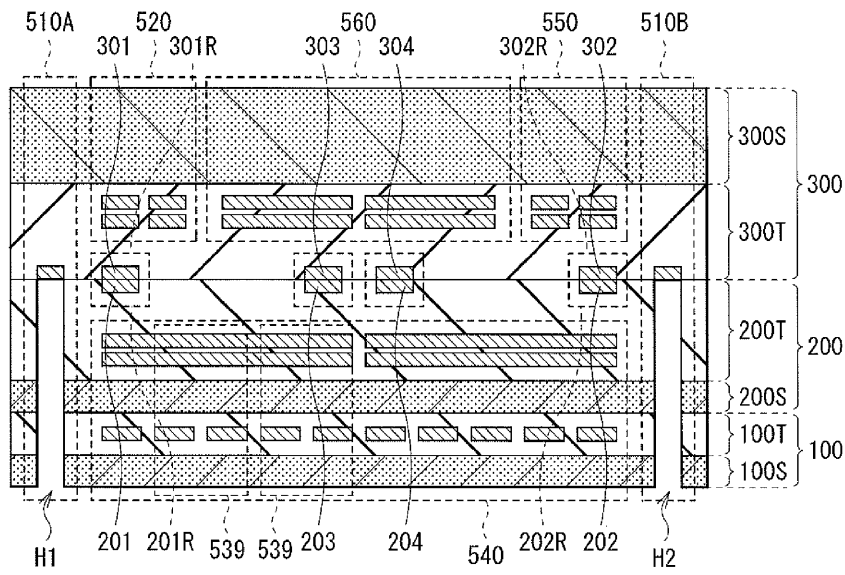
도면100



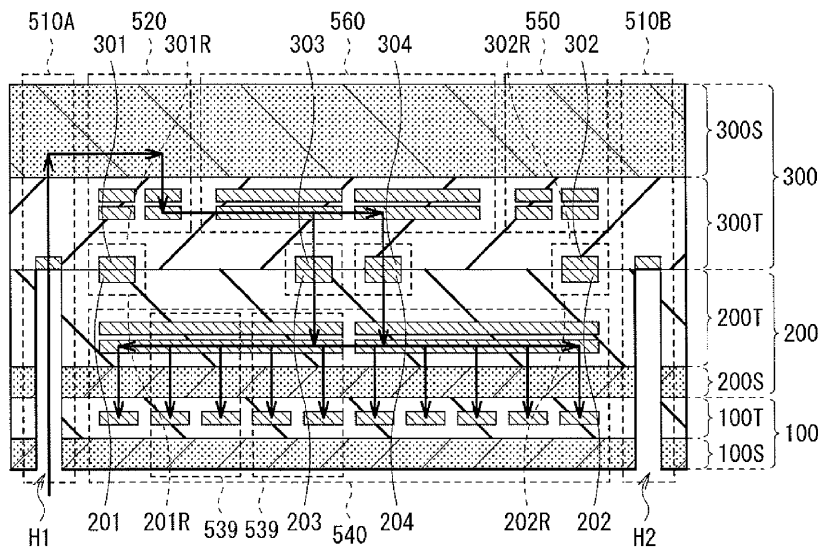
도면101



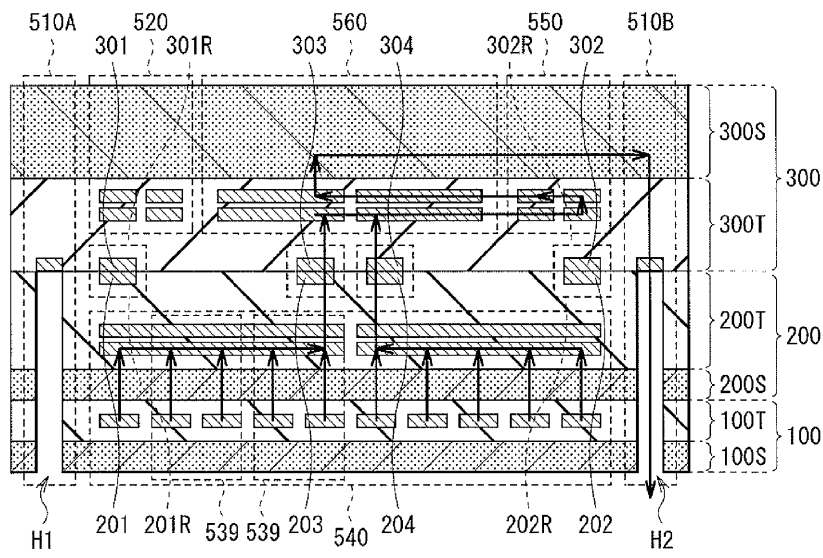
도면102



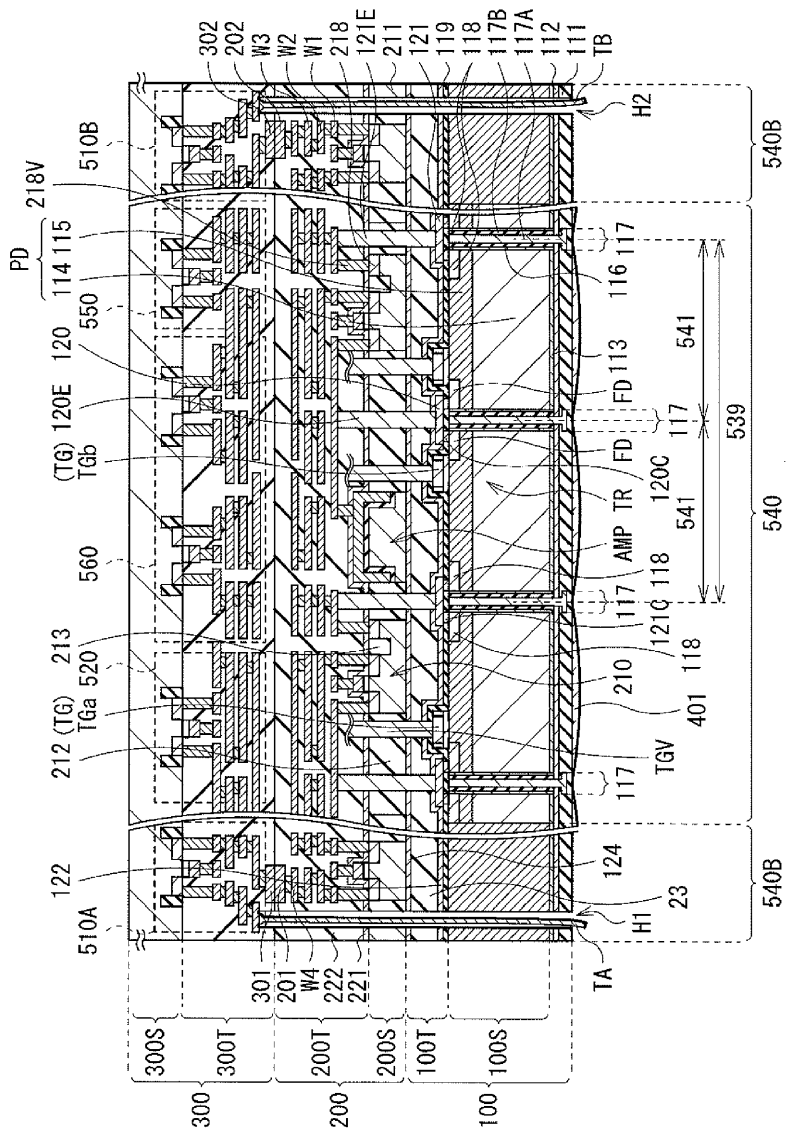
도면103



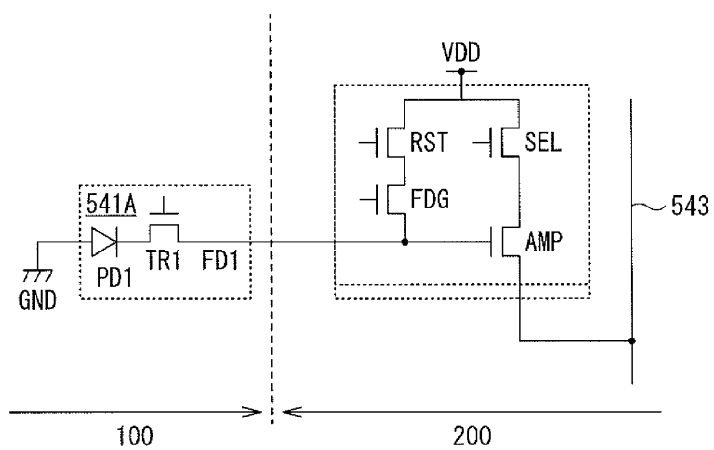
도면104



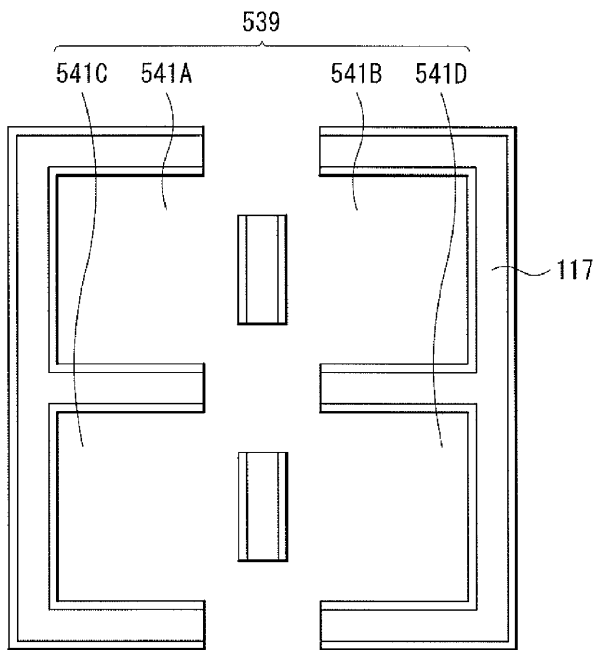
도면 105



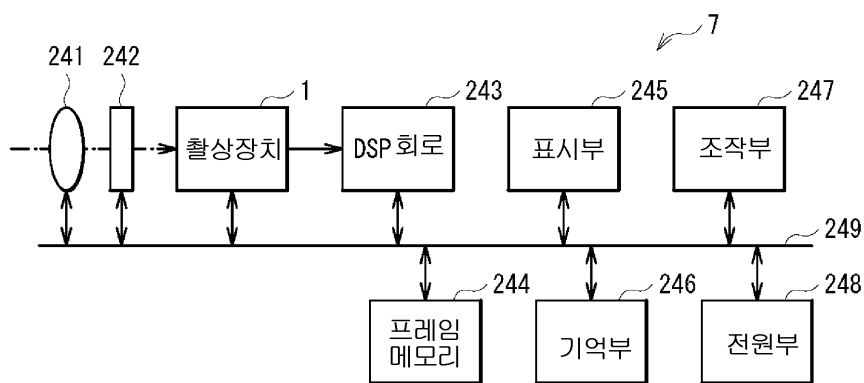
도면 106



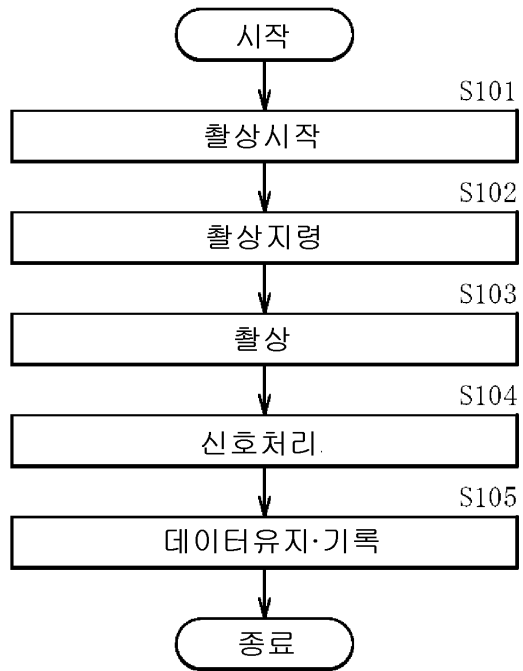
도면107



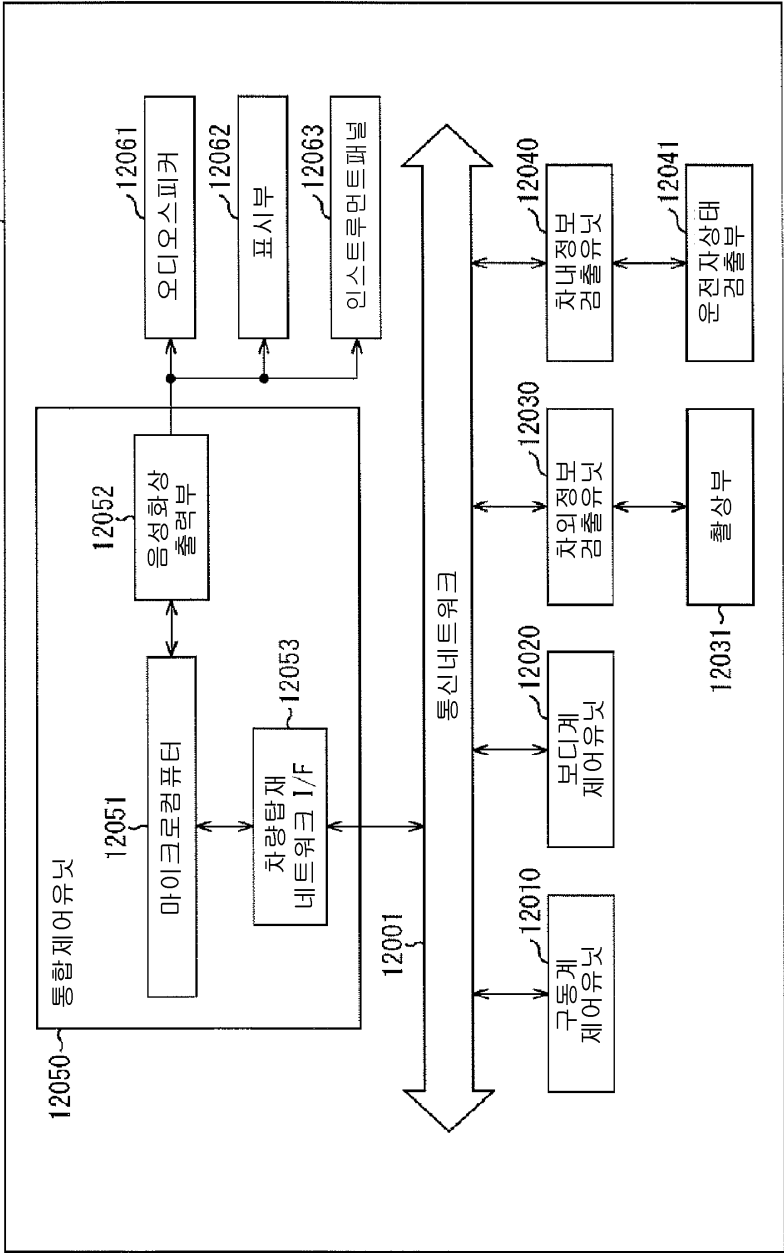
도면108



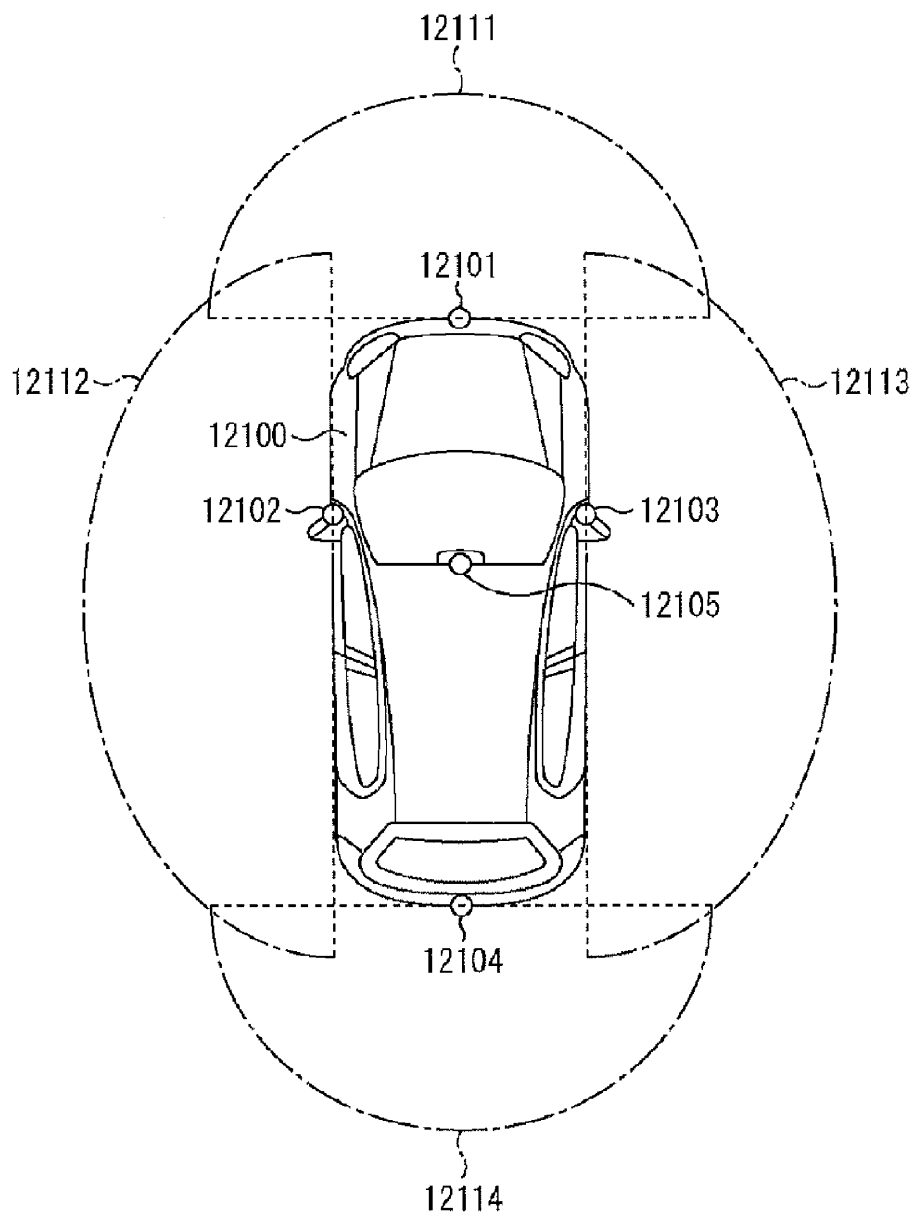
도면109



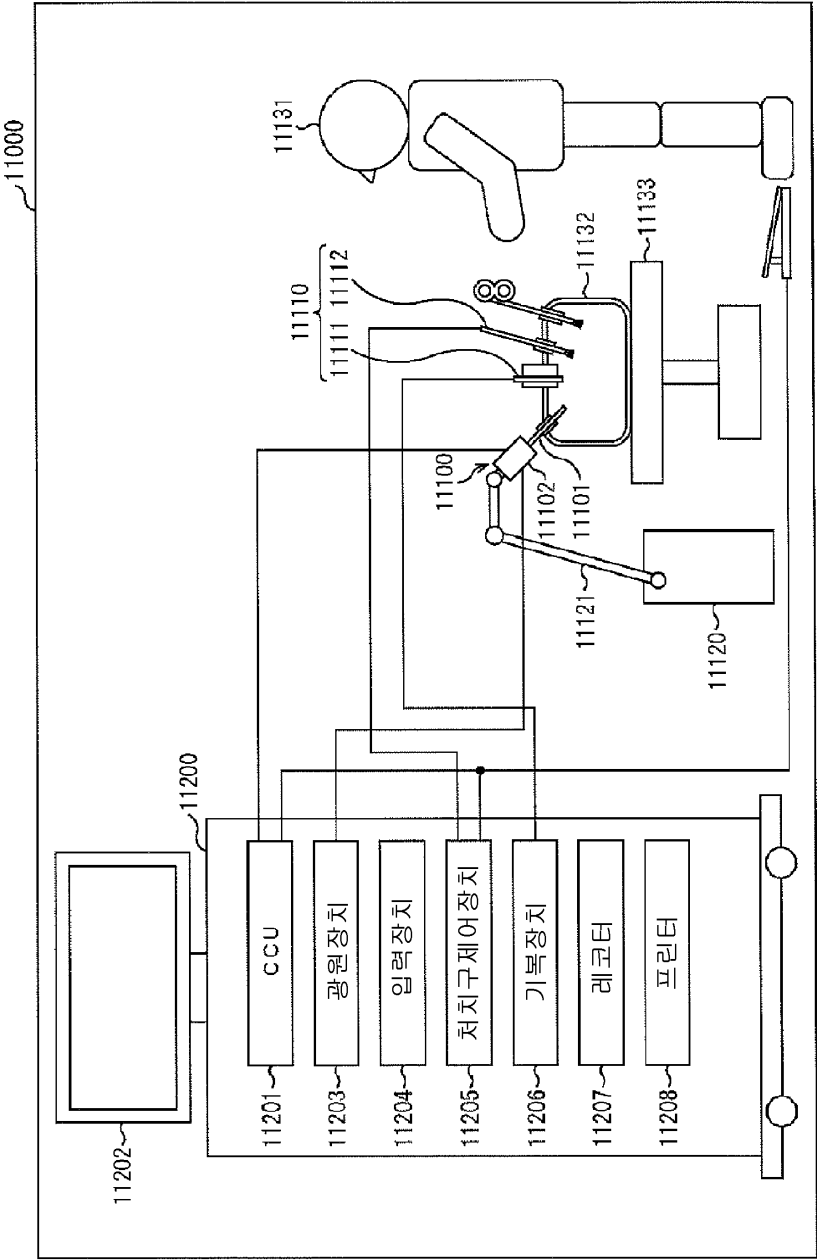
도면110



도면111



도면112



도면113

