

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 10 月 29 日(29.10.2015)

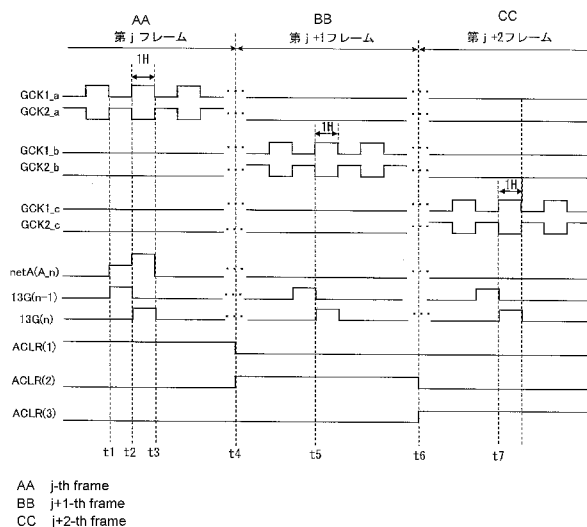


(10) 国際公開番号
WO 2015/163306 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) *G09F 9/30* (2006.01)
G02F 1/133 (2006.01) *G09G 3/20* (2006.01)
G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2015/062060
- (22) 国際出願日: 2015 年 4 月 21 日(21.04.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-088427 2014 年 4 月 22 日(22.04.2014) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 田中 耕平(TANAKA Kohhei), 西山 隆之(NISHIYAMA Takayuki), 野間 健史(NOMA Take-shi), 米林 諒(YONEBAYASHI Ryo).
- (74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et al.); 〒5300004 大阪府大阪市北区堂島浜 2 丁目 2 番 2 8 号堂島アクシスビル インテリクス特許法律事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: ACTIVE-MATRIX SUBSTRATE AND DISPLAY DEVICE PROVIDED WITH SAME

(54) 発明の名称: アクティブマトリクス基板、及びそれを備えた表示装置



(57) Abstract: The purpose of the present invention is, when switching a drive circuit that carries out a switching operation to a selection state for one gate line at each prescribed time, to prevent erroneous operation of a drive circuit that is to be stopped. Each of a plurality of drive circuits that are provided for each gate line in an active matrix substrate has: a selection circuit unit that includes an output switching element that switches to an on state in response to a control signal and applies a voltage to the gate line; internal wiring connected to gate terminals of the output switching element and gate lines; and a potential control circuit unit that is connected to the internal wiring and controls potential in the internal wiring in response to a control signal. A signal supply unit supplies a potential control signal for at least one drive circuit of the plurality of drive circuits at each prescribed time, controls the internal wiring to a potential lower than a threshold voltage for the output switching element by means of the potential control circuit unit, supplies a drive signal to the other drive circuits, and applies the selected voltage to the gate line by means of the selection circuit unit.

(57) 要約:

[続葉有]



WO 2015/163306 A1



一のゲート線を選択状態に切り替える動作を行う駆動回路を所定時間ごとに切り替える場合に、動作を停止させる駆動回路の誤動作を防止する技術を提供する。アクティブマトリクス基板における各ゲート線に設けられた複数の駆動回路の各々は、制御信号に応じて、オンの状態に切り替わり、ゲート線に電圧を印加する出力用スイッチング素子を含む選択回路部と、出力用スイッチング素子のゲート端子とゲート線とに接続された内部配線と、内部配線に接続され、制御信号に応じて内部配線の電位を制御する電位制御回路部とを有する。信号供給部は、所定時間ごとに、複数の駆動回路のうち少なくとも1つの駆動回路に対し電位制御信号を供給し、電位制御回路部により内部配線を出力用スイッチング素子の閾値電圧よりも低い電位に制御し、他の駆動回路に対し駆動信号を供給し、選択回路部によりゲート線に選択電圧を印加させる。

明 細 書

発明の名称：

アクティブマトリクス基板、及びそれを備えた表示装置

技術分野

[0001] 本発明は、アクティブマトリクス基板、及びそれを備えた表示装置に関する。

背景技術

[0002] 特開 2010-193434 号公報には、ゲート線として機能する配線ごとに、複数のスイッチング素子を含む駆動回路を複数接続した表示装置が開示されている。この表示装置は、所定期間ごとに、動作させる駆動回路のスイッチング素子を切り替えることにより、スイッチング素子の劣化を抑制する。

発明の概要

[0003] 特開 2010-193434 号公報のように、所定期間ごとに、一部の駆動回路を動作させ、他の駆動回路の動作を停止させる場合、一部の駆動回路によってゲート線が選択状態に切り替えられた際に、他の駆動回路にゲート線の電位がノイズとして入り、他の駆動回路が誤動作する場合がある。

[0004] 本発明は、一のゲート線に設けられた複数の駆動回路のいずれかの駆動回路によって一のゲート線が選択状態に切り替えられた際に、他の駆動回路の誤動作を防止する技術を提供することを目的とする。

[0005] 本発明に係るアクティブマトリクス基板は、複数のソース線と、前記複数のソース線と交差する複数のゲート線とを有するアクティブマトリクス基板であって、ゲート線ごとに複数の駆動回路を有し、供給される制御信号に応じて、前記複数の駆動回路のうちのいずれかの駆動回路によって前記ゲート線を選択状態に切り替える駆動部と、前記駆動部に対して前記制御信号を供給する信号供給部と、を備え、一のゲート線に設けられた前記複数の駆動回路の各々は、前記制御信号に応じて、オンの状態に切り替わり、前記一のゲ

ート線に電圧を印加する出力用スイッチング素子を含む選択回路部と、前記出力用スイッチング素子のゲート端子と前記一のゲート線とに接続された内部配線と、前記内部配線に接続され、供給される前記制御信号に応じて、前記内部配線の電位を制御する電位制御回路部とを有し、前記信号供給部は、所定時間ごとに、前記複数の駆動回路のうち少なくとも1つの駆動回路における前記電位制御回路部に対し、前記制御信号として、前記内部配線を前記出力用スイッチング素子の閾値電圧よりも低い電位に制御するための電位制御信号を供給し、他の駆動回路における前記選択回路部に対し、前記制御信号として、前記出力用スイッチング素子にオンの状態に切り替わる動作を行わせ、前記一のゲート線を選択状態に切り替える選択電圧を印加させる駆動信号を供給する。

[0006] 本発明の構成によれば、一のゲート線に設けられた複数の駆動回路のいずれかの駆動回路によって一のゲート線が選択状態に切り替えられた際に、他の駆動回路の誤動作を防止することができる。

図面の簡単な説明

[0007] [図1]図1は、第1実施形態に係る液晶表示装置の概略構成を示した模式図である。

[図2]図2は、図1に示すアクティブマトリクス基板の概略構成を示す模式図である。

[図3]図3は、図1に示すアクティブマトリクス基板の概略構成を示す模式図である。

[図4]図4は、図3に示すアクティブマトリクス基板における端子部の構成例を示す模式図である。

[図5]図5は、第1実施形態におけるクロック信号の波形例を示す模式図である。

[図6]図6は、第1実施形態におけるゲートドライバの等価回路の一例を示す図である。

[図7]図7は、図6に示すゲートドライバの表示領域内の配置と配線例を示す

模式図である。

[図8]図8は、図6に示すゲートドライバによるゲート線の駆動タイミングを示すタイミングチャートである。

[図9]図9は、第1実施形態におけるゲートドライバ群の駆動方法を説明する図である。

[図10]図10は、図9に示す駆動方法を用いてゲート線を駆動する際のタイミングチャートである。

[図11]図11は、ゲートドライバにおけるスイッチング素子の特性変動を説明する図である。

[図12]図12は、従来のゲートドライバの配置例と出力波形例とを示す模式図である。

[図13]図13は、第2実施形態におけるクロック信号の波形例を示す模式図である。

[図14]図14は、第2実施形態におけるゲートドライバの等価回路の一例を示す図である。

[図15A]図15Aは、図14に示すゲートドライバの表示領域内の配置と配線例を示す模式図である。

[図15B]図15Bは、図14に示すゲートドライバの表示領域内の配置と配線例を示す模式図である。

[図15C]図15Cは、図14に示すゲートドライバの表示領域内の配置と配線例を示す模式図である。

[図15D]図15Dは、図14に示すゲートドライバの表示領域内の配置と配線例を示す模式図である。

[図16A]図16Aは、第2実施形態におけるゲートドライバによるゲート線の駆動タイミングを示すタイミングチャートである。

[図16B]図16Bは、第2実施形態におけるゲートドライバによるゲート線の駆動タイミングを示すタイミングチャートである。

[図17]図17は、第3実施形態におけるアクティブマトリクス基板の概略構

成を示す模式図である。

[図18]図18は、図17に示すアクティブマトリクス基板における端子部の構成例を示す図である。

[図19]図19は、第3実施形態におけるゲートドライバ群の駆動方法を説明する図である。

[図20]図20は、図19に示す駆動方法を用いてゲート線を駆動する際のタイミングチャートである。

[図21]図21は、第4実施形態におけるゲートドライバの等価回路の一例を示す図である。

[図22A]図22Aは、図21に示すゲートドライバの表示領域内の配置と配線例を示す模式図である。

[図22B]図22Bは、図21に示すゲートドライバの配置と配線例を示す模式図である。

[図23A]図23Aは、第4実施形態におけるゲートドライバによるゲート線の駆動タイミングを示すタイミングチャートである。

[図23B]図23Bは、第4実施形態におけるゲートドライバによるゲート線の駆動タイミングを示すタイミングチャートである。

[図24A]図24Aは、第5実施形態におけるゲートドライバの表示領域内の配置例と配線例を示す模式図である。

[図24B]図24Bは、第5実施形態におけるゲートドライバの表示領域内の配置と配線例を示す模式図である。

[図25A]図25Aは、第5実施形態におけるゲートドライバによるゲート線の駆動タイミングを示すタイミングチャートである。

[図25B]図25Bは、第5実施形態におけるゲートドライバによるゲート線の駆動タイミングを示すタイミングチャートである。

[図25C]図25Cは、第5実施形態におけるゲートドライバによるゲート線の駆動タイミングを示すタイミングチャートである。

[図25D]図25Dは、第5実施形態におけるゲートドライバによるゲート線の

駆動タイミングを示すタイミングチャートである。

[図26]図26は、第6実施形態におけるアクティブマトリクス基板の概略構成を示す模式図である。

[図27]図27は、図26に示すアクティブマトリクス基板における端子部の構成例を示す模式図である。

[図28]図28は、第6実施形態におけるゲートドライバの等価回路の一例を示す図である。

[図29A]図29Aは、図28に示すゲートドライバの表示領域内の配置例と配線例を示す模式図である。

[図29B]図29Bは、図28に示すゲートドライバの表示領域内の配置例と配線例を示す模式図である。

[図30]図30は、第6実施形態におけるゲートドライバによるゲート線の駆動タイミングを示すタイミングチャートである。

[図31]図31は、第6実施形態の応用例1におけるゲートドライバの等価回路の一例を示す図である。

[図32A]図32Aは、図31に示すゲートドライバの表示領域内の配置例と配線例を示す模式図である。

[図32B]図32Bは、図31に示すゲートドライバの表示領域内の配置例と配線例を示す模式図である。

[図33]図33は、図31に示すゲートドライバによるゲート線の駆動タイミングを示すタイミングチャートである。

[図34]図34は、応用例1の変形例におけるゲートドライバによるゲート線の駆動タイミングを示すタイミングチャートである。

[図35]図35は、第6実施形態の応用例2におけるゲートドライバの等価回路の一例を示す図である。

[図36A]図36Aは、図35に示すゲートドライバの表示領域内の配置例と配線例を示す模式図である。

[図36B]図36Bは、図35に示すゲートドライバの表示領域内の配置例と配

線例を示す模式図である。

[図36C]図36Cは、図35に示すゲートドライバの表示領域内の配置例と配線例を示す模式図である。

[図36D]図36Dは、図35に示すゲートドライバの表示領域内の配置例と配線例を示す模式図である。

[図37]図37は、図35に示すゲートドライバによるゲート線の駆動タイミングを示すタイミングチャートである。

[図38A]図38Aは、第7実施形態のアクティブマトリクス基板における端子部の構成例を示す模式図である。

[図38B]図38Bは、図8に示すスイッチ部の構成例を示す模式図である。

[図39]図39は、変形例(5)における端子部の概略構成を示す図である。

[図40A]図40Aは、変形例(5)におけるゲートドライバの等価回路を示す図である。

[図40B]図40Bは、図40Aに示すゲートドライバの表示領域内の配置例と配線例を示す模式図である。

[図41A]図41Aは、変形例(6)におけるゲートドライバの等価回路を示す図である。

[図41B]図41Bは、図41Aに示すゲートドライバの表示領域内の配置例と配線例を示す模式図である。

[図42]図42は、変形例(7)のアクティブマトリクス基板における端子部の構成例を示す図である。

[図43A]図43Aは、変形例(8)におけるゲートドライバの表示領域内の配置例と配線例を示す模式図である。

[図43B]図43Bは、変形例(8)におけるゲートドライバの表示領域内の配置例と配線例を示す模式図である。

[図44A]図44Aは、変形例(9)におけるゲートドライバの等価回路を示す図である。

[図44B]図44Bは、変形例(9)におけるゲートドライバの表示領域内の配

置例と配線例を示す模式図である。

[図44C]図44Cは、変形例（9）におけるゲートドライバの表示領域内の配置例と配線例を示す模式図である。

発明を実施するための形態

[0008] 本発明の一実施形態に係るアクティブマトリクス基板は、複数のソース線と、前記複数のソース線と交差する複数のゲート線とを有するアクティブマトリクス基板であって、ゲート線ごとに複数の駆動回路を有し、供給される制御信号に応じて、前記複数の駆動回路のうちのいずれかの駆動回路によって前記ゲート線を選択状態に切り替える駆動部と、前記駆動部に対して前記制御信号を供給する信号供給部と、を備え、一のゲート線に設けられた前記複数の駆動回路の各々は、前記制御信号に応じて、オンの状態に切り替わり、前記一のゲート線に電圧を印加する出力用スイッチング素子を含む選択回路部と、前記出力用スイッチング素子のゲート端子と前記一のゲート線とに接続された内部配線と、前記内部配線に接続され、供給される前記制御信号に応じて、前記内部配線の電位を制御する電位制御回路部とを有し、前記信号供給部は、所定時間ごとに、前記複数の駆動回路のうち少なくとも1つの駆動回路における前記電位制御回路部に対し、前記制御信号として、前記内部配線を前記出力用スイッチング素子の閾値電圧よりも低い電位に制御するための電位制御信号を供給し、他の駆動回路における前記選択回路部に対し、前記制御信号として、前記出力用スイッチング素子にオンの状態に切り替わる動作を行わせ、前記一のゲート線を選択状態に切り替える選択電圧を印加させる駆動信号を供給する（第1の構成）。

[0009] 第1の構成によれば、アクティブマトリクス基板は、ゲート線ごとに複数の駆動回路が設けられた駆動部と、駆動部に制御信号を供給する信号供給部とを備える。駆動回路は、制御信号に応じて、オンの状態に切り替わり、ゲート線に電圧を印加する出力用スイッチング素子を含む選択回路部と、当該出力用スイッチング素子のゲート端子と当該ゲート線とに接続された内部配線と、内部配線に接続され、制御信号に応じて、内部配線の電位を制御する

電位制御回路とを有する。信号供給部は、所定時間ごとに、ゲート線に設けられたいずれかの駆動回路の電位制御回路に電位制御信号を供給し、他の駆動回路の選択回路部に対して駆動信号を供給する。電位制御信号が供給された駆動回路の電位制御回路は、当該駆動回路における内部配線を出力用スイッチング素子の閾値電圧よりも低い電位に制御する。一方、駆動信号が供給された他の駆動回路の選択回路部における出力用スイッチング素子はオンに切り替わり、ゲート線に選択電圧を出力する。従って、駆動信号が供給された他の駆動回路からゲート線に選択電圧が印加され、駆動信号が供給されない駆動回路の内部配線にそのゲート線の電位が入力されても、その駆動回路における出力用スイッチング素子はオンに切り替わらず、その駆動回路が誤動作することを防止することができる。

[0010] 第2の構成は、第1の構成において、前記信号供給部は、前記一のゲート線に設けられた複数の駆動回路のうち、前記電位制御信号を供給する駆動回路を切り替えることとしてもよい。第2の構成によれば、一のゲート線に選択電圧を印加する駆動回路が特定の駆動回路に偏らないようにすることができる。

[0011] 第3の構成は、第1の構成において、前記ゲート線ごとに、 N 個 ($N \geq 3$ 、 N は自然数)の駆動回路が設けられ、前記信号供給部は、前記所定時間ごとに、前記 N 個の駆動回路のうち、 n 個 (n は自然数、 $2 \leq n < N$)の駆動回路の各々における前記選択回路部に対して前記駆動信号を供給することとしてもよい。

[0012] 第3の構成によれば、各ゲート線は、 n 個の駆動回路の選択回路部によって選択状態に切り替えられるため、1つの駆動回路の選択回路部によって一のゲート線を選択状態に切り替える場合と比べ、ゲート線を選択状態に切り替えるための選択回路部の負荷を軽減することができる。

[0013] 第4の構成は、第2又は第3の構成において、前記電位制御回路部は、ドレイン端子が前記内部配線に接続された第1スイッチング素子を含み、前記信号供給部は、さらに、前記他の駆動回路における前記第1スイッチング素

子のゲート端子に、当該第1スイッチング素子をオフにする第1電圧信号を供給し、前記電位制御信号が供給される前記駆動回路における前記第1スイッチング素子のゲート端子に、当該第1スイッチング素子をオンにする第2電圧信号を供給するとともに、当該第1スイッチング素子のソース端子に前記第1電圧信号を供給することとしてもよい。

[0014] 第4の構成によれば、他の駆動回路、すなわち駆動信号が供給された駆動回路において、内部配線に接続された第1スイッチング素子はオフになる。また、電位制御信号が供給された駆動回路において、内部配線に接続された第1スイッチング素子はオンになり、第1スイッチング素子のソース端子に供給される第1電圧信号の電圧が内部配線に印加される。そのため、電位制御信号が供給される駆動回路の第1スイッチング素子のソース端子に電圧信号を別途供給する場合と比べて、第1スイッチング素子に電圧信号を供給するための配線を削減できる。

[0015] 第5の構成は、第4の構成において、前記選択回路部は、ドレイン端子が前記一のゲート線に接続され、前記制御信号に応じて、前記一のゲート線を非選択状態にする非選択電圧を前記一のゲート線に印加する第2スイッチング素子を含み、前記第1電圧信号の電圧は、前記ゲート線が非選択状態となる電圧であり、前記信号供給部は、さらに、前記他の駆動回路における前記第2スイッチング素子のゲート端子に、当該第2スイッチング素子をオンにする電圧信号を供給し、当該第2スイッチング素子のソース端子に前記第1電圧信号を供給するとともに、前記電位制御信号が供給される前記駆動回路における前記第2スイッチング素子のゲート端子に、当該第2スイッチング素子をオフにする電圧信号を供給することとしてもよい。

[0016] 第5の構成によれば、他の駆動回路、すなわち駆動信号が供給された駆動回路において、ゲート線に接続された第2スイッチング素子はオンになり、第2スイッチング素子のソース端子に供給される第1電圧信号の電圧がゲート線に印加される。第1電圧信号の電圧はゲート線が非選択状態となる電圧であり、他の駆動回路の第2スイッチング素子を介してゲート線は非選択状

態となる。また、停止信号が供給された駆動回路における第2スイッチング素子はオフとなる。そのため、駆動信号が供給された駆動回路の第2スイッチング素子のソース端子に、ゲート線が非選択状態となる電圧信号を別途供給する場合と比べ、第2スイッチング素子に電圧信号を供給するための配線を削減できる。

[0017] 第6の構成は、第1から第5のいずれかの構成において、前記駆動部は、前記複数のソース線と前記複数のゲート線とで規定される表示領域内に配置されていることとしてもよい。

[0018] 第6の構成によれば、駆動部は表示領域内に配置されるため、表示領域の外側に駆動部が配置される場合と比べて額縁領域を小さくすることができる。

[0019] 本発明の一実施形態に係る表示装置は、第1から第6のいずれかの構成に係るアクティブマトリクス基板と、カラーフィルタを有する対向基板と、前記アクティブマトリクス基板と前記対向基板との間に挟持された液晶層とを有する（第7の構成）。

[0020] 以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明は繰り返さない。

[0021] <第1実施形態>

（液晶表示装置の構成）

図1は、本実施形態に係る液晶表示装置の概略構成を示した模式図である。液晶表示装置1は、表示パネル2、ソースドライバ3、表示制御回路4、及び電源5を有する。表示パネル2は、アクティブマトリクス基板20aと、対向基板20bと、これら基板に挟持された液晶層（図示略）とを有する。図1において図示を省略しているが、アクティブマトリクス基板20aと対向基板20bとを挟むように、一对の偏光板が設けられている。対向基板20bには、ブラックマトリクスと、赤（R）、緑（G）、青（B）の3色のカラーフィルタと、共通電極（いずれも図示略）が形成されている。

[0022] 図1に示すように、アクティブマトリクス基板20aは、フレキシブル基

板に形成されたソースドライバ3と電氣的に接続されている。表示制御回路4は、表示パネル2、ソースドライバ3、及び電源5と電氣的に接続されている。表示制御回路4は、ソースドライバ3と、アクティブマトリクス基板20aに設けられた後述の駆動回路（以下、ゲートドライバと称する）とに制御信号を出力する。電源5は、表示パネル2、ソースドライバ3、及び表示制御回路4と電氣的に接続されており、各々に電源電圧信号を供給する。

[0023] （アクティブマトリクス基板の構成）

図2は、アクティブマトリクス基板20aの概略構成を示す模式図である。アクティブマトリクス基板20aにおいて、X軸方向の一端から他端までM（M：自然数）本のゲート線13G（1）～13G（M）が一定の間隔で略平行に形成されている。以下、ゲート線を区別しないときは、ゲート線13Gと称する。アクティブマトリクス基板20aには、各ゲート線13Gと交差するように複数のソース線15Sが形成されている。ゲート線13Gとソース線15Sとで囲まれる領域が1つの画素を形成し、各画素は、カラーフィルタのいずれかの色に対応している。

[0024] 図3は、ソース線15Sの図示を省略したアクティブマトリクス基板20aと、アクティブマトリクス基板20aと接続されている各部の概略構成を示す模式図である。図3の例に示すように、ゲートドライバ11は、表示領域201におけるゲート線13Gとゲート線13Gの間に配置されている。この例では、ゲート線13Gごとに、2つのゲートドライバ11が設けられている。2つのゲートドライバ11の一方は、表示領域201の領域201aに配置され、他方は領域201bに配置されている。以下、領域201aに配置されたゲートドライバ11からなるゲートドライバ群をゲートドライバ群11Aと称し、領域201bに配置されたゲートドライバ11からなるゲートドライバ群をゲートドライバ群11Bと称する。

[0025] 図3に示すアクティブマトリクス基板20aにおいて、ソースドライバ3が設けられている辺の額縁領域202には、端子部12gが設けられている。端子部12gは、表示制御回路4及び電源5と接続されている。端子部1

2 g は、表示制御回路 4 及び電源 5 から出力される制御信号や電源電圧信号等の信号を受け取る。端子部 1 2 g に入力された制御信号及び電源電圧信号等の信号は、配線 1 5 L を介して各ゲートドライバ 1 1 に供給される。ゲートドライバ 1 1 は、供給される信号に応じて、接続されているゲート線 1 3 G に対し、選択状態と非選択状態の一方を示す電圧信号（選択電圧）を出力する。以下の説明において、ゲート線 1 3 G が選択されている状態をゲート線 1 3 G の駆動と呼ぶ。

[0026] また、アクティブマトリクス基板 2 0 a における額縁領域 2 0 2 には、ソースドライバ 3 とソース線 1 5 S（図 2 参照）とを接続する端子部 1 2 s が設けられている。ソースドライバ 3 は、表示制御回路 4 から入力される制御信号に応じて、各ソース線 1 5 S にデータ信号を出力する。

[0027] ここで、端子部 1 2 g について説明する。図 4 は、端子部 1 2 g の構成を模式的に表した図である。図 4 に示すように、端子部 1 2 g は、表示制御回路 4 と接続され、制御信号 G C K 1 __ a、G C K 2 __ a、G C K 1 __ b、G C K 2 __ b、C L R の各々が入力される配線 1 2 1 a、1 2 2 a、1 2 1 b、1 2 2 b、1 2 3 を有する。また、端子部 1 2 g は、電源 5 と接続され、電源電圧信号（V S S）が入力される配線 1 2 4 を有する。

[0028] ゲートドライバ群 1 1 A は、配線 1 5 L を介して、配線 1 2 1 a、1 2 2 a、1 2 3、1 2 4 と接続されている。また、ゲートドライバ群 1 1 B は、配線 1 5 L を介して、配線 1 2 1 b、1 2 2 b、1 2 3、1 2 4 と接続されている。なお、この例において、領域 2 0 1 a 及び領域 2 0 1 b は、表示領域 2 0 0 をソース線 1 5 S の延伸方向に沿って分割した領域である。

[0029] 表示制御回路 4 は、配線 1 2 1 a、1 2 2 a、1 2 1 b、1 2 2 b に、制御信号 G C K 1 __ a 及び G C K 2 __ a と、制御信号 G C K 1 __ b 及び G C K 2 __ b として、一水平期間ごとに H レベルと L レベルとを繰り返す駆動信号（以下、クロック信号）C K A 及び C K B、又は、クロック信号の L レベルと同じ電位の信号（以下、動作停止信号）を供給する。また、表示制御回路 4 は、配線 1 2 3 に、制御信号 C L R として、クロック信号の H レベルと同

じ電位の制御信号（以下、リセット信号）を供給する。

[0030] 図5は、クロック信号CKA、及びクロック信号CKBの波形を例示した図である。図5に示すように、クロック信号CKAとクロック信号CKBは、一水平走査期間（1H）毎に位相が反転する2相のクロック信号である。

[0031] 次に、本実施形態におけるゲートドライバ11の構成について説明する。

図6は、ゲート線13G(n-1)とゲート線13G(n)の間に配置され、ゲート線13G(n)を駆動するゲートドライバ11（以下、ゲートドライバ11(n)）の等価回路の一例を示す図である。ゲートドライバ群11Aとゲートドライバ群11Bにおけるゲートドライバ11は同じ構成であるため、以下の説明では、ゲートドライバ群11Aにおけるゲートドライバ11(n)を例に説明を行う。

[0032] 図6に示すように、ゲートドライバ11(n)は、スイッチング素子として、アルファベットA～Eで示す薄膜トランジスタ（TFT:Thin Film Transistor）（以下、TFT-A～TFT-E）と、キャパシタCbstとを有する。図6において、netAは、ゲートドライバ11(n)の内部配線である。netAは、TFT-Bのソース端子と、TFT-Aのドレイン端子と、TFT-Eのゲート端子と、キャパシタCbstの一方の電極とを接続する。

[0033] TFT-Aのゲート端子は、リセット信号CLRが供給され、ドレイン端子はnetAと接続され、ソース端子は電源電圧信号VSSが供給される。

[0034] TFT-Bのゲート端子は、制御信号GCK2__aが供給され、ドレイン端子は前段のゲート線13G(n-1)と接続され、ソース端子はnetAに接続されている。TFT-Bは、ゲート線13G(n-1)からセット信号Sを受け取る。なお、ゲート線13G(1)を駆動するゲートドライバ11におけるTFT-Bは、セット信号Sとして、表示制御回路4から出力されるゲートスタートパルス信号を受け取る。

[0035] キャパシタCbstは、一方の電極がnetAと接続され、他方の電極はゲート線13G(n)と接続されている。つまり、ゲートドライバ11にお

ける内部配線（*net A*）は、キャパシタ *Cbst* を介して一のゲート線 *13G* に接続されている。

[0036] *TFT-C* のゲート端子は、制御信号 *GCK2__a* が供給され、ドレイン端子はゲート線 *13G (n)* と接続され、ソース端子は電源電圧信号 *VSS* が供給される。

[0037] *TFT-D* のゲート端子は、リセット信号 *CLR* が供給され、ドレイン端子はゲート線 *13G (n)* と接続され、ソース端子は電源電圧信号 *VSS* が供給される。

[0038] *TFT-E* のゲート端子は、*net A* と接続され、ドレイン端子は制御信号 *GCK1__a* が供給され、ソース端子はゲート線 *13G (n)* に接続されている。

[0039] （ゲートドライバの全体レイアウト）

次に、ゲートドライバ *11* の各素子の配置について説明する。図 *7* は、領域 *201a* に配置されたゲートドライバ群 *11A* の一部のゲートドライバ *11* を表した模式図である。なお、図 *7* では、便宜上、アルファベット *A*～*E* のみ記載し、“*TFT-*” の表記を省略しているが、*A*～*E* は、図 *6* に示した *TFT-A*～*TFT-E* に対応している。

[0040] 図 *7* に示すように、隣接するゲート線 *13G* の間には、1つのゲートドライバ *11* を構成する各素子が分散して配置されている。この図において、ゲート線 *13G (n-3)* とゲート線 *13G (n-2)* の間に配置されたゲートドライバ *11*（以下、ゲートドライバ *11 (n-2)*）の各素子と、ゲート線 *13G (n-1)* とゲート線 *13G (n)* の間に配置されたゲートドライバ *11 (n)* の各素子は、同じ列の画素 *PIX* に配置されている。

[0041] ゲートドライバ *11 (n)* とゲートドライバ *11 (n-2)* の *TFT-A*～*TFT-E* は、配線 *15L* を介して接続されている。これらゲートドライバ *11* の *TFT-B* 及び *TFT-C* は、配線 *15L* を介して、端子部 *12g* の配線 *122a* と接続され、制御信号 *GCK2__a* が供給される。また、ゲートドライバ *11 (n)* とゲートドライバ *11 (n-2)* の *TFT-E* は、

配線 1 5 L を介して、端子部 1 2 g の配線 1 2 1 a と接続され、制御信号 G C K 1 __ a が供給される。

[0042] なお、配線 1 5 L は、アクティブマトリクス基板 2 0 a におけるソース線 1 5 S が形成されたソース層において、ソース線 1 5 S と略平行に形成されている。また、ゲートドライバ 1 1 における n e t A の配線は、ゲート線 1 3 G が形成されたゲート層において、ゲート線 1 3 G と略平行に形成されている。

[0043] ゲートドライバ 1 1 (n - 2) は、制御信号 G C K 1 __ a 、 G C K 2 __ a に応じて、ゲート線 1 3 G (n - 2) を駆動する。ゲートドライバ 1 1 (n) は、制御信号 G C K 1 __ a 、 G C K 2 __ a に応じて、ゲート線 1 3 G (n) を駆動する。

[0044] また、ゲート線 1 3 G (n - 2) とゲート線 1 3 G (n - 1) の間に配置されたゲートドライバ 1 1 (以下、ゲートドライバ 1 1 (n - 1)) の各素子と、ゲート線 1 3 G (n) とゲート線 1 3 G (n + 1) の間に各々配置されたゲートドライバ 1 1 (以下、ゲートドライバ 1 1 (n + 1)) の各素子は、同じ列の画素 P I X に配置されている。

[0045] ゲートドライバ 1 1 (n - 1) とゲートドライバ 1 1 (n + 1) の T F T - A ~ T F T - E は、配線 1 5 L を介して接続されている。ゲートドライバ 1 1 (n - 1) とゲートドライバ 1 1 (n + 1) の T F T - B 及び T F T - C は、配線 1 5 L を介して、端子部 1 2 g の配線 1 2 1 a と接続され、制御信号 G C K 1 __ a が供給される。ゲートドライバ 1 1 (n - 1) とゲートドライバ 1 1 (n + 1) の T F T - E は、配線 1 5 L を介して、端子部 1 2 g の配線 1 2 2 a と接続され、制御信号 G C K 2 __ a が供給される。

[0046] ゲートドライバ 1 1 (n - 1) は、制御信号 G C K 1 __ a 及び G C K 2 __ a に応じて、ゲート線 1 3 G (n - 1) を駆動し、ゲートドライバ 1 1 (n + 1) は、制御信号 G C K 1 __ a 及び G C K 2 __ a に応じて、ゲート線 1 3 G (n + 1) を駆動する。

[0047] 上述のように、ゲートドライバ 1 1 (n) 及びゲートドライバ 1 1 (n -

2) と、ゲートドライバ 1 1 ($n - 1$) 及びゲートドライバ 1 1 ($n + 1$) とは、動作期間において、互いに逆位相のクロック信号が供給される。つまり、同じ領域 2 0 1 a に配置され、隣接する行に配置されたゲートドライバ 1 1 は、動作期間において、互いに逆位相のクロック信号が供給される。

[0048] なお、ゲートドライバ群 1 1 B におけるゲートドライバ 1 1 は、制御信号 G C K 1 __ a、G C K 2 __ a に替えて、制御信号 G C K 1 __ b、G C K 2 __ b が供給される点でゲートドライバ群 1 1 A におけるゲートドライバ 1 1 と異なるが、素子の配置は図 7 と同様である。

[0049] (ゲートドライバ 1 1 の動作)

次に、図 6 及び図 8 を参照しつつ、1 つのゲートドライバ 1 1 の動作について説明する。図 8 は、ゲートドライバ 1 1 (n) がゲート線 1 3 G (n) を駆動する際のタイミングチャートである。以下の例では、ゲートドライバ群 1 1 A におけるゲートドライバ 1 1 (n) の動作について説明する。

[0050] 表示制御回路 4 から供給される、一水平走査期間 (1 H) 毎に位相が反転するクロック信号 C K A、C K B がゲートドライバ 1 1 (n) に入力される。また、図 8 では図示を省略しているが、一垂直走査期間毎に一定期間 H (High) レベルとなるリセット信号 C L R が表示制御回路 4 から各ゲートドライバ 1 1 に入力される。リセット信号 C L R が入力されると、各ゲートドライバ 1 1 における n e t A とゲート線 1 3 G の電位は L (Low) レベルに遷移する。

[0051] 図 8 の時刻 $t_1 \sim t_2$ の期間は、ゲート線 1 3 G ($n - 1$) が選択されている期間である。時刻 t_1 から t_2 において、ゲートドライバ 1 1 (n) における T F T - B のドレイン端子に、セット信号 S として、ゲート線 1 3 G ($n - 1$) が選択状態に切り替えられたときの H レベルの電位が入力される。

[0052] このとき、ゲートドライバ 1 1 (n) における T F T - B のゲート端子には、クロック信号 C K B の H レベルの電位が入力される。これにより、この T F T - B はオンに切り替えられ、ゲートドライバ 1 1 (n) における n e

t_A （以下、 $net_A(n)$ ）が（Hレベルの電位－ $TFT-B$ の閾値電圧）の電位にプリチャージされる。このとき、ゲートドライバ11（ n ）における $TFT-E$ のドレイン端子には、クロック信号 CKA のLレベルの電位が入力される。そのため、この $TFT-E$ はオン状態となり、クロック信号 CKA のLレベルの電位がゲート線13G（ n ）に出力される。また、ゲートドライバ11（ n ）における $TFT-C$ のドレイン端子には、クロック信号 CKB のHレベルの電位が入力される。これにより、この $TFT-C$ がオンに切り替えられる。そのため、ゲート線13G（ n ）には、電源電圧 VSS の電位（Lレベル）が出力される。

[0053] 次に、時刻 t_2 において、ゲートドライバ11（ n ）における $TFT-B$ のドレイン端子には、ゲート線13G（ $n-1$ ）のLレベルの電位が入力される。また、 $TFT-B$ のゲート端子にはクロック信号 CKB のLレベルの電位が入力され、 $TFT-B$ はオフ状態となる。また、ゲートドライバ11（ n ）における $TFT-E$ のドレイン端子には、クロック信号 CKA のHレベルの電位が入力される。この $TFT-E$ を介したゲート線13G（ n ）の電位の上昇に伴い、 $net_A(n)$ とゲート線13G（ n ）の間に接続されたキャパシタ C_{bst} によって、 $net_A(n)$ は、クロック信号 CKA のHレベルの電位よりも高い電位まで充電される。

[0054] このとき、ゲートドライバ11（ n ）における $TFT-C$ のゲート端子には、クロック信号 CKB のLレベルの電位が入力され、 $TFT-C$ はオフ状態となる。これにより、ゲート線13G（ n ）に、クロック信号 CKA のHレベルの電位（選択電圧）が出力されてゲート線13G（ n ）が選択状態に切り替えられる。そして、ゲート線13G（ n ）の電位が、セット信号 S として、ゲートドライバ11（ $n+1$ ）に入力される。

[0055] 次に、時刻 t_3 において、ゲートドライバ11（ n ）における $TFT-B$ のゲート端子には、クロック信号 CKB のHレベルの電位が入力され、この $TFT-B$ のドレイン端子には、ゲート線13G（ $n-1$ ）のLレベルの電位が入力される。これにより、 $net_A(n)$ は、Lレベルの電位に充電さ

れる。

[0056] また、このとき、ゲートドライバ11 (n) におけるTFTEのドレイン端子には、クロック信号CKAのLレベルの電位が入力される。また、ゲートドライバ11 (n) におけるTFTCのゲート端子には、クロック信号CKBのHレベルの電位が入力される。これにより、ゲート線13G (n) は、Lレベルの電位に充電され、非選択の状態に切り替えられる。

[0057] 次に、本実施形態におけるゲート線13Gの駆動方法について説明する。本実施形態では、ゲート線13G (1) ~ 13G (M) の各々に接続されたゲートドライバ群11Aとゲートドライバ群11Bのいずれか一方のゲートドライバ群を用いてゲート線13Gを駆動する。つまり、所定期間ごとに、ゲートドライバ群11Aとゲートドライバ群11Bを交互に動作させる。これにより、一方のゲートドライバ群のゲートドライバ11によってゲート線13Gが選択状態に切り替えられる。

[0058] 具体的には、例えば、図9に示すように、表示制御回路4は、第1動作期間において、ゲートドライバ群11Aに対し、制御信号GCK1__a及びGCK2__aとしてクロック信号CKA及びCKBを供給する。一方、表示制御回路4は、第1動作期間の間、ゲートドライバ群11Bに対し、制御信号GCK1__b及びGCK2__bとして、電位がLレベルの動作停止信号を各々供給する。

[0059] 次に、第2動作期間では、表示制御回路4は、ゲートドライバ群11Aに対し、制御信号GCK1__a及びGCK2__aとして、電位がLレベルの動作停止信号を各々供給し、ゲートドライバ群11Bに対しては、制御信号GCK1__b及びGCK2__bとしてクロック信号CKA及びCKBを供給する。第3動作期間以降は説明を省略するが、第3動作期間以降についても、第1動作期間、第2動作期間と同様である。すなわち、ゲートドライバ群11Aとゲートドライバ群11Bとが交互に動作するように、ゲートドライバ群11Aとゲートドライバ群11Bに制御信号が供給される。

[0060] このように、表示制御回路4は、動作期間ごとに、動作させるゲートドラ

イバ群に対してクロック信号を供給し、動作を停止させるゲートドライバ群に対して動作停止信号を供給する。つまり、動作期間ごとに、動作させるゲートドライバには、T F Tをオンの状態に切り替える動作を行わせる制御信号を供給し、他のゲートドライバには、T F Tをオフの状態に維持し、動作を停止させる制御信号を供給する。

[0061] なお、動作期間は、1フレーム又は複数のフレームの期間であってもよいし、任意に定められた時間であってもよい。また、液晶表示装置1の電源がオン状態になっている期間であってもよい。

[0062] 図10は、1フレームを動作期間として、1フレームごとに、ゲートドライバ群11Aとゲートドライバ群11Bを交互に切り替えて動作させる場合のタイミングチャートを示している。この例では、第jフレームにおいて、ゲート線13G(1)～13G(M)をゲートドライバ群11Aによって駆動する。そして、第j+1フレームでは、ゲート線13G(1)～13G(M)をゲートドライバ群11Bによって駆動する場合について説明する。

[0063] なお、この例において、ゲート線13G(M)を駆動するゲートドライバ11(以下、ゲートドライバ11(M))のT F T-B及びT F T-Cは、図4に示す配線122a又は122bと接続され、制御信号GCK2__a又はGCK2__bが供給される。ゲートドライバ11(M)のT F T-Eは、配線121a又は121bと接続され、制御信号GCK1__a又はGCK1__bが供給される。また、ゲート線13G(1)を駆動するゲートドライバ11(以下、ゲートドライバ11(1))のT F T-B及びT F T-Cは、図4に示す配線121a又は121bと接続され、制御信号GCK1__a又はGCK1__bが供給される。ゲートドライバ11(1)のT F T-Eは、図4に示す配線122a又は122bと接続され、制御信号GCK2__a又はGCK2__bが供給される。

[0064] 第jフレームにおいて、表示制御回路4は、ゲートドライバ群11Aに対し、制御信号GCK1__a及びGCK2__aとして、クロック信号CKA及びCKBを各々供給する。また、ゲートドライバ群11Bに対し、制御信号

GCK1__b及びGCK2__bとして、電位がLレベルの動作停止信号を各々供給する。

[0065] これにより、ゲートドライバ群11Aによって、各ゲート線13Gは、ゲート線13G(1)から順に選択状態に切り替えられる。時刻t1からt2において、ゲート線13G(M-1)が選択状態に切り替えられると、ゲートドライバ群11Aにおけるゲートドライバ11(M)(以下、ゲートドライバ11(A__M))のTFTE-Bに、セット信号Sとして、ゲート線13G(M-1)のHレベルの電位が入力される。これにより、ゲートドライバ11(A__M)のnetA(以下、netA(A__M))は、(Hレベルの電位-TFTE-Bの閾値電圧)の電位にプリチャージされる。

[0066] 次に、時刻t2において、ゲート線13G(M-1)が非選択状態に切り替えられる。そして、ゲートドライバ11(A__M)におけるTFTE-Bのゲート端子に、制御信号GCK2__a(CKB)のLレベルの電位が入力され、ドレイン端子にゲート線13G(M-1)のLレベルの電位が入力される。これにより、TFTE-Bはオフ状態となる。また、ゲートドライバ11(A__M)におけるTFTE-Eのドレイン端子には、制御信号GCK1__a(CKA)のHレベルの電位が入力される。そして、netA(A__M)とゲート線13G(M)の間に接続されたキャパシタCbstによって、netA(A__M)は、クロック信号CKAのHレベルの電位よりも高い電位まで充電される。このとき、ゲートドライバ11(A__M)におけるTFTE-Cのゲート端子には、制御信号GCK2(1)(CKB)のLレベルの電位が入力されるため、TFTE-Cはオフ状態となる。これにより、ゲート線13G(M)は、選択された状態に切り替えられる。

[0067] 表示制御回路4は、時刻t3のタイミングで、ゲートドライバ群11A及びゲートドライバ群11Bに対し、配線123を介して、Hレベルのリセット信号CLRを供給する。これにより、各ゲートドライバ11におけるTFTE-A及びTFTE-Dのゲート端子にリセット信号CLRが入力される。そして、各ゲートドライバ11におけるnetA及びゲート線13G(1)～

1 3 G (M) の電位は電源電圧 V S S (L レベル) に遷移する。

[0068] 表示制御回路 4 は、第 $j + 1$ フレームの開始時刻 t_4 のタイミングで、ゲートドライバ群 1 1 A に対し、制御信号 G C K 1 __ a 及び G C K 2 __ a として、電位が L レベルの動作停止信号の供給を開始する。一方、表示制御回路 4 は、時刻 t_4 のタイミングで、ゲートドライバ群 1 1 B に対し、制御信号 G C K 1 __ b、G C K 2 __ b として、クロック信号 C K A 及び C K B の供給を開始する。また、表示制御回路 4 は、時刻 t_4 において、ゲートドライバ群 1 1 B のゲートドライバ 1 1 (1) (以下、ゲートドライバ 1 1 (B __ 1)) に対し、セット信号 S として、ゲートスタートパルス信号 G S P を供給する。

[0069] これにより、ゲートドライバ 1 1 (B __ 1) における T F T - B のゲート端子に、H レベルの G C K 1 __ b (C K A)、ドレイン端子にゲートスタートパルス信号 G S P が各々入力される。ゲートドライバ 1 1 (B __ 1) における n e t A (以下、n e t A (B __ 1)) は、(H レベルの電位 - T F T - B の閾値電圧) の電位にプリチャージされる。

[0070] 次に、時刻 t_5 において、ゲートドライバ 1 1 (B __ 1) における T F T - B のドレイン端子には、L レベルのゲートスタートパルス信号 G S P、ゲート端子にはクロック信号 C K A の L レベルの電位が各々入力され、T F T - B はオフ状態となる。また、ゲートドライバ 1 1 (B __ 1) における T F T - E のドレイン端子には、制御信号 G C K 2 __ b の H レベルの電位が入力され、n e t A (B __ 1) は、キャパシタ C b s t によってクロック信号 C K B の H レベルの電位よりも高い電位まで充電される。

[0071] このとき、ゲートドライバ 1 1 (B __ 1) における T F T - C のゲート端子には、クロック信号 C K A の L レベルの電位が入力されるため、T F T - C はオフ状態となる。これにより、ゲート線 1 3 G (1) は選択された状態に切り替えられ、ゲート線 1 3 G (1) の電位が、ゲート線 1 3 G (2) を駆動するゲートドライバ群 1 1 B のゲートドライバ 1 1 にセット信号 S として入力される。第 $j + 1$ フレームにおいて、ゲート線 1 3 G (1) を駆動後

、ゲート線 13 G (2) ~ 13 G (M) についても上記と同様にして、ゲートドライバ群 11 B によって順次駆動される。

[0072] このようにして、液晶表示装置 1 は、所定期間ごとに、ゲート線 13 G (1) ~ 13 G (M) に接続されているゲートドライバ群 11 A 又はゲートドライバ群 11 B によって、ゲート線 13 G (1) ~ 13 G (M) を順次駆動する。そして、ゲート線 13 G (1) ~ 13 G (M) が選択されている期間において、ソースドライバ 3 によって各ソース線 15 S にデータ信号を供給することにより表示パネル 2 に画像を表示する。

[0073] 図 11 は、ゲートドライバ 11 における T F T のゲートーソース間電圧 V_{gs} と、ドレイン電流 I_d との関係を示す図である。例えば、図 11 に示す (a) の特性を有する T F T のゲートーソース間に、閾値電圧 V_{th} を超える電圧を印加する時間が長くなるほど、図 11 に示す (b) の特性に変化する。つまり、T F T の閾値電圧 V_{th} は、正方向側へシフトし、T F T が劣化する。上記ゲートドライバ 11 の場合、特に、クロック信号がゲート端子に入力される T F T - B 及び T F T - C は、正バイアスがデューティ比 50 % で印加されるため、T F T が劣化しやすい。

[0074] 上述した第 1 実施形態では、所定期間ごとに、ゲート線 13 G に接続された複数のゲートドライバ 11 のいずれか 1 つを動作させてゲート線 13 を駆動し、他のゲートドライバ 11 の動作を停止させる。このように構成することにより、全てのゲートドライバ 11 を動作させてゲート線 13 を駆動する場合と比べ、ゲートドライバ 11 における T F T がオンにされる期間が短くなり、T F T の劣化を抑制することができる。

[0075] また、図 12 の (a) に示すように、アクティブマトリクス基板 20 a' の額縁領域 20 2' にゲートドライバを配置する従来の場合、領域 S 1、S 2、S 3 にゲートドライバを配置すると、対向基板（図示略）とアクティブマトリクス基板 20 a' とを貼り合わせるシール材が設けられるシール領域 20 3 から近い位置に配置されるゲートドライバほど外気等の影響を受けやすくなる。その結果、ゲートドライバが配置される位置によって、ゲートドラ

イバの劣化にばらつきが生じる。

[0076] 図12の(b)は、領域S1、S2、S3に配置された各ゲートドライバによるゲート線の駆動波形を模式的に表した図である。図12の(b)における各駆動波形のHレベルの期間は、ゲート線が選択されている期間である。図12の(b)に示すように、領域S3に配置されたゲートドライバによるゲート線の駆動波形ほどなまった波形となっている。所定期間ごとに、領域S1、S2、S3に配置されたゲートドライバを交代で動作させると、ゲートドライバごとにゲート線に印加される選択電圧に差が生じ、表示領域内の明るさが所定期間ごとに変化する。

[0077] 上述した第1実施形態では、表示領域201内にゲートドライバ11が設けられており、対向基板20bとアクティブマトリクス基板20aとを貼り合わせるシール領域(図示略)からゲートドライバ11は離れている。そのため、ゲートドライバ11におけるTFTは、外気等の影響による劣化が起こりにくい。その結果、上述したように、所定期間ごとに、ゲート線13Gに接続されたいずれかのゲートドライバ11を動作させ、他のゲートドライバ11の動作を停止させても、各ゲートドライバ11におけるTFTの特性の変動は略均一となり、TFTの特性変動による表示性能の低下を軽減することができる。

[0078] <第2実施形態>

上述した第1実施形態では、2つのゲートドライバ群の各々に、2相のクロック信号(CKA, CKB)を供給する例を説明した。本実施形態では、2つのゲートドライバ群の各々に、4相のクロック信号を供給する例を説明する。なお、以下の説明において、第1実施形態と同様の構成には、第1実施形態と同じ符号を用いて説明する。

[0079] 本実施形態では、表示制御回路4により、ゲートドライバ群11Aとゲートドライバ群11Bの各々に対し、制御信号GCK1、GCK2、GCK3、及びGCK4として、2水平期間(2H)ごとにHレベルとLレベルと繰り返すクロック信号CKA[1]、CKA[2]、CKB[1]、及びCKB[2]

、又は電位がLレベルの動作停止信号が供給される。

[0080] 図13は、クロック信号CKA[1]、CKA[2]、CKB[1]、CKB[2]の波形を示す図である。クロック信号CKA[1]とCKB[1]、クロック信号CKA[2]とCKB[2]は、互いに逆位相となるが、クロック信号CKA[1]とCKA[2]、クロック信号CKB[1]とCKB[2]は、位相が1/4周期ずれている。

[0081] 本実施形態では、端子部12gにおいて、ゲートドライバ群11Aとゲートドライバ群11Bの各々に、制御信号GCK1、GCK2、GCK3、GCK4を供給するための配線が4本ずつ設けられる。

[0082] 以下の説明において、ゲートドライバ群11Aとゲートドライバ群11Bに供給される制御信号を区別する場合、ゲートドライバ群11Aに対する制御信号を、制御信号GCK1__a、GCK2__a、GCK3__a、GCK4__aとし、ゲートドライバ群11Bに対する制御信号を、制御信号GCK1__b、GCK2__b、GCK3__b、GCK4__bと表す。また、ゲートドライバ群11Aとゲートドライバ群11Bに供給されるクロック信号を区別する場合、ゲートドライバ群11Aに対するクロック信号を、クロック信号CKA[1]__a、CKA[2]__a、CKB[1]__a、CKB[2]__aとし、ゲートドライバ群11Bに対するクロック信号を、クロック信号CKA[1]__b、CKA[2]__b、CKB[1]__b、CKB[2]__bと表す。

[0083] 図14は、本実施形態におけるゲートドライバ11(n)の等価回路を示す図である。上述した第1実施形態では、TFT-Bのドレイン端子には、セット信号Sとして、ゲート線13G(n-1)の電位が入力されているが、本実施形態では、ゲート線13G(n-2)の電位が入力される点で第1実施形態と異なっている。

[0084] 次に、本実施形態におけるゲートドライバ群11A及びゲートドライバ群11Bの表示領域内の配置例について説明する。図15A及び15Bは、本実施形態におけるゲートドライバ群11Aの配置例を示す模式図である。ゲートドライバ群11Aは、2つのサブゲートドライバ群111a及び112

aを有する。サブゲートドライバ群111aの各ゲートドライバ11は、ゲート線13G(n)とゲート線13G(n+2)を各々駆動する。サブゲートドライバ群112aの各ゲートドライバ11は、ゲート線13G(n+1)とゲート線13G(n+3)の各々を駆動する。

[0085] 具体的には、図15Aにおいて、ゲート線13G(n)を駆動するゲートドライバ11(n)におけるTF T-Bのドレイン端子は、図示しないゲート線13G(n-2)に接続され、ゲート線13G(n-2)からセット信号Sを受け取る。また、ゲート線13G(n+2)を駆動するゲートドライバ11(n+2)におけるTF T-Bのドレイン端子は、ゲート線13G(n)に接続され、ゲート線13G(n)からセット信号Sを受け取る。ゲートドライバ11(n)におけるTF T-B及びTF T-Cのゲート端子には、制御信号GCK3__a(CKB[1])が供給される。ゲートドライバ11(n+2)におけるTF T-Bのゲート端子及びTF T-Cのゲート端子には、制御信号GCK1__a(CKA[1])が供給される。クロック信号CKA[1]及びCKB[1]は、互いに逆位相となるクロック信号である。

[0086] また、図15Bにおいて、ゲート線13G(n+1)を駆動するゲートドライバ11(n+1)におけるTF T-Bのドレイン端子は、ゲート線13G(n-1)に接続され、ゲート線13G(n-1)からセット信号Sを受け取る。また、ゲート線13G(n+3)を駆動するゲートドライバ11(n+3)におけるTF T-Bのドレイン端子は、ゲート線13G(n+1)に接続され、ゲート線13G(n+1)からセット信号Sを受け取る。ゲートドライバ11(n+1)におけるTF T-B及びTF T-Cのゲート端子には、制御信号GCK4__a(CKB[2])が供給される。ゲートドライバ11(n+3)におけるTF T-Bのゲート端子及びTF T-Cのゲート端子には、制御信号GCK2__a(CKA[2])が供給される。クロック信号CKA[2]及びCKB[2]は互いに逆位相となるクロック信号である。

[0087] 本実施形態では、隣接する行に配置されたゲートドライバは、位相が1/4周期ずれたクロック信号が供給される。サブゲートドライバ群111a及びサブゲートドライバ群112aは、動作期間において、2段前のゲート線13Gからセット信号Sを受け取り、供給されるクロック信号CKA[1]__a及びCKB[1]__aに応じて、ゲート線13Gを選択状態に切り替える。

[0088] 図15C及び15Dは、本実施形態におけるゲートドライバ群11Bの配置例を示す模式図である。本実施形態では、ゲートドライバ群11Bは、2つのサブゲートドライバ群111b及び112bを有する。サブゲートドライバ群111bは、上述したサブゲートドライバ群111aと同様、ゲート線13G(n)とゲート線13G(n+2)を各々駆動する。サブゲートドライバ群112bは、上述したサブゲートドライバ群112aと同様、ゲート線13G(n+1)とゲート線13G(n+3)の各々を駆動する。以下、ゲートドライバ群11Aと異なる点について説明する。

[0089] 図15Cに示すサブゲートドライバ群111bは、サブゲートドライバ群111aとは異なる配線を介して、サブゲートドライバ群111aと同様の制御信号GCK1__b及びGCK3__b(CKA[1]及びCKB[1])が供給される。また、図15Dに示すサブゲートドライバ群112bは、サブゲートドライバ群112aとは異なる配線を介して、サブゲートドライバ群112aと同様の制御信号GCK2__b及びGCK4__b(CKA[2]及びCKB[2])が供給される。

[0090] なお、ゲートドライバ群11A及びゲートドライバ群11Bにおける各ゲートドライバ11(1)のTFTBのゲート端子は、第1実施形態と同様、ゲートスタートパルス信号GSP(以下、GSP(1))がセット信号Sとして供給される。また、本実施形態では、ゲート線13G(2)を駆動するゲートドライバ11(2)におけるTFTBのゲート端子に対しては、表示制御回路4からゲートスタートパルス信号GSP(2)が供給される。

[0091] 次に、ゲート線13Gの駆動方法について説明する。本実施形態において

は、第1実施形態と同様、所定期間ごとに、ゲートドライバ群11Aとゲートドライバ群11Bを交互に切り替えて動作させ、各ゲート線13を駆動する。

[0092] 図16A及び図16Bは、1フレームごとに、ゲートドライバ群11Aとゲートドライバ群11Bを交互に動作させ、ゲート線13G(1)～ゲート線13(M)を駆動するタイミングチャートを示している。

[0093] なお、この例において、ゲートドライバ群11A及びゲートドライバ群11Bのゲートドライバ11(1)におけるTF T-BとTF T-Cの各ゲート端子には、動作期間において、クロック信号CKB[1]が供給され、TF T-Eのドレイン端子にはクロック信号CKA[1]が供給されるものとする。また、ゲートドライバ群11A及びゲートドライバ群11Bのゲート線13G(M)を駆動するゲートドライバ11(M)におけるTF T-BとTF T-Cの各ゲート端子には、動作期間において、クロック信号CKA[2]が供給され、TF T-Eのドレイン端子にはクロック信号CKB[2]が供給されるものとする。

[0094] 第jフレームの開始時刻t1より前に、表示制御回路4からゲートドライバ群11A及びゲートドライバ群11Bに対し、Hレベルのリセット信号CLRが供給され、各ゲートドライバ11におけるnet A及び各ゲート線13Gの電位がLレベルに遷移する。続いて、時刻t1のタイミングで、表示制御回路4は、ゲートドライバ群11Aの各ゲートドライバ11におけるTF T-B、TF T-C、及びTF T-Eに対し、制御信号として、クロック信号CKA[1]__a、CKA[2]__a、CKB[1]__a、CKB[2]__aの供給を開始する。また、ゲートドライバ群11Aのゲートドライバ11(1)のTF T-Bのゲート端子に、ゲートスタートパルス信号GSP(1)が表示制御回路4から供給される。

[0095] ゲートドライバ群11Aのゲートドライバ11(1)は、ゲートスタートパルス信号GSP(1)、Hレベルの制御信号GCK3__a(CKB[1]__a)の入力により、時刻t2において、ゲートドライバ11(1)におけ

る $net\ A\ (A_1)$ をプリチャージする。また、時刻 t_2 において、ゲートドライバ群 $11\ A$ におけるゲートドライバ $11\ (2)$ の $TFT-B$ のゲート端子に、ゲートスタートパルス信号 $GSP\ (2)$ が表示制御回路 4 から供給される。ゲートドライバ群 $11\ A$ のゲートドライバ $11\ (2)$ には、ゲートスタートパルス信号 $GSP\ (2)$ 、 H レベルの制御信号 $GCK4_a\ (CKB[2]_a)$ が入力され、ゲートドライバ $11\ (2)$ における $net\ A\ (A_2)$ がプリチャージされる。

[0096] 次に、時刻 t_3 において、ゲートドライバ群 $11\ A$ のゲートドライバ $11\ (1)$ の $TFT-E$ のゲート端子に、クロック信号 $CKA[1]_a$ の H レベルの電位が入力されると、 $net\ A\ (A_1)$ は、制御信号 $GCK1_a\ (CKA[1]_a)$ よりも高い電位まで充電される。このとき、制御信号 $GCK3_a\ (CKB[1]_a)$ は L レベルのため、ゲートドライバ $11\ (1)$ の $TFT-C$ はオフ状態となり、ゲート線 $13\ G\ (1)$ は選択状態に切り替えられる。そして、ゲート線 $13\ G\ (3)$ を駆動するゲートドライバ 11 (図示略) の $TFT-B$ のゲート端子には、セット信号 S として、ゲート線 $13\ G\ (1)$ の H レベルの電位が入力される。

[0097] 続いて、時刻 t_4 において、ゲートドライバ $11\ (2)$ の $TFT-E$ のドレイン端子に、制御信号 $GCK2_a\ (CKA[2]_a)$ の H レベルの電位が入力されると、ゲートドライバ $11\ (2)$ における $net\ A\ (A_2)$ はクロック信号 $CKA[2]_a$ よりも高い電位まで充電される。このとき、制御信号 $GCK4_a\ (CKB[2]_a)$ は L レベルのため、ゲートドライバ $11\ (2)$ の $TFT-C$ はオフ状態となり、ゲート線 $13\ G\ (2)$ は選択状態に切り替えられる。そして、ゲート線 $13\ G\ (4)$ を駆動するゲートドライバ 11 (図示略) の $TFT-B$ のゲート端子には、セット信号 S として、ゲート線 $13\ G\ (2)$ の H レベルの電位が入力される。

[0098] 次に、時刻 t_5 において、制御信号 $GCK1_a\ (CKA[1]_a)$ が L レベル、制御信号 $GCK3_a\ (CKB[1]_a)$ が H レベルに遷移する。ゲートドライバ群 $11\ A$ のゲートドライバ $11\ (1)$ の $TFT-B$ のド

レイン端子にはLレベルのセット信号Sが入力され、 $net A (A_1)$ は、Lレベルの電位に充電される。また、ゲートドライバ11(1)のTF T-Cはオン状態となり、ゲート線13 G(1)は非選択状態に切り替えられる。

[0099] 続いて、時刻t 6において、制御信号GCK 2__a (CK A [2] __a)がHレベル、制御信号GCK 4__a (CK B [2] __a)がLレベルに遷移する。ゲートドライバ群11 Aのゲートドライバ11(2)のTF T-Bのドレイン端子にはLレベルのセット信号Sが入力され、 $net A (A_2)$ は、Lレベルの電位に充電される。また、ゲートドライバ11(2)のTF T-Cはオン状態となり、ゲート線13 G(2)は非選択状態に切り替えられる。

[0100] このようにして、ゲート線13 G(3)～13 G(M-1)についても、2段前のゲート線13 Gの駆動タイミングでプリチャージされ、前段のゲート線13 Gの駆動タイミングから1/4周期遅れて順次駆動される。

[0101] そして、ゲート線13 G(M-2)が選択状態に切り替えられる時刻t 7のタイミングで、ゲートドライバ群11 Aのゲートドライバ11(M)のTF T-Bに対し、ゲート線13 G(M-2)のHレベルの電位、及びHレベルの制御信号GCK 2__a (CK A [2] __a)が入力される。これにより、ゲートドライバ11(M)における $net A (A_M)$ がプリチャージされる。

[0102] 次に、時刻t 8において、ゲートドライバ11(M)のTF T-Eのドレイン端子に、制御信号GCK 4__a (CK B [2] __a)のHレベルの電位が入力されると、ゲートドライバ11(M)における $net A (A_M)$ はクロック信号CK B [2] __aよりも高い電位まで充電される。このとき、制御信号GCK 2__a (CK A [2] __a)はLレベルのため、ゲート線13 G(M)は選択状態に切り替えられる。

[0103] 続いて、時刻t 9において、制御信号GCK 2__a (CK A [2] __a)がHレベル、制御信号GCK 4__a (CK B [2] __a)がLレベルに遷移

する。このとき、ゲート線13G(M-2)は非選択状態である。そのため、ゲートドライバ11(M)のTF T-Bのドレイン端子には、Lレベルのセット信号Sが入力され、net A(A_M)は、Lレベルの電位に充電される。また、ゲートドライバ11(M)のTF T-Cはオン状態となり、ゲート線13G(M)は非選択状態に切り替えられる。

[0104] 表示制御回路4は、ゲート線13G(M)が非選択状態に切り替えられた後、時刻t10において、リセット信号CLRをゲートドライバ群11A及びゲートドライバ群11Bに対して供給し、第j+1フレームの処理を開始する。

[0105] 図16Bは、第j+1フレームにおけるゲート線13Gを駆動する際のタイミングチャートを示している。第j+1フレームにおける時刻t11において、ゲートドライバ群11A(図15A、15B参照)に対し、表示制御回路4は、制御信号として、電位がLレベルの動作停止信号を供給する。一方、ゲートドライバ群11B(図15C、15D参照)に対し、表示制御回路4は、制御信号として、クロック信号CKA[1]__b、CKA[2]__b、CKB[1]__b、CKB[2]__bの供給を開始する。

[0106] 図16Bに示すように、第j+1フレームは、上述した第jフレームと同様、時刻t11において、ゲートスタートパルス信号GSP(1)が、ゲートドライバ群11Bにおけるゲートドライバ11(1)に入力され、このゲートドライバ11(1)におけるnet A(B_1)がプリチャージされる。そして、時刻t12において、ゲートスタートパルス信号GSP(2)が、ゲートドライバ群11Bにおけるゲートドライバ11(2)に入力され、このゲートドライバ11(2)におけるnet A(B_2)がプリチャージされる。

[0107] 時刻t13以降のゲートドライバ群11Bによるゲート線13Gの駆動タイミングは、図16Aに示した時刻t3以降のゲートドライバ11Aによるゲート線13Gの駆動タイミングと同様である。つまり、図16Bに示すように、ゲート線13G(1)～ゲート線13G(M)は、図16Aと同様、

2段前のゲート線13Gの駆動タイミングでプリチャージされ、前段のゲート線13Gの駆動タイミングから1/4周期遅れて駆動される。

[0108] 上述した第2実施形態では、所定期間ごとに、ゲートドライバ群11Aとゲートドライバ群11Bの一方に対し、2水平期間ごとにHレベルとLレベルとを繰り返す4相のクロック信号を供給する。そして、前段のゲート線13Gの駆動開始から1/4周期ずれたタイミングでゲート線13Gを順次駆動する。第2実施形態では、第1実施形態よりもクロック信号の周波数を低くすることができる。そのため、各動作期間におけるゲート線13Gの充放電時間を長くすることができ、ゲートドライバ11の動作マージンを向上させることができる。

[0109] <第3実施形態>

上述した第1実施形態及び第2実施形態では、一のゲート線13Gに接続された2つのゲートドライバ11のうち、いずれか1つのゲートドライバ11を動作させてゲート線13Gを駆動する例を説明した。本実施形態では、一のゲート線13Gに3つ以上のゲートドライバ11を接続し、少なくとも2つ以上のゲートドライバ11を同期して動作させ、一のゲート線13Gを駆動する例について説明する。

[0110] 図17は、本実施形態におけるアクティブマトリクス基板20aに配置されたゲートドライバ11を表す模式図である。この図の例では、ソース線15S及び端子部12sの図示は省略されている。以下、第1実施形態と異なる構成について説明する。

[0111] 図17に示すように、本実施形態では、第1実施形態と同様、表示領域201における領域201a、201bにゲートドライバ群11A、11B（図18参照）が各々配置され、さらに、領域201cに、ゲート線13G（1）～13G（M）を駆動するゲートドライバ群11C（図18参照）が配置されている。つまり、図17の例では、一のゲート線13Gを駆動するためのゲートドライバ11が3つ設けられている。

[0112] 図18は、図17に示す端子部12gの構成例を示す模式図である。図1

8に示すように、端子部12gには、配線121a～122bに加え、制御信号GCK1__c、GCK2__cを供給する配線121c、122cが設けられている。ゲートドライバ群11Cは、配線15Lを介して、配線121c、122cと接続されている。また、ゲートドライバ群11Cは、端子部12gにおいて、リセット信号CLRが供給される配線123、及び電源電圧信号VSSが供給される配線124の各々と配線15Lを介して接続されている。

[0113] 配線121cは、制御信号GCK1__cとして、図5に示したクロック信号CKA又は電位がLレベルの動作停止信号が供給される。配線122cは、制御信号GCK2__cとして、図5に示したクロック信号CKB又は電位がLレベルの動作停止信号が供給される。

[0114] なお、以下の説明において、ゲートドライバ群11A～11Cに供給される制御信号GCK1__a及びGCK2__aと、GCK1__b及びGCK2__bと、GCK1__c及びGCK2__cとを区別しないときは、制御信号GCK1及びGCK2と称する。

[0115] 次に、本実施形態におけるゲート線13Gの駆動方法について説明する。本実施形態では、所定期間ごとに、ゲートドライバ群11A～11Cのうち、2つのゲートドライバ群を動作させてゲート線13Gを駆動し、1つのゲートドライバ群の動作を停止させる。

[0116] 具体的には、例えば、表示制御回路4は、図19に示すように、第1動作期間において、ゲートドライバ群11Aとゲートドライバ群11Cに対し、制御信号としてクロック信号CKA及びCKBを供給する。また、表示制御回路4は、第1動作期間の間、ゲートドライバ群11Bに対し、制御信号として電位がLレベルの動作停止信号を供給する。次に、第2動作期間において、表示制御回路4は、ゲートドライバ群11Aとゲートドライバ群11Bに対し、制御信号としてクロック信号CKA及びCKBを供給する。また、表示制御回路4は、第2動作期間は、ゲートドライバ群11Cに対し、制御信号として電位がLレベルの動作停止信号を供給する。次に、第3動作期間

では、表示制御回路4は、ゲートドライバ群11Aに対し、制御信号として電位がLレベルの動作停止信号を供給する。また、表示制御回路4は、ゲートドライバ群11Bとゲートドライバ群11Cに対し、制御信号としてクロック信号CKA及びCKBを供給する。このように、本実施形態では、1動作期間に2つのゲートドライバ群が同期して動作し、各ゲートドライバ群は、2動作期間ごとに動作を停止する。

[0117] 図20は、動作期間として1フレームごとに、2つのゲートドライバ群を動作させてゲート線13Gを駆動する場合のタイミングチャートを示している。この例では、第jフレームにおいて、ゲートドライバ群11A及び11Bによってゲート線13G(1)～13G(M)を駆動し、ゲートドライバ群11Cの動作を停止させる。次の第j+1フレームでは、ゲートドライバ群11B及び11Cによってゲート線13G(1)～13G(M)を駆動し、ゲートドライバ群11Aの動作を停止させる。

[0118] なお、この例において、ゲートドライバ群11A～11Cにおけるゲートドライバ11(M)のTFTE-B及びTFTE-Cは、動作期間において、制御信号GCK2としてクロック信号CKBが供給される。そして、このゲートドライバ11(M)のTFTE-Eは、制御信号GCK1としてクロック信号CKAが供給される。また、ゲートドライバ群11A～11Cにおけるゲートドライバ11(1)のTFTE-B及びTFTE-Cは、動作期間において、制御信号GCK1としてクロック信号CKAが供給される。そして、このゲートドライバ11(1)のTFTE-Eは、制御信号GCK2としてクロック信号CKBが供給される。

[0119] 第jフレームにおいて、表示制御回路4は、ゲートドライバ群11A及び11Bに対し、制御信号として、クロック信号CKA及びCKBを供給する。また、表示制御回路4は、ゲートドライバ群11Cに対し、電位がLレベルの動作停止信号を供給する。

[0120] これにより、ゲートドライバ群11A及び11Bによって、各ゲート線13Gは、ゲート線13G(1)から順に選択状態に切り替えられる。時刻t

1 から t_2 において、ゲート線 13 G (M-1) が選択状態に切り替えられると、ゲートドライバ群 11 A と 11 B におけるゲートドライバ 11 (M) (以下、ゲートドライバ 11 (A_M)、ゲートドライバ 11 (B_M)) の T F T-B に、セット信号 S として、ゲート線 13 G (M-1) の H レベルの電位が入力される。これにより、ゲートドライバ 11 (A_M) における $net A (A_M)$ と、ゲートドライバ 11 (B_M) における $net A (B_M)$ は、(H レベルの電位 - T F T-B の閾値電圧) の電位にプリチャージされる。

[0121] 次に、時刻 t_2 において、ゲート線 13 G (M-1) が非選択状態に切り替えられ、ゲートドライバ 11 (A_M) とゲートドライバ 11 (B_M) における T F T-B のゲート端子に、クロック信号 C K B の L レベルの電位が入力され、ドレイン端子にゲート線 13 G (M-1) の L レベルの電位が入力される。これにより、各ゲートドライバにおける T F T-B は、オフ状態となる。また、ゲートドライバ 11 (A_M) とゲートドライバ 11 (B_M) における T F T-E のドレイン端子には、クロック信号 C K A の H レベルの電位が入力され、ゲートドライバ 11 (A_M) とゲートドライバ 11 (B_M) における各キャパシタ C b s t によって、 $net A (A_M)$ 及び $net A (B_M)$ は、クロック信号 C K A の H レベルの電位よりも高い電位まで充電される。このとき、ゲートドライバ 11 (A_M) 及びゲートドライバ 11 (B_M) における T F T-C のゲート端子には、クロック信号 C K B の L レベルの電位が入力され、ゲート線 13 G (M) は選択状態に切り替えられる。

[0122] 表示制御回路 4 は、時刻 t_3 のタイミングで、ゲートドライバ群 11 A ~ 11 C に対し、H レベルのリセット信号 C L R を供給する。これにより、ゲートドライバ群 11 A ~ 11 C の各ゲートドライバ 11 における $net A$ 及びゲート線 13 G (1) ~ 13 G (M) の電位は電源電圧 V S S (L レベル) に遷移する。

[0123] 続いて、表示制御回路 4 は、第 $j + 1$ フレームの開始時刻 t_4 のタイミン

グで、ゲートドライバ群 11 A に対し、電位が L レベルの動作停止信号の供給を開始するとともに、ゲートドライバ群 11 B 及び 11 C に対し、クロック信号 C K A、C K B を供給する。また、表示制御回路 4 は、時刻 t 4 において、ゲートドライバ群 11 B 及びゲートドライバ群 11 C におけるゲートドライバ 11 (1) (以下、ゲートドライバ 11 (B__1)、ゲートドライバ 11 (C__1)) に対し、セット信号 S として、ゲートスタートパルス信号 G S P を供給する。

[0124] これにより、ゲートドライバ 11 (B__1) 及びゲートドライバ 11 (C__1) における T F T-B のゲート端子に、クロック信号 C K A の H レベルの電位、ドレイン端子にゲートスタートパルス信号 G S P が各々入力される。これにより、ゲートドライバ 11 (B__1) 及びゲートドライバ 11 (C__1) における n e t A (以下、n e t A (B__1)、n e t A (C__1)) は、(H レベルの電位 - T F T-B の閾値電圧) の電位にプリチャージされる。

[0125] 次に、時刻 t 5 において、ゲートドライバ 11 (B__1) 及びゲートドライバ 11 (C__1) における T F T-B のドレイン端子には、L レベルのゲートスタートパルス信号 G S P が入力される。さらに、そのゲート端子にはクロック信号 C K A の L レベルの電位が入力され、T F T-B はオフ状態となる。また、ゲートドライバ 11 (B__1) 及びゲートドライバ 11 (C__1) における T F T-E のドレイン端子には、クロック信号 C K B の H レベルの電位が入力される。そして、キャパシタ C b s t によって、n e t A (B__1) 及び n e t A (C__1) は、クロック信号 C K B (2) の H レベルの電位よりも高い電位まで充電される。

[0126] このとき、ゲートドライバ 11 (B__1) 及びゲートドライバ 11 (C__1) における T F T-C のゲート端子には、クロック信号 C K A の L レベルの電位が入力されるため、T F T-C はオフ状態となる。これにより、ゲート線 13 G (1) は選択状態に切り替えられ、ゲート線 13 G (1) の電位が、ゲートドライバ群 11 B 及びゲートドライバ群 11 C におけるゲート線

1 3 G (2) を駆動するゲートドライバ 1 1 にセット信号 S として入力される。

[0127] 第 j + 1 フレームにおいて、ゲート線 1 3 G (1) を駆動後、ゲート線 1 3 G (2) ~ 1 3 G (M) についても上記と同様にして、ゲートドライバ群 1 1 B 及びゲートドライバ群 1 1 C によって順次駆動される。

[0128] 上述した第 3 実施形態では、一のゲート線 1 3 G に接続された N (N: 自然数、 $N \geq 3$) 個のゲートドライバ 1 1 のうち、2 以上 N 個未満のゲートドライバ 1 1 を同期して動作させて一のゲート線 1 3 G を駆動し、他のゲートドライバ 1 1 における T F T の動作を停止させる。ゲートドライバ 1 1 における T F T のうち、特に、T F T - E は、ゲート線 1 3 G に対し、選択電圧を出力する出力バッファとして機能する。出力バッファは、特に、他の T F T よりもチャネル幅を大きくする必要があり、複数の T F T で構成されることが望ましい。上記した第 3 実施形態では、一のゲート線 1 3 G を駆動する出力バッファの負荷が分散される。そのため、1 つのゲートドライバ 1 1 によってゲート線 1 3 G を駆動する場合と比べ、出力バッファとして機能する T F T の数を少なくすることができる。

[0129] <第 4 実施形態>

上述した第 1 実施形態～第 3 実施形態において、ゲートドライバ 1 1 における各 T F T は、1 つの T F T で構成されている例について説明した。本実施形態では、ゲートドライバ 1 1 における一部の T F T を複数の T F T で構成する場合について説明する。

[0130] 図 2 1 は、本実施形態におけるゲートドライバの等価回路を例示した図である。図 2 1 に示すように、本実施形態におけるゲートドライバ 1 1 0 は、B 1 及び B 2 で示す T F T (以下、T F T - B 1、T F T - B 2) が並列に接続されて構成されている点で、ゲートドライバ 1 1 における T F T - B と異なっている。以下、第 1 実施形態と異なる構成について説明する。

[0131] ゲートドライバ 1 1 0 における T F T - B 1 と T F T - B 2 の各ゲート端子には、制御信号 G C K 2 又は G C K 1 が供給される。以下、T F T - B 1

とTFT-B2に供給される制御信号GCK1、GCK2を区別する場合、TFT-B1の制御信号をGCK1(1)、GCK2(1)とし、TFT-B2の制御信号をGCK1(2)、GCK2(2)と表す。

[0132] 図22A及び22Bは、ゲートドライバ110の表示領域内の配置例を示す模式図である。なお、図22A及び22Bにおいて、便宜上、“TFT”の表記を省略しているが、A～Eは、図21に示したTFT-A～TFT-Eに対応している。

[0133] 図22Aは、ゲート線13G(n)、13G(n+2)を各々駆動するゲートドライバ110(以下、ゲートドライバ110(n)、ゲートドライバ110(n+2))の配置例を示している。また、図22Bは、ゲート線13G(n+1)、13G(n+3)を各々駆動するゲートドライバ110(以下、ゲートドライバ110(n+1)、ゲートドライバ110(n+3))の配置例を示している。本実施形態では、図22A及び図22Bに示すように、一のゲート線13Gを駆動するためのゲートドライバ110は、少なくとも1つ設けられていればよい。

[0134] 図22A及び図22Bに示すように、端子部12gには、電源電圧信号VSSが供給される配線123と、リセット信号CLRが供給される配線123に加え、配線221～226が設けられている。

[0135] 配線221、222は、表示制御回路4(図3参照)から、図5に示すクロック信号CKA及びCKBが供給される。また、配線223～226は、表示制御回路4(図3参照)から、制御信号GCK1(1)、GCK1(2)、GCK2(1)、GCK2(2)が各々供給される。具体的には、配線223、224には、図5に示すクロック信号CKA、又は、電位がLレベルの動作停止信号が供給される。配線225、226には、図5に示すクロック信号CKB、又は、電位がLレベルの動作停止信号が供給される。

[0136] 図22A及び図22Bに示すように、ゲートドライバ110を構成する各素子は、隣接するゲート線13Gの間に分散して配置されている。図22Aにおいて、ゲートドライバ110(n)とゲートドライバ110(n+2)

のTFT-B1、B2のゲート端子には、配線15Lを介して、制御信号GCK2(1)、GCK2(2)が各々供給される。また、ゲートドライバ110(n)とゲートドライバ110(n+2)における、TFT-Cのゲート端子には、配線15Lを介してクロック信号CKBが供給される。また、これらゲートドライバにおけるTFT-Eのドレイン端子には、配線15Lを介してクロック信号CKAが供給される。

[0137] 一方、図22Bにおいて、ゲートドライバ110(n+1)とゲートドライバ110(n+3)のTFT-B1、B2のゲート端子には、配線15Lを介して制御信号GCK1(1)及びGCK1(2)が供給される。また、ゲートドライバ110(n+1)とゲートドライバ110(n+3)における、TFT-Cのゲート端子には、配線15Lを介してクロック信号CKAが供給される。また、これらゲートドライバにおけるTFT-Eのドレイン端子には、配線15Lを介してクロック信号CKBが供給される。このように、各ゲートドライバ110は、ゲートドライバ11の各素子が配置された行に隣接する行に配置されたゲートドライバ11と逆位相となるクロック信号が供給される。

[0138] 次に、本実施形態におけるゲート線13Gの駆動方法について説明する。図23A及び23Bは、ゲートドライバ110によってゲート線13Gを駆動する際のタイミングチャートを示している。本実施形態では、1フレームごとに、ゲート線13G(1)～13G(M)を各々駆動するゲートドライバ110におけるTFT-B1とTFT-B2のいずれか一方と他のTFTとを動作させて一のゲート線13Gを駆動する。つまり、本実施形態では、ゲートドライバ110におけるTFT-B1とTFT-B2をフレームごとに交互に動作させることにより、TFT-B1とTFT-B2の劣化を抑制する。

[0139] 表示制御回路4(図3参照)は、図23Aに示すように、第jフレームの開始時刻t1において、制御信号GCK1(1)及びGCK2(1)として、クロック信号CKA、CKBを供給する。そして、表示制御回路4(図3

参照)は、制御信号GCK1(2)及びGCK2(2)として、電位がLレベルの動作停止信号を供給する。

[0140] これにより、ゲート線13G(1)～13G(M)の各々を駆動するゲートドライバ110におけるTFTE及びTFTEには、クロック信号CKA及びCKBが各々供給され、TFTE-B1には、クロック信号CKB又はCKAが供給される。

[0141] そして、ゲート線13G(1)を駆動するゲートドライバ110(以下、ゲートドライバ110(1))のTFTE-B1のドレイン端子に、ゲートスタートパルス信号GSPが表示制御回路4から供給されると、ゲートドライバ110(1)におけるTFTE-B1がオン状態となる。そして、ゲートドライバ110(1)におけるnetA(1)がプリチャージされる。

[0142] 次に、時刻t2において、制御信号GCK2(1)(CKB)がLレベル、制御信号GCK1(1)(CKA)がHレベルに遷移すると、ゲートドライバ110(1)におけるTFTE-B1はオフ状態となる。また、ゲートドライバ110(1)におけるTFTE-Eのドレイン端子に、クロック信号CKAのHレベルの電位が入力され、netA(1)は、クロック信号CKAのHレベルの電位よりも高い電位まで充電される。このとき、ゲートドライバ110(1)におけるTFTE-Cはオフ状態となり、ゲート線13G(1)は、選択された状態に切り替えられる。そして、ゲート線13G(2)を駆動するゲートドライバ110(以下、ゲートドライバ110(2))のTFTE-B1のドレイン端子に、セット信号Sとして、ゲート線13G(1)のHレベルの電位が入力される。時刻t2において、ゲートドライバ110(2)のTFTE-B1のゲート端子には、制御信号GCK1(1)(CKA)のHレベルの電位が入力される。そして、ゲートドライバ110(2)におけるnetA(2)がプリチャージされる。

[0143] 続いて、時刻t3において、制御信号GCK2(1)(CKB)がHレベル、クロック信号CKAがLレベルに遷移する。これにより、ゲートドライバ110(1)におけるTFTE-B1のゲート端子とドレイン端子に、制御

信号GCK2(1)(CKB)のHレベルの電位とゲートスタートパルス信号GSPのLレベルの電位が各々入力され、netA(1)はLレベルの電位に充電される。また、ゲートドライバ110(1)におけるTFTEはオン状態となり、ゲート線13G(1)は、Lレベルの電位に充電されて非選択の状態に切り替えられる。時刻t3において、ゲートドライバ110(2)のTFTEのドレイン端子には、クロック信号CKBのHレベルの電位が入力される。また、ゲートドライバ110(2)のTFTEのゲート端子には、クロック信号CKAのLレベルの電位が入力される。これにより、ゲートドライバ110(2)におけるnetA(2)は、クロック信号CKBのHレベルの電位よりも高い電位まで充電され、ゲート線13G(2)は選択状態に切り替えられる。そして、ゲート線13G(2)のHレベルの電位が、ゲート線13G(3)を駆動するゲートドライバ110(以下、ゲートドライバ110(3))のTFTEのドレイン端子に、セット信号Sとして入力される。このようにして、時刻t4～t8において、ゲート線13G(3)～13G(M)は、上記と同様にして順次駆動される。

[0144] ゲート線13G(M)が選択状態に切り替えられた後、表示制御回路4(図3参照)は、時刻t9から図23Bに示す第j+1フレームの開始時刻t10まで、リセット信号CLRを配線123に供給する。これにより、各ゲートドライバ110におけるnetA、及びゲート線13G(1)～13G(M)の電位はLレベルに遷移する。また、時刻t10において、表示制御回路4は、制御信号GCK1(1)及びGCK2(1)として電位がLレベルの動作停止信号を供給する。また、表示制御回路4は、制御信号GCK1(2)及びGCK2(2)としてクロック信号CKA、CKBを供給する。そして、表示制御回路4は、ゲートドライバ110(1)のTFTEのドレイン端子に、ゲートスタートパルス信号GSPを供給する。これにより、ゲートドライバ110(1)におけるTFTEがオン状態となり、netA(1)がプリチャージされる。

[0145] 時刻t10以降は、各ゲートドライバ110におけるTFTEに替え

てTFT-B2を動作させる点を除き、上記した第jフレームと同様であるため、時刻t10以降の詳細な動作の説明を省略する。第j+1フレームでは、各ゲートドライバ110におけるTFT-B2にクロック信号CKA、CKBが供給され、TFT-B1に電位がLレベルの動作停止信号が供給される。よって、第j+1フレームは、各ゲートドライバ110におけるTFT-B2が動作し、時刻t10～t16においてゲート線13G(1)～13G(M)が順次駆動される。

[0146] 上述した第4実施形態では、各ゲートドライバ110においてTFT-B1、TFT-B2を並列に接続し、1フレームごとに、各ゲートドライバ110におけるTFT-B1とTFT-B2を交互に動作させる例を説明したが、TFT-Cを複数のTFTで構成してもよい。第1実施形態におけるゲートドライバ11におけるTFT-BとTFT-Cは、1フレームにおいてオンに切り替わるデューティ比が50%であり、他のTFTと比べて大きいため、劣化しやすい。そのため、このようなデューティ比が所定値以上のTFTについては複数のTFTを並列化して構成し、所定期間ごとに、並列化されたTFTを交互に動作させる。その結果、一のゲートドライバにおける各TFTのデューティ比が調整され、TFTの劣化のばらつきを低減することができる。

[0147] <第5実施形態>

上述した第4実施形態において、一のゲート線13Gを駆動するためゲートドライバ110を複数設け、所定期間ごとに、一のゲート線13Gを駆動するためのゲートドライバ110を切り替えてもよい。以下、この場合の例について、第4実施形態と異なる構成を主に説明する。

[0148] 本実施形態では、ゲート線13G(1)～13G(M)を各々駆動するためのゲートドライバ110は、図3に示すアクティブマトリクス基板20aにおいて、領域201aと領域201bに各々1つずつ設けられているものとする。以下、領域201aに配置されたゲートドライバ群をゲートドライバ群110A、領域201bに配置されたゲートドライバ群をゲートドライ

バ群 110B と称する。

[0149] 図 24A は、ゲート線 13G (n-1) ~ 13G (n+3) の各々を駆動するゲートドライバ群 110A の配置例と端子部 12g の構成例を示している。また、図 24B は、ゲート線 13G (n-1) ~ 13G (n+3) の各々を駆動するゲートドライバ群 110B の配置例と端子部 12g の構成例を示している。なお、便宜上、ゲートドライバ群 110A のゲートドライバ 110 の TFT-D と、ゲートドライバ群 110B のゲートドライバ 110 の TFT-D とを図 24B に一緒に記載しているが、実際には、それぞれのゲートドライバ群が配置される領域に TFT-D は配置されている。

[0150] 図 24A 及び図 24B に示すように、端子部 12g には、配線 123、124 に加え、配線 221a ~ 226a と、配線 221b ~ 226b が設けられている。配線 221a ~ 226a は、配線 15L を介してゲートドライバ群 110A と接続されている。配線 221b ~ 226b は、配線 15L を介してゲートドライバ群 110B と接続されている。

[0151] 配線 221a、221b は、表示制御回路 4 (図 3 参照) から、制御信号 GCK1__a、GCK1__b として、図 5 に示したクロック信号 CKA、又は電位が L レベルの動作停止信号が供給される。配線 222a、222b は、表示制御回路 4 から、制御信号 GCK2__a、GCK2__b として、図 5 に示したクロック信号 CKB、又は電位が L レベルの動作停止信号が供給される。以下、配線 221a、222a に供給されるクロック CKA、CKB を、クロック信号 CKA__a、CKB__a と称し、配線 221b、222b に供給されるクロック信号 CKA、CKB を、クロック信号 CKA__b、CKB__b と称する。

[0152] 配線 223a ~ 226a、及び配線 223b ~ 226b の各々は、制御信号 GCK1 (1)、GCK1 (2)、GCK2 (1)、GCK2 (2) が表示制御回路 4 から供給される。具体的には、配線 223a、224a、223b、224b は、図 5 に示したクロック信号 CKA、又は電位が L レベルの動作停止信号が供給される。また、配線 225a、226a、225b、

226bは、図5に示したクロック信号CKB、又は電位がLレベルの動作停止信号が供給される。以下、配線223a～226aに供給される制御信号を、GCK1(1)___a、GCK1(2)___a、GCK2(1)___a、GCK2(2)___aとし、配線223b～226bに供給される制御信号を、制御信号GCK1(1)___b、GCK1(2)___b、GCK2(1)___b、GCK2(2)___bと表す。

[0153] よって、ゲートドライバ群110Aの各ゲートドライバ110におけるTFTEのゲート端子には、制御信号GCK1(1)___aとGCK2(1)___aの一方が供給される。TFTEのゲート端子には、制御信号GCK1(2)___aとGCK2(2)___aの一方が供給される。また、ゲートドライバ群110Aの各ゲートドライバ110におけるTFTEのドレイン端子とTFTEのゲート端子には、制御信号GCK1___a又はGCK2___aが供給される。

[0154] ゲートドライバ群110Bの各ゲートドライバ110におけるTFTEのゲート端子には、制御信号GCK1(1)___bとGCK2(1)___bの一方が供給される。TFTEのゲート端子には、制御信号GCK1(2)___bとGCK2(2)___bの一方が供給される。また、ゲートドライバ群110Bの各ゲートドライバ110におけるTFTEのドレイン端子とTFTEのゲート端子には、制御信号GCK1___b又はGCK2___bが供給される。

[0155] 次に、本実施形態におけるゲート線13Gの駆動方法について説明する。図25A～25Dは、ゲート線13G(1)～13G(M)を駆動する際のタイミングチャートである。表示制御回路4(図3参照)は、図25Aに示すように、第jフレームの開始時刻t1において、制御信号GCK1___a及びGCK2___aと、制御信号GCK1(1)___a及びGCK2(1)___aとして、クロック信号CKA、CKBを供給する。また、表示制御回路4は、時刻t1において、制御信号GCK1___b、GCK2___b、GCK1(2)___a、GCK2(2)___a、GCK1(1)___b、GCK2(1)___b、G

CK1(2)___b、GCK2(2)___bとして、電位がLレベルの動作停止信号を供給する。さらに、表示制御回路4は、時刻t1において、ゲートドライバ群110Aにおけるゲートドライバ110(1)(以下、ゲートドライバ110(A___1))のTFTEB1のドレイン端子に、ゲートスタートパルス信号GSPを供給する。

[0156] これにより、第jフレームにおいて、ゲートドライバ群110Bにおける各ゲートドライバ110と、ゲートドライバ群110Aにおける各ゲートドライバ110のTFTEB2は動作を停止する。ゲートドライバ群110Aの各ゲートドライバ110にはクロック信号CKA、CKBが供給され、ゲートドライバ110(A___1)のTFTEB1のドレイン端子に、ゲートスタートパルス信号GSPが入力される。これにより、ゲートドライバ110(A___1)におけるnetA(A___1)がプリチャージされる。時刻t2以降、時刻t8まで、上述した第4実施形態と同様に、ゲートドライバ群110Aの各ゲートドライバ110におけるTFTEB1、TFTEE、TFTECの動作に応じて、ゲート線13G(1)~13G(M)が順次駆動される。

[0157] 第jフレームにおいて、ゲート線13G(M)が選択状態に切り替えられた後、表示制御回路4(図3参照)は、時刻t9のタイミングで、ゲートドライバ群110A及びゲートドライバ群110Bに対し、リセット信号CLRを供給する。これにより、ゲートドライバ群110A及びゲートドライバ群110Bの各々のゲートドライバ110におけるnetAと、ゲート線13G(1)~13G(M)がLレベルに充電される。

[0158] 続いて、図25Bに示すように、第j+1フレームの開始時刻t10において、表示制御回路4(図3参照)は、制御信号GCK1___a及びGCK2___aと、制御信号GCK1(2)___a及びGCK2(2)___aとして、クロック信号CKA、CKBを各々供給する。また、表示制御回路4は、時刻t10において、制御信号GCK1___b、GCK2___b、GCK1(1)___a、GCK2(1)___a、GCK1(1)___b、GCK2(1)___b、GCK

1 (2) __ b、GCK 2 (2) __ bとして、電位がLレベルの動作停止信号を供給する。さらに、表示制御回路4は、時刻 t 1 0において、ゲートドライバ1 1 0 (A __ 1) のTF T-B 2のドレイン端子に、ゲートスタートパルス信号G S Pを供給する。

[0159] これにより、第 j + 1 フレームにおいて、ゲートドライバ群1 1 0 Bにおける各ゲートドライバ1 1 0と、ゲートドライバ群1 1 0 Aにおける各ゲートドライバ1 1 0のTF T-B 1は動作を停止する。ゲートドライバ群1 1 0 Aの各ゲートドライバ1 1 0にはクロック信号C K A、C K Bが供給される。そして、ゲートドライバ1 1 0 (A __ 1) のTF T-B 2のドレイン端子に、ゲートスタートパルス信号G S Pが入力されると、ゲートドライバ1 1 0 (A __ 1) におけるn e t A (A __ 1) がプリチャージされる。

[0160] 時刻 t 1 1以降、時刻 t 1 7まで、上述した第4実施形態と同様にして、ゲートドライバ群1 1 0 Aの各ゲートドライバ1 1 0におけるTF T-B 2、TF T-E、TF T-Cの動作に応じて、ゲート線1 3 G (1) ~ 1 3 G (M) が順次駆動される。

[0161] 第 j + 1 フレームにおいて、ゲート線1 3 G (M) が選択状態に切り替えられた後、表示制御回路4 (図3参照) は、時刻 t 1 8のタイミングで、ゲートドライバ群1 1 0 A及びゲートドライバ群1 1 0 Bに対し、リセット信号C L Rを供給する。これにより、ゲートドライバ群1 1 0 A及びゲートドライバ群1 1 0 Bの各々のゲートドライバ1 1 0におけるn e t Aと、ゲート線1 3 G (1) ~ 1 3 G (M) がLレベルに充電される。

[0162] 続いて、図2 5 Cに示すように、第 j + 2 フレームの開始時刻 t 1 9において、表示制御回路4 (図3参照) は、制御信号GCK 1 __ a及びGCK 2 __ aとして、電位がLレベルの動作停止信号を供給する。そして、表示制御回路4 (図3参照) は、制御信号GCK 1 __ b及びGCK 2 __ bとして、クロック信号C K A、C K Bを供給する。また、表示制御回路4は、制御信号GCK 1 (1) __ b及びGCK 2 (1) __ bとして、クロック信号C K A、C K Bを供給する。そして、表示制御回路4 (図3参照) は、制御信号G C

K 1 (1) __ a、G C K 2 (1) __ a、G C K 1 (2) __ a、G C K 2 (2) __ a、G C K 1 (2) __ b、G C K 2 (2) __ bとして、電位がLレベルの動作停止信号を供給する。さらに、表示制御回路4は、時刻 t 1 9において、ゲートドライバ群1 1 0 Bにおけるゲートドライバ1 1 0 (1) (以下、ゲートドライバ1 1 0 (B __ 1)) のT F T - B 1のドレイン端子に、ゲートスタートパルス信号G S Pを供給する。

[0163] これにより、第 j + 2 フレームにおいて、ゲートドライバ群1 1 0 Aと、ゲートドライバ群1 1 0 Bにおける各ゲートドライバ1 1 0のT F T - B 2は動作を停止する。ゲートドライバ群1 1 0 Bの各ゲートドライバ1 1 0にはクロック信号C K A、C K Bが供給され、ゲートドライバ1 1 0 (B __ 1) のT F T - B 1のドレイン端子に、ゲートスタートパルス信号G S Pが入力されると、ゲートドライバ1 1 0 (B __ 1) におけるn e t A (B __ 1) がプリチャージされる。時刻 t 1 9以降、時刻 t 2 6まで、上述した第4実施形態と同様に、ゲートドライバ群1 1 0 Bの各ゲートドライバ1 1 0におけるT F T - B 1、T F T - E、T F T - Cの動作に応じて、ゲート線1 3 G (1) ~ 1 3 G (M) が順次駆動される。

[0164] 第 j + 2 フレームにおいて、ゲート線1 3 G (M) が選択状態に切り替えられた後、表示制御回路4 (図3参照) は、時刻 t 2 7のタイミングで、ゲートドライバ群1 1 0 A及びゲートドライバ群1 1 0 Bに対し、リセット信号C L Rを供給する。これにより、ゲートドライバ群1 1 0 A及びゲートドライバ群1 1 0 Bの各々のゲートドライバ1 1 0におけるn e t Aと、ゲート線1 3 G (1) ~ 1 3 G (M) がLレベルに充電される。

[0165] 続いて、図2 5 Dに示すように、第 j + 3 フレームの開始時刻 t 2 8において、表示制御回路4 (図3参照) は、制御信号G C K 1 __ a及びG C K 2 __ aとして、電位がLレベルの動作停止信号を供給する。そして、表示制御回路4 (図3参照) は、制御信号G C K 1 __ b及びG C K 2 __ bとして、クロック信号C K A及びC K Bを供給する。また、表示制御回路4は、制御信号G C K 1 (2) __ b及びG C K 2 (2) __ bとして、クロック信号C K A

及びCKBを供給する。そして、表示制御回路4（図3参照）は、制御信号GCK1（1）__a、GCK2（1）__a、GCK1（2）__a、GCK2（2）__a、GCK1（1）__b、GCK2（1）__b、として、電位がLレベルの動作停止信号を供給する。さらに、表示制御回路4は、時刻t28において、ゲートドライバ110（B__1）のTFTE-B2のドレイン端子に、ゲートスタートパルス信号GSPを供給する。

[0166] これにより、第j+3フレームにおいて、ゲートドライバ群110Aと、ゲートドライバ群110Bにおける各ゲートドライバ110のTFTE-B1は動作を停止する。ゲートドライバ群110Bの各ゲートドライバ110にはクロック信号CKA及びCKBが供給され、ゲートドライバ110（B__1）のTFTE-B2のドレイン端子に、ゲートスタートパルス信号GSPが入力されると、ゲートドライバ110（B__1）におけるnetA（B__1）がプリチャージされる。時刻t28以降、時刻t35まで、上述した第4実施形態と同様に、ゲートドライバ群110Bの各ゲートドライバ110におけるTFTE-B2、TFTE-E、及びTFTE-Cの動作に応じて、ゲート線13G（1）～13G（M）が順次駆動される。

[0167] このように、上述した第5実施形態では、所定期間ごとに、一のゲート線13Gを駆動するいずれかのゲートドライバ110を動作させるとともに、動作させるゲートドライバ110において並列化されたTFTE-B1とTFTE-B2を交互に動作させる。そのため、第4実施形態と比べ、各ゲートドライバ110におけるTFTEのデューティ比が小さくなり、TFTEの劣化を低減することができる。

[0168] <第6実施形態>

上述した第1実施形態において、ゲート線13Gが駆動された際、動作を停止させたゲートドライバに、ゲート線13Gの電位がノイズとして入力され、そのゲートドライバが誤動作する場合がある。本実施形態では、ゲート線13Gの駆動によるノイズによって、動作を停止させたゲートドライバが誤動作することを防止する。

[0169] 図26は、本実施形態におけるゲートドライバが配置されたアクティブマトリクス基板20aを表す模式図である。この図の例では、ソース線15S及び端子部12sの図示は省略されている。以下、第1実施形態と異なる構成について説明する。

[0170] 図26に示すように、本実施形態では、領域201a、201b、201cにおいて、ゲート線13G(1)～13G(M)を各々駆動するゲートドライバ120が配置されている。以下、領域201aに配置されているゲートドライバ120からなるゲートドライバ群をゲートドライバ群120A、領域201bに配置されているゲートドライバ120からなるゲートドライバ群をゲートドライバ群120B、領域201cに配置されているゲートドライバ120からなるゲートドライバ群をゲートドライバ群120Cと称する。

[0171] 図27は、図26に示す端子部12gの構成例を示す模式図である。図27において、図示を省略するが、端子部12gは、第1実施形態と同様、表示制御回路4及び電源5(図3参照)と接続されている。図27に示すように、端子部12gには、配線123、124に加え、制御信号GCK1__a、GCK2__aを各々供給する配線121a、122aと、制御信号GCK1__b、GCK2__bを各々供給する配線121b、122bと、制御信号GCK1__c、GCK2__cを各々供給する配線121c、122cとが設けられている。また、端子部12gには、制御信号ACLR(1)～ACLR(3)を各々供給する配線331～333が設けられている。

[0172] 制御信号GCK1__a、GCK2__a、GCK1__b、GCK2__b、GCK1__c、及びGCK2__cと、制御信号ACLR(1)～ACLR(3)は、表示制御回路4(図3参照)によって各配線に入力される。以下、制御信号ACLR(1)～ACLR(3)を区別しないときは、制御信号ACLRと称する。

[0173] ゲートドライバ群120Aは、配線15Lを介して、配線121a及び122aと、配線332及び333とに接続されている。ゲートドライバ群1

20Bは、配線15Lを介して、配線121b及び122bと、配線331及び333とに接続されている。ゲートドライバ群120Cは、配線15Lを介して、配線121c及び122cと、配線331及び332とに接続されている。

[0174] 配線121c及び122cには、制御信号GCK1__c及びGCK2__cとして、上述した制御信号GCK1及びGCK2と同様、図5に示したクロック信号CKA及びCKB、又は電位がLレベルの動作停止信号が供給される。

[0175] 制御信号ACLR(1)～ACLR(3)は、Lレベル又はHレベルの電位を示す制御信号である。具体的には、制御信号ACLR(1)は、ゲートドライバ群120Aの動作期間においてHレベルの電位となり、ゲートドライバ群120Aの非動作期間においてLレベルの電位となる信号である。また、制御信号ACLR(2)は、ゲートドライバ群120Bの動作期間においてHレベルの電位となり、ゲートドライバ群120Bの非動作期間においてLレベルの電位となる信号である。制御信号ACLR(3)は、ゲートドライバ群120Cの動作期間においてHレベルの電位となり、ゲートドライバ群120Cの非動作期間においてLレベルの電位となる信号である。

[0176] 次に、ゲートドライバ120の構成について説明する。図28は、ゲートドライバ群120Aにおけるゲートドライバ120の等価回路を示す図である。この例では、ゲートドライバ群120Aにおけるゲート線13G(n)を駆動するゲートドライバ120(以下、ゲートドライバ120(A__n))を示している。

[0177] 図28に示すように、ゲートドライバ120(A__n)は、上述した図6に示すゲートドライバ11の各素子に加え、ゲートドライバ120におけるnetA(以下、netA(A__n))に接続された回路部1201を有する。

[0178] 回路部1201は、F及びGで表すTFT(以下、TFT-F、TFT-Gと称する)を含む。TFT-Fのドレイン端子は、netA(A__n)に

接続されている。TFT-Fのゲート端子は、制御信号ACLR(2)が供給され、ソース端子は、電源電圧信号VSSが供給される。また、TFT-Gのドレイン端子は、net A(A_n)に接続されている。TFT-Gのゲート端子は、制御信号ACLR(3)が供給され、ソース端子は、電源電圧信号VSSが供給される。

[0179] 第1実施形態のゲートドライバ11の場合、他のゲートドライバ11によってゲート線13G(n)が選択状態に切り替えられた際、ゲート線13G(n)の電位上昇によってキャパシタCbstを介してnet A(A_n)の電位が突き上げられる。そして、TFT-Eのドレイン端子に入力されるクロック信号のLレベルの電位がゲート線13G(n)に出力される。本実施形態では、net A(A_n)に回路部1201が接続され、ゲートドライバ120(A_n)の非動作期間において、Hレベルの制御信号ACLRが回路部1201に供給される。ゲートドライバ120(A_n)の非動作期間は、回路部1201におけるTFT-F及びTFT-Gの一方がオン状態となり、net A(A_n)は電源電圧VSS(Lレベル)に制御される。その結果、ゲートドライバ120(A_n)の非動作期間において、ゲートドライバ120(A_n)のTFT-Eのドレイン端子に入力されるクロック信号のLレベルの電位がゲート線13G(n)に出力されず、ゲートドライバ120(A_n)の誤動作を防止することができる。

[0180] 図29A及び29Bは、ゲートドライバ群120Aの表示領域内の配置例を示す模式図である。図29A及び29Bにおいて、便宜上、アルファベットA～Gのみ記載し、“TFT-”の表記を省略しているが、A～Gは、図28に示したTFT-A～TFT-Gに対応している。図29Aは、ゲート線13G(n-2)とゲート線13G(n)を各々駆動するゲートドライバ120の配置例を示している。図29Bは、ゲート線13G(n-1)とゲート線13G(n+3)を各々駆動するゲートドライバ120の配置例を示している。

[0181] 図29Aに示すように、ゲート線13G(n-2)とゲート線13G(n

）を各々駆動するゲートドライバ120のTFT-B及びTFT-Cのゲート端子は、制御信号GCK2__aが供給される。そして、このゲートドライバ120のTFT-Eのドレイン端子には、制御信号GCK1__aが供給される。また、図29Bに示すように、ゲート線13G(n-1)とゲート線13G(n+3)を各々駆動するゲートドライバ120のTFT-B及びTFT-Cのゲート端子は、制御信号GCK1__aが供給される。そして、このゲートドライバ120のTFT-Eのドレイン端子には、制御信号GCK2__aが供給される。図29A及び図29Bに示すゲートドライバ群120Aの各ゲートドライバ120のTFT-F及びTFT-Gのゲート端子は、制御信号ACLR(2)及びACLR(3)が各々供給される。

[0182] なお、ゲートドライバ群120B及びゲートドライバ群120Cの配置例はゲートドライバ群120Aと同様であるが、回路部1201に供給される制御信号が異なる。つまり、ゲートドライバ群120Bのゲートドライバ120におけるTFT-F、TFT-Gのゲート端子には、制御信号ACLR(1)、ACLR(3)が各々供給され、ゲートドライバ群120Cのゲートドライバ120におけるTFT-F、TFT-Gのゲート端子には、制御信号ACLR(1)、ACLR(2)が各々供給される。

[0183] 次に、ゲート線13Gの駆動方法について説明する。図30は、本実施形態におけるゲート線13G(n)の駆動タイミングを示すタイミングチャートである。この例では、ゲートドライバ群120A~120Cを、1フレームごとに、ゲートドライバ群120A、120B、120Cの順に動作させ、ゲート線13G(1)~ゲート線13G(M)を順次駆動する。以下、ゲートドライバ120(A__n)の動作例について説明する。

[0184] 図30において、表示制御回路4(図3参照)は、第jフレームの間、制御信号GCK1__a及びGCK2__aとして、クロック信号CKA及びCKBを供給する。そして、表示制御回路4(図3参照)は、制御信号GCK1__b及びGCK2__bと制御信号GCK1__c及びGCK2__cとして、電位がLレベルの動作停止信号を供給する。また、表示制御回路4は、Hレベ

ルの制御信号 A C L R (1) 、 L レベルの制御信号 A C L R (2) 及び制御信号 A C L R (3) を供給する。

[0185] これにより、ゲートドライバ群 1 2 0 B 及び 1 2 0 C の各ゲートドライバ 1 2 0 は動作を停止する。ゲートドライバ群 1 2 0 A の各ゲートドライバ 1 2 0 の T F T - B 、 T F T - C 、 及び T F T - E は、供給されるクロック信号 C K A 及び C K B に応じて動作し、 T F T - F 及び T F T - G は、制御信号 A C L R (2) 及び制御信号 A C L R (3) に応じて動作する。

[0186] 第 j フレームの時刻 t 1 において、ゲートドライバ 1 2 0 (A _ n) の T F T - B のドレイン端子に、ゲート線 1 3 G (n - 1) の H レベルの電位が入力され、ゲート端子に制御信号 G C K 2 _ a (C K B) の H レベルの電位が入力される。また、ゲートドライバ 1 2 0 (A _ n) の T F T - E のドレイン端子に、制御信号 G C K 1 _ a (C K A) の L レベルの電位が入力され、 T F T - C のゲート端子に、制御信号 G C K 2 _ a (C K B) の H レベルの電位が入力される。ゲートドライバ 1 2 0 (A _ n) の T F T - F 及び T F T - G のゲート端子には制御信号 A C L R (2) 及び制御信号 A C L R (3) の L レベルの電位が入力される。これによって、 T F T - B 及び T F T - C がオン状態、 T F T - F 及び T F T - G はオフ状態となり、ゲートドライバ 1 2 0 (A _ n) の n e t A (A _ n) がプリチャージされる。

[0187] 時刻 t 2 において、ゲートドライバ 1 2 0 (A _ n) の T F T - B 及び T F T - C のゲート端子に制御信号 G C K 2 _ a (C K B) の L レベルの電位が入力される。また、ゲートドライバ 1 2 0 (A _ n) の T F T - E のドレイン端子に制御信号 G C K 1 _ a (C K A) の H レベルの電位が入力される。ゲートドライバ 1 2 0 (A _ n) の T F T - F 及び T F T - G のゲート端子には、制御信号 A C L R (2) 及び制御信号 A C L R (3) の L レベルの電位が入力される。これによって、 T F T - B 及び T F T - C がオフ状態、 T F T - F 及び T F T - G はオフ状態となる。そして、 n e t A (A _ n) は制御信号 G C K 1 _ a (C K A) の H レベルの電位よりも高い電位に上昇し、ゲート線 1 3 G (n) が選択状態に切り替えられる。

- [0188] 時刻 t_3 以降も上記と同様にして、ゲートドライバ群 120A のゲートドライバ 120 によってゲート線 13G が順次駆動される。
- [0189] 第 j フレームの後、第 $j+1$ フレームの開始時刻 t_4 において、表示制御回路 4（図 3 参照）は、制御信号 GCK1__a 及び GCK2__a と制御信号 GCK1__c 及び GCK2__c として、電位が L レベルの動作停止信号を供給する。そして、表示制御回路 4（図 3 参照）は、制御信号 GCK1__b 及び GCK2__b としてクロック信号 CKA 及び CKB を供給する。また、表示制御回路 4 は、L レベルの制御信号 ACLR（1）及び制御信号 ACLR（3）と、H レベルの制御信号 ACLR（2）を供給する。
- [0190] これによって、ゲートドライバ群 120A 及び 120C の各ゲートドライバ 120 は動作を停止し、ゲートドライバ群 120B の各ゲートドライバ 120 が動作してゲート線 13G を駆動する。図 30 に示すように、第 $j+1$ フレームの間は、ゲートドライバ 120（A__n）の TFT-F には、H レベルの制御信号 ACLR（2）が入力されるため、TFT-F はオン状態となる。そのため、第 $j+1$ フレームの時刻 t_5 においてゲート線 13G（n）が選択状態に切り替えられた際、net A（A__n）の電位は電源電圧 VSS（L レベル）に制御される。
- [0191] 次に、第 $j+1$ フレームの後、第 $j+2$ フレームの開始時刻 t_6 において、表示制御回路 4（図 3 参照）は、制御信号 GCK1__a 及び GCK2__a と、制御信号 GCK1__b 及び GCK2__b として、電位が L レベルの動作停止信号を供給する。そして、表示制御回路 4（図 3 参照）は、制御信号 GCK1__c 及び GCK2__c としてクロック信号 CKA 及び CKB を供給する。また、表示制御回路 4 は、L レベルの制御信号 ACLR（1）及び制御信号 ACLR（2）と、H レベルの制御信号 ACLR（3）を供給する。
- [0192] これによって、ゲートドライバ群 120A 及び 120B の各ゲートドライバ 120 は動作を停止し、ゲートドライバ群 120C の各ゲートドライバ 120 が動作してゲート線 13G を駆動する。図 30 に示すように、第 $j+2$ フレームの間は、ゲートドライバ 120（A__n）の TFT-F には、H レ

ベルの制御信号 $ACL R$ (3) が入力されるため、 $TFT-G$ はオン状態となる。そのため、第 $j+2$ フレームの時刻 t_7 においてゲート線 $13G(n)$ が選択状態に切り替えられた際、 $net A(A_n)$ の電位は電源電圧 VSS (L レベル) に制御される。

[0193] 上述の第6実施形態では、ゲートドライバ120の動作期間では、ゲートドライバ120における $TFT-F$ 及び $TFT-G$ はいずれもオフ状態となる。そして、ゲートドライバ120の非動作期間において、 $TFT-F$ 及び $TFT-G$ のいずれか一方がオン状態となるように、 $TFT-F$ 及び $TFT-G$ に制御信号 $ACL R$ が供給される。そのため、ゲートドライバ120の非動作期間において $net A$ はLレベルに制御され、 $TFT-E$ のドレイン端子に供給されるクロック信号のLレベルの電位がゲート線 $13G$ に出力されることを防止することができる。

[0194] <第6実施形態の応用例1>

上述した第6実施形態のゲートドライバ120は、 $net A$ の電位をLレベルに制御する回路部1201として、ソース端子が電源電圧 VSS に接地された $TFT-F$ 及び $TFT-G$ を設ける例を説明したが、回路部1201を以下のように構成してもよい。

[0195] 図31は、本実施形態におけるゲートドライバ120 (A_n) の等価回路を示す図である。図31に示すように、ゲートドライバ120 (A_n) における回路部1201は、 H で表した TFT (以下、 $TFT-H$ と称する) のみを含む。 $TFT-H$ のゲート端子は、ゲート線 $13G(n)$ に接続され、ソース端子は $net A(A_n)$ に接続されている。また、 $TFT-H$ のドレイン端子は、 $TFT-E$ のドレイン端子と接続され、制御信号 $GCK1$ が供給される。

[0196] 図32A及び図32Bは、本実施形態におけるゲートドライバ120の表示領域内の配置例を示す模式図である。図32A及び図32Bにおいて、便宜上、アルファベット $A \sim E$ 、 H のみ記載し、" $TFT-$ " の表記を省略しているが、 $A \sim E$ 、 H は、図31に示した $TFT-A \sim TFT-E$ 、 TFT

ーHに対応している。

[0197] 図32Aは、ゲート線13G(n-2)とゲート線13G(n)を各々駆動するゲートドライバ120の配置例を示しており、図32Bは、ゲート線13G(n-1)とゲート線13G(n+3)を各々駆動するゲートドライバ120の配置例を示している。図32Aに示すように、ゲート線13G(n-2)とゲート線13G(n)を各々駆動するゲートドライバ120のTFTE及びTFTHのゲート端子は制御信号GCK2__aが供給される。そして、このゲートドライバ120のTFTE及びTFTHのドレイン端子には制御信号GCK1__aが供給される。また、図32Bに示すように、ゲート線13G(n-1)とゲート線13G(n+3)を各々駆動するゲートドライバ120のTFTE及びTFTHのゲート端子は制御信号GCK1__aが供給される。そして、このゲートドライバ120のTFTE及びTFTHのドレイン端子には制御信号GCK2__aが供給される。

[0198] 次に、ゲート線13Gの駆動方法について説明する。図33は、本実施形態におけるゲート線13G(n)の駆動タイミングを示すタイミングチャートである。この例では、ゲートドライバ群120A~120Cを、1フレームごとに、ゲートドライバ群120A、120B、120Cの順に動作させてゲート線13Gを駆動する。以下、上述した第6実施形態と異なるゲートドライバ120(A__n)の動作について説明する。

[0199] 図33に示すように、ゲートドライバ群120Aの動作期間、つまり、第jフレームにおいて、時刻t1のタイミングでゲートドライバ120(A__n)のnetA(A__n)がプリチャージされる。次に、時刻t2のタイミングで、ゲートドライバ120(A__n)のTFTE及びTFTHのドレイン端子には制御信号GCK1__aのHレベルの電位が入力される。ゲートドライバ120(A__n)のTFTHのゲート端子には、ゲート線13G(n)の電位が入力される。

[0200] 時刻t2のタイミングで、ゲート線13G(n)には、制御信号GCK1__a(CKA)のHレベルの電位が出力され、TFTHのソース端子には

$net A (A_n)$ の電位が入力される。 $net A (A_n)$ の電位は、 $TFT-H$ のゲート端子及びドレイン端子に入力されるゲート線 $13G(n)$ 及び制御信号 $GCK1_a$ の H レベルの電位よりも高いため、 $TFT-H$ はオフ状態となる。

[0201] 次に、ゲートドライバ群 $120A$ の非動作期間である第 $j+1$ フレームにおいて、時刻 t_3 のタイミングで、ゲート線 $13G(n)$ が選択状態に切り替えられる。そして、第 j フレームと同様、ゲートドライバ $120(A_n)$ $TFT-H$ のゲート端子にはゲート線 $13G(n)$ の電位が入力され、 $TFT-H$ はオン状態となる。第 $j+1$ フレームの間、 $TFT-H$ のドレイン端子には電位が L レベルの動作停止信号が入力される。そのため、ゲート線 $13G(n)$ が選択状態に切り替えられる時刻 t_3 において、 $net A (A_n)$ は L レベルの電位が入力される。

[0202] 第 $j+2$ フレームにおいても、第 $j+1$ フレームと同様、時刻 t_4 のタイミングで、ゲート線 $13G(n)$ が選択状態に切り替えられ、 $TFT-H$ はオン状態となる。第 $j+2$ フレームの間、 $TFT-H$ のドレイン端子には電位が L レベルの動作停止信号が入力される。そのため、時刻 t_4 において、 $net A (A_n)$ は L レベルの電位が入力される。

[0203] 上述した第6実施形態では、3フレームのうちの2フレームの間において、回路部 1201 の $TFT-F$ 及び $TFT-G$ はオン状態に切り替えられる。上述の応用例1の場合、 $TFT-H$ は、3フレームに2回だけオン状態に切り替えられる。そのため、上述した第6実施形態と比べ、回路部 1201 の TFT の劣化が抑制され、より広い動作マージンで回路部 1201 を動作させることができる。

[0204] <応用例1の変形例>

上述した応用例1において、上述した第3実施形態と同様、1フレームごとに複数のゲートドライバ群を同期させて動作させてもよい。

[0205] 図34は、本実施形態におけるゲート線 $13G(n)$ の駆動タイミングを示すタイミングチャートである。図34では、1フレームごとに、ゲートド

ライバ群120A及び120B、ゲートドライバ群120B及び120C、ゲートドライバ群120A及び120Cの各組のゲートドライバを同期して動作させる例を示している。以下、ゲートドライバ群120B及び120Cにおけるゲート線13G(n)を駆動するゲートドライバ120をゲートドライバ120(B__n)、及びゲートドライバ120(C__n)と称する。

[0206] 図34に示すように、第jフレームでは、制御信号GCK1__a及びGCK2__aと、制御信号GCK1__b及びGCK2__bとしてクロック信号CKA及びCKBが供給される。そして、制御信号GCK1__c及びGCK2__cとして、電位がLレベルの動作停止信号が供給される。上述した応用例1と同様、時刻t1のタイミングで、ゲート線13G(n)は、制御信号GCK1(CKA)のHレベルの電位が出力される。そして、ゲートドライバ120(A__n)及びゲートドライバ120(B__n)におけるTFTHのソース端子には、netA(A__n)及びゲートドライバ120(B__n)におけるnetA(n)(以下、netA(B__n))の電位が各々入力される。netA(A__n)及びnetA(B__n)の電位は、このTFTHのゲート端子及びドレイン端子に入力されるゲート線13G(n)及びクロック信号CKAのHレベルの電位よりも高い。そのため、このTFTHはオフ状態となる。

[0207] 第j+1フレームでは、制御信号GCK1__b及びGCK2__b、制御信号GCK1__c及びGCK2__cとしてクロック信号が供給される。そして、制御信号GCK1__a及びGCK2__aとして、電位がLレベルの動作停止信号が供給される。時刻t3のタイミングで、第jフレームと同様、ゲートドライバ120(A__n)におけるTFTHのゲート端子にはゲート線13G(n)のHレベルの電位が入力される。そして、このTFTHのドレイン端子には、電位がLレベルの動作停止信号が入力される。そのため、時刻t2において、netA(A__n)はLレベルの電位が入力される。

[0208] 第j+2フレームでは、制御信号GCK1__a、GCK2__a、GCK1__c、GCK2__cとしてクロック信号CKA及びCKBが供給される。そ

して、制御信号GCK1__b、GCK2__bとして、電位がLレベルの動作停止信号が供給される。第jフレームと同様、時刻t3のタイミングで、ゲートドライバ120(A__n)及びゲートドライバ120(C__n)におけるTFTHのソース端子には、netA(A__n)及びゲートドライバ120(C__n)におけるnetA(n)(以下、netA(C__n))の電位が各々入力される。netA(A__n)及びnetA(C__n)の電位は、TFTHのゲート端子及びドレイン端子に入力されるゲート線13G(n)及び制御信号GCK1__a(CKA)のHレベルの電位よりも高い。これにより、netA(A__n)及びゲートドライバ120(C__n)におけるTFTHは、オフ状態となる。

[0209] 上述した応用例1では、一のゲート線13Gを1つのゲートドライバ120によって駆動する。本変形例では、一のゲート線13Gを2つのゲートドライバ120によって駆動する。そのため、本変形例では、応用例1と比べて、ゲート線13Gを駆動する負荷を分散することができる。その結果、出力バッファとして機能するTFTEのチャネル幅を小さくすることができる。

[0210] <第6実施形態の応用例2>

上述した第6実施形態のゲートドライバ120は、2相のクロック信号CKA、CKBが供給される例を説明した。上述した第2実施形態のように4相のクロック信号(図13参照)が供給される場合には、ゲートドライバ120における回路部1201を以下のように構成してもよい。

[0211] 図35は、本実施形態における、ゲートドライバ群120Aのゲートドライバ120の等価回路を示す図である。図35に示すように、ゲートドライバ120は、netA(A__n)に回路部1201が設けられている点を除いて上述した図14に示すゲートドライバ11と同様の構成となっている。回路部1201は、Iで表したTFI(以下、TFI-Iと称する)を含む。TFI-Iのゲート端子は、ゲート線13G(n-1)に接続され、ソース端子はnetA(A__n)に接続され、ドレイン端子には、制御信号GC

K 4 __ a (C K B[2]) が供給される。

[0212] 図 3 6 A ~ 3 6 D は、本実施形態におけるゲートドライバ 1 2 0 の表示領域内の配置例を示す模式図である。図 3 6 A は、ゲート線 1 3 G (n) とゲート線 1 3 G (n + 4) を各々駆動するゲートドライバ 1 2 0 (以下、ゲートドライバ 1 2 0 (n)、ゲートドライバ 1 2 0 (n + 4)) の配置例を示している。図 3 6 A に示すように、ゲートドライバ 1 2 0 (n) とゲートドライバ 1 2 0 (n + 4) の T F T - B、T F T - C のゲート端子には、制御信号 G C K 3 __ a が供給される。そして、これらゲートドライバの T F T - E のドレイン端子には、制御信号 G C K 1 __ a が供給される。また、これらゲートドライバの T F T - I のドレイン端子には、制御信号 G C K 4 __ a が供給される。

[0213] 図 3 6 B は、ゲート線 1 3 G (n + 1) とゲート線 1 3 G (n + 5) を各々駆動するゲートドライバ 1 2 0 (以下、ゲートドライバ 1 2 0 (n + 1)、ゲートドライバ 1 2 0 (n + 5)) の配置例を示している。図 3 6 B に示すように、ゲートドライバ 1 2 0 (n + 1) とゲートドライバ 1 2 0 (n + 5) の T F T - B、T F T - C のゲート端子には、制御信号 G C K 4 __ a が供給される。そして、これらゲートドライバの T F T - E のドレイン端子には、制御信号 G C K 2 __ a が供給される。また、これらゲートドライバの T F T - I のドレイン端子には、制御信号 G C K 1 __ a が供給される。

[0214] 図 3 6 C は、ゲート線 1 3 G (n + 2) を駆動するゲートドライバ 1 2 0 (以下、ゲートドライバ 1 2 0 (n + 2)) の配置例を示している。図 3 6 C に示すように、ゲートドライバ 1 2 0 (n + 2) の T F T - B、T F T - C のゲート端子には、制御信号 G C K 1 __ a が供給される。そして、このゲートドライバの T F T - E のドレイン端子には、制御信号 G C K 3 __ a が供給される。また、このゲートドライバの T F T - I のドレイン端子には、制御信号 G C K 2 __ a が供給される。

[0215] 図 3 6 D は、ゲート線 1 3 G (n + 3) を駆動するゲートドライバ 1 2 0 (以下、ゲートドライバ 1 2 0 (n + 3)) の配置例を示している。図 3 6

Dに示すように、ゲートドライバ120 ($n+3$) のTFT-B、TFT-Cのゲート端子には、制御信号GCK2__aが供給される。そして、このゲートドライバのTFT-Eのドレイン端子には、制御信号GCK4__aが供給される。また、このゲートドライバのTFT-Iのドレイン端子には、制御信号GCK3__aが供給される。

[0216] 次に、ゲート線13Gの駆動方法について説明する。図37は、本実施形態におけるゲート線13G (n) の駆動タイミングを示すタイミングチャートである。この例では、第2実施形態と同様、1フレームごとに、ゲートドライバ群120Aとゲートドライバ群120Bを交互に動作させてゲート線13Gを駆動する。以下、上述した第6実施形態と異なるゲートドライバ120 (A_n) (図35参照) の動作について説明する。

[0217] ゲートドライバ群120Aを動作させる第jフレームにおいて、時刻 t_1 のタイミングでゲート線13G ($n-2$) が選択状態に切り替えられる。そして、ゲートドライバ120 (A_n) におけるTFT-Bのドレイン端子に、ゲート線13G ($n-2$) のHレベルの電位が入力され、ゲート端子に制御信号GCK3__a (CKB [1]) のHレベルの電位が入力される。このとき、制御信号GCK1__a (CKA [1]) の電位はLレベル、制御信号GCK3__a (CKB [1]) の電位はHレベルである。そのため、 $net A (A_n)$ は、(Hレベルの電位-TFT-Bの閾値電圧) の電位にプリチャージされる。

[0218] 次に、時刻 t_2 において、ゲート線13G ($n-1$) が選択状態に切り替えられる。そして、ゲートドライバ120 (A_n) におけるTFT-Iのゲート端子に、ゲート線13G ($n-1$) のHレベルの電位が入力される。また、ゲートドライバ120 (A_n) におけるTFT-Iのドレイン端子に、制御信号GCK4__a (CKB [2]) のHレベルの電位が入力される。そして、このTFT-Iのソース端子に、 $net A (A_n)$ の電位が入力される。このとき、制御信号GCK1__aの電位はLレベル、制御信号GCK3__a (CKB [1]) の電位はHレベルである。そのため、 net

A (A__n) は、(Hレベルの電位-TFT-Bの閾値電圧)の電位を維持する。

[0219] 続いて、時刻 t 3 において、制御信号 GCK 1__a (CKA [1]) が H レベル、制御信号 GCK 3__a (CKB [1]) が L レベルに遷移する。そして、ゲートドライバ 120 (A__n) の TFT-E のドレイン端子に制御信号 GCK 1__a の H レベルの電位が入力される。これにより、net A (A__n) は、制御信号 GCK 1__a の H レベルよりも高い電位に充電される。このゲートドライバの TFT-I のソース端子は、H レベルよりも高い net A (A__n) の電位が入力されるためオフ状態となる。そして、このゲートドライバの TFT-C はオフ状態のため、ゲート線 13 G (n) に制御信号 GCK 1__a の H レベルの電位が出力される。

[0220] 時刻 t 4 ~ t 5 において、TFT-I はオフ状態となり、制御信号 GCK 1__a (CKA [1]) の電位は H レベル、制御信号 GCK 3__a (CKB [1]) の電位は L レベルを維持する。そのため、ゲート線 13 G (n) は、H レベルの電位を維持する。

[0221] ゲートドライバ群 120 A が非動作期間となる第 j + 1 フレームの時刻 t 6 において、ゲート線 13 G (n - 2) が選択状態に切り替えられる。そして、ゲートドライバ 120 (A__n) には、制御信号 GCK 1__a ~ GCK 4__a として、電位が L レベルの動作停止信号が供給されている。そのため、net A (A__n) は L レベルを維持する。

[0222] 時刻 t 7 において、ゲート線 13 G (n - 1) が選択状態に切り替えられる。そして、TFT-I のゲート端子に、H レベルのゲート線 13 G (n - 1) が入力され、TFT-I はオン状態に切り替えられる。TFT-I のドレイン端子には、制御信号 GCK 4__a (CKB [2]) の L レベルの電位が入力される。そして、この L レベルの電位は、net A (A__n) に入力される。

[0223] 時刻 t 7 ~ t 9 まで、TFT-I はオン状態を維持する。第 j + 1 フレームの間、TFT-I のドレイン端子には、制御信号 GCK 4__a (CKB [

2]) の L レベルの電位が入力されている。そのため、ゲート線 1 3 G (n) の駆動期間において、 n e t A (A _ n) を L レベルの電位に維持することができる。

[0224] 上述した応用例 2 では、1 フレームごとに、4 相のクロック信号をゲートドライバ群 1 2 0 A とゲートドライバ群 1 2 0 B に交互に供給する。そのため、第 6 実施形態と比べてクロック信号の周波数を小さくすることができる。また、回路部 1 2 0 1 によって、非動作期間におけるゲートドライバ 1 2 0 の n e t A の電位を L レベルに維持することができる。その結果、ゲート線 1 3 G が駆動される際のゲートドライバ 1 2 0 の誤動作を防止することができる。

[0225] <第 7 実施形態>

上述した第 1 実施形態～第 6 実施形態では、各ゲートドライバに入力する制御信号を供給するための配線をゲートドライバ群ごとに端子部 1 2 g に設ける例を説明した。例えば、図 4 に例示した端子部 1 2 g には、ゲートドライバ群 1 1 A と 1 1 B の各々に制御信号 G C K 1、G C K 2 を供給する配線が 2 本ずつ設けられている。つまり、ゲートドライバ群ごとの制御信号の配線数 H (H は自然数 : $H \geq 2$) に、ゲートドライバ群の数 K 個 (K は自然数 : $K \geq 1$) を乗算した $H \times K$ 本の配線が必要となる。配線数が多くなるほど、端子部 1 2 g が配置される額縁領域が大きくなる。そのため、本実施形態では、配線をスイッチで分岐させることにより狭額縁化を図る。

[0226] ここで、このような例を図 3 8 A に示す。図 3 8 A に示すように、端子部 2 2 g において、制御信号 G C K 1、G C K 2、リセット信号 C L R、電源電圧信号 V S S を供給する配線 1 2 1 ~ 1 2 4 と、スイッチ信号 S W 1、S W 2 を各々供給する配線 3 1 1、3 1 2 とを設ける。

[0227] 図 3 8 B は、図 3 8 A に示すスイッチ部 3 1、3 2 の構成例を示す模式図である。図 3 8 B に示すように、スイッチ部 3 1 は、ゲートドライバ群 1 1 A 及び配線 3 1 1、3 1 2 と接続される。スイッチ部 3 2 は、ゲートドライバ群 1 1 B 及び配線 3 1 1、3 1 2 と接続されている。スイッチ部 3 1 は、

ゲートドライバ群 11A と配線 121, 122, 124 とを接続するためのスイッチング素子を有する。スイッチ部 32 は、ゲートドライバ群 11B と配線 121, 122, 124 とを接続するためのスイッチング素子 T1 ~ T8, R1 ~ R8 を有する。

[0228] スイッチ部 31 は、ゲートドライバ群 11A に制御信号 GCK1, GCK2 を供給する配線 15L と配線 121, 122 との間を、Hレベルのスイッチ信号 SW1 が入力された場合に、スイッチング素子 T1 ~ T4 を介して導通状態に切り替える。また、Lレベルのスイッチ信号 SW1 が入力された場合に、スイッチング素子 T1 ~ T4 を介して非導通状態に切り替える。また、スイッチ部 31 は、ゲートドライバ群 11A に制御信号 VSS を供給する配線 15L と配線 124 の間を、Hレベルのスイッチ信号 SW2 が入力された場合に、スイッチング素子 T5 ~ T8 を介して導通状態に切り替える。また、Lレベルのスイッチ信号 SW2 が入力された場合にスイッチング素子 T5 ~ T8 を介して非導通状態に切り替える。

[0229] 一方、スイッチ部 32 は、ゲートドライバ群 11B に制御信号 VSS を供給する配線 15L と配線 124 との間を、Hレベルのスイッチ信号 SW1 が入力された場合に、スイッチング素子 R1 ~ R4 を介して導通状態に切り替える。また、スイッチ部 32 は、Lレベルのスイッチ信号 SW1 が入力された場合、スイッチング素子 R1 ~ R4 を介して、配線 15L と配線 124 との間を非導通状態に切り替える。さらに、スイッチ部 32 は、ゲートドライバ群 11B に制御信号 GCK1, GCK2 を供給する配線 15L と配線 121, 122 との間を、Hレベルのスイッチ信号 SW2 が入力された場合に、スイッチング素子 R5 ~ R8 を介して導通状態に切り替える。また、スイッチ部 32 は、Lレベルのスイッチ信号 SW2 が入力された場合、スイッチング素子 R5 ~ R8 を介して、配線 15L と配線 121, 122 との間を非導通状態に切り替える。

[0230] 表示制御回路 24 は、ゲートドライバ群 11A の動作期間では、Hレベルのスイッチ信号 SW1 を配線 311 に入力し、Lレベルのスイッチ信号 SW

2を配線312に入力する。また、ゲートドライバ群11Bの動作期間では、Lレベルのスイッチ信号SW1を配線311に入力し、Hレベルのスイッチ信号SW2を配線312に入力する。

[0231] 図38A及び38Bの例では、2相のクロック信号を供給する例であるため、図4の例と同じ配線数となる。第2実施形態のように各ゲートドライバに対して4相のクロック信号を供給する場合には、ゲートドライバ群ごとに、4相のクロック信号を供給する4本の配線が必要となる。ゲートドライバ群が2つの場合、クロック信号を供給するための配線が計8本必要となるが、上記第7実施形態のように構成する場合、クロック信号を供給する4本の配線とスイッチ信号を供給する2本の配線を設けるだけでよい。その結果、アクティブマトリクス基板20aにおいて、端子部22gが設けられる額縁領域を小さくすることができる。

[0232] 以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形、又は組み合わせて実施することが可能である。以下、本発明の変形例について説明する。

[0233] <変形例>

(1) 上述した第1実施形態及び第2実施形態、第5実施形態では、各ゲート線13Gを駆動するためのゲートドライバを2つずつ設ける例を説明したが、一のゲート線13Gを駆動するためのゲートドライバは3つ以上であってもよい。3つ以上のゲートドライバが設けられている場合、所定期間ごとに、3つのゲートドライバのいずれかのゲートドライバにおいて、スイッチング素子をオンの状態に切り替える動作を行わせる。そして、他のゲートドライバにおけるスイッチング素子をオフの状態に維持するように制御すればよい。

[0234] (2) 上述した第2実施形態では、4相のクロック信号を各ゲートドライバ群に供給する例を説明したが、例えば、互いに位相が異なる8相のクロッ

ク信号を各ゲートドライバ群に供給してもよい。この場合、隣接するゲート線13Gを駆動するゲートドライバの各々に供給されるクロック信号は、前段又は後段のゲート線13Gを駆動するゲートドライバに対するクロック信号と位相が1/8周期ずれたクロック信号が供給される。

[0235] (3) 上述した第6実施形態では、3つのゲートドライバ群120A、120B、120Cが設けられている例を説明したが、2つのゲートドライバ群が設けられている場合、回路部1201は、TF T-F又はTF T-Gを備えていればよい。例えば、ゲートドライバ群120A、120Bが設けられ、回路部1201として、TF T-Fを設ける場合、ゲートドライバ120(A__n)におけるTF T-Fのゲート端子に制御信号ACLR(2)を供給すればよい。一方、ゲートドライバ群120Bにおけるゲートドライバ120(B__n)におけるTF T-Fのゲート端子には、制御信号ACLR(1)を供給すればよい。

[0236] (4) 上述した第6実施形態等(第6実施形態、応用例1及びその変形例、応用例2)において、ゲートドライバ120は表示領域の外側に設けられていてもよい。ゲートドライバ120が表示領域内に設けられているか否かに関わらず、ゲート線13Gの駆動により、動作を停止させているゲートドライバ120のnet Aにゲート線13Gの電位がノイズとして入力されると、ゲートドライバ120が誤動作する。例えば、ゲート線13Gの一端側の額縁領域において、ゲート線13Gごとに複数のゲートドライバ120を設ける場合、上述した第6実施形態等と比べ、額縁領域が大きくなり、TF Tが外気等の影響を受けやすくなる。しかしながら、ゲート線13Gの駆動によるゲートドライバ120の誤動作を回路部1201によって防止することができる。

[0237] (5) 上述した第1実施形態では、図4に示すように、端子部12gに配線124を介して電源電圧信号VSSを供給し、端子部12gから配線15Lを介してゲートドライバ11に電源電圧信号VSSを供給する例を説明したが、以下のように構成してもよい。

[0238] 図39は、本変形例における端子部12gの概略構成を示す図である。図39に示すように、本変形例では、ゲートドライバ群11Aのゲートドライバ11は、配線124（図4参照）に替えて、配線121bと接続されている。また、ゲートドライバ群11Bのゲートドライバ11は、配線124に替えて、配線121aと接続されている。つまり、ゲートドライバ群11Aのゲートドライバ11は、電源電圧信号VSSに替えて、制御信号GCK1__bが供給される。ゲートドライバ群11Bのゲートドライバ11は、電源電圧信号VSSに替えて、制御信号GCK1__aが供給される。以下、具体的に説明する。

[0239] 図40Aは、ゲートドライバ群11Aのゲートドライバ11（n）の等価回路を示している。また、図40Bは、ゲートドライバ群11Aにおける一部のゲートドライバ11の配置例を示す模式図である。図40A、40Bに示すように、ゲートドライバ群11Aのゲートドライバ11は、TFT-A、TFT-D、及びTFT-Cのソース端子に制御信号GCK1__bが供給される信号を除き、上述した図6及び図7に示すゲートドライバ群11Aのゲートドライバ11と同様である。

[0240] 上述の図9に示すように、制御信号GCK1__a、GCK2__aとしてクロック信号が供給されている間（第1動作期間、第3動作期間）は、制御信号GCK1__b、GCK2__bとして、電位がLレベルの動作停止信号が供給される。従って、ゲートドライバ群11AのTFT-A、TFT-D及びTFT-Cのソース端子に制御信号GCK1__bを供給することで、ゲートドライバ群11Aの動作期間中、電源電圧信号VSSと同電位の信号をこれらTFTに供給することができる。

[0241] なお、制御信号GCK1__a、GCK2__aとして動作停止信号が供給されている間（第2動作期間、第4動作期間）は、制御信号GCK1__b、GCK2__bとしてクロック信号が供給される。しかしながら、この間、ゲートドライバ群11Aは動作しないため、制御信号GCK1__b、GCK2__bの電位変動の影響を受けない。

[0242] また、ゲートドライバ群 11B のゲートドライバ 11 の T F T - A、T F T - D、及び T F T - C のソース端子に、ゲートドライバ群 11A とは逆に、制御信号 G C K 1 __ a を供給する。これによりゲートドライバ群 11B の動作期間中、電源電圧信号 V S S と同電位の信号をこれら T F T に供給することができる。

[0243] この例では、ゲートドライバ群 11A のゲートドライバ 11 における T F T - A、T F T - D、及び T F T - C のソース端子に対し、制御信号 G C K 1 __ b を供給する例を説明した。但し、上記制御信号 G C K 1 __ b と同様の理由から、制御信号 G C K 2 __ b がこれら T F T のソース端子に供給されてもよい。また、ゲートドライバ群 11B のゲートドライバ 11 における T F T - A、T F T - D 及び T F T - C のソース端子に対し、制御信号 G C K 1 __ a を供給する例を説明した。但し、上記制御信号 G C K 1 __ a と同様の理由から、制御信号 G C K 2 __ a がこれら T F T のソース端子に供給されてもよい。

[0244] すなわち、ゲートドライバ 11 における T F T - A、T F T - D 及び T F T - C のソース端子に、当該ゲートドライバ 11 の動作期間において L レベルの電位となる制御信号が供給される配線と接続されていればよい。このように構成することで、動作中のゲートドライバ 11 によって、所定のタイミングで、ゲート線 13G を非選択の状態にすることができる。そして、端子部 12g における配線を削減でき、端子部 12g が配置される額縁領域の狭額縁化を図ることができる。

[0245] なお、本変形例では、ゲートドライバ 11 における T F T - A、T F T - D 及び T F T - C のすべてのソース端子に、当該ゲートドライバ 11 の動作期間に L レベルの電位となる制御信号が供給される例を説明したが、この構成に限定されない。つまり、これら T F T のうち少なくとも 1 つの T F T のソース端子に、当該ゲートドライバ 11 の動作期間に L レベルの電位となる制御信号が供給されていればよい。

[0246] (6) 上述した第 2 実施形態において、上記変形例 (5) と同様、ゲート

ドライバ11のTFT-Aのソース端子、TFT-Dのドレイン端子、及びTFT-Cのドレイン端子を、当該ゲートドライバ11の動作期間にLレベルの電位となる制御信号が供給される配線と接続してもよい。

[0247] 具体的には、図41A及び図41Bに示すように、例えば、ゲートドライバ群11Aのゲートドライバ11におけるTFT-A、TFT-D及びTFT-Cのソース端子に、制御信号GCK1__bが供給されるように構成してもよい。上述の図16Aに示すように、ゲートドライバ群11Aの動作期間（第jフレーム）に、制御信号GCK1__b～GCK4__bとして動作停止信号が供給される。従って、ゲートドライバ群11Aのゲートドライバ11におけるTFT-A、TFT-D及びTFT-Cのソース端子に、電源電圧信号VSSと同電位の信号を供給することができる。

[0248] 一方、ゲートドライバ群11Bのゲートドライバ11におけるTFT-A、TFT-D及びTFT-Cのソース端子には、ゲートドライバ群11Aとは逆に、制御信号GCK1__aが供給されるように構成してもよい。上述の図16Bに示すように、ゲートドライバ群11Bの動作期間（第j+1フレーム）に、制御信号GCK1__a～GCK4__aとして動作停止信号が供給される。そのため、このように構成することで、ゲートドライバ群11Bの動作期間中、これらTFTに電源電圧信号VSSと同電位の信号を供給することができる。

[0249] なお、ゲートドライバ群11Aのゲートドライバ11のTFT-A、TFT-D及びTFT-Cのソース端子は、制御信号GCK1__b～GCK4__bのいずれかが供給されればよい。また、ゲートドライバ群11Bのゲートドライバ11のTFT-A、TFT-D及びTFT-Cのソース端子は、制御信号GCK1__a～GCK4__aのいずれかが供給されればよい。

[0250] （7）上述した第3実施形態において、上記変形例（5）と同様、ゲートドライバ11のTFT-A、TFT-D、及びTFT-Cのソース端子を、当該ゲートドライバ11の動作期間にLレベルの電位となる制御信号が供給される配線と接続してもよい。

- [0251] 具体的には、ゲートドライバ群11Aのゲートドライバ11は、電源電圧信号VSSが供給される配線124（図18参照）に替えて、図42に示すように、制御信号GCK1__b又はGCK2__bが供給される配線121b又は122bと接続する。
- [0252] また、ゲートドライバ群11Bのゲートドライバ11は、電源電圧信号VSSが供給される配線124（図18参照）に替えて、図42に示すように、制御信号GCK1__c又はGCK2__cが供給される配線121c又は122cと接続する。
- [0253] また、ゲートドライバ群11Cのゲートドライバ11は、電源電圧信号VSSが供給される配線124（図18参照）に替えて、図42に示すように、制御信号GCK1__a又はGCK2__aが供給される配線121a又は122aと接続する。
- [0254] 上述した図19に示すように、ゲートドライバ群11Aとゲートドライバ群11Cの動作期間（第1動作期間）は、配線121b及び122bには、制御信号GCK1__b及びGCK2__bとして動作停止信号が供給される。また、ゲートドライバ群11Aとゲートドライバ群11Bの動作期間（第2動作期間）は、配線121c及び122cに、制御信号GCK1__c及びGCK2__cとして動作停止信号が供給される。また、ゲートドライバ群11Bとゲートドライバ群11Cの動作期間（第3動作期間）は、配線121a及び122aに、制御信号GCK1__a及びGCK2__aとして動作停止信号が供給される。
- [0255] 従って、図42に示すように構成することにより、各ゲートドライバ群の動作期間中、ゲートドライバ群におけるゲートドライバ11のTF T-A、TF T-D及びTF T-Cのソース端子に対し、電源電圧信号VSSと同電位の信号を供給することができる。
- [0256] （8）上述した第5実施形態において、上記変形例（5）と同様、ゲートドライバ110A、110Bの各ゲートドライバ110におけるTF T-A、TF T-D及びTF T-Cのソース端子を、当該ゲートドライバ110の

動作期間にLレベルの電位となる制御信号が供給される配線と接続してもよい。

[0257] 具体的には、図43Aに示すように、例えば、ゲートドライバ群110Aのゲートドライバ110におけるTFT-A、TFT-D及びTFT-Cのソース端子に、制御信号GCK1(1) __bを供給する配線223bを接続してもよい。また、図43Bに示すように、例えば、ゲートドライバ群110Bのゲートドライバ110におけるTFT-A、TFT-D及びTFT-Cのソース端子に、制御信号GCK1(1) __aを供給する配線223aを接続してもよい。

[0258] 上述の図25A、25Bに示すように、ゲートドライバ群110Aの動作期間(jフレーム及びj+1フレーム)において、制御信号GCK1(1) __bはLレベルの電位となる。従って、ゲートドライバ群110Aの動作期間中、ゲートドライバ群110Aのゲートドライバ110におけるTFT-A、TFT-D及びTFT-Cのソース端子に、電源電圧信号VSSと同電位の信号を供給することができる。

[0259] なお、上述の図25A、25Bに示すように、制御信号GCK1(1) __bと同様、制御信号GCK1(2) __b、GCK2(1) __b、GCK2(2) __bもゲートドライバ群110Aの動作期間中はLレベルの電位となる。よって、ゲートドライバ群110Aのゲートドライバ110におけるTFT-A、TFT-D及びTFT-Cのソース端子には、制御信号GCK1(1) __b、GCK1(2) __b、GCK2(1) __b、GCK2(2) __bのいずれかが供給されればよい。

[0260] また、上述の図25C、25Dに示すように、ゲートドライバ群110Bの動作期間(j+2フレーム及びj+3フレーム)において、制御信号GCK1(1) __a、GCK1(2) __a、GCK2(1) __a、GCK2(2) __aはLレベルの電位となる。従って、ゲートドライバ群110Bの動作期間中、ゲートドライバ群110Bのゲートドライバ110におけるTFT-A、TFT-D及びTFT-Cのソース端子に、電源電圧信号VSSと同

電位の信号を供給することができる。

[0261] なお、上述の図25C、25Dに示すように、制御信号GCK1(1) __aと同様、制御信号GCK1(2) __a、GCK2(1) __a、GCK2(2) __aもゲートドライバ群110Bの動作期間中はLレベルの電位となる。よって、ゲートドライバ群110Bのゲートドライバ110におけるTF T-A、TF T-D及びTF T-Cのソース端子には、制御信号GCK1(1) __a、GCK1(2) __a、GCK2(1) __a、GCK2(2) __aのいずれかが供給されればよい。

[0262] (9) 上述した第6実施形態において、変形例(5)と同様、ゲートドライバ120の電源電圧信号VSSが供給されるTF Tの端子を、当該ゲートドライバ120の動作期間にLレベルの電位となる制御信号が供給される配線と接続してもよい。

[0263] 具体的には、図44A～44Cに示すように、例えば、ゲートドライバ群120Aのゲートドライバ120におけるTF T-A、TF T-D及びTF T-Cのソース端子に制御信号ACLR(2)が供給されるように構成してもよい。また、TF T-Fのドレイン端子に制御信号ACLR(3)、TF T-Gのドレイン端子に制御信号ACLR(1)が供給されるように構成してもよい。

[0264] 上述の図30に示すように、ゲートドライバ群120Aの動作期間(第jフレーム)において、制御信号ACLR(1)はHレベルの電位となり、制御信号ACLR(2)とACLR(3)はLレベルの電位となる。また、ゲートドライバ群120Bの動作期間(第j+1フレーム)において、制御信号ACLR(2)はHレベルの電位となり、制御信号ACLR(1)とACLR(3)はLレベルの電位となる。また、ゲートドライバ群120Cの動作期間(第j+2フレーム)において、制御信号ACLR(3)はHレベルの電位となり、制御信号ACLR(1)とACLR(2)はLレベルの電位となる。

[0265] 従って、ゲートドライバ群120Aの動作期間(第jフレーム)において

、ゲートドライバ群120Aのゲートドライバ120におけるTFT-A、TFT-D及びTFT-Cのソース端子に、電源電圧信号VSSと同電位の信号を供給することができる。

[0266] また、上述の図30に示すように、ゲートドライバ群120Bの動作期間中、ゲートドライバ群120Aのゲートドライバ120のTFT-Fは、制御信号ACLR(2)によってオンになる。ゲートドライバ群120Cの動作期間中、ゲートドライバ群120Aのゲートドライバ120のTFT-Gは、制御信号ACLR(3)によってオンになる。これら動作期間において、制御信号ACLR(3)又は制御信号ACLR(1)はLレベルの電位となる。そのため、ゲートドライバ群120Bとゲートドライバ群120Cの動作期間において、ゲートドライバ群120Aのゲートドライバ120におけるTFT-FとTFT-Gのソース端子に、電源電圧信号VSSと同電位の信号を供給することができる。

[0267] なお、上述の図30に示すように、ゲートドライバ群120Aの動作期間において、制御信号ACLR(2)もLレベルの電位となる。そのため、ゲートドライバ群120Aのゲートドライバ120におけるTFT-A、TFT-D及びTFT-Cのソース端子に制御信号ACLR(3)を供給するようにしてもよい。また、図30に示すように、ゲートドライバ群120Bの動作期間、すなわち、制御信号ACLR(2)がHレベルの電位となる期間は、制御信号ACLR(1)もLレベルの電位となる。そのため、ゲートドライバ群120Aのゲートドライバ120におけるTFT-Fのドレイン端子に、制御信号ACLR(1)を供給するようにしてもよい。また、上述の図30に示すように、ゲートドライバ群120Cの動作期間、すなわち、制御信号ACLR(3)がHレベルの電位となる期間は、制御信号ACLR(2)もLレベルの電位となる。そのため、ゲートドライバ群120Aのゲートドライバ120におけるTFT-Gのソース端子に制御信号ACLR(2)を供給するようにしてもよい。

[0268] また、上述の図30に示すように、ゲートドライバ群120Aの動作期間

において制御信号GCK1__b, GCK2__b, GCK1__c, GCK2__cのいずれもLレベルの電位となる。よって、ゲートドライバ群120Aのゲートドライバ120において、TFT-A、TFT-D、TFT-C、TFT-F、及びTFT-Gのソース端子に、これら制御信号のいずれかを供給するようにしてもよい。

[0269] なお、ゲートドライバ群120B、120Cのゲートドライバ120の図示を省略するが、ゲートドライバ群120Aと同様、ゲートドライバ群120B、120Cのゲートドライバ120におけるTFT-A、TFT-D、TFT-C、TFT-F、及びTFT-Gのソース端子に、当該ゲートドライバ120の動作期間にLレベルの電位となる制御信号が供給されるように構成すればよい。

[0270] また、本変形例では、ゲートドライバ120におけるTFT-A、TFT-D、TFT-C、TFT-F、及びTFT-Gの全てのソース端子に、当該ゲートドライバ120の動作期間にLレベルの電位となる制御信号を供給する例を示したが、少なくとも1つのTFTのソース端子に、このような制御信号が供給されていればよい。

請求の範囲

- [請求項1] 複数のソース線と、前記複数のソース線と交差する複数のゲート線とを有するアクティブマトリクス基板であって、
- ゲート線ごとに複数の駆動回路を有し、供給される制御信号に応じて、前記複数の駆動回路のうちのいずれかの駆動回路によって前記ゲート線を選択状態に切り替える駆動部と、
- 前記駆動部に対して前記制御信号を供給する信号供給部と、を備え、
- 一のゲート線に設けられた前記複数の駆動回路の各々は、
- 前記制御信号に応じて、オンの状態に切り替わり、前記一のゲート線に電圧を印加する出力用スイッチング素子を含む選択回路部と、
- 前記出力用スイッチング素子のゲート端子と前記一のゲート線とに接続された内部配線と、
- 前記内部配線に接続され、供給される前記制御信号に応じて、前記内部配線の電位を制御する電位制御回路部とを有し、
- 前記信号供給部は、所定時間ごとに、前記複数の駆動回路のうち少なくとも1つの駆動回路における前記電位制御回路部に対し、前記制御信号として、前記内部配線を前記出力用スイッチング素子の閾値電圧よりも低い電位に制御するための電位制御信号を供給し、他の駆動回路における前記選択回路部に対し、前記制御信号として、前記出力用スイッチング素子にオンの状態に切り替わる動作を行わせ、前記一のゲート線を選択状態に切り替える選択電圧を印加させる駆動信号を供給する、アクティブマトリクス基板。
- [請求項2] 前記信号供給部は、前記一のゲート線に設けられた複数の駆動回路のうち、前記電位制御信号を供給する駆動回路を切り替える、請求項1に記載のアクティブマトリクス基板。
- [請求項3] 前記ゲート線ごとに、 N 個 ($N \geq 3$ 、 N は自然数)の駆動回路が設けられ、

前記信号供給部は、前記所定時間ごとに、前記N個の駆動回路のうち、n個（nは自然数、 $2 \leq n < N$ ）の駆動回路の各々における前記選択回路部に対して前記駆動信号を供給する、請求項1に記載のアクティブマトリクス基板。

[請求項4] 前記電位制御回路部は、ドレイン端子が前記内部配線に接続された第1スイッチング素子を含み、

前記信号供給部は、さらに、前記他の駆動回路における前記第1スイッチング素子のゲート端子に、当該第1スイッチング素子をオフにする第1電圧信号を供給し、前記電位制御信号が供給される前記駆動回路における前記第1スイッチング素子のゲート端子に、当該第1スイッチング素子をオンにする第2電圧信号を供給するとともに、当該第1スイッチング素子のソース端子に前記第1電圧信号を供給する、請求項2又は3に記載のアクティブマトリクス基板。

[請求項5] 前記選択回路部は、ドレイン端子が前記一のゲート線に接続され、前記制御信号に応じて、前記一のゲート線を非選択状態にする非選択電圧を前記一のゲート線に印加する第2スイッチング素子を含み、

前記第1電圧信号の電圧は、前記ゲート線が非選択状態となる電圧であり、

前記信号供給部は、さらに、前記他の駆動回路における前記第2スイッチング素子のゲート端子に、当該第2スイッチング素子をオンにする電圧信号を供給し、当該第2スイッチング素子のソース端子に前記第1電圧信号を供給するとともに、前記電位制御信号が供給される前記駆動回路における前記第2スイッチング素子のゲート端子に、当該第2スイッチング素子をオフにする電圧信号を供給する、請求項4に記載のアクティブマトリクス基板。

[請求項6] 前記駆動部は、前記複数のソース線と前記複数のゲート線とで規定される表示領域内に配置されている、請求項1から5のいずれか一項に記載のアクティブマトリクス基板。

[請求項7] 請求項 1 から 6 のいずれか一項に記載のアクティブマトリクス基板と、
 カラーフィルタを有する対向基板と、
 前記アクティブマトリクス基板と前記対向基板との間に挟持された液晶層と、
 を有する表示装置。

The diagram illustrates the electrical configuration of the display device. A dashed line labeled 1 represents the overall device boundary. Inside, a solid-line rectangle labeled 2 represents the display panel. The panel is divided into a central display area (20a) and a surrounding peripheral area (20b). Below the panel, a horizontal block labeled 3 represents the source driver. A block labeled 4 represents the display control circuit, and a block labeled 5 represents the power source. Arrows indicate the following connections: the display control circuit (4) sends control signals to the source driver (3) and the peripheral area (20b) of the display panel (2). The power source (5) provides power to the source driver (3) and the display control circuit (4). The source driver (3) provides power to the display area (20a) of the display panel (2).

Y
Z
X

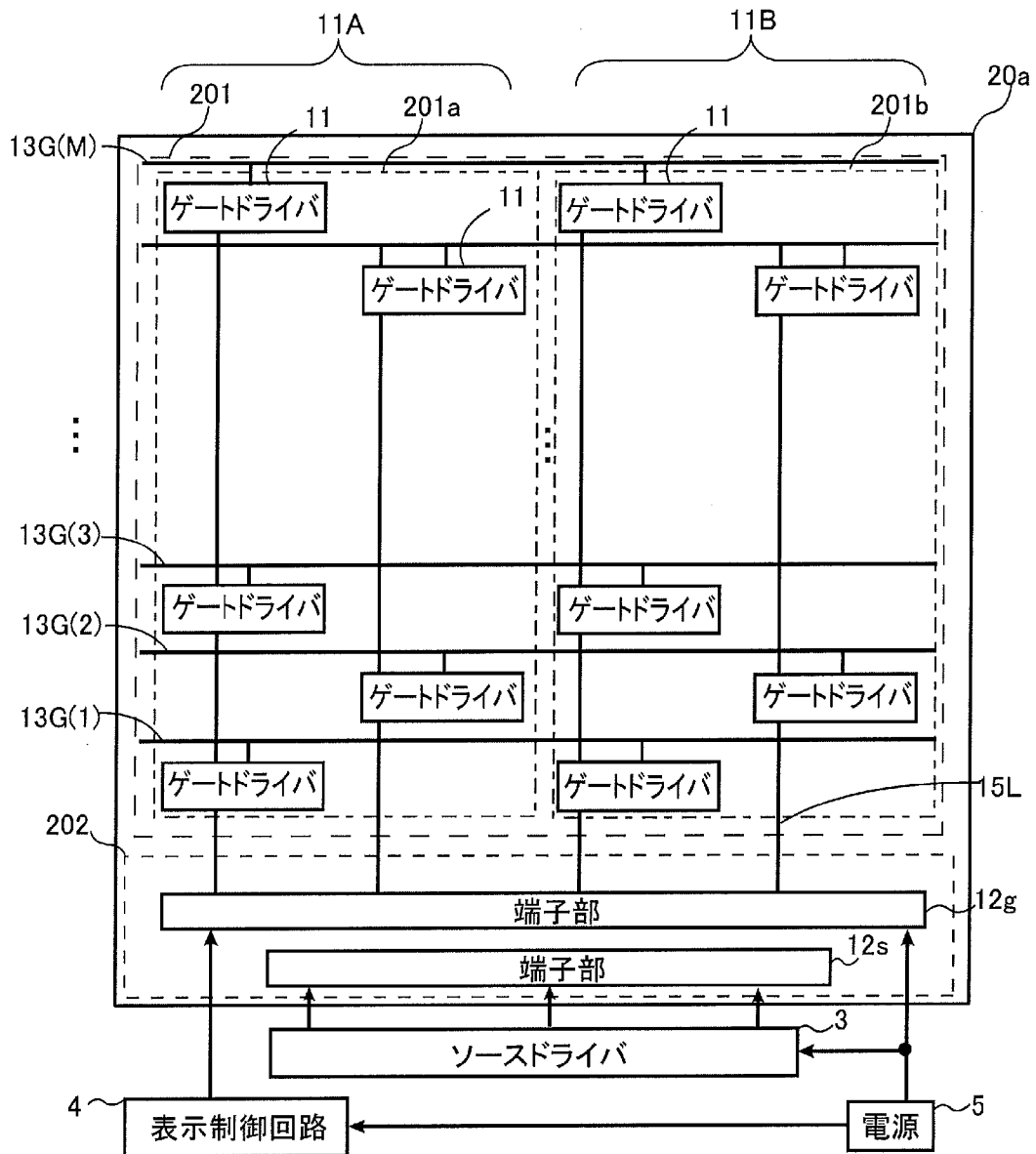
13G(M)

20a

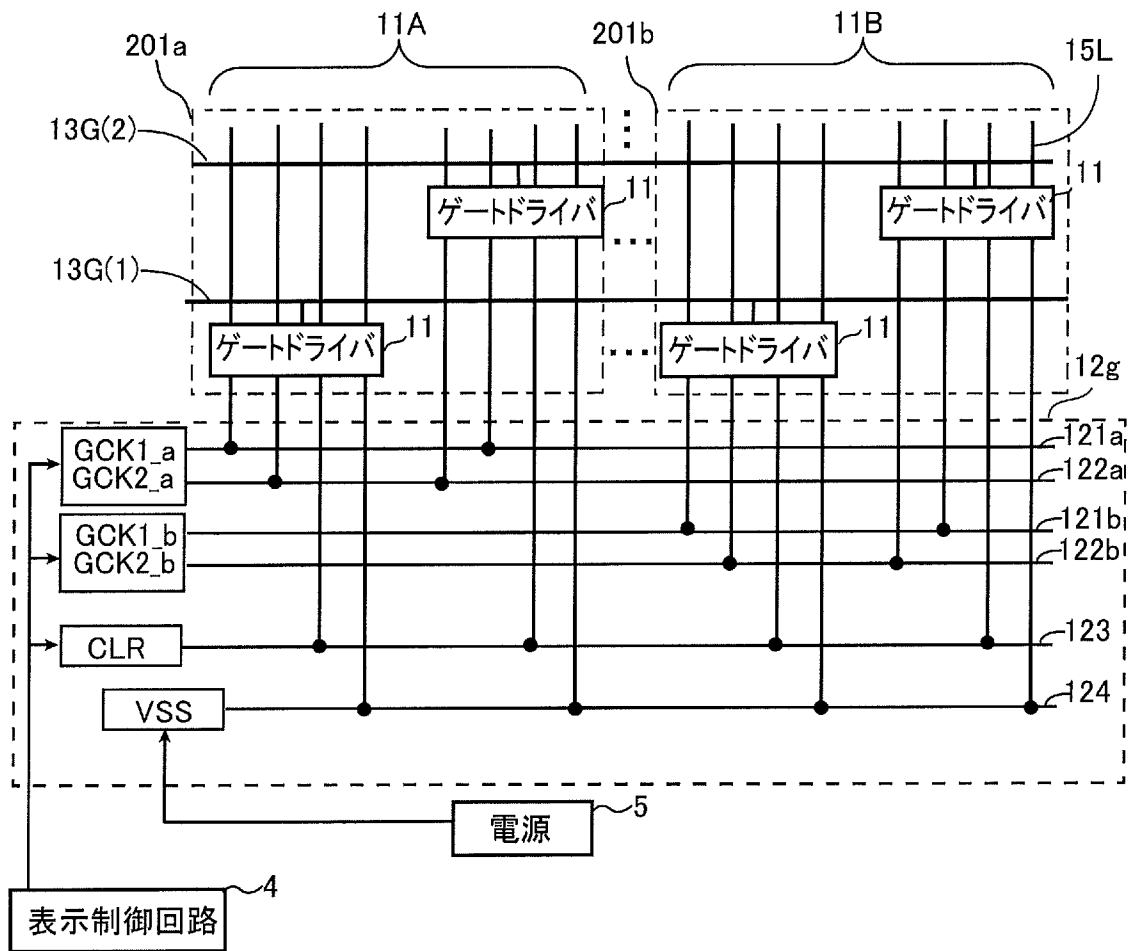
15S

13G(1)

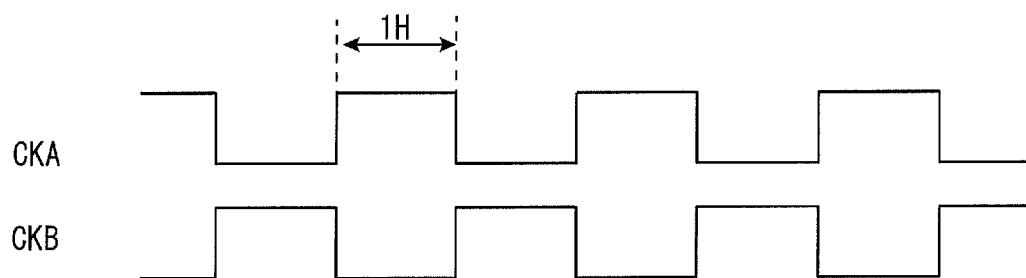
ソースドライバ 3



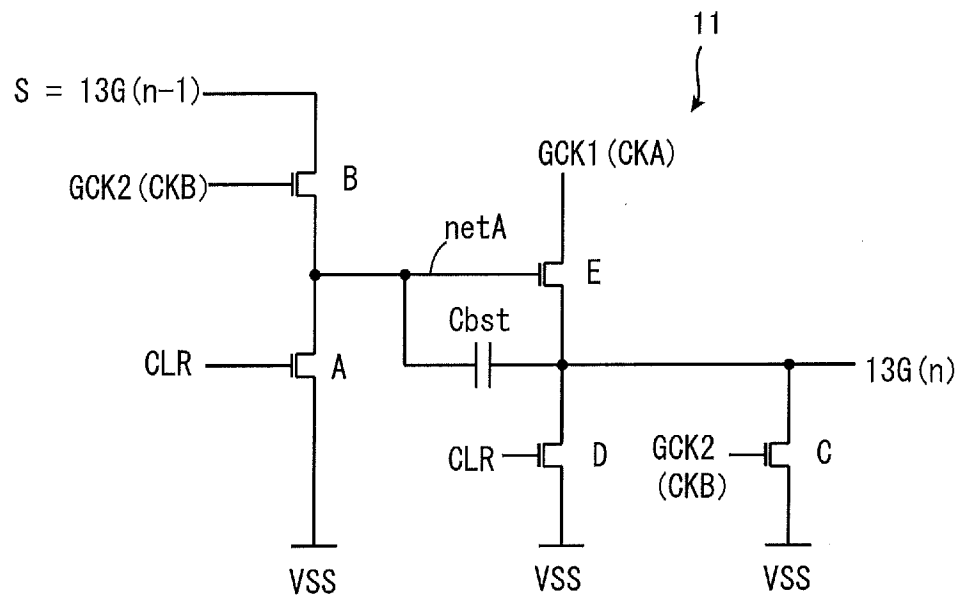
[図4]



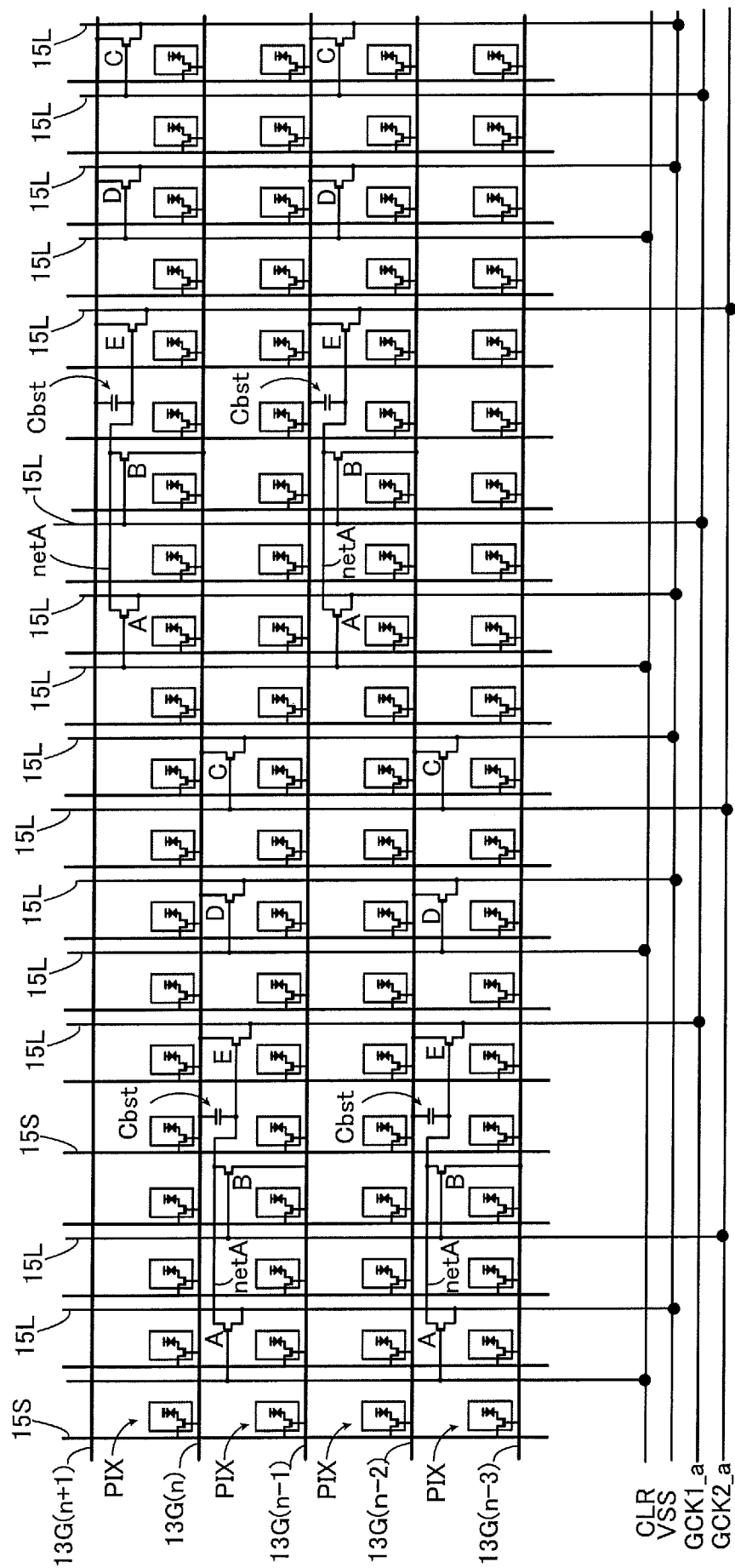
[図5]



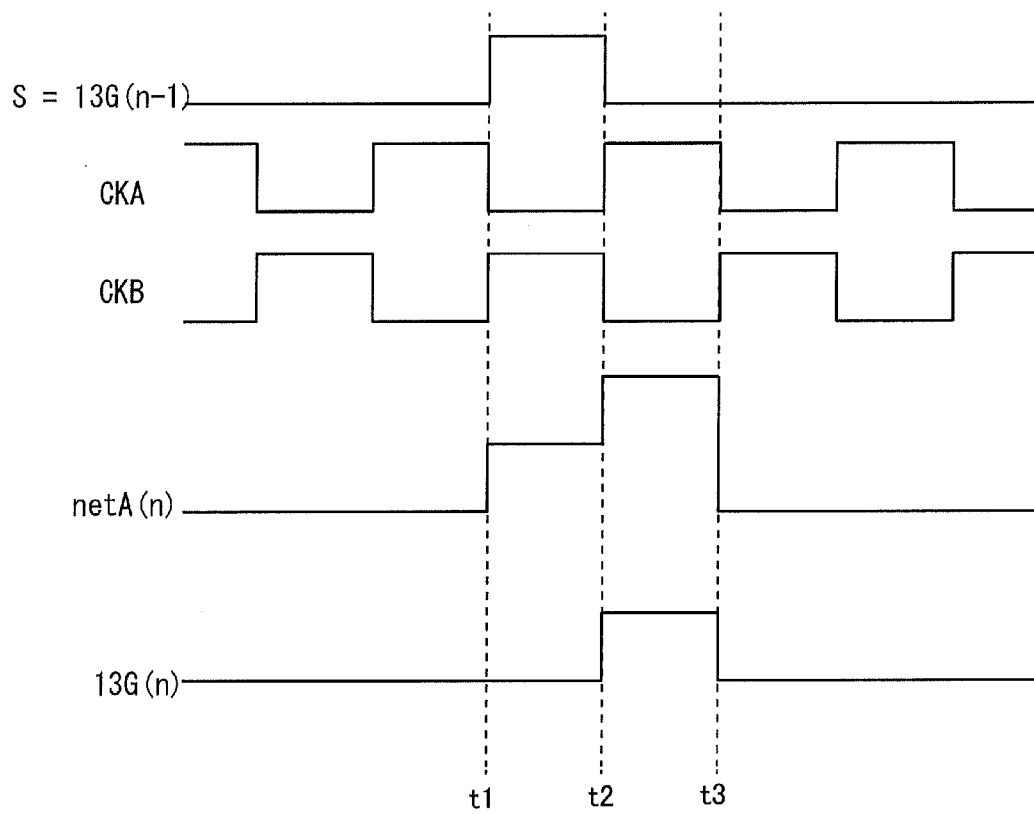
[図6]



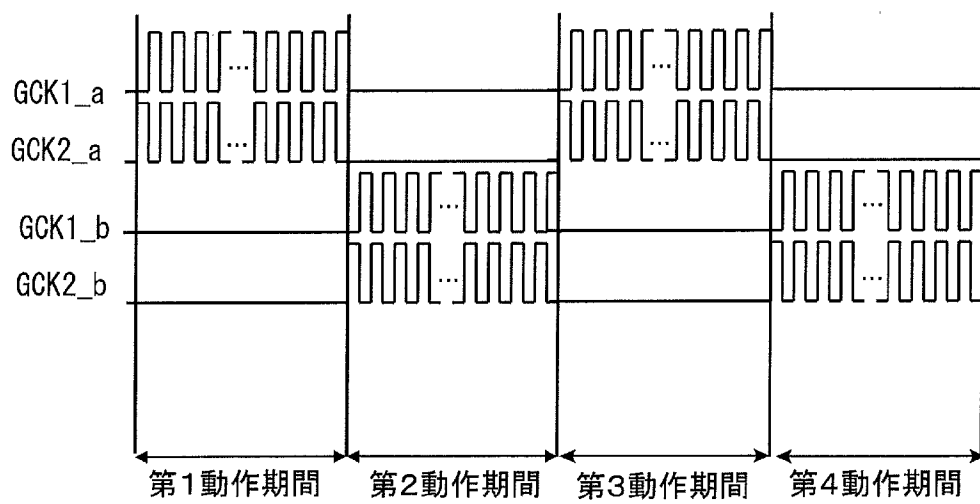
11A



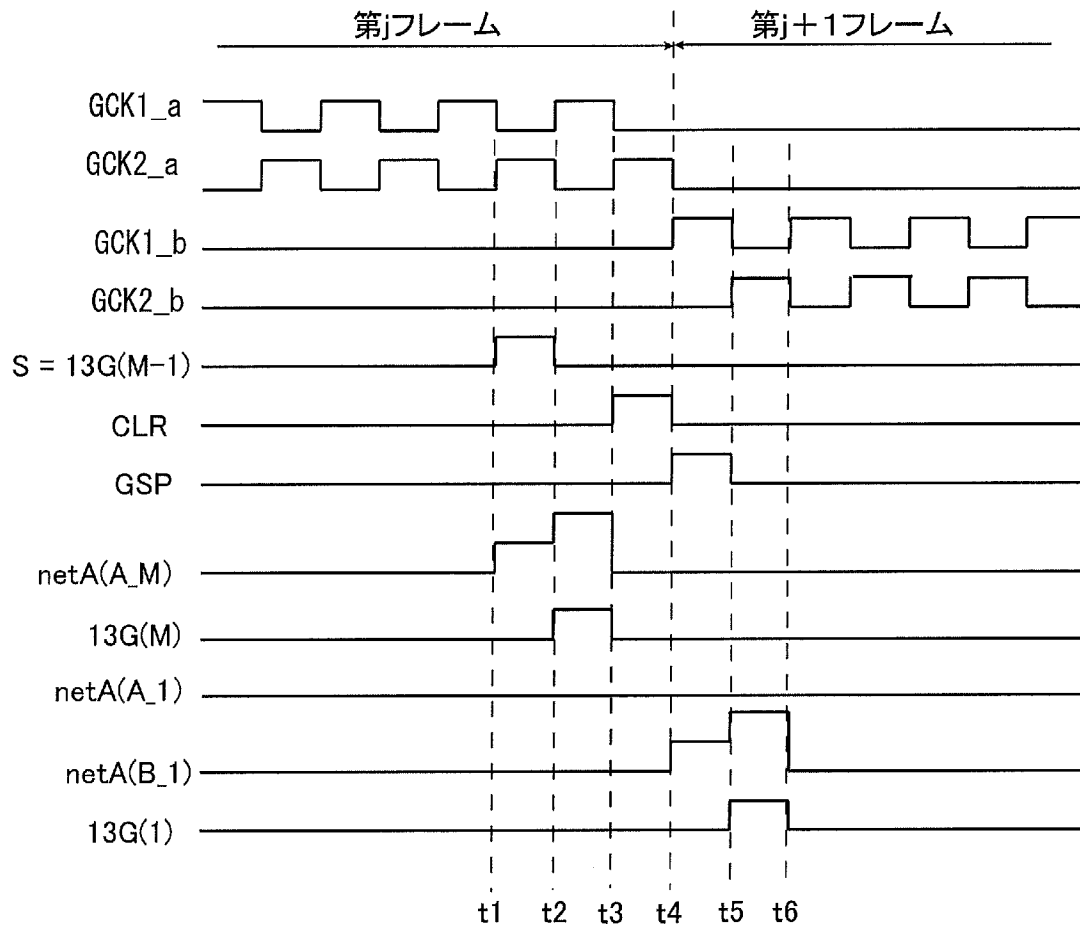
[図8]



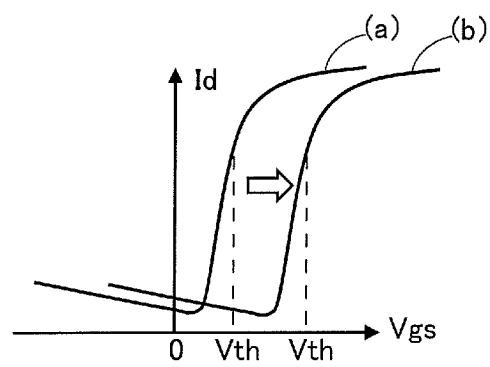
[図9]



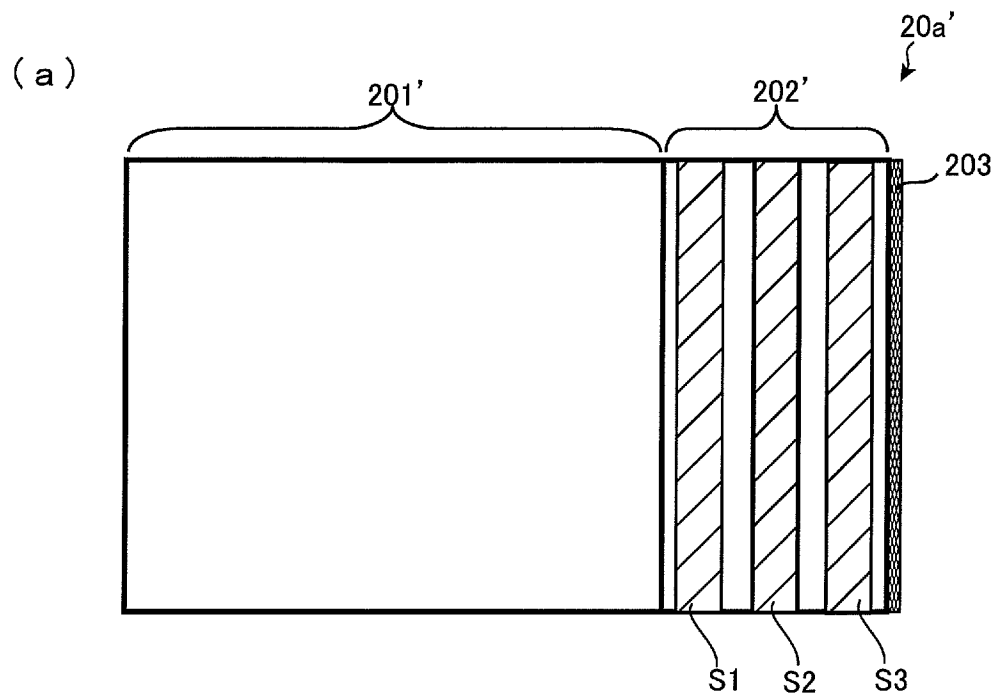
[図10]



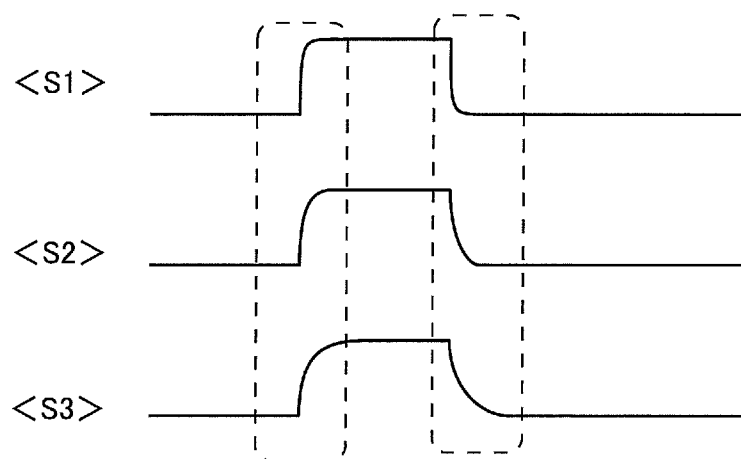
[図11]



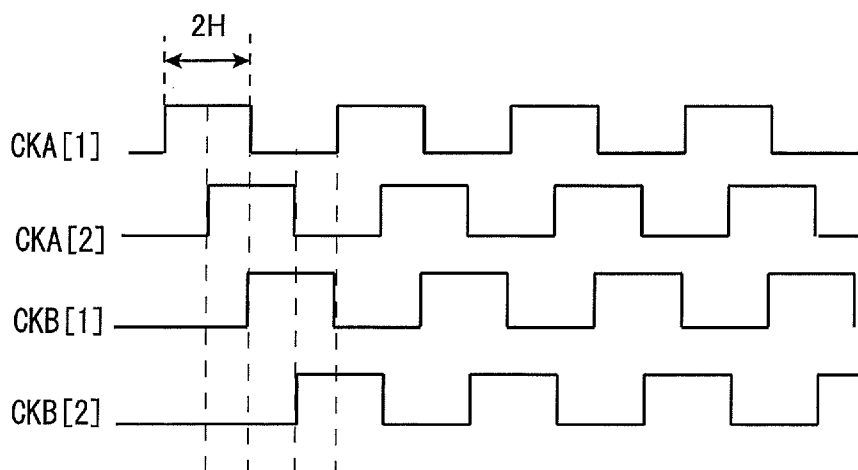
[図12]



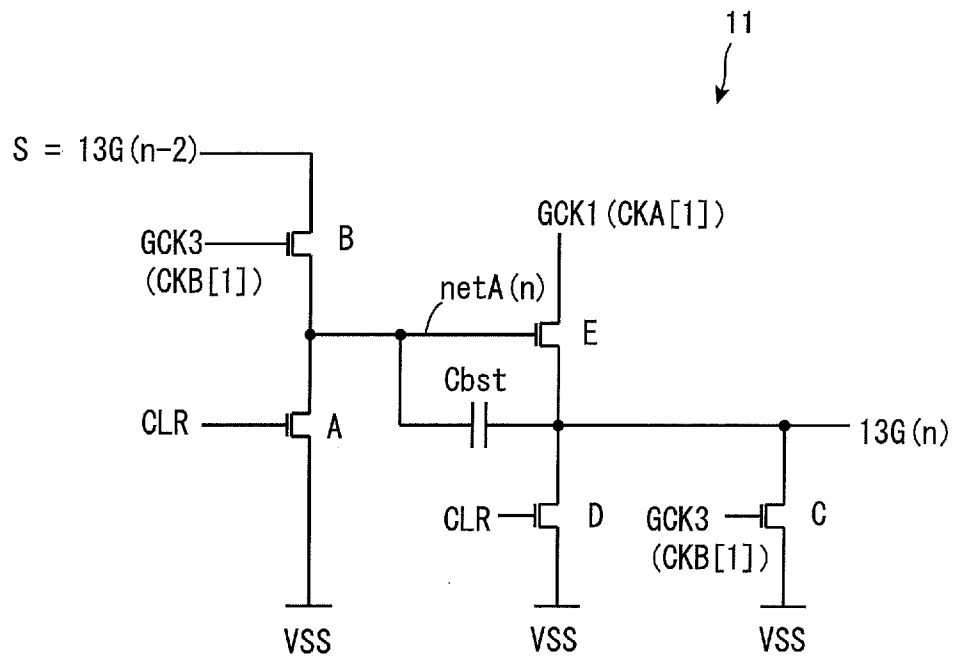
(b)



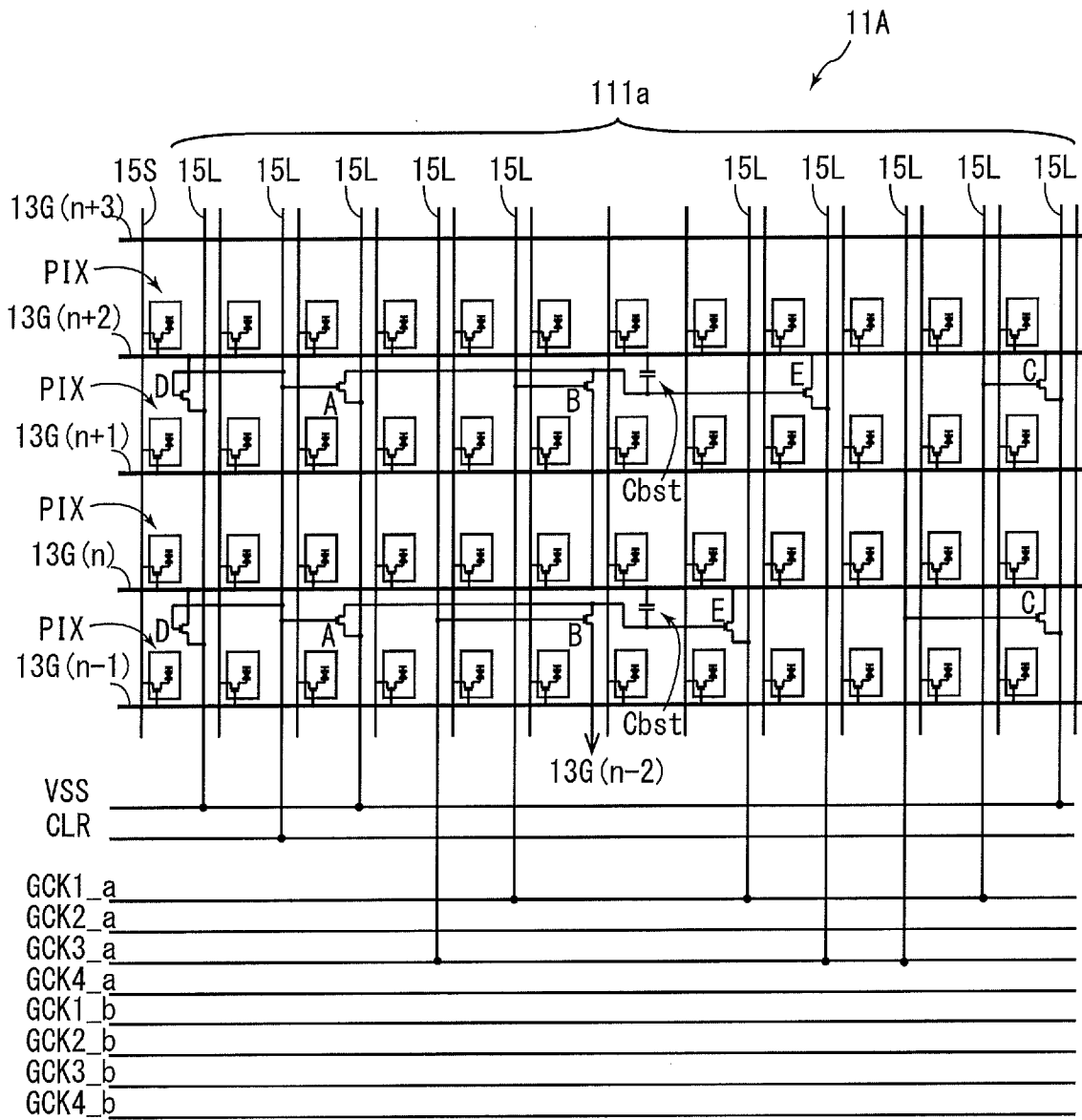
[図13]



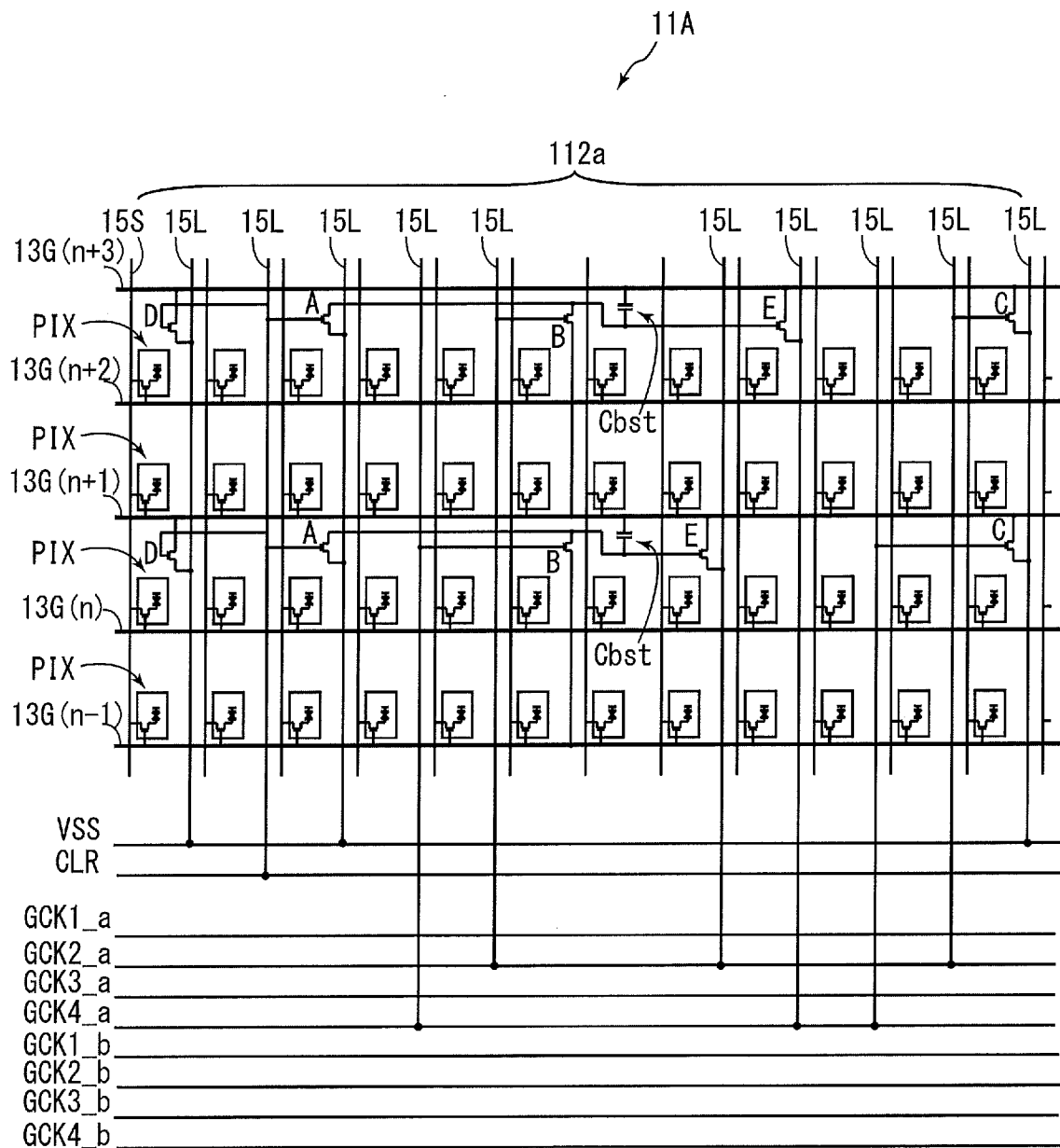
[図14]



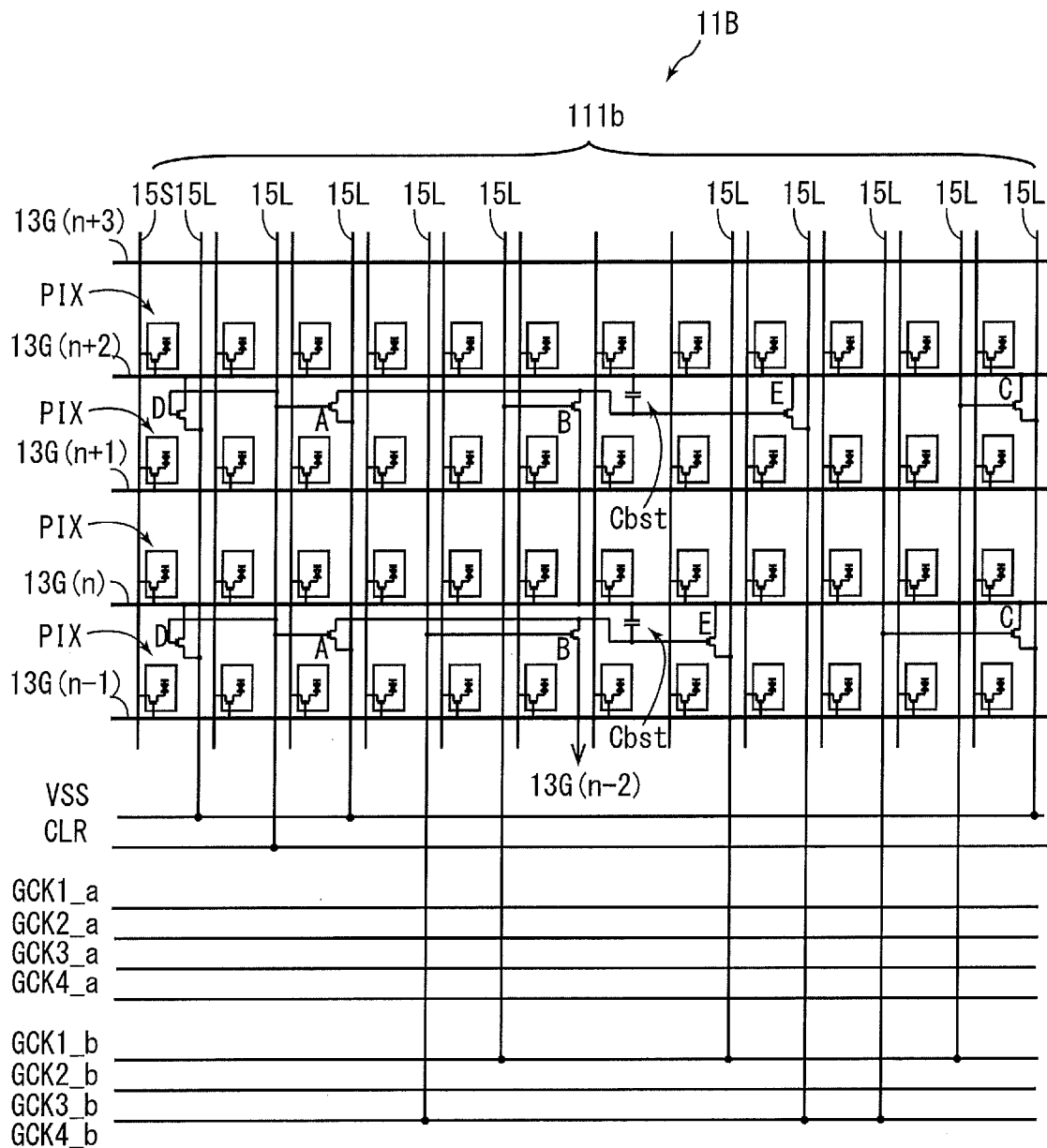
[図15A]



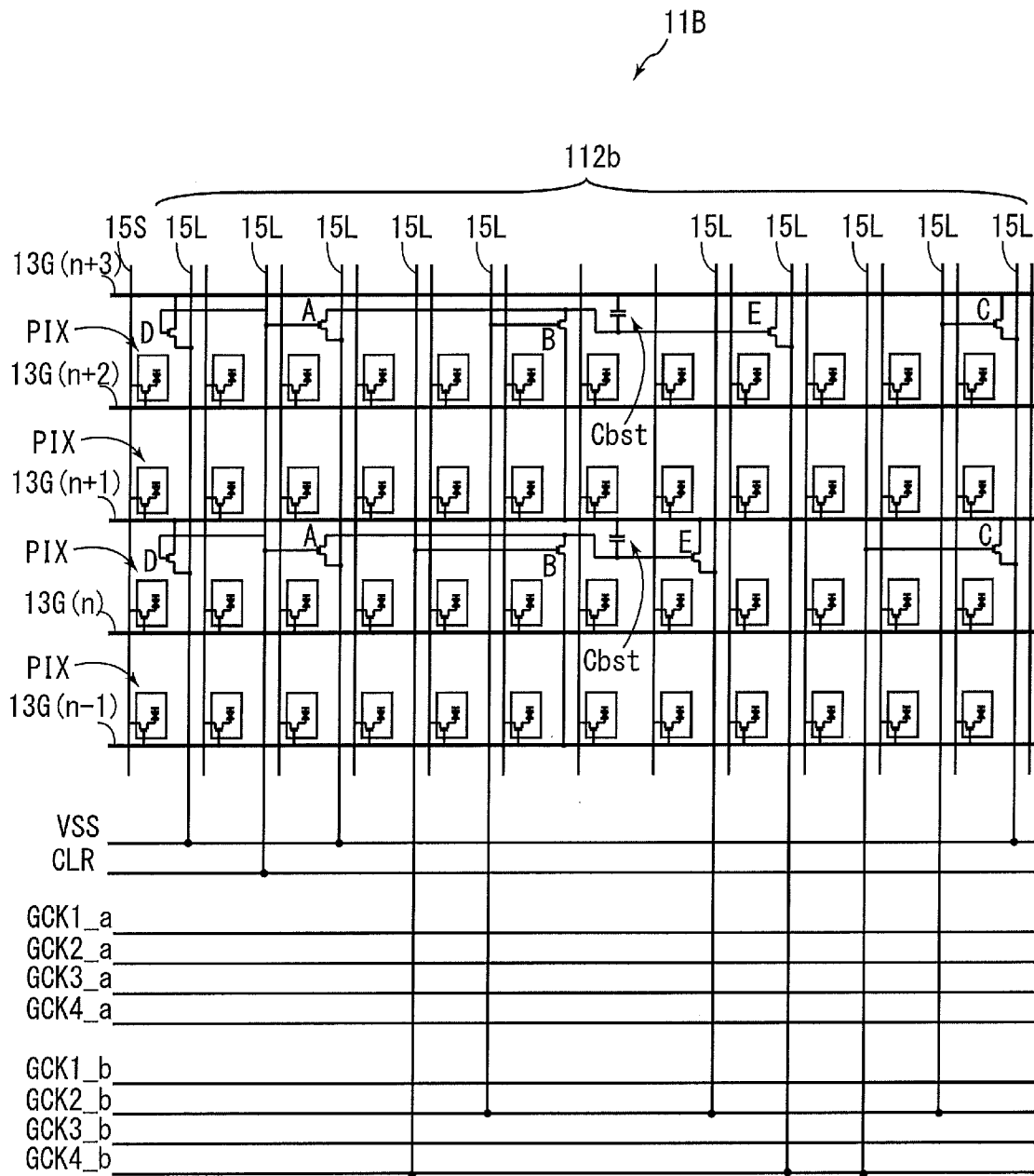
[図15B]



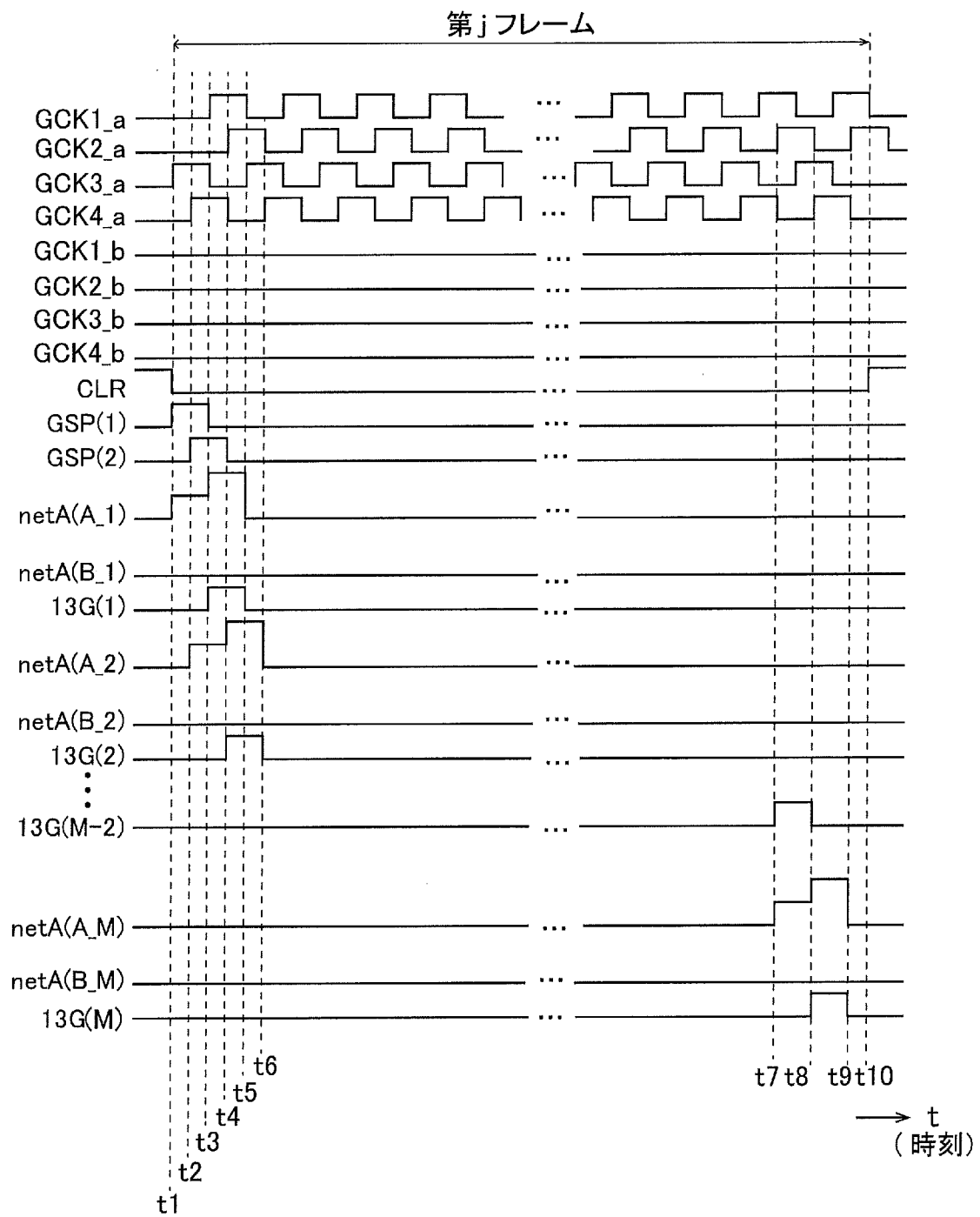
[図15C]



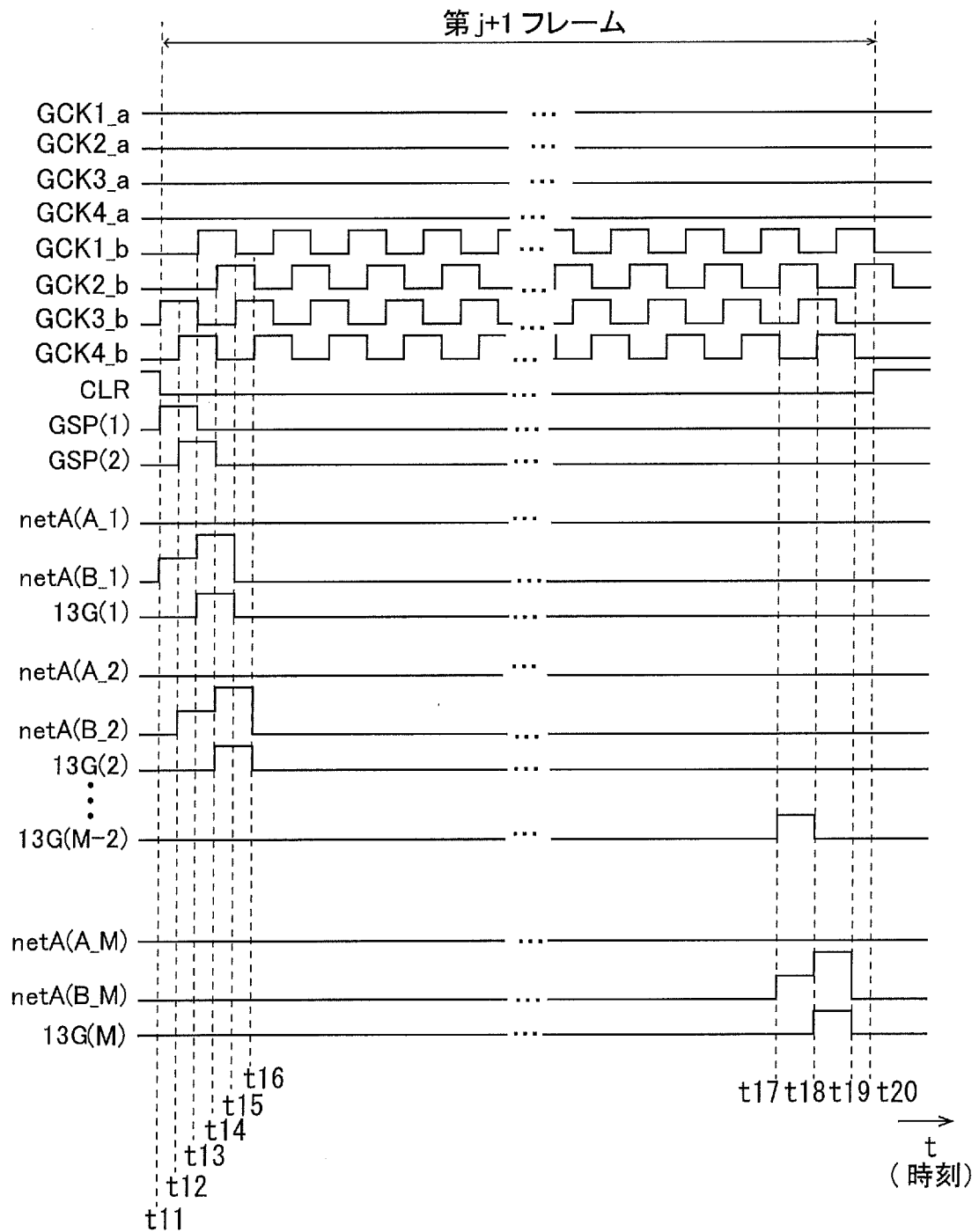
[図15D]



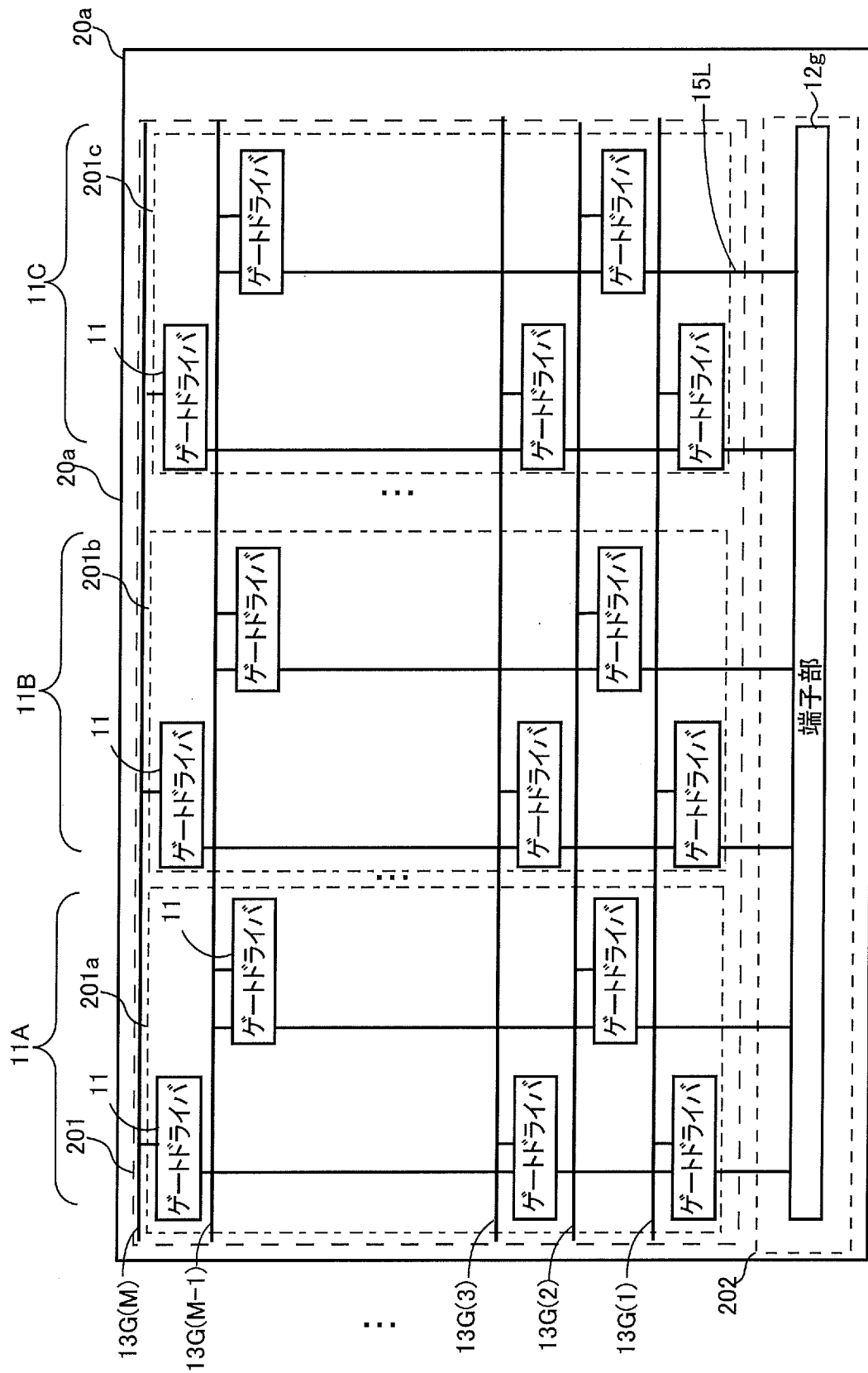
[図16A]



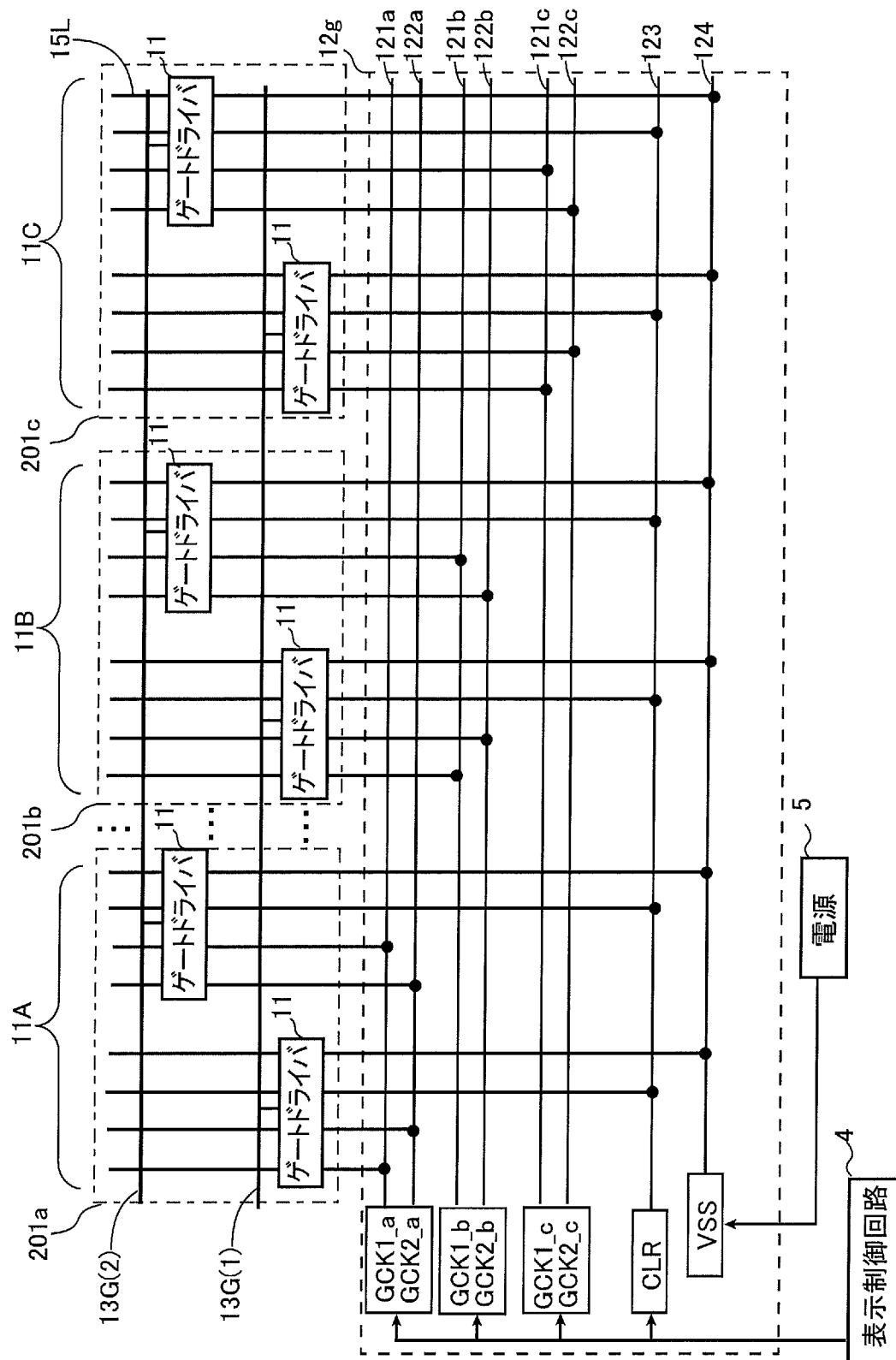
[図16B]



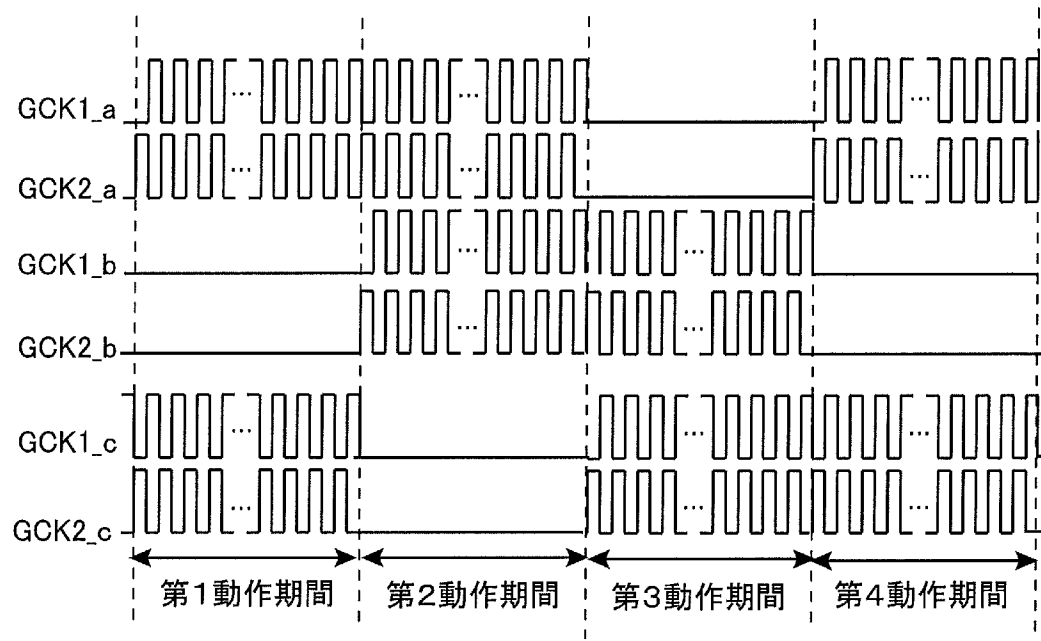
[図17]



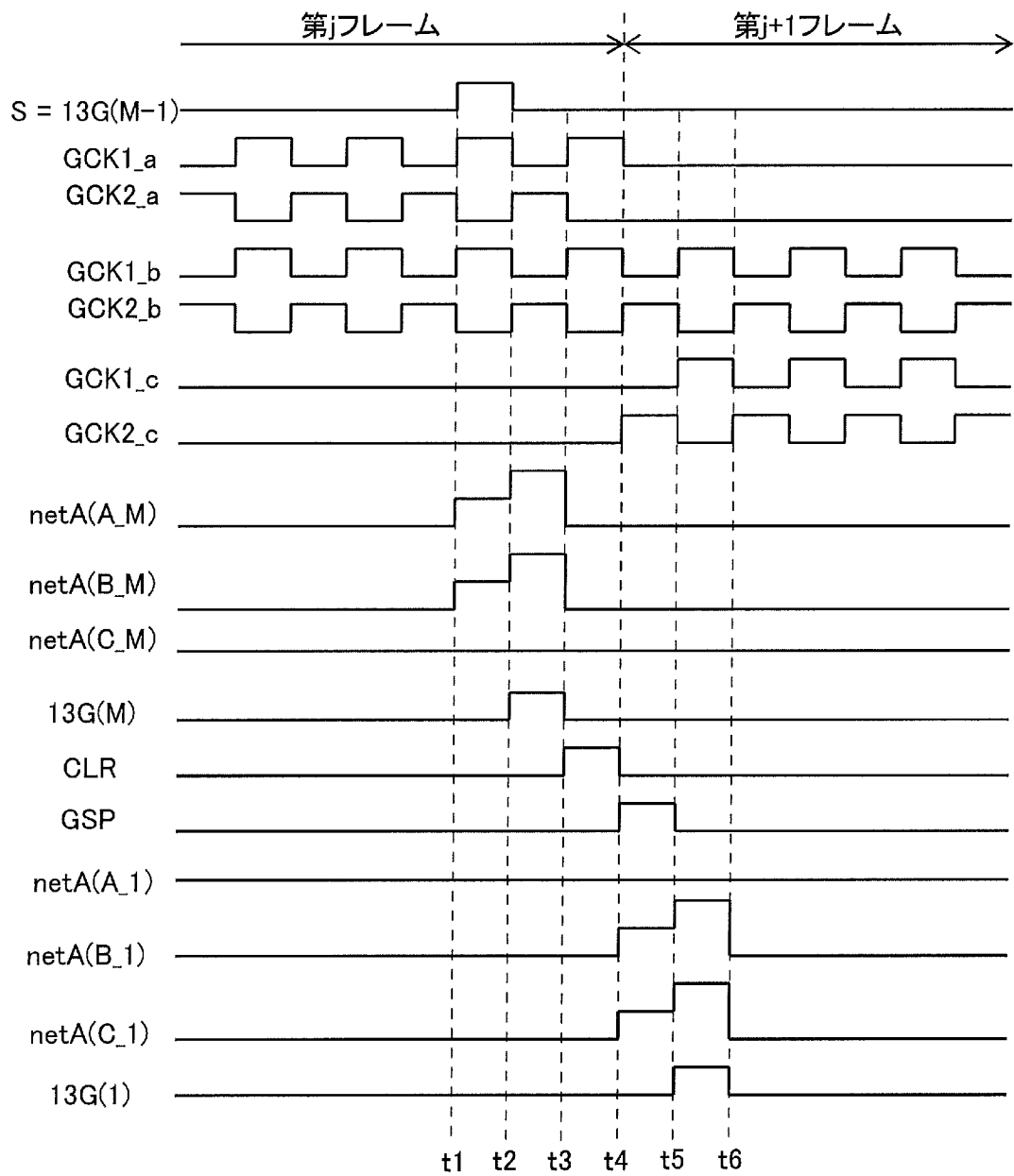
[図18]



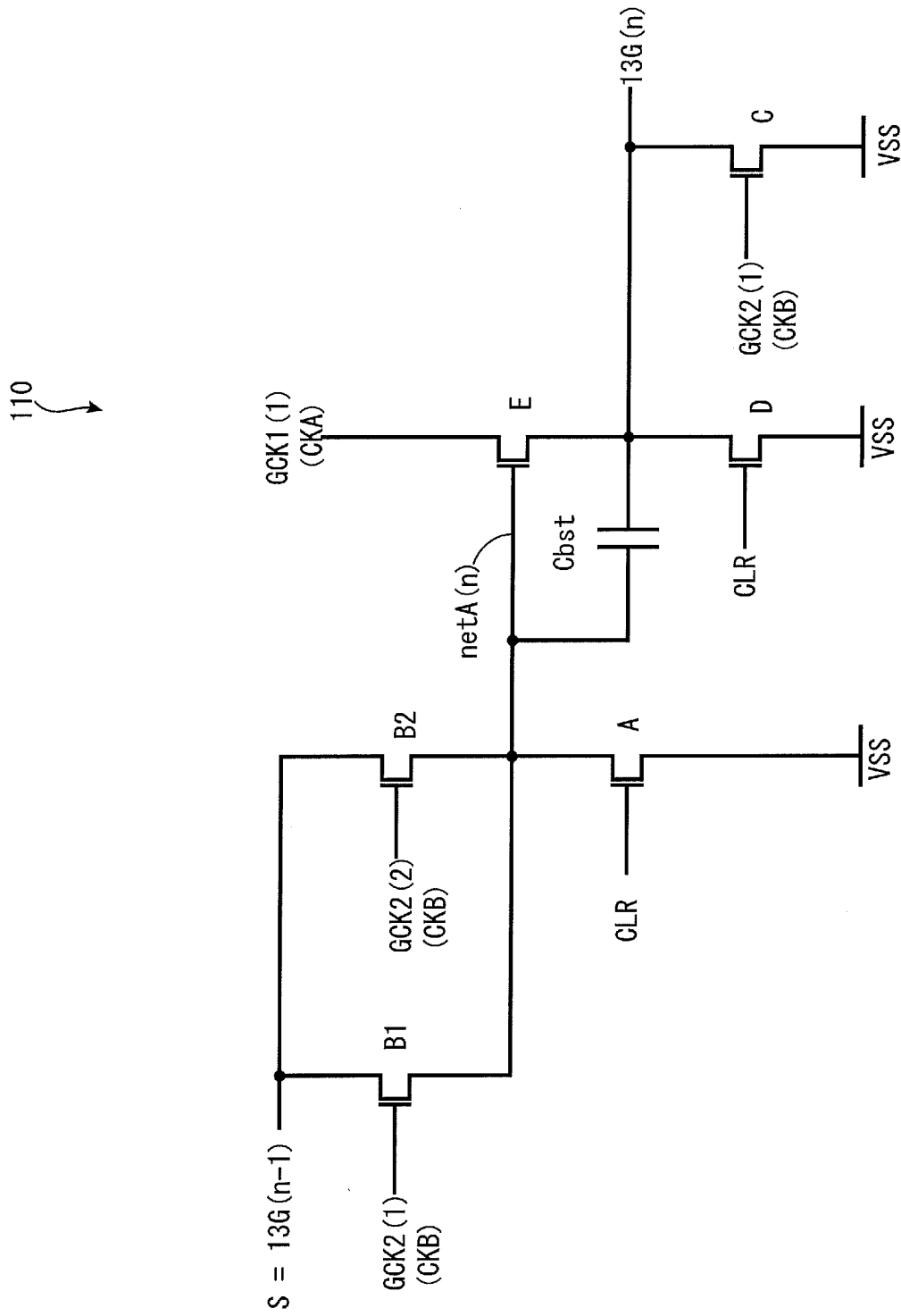
[図19]



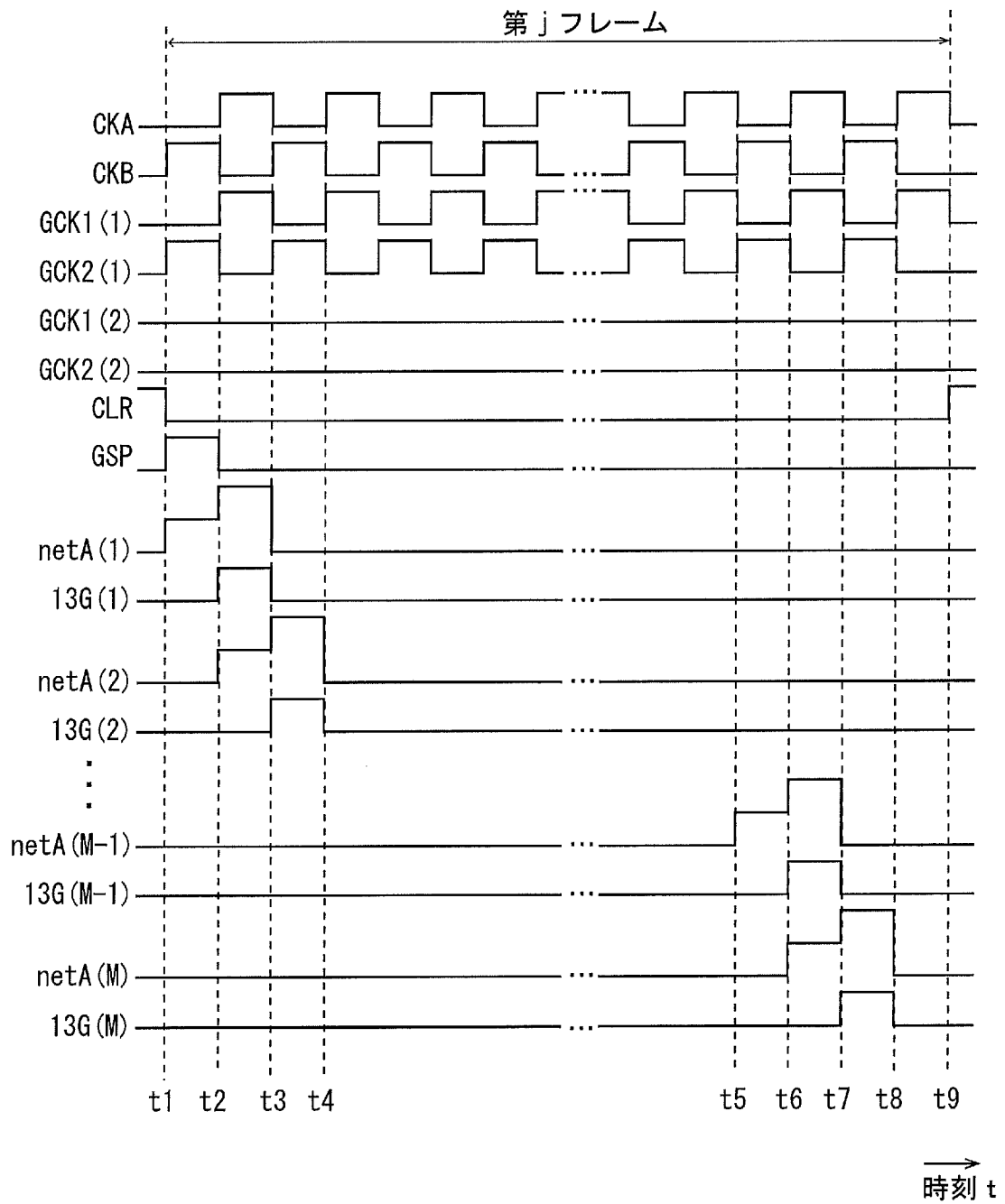
[図20]



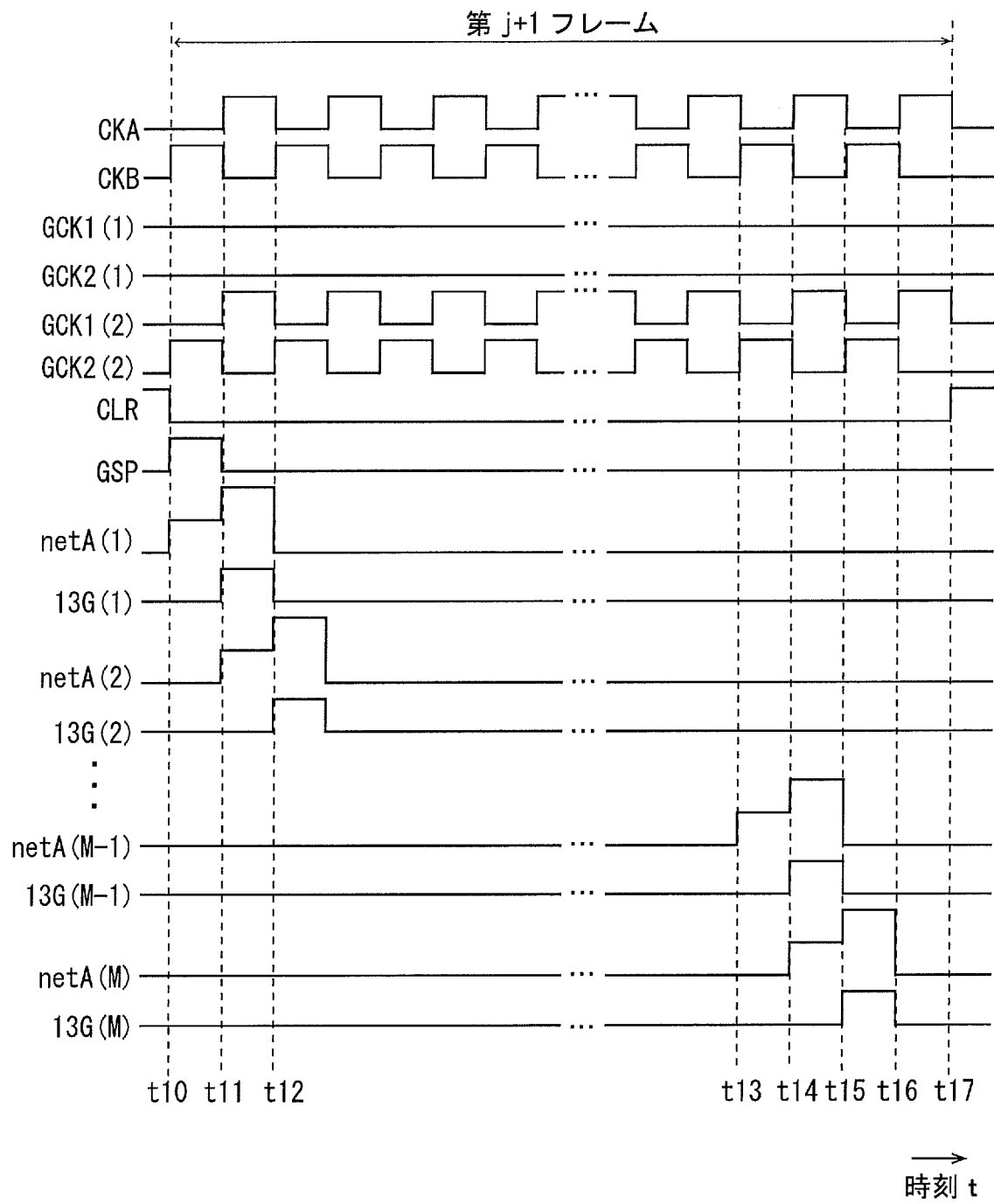
[図21]

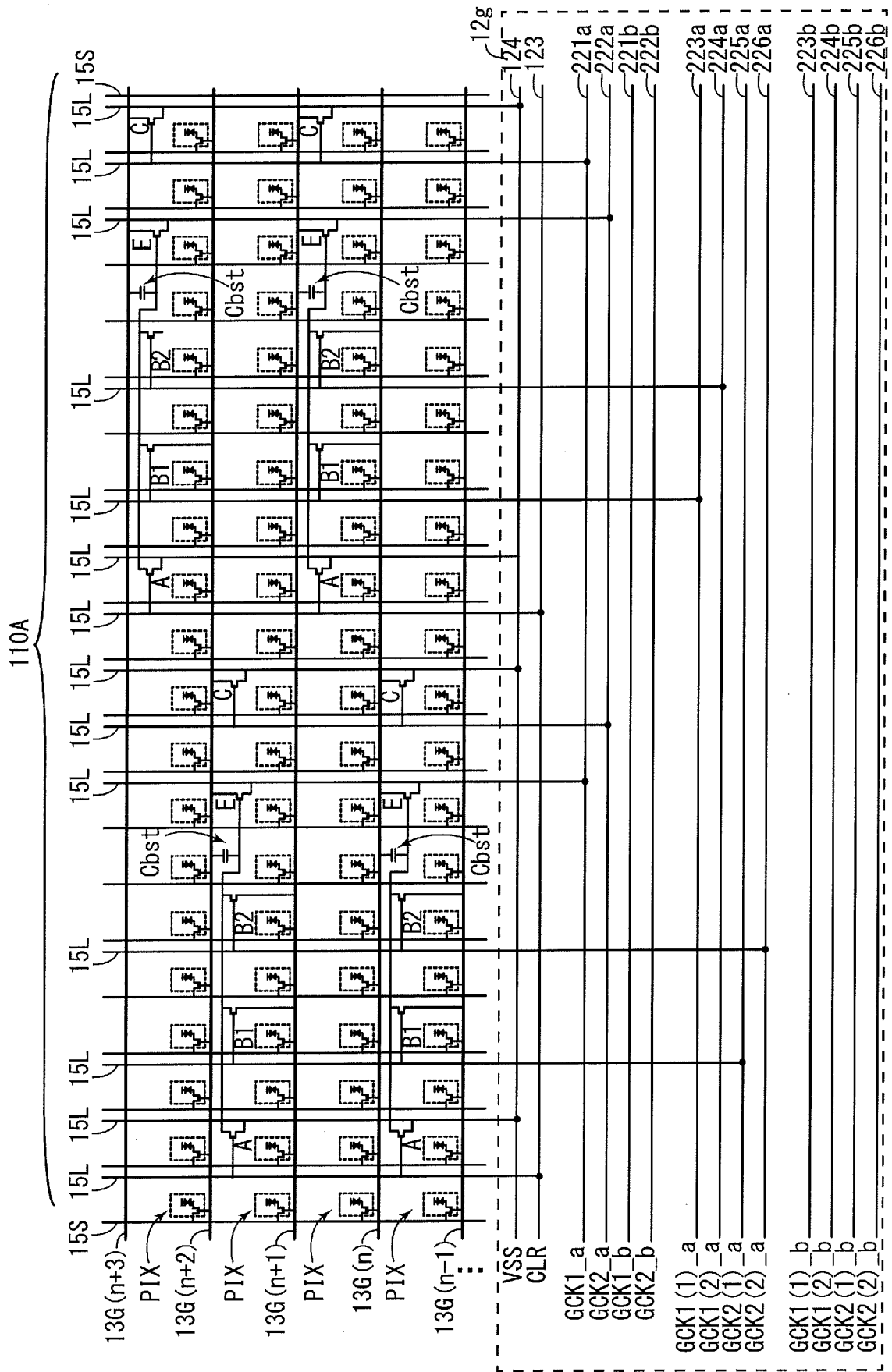


[図23A]

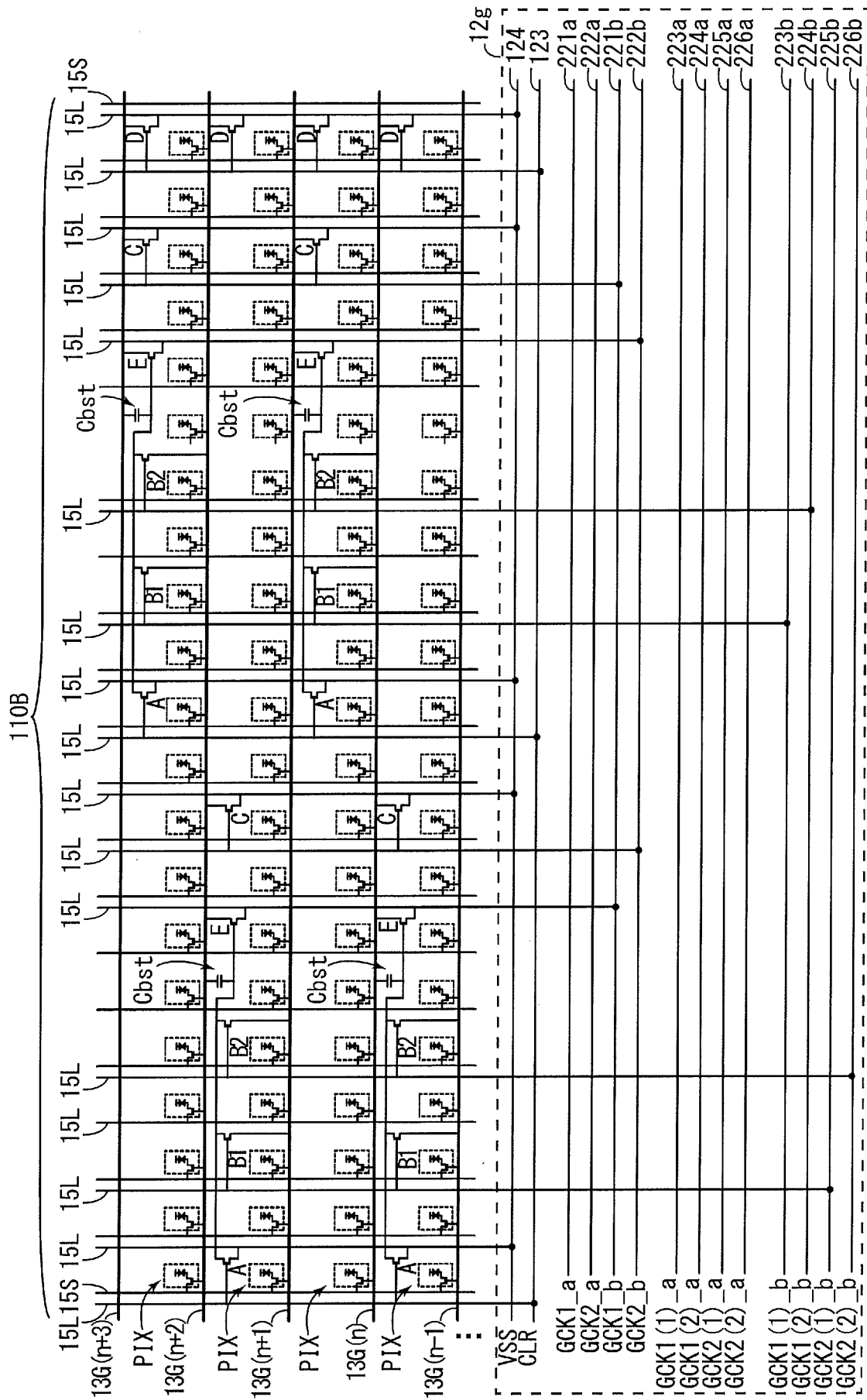


[図23B]

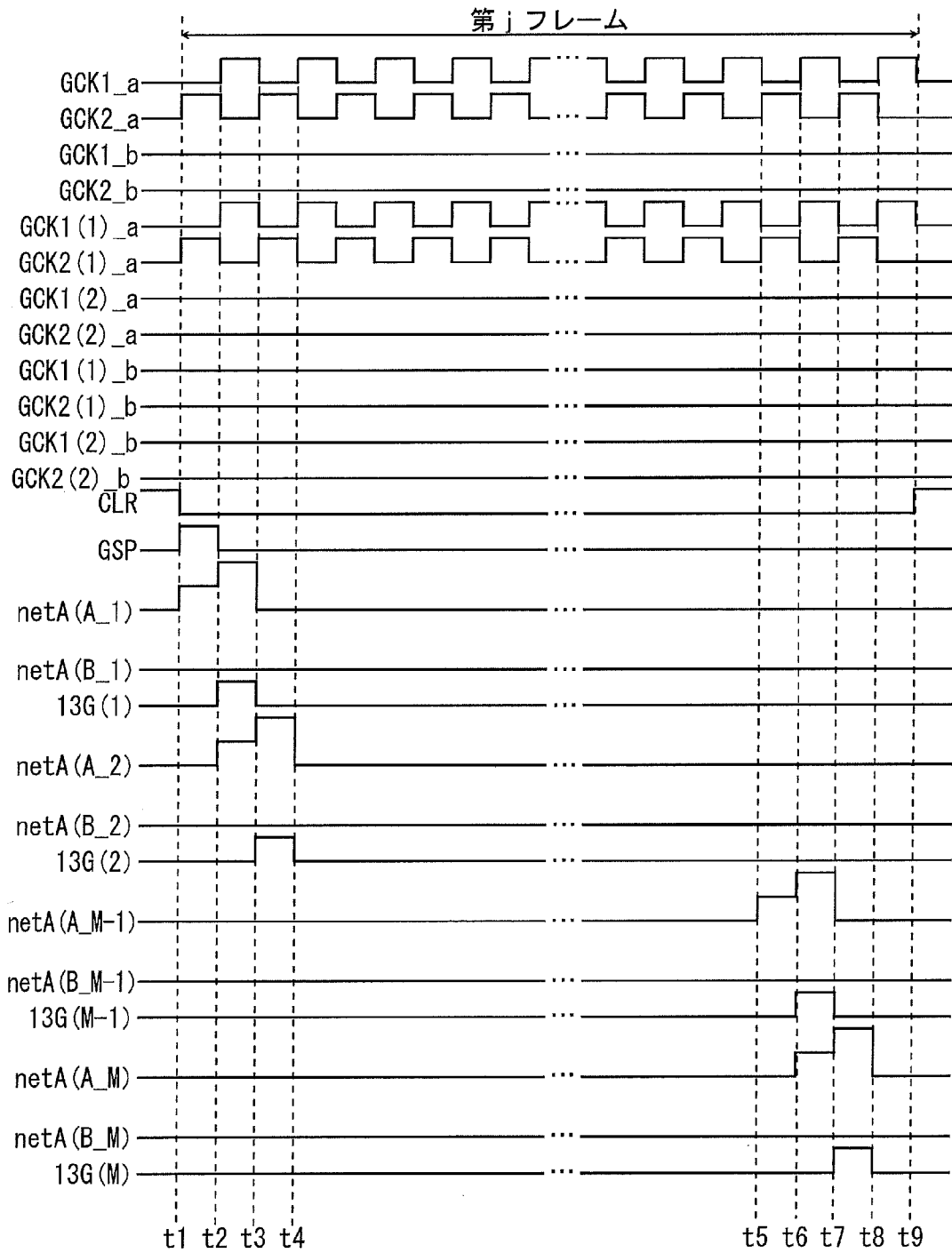




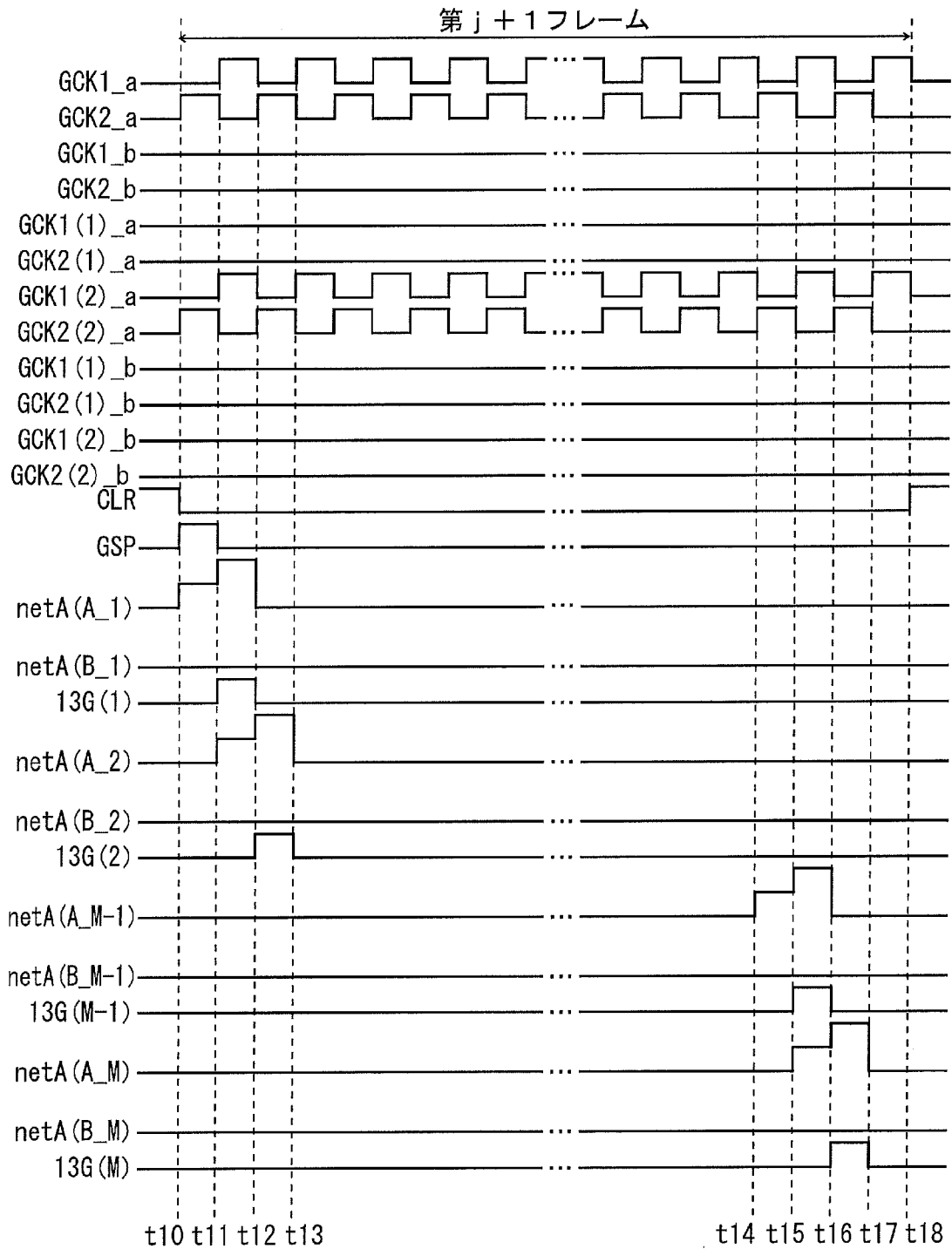
[図24B]



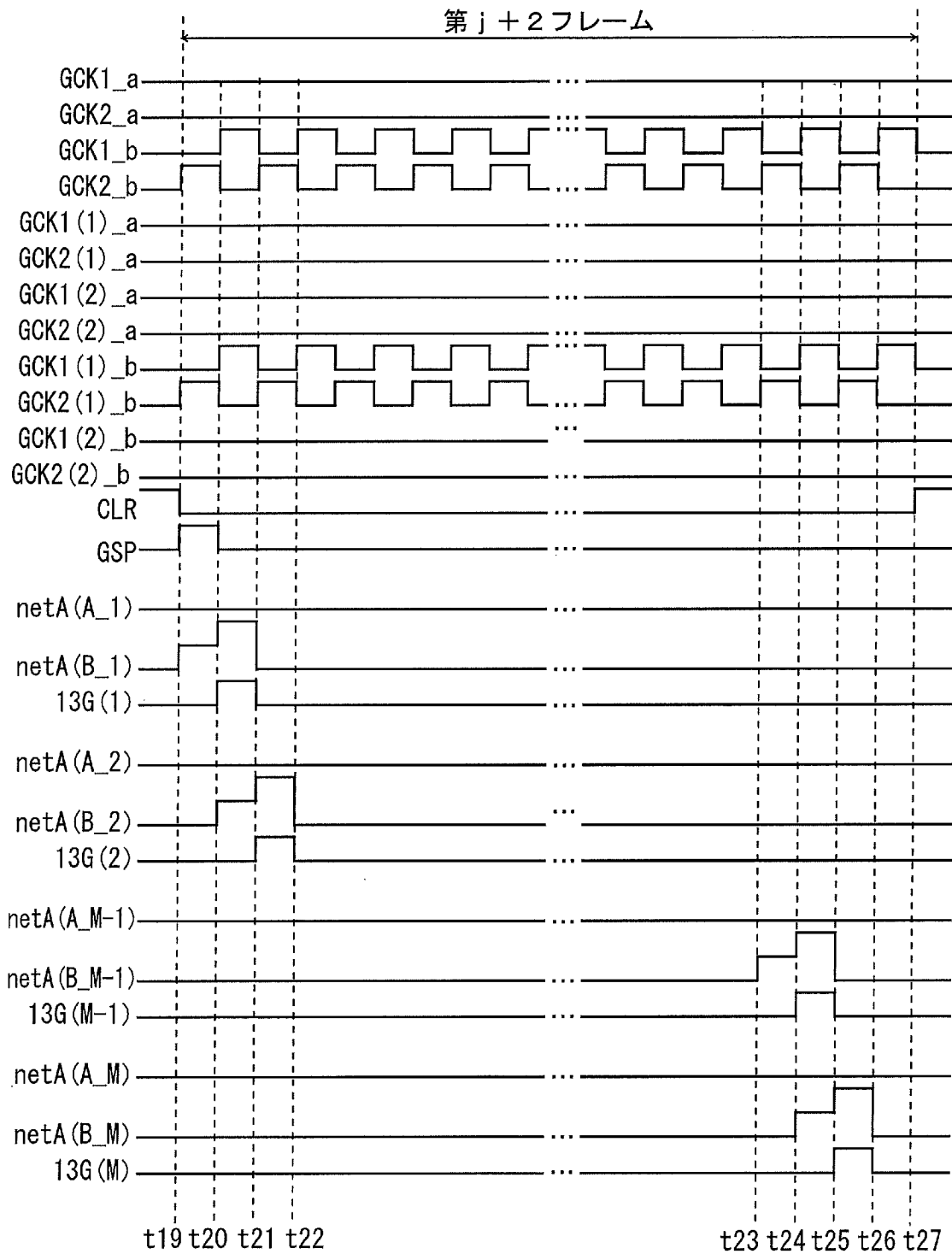
[図25A]



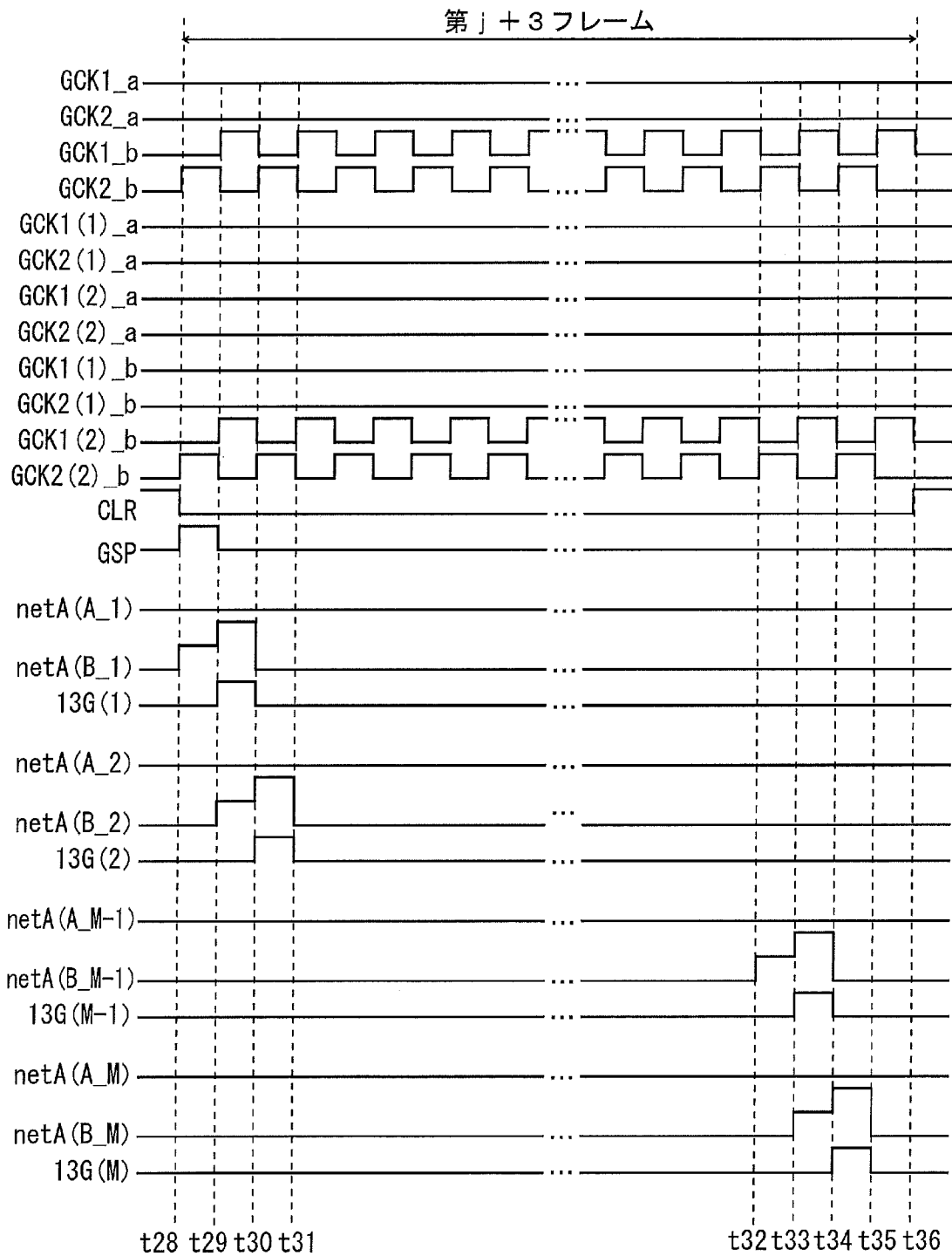
[図25B]

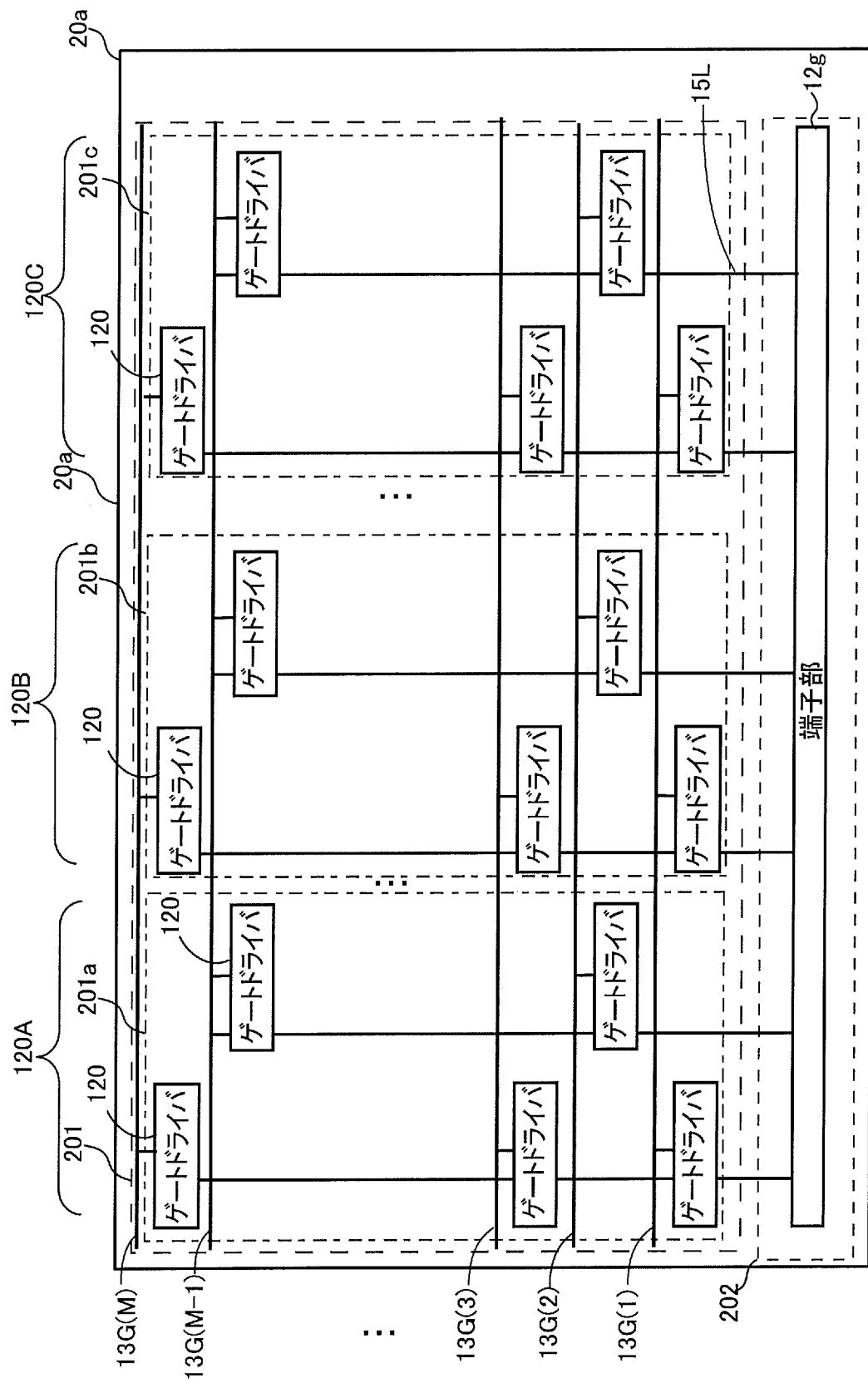


[図25C]

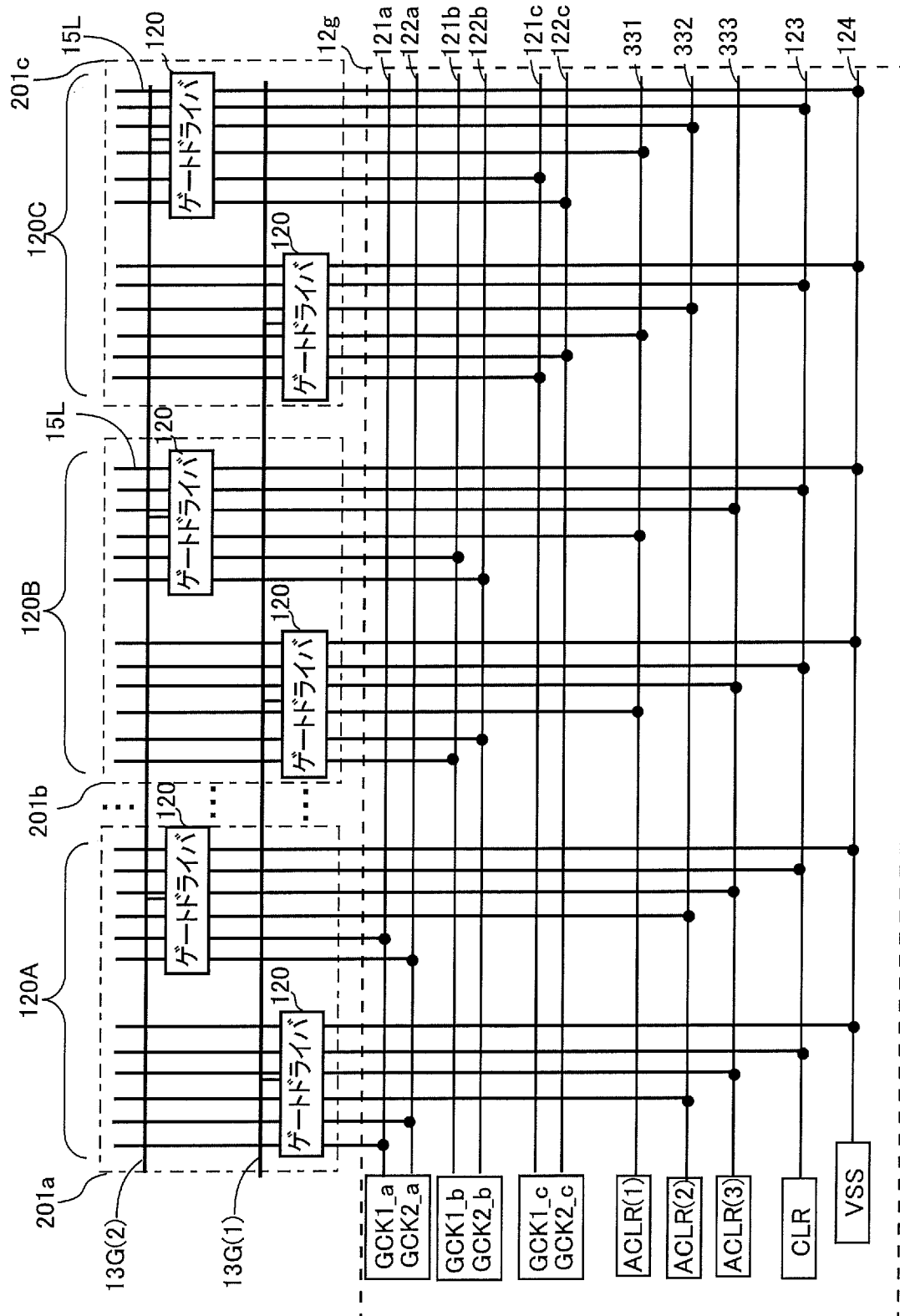


[図25D]

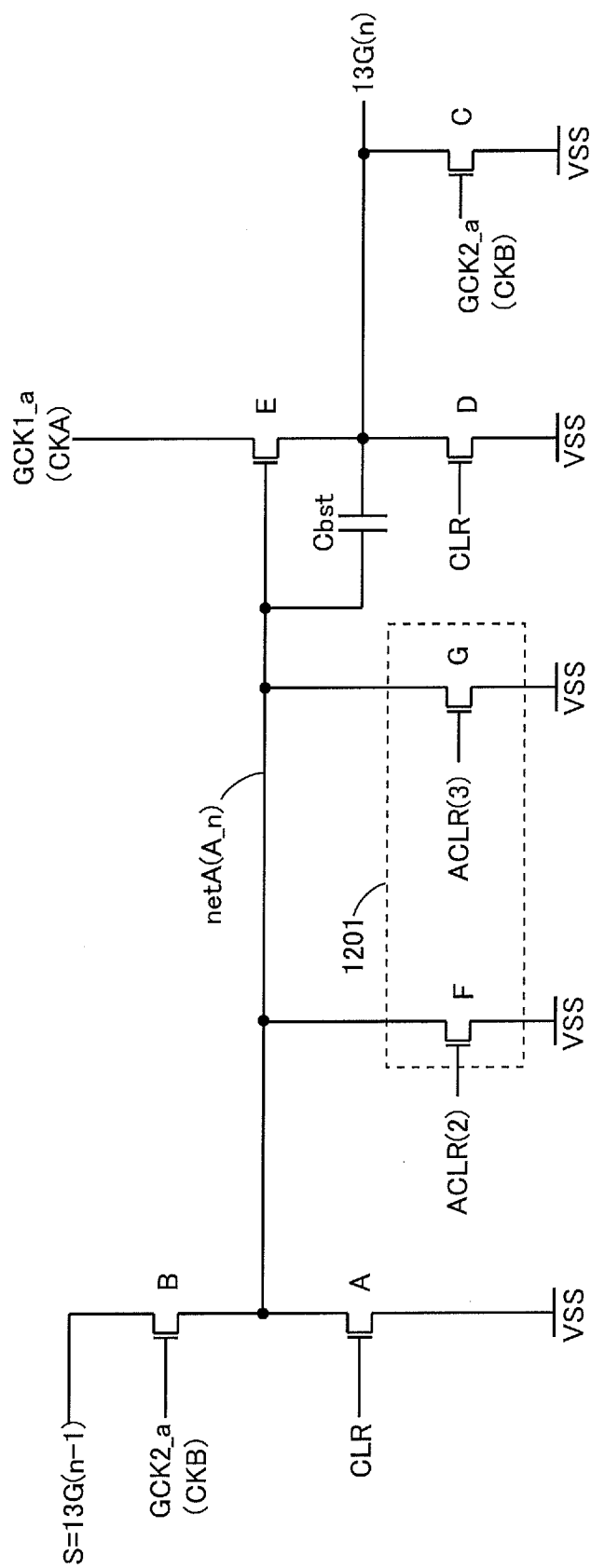




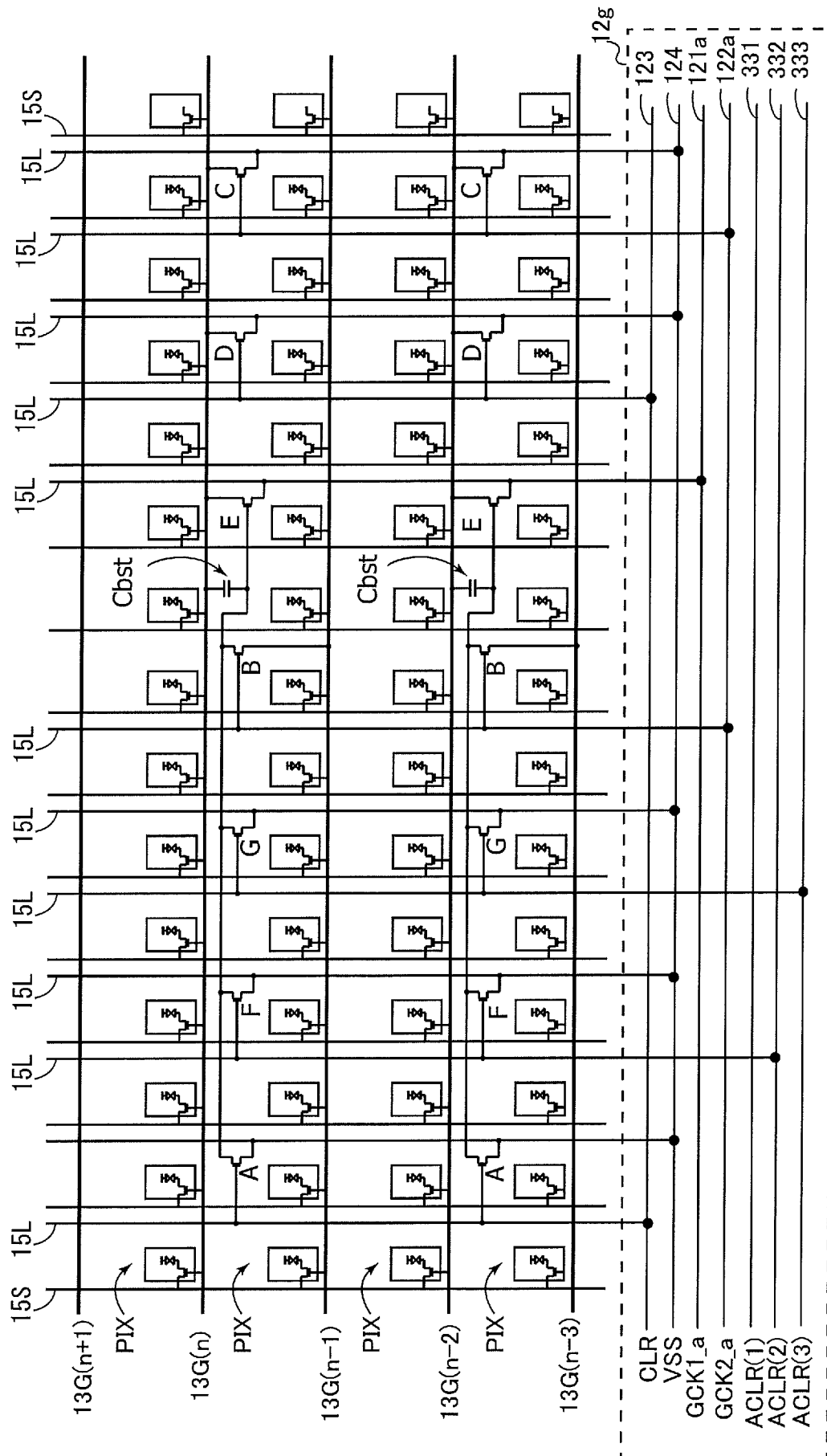
[図27]



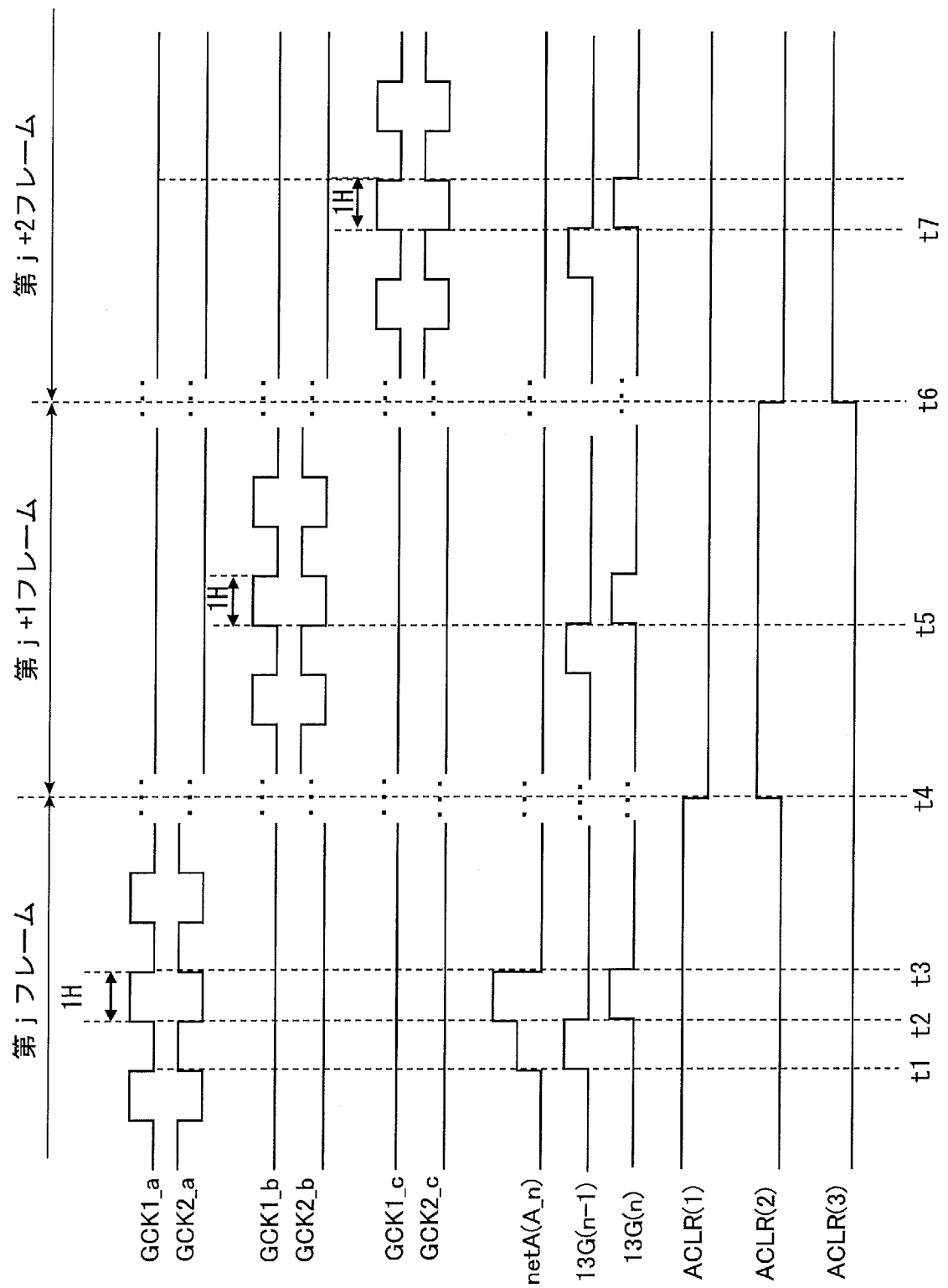
120



[図29A]



[図30]



[図31]

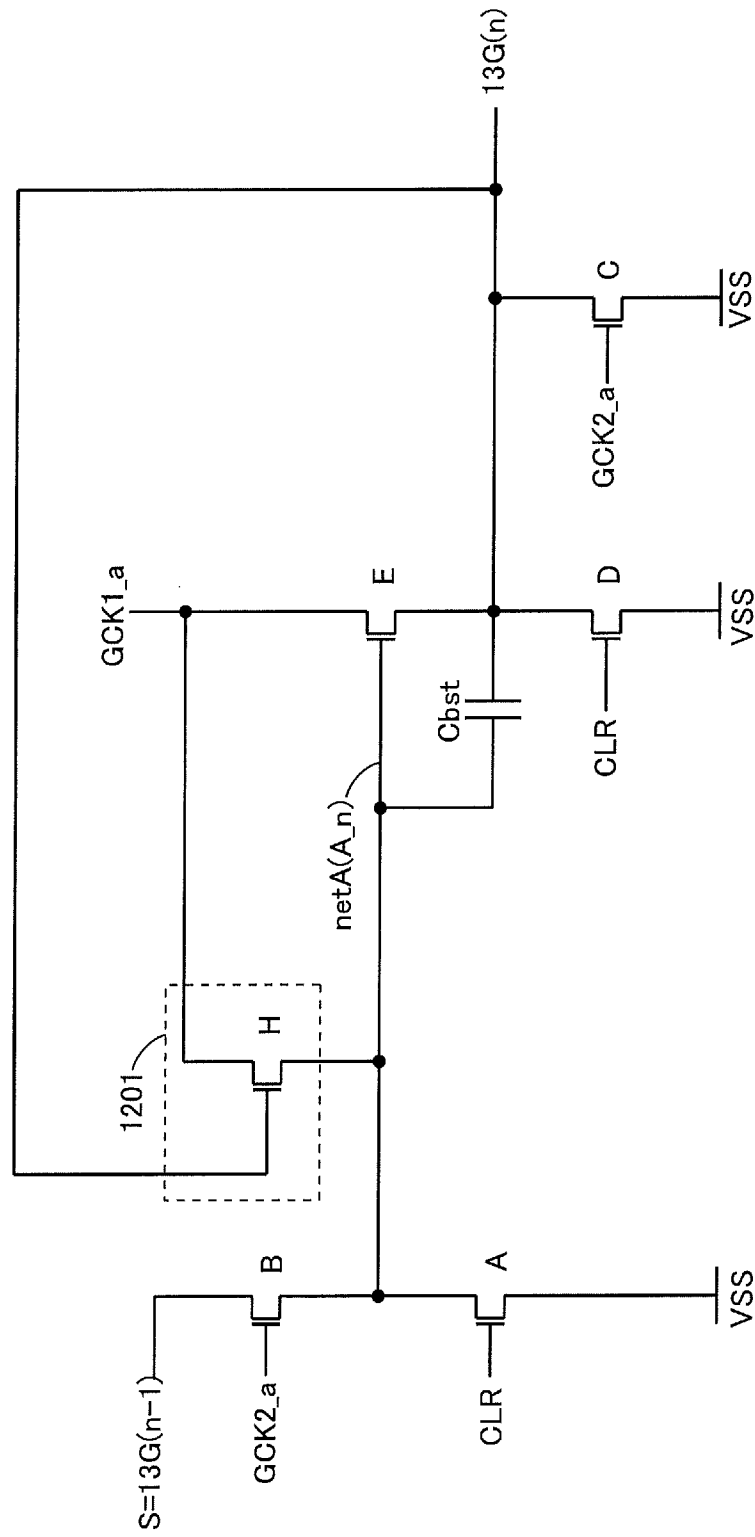
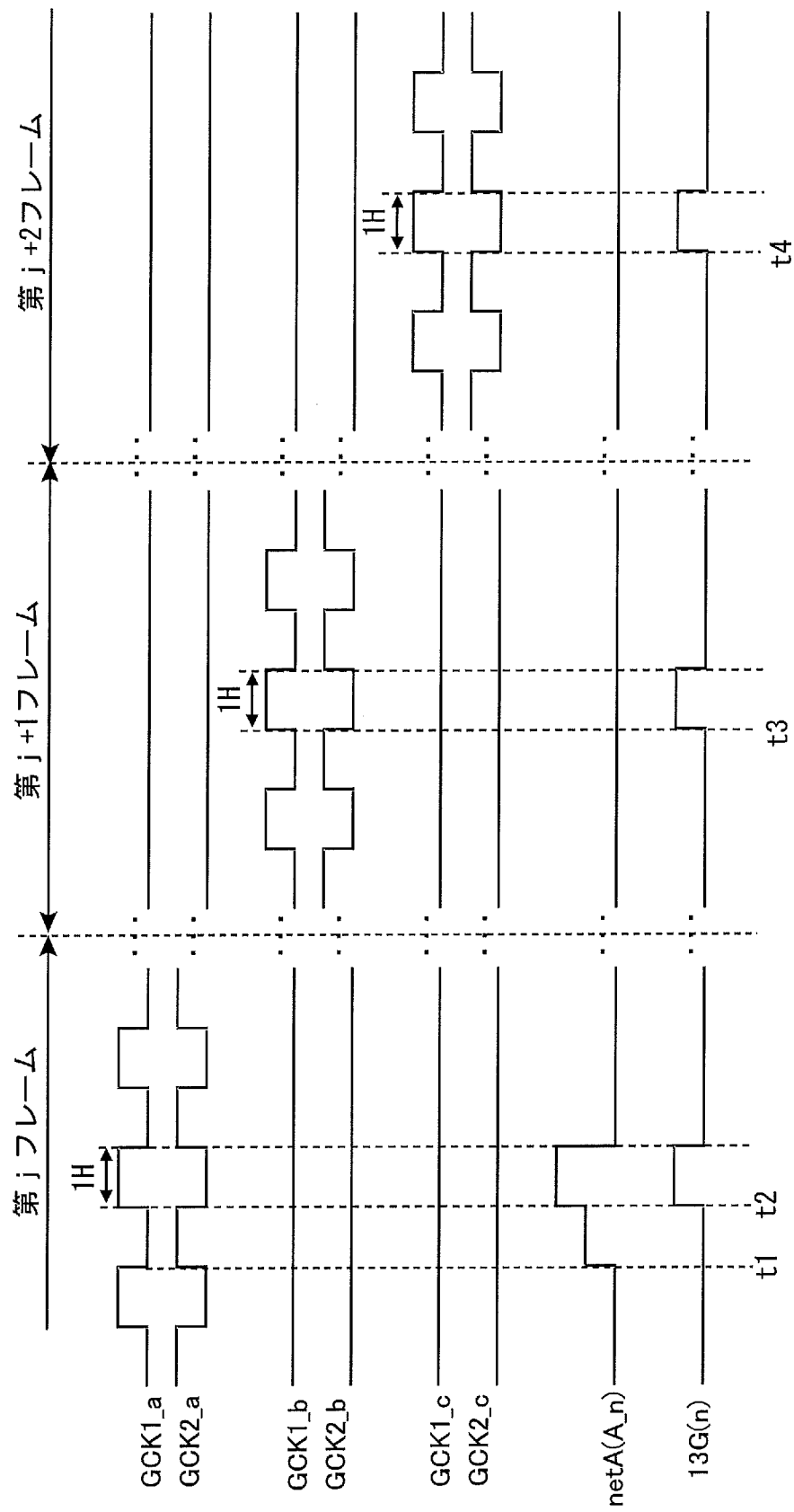
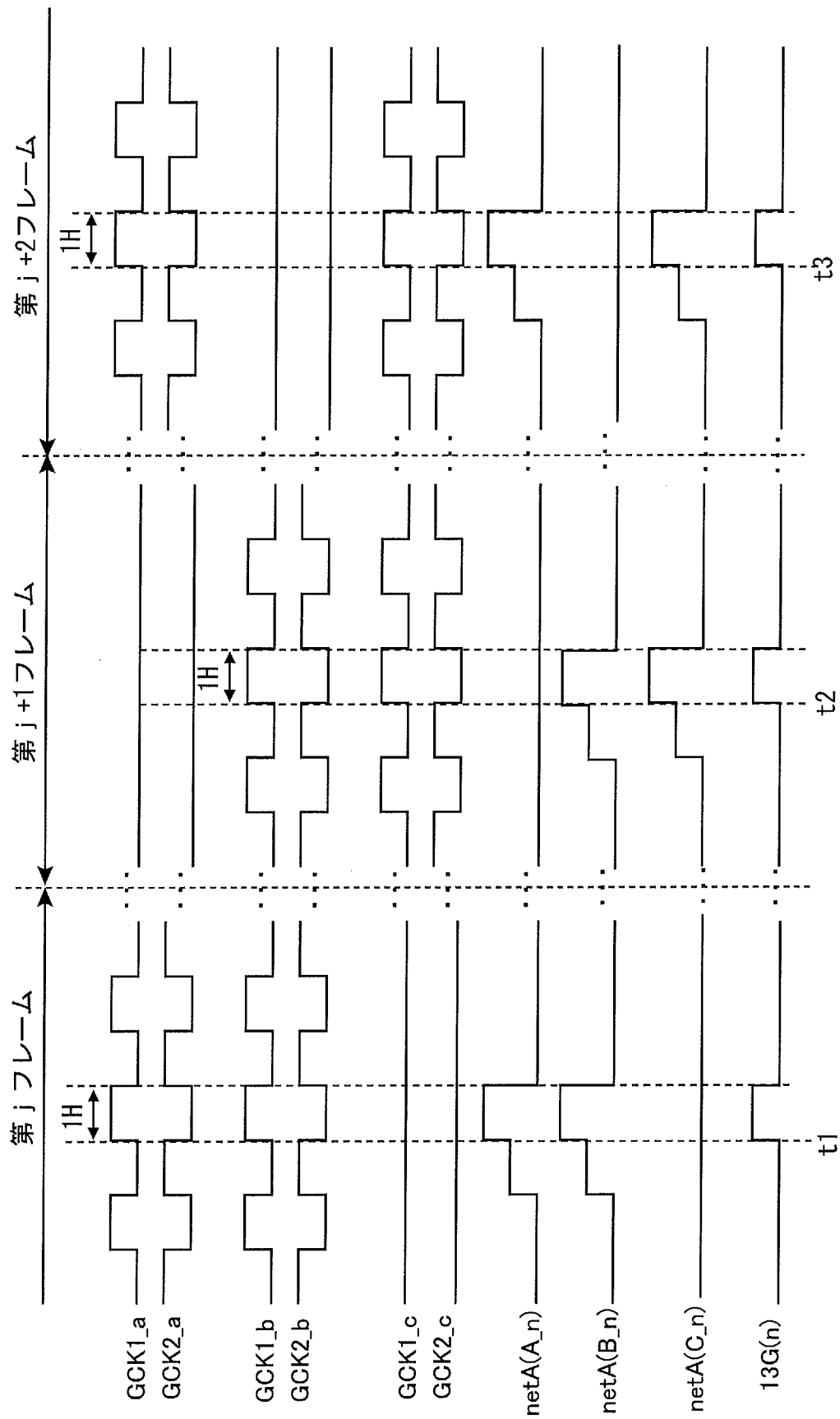


Figure 1 is a schematic diagram of a semiconductor device. The top part shows a cross-sectional view of a transistor structure. It includes a substrate, a gate stack, a gate, a channel, and a drain. The bottom part shows a layout of the device, with a grid of gates and drains. The layout is divided into two main sections: a left section labeled '13G(n+1)' and a right section labeled '13G(n-3)'. The left section contains gates labeled '15L' and '15S'. The right section contains gates labeled '15L' and '15S'. The layout also shows a series of gates labeled '123', '124', '121a', and '122a'. A dashed line separates the two main sections. The layout is labeled with various signals and components, including 'CLR', 'VSS', 'GOK1_a', and 'GOK2_a'.

[図33]

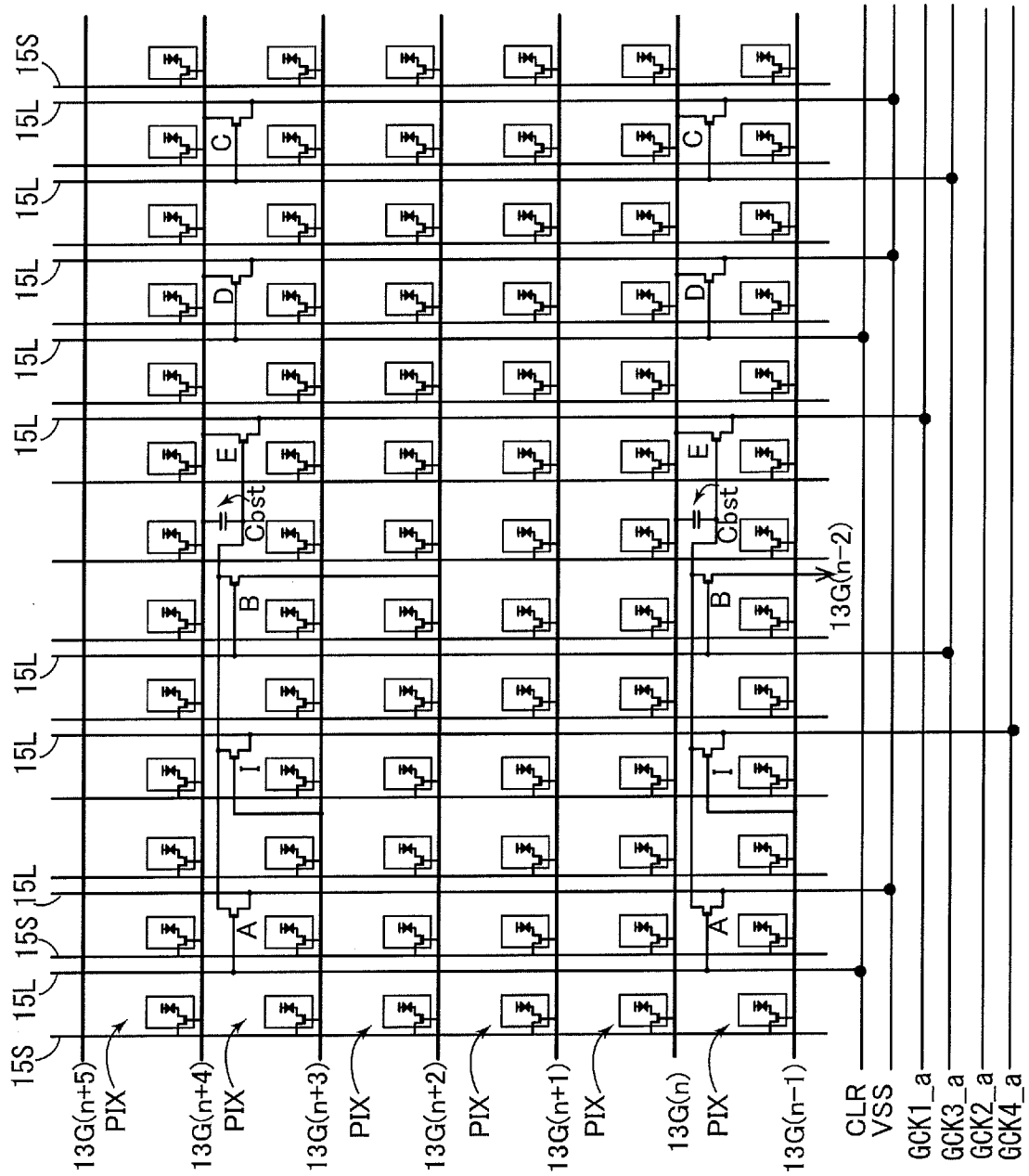


[図34]



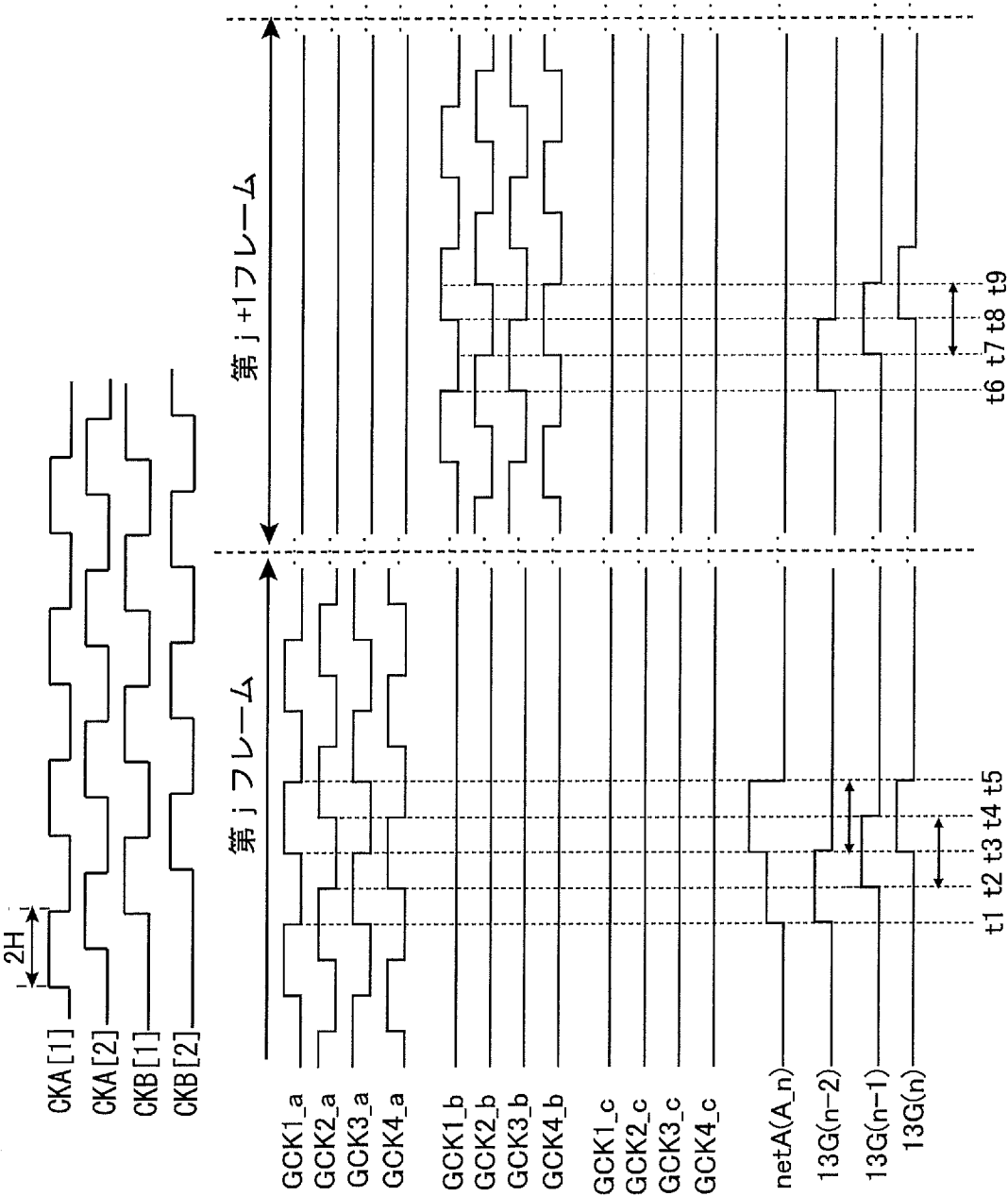
[illegible]

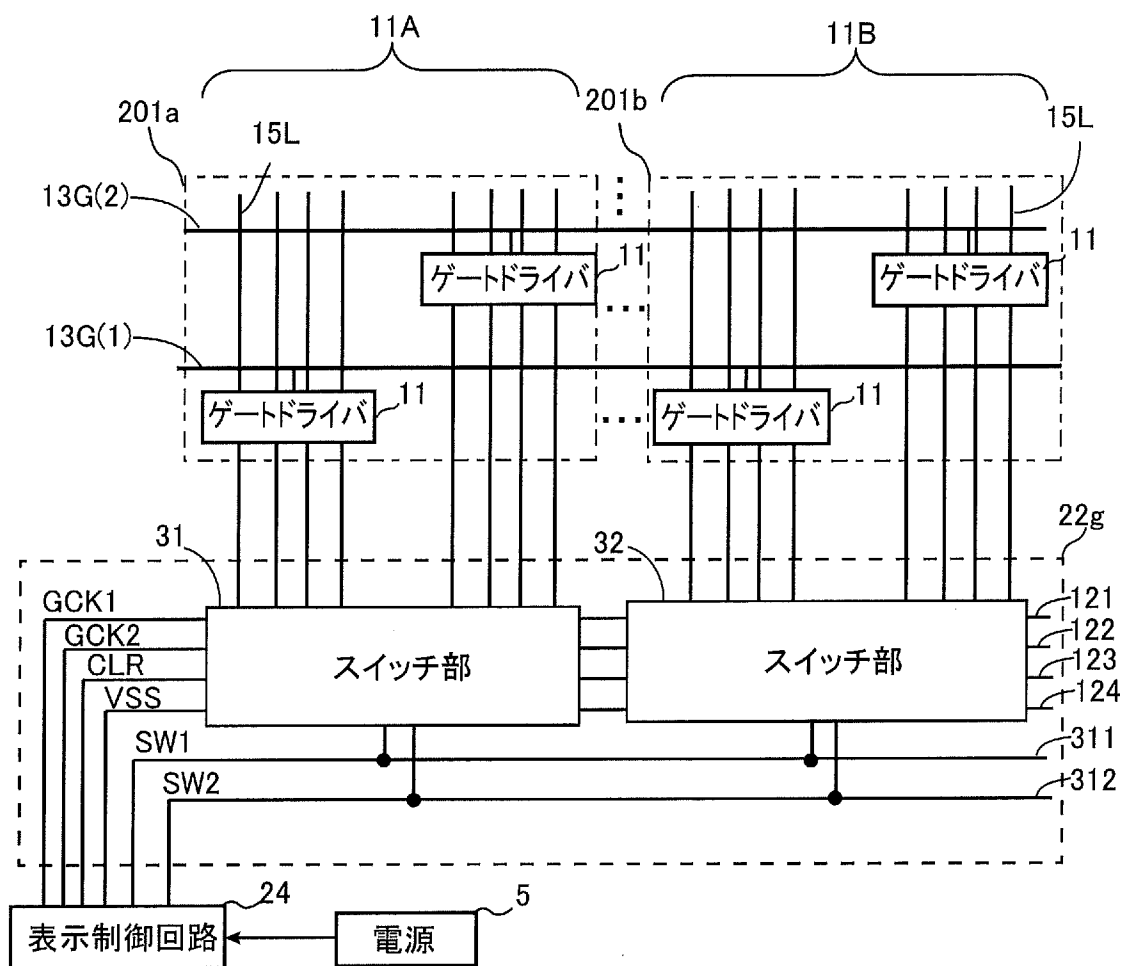
[図36A]



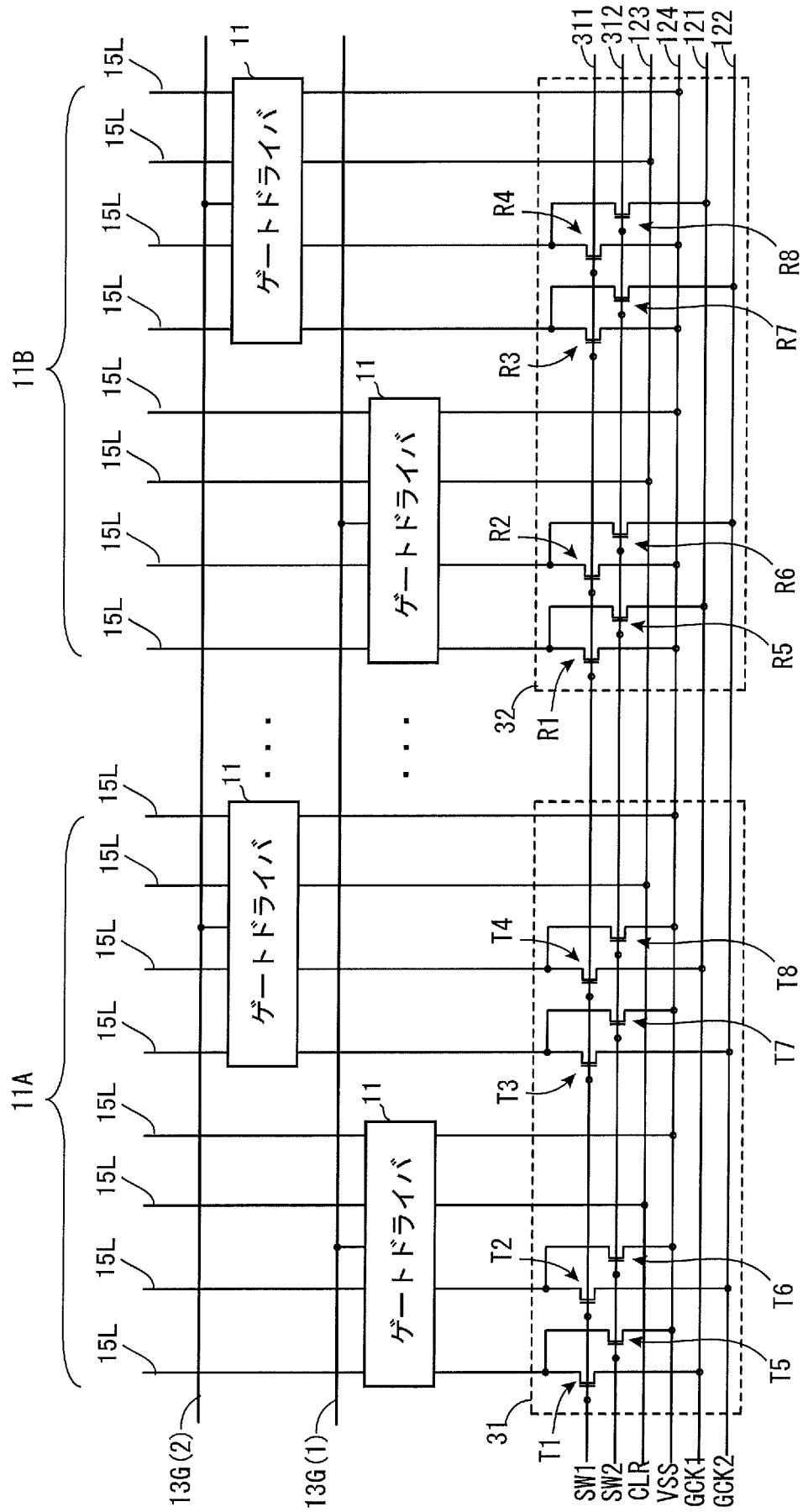
[illegible]

[図37]

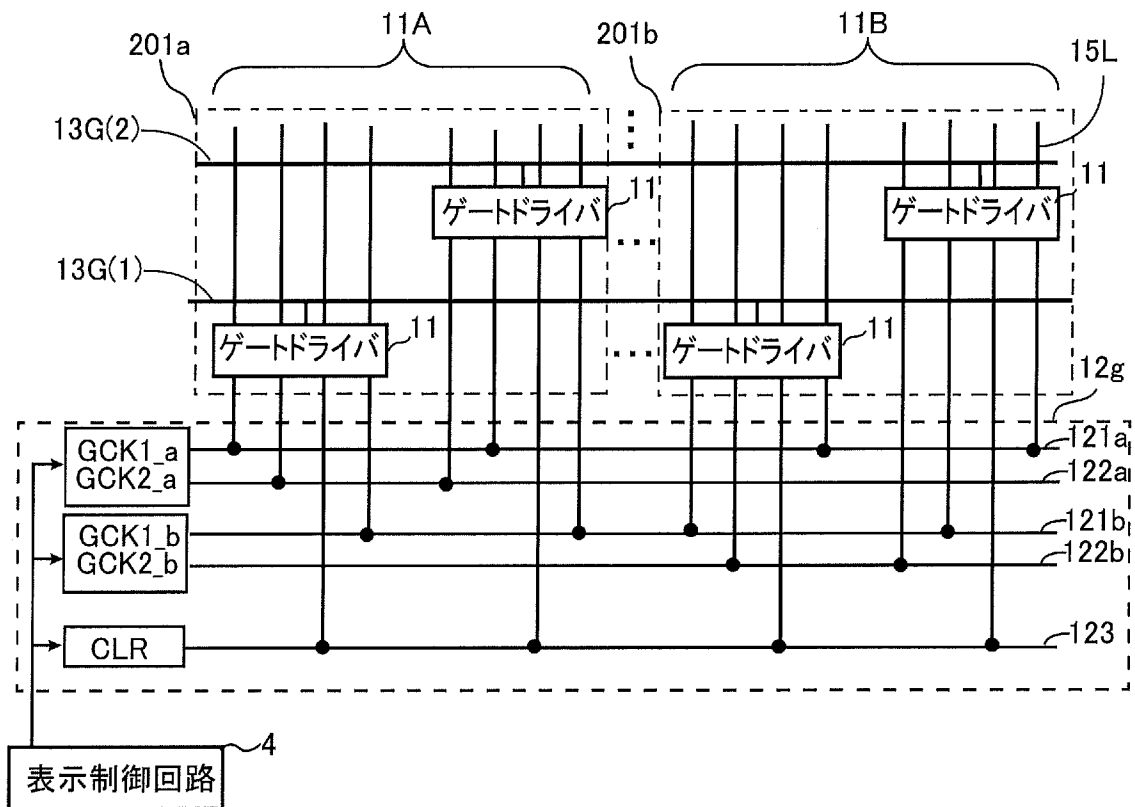




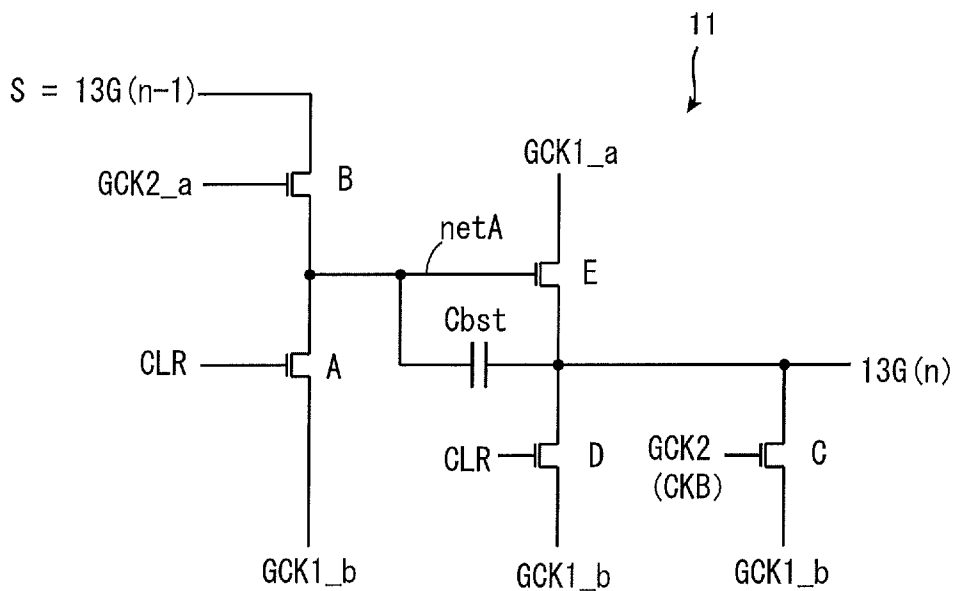
[図38B]



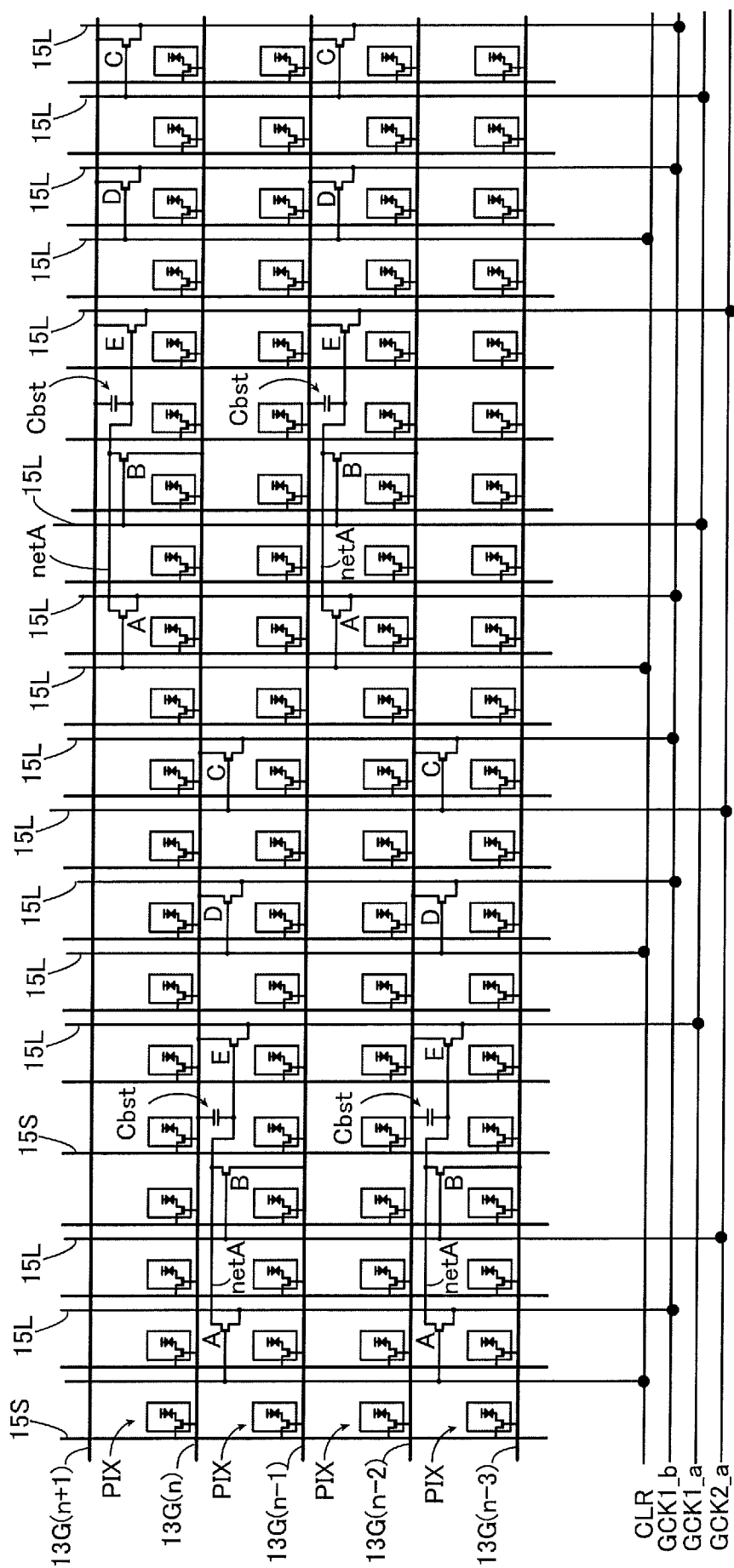
[図39]



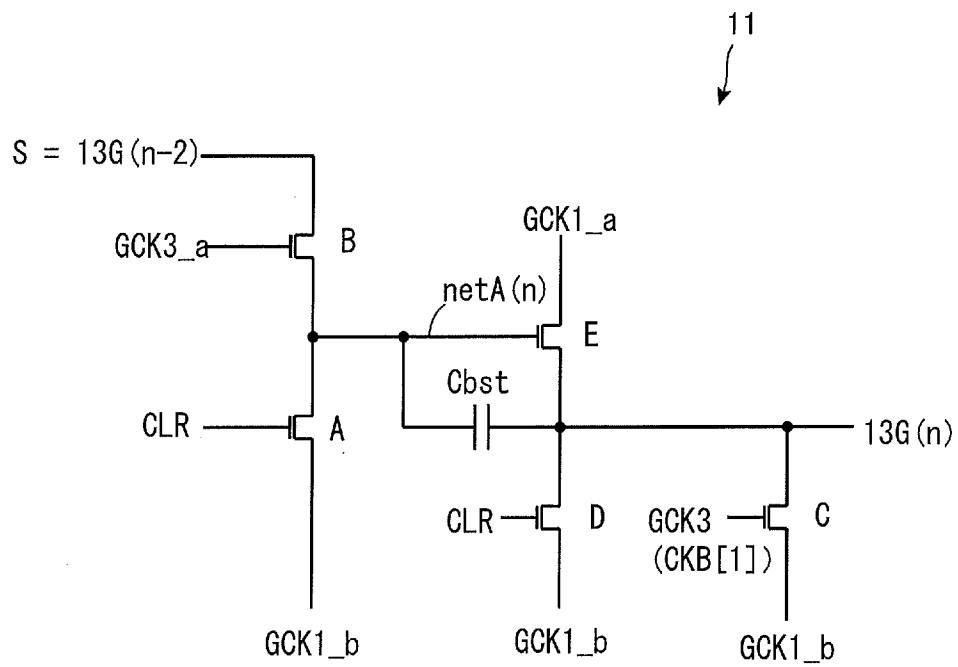
[図40A]



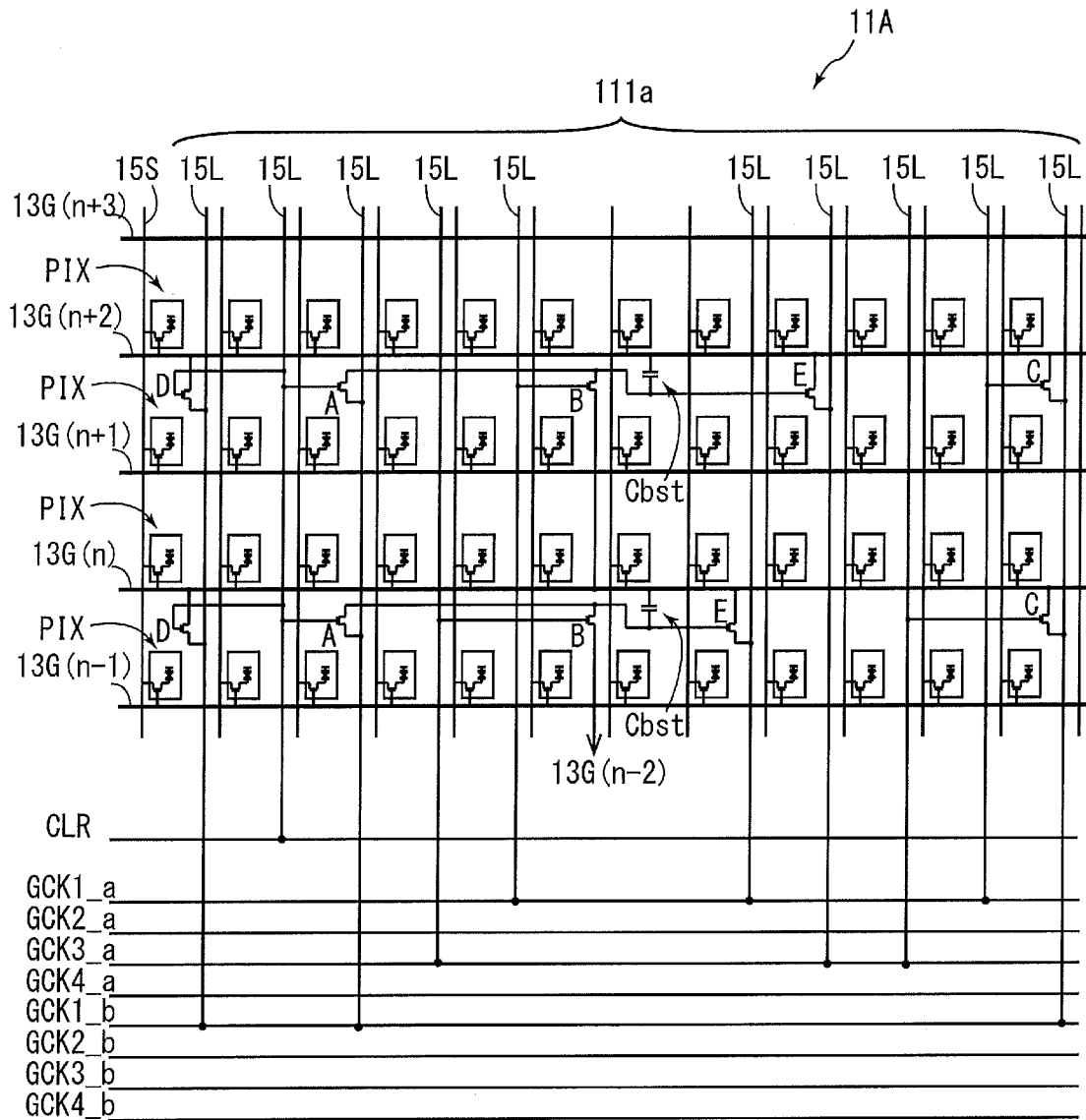
11A



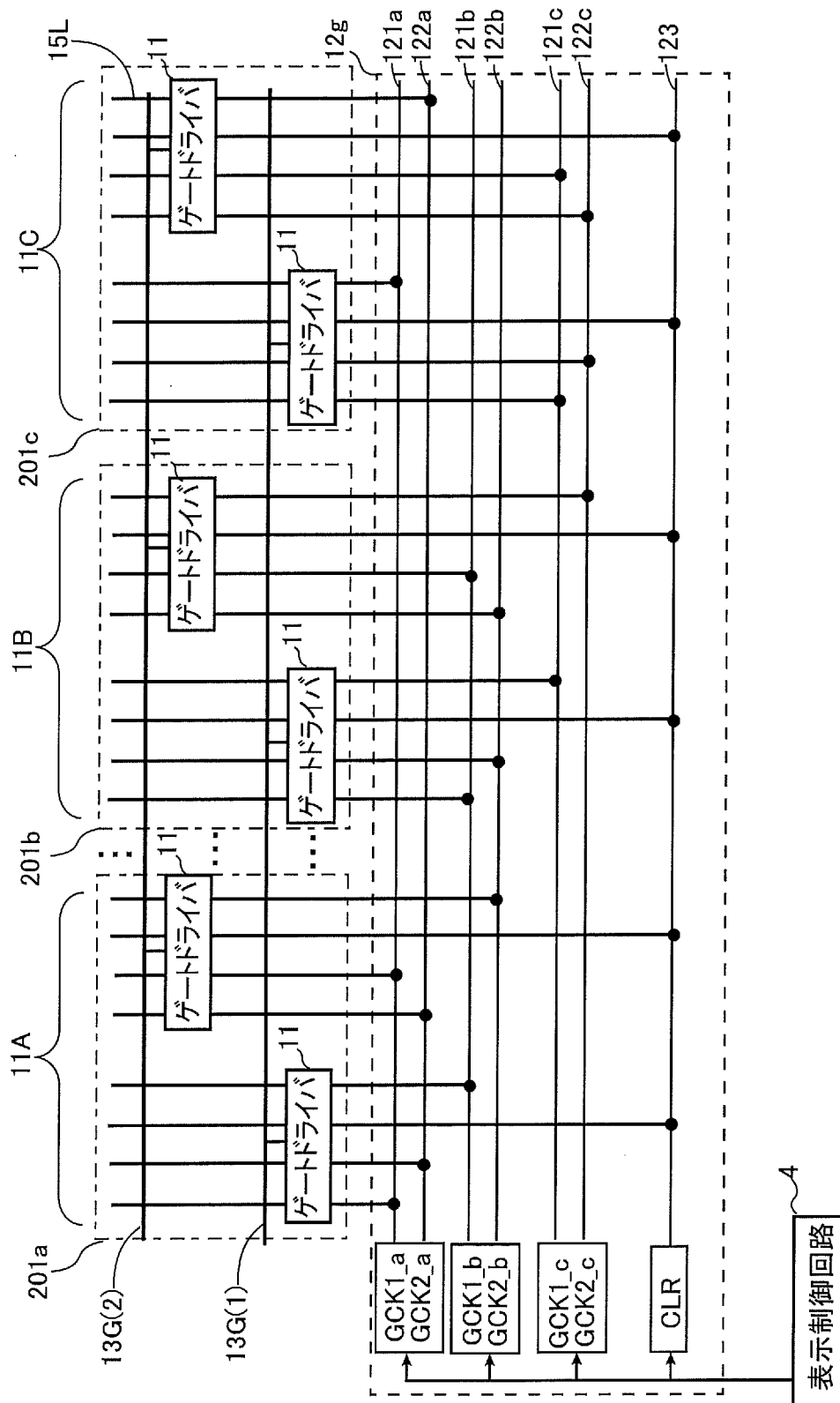
[図41A]



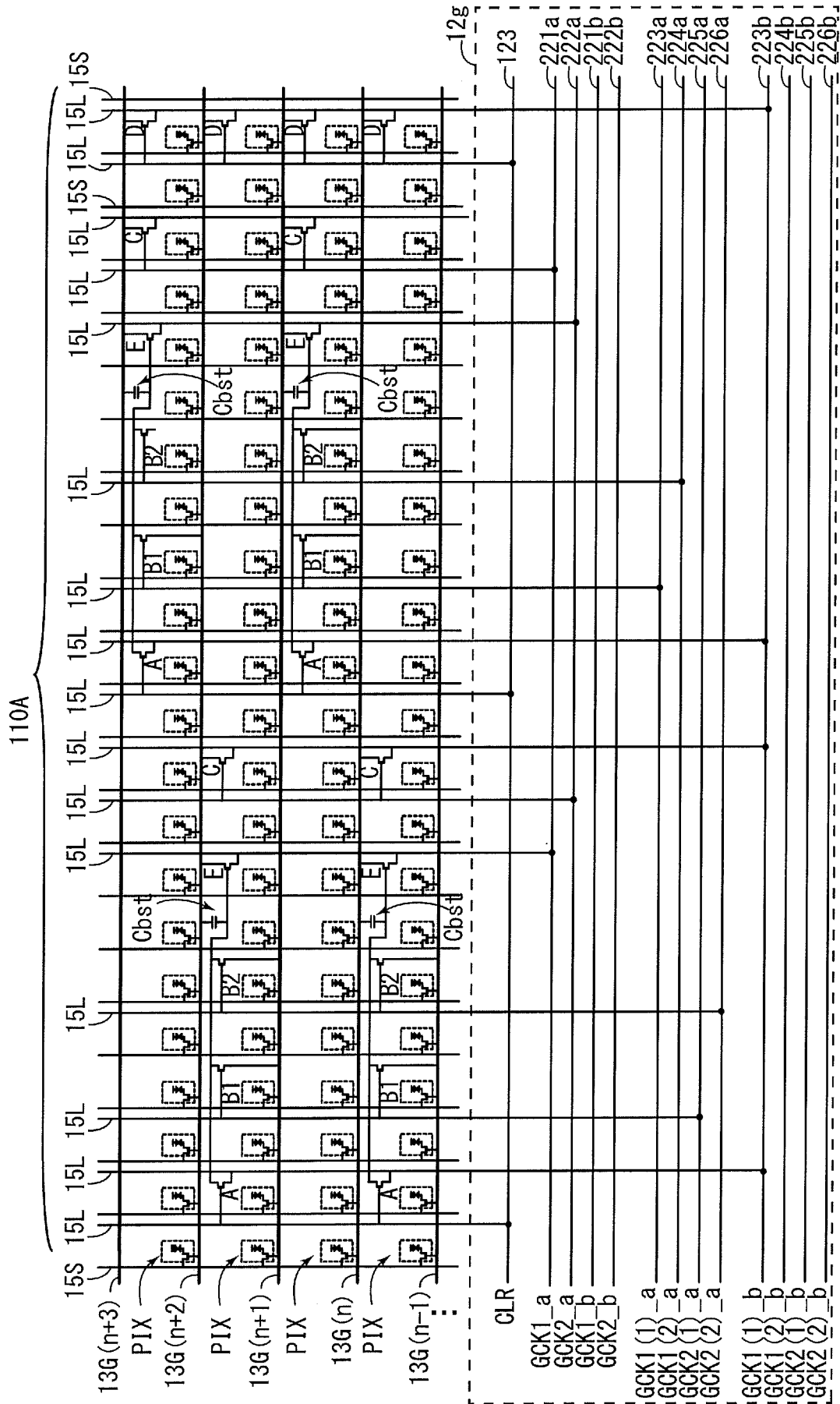
[図41B]



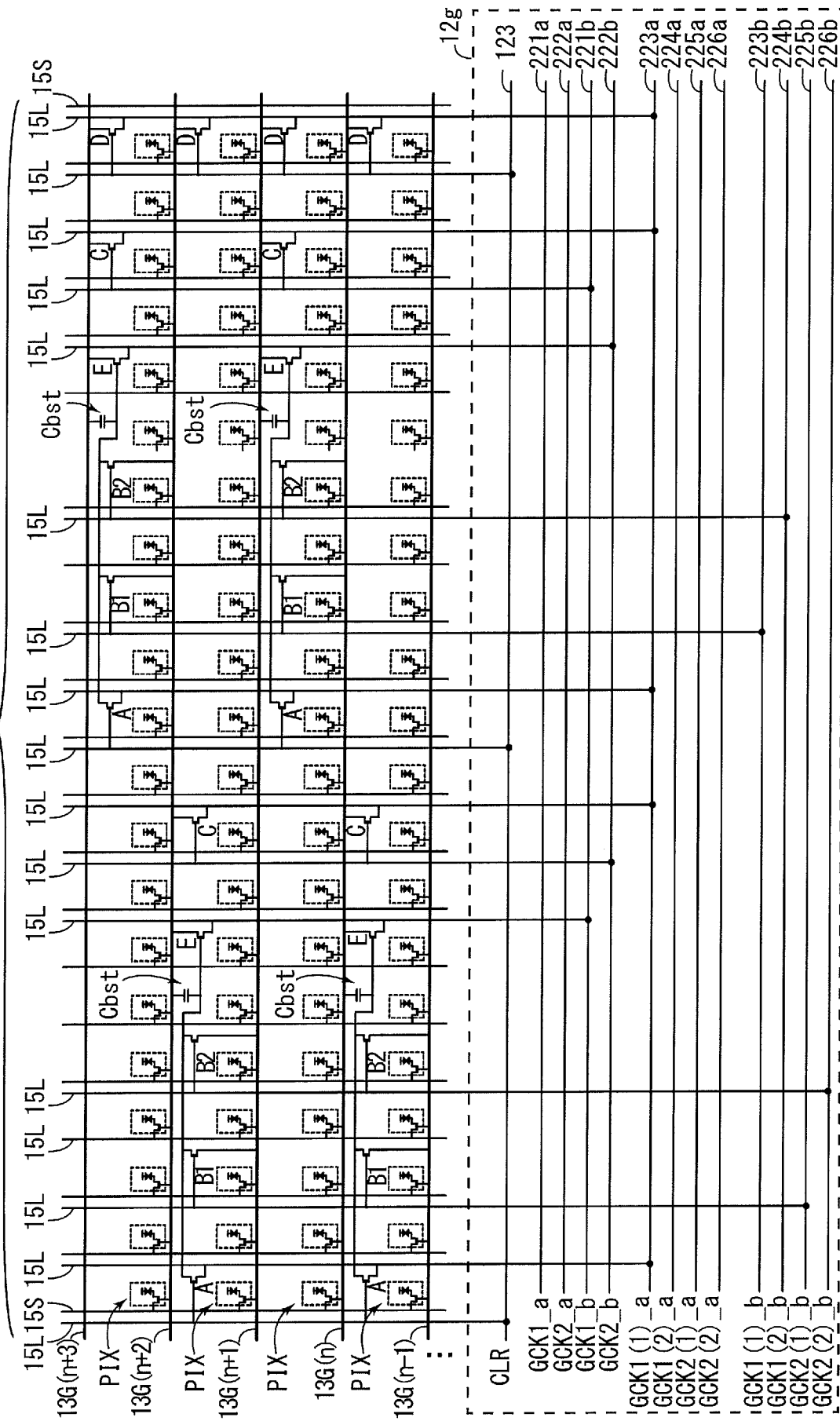
[図42]



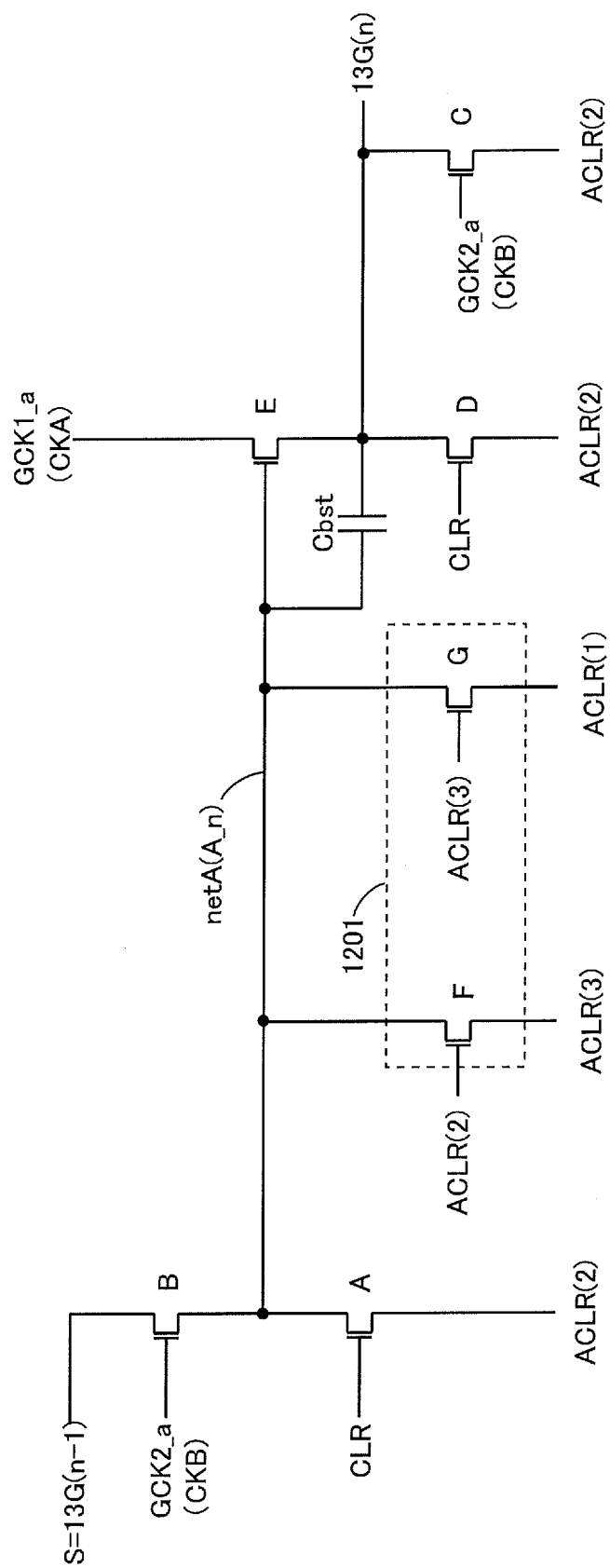
[図43A]



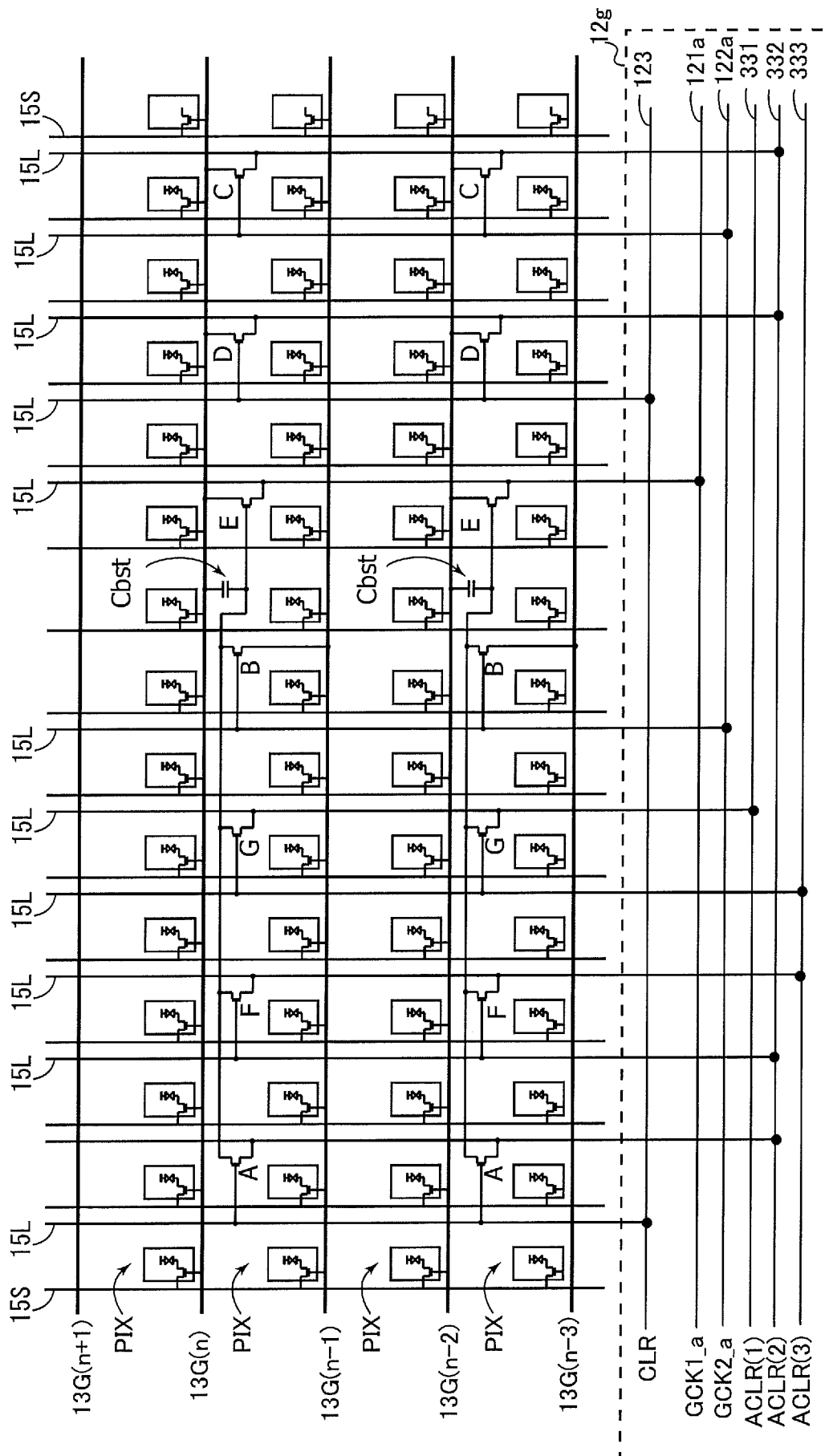
110B



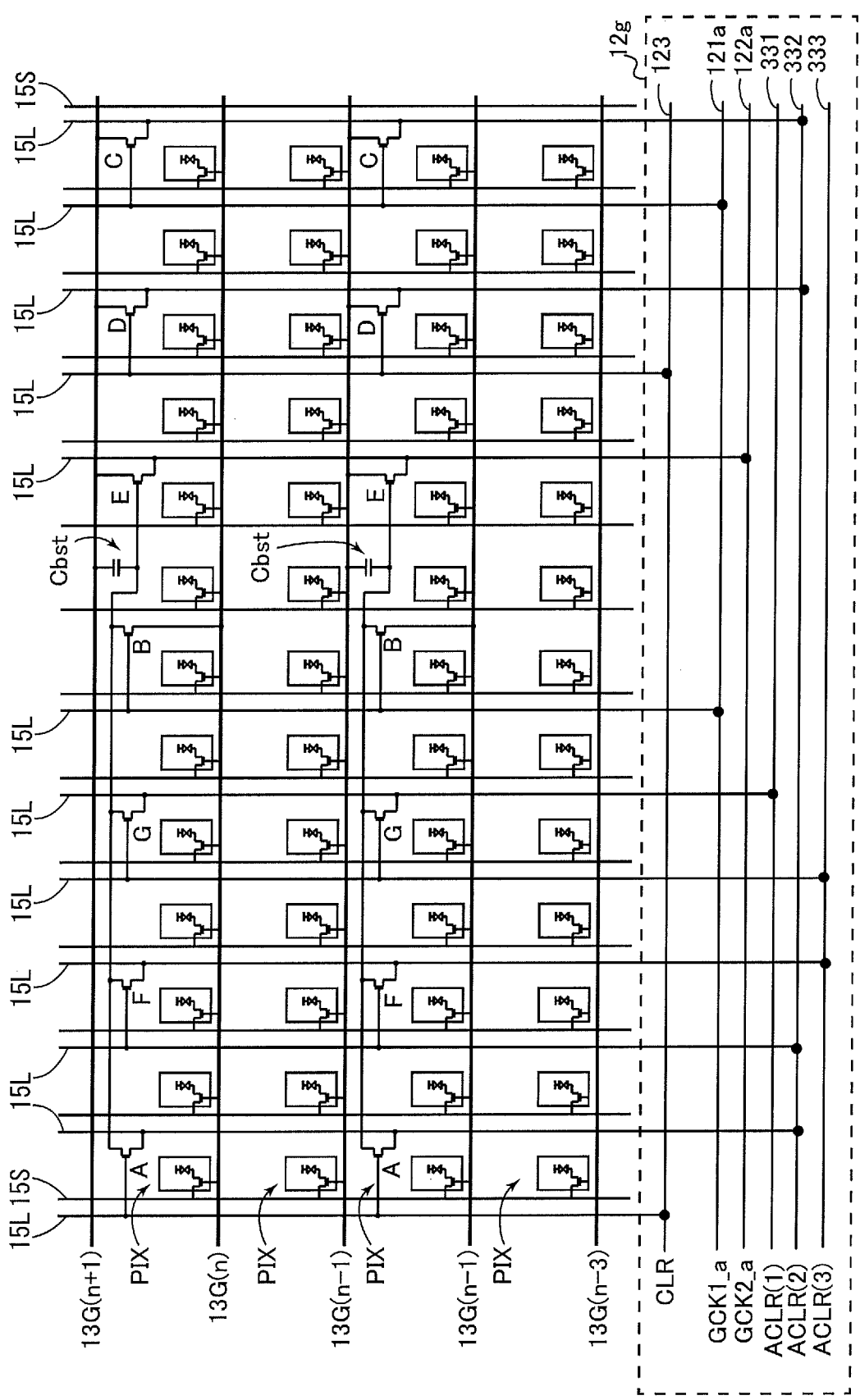
120 →



[図44B]



[図44C]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/062060

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G02F1/1368, G09F9/30, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015

Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-78805 A (Semiconductor Energy Laboratory Co., Ltd.), 19 April 2012 (19.04.2012), entire text; all drawings & US 2012/0062528 A1 & CN 102402933 A & KR 10-2012-0026453 A & TW 201236005 A	1-7
Y	JP 2008-276849 A (Mitsubishi Electric Corp.), 13 November 2008 (13.11.2008), paragraphs [0025] to [0090], [0189] to [0191]; fig. 1 to 4, 17 (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 July 2015 (17.07.15)

Date of mailing of the international search report
28 July 2015 (28.07.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/062060

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-104663 A (Semiconductor Energy Laboratory Co., Ltd.), 24 April 1998 (24.04.1998), entire text; all drawings & US 2002/0089483 A1 & KR 10-0624158 B1	6

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/36, G02F1/133, G02F1/1368, G09F9/30, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-78805 A（株式会社半導体エネルギー研究所）2012.04.19, 全文, 全図 & US 2012/0062528 A1 & CN 102402933 A & KR 10-2012-0026453 A & TW 201236005 A	1-7
Y	JP 2008-276849 A（三菱電機株式会社）2008.11.13, 段落【0025】－【0090】、【0189】－【0191】、 図1－4, 17（ファミリーなし）	1-7

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 0 7 . 2 0 1 5

国際調査報告の発送日

2 8 . 0 7 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

武 田 悟

2 G

9 3 0 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 10-104663 A (株式会社半導体エネルギー研究所) 1998. 04. 24, 全文, 全図 & US 2002/0089483 A1 & KR 10-0624158 B1	6