



ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГИИТ СССР

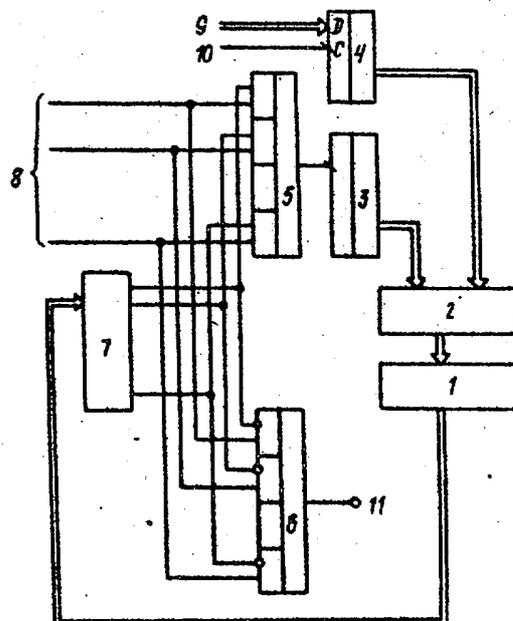
# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

НЕОБЩАЯ  
КЛАССИФИКАЦИЯ  
ПО МПК

(21) 4294348/24-24  
(22) 04.08.87  
(46) 15.08.89. Бюл. № 30  
(72) Г.Н.Тимонькин, С.Н.Ткаченко  
и В.С.Харченко  
(53) 681.3 (088.8)  
(56) Авторское свидетельство СССР  
№ 1042171, кл. Н 03 К 5/19, 1982.  
Авторское свидетельство СССР  
№ 1444777, 1988.

(54) УСТРОЙСТВО ДЛЯ КОНТРОЛЯ ПОСЛЕ-  
ДОВАТЕЛЬНОСТЕЙ ИМПУЛЬСОВ  
(57) Изобретение относится к автома-  
тике и цифровой технике и предназ-  
начено для проверки сложных блоков  
синхронизации, контроллеров, исполь-  
зуемых в автоматизированных системах

управления, обработки информации,  
связи. Целью изобретения является по-  
вышение достоверности контроля. Отли-  
чительной особенностью устройства яв-  
ляется то, что оно позволяет форми-  
ровать сигнал ошибки в случае пропус-  
ка любого импульса в контролируемых  
последовательностях, а также при посту-  
плении ложного импульса по любому  
из входов одновременно с импульсом,  
соответствующим контролируемой после-  
довательности, что повышает достовер-  
ность контроля. Введение сумматора 2  
и его связей позволяет формировать  
адрес очередного контрольного кода  
в блоке памяти. При этом разрядность  
этого адреса будет равна минимально  
возможной, 2 ил.



Фиг. 1

Изобретение относится к автоматике и цифровой технике и предназначено для проверки сложных блоков синхронизации, контроллеров, используемых в автоматизированных системах управления, обработки информации, связи.

Цель изобретения - повышение достоверности контроля.

На фиг. 1 приведена функциональная схема устройства; на фиг. 2 - временная диаграмма его работы.

Устройство содержит блок 1 памяти (ПЗУ), сумматор 2, счетчик 3, регистр 4, первый 5 и второй 6 коммутаторы, дешифратор 7, входы 8 контролируемых последовательностей, группу 9 входов номера контролируемой последовательности, вход 10 разрешения записи и выход 11 ошибки.

Устройство работает следующим образом.

Перед началом функционирования элементы памяти устройства устанавливаются в "0". В регистр 4 с группы 9 входов записывается адрес первой ячейки, соответствующей контролируемой последовательности. Это осуществляется по входу 10 разрешения записи.

По адресу, поступившему с выхода регистра 4, сумматор 2 формирует адрес ячейки памяти ПЗУ 1, из которой считывается код номера входа (например  $8_i$ ), который поступает на вход дешифратора 7. По этому коду дешифратор 7 формирует единичный сигнал на  $i$ -м выходе и нулевые сигналы - на остальных выходах. В результате  $i$ -й выходной сигнал дешифратора 7 открывает  $i$ -й информационный вход коммутатора 5 и закрывает  $i$ -й информационный вход коммутатора 6.

При поступлении импульса на вход 8<sub>i</sub> устройства (т.е. при правильной реализации контролируемой последовательности) последний через коммутатор 5 поступает на вход счетчика 3 и переводит его в единичное состояние. В результате этого на выходе сумматора 2 формируется адрес следующей ячейки памяти ПЗУ 1, и на вход дешифратора 7 поступает номер входа, по которому должен поступить очередной импульс (фиг. 2а) контролируемой последовательности (например, вход 8<sub>j</sub>).

Если контролируемая последовательность искажена и очередной импульс

поступил на другой вход (например, вход 8<sub>k</sub>), то этот импульс не проходит на выход коммутатора 5. Однако он проходит через коммутатор 6 на выход 11 устройства и формирует сигнал ошибки (фиг. 2б).

Аналогично, если одновременно с импульсом по входу 8<sub>j</sub> (соответствующим входной последовательности) поступает импульс на любой другой вход (например, 8<sub>k</sub>), то этот импульс все равно проходит на выход коммутатора 6 и формирует на выходе 11 сигнал ошибки.

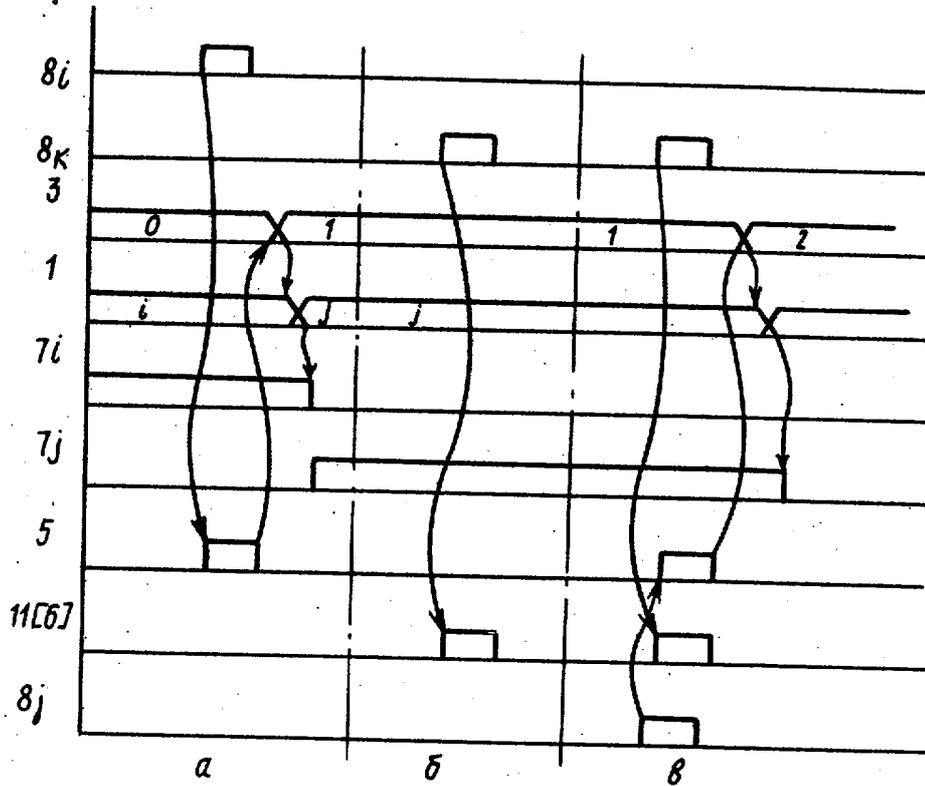
По окончании контролируемых последовательностей из ПЗУ 1 считывается ячейка, содержащая нулевой код. В результате на всех задействованных выходах дешифратора 7 имеется нулевой код и коммутатор 6 открыт по всем входам. Поэтому любой импульс, поступивший на входы 8<sub>1</sub> - 8<sub>n</sub> устройства, формирует сигнал ошибки на выходе 11 устройства.

#### Ф о р м у л а и з о б р е т е н и я

Устройство для контроля последовательностей импульсов, содержащее регистр, счетчик, блок памяти, дешифратор, первый коммутатор, причем информационные входы первого коммутатора являются входами контролируемых последовательностей устройства, выходы дешифратора соединены соответственно с управляющими входами первого коммутатора, выход которого соединен со счетным входом счетчика, вход разрешения записи регистра является входом устройства разрешения записи устройства, группа информационных входов регистра является группой входов номера контролируемой последовательности устройства, группа выходов блока памяти соединена с группой информационных входов дешифратора, отличающееся тем, что, с целью повышения достоверности контроля, в него введен сумматор и второй коммутатор, причем входы контролируемых последовательностей устройства соединены с информационными входами второго коммутатора, инверсные управляющие входы которого соединены с выходами дешифратора, выход первого коммутатора является выходом ошибки устройства, группа выходов регистра соединена с первой группой

пой информационных входов сумматора, вторая группа информационных входов которого соединена с группой разряд-

ных выходов счетчика, группа выходов сумматора соединена с группой адресных входов блока памяти.



Фиг. 1

Редактор Л. Пчолинская

Составитель Н. Торопова

Техред М. Дидык

Корректор Т. Цалий

Заказ 4869/45

Тираж 668

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
113035, Москва, Ж-25, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101