

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
4. Mai 2006 (04.05.2006)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2006/045722 A1

(51) Internationale Patentklassifikation:
H01L 21/336 (2006.01) **H01L 28/78** (2006.01)

(DE). **SCHRÜFER, Klaus** [DE/DE]; Weidenstr. 21,
85598 Baldham (DE).

(21) Internationales Aktenzeichen: PCT/EP2005/055353

(74) **Anwälte: KARL, Frank** usw.; Patentanwälte Kinder-
mann, Postfach 100234, 85593 Baldham (DE).

(22) Internationales Anmeldedatum:
19. Oktober 2005 (19.10.2005)

(81) **Bestimmungsstaaten** (*soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart*): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY,
MA, MD, MG, MK, MN, MW, MX, NA, NG, NI, NO,
NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK,
SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2004 052 388.6
28. Oktober 2004 (28.10.2004) DE

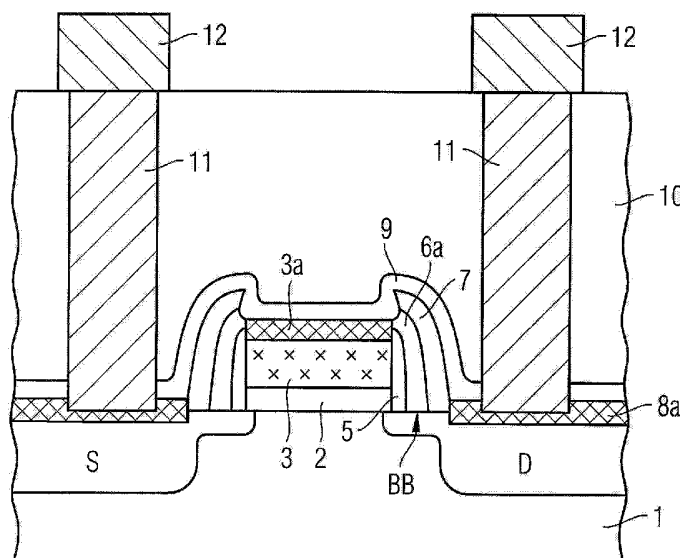
(71) **Anmelder** (*für alle Bestimmungsstaaten mit Ausnahme von
US*): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(84) **Bestimmungsstaaten** (*soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart*): ARIPO (BW,
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,
ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU,

[Fortsetzung auf der nächsten Seite]

(54) **Title:** SEMI-CONDUCTOR ELEMENT AND ASSOCIATED PRODUCTION METHOD

(54) **Bezeichnung:** HALBLEITERBAUELEMENT SOWIE ZUGEHÖRIGES HERSTELLUNGSVERFAHREN



(57) **Abstract:** The invention relates to a semi-conductor element and an associated production method. Source/drain areas (S,D) are arranged at a distance from each other in a carrier substrate (1) in order to define a channel area and a gate dielectric (2) is formed on the surface of the channel area. A gate stack comprising at least one control layer (3, 3a) is located on the surface of the gate dielectric and a spacer structure which is embodied on the lateral walls of the gate stack comprises an air gap spacer (6a). The electric properties of the semi-conductor element can be improved with reduced costs by means of the shading spacer (7) which shades at least the base area (BB) of the airgap spacer.

[Fortsetzung auf der nächsten Seite]

WO 2006/045722 A1



TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

— mit internationalem Recherchenbericht

(57) Zusammenfassung: Die vorliegende Erfindung betrifft ein Halbleiterbauelement sowie ein zugehöriges Herstellungsverfahren, wobei in einem Trägersubstrat (1) voneinander beabstandete Source-/Draingebiete (S, D) zum Festlegen eines Kanalgebiets ausgebildet sind und an der Oberfläche des Kanalgebiets ein Gate-Dielektrikum (2) ausgebildet ist. Ein Gatestapel mit zumindest einer Steuerschicht (3, 3a) befindet sich an der Oberfläche des Gate-Dielektrikums, wobei eine an den Seitenwänden des Gatestapels ausgebildete Spacerstruktur jeweils einen Luftspalt-Spacer (6a) aufweist. Durch einen Abschattungs-Spacer (7), der zumindest den Bodenbereich (BB) des Luftspalt-Spacers abschattet, können die elektrischen Eigenschaften des Halbleiterbauelements bei verringerten Kosten verbessert werden.

Beschreibung

Halbleiterbauelement sowie zugehöriges Herstellungsverfahren

5 Die vorliegende Erfindung bezieht sich auf ein Halbleiterbauelement sowie ein zugehöriges Herstellungsverfahren und insbesondere auf einen Feldeffekttransistor mit einem sogenannten High-k-Gate-Dielektrikum mit verringerten Streufeldern (fringing fields).

10

In der Halbleitertechnik besteht grundsätzlich das Bedürfnis, eine steigende Anzahl von Bauelementen in einer integrierten Schaltung bei verringerter Fläche zu realisieren, um beispielsweise die Kosten zu senken und andererseits die elektrischen Eigenschaften zu verbessern. Insbesondere bei in
15 integrierten Schaltungen (Integrated Circuits, IC) verwendeten Halbleiterbauelementen, wie beispielsweise Feldeffekttransistorstrukturen, werden daher jeweilige Kanallängen zunehmend verringert, wobei mittlerweile Kanallängen weit
20 unterhalb von 100 nm erreicht werden.

In heutigen und zukünftigen CMOS-Technologien haben daher parasitäre Kapazitäten, wie beispielsweise derartige „Fringe“-Kapazitäten zwischen einem Transistor-Gate und den Source-/Draingebieten oder zwischen einem Gate und den Source-/Drainkontakten aber auch zwischen benachbarten Gates bzw. Steuerschichten einen negativen Einfluss, insbesondere auf die Wechselstromeigenschaften und den Leistungsverbrauch der Halbleiterbauelemente. Insbesondere können auch die parasitä-
25 ren Kapazitäten zwischen einem High-k-Gate-Dielektrikum und den Source-/Draingebieten sowie den Source-/Drainkontakten einen starken negativen Einfluss auf die Leistungsfähigkeit bzw. Performance der Halbleiterbauelemente haben.

35 Herkömmliche Halbleiterbauelemente verwenden üblicherweise Spacer aus Siliziumoxid oder Siliziumnitrid. Ein wesentlicher Nachteil dieser Materialien sind jedoch die hohen Dielektri-

zitätskonstanten von ca. $k = 4$ für Oxid und $k = 7$ bis 8 für Nitrid, was sich negativ in den parasitären Kapazitäten bemerkbar macht. Über den Transistor wird üblicherweise ein dünner Nitridfilm abgeschieden, der als Diffusionsbarriere zum Schutz der Halbleiterbauelemente gegen Metall-Kontaminationen oder andere Umwelteinflüsse dient. Diese Nitridschicht kann auch gezielt zur Einstellung eines bestimmten mechanischen Stresses bzw. einer mechanischen Beanspruchung auf das Halbleiterbauelement genutzt werden, wodurch sich eine Mobilität von Ladungsträgern und somit wiederum die elektrischen Eigenschaften des Halbleiterbauelements gezielt beeinflussen lassen.

Für das darüberliegende Zwischendielektrikum wird üblicherweise BPSG (Bor-Phosphorsilikatglas) oder PSG (Phosphorsilikatglas) mit einer Dielektrizitätskonstante von ca. $k = 4$ verwendet. Alle diese Materialien tragen jedoch stark zu den parasitären Kapazitäten bei.

Zur Vermeidung derartiger parasitärer Kapazitäten ist beispielsweise aus der Druckschrift US 6 093 612 ein MOSFET sowie ein zugehöriges Herstellungsverfahren bekannt, bei dem sogenannte Luftspalt-Spacer an den Seitenwänden eines Gatestapels ausgebildet sind.

Figur 1 zeigt eine vereinfachte Schnittansicht eines derartigen herkömmlichen MOSFETs, wobei in einem Halbleitersubstrat 100 voneinander beabstandete Source-/Draingebiete S, D zum Festlegen eines Kanalgebiets ausgebildet sind. An der Oberfläche des Kanalgebiets ist ein Gate-Dielektrikum 103a ausgebildet, an dessen Oberfläche ein Gatestapel mit zumindest einer Steuerschicht 105a ausgebildet ist. An den Seitenwänden des Gatestapels ist ferner eine Spacerstruktur ausgebildet, die jeweils einen Luftspalt-Spacer 104a aufweist, wodurch die vorstehend beschriebenen Streufelder und die damit einhergehenden parasitären Kapazitäten wesentlich verringert werden können. Ferner sind Kontakt-Spacer 109a und 109b zum An-

schließen der Source-/Draingebiete S und D sowie zugehörige Kontaktvias 113 zu einer Metallisierungsschicht 114 vorhanden, die an der Oberfläche eines Zwischendielektrikums 112 ausgebildet ist. Obwohl auf diese Weise die Streufelder sowie die zugehörigen parasitären Kapazitäten wesentlich verringert werden können, ist eine derartiges Halbleiterbauelement, insbesondere aufgrund seiner schwierigen Kontaktierung und der komplexen Ätzzvorgänge sehr teuer in der Herstellung.

Der Erfindung liegt daher die Aufgabe zugrunde, ein Halbleiterbauelement sowie ein zugehöriges Herstellungsverfahren zu schaffen, mit dem auf kostengünstige Art und Weise die elektrischen Eigenschaften verbessert und weiterhin Streufelder und parasitäre Kapazitäten verhindert werden können.

Erfindungsgemäß wird diese Aufgabe hinsichtlich des Halbleiterbauelements durch die Merkmale des Patentanspruchs 1 und hinsichtlich des Herstellungsverfahrens durch die Maßnahmen des Patentanspruchs 11 gelöst.

Insbesondere durch die Verwendung von jeweils einem Abschattungs-Spacer innerhalb der Spacerstruktur, der zumindest einen Bodenbereich des Luftspalt-Spacers abschattet, können bei verringerten Kosten die elektrischen Eigenschaften weiter verbessert und insbesondere die parasitären Kapazitäten sowie die zugehörigen Streufelder weiter verringert werden.

Vorzugsweise erstreckt sich der Abschattungs-Spacer bogenförmig von einem oberen Bereich der Steuerschicht bis zur Oberfläche des Trägersubstrats. Der Abschattungs-Spacer und/oder der Luftspalt-Spacer ragen hierbei bezogen auf die Oberfläche des Trägersubstrats über die Steuerschicht hinaus. Dadurch ergibt sich eine optimale Verringerung der von der Steuerschicht ausgehenden Streufelder bzw. "fringing fields".

Die Spacerstruktur kann ferner einen Schutz-Spacer aufweisen, der unmittelbar an den Seitenwänden des Gate-Dielektrikums

und der Steuerschicht ausgebildet ist, wodurch eine Anschluss-Dotierung ermöglicht ist.

Vorzugsweise besteht das Gate-Dielektrikum aus einem High-k-Dielektrikum, wie z.B. HfO_2 , ZrO_2 oder Al_2O_3 . In gleicher Weise können auch deren Silikate und Nitrate sowie ternäre oder quarternäre Verbindungen aus Hf, Zr, Al, Si, N und O verwendet werden, wodurch insbesondere für Sub-100-Nanometer-Halbleiterbauelemente eine ausreichende kapazitive Kopplung bei minimalen Leckströmen realisiert werden kann.

Vorzugsweise wird für das Trägersubstrat und die Steuerschicht ein Silizium-Halbleitermaterial verwendet und an der Oberfläche der Source-/Draingebiete sowie der Steuerschicht eine selbstjustierende Halbleiter-Metallverbindung, insbesondere ein Silizid, ausgebildet, wodurch sich die elektrischen Eigenschaften des Halbleiterbauelements weiter verbessern lassen und darüber hinaus eine Kontaktierung vereinfacht wird.

Ferner kann an der Oberfläche des Gatestapels und der Spacerstruktur sowie des Trägersubstrats eine dielektrische Diffusionsbarrierenschicht ausgebildet werden, die aus dem gleichen Material wie der Abschattungs-Spacer besteht und vorzugsweise SiC oder SiCN aufweist.

Vorzugsweise wird für das Zwischendielektrikum ein Low-k-Material und insbesondere SiCOH verwendet. Dadurch können die Streufelder sowie die zugehörigen parasitären Kapazitäten weiter verringert werden, wodurch sich die elektrischen Eigenschaften insbesondere für Halbleiterbauelemente mit einer Kanallänge unterhalb von 100 nm wesentlich verbessern lassen.

Hinsichtlich des Verfahrens zur Herstellung eines Halbleiterbauelements wird nach dem Vorbereiten des Trägersubstrats ein Gate-Dielektrikum, eine Steuerschicht und eine Maskenschicht an der Oberfläche des Trägersubstrats ausgebildet und an-

schließlich unter Verwendung der strukturierten Maskenschicht ein Gatestapel ausgebildet. An den Seitenwänden des Gatestapels werden daraufhin Opfer-Spacer ausgebildet und auf eine Höhe unterhalb der Höhe des Gatestapels zurückgebildet und
5 ferner ein Abschattungs-Spacer an den Seitenwänden des Gatestapels und an der Oberfläche des rückgebildeten Opfer-Spacers ausgebildet. Nach dem Durchführen einer Source-/Drain-Dotierung und dem zumindest teilweisen Entfernen der Maskenschicht zum zumindest teilweisen Freilegen des Opfer-
10 Spacers wird zum Ausbilden eines Luftspalt-Spacers der Opfer-Spacer entfernt, wodurch sich die verbesserten elektrischen Eigenschaften des Halbleiterbauelements ergeben.

Vorzugsweise wird als Opfer-Spacer ein zersetzbare Material,
15 insbesondere Polyester, Polyether wie Polyethylenglykol, Polypropylenglykol, Polyethylenoxid oder Polypropylenoxid, Polyacrylate, Polymethacrylate, Polyacetale, Polyketale, Polycarbonate, Polyurethane, Polyetherketone, cycloaliphatische Polymere wie Polynorbornen, aliphatische Polyamide,
20 Novolake, Polyvinylphenole und Epoxy-Verbindungen sowie Co- oder Ter-Polymere ganzflächig abgeschieden und mittels anisotroper Ätzung als Opfer-Spacer ausgebildet. Durch eine thermische Behandlung bei 350°C bis 450°C kann demzufolge der Opfer-Spacer zersetzt und über die freigelegte Öffnung ein
25 Ausgasen der Zersetzungsprodukte durchgeführt werden, wobei gleichzeitig eine Aktivierung der Source-/Draingebiete erfolgt. Ein derartiges Verfahren ist daher sehr effektiv und besonders kostengünstig.

30 In den weiteren Unteransprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

Die Erfindung wird nachstehend an Hand eines Ausführungsbeispiels unter Bezugnahme auf die Zeichnung näher beschrieben.

35

Es zeigen:

Figur 1 eine vereinfachte Schnittansicht eines herkömmlichen Halbleiterbauelements; und

Figuren 2A bis 2G

5 vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines erfindungsgemäßen Halbleiterbauelements.

10 Figuren 2A bis 2G zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines erfindungsgemäßen Halbleiterbauelements.

Zur Realisierung insbesondere von Sub-100-Nanometer-Halbleiterbauelementen, bei denen eine Kanallänge weit unterhalb von 100 nm liegt, werden vorzugsweise sogenannte High-k-Dielektrika bzw. dielektrische Materialien mit hohem k-Wert bzw. hoher Dielektrizitätskonstante als Gate-Dielektrikum verwendet. Eine physikalische Dicke dieses Gate-Dielektrikums ergibt sich hierbei aus der sogenannten "Äquivalenz-Oxiddicke" EOT (Equivalent Oxid Thickness), welche sich auf SiO₂ als Referenzmaterial bezieht. Halbleiterbauelemente mit gleicher äquivalenter Oxiddicke haben die gleiche Koppelkapazität zum Kanalgebiet und verhalten sich damit weitgehend gleich.

25 Die äquivalente Oxiddicke wird hierbei durch die Beziehung festgelegt

$$\text{EOT} = (k_0/k) \times T_{\text{phys}},$$

30 wobei k_0 die Dielektrizitätskonstante von Siliziumdioxid ist und ca. 3,9 beträgt, während k die Dielektrizitätskonstante des jeweils verwendeten High-k-Materials bezeichnet und T_{phys} eine tatsächliche physikalische Schichtdicke des Gate-Dielektrikums darstellt.

35 Mit zunehmender Dielektrizitätskonstante kann demzufolge eine tatsächliche Schichtdicke des Gate-Dielektrikums wesentlich vergrößert werden, wodurch insbesondere ein Tunnel-Leckstrom

vom Gate in das Substrat bzw. Kanalgebiet wesentlich verringert wird.

Basierend auf dieser Erkenntnis werden vorzugsweise die in
 5 Tabelle 1 dargestellten High-k-Materialien zur Realisierung
 des Gate-Dielektrikums verwendet und mit einer entsprechenden
 Schichtdicke abgeschieden.

Tabelle 1

10	High-k-Material	k-Wert (ca.)
	HfO ₂	20-30
	HfSiO ₄	10 - 14
15	HfSiN	
	HfON	
	HfSiON	
	HfAlO	10 - 25
	ZrO ₂	22 - 28
20	ZrAlO	
	ZrSiO ₄	10 - 15
	ZrSiON	
	La ₂ O ₃	20
	LaAlO ₃	20 - 30
25	LaSiO	
	CeO ₂	15 - 25
	CeHfO ₄	10 - 20
	Pr ₂ O ₃	30
	PrAlO	9 - 15
30	Y ₂ O ₃	8 - 12
	Gd ₂ O ₃	11 - 14
	Yb ₂ O ₃	12 - 132
	Al ₂ O ₃	8 - 12
	Ta ₂ O ₅	25 - 45
35	TiO ₂	80-100

In Tabelle 1 stellen insbesondere HfO_2 , ZrO_2 und/oder Al_2O_3 sowie deren Silikate und Nitrate oder ternäre und quarternäre Verbindungen aus Hf, Zr, Al, Si, N und O bevorzugte Kandidaten für das Gate-Dielektrikum dar. In allen in Tabelle 1
5 genannten Materialien ist die genaue chemische Zusammensetzung abhängig von den Verhältnissen der abgeschiedenen Mengen der einzelnen Komponenten. Die angegebenen k-Werte hängen daher von den verwendeten Quellenmaterialien und den Abscheideprozessen ab und variieren zum Teil erheblich.

10 Grundsätzlich sind jedoch eine Vielzahl von weiteren sogenannten High-k-Materialien denkbar, wie auch Kombinationen verschiedener High-k-Schichten miteinander oder Schichtfolgen bestehend aus Siliziumdioxid oder Siliziumnitrid und einer
15 oder mehrerer High-k-Schichten.

Zur Vergleichbarkeit sei darauf hingewiesen, dass das üblicherweise als Referenzmaterial verwendete SiO_2 eine Dielektrizitätskonstante von $k = 3,9$ aufweist. Unter High-k-
20 Materialien werden daher Materialien verwendet, deren Dielektrizitätskonstante k größer 8 ist und insbesondere in einem Bereich von $k = 10$ bis 30 liegt.

Andererseits werden unter sogenannten Low-k-Materialien nachfolgend Materialien bezeichnet, deren Dielektrizitätskonstante k kleiner 3 ist.
25

Die Dielektrizitätskonstante von Luft stellt hierbei den in der Praxis realisierbaren kleinsten Wert dar und beträgt etwa
30 $k = 1$. Als weiteres Low-k-Material ist beispielsweise mittels eines chemischen Abscheideverfahrens (CVD, Chemical Vapor Deposition) abgeschiedenes SiCOH bekannt, wie es bei den Herstellern als "Black Diamond™", „Coral™“, „Aurora™“ usw. vertrieben wird.

35 Gemäß Figur 2A wird zunächst ein Trägersubstrat 1, welches beispielsweise ein Halbleitermaterial und vorzugsweise ein

einkristallines Silizium-Halbleitermaterial aufweist, vorbereitet. Hierbei erfolgen beispielsweise die Definition von Dotier-Wannen sowie das Festlegen von aktiven Bereichen mittels beispielsweise flacher Grabenisolation (STI, Shallow Trench Isolation).

Nach einem derartigen Vorbereiten des Trägersubstrats 1 erfolgt zunächst ein Ausbilden eines Gate-Dielektrikums 2 an der Oberfläche des Trägersubstrats 1, wobei vorzugsweise eines der vorstehend beschriebenen High-k-Materialien ganzflächig abgeschieden wird. Beispielsweise wird mittels eines chemischen Dampfabscheidungsverfahrens (CVD, Chemical Vapor Deposition oder MOCVD, Metal Organic Vaporphase Deposition), einer Atomlagenabscheidung (ALD, Atomic Layer Deposition), eines Sputterverfahrens (PVD, Physical Vapor Deposition) oder mittels ähnlicher Verfahren das Gate-Dielektrikum 2 an der Oberfläche des Trägersubstrats 1 vorzugsweise konform abgeschieden, wobei optional ein chemisches Reinigen vorab durchgeführt werden kann.

Anschließend wird eine Steuerschicht 3 an der Oberfläche des Gate-Dielektrikums 2 ausgebildet, wobei beispielsweise ein Halbleitermaterial und insbesondere polykristallines Silizium wiederum mittels eines Abscheidungsverfahrens ganzflächig ausgebildet wird. Hierbei kann bereits zu diesem frühen Zeitpunkt die Steuerschicht 3 beispielsweise durch ein in-situ-Dotierverfahren als elektrisch leitende Schicht ausgebildet werden, wobei sie jedoch im vorliegenden bevorzugten Ausführungsbeispiel erst zu einem späteren Zeitpunkt in eine elektrisch leitende Schicht umgewandelt wird.

Abschließend wird eine Maskenschicht 4 an der Oberfläche der Steuerschicht 3 ausgebildet und strukturiert, wobei vorzugsweise Siliziumdioxid als Hartmaskenschicht mittels eines CVD-Verfahrens abgeschieden und anschließend mittels eines photolithografischen Verfahrens strukturiert wird.

Unter Verwendung der strukturierten Maskenschicht 4 wird nunmehr ein Gatestapel bestehend aus dem Gate-Dielektrikum 2, der Steuerschicht 3 und der Hartmaskenschicht 4 ausgebildet, wobei beispielsweise Standardätzverfahren und insbesondere anisotrope Ätzverfahren verwendet werden. Nach dem Ausbilden des Gatestapels kann optional ein Schutz-Spacer 5 vorzugsweise aus Siliziumdioxid unmittelbar an den Seitenwänden des Gatestapels ausgebildet und eine Anschluss-Dotierung zum Erzeugen von Anschluss-Dotiergebieten LDD (Lightly Doped Drain) unter Verwendung des Gatestapels und der Schutz-Spacer 5 als Maske durchgeführt werden. Beispielsweise wird hierbei eine Siliziumdioxidschicht konform mittels eines CVD-Verfahrens ganzflächig abgeschieden und anschließend mittels eines anisotropen, d.h. gerichteten Ätzverfahrens, so lange zurückgeätzt, bis lediglich an den Seitenwänden des Gatestapels die üblichen Spacerformen entstehen. Alternative kann dieser Schutz-Spacer 5 auch mittels eines thermischen Verfahrens, z.B. einer thermischen Oxidation, selektiv an den Seitenwänden des Gatestapels bzw. der Steuerschicht 3 ausgebildet werden. Die Anschluss-Dotiergebiete LDD (Lightly Doped Drain) werden hierbei vorzugsweise mittels Ionenimplantation ausgebildet.

Gemäß Figur 2B erfolgt nunmehr das Ausbilden eines Opfer-Spacers 6 an den Seitenwänden des Gatestapels, wobei er im bevorzugten Ausführungsbeispiel unmittelbar an der Oberfläche des Schutz-Spacers 5 ausgebildet wird. Genauer gesagt, wird hierbei ein vorzugsweise thermisch zersetzbares Material, wie bei einem Spacer-Verfahren üblich, zunächst konform abgeschieden und anschließend anisotrop zurückgeätzt, bis die typisch spacerförmigen Schichten an den Seitenwänden des Gatestapels bzw. des Schutz-Spacers 5 ausgebildet sind.

Geeignete Materialien bzw. Materialklassen für ein derartiges zersetzbares Material bzw. den zersetzbaren Opfer-Spacer 6 sind beispielsweise Polyester, Polyether wie Polyethylenglykol, Polypropylenglykol, Polyethylenoxid oder Polypropyleno-

xid, Polyacrylate, Polymethacrylate, Polyacetale, Polyketale, Polycarbonate, Polyurethane, Polyetherketone, cycloaliphatische Polymere wie Polynorbornen, aliphatische Polyamide, Novolake, Polyvinylphenole und Epoxy-Verbindungen sowie Co- oder Ter-Polymere.

Vorzugsweise sollte es sich um ein Low-k-Polymer handeln, welches beispielsweise bei ca. 350 bis 450°C zersetzbar ist, wodurch in einem späteren Schritt gleichzeitig sowohl die Zersetzung des Opfer-Spacers als auch eine Temperaturbehandlung bzw. eine Teil-Aktivierung von Source-/Draingebieten erfolgen kann.

Bei der anisotropen Spacerätzung wird beispielsweise ein O₂-, H₂/He-, oder ein H₂/N₂-Plasmaätzen durchgeführt.

Gemäß Figur 2B wird dieses Spacerätzen auch dann noch angewendet, wenn bereits ein Niveau bzw. eine Höhe des Opfer-Spacers 6 ein Niveau bzw. Höhe der Hartmaskenschicht 4 erreicht hat, wodurch der Opfer-Spacer 6 weiter zurückgebildet wird. Vorzugsweise erfolgt dieses Rückbilden des Opfer-Spacers 6 bis auf eine Höhe H₁, die zwischen der Höhe H₂ des Gatestapels mit der Hartmaskenschicht 4 und einer Höhe H₃ des Gatestapels ohne Hartmaskenschicht 4 liegt. Vorzugsweise wird der Opfer-Spacer 6 bis etwa auf die halbe Höhe der Maskenschicht 4 zurückgebildet, d.h. $H_1 = H_3 + (H_2 - H_3)/2$, wodurch in einem nachfolgenden Spacerschritt der Opfer-Spacer 6 auch in seinem oberen Bereich vollständig abgedeckt werden kann.

Genauer gesagt stellt dieses Rückbilden sicher, dass ein nachfolgend ausgebildeter Abschattungs-Spacer 7 sich bogenförmig von einem oberen Bereich der Steuerschicht bis zur Oberfläche des Trägersubstrats 1 erstreckt und zumindest den Bodenbereich des Opfer-Spacers 6 zuverlässig insbesondere hinsichtlich eines Sputter-Verfahrens abschattet.

Gemäß Figur 2B erfolgt nunmehr ein Ausbilden des Abschattungs-Spacers 7 an den Seitenwänden des Gatestapels bzw. an der Oberfläche des zurückgebildeten Opfer-Spacers 6 sowie im oberen Teil an der Oberfläche des Schutz-Spacers 5, wobei
5 vorzugsweise SiC oder SiCN ganzflächig abgeschieden und mittels anisotroper Spacerätzung zurückgebildet wird. Im Gegensatz zum üblicherweise verwendeten Siliziumnitrid mit seiner Dielektrizitätskonstante von $k = 7$ bis 8, weisen derartige
10 Materialien eine wesentlich geringere Dielektrizitätskonstante von $k = 4$ bis 5 auf, weshalb sie besonders geeignet sind, um die störenden Streufelder und die dadurch resultierenden parasitären Kapazitäten zu verringern. Darüber hinaus sind
derartige Materialien besonders als Diffusionsbarriereschichten geeignet, um ein Ausdiffundieren insbesondere von metallischem Material in das Halbleitersubstrat 1 oder in andere
15 Schichtebenen zu verhindern.

Abschließend wird gemäß Figur 2B eine Source-/Drain-Dotierung zum Ausbilden von Source-/Draingebieten S, D unter Verwendung
20 des Gatestapels und der Spacer 5, 6 und 7 als Maske durchgeführt. Vorzugsweise wird eine Ionenimplantation $I_{S/D}$ durchgeführt, wobei auch die Steuerschicht 3, sofern sie aus Halbleitermaterial besteht, und die Hartmaskenschicht 4 bereits zu diesem frühen Zeitpunkt entfernt wurde, gleichzeitig dotiert und somit in elektrisch leitendes Material umgewandelt
25 werden kann.

Gemäß Figur 2C kann jedoch auch zu einem späteren Zeitpunkt die Hartmaskenschicht 4 zumindest teilweise entfernt werden,
30 wodurch der Opfer-Spacer 6 in seinem oberen Bereich zumindest teilweise freigelegt wird. Insbesondere bei Verwendung eines gleichen Materials wie beispielsweise Siliziumdioxid für die Maskenschicht 4 und den Schutz-Spacer 5 kann dieses zumindest teilweise Entfernen mit einem herkömmlichen Nass- oder Trockenätzverfahren in einem Schritt durchgeführt werden. Das
35 teilweise oder vollständige Rückätzen der Maskenschicht 4 muss jedoch so lange erfolgen, bis zumindest ein Spalt zum

Opfer-Spacer 6 geöffnet wird. Gemäß Figur 2C kann beispielsweise ein Teil der Maskenschicht 4a an der Oberfläche der Steuerschicht 3 bestehen bleiben.

5 Gemäß Figur 2D erfolgt nunmehr das Entfernen des Opfer-Spacers 6 zum Ausbilden eines Luftspalt-Spacers 6a, wobei vorzugsweise eine Temperaturbehandlung in einem Bereich von 350°C bis 450°C zur thermischen Zersetzung des Opfer-Spacers 6 durchgeführt wird, der über den im oberen Bereich des Gate-
10 stapels ausgebildeten Spalt ausgasen kann. Gleichzeitig wird bei dieser thermischen Behandlung auch ein Ausheilen der Source-/Draingebiete S, D durchgeführt, und die S/D-Implantationen aktiviert. Somit werden mittels eines Temperaturschritts sowohl der Luftspalt-Spacer 6a als auch die Teil-
15 Aktivierung bzw. das Ausheilen der Source-/Draingebiete S und D durchgeführt. Zur vollständigen Aktivierung kann nach der Zersetzung des Opfer-Spacers 6 eine weitere thermische Behandlung bei ca. 800°C bis 1200°C z.B. durch RTP (Rapid Thermal Processing) oder im Ofen durchgeführt werden.

20 Gemäß Figur 2E kann nach der Temperaturbehandlung ein eventuell noch vorhandenes Hartmaskenoxid 4a vollständig entfernt werden. Anschließend kann nach der thermischen Behandlung ferner eine Metallschicht 8 ganzflächig abgeschieden und an
25 den freiliegenden Halbleiterbereichen in eine Metall-Halbleiterverbindung 3a und 8a thermisch umgewandelt werden, wobei die nicht umgewandelte Metallschicht anschließend entfernt wird. Als Metallschicht 8 wird insbesondere Ti, Ni oder Co mittels eines PVD-Verfahrens (Physical Vapor Deposition)
30 abgeschieden, wobei bei der thermischen Umwandlung auf Silizium insbesondere TiSi_x , NiSi oder CoSi_x als selbstjustierte hochleitende Silizide ausgebildet werden. Alternativ kann hierbei die aus einem Halbleitermaterial bestehende Steuerschicht 3 vollständig, d.h. in ihrer gesamten Dicke, in eine
35 Metall-Halbleiterverbindung umgewandelt werden. Als weitere Alternative könnte die Steuerschicht 3 auch als sogenanntes Metall-Gate, d.h. vollständig aus metallischem Material (z.B.

für n-FET Ti, Ta, Zr, TaN, W oder für p-FET Ir, Pt, Rh, Re, W), ausgebildet werden. Da sich der Abschattungs-Spacer 7 derart über den Luftspalt-Spacer 6a erstreckt bzw. diesen abdeckt, dass zumindest der Bodenbereich BB des Luftspalt-Spacers 6a vollständig abgeschattet ist, kann eine unerwünschte Abscheidung von metallischem Material am Bodenbereich BB des Luftspalt-Spacers 6a zuverlässig verhindert werden, wodurch die Funktionsfähigkeit insbesondere bei Verwendung des beschriebenen selbstjustierenden Silizidierungsverfahrens weiterhin gewährleistet ist.

Da sich der Abschattungs-Spacer 7 bogenförmig von einem oberen Bereich der Steuerschicht 3 bis zur Oberfläche des Trägersubstrats 1 erstreckt und bezogen auf die Oberfläche des Trägersubstrats 1 ferner über die Steuerschicht 3 hinausragt, ergibt sich eine besonders effektive Verringerung der von der Steuerschicht 3 ausgehenden Streufelder bzw. "fringing fields", wodurch sich die elektrischen Eigenschaften des Halbleiterbauelements wesentlich verbessern lassen.

Optional kann vor dem Ni- oder Co-Sputtern auch eine selektiv abgeschiedene Si-Epi-Schicht (epitaktisch ausgebildete Schicht) aufgewachsen werden. Diese (nicht dargestellte) Epi-Schicht wächst nur auf der freiliegenden Poly-Si-Steuerschicht 3 und auf den freiliegenden Source-/Draingebieten S und D auf. Insbesondere kann diese Epi-Si-Schicht den Luftspalt zwischen der Steuerschicht 3 und dem Abschattungs-Spacer 7 schließen, um ein unerwünschtes Abscheiden von metallischem Material in den Bereich des Luftspalt-Spacers 6a vollständig zu verhindern.

Gemäß Figur 2F kann anschließend eine dielektrische Diffusionsbarrierenschicht 9 ganzflächig ausgebildet werden, wobei an Stelle des üblicherweise verwendeten Si_3N_4 insbesondere SiC oder SiCN mit kleinerem $k = 4$ bis 5 mittels z.B. mittels eines CVD-Verfahrens abgeschieden wird. Auf diese Weise kann ein Ausdiffundieren insbesondere von metallischem Material

aus der Leitbahnebene z.B. einer Cu-Metallisierung in angrenzende Schichten und insbesondere in das Halbleitersubstrat 1 zuverlässig verhindert werden, wodurch sich die elektrischen Eigenschaften des Halbleiterbauelements weiter verbessern. Da
5 die Dielektrizitätskonstante insbesondere von SiC oder SiCN wesentlich unterhalb der von Siliziumnitrid liegt, welches einen Wert von $k = 7$ bis 8 aufweist, werden wiederum die Streufelder wesentlich verringert.

10 Gemäß Figur 2G werden nunmehr ein Zwischendielektrikum 10 auf dem Gatestapel sowie dem Trägersubstrat 1 bzw. an der Oberfläche der dielektrischen Diffusionsbarrierenschicht 9 ausgebildet. Vorzugsweise wird hierbei ein Low-k-Material mittels eines CVD-Verfahrens abgeschieden. Obwohl grundsätzlich BPSG
15 oder PSG verwendet werden kann, wird vorzugsweise als Material für dieses Zwischendielektrikum 10 SiCOH verwendet, welches unter den Markennamen "Black Diamond™", „Coral™“, „Aurora™" usw. vertrieben wird.

20 Abschließend erfolgt eine Planarisierung des Zwischendielektrikums 10 sowie das Ausbilden der Kontakte bzw. Vias 11, welche beispielsweise Wolfram-Vias darstellen. An der Oberfläche des Zwischendielektrikums 10 befindet sich eine strukturierbare elektrisch leitende Schicht 12, welche beispielsweise als erste Metallisierungsebene die Source-/Drain-, und
25 in einem nicht dargestellten Bereich auch die Steuerschicht 3 über die Vias 11 kontaktiert.

Obwohl die Schichtdicken wesentlich von den verwendeten Materialien abhängig sind, seien sie für die beschriebenen Sub-
30 100-Nanometer-Halbleiterbauelemente beispielhaft angegeben. Demzufolge besitzt das high-k-Gate-Dielektrikum 2 eine Schichtdicke von 2 bis 10 nm und typischerweise von ca. 5 nm. Die Schichtdicke des Schutz-Spacers 5 beträgt ca. 2 bis
35 10 nm. Die Schichtdicke des Abschattungs-Spacers 7 liegt zwischen 20 bis 50 nm und die Schichtdicke des Luftspalt-Spacers 6a in einem Bereich von 10 bis 50 nm.

Die Erfindung wurde vorstehend an Hand eines Feldeffekttransistors auf einem Silizium-Halbleitermaterial beschrieben. Sie ist jedoch nicht darauf beschränkt und umfasst in gleicher Weise alternative Halbleiterbauelemente wie z.B. nicht-
5 flüchtige Speicherelemente mit alternativen Halbleitermaterialien.

Patentansprüche

1. Halbleiterbauelement mit
einem Trägersubstrat (1), in dem voneinander beabstandete
5 Source-/Draingebiete (S, D) zum Festlegen eines Kanalgebietes
ausgebildet sind;
einem Gate-Dielektrikum (2), das an der Oberfläche des Trä-
gersubstrats (1) im Bereich des Kanalgebietes ausgebildet
ist;
10 einem Gatestapel mit zumindest einer Steuerschicht (3, 3a),
der an der Oberfläche des Gate-Dielektrikums (2) ausgebildet
ist; und
einer Spacerstruktur (5, 6a, 7), die an den Seitenwänden des
Gatestapels ausgebildet ist und jeweils einen Luftspalt-
15 Spacer (6a) aufweist, dadurch gekennzeichnet, dass
die Spacerstruktur ferner jeweils einen Abschattungs-Spacer
(7) aufweist, der zumindest einen Bodenbereich (BB) des Luft-
spalt-Spacers (6a) abschattet.
- 20 2. Halbleiterbauelement nach Patentanspruch 1, dadurch ge-
kennzeichnet, dass der Abschattungs-Spacer (7) sich bogenför-
mig von einem oberen Bereich der Steuerschicht (3, 3a) bis
zur Oberfläche des Trägersubstrats (1) erstreckt.
- 25 3. Halbleiterbauelement nach Patentanspruch 1 oder 2, dadurch
gekennzeichnet, dass der Abschattungs-Spacer (7) und/oder der
Luftspalt-Spacer (6a) bezogen auf die Oberfläche des Träger-
substrats (1) über die Steuerschicht (3, 3a) hinausragt.
- 30 4. Halbleiterbauelement nach einem der Patentansprüche 1 bis
3, dadurch gekennzeichnet, dass die Spacerstruktur jeweils
einen Schutz-Spacer (5) aufweist, der unmittelbar an den
Seitenwänden des Gate-Dielektrikums (2) und der Steuerschicht
(3, 3a) ausgebildet ist.
- 35 5. Halbleiterbauelement nach einem der Patentansprüche 1 bis
4, dadurch gekennzeichnet, dass das Gate-Dielektrikum (2) ein

High-k-Dielektrikum, insbesondere HfO_2 , ZrO_2 oder Al_2O_3 oder deren Silikate und Nitrate oder ternäre oder quaternäre Verbindungen aus Hf, Zr, Al, Si, N und O, aufweist.

5 6. Halbleiterbauelement nach einem der Patentansprüche 1 bis 5, dadurch gekennzeichnet, dass das Trägersubstrat (1) und die Steuerschicht (3) ein Halbleitermaterial aufweisen und an der Oberfläche der Source-/Draingebiete (S/D) sowie der Steuerschicht (3) eine Halbleiter-Metallverbindung (3a, 8a) ausgebildet ist.
10

7. Halbleiterbauelement nach einem der Patentansprüche 1 bis 6, dadurch gekennzeichnet, dass an der Oberfläche des Gatestapels und der Spacerstruktur eine dielektrische Diffusionsbarrierenschicht (9) ausgebildet ist.
15

8. Halbleiterbauelement nach einem der Patentansprüche 1 bis 7, dadurch gekennzeichnet, dass der Abschattungs-Spacer (7) und/oder die dielektrische Diffusionsbarrierenschicht (9) SiC oder SiCN aufweist.
20

9. Halbleiterbauelement nach einem der Patentansprüche 1 bis 8, dadurch gekennzeichnet, dass an der Oberfläche der dielektrischen Diffusionsbarrierenschicht (9) ein Low-k-Zwischendielektrikum (10), insbesondere SiCOH, ausgebildet ist.
25

10. Halbleiterbauelement nach einem der Patentansprüche 1 bis 9, dadurch gekennzeichnet, dass das Kanalgebiet eine Kanalgröße kleiner 100 nm aufweist.
30

11. Verfahren zur Herstellung eines Halbleiterbauelements mit den Schritten:
a) Vorbereiten eines Trägersubstrats (1);
b) Ausbilden eines Gatestapels mit einem Gate-Dielektrikum
35 (2), einer Steuerschicht (3) und einer Maskenschicht (4) an der Oberfläche des Trägersubstrats (1);

- c) Ausbilden eines Opfer-Spacers (6) an den Seitenwänden des Gatestapels;
d) Rückbilden des Opfer-Spacers (6) auf eine Höhe (H1) zwischen einer Höhe (H2) des Gatestapels mit Maskenschicht und
5 einer Höhe (H3) des Gatestapels ohne Maskenschicht;
e) Ausbilden eines Abschattungs-Spacers (7) an den Seitenwänden des Gatestapels (2, 3, 4) und an der Oberfläche des rückgebildeten Opfer-Spacers (6);
f) Durchführen einer Source-/Drain-Dotierung ($I_{S/D}$) zum Aus-
10 bilden von Source-/Draingebieten (S/D) unter Verwendung des Gatestapels und der Spacer als Maske;
g) zumindest teilweises Entfernen der Maskenschicht (4) zum zumindest teilweisen Freilegen des Opfer-Spacers (6); und
h) Entfernen des Opfer-Spacers (6) zum Ausbilden eines Luftspalt-Spacers (6a).
- 15

12. Verfahren nach Patentanspruch 11, gekennzeichnet durch den weiteren Schritt

- i) Ausbilden eines Zwischendielektrikums (10) auf dem Gate-
20 stapel und dem Trägersubstrat (1).

13. Verfahren nach Patentanspruch 11 oder 12, gekennzeichnet durch den weiteren Schritt

- j) Ausbilden eines Source-/Drain- und Gate-Kontakts im Zwi-
25 schendielektrikum (10) zum Anschließen der Source-/Draingebiete (S, D) und der Steuerschicht (3).

14. Verfahren nach einem der Patentansprüche 11 bis 13, dadurch gekennzeichnet, dass in Schritt b) als High-k-

- 30 Dielektrikum (2) insbesondere HfO_2 , ZrO_2 oder Al_2O_3 oder deren Silikate und Nitrate oder ternäre und quarternäre Verbindungen aus Hf, Zr, Al, Si, N und O abgeschieden werden.

15. Verfahren nach einem der Patentansprüche 11 bis 14, dadurch gekennzeichnet, dass in Schritt a) ein einkristallines
35 Halbleitermaterial als Trägersubstrat (1) und in Schritt b)

ein polykristallines Halbleitermaterial als Steuerschicht (3) verwendet wird.

16. Verfahren nach einem der Patentansprüche 11 bis 15, dadurch gekennzeichnet, dass in Schritt b) als Maskenschicht (4) eine Hartmaskenschicht, insbesondere SiO_2 , abgeschieden und fotolithografisch strukturiert wird.

17. Verfahren nach einem der Patentansprüche 11 bis 16, dadurch gekennzeichnet, dass nach dem Ausbilden des Gatestapels in Schritt b) ein Schutz-Spacer (5), vorzugsweise aus SiO_2 , unmittelbar an den Seitenwänden des Gatestapels (2, 3, 4) ausgebildet und eine Anschlussdotierung zum Erzeugen von Anschlussdotiergebieten (LDD) unter Verwendung des Gatestapels und des Schutz-Spacers (5) als Maske durchgeführt wird.

18. Verfahren nach einem der Patentansprüche 11 bis 17, dadurch gekennzeichnet, dass in Schritt c) ein zersetzbares Material, insbesondere Polyester, Polyether wie Polyethylenglykol, Polypropylenglykol, Polyethylenoxid oder Polypropylenoxid, Polyacrylate, Polymethacrylate, Polyacetale, Polyketa-
le, Polycarbonate, Polyurethane, Polyetherketone, cycloaliphatische Polymere wie Polynorbornen, aliphatische Polyamide, Novolake, Polyvinylphenole und Epoxy-Verbindungen sowie Co- oder Ter-Polymere ganzflächig abgeschieden und mittels anisotroper Ätzung als Opfer-Spacer (6) ausgebildet wird.

19. Verfahren nach einem der Patentansprüche 11 bis 18, dadurch gekennzeichnet, dass in Schritt d) der Opfer-Spacer (6) bis etwa auf die halbe Höhe der Maskenschicht (4) zurückgebildet wird.

20. Verfahren nach einem der Patentansprüche 11 bis 19, dadurch gekennzeichnet, dass in Schritt e) Si_3N_4 , SiC oder SiCN ganzflächig abgeschieden und mittels anisotroper Ätzung als Abschattungs-Spacer (7) ausgebildet wird.

21

21. Verfahren nach einem der Patentansprüche 11 bis 20, dadurch gekennzeichnet, dass in Schritt f) eine Ionenimplantation ($I_{S/D}$) durchgeführt wird.

- 5 22. Verfahren nach einem der Patentansprüche 15 bis 20, dadurch gekennzeichnet, dass ein vollständiges Entfernen der Maskenschicht (4) vor Schritt f) durchgeführt wird und in Schritt f) gleichzeitig die Steuerschicht (3) dotiert wird.
- 10 23. Verfahren nach einem der Patentansprüche 11 bis 22, dadurch gekennzeichnet, dass in Schritt h) eine thermische Behandlung bei 350 bis 450°C zum Zersetzen und Ausgasen des Opfer-Spacers (6) durchgeführt wird.
- 15 24. Verfahren nach einem der Patentansprüche 11 bis 23, dadurch gekennzeichnet, dass nach Schritt h) eine Metallschicht (8) ganzflächig abgeschieden und auf freiliegenden Halbleiterbereichen in eine Metall-Halbleiterverbindung (3a, 8a) thermisch umgewandelt wird, wobei die nicht umgewandelte
- 20 Metallschicht anschließend entfernt wird.
- 25 25. Verfahren nach Patentanspruch 24, dadurch gekennzeichnet, dass die Metallschicht (8), insbesondere Ti, Ni oder Co, mittels eines PVD-Verfahrens abgeschieden und bei der thermischen Umwandlung insbesondere $TiSi_x$, $NiSi$ oder $CoSi_x$ ausgebildet wird.
- 30 26. Verfahren nach einem der Patentansprüche 12 bis 25, dadurch gekennzeichnet, dass vor dem Ausbilden des Zwischendielektrikums (10) eine dielektrische Diffusionsbarrierenschicht (9), insbesondere SiC oder SiCN, abgeschieden wird.
- 35 27. Verfahren nach einem der Patentansprüche 12 bis 26, dadurch gekennzeichnet, dass in Schritt i) als Zwischendielektrikum (10) ein Low-k-Material, insbesondere SiCOH, abgeschieden wird.

2/4

FIG 2A

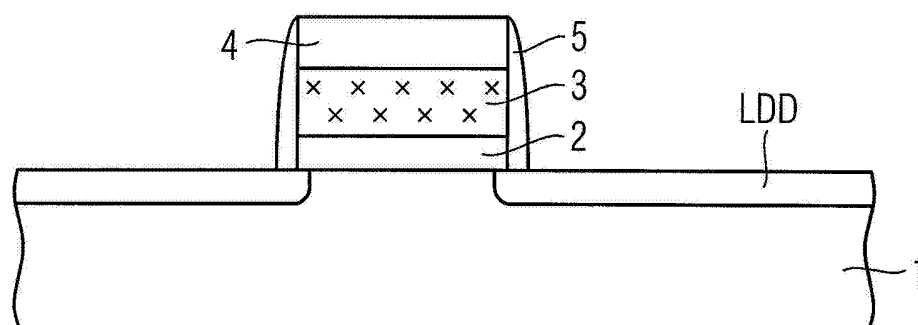


FIG 2B

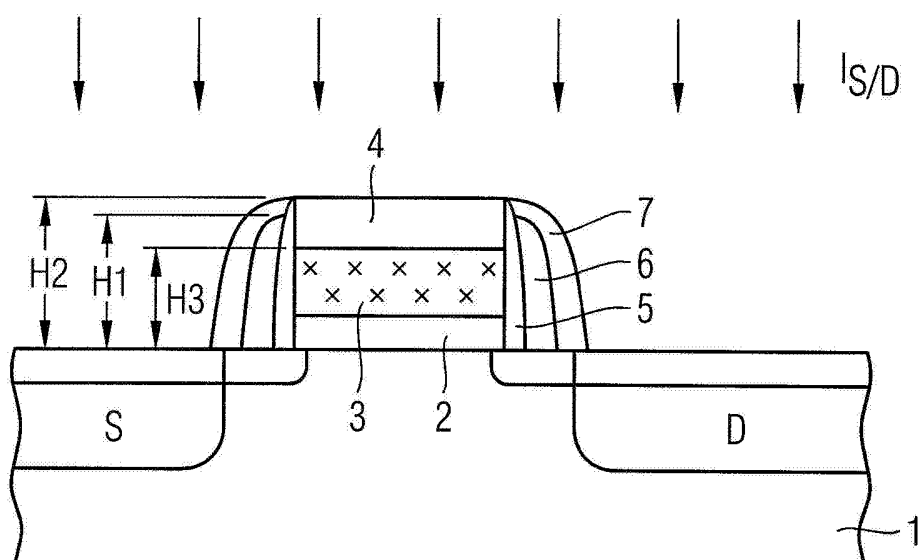
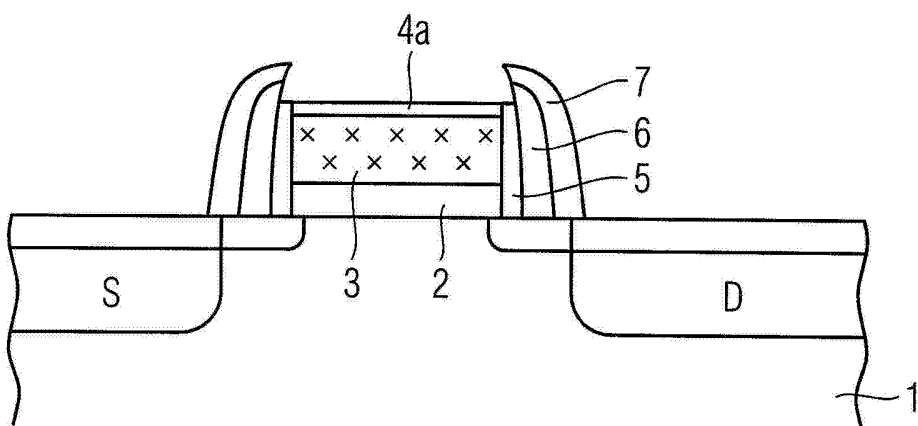


FIG 2C



3/4

FIG 2D

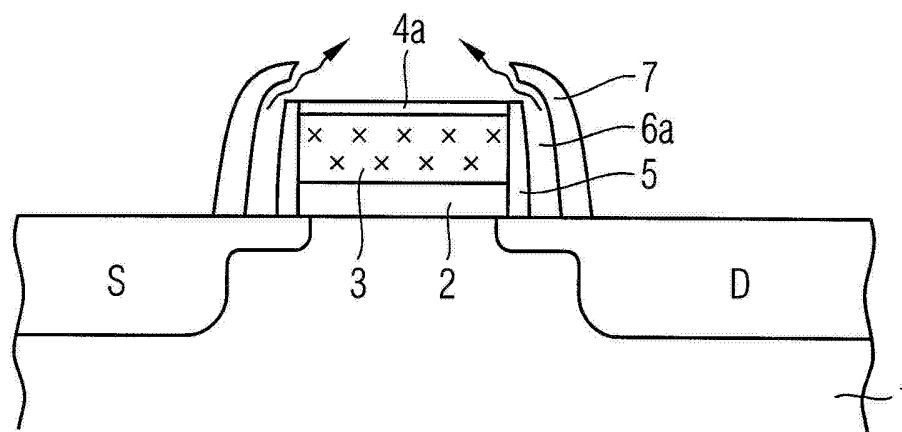


FIG 2E

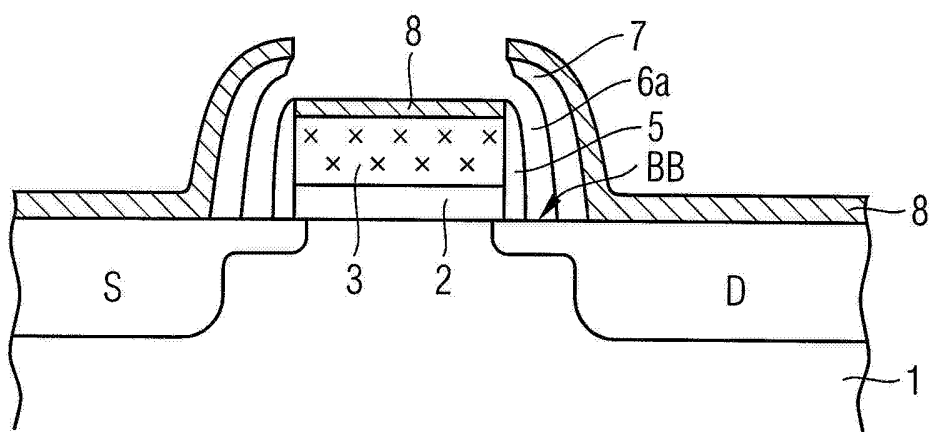
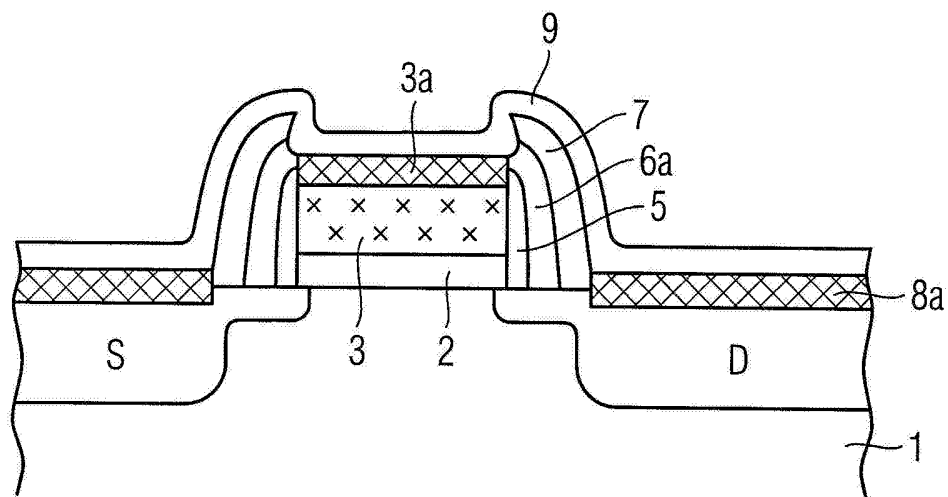


FIG 2F



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2005/055353

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/336 H01L28/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2003/211684 A1 (GUO JYH-CHYURN) 13 November 2003 (2003-11-13) figures 2-14	1-10
X	US 2004/038489 A1 (CLEVINGER LAWRENCE A ET AL) 26 February 2004 (2004-02-26) figures 6A,7	1-3,5,6, 8-10
X	US 6 417 056 B1 (QUEK ELGIN ET AL) 9 July 2002 (2002-07-09) figures 1-12	1-10
X	US 5 914 519 A (CHOU ET AL) 22 June 1999 (1999-06-22) figure 3G	1-27
	----- -/--	

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

26 January 2006

Date of mailing of the international search report

06/02/2006

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Nesso, S

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2005/055353

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 2003, no. 12, 5 December 2003 (2003-12-05) & JP 2004 273508 A (SHARP CORP), 30 September 2004 (2004-09-30) abstract; figures 6,8 -----	1-3,5,6, 8-10
X	PATENT ABSTRACTS OF JAPAN vol. 2003, no. 12, 5 December 2003 (2003-12-05) & JP 2004 119549 A (MATSUSHITA ELECTRIC IND CO LTD), 15 April 2004 (2004-04-15) abstract; figure 19 -----	1-3,5,6, 8-10
X	US 6 468 877 B1 (PRADEEP YELEHANKA RAMACHANDRAMURTHY ET AL) 22 October 2002 (2002-10-22) figures 5-10 -----	1-3,5,6, 8-10
X	US 5 736 446 A (WU ET AL) 7 April 1998 (1998-04-07) figure 8 -----	1-5,9,10
X	US 5 989 965 A (MAA ET AL) 23 November 1999 (1999-11-23) figures 11,13 -----	1-3,5,6, 8-10
A	US 6 093 612 A (SUH ET AL) 25 July 2000 (2000-07-25) cited in the application figure 4 -----	1-27

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2005/055353

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 2003211684	A1	13-11-2003	US	6596599 B1	22-07-2003
US 2004038489	A1	26-02-2004	CN	1485909 A	31-03-2004
			JP	2004080036 A	11-03-2004
US 6417056	B1	09-07-2002	SG	105554 A1	27-08-2004
US 5914519	A	22-06-1999	TW	393693 B	11-06-2000
			US	5972763 A	26-10-1999
JP 2004273508	A	30-09-2004	NONE		
JP 2004119549	A	15-04-2004	NONE		
US 6468877	B1	22-10-2002	EP	1278247 A2	22-01-2003
			JP	2003078131 A	14-03-2003
			SG	113422 A1	29-08-2005
US 5736446	A	07-04-1998	NONE		
US 5989965	A	23-11-1999	JP	11243201 A	07-09-1999
			US	6339245 B1	15-01-2002
US 6093612	A	25-07-2000	JP	2969341 B2	02-11-1999
			JP	10335646 A	18-12-1998
			KR	246349 B1	15-03-2000

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2005/055353

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
H01L21/336 H01L28/78

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2003/211684 A1 (GUO JYH-CHYURN) 13. November 2003 (2003-11-13) Abbildungen 2-14	1-10
X	US 2004/038489 A1 (CLEVINGER LAWRENCE A ET AL) 26. Februar 2004 (2004-02-26) Abbildungen 6A,7	1-3,5,6, 8-10
X	US 6 417 056 B1 (QUEK ELGIN ET AL) 9. Juli 2002 (2002-07-09) Abbildungen 1-12	1-10
X	US 5 914 519 A (CHOU ET AL) 22. Juni 1999 (1999-06-22) Abbildung 3G	1-27
	-/--	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

G Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

26. Januar 2006

Absendedatum des internationalen Recherchenberichts

06/02/2006

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Nesso, S

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	PATENT ABSTRACTS OF JAPAN Bd. 2003, Nr. 12, 5. Dezember 2003 (2003-12-05) & JP 2004 273508 A (SHARP CORP), 30. September 2004 (2004-09-30) Zusammenfassung; Abbildungen 6,8 -----	1-3,5,6, 8-10
X	PATENT ABSTRACTS OF JAPAN Bd. 2003, Nr. 12, 5. Dezember 2003 (2003-12-05) & JP 2004 119549 A (MATSUSHITA ELECTRIC IND CO LTD), 15. April 2004 (2004-04-15) Zusammenfassung; Abbildung 19 -----	1-3,5,6, 8-10
X	US 6 468 877 B1 (PRADEEP YELEHANKA RAMACHANDRAMURTHY ET AL) 22. Oktober 2002 (2002-10-22) Abbildungen 5-10 -----	1-3,5,6, 8-10
X	US 5 736 446 A (WU ET AL) 7. April 1998 (1998-04-07) Abbildung 8 -----	1-5,9,10
X	US 5 989 965 A (MAA ET AL) 23. November 1999 (1999-11-23) Abbildungen 11,13 -----	1-3,5,6, 8-10
A	US 6 093 612 A (SUH ET AL) 25. Juli 2000 (2000-07-25) in der Anmeldung erwähnt Abbildung 4 -----	1-27

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2005/055353

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 2003211684	A1	13-11-2003	US	6596599 B1	22-07-2003
US 2004038489	A1	26-02-2004	CN	1485909 A	31-03-2004
			JP	2004080036 A	11-03-2004
US 6417056	B1	09-07-2002	SG	105554 A1	27-08-2004
US 5914519	A	22-06-1999	TW	393693 B	11-06-2000
			US	5972763 A	26-10-1999
JP 2004273508	A	30-09-2004	KEINE		
JP 2004119549	A	15-04-2004	KEINE		
US 6468877	B1	22-10-2002	EP	1278247 A2	22-01-2003
			JP	2003078131 A	14-03-2003
			SG	113422 A1	29-08-2005
US 5736446	A	07-04-1998	KEINE		
US 5989965	A	23-11-1999	JP	11243201 A	07-09-1999
			US	6339245 B1	15-01-2002
US 6093612	A	25-07-2000	JP	2969341 B2	02-11-1999
			JP	10335646 A	18-12-1998
			KR	246349 B1	15-03-2000