

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年12月28日 (28.12.2006)

PCT

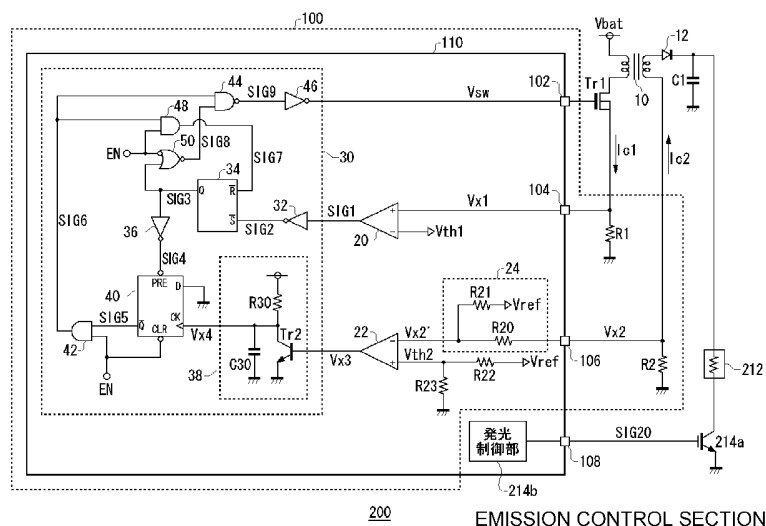
(10) 国際公開番号
WO 2006/137291 A1

- (51) 国際特許分類:
H02M 3/28 (2006.01) G03B 15/03 (2006.01)
G03B 15/02 (2006.01) G03B 15/05 (2006.01)
- (21) 国際出願番号: PCT/JP2006/311837
- (22) 国際出願日: 2006年6月13日 (13.06.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-183999 2005年6月23日 (23.06.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1 Kyoto (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 爲我井 洋一 (TAMEGAI, Yoichi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1 ローム株式会社内 Kyoto (JP).
山本 勲 (YAMAMOTO, Isao) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 森下 賢樹 (MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西2-11-12 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS,

/ 続葉有 /

(54) Title: DC/DC CONVERTER DRIVING CIRCUIT, AND LIGHT EMITTING DEVICE AND ELECTRONIC DEVICE USING SUCH DC/DC CONVERTER DRIVING CIRCUIT

(54) 発明の名称: DC/DCコンバータの駆動回路およびそれを用いた発光装置ならびに電子機器



(57) Abstract: A driving circuit (100) controls on and off of a switching transistor (Tr1) of a DC/DC converter. A first resistor (R1) is provided on a path of a current flowing in a primary coil of a transformer (10) connected to the switching transistor (Tr1), and one end is grounded. A second resistor (R2) is provided on a path of a current flowing in a secondary coil of the transformer (10), and one end is grounded. A switching control section (30) turns off the switching transistor (Tr1) when a first detection voltage (Vx1) exceeds a first threshold voltage (Vth1), and turns on the switching transistor (Tr1) after a prescribed delay time (τ) from a time when a second detection voltage (Vx2) exceeds a second threshold voltage.

(57) 要約: 駆動回路100は、DC/DCコンバータのスイッチングトランジスタTr1のオンオフを制御する。第1抵抗R1は、スイッチングトランジスタTr1に接続されるトランス10の1次側コイルに流れる電流の経路上に設けられ、一端が接地される。第2抵抗R2は、トランス10の2次側コイルに流れる電流の経路上に設けられ、一端が接地される。

/ 続葉有 /



WO 2006/137291 A1



RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ス10の2次側コイルに流れる電流の経路上に設けられ、一端が接地される。スイッチング制御部30は、第1検出電圧 V_{x1} が第1しきい値電圧 V_{th1} を超えると、スイッチングトランジスタ T_{r1} をオフし、第2検出電圧 V_{x2} が第2しきい値電圧を超えてから所定の遅延時間 t 経過後にスイッチングトランジスタ T_{r1} をオンする。

明 細 書

DC／DCコンバータの駆動回路およびそれを用いた発光装置ならびに
電子機器

技術分野

[0001] 本発明は、スイッチング電源に関し、特にDC／DCコンバータの駆動方式に関する。

背景技術

[0002] 入力電圧よりも高い電圧を生成するため、昇圧型のスイッチング電源がさまざまな電子機器において広く用いられている。こうした昇圧型のスイッチング電源は、スイッチング素子と、インダクタあるいはトランスを備えており、スイッチング素子を時分割的にオンオフさせることによりインダクタあるいはトランスに逆起電力を発生させ、入力電圧を昇圧して出力する。

[0003] 絶縁型のDC／DCコンバータでは、スイッチングトランジスタがオフすると、トランスの1次側に電流が流れ、トランスにエネルギーが蓄えられる。スイッチングトランジスタがオフすると、トランスの2次側においてトランスに蓄えられたエネルギーが、整流用ダイオードを介して充電電流として出力キャパシタに転送され、出力電圧が上昇する。トランスに蓄えられたエネルギーが出力キャパシタに転送されると、整流ダイオードに流れる電流が0となる。

[0004] 絶縁型のDC／DCコンバータのうち、発振器を用いず、トランスの1次側あるいは2次側の状態をモニタし、これらの状態に応じて、スイッチングトランジスタのオンオフを制御する自励式のDC／DCコンバータが知られている(たとえば特許文献1、2参照)。

特許文献1:特開2004－201474号公報

特許文献2:特開2005－73483号公報

発明の開示

発明が解決しようとする課題

[0005] ここで、自励式DC／DCコンバータの制御方法として、トランスの1次側および2次

側に流れる電流をモニタし、2次側に流れる電流が0となったタイミングでスイッチングトランジスタをオンし、1次側の電流が所定レベルに達した状態でスイッチングトランジスタをオフするという制御方式について考察する。

[0006] 上記制御方式によりスイッチングトランジスタを制御した場合、スイッチングトランジスタがオフの状態において、トランスに蓄えられたエネルギーが出力キャパシタに転送される。このとき、2次側に流れる電流が0付近まで下がった状態で、直ちにスイッチングトランジスタをオン状態に切り替えると、整流用ダイオードの逆回復時間などの影響により、トランスにエネルギーが残留した状態でスイッチングトランジスタを再度オンすることになり、DC/DCコンバータの効率が悪化してしまう。

[0007] 本発明はこうした課題に鑑みてなされたものであり、その包括的な目的は、トランスの残留エネルギーを確実に放出し、効率を改善したDC/DCコンバータおよびその駆動回路の提供にある。

課題を解決するための手段

[0008] 本発明のある態様は、DC/DCコンバータのスイッチングトランジスタのオンオフを制御する駆動回路に関する。この駆動回路は、スイッチングトランジスタに接続されるトランスの1次側コイルに流れる電流の経路上に設けられ、一端が接地された第1抵抗と、第1抵抗の他端に現れる第1検出電圧と、所定の第1しきい値電圧とを比較する第1電圧比較器と、トランスの2次側コイルに流れる電流の経路上に設けられ、一端が接地された第2抵抗と、第2抵抗の他端に現れる第2検出電圧を正方向にシフトするレベルシフト回路と、レベルシフト回路の出力電圧と、所定の第2しきい値電圧を比較する第2電圧比較器と、第1、第2電圧比較器の出力にもとづいてスイッチングトランジスタのオンオフを制御するスイッチング制御部と、を備える。スイッチング制御部は、第1検出電圧が第1しきい値電圧を超えると、スイッチングトランジスタをオフし、レベルシフト回路の出力電圧が第2しきい値電圧を超えてから所定の遅延時間経過後にスイッチングトランジスタをオンする。

[0009] この態様によると、レベルシフト回路により正方向にシフトした電圧と、第2しきい値電圧を比較することにより、トランスの2次側コイルに流れる電流が0付近まで下がったことを検出することができる。さらに、この電流が0付近まで下がった後、所定の遅

延時間の経過を待って、スイッチングトランジスタをオンに切り替えることにより、トランスにエネルギーが残留した状態で、スイッチングトランジスタをオンするのを防止することができ、DC/DCコンバータの効率を改善することができる。

- [0010] スwitching制御部は、第2電圧比較器の出力を遅延せしめる遅延回路を含み、当該遅延回路の出力にもとづいてスイッチングトランジスタをオンしてもよい。

第2電圧比較器の後段に遅延回路を設け、この遅延回路の時定数を調節することによって、DC/DCコンバータの効率が最大となる遅延時間を実現することができる。

- [0011] 遅延回路は、ベース端子が第2電圧比較器の出力に接続されエミッタ接地されたトランジスタと、トランジスタのコレクタ端子と電源電圧端子間に設けられた抵抗と、トランジスタのコレクタ端子と接地端子間に設けられたキャパシタと、を含んでもよい。

遅延回路をCR時定数回路とすることにより、抵抗値および容量値を調節することにより、遅延時間を最適な値に設定することができる。

- [0012] スwitching制御部は、第2電圧比較器の出力をラッチするラッチ回路と、ラッチ回路の出力を遅延せしめる遅延回路と、を含み、遅延回路の出力にもとづいてスイッチングトランジスタをオンしてもよい。

第2電圧比較器の出力をラッチすることにより、トランスの2次側コイルに流れる電流、すなわち、第2検出電圧が変動した場合に、スイッチングトランジスタがオンになるまでの時間が変動するのを防止し、第2電圧比較器の出力がラッチされた時刻から所定の遅延時間経過後にスイッチングトランジスタを確実にオンすることができる。

- [0013] 遅延回路は、ラッチ回路の後段に設けられた論理ゲートと、論理ゲートの入力端子と、接地端子間に設けられたキャパシタと、を含んでもよい。

この場合、ラッチ回路の出力により、キャパシタが充電もしくは放電され、キャパシタに現れる電圧が論理ゲートのしきい値電圧に達すると、論理ゲートの出力レベルが変化する。その結果、ラッチ回路の出力レベルが変化してから論理ゲートの出力レベルが変化するまでに、キャパシタの容量値に応じた遅延時間を設定することができる。

なお、キャパシタは、ラッチ回路の直後に設けられてもよいし、他の論理ゲートを介

して、その後段に設けられてもよい。

[0014] 第1電圧比較器、レベルシフト回路、第2電圧比較器、スイッチング制御部は一体集積化されてもよい。なお、ここでの集積化とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。さらに、スイッチングトランジスタがこれらの回路要素と一体に構成されていてもよい。

[0015] 本発明の別の態様は、発光装置である。この発光装置は、スイッチングトランジスタを含み、当該スイッチングトランジスタのオンオフにより昇圧動作が制御されるDC／DCコンバータ出力回路と、スイッチングトランジスタのオンオフを制御する駆動回路と、DC／DCコンバータ出力回路の出力電圧により駆動される発光素子と、を備える。

[0016] この態様によると、DC／DCコンバータにより、高効率で昇圧することができるため、発光素子を効率よく発光させることができる。

[0017] 本発明のさらに別の態様は、電子機器である。この電子機器は、撮像部と、撮像部による撮像の際、フラッシュとして用いられる上記発光装置と、を備える。発光装置は、電池電圧を昇圧して発光素子を駆動する。

[0018] この態様によると、発光装置は効率よく発光素子を発光させることができるため、電池の寿命を延ばすことができる。

[0019] なお、以上の構成要素の任意の組合せや本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

発明の効果

[0020] 本発明に係るDC／DCコンバータの駆動回路によれば、変換効率を改善することができる。

図面の簡単な説明

[0021] [図1]実施の形態に係る発光装置を搭載した電子機器の構成を示すブロック図である。

[図2]実施の形態に係る発光装置の構成を示す回路図である。

[図3]図2のDC／DCコンバータ駆動ICの動作を示すタイムチャートである。

[図4]図2のスイッチング制御部の変形例を示す回路図である。

符号の説明

[0022] 20 第1電圧比較器、22 第2電圧比較器、24 レベルシフト回路、30 スイッチング制御部、38 遅延回路、300 電子機器、310 電池、316 撮像部、200 発光装置、210 自励式DC／DCコンバータ、212 発光素子、100 駆動回路、Tr1 スwitchングトランジスタ、10 トランス、R1 第1抵抗、R2 第2抵抗。

発明を実施するための最良の形態

[0023] 以下本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

[0024] 図1は、実施の形態に係る発光装置200を搭載した電子機器300の構成を示すブロック図である。電子機器300は、カメラを搭載した携帯電話端末であり、電池310、通信処理部312、DSP(Digital Signal Processor)314、撮像部316、発光装置200を備える。

[0025] 電池310はたとえば、リチウムイオン電池であり、電池電圧Vbatとして3～4V程度の電圧を出力する。DSP314は、電子機器300全体を統括的に制御するブロックであり通信処理部312、撮像部316、発光装置200と接続されている。通信処理部312は、アンテナ、高周波回路などを含み、基地局との通信を行うブロックである。撮像部316は、CCD(Charge Coupled Device)やCMOSセンサなどの撮像装置である。発光装置200は、撮像部316による撮像の際に、フラッシュとして用いられる光源である。

[0026] 発光装置200は、自励式DC／DCコンバータ210、発光素子212、トリガ回路214を備える。発光素子212としてはキセノンチューブなどが好適に用いられる。自励式DC／DCコンバータ210は、電池310から供給される電池電圧Vbatを昇圧し、発光

素子212に300V程度の駆動電圧を供給する。トリガ回路214は、発光装置200の発光のタイミングを制御する回路である。発光素子212は、撮像部316の撮像と同期して発光する。

[0027] 図2は、発光装置200の構成を示す回路図である。発光装置200は、駆動回路100、スイッチングトランジスタTr1、トランス10、整流用ダイオード12、出力キャパシタC1、発光素子212、IGBT214aを含む。

[0028] 図2に示す駆動回路100、スイッチングトランジスタTr1、トランス10、整流用ダイオード12、出力キャパシタC1が、図1の自励式DC/DCコンバータ210に対応する。また、図1のトリガ回路214は、IGBT214a、発光制御部214bに対応する。また、本実施の形態において、スイッチングトランジスタTr1、トランス10、整流用ダイオード12、出力キャパシタC1が自励式DC/DCコンバータ出力回路を構成する。

[0029] 駆動回路100は、自励式DC/DCコンバータ210のスイッチングトランジスタTr1のゲート電圧を制御してオンオフを制御する。トランス10の1次側コイルの一端には、電池電圧Vbatが印加され、他端には、スイッチングトランジスタTr1のドレイン端子が接続される。スイッチングトランジスタTr1は、NチャンネルのMOSトランジスタであり、そのソース端子と接地端子間には、第1抵抗R1が接続される。また、スイッチングトランジスタTr1のゲート端子には、駆動回路100の出力信号であるスイッチング信号Vswが印加される。

[0030] スwitchングトランジスタTr1がオンすると、トランス10の1次側コイルには、時間とともに増加する電流Ic1が流れる。第1抵抗R1は、スイッチングトランジスタTr1に接続されるトランス10の1次側コイルに流れる電流Ic1の経路上に設けられ、一端が接地されている。第1抵抗R1の他端に現れる電圧を第1検出電圧Vx1といい、この第1検出電圧Vx1は、DC/DCコンバータ駆動IC110の1次側検出端子104に入力される。第1検出電圧Vx1は、 $V_{x1} = I_{c1} \times R1$ で与えられる。

[0031] また、トランス10の2次側コイルの一端には、整流用ダイオード12のアノード端子が接続される。整流用ダイオード12のカソード端子と接地端子間には出力キャパシタC1が接続されている。第2抵抗R2は、2次側コイルに流れる電流の経路上に設けられており、一端が接地され、他端がトランス10の2次側コイルに接続される。この第2抵

抗R2の他端に現れる電圧を第2検出電圧 V_{x2} といい、この第2検出電圧 V_{x2} は、DC/DCコンバータ駆動IC110の2次側検出端子106に入力される。

[0032] スイッチングトランジスタTr1がオフすると、トランス10に蓄えられたエネルギーが整流用ダイオード12を介して出力キャパシタC1に転送される。このときトランス10の2次側コイルに流れる電流を I_{c2} とすると、第2検出電圧 V_{x2} は、 $V_{x2} = -I_{c2} \times R2$ で与えられる。

[0033] DC/DCコンバータ駆動IC110は、ひとつの半導体基板上に集積化された集積回路であって、駆動回路100の第1抵抗R1、第2抵抗R2を除いたその他の回路素子に加えて、発光制御部214bを含んでいる。DC/DCコンバータ駆動IC110は、入出力端子として出力端子102、1次側検出端子104、2次側検出端子106、発光制御端子108を備える。

[0034] DC/DCコンバータ駆動IC110は、出力端子102からスイッチングトランジスタTr1のゲート端子に印加すべきスイッチング信号 V_{sw} を出力する。また、1次側検出端子104、2次側検出端子106は、それぞれトランス10の1次側および2次側コイルに流れる電流を検出するための端子である。発光制御端子108は、発光素子212の発光を制御する発光制御信号SIG20を出力するための端子である。

[0035] DC/DCコンバータ駆動IC110は、第1電圧比較器20、第2電圧比較器22、レベルシフト回路24、スイッチング制御部30を備える。

第1電圧比較器20は、1次側検出端子104から入力された第1検出電圧 V_{x1} と、所定の第1しきい値電圧 V_{th1} とを比較し、 $V_{x1} > V_{th1}$ のときハイレベル、 $V_{x1} < V_{th1}$ のときローレベルとなる出力信号SIG1を出力する。

上述のように、第1検出電圧 V_{x1} は、トランス10の1次側コイルに流れる電流 I_{c1} に比例するため、第1電圧比較器20の出力信号SIG1は、1次側コイルに流れる電流 I_{c1} が、 $I_{th1} = V_{th1} / R1$ で与えられる第1しきい値電流 I_{th1} に達するとハイレベルとなる。

[0036] また、第2電圧比較器22は、トランス10の2次側コイルに流れる電流 I_{c2} が、第2しきい値電流 I_{th2} となったことを検出する。本実施の形態において、第2しきい値電流 I_{th2} の値は、0A付近の電流となるように設定される。

レベルシフト回路24は、抵抗R20、R21を含む。レベルシフト回路24は、2次側検出端子106から入力された第2検出電圧 V_{x2} を正方向にシフトする。2次側検出端子106に入力される第2検出電圧 V_{x2} は、抵抗R20を介して第2電圧比較器22の反転入力端子に入力される。また、この反転入力端子には、基準電圧 V_{ref} が抵抗R21を介して入力される。第2電圧比較器22の入力インピーダンスが十分に高く、 $R20 = R21$ が成り立つとき、レベルシフト回路24の出力電圧 V_{x2}' は、 $V_{x2}' = (V_{x2} + V_{ref}) / 2$ で与えられる。

[0037] 第2電圧比較器22の反転入力端子には、レベルシフト回路24から出力されるレベルシフトされた第2検出電圧 V_{x2}' が入力される。また、非反転入力端子には、基準電圧 V_{ref} が抵抗R22、R23により分圧された第2しきい値電圧 V_{th2} が入力される。第2しきい値電圧 V_{th2} は、 $R22 = R23$ のとき、 $V_{th2} = V_{ref} / 2$ となる。第2電圧比較器22は、レベルシフト回路24の出力電圧 V_{x2}' と、所定の第2しきい値電圧 V_{th2} を比較する。第2電圧比較器22の出力電圧 V_{x3} は、 $V_{x2}' < V_{th2}$ のとき、すなわち、 $V_{x2} < 0$ のときハイレベルとなり、 $V_{x2}' > V_{th2}$ のとき、すなわち、 $V_{x2} > 0$ のときローレベルとなる。このようにして、第2しきい値電流 I_{th2} は0Aに設定される。

[0038] スイッチング制御部30は、第1電圧比較器20、第2電圧比較器22の出力にもとづいてスイッチングトランジスタTr1のオンオフを制御する。

スイッチング制御部30は、第1検出電圧 V_{x1} が第1しきい値電圧 V_{th1} を超えると、すなわち、トランス10の1次側コイルに流れる電流 I_{c1} が第1しきい値電流 I_{th1} に達すると、スイッチングトランジスタTr1をオフする。

[0039] また、スイッチング制御部30は、レベルシフト回路24の出力である第2検出電圧 V_{x2}' が第2しきい値電圧 V_{th2} を超えてから、すなわち、トランス10の2次側コイルに流れる電流 I_{c2} が第2しきい値電流 $I_{th2} = 0A$ に達してから、所定の遅延時間経過後にスイッチングトランジスタTr1をオンする。

[0040] 第1電圧比較器20の出力信号SIG1は、インバータ32により反転される。インバータ32の出力信号SIG2は、RSフリップフロップ34のセット端子に入力される。RSフリップフロップ34の出力信号SIG3は、インバータ36により反転される。インバータ36の出力信号SIG4は、Dフリップフロップ40のプリセット端子に入力される。また、RS

フリップフロップ34の出力信号SIG3は、NORゲート50の入力端子の一方に入力される。NORゲート50のもう一方の入力端子には、自励式DC/DCコンバータ210全体のオンオフを制御するイネーブル信号ENが入力されている。DC/DCコンバータ駆動IC110は、イネーブル信号ENがハイレベルのとき、スイッチングトランジスタTr1を駆動して昇圧動作を行う。NORゲート50の出力信号SIG8は、NANDゲート44に入力される。

- [0041] スwitchング制御部30は、第2電圧比較器22の出力電圧V_{x3}を遅延せしめる遅延回路38を含み、遅延回路38の出力にもとづいてスイッチングトランジスタTr1をオンする。

遅延回路38は、ベース端子が第2電圧比較器22の出力に接続され、エミッタ接地されたトランジスタTr2と、トランジスタTr2のコレクタ端子と電源電圧端子間に設けられた抵抗R30と、トランジスタTr2のコレクタ端子と接地端子間に設けられたキャパシタC30と、を含む。第2検出電圧V_{x2}が0Vに達すると、第2電圧比較器22の出力電圧V_{x3}がローレベルとなる。このとき、トランジスタTr2がオフし、抵抗R30を介してキャパシタC30の充電が開始される。キャパシタC30の一端に現れる電圧V_{x4}は、CR時定数に従って上昇する。

- [0042] キャパシタC30の一端に現れる電圧V_{x4}は、Dフリップフロップ40のクロック端子へと入力される。Dフリップフロップ40のデータ端子は接地され、ローレベルに固定されている。また、Dフリップフロップ40のクリア端子には、イネーブル信号ENが入力される。イネーブル信号ENをクリア端子に入力することにより、DC/DCコンバータ駆動IC110を昇圧動作の開始ごとに初期化することができる。また、Dフリップフロップ40のプリセット端子には、インバータ36の出力信号SIG4が入力される。

- [0043] Dフリップフロップ40は、プリセット端子およびクリア端子にハイレベルが入力される期間において、クロック端子に入力される遅延回路38の出力電圧V_{x4}がハイレベルとなると、反転出力信号SIG5としてハイレベルを出力する。また、プリセット端子に入力されるインバータ36の出力がハイレベルからローレベルに切り替わると、反転出力信号SIG5としてローレベルを出力する。

- [0044] Dフリップフロップ40の反転出力信号SIG5は、ANDゲート42に入力される。AN

Dゲート42は、Dフリップフロップ40の反転出力信号SIG5とイネーブル信号ENの論理積をNANDゲート44へと出力する。NANDゲート44は、NORゲート50の出力とANDゲート42の出力の否定論理積をインバータ46に出力する。インバータ46は、NANDゲート44の出力信号SIG9を反転する。インバータ46の出力であるスイッチング信号V_{sw}は、出力端子102を介してスイッチングトランジスタTr1のゲート端子に入力される。ANDゲート48には、ANDゲート42の出力信号SIG6とイネーブル信号ENが入力される。ANDゲート48の出力信号SIG7は、RSフリップフロップ34のリセット端子に入力される。

[0045] 発光制御部214bは、発光制御信号SIG20を生成し、IGBT214aのベース電圧を制御する。

[0046] 以上のように構成された発光装置200の動作について説明する。図3は、図2のDC/DCコンバータ駆動IC110の動作を示すタイムチャートである。各信号SIG1～SIG9は、図2に示す各信号に対応している。時刻T0以降において、イネーブル信号ENはハイレベルに設定されているものとする。

[0047] 時刻T0に、スイッチング信号V_{sw}がハイレベルとなっており、スイッチングトランジスタTr1はオンしている。スイッチングトランジスタTr1がオンすることにより、トランス10の1次側コイルに流れる電流I_{c1}が徐々に上昇し、時刻T1にV_{x1} > V_{th1}となる。

[0048] V_{x1} > V_{th1}となると、第1電圧比較器20の出力SIG1はローレベルからハイレベルに切り替わる。同時に、インバータ32の出力信号SIG2は、ハイレベルからローレベルに切り替わる。信号SIG2がハイレベルからローレベルに切り替わると、RSフリップフロップ34がセットされ、RSフリップフロップ34の出力信号SIG3はハイレベルとなる。信号SIG3がハイレベルになると、インバータ36の出力信号SIG4はローレベルとなり、Dフリップフロップ40がプリセットされ、Dフリップフロップ40の反転出力信号SIG5はローレベルとなる。ANDゲート42の出力信号SIG6は、イネーブル信号ENがハイレベルであるため、信号SIG5と同じ論理値をとる。

[0049] イネーブル信号ENがハイレベルのとき、NORゲート50は、RSフリップフロップ34の出力信号SIG3を反転するインバータとして機能する。したがって、時刻T1にRSフリップフロップ34の出力信号SIG3がハイレベルとなると、NORゲート50の出力信号

SIG8はハイレベルからローレベルに変化する。このとき、NANDゲート44の2つの入力信号SIG6、SIG8は、いずれもローレベルとなるため、NANDゲート44の出力信号SIG9はハイレベルとなる。その結果、時刻T1にインバータ46から出力されるスイッチング信号 V_{sw} はローレベルとなり、スイッチングトランジスタTr1がオフする。

[0050] 時刻T1にANDゲート42の出力信号SIG6がローレベルとなると、数ゲート分の遅延時間経過後の時刻T2に、ANDゲート48の出力信号SIG7は、ローレベルとなる。ANDゲート48の出力信号SIG7がハイレベルからローレベルに変化すると、RSフリップフロップ34がリセットされる。その結果、RSフリップフロップ34の出力信号SIG3は、すぐにローレベルに戻される。RSフリップフロップ34の出力信号SIG3がローレベルとなると、NORゲート50の出力信号SIG8はハイレベルとなる。また、インバータ36の出力信号SIG4、すなわち、Dフリップフロップ40のプリセット端子への入力もハイレベルとなる。

[0051] 時刻T1にスイッチングトランジスタTr1がオフすると、トランス10の2次側コイルに電流 I_{c2} が流れ始める。この電流 I_{c2} は、スイッチングトランジスタTr1がオフされた瞬間に最大となり、トランス10に蓄えられたエネルギーが減少するに従って徐々に小さくなる。その結果、第2抵抗R2に現れる第2検出電圧 V_{x2} は時間とともに徐々に上昇する。このとき、レベルシフト回路24の出力電圧 V_{x2}' も時間とともに上昇し、時刻T3に第2しきい値電圧 V_{th2} に達し、第2電圧比較器22の出力電圧 V_{x3} はハイレベルからローレベルに切り替わる。

[0052] 時刻T3に第2電圧比較器22の出力電圧 V_{x3} がローレベルとなると、遅延回路38の出力電圧 V_{x4} は時定数をもって上昇し始める。時刻T3から遅延時間 τ 経過後の時刻T4に、Dフリップフロップ40のクロック端子に入力された遅延回路38の出力電圧 V_{x4} が、ハイレベルとローレベルのしきい値電圧 V_t に達すると、Dフリップフロップ40の反転出力信号SIG5はハイレベルとなる。Dフリップフロップ40の反転出力信号SIG5がハイレベルとなると、ANDゲート42の出力信号SIG6、ANDゲート48の出力信号SIG7はいずれもハイレベルとなる。ANDゲート42の出力信号SIG6がハイレベルとなると、NANDゲート44の出力信号SIG9はローレベルとなり、インバータ46の出力信号、すなわちスイッチング信号 V_{sw} はハイレベルとなって、スイッチングトラ

ンジスタTr1は再びオンする。

- [0053] このように、本実施の形態に係るDC/DCコンバータ駆動IC110では、トランス10の1次側コイル、2次側コイルに流れる電流 I_{c1} 、 I_{c2} をそれぞれ検出して、スイッチングトランジスタTr1のオンオフを切り替える。スイッチングトランジスタTr1のオンオフを切り替えることにより、出力キャパシタC1には電荷が蓄えられていき、出力電圧 V_{out} が上昇していく。出力電圧 V_{out} が所望の電圧値まで上昇すると、発光制御部214bは、図1の撮像部316による撮像と同期して発光制御信号SIG20をハイレベルに切り替える。その結果、IGBT214aがオンし、発光素子212であるキセノンランプがフラッシュとして発光する。
- [0054] 本実施の形態に係るDC/DCコンバータ駆動IC110は、時刻T3に2次側コイルに流れる電流 I_{c2} が0A付近に設定された第2しきい値電流 I_{th2} に達してから、所定の遅延時間 τ 経過後の時刻T4に、スイッチングトランジスタTr1をオンする。その結果、トランス10にエネルギーが残留した状態で、再度スイッチングトランジスタTr1がオンするのを防止することができるため、効率を改善することができる。
- [0055] 遅延回路38において発生する遅延時間 τ は、整流用ダイオード12の逆回復時間以上となるように設定するのが望ましい。この遅延時間 τ は、スイッチングレギュレータの電源効率が最大となるように、実験的に定めてもよい。遅延時間 τ は、遅延回路38のキャパシタC30、抵抗R30の値を調節することにより所望の値に設定することができる。
- [0056] 図4は、スイッチング制御部30の変形例を示す回路図である。図4のスイッチング制御部30は、図2の遅延回路38に代えて、第2電圧比較器22の出力電圧 V_{x3} を反転するインバータ52を備え、さらにANDゲート42の出力端子と接地端子間にキャパシタC31を備える。図4において、図2と同一または同等の構成要素および信号には同一の符号を付し、適宜説明を省略する。
- [0057] 図4のスイッチング制御部30において、第2電圧比較器22の出力電圧 V_{x3} は、インバータ52によって反転され、Dフリップフロップ40のクロック端子に入力される。その結果、トランス10の2次側コイルに流れる電流 I_{c2} がしきい値電流に達し、第2電圧比較器22の出力電圧 V_{x3} がハイレベルからローレベルへ遷移するとすぐに、Dフリップ

プフロップ40の反転出力信号SIG5はハイレベルとなる。

Dフリップフロップ40の反転出力信号SIG5は、次にDフリップフロップ40がプリセットされるまでの期間、ハイレベルを維持し続ける。すなわち、Dフリップフロップ40は、第2電圧比較器22の出力電圧 V_{x3} をラッチするラッチ回路として機能する。

[0058] Dフリップフロップ40の反転出力信号SIG5がローレベルからハイレベルに遷移すると、ANDゲート42の出力信号SIG6も、ローレベルからハイレベルに遷移しようとする。このとき、ANDゲート42は、その出力をローレベルからハイレベルに遷移させるために、キャパシタC31を充電する。その結果、ANDゲート42の出力信号SIG6は、キャパシタC31によって時定数をもって上昇していく。その後、NANDゲート44のローレベルとハイレベルのしきい値電圧に達すると、NANDゲート44の出力信号SIG9は、ハイレベルからローレベルへと変化する。このように、Dフリップフロップ40の出力が変化してから、NANDゲート44の出力が変化するまでの間に遅延が発生する。すなわち、NANDゲート44とキャパシタC31は遅延回路を構成している。

[0059] トランス10の巻き数や結合係数によっては、スイッチングトランジスタTr1がオフの状態において、トランス10の2次側コイルに流れる電流 I_{c2} が0A付近でリングングする場合がある。このような場合、レベルシフト回路24の出力電圧 $V_{x2'}$ が第2しきい値電圧 V_{th2} 付近で変動することになるため、第2電圧比較器22の出力電圧 V_{x3} が一度ハイレベルからローレベルへと遷移した後に、再びハイレベルに戻ってしまい、スイッチングトランジスタTr1が次にオンするまでの時間が長くなってしまいう問題が発生する。

[0060] 図4のスイッチング制御部30によれば、Dフリップフロップ40の後段にNANDゲート44およびキャパシタC31で構成される遅延回路を配置しているため、一度、第2電圧比較器22の出力電圧 V_{x3} がハイレベルからローレベルへと遷移すると、その状態がDフリップフロップ40によってラッチされる。遅延回路は、このDフリップフロップ40の反転出力信号SIG5に対して遅延時間を与えることにより、トランス10の2次側コイルに流れる電流 I_{c2} がリングングした場合でも、所定の遅延時間経過後にスイッチングトランジスタTr1をオンすることができる。

[0061] 上記実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せに

いろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

[0062] 実施の形態において、DC／DCコンバータは、発光素子212を駆動する場合について説明したが、これには限定されず、その他の高電圧を必要とするさまざまな負荷回路を駆動することができる。

[0063] また、本実施の形態において、ハイレベル、ローレベルの論理値の設定は一例であって、インバータなどによって適宜反転させることにより自由に変更することが可能である。

[0064] 実施の形態にもとづき、本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎないことはいうまでもなく、実施の形態には、請求の範囲に規定された本発明の思想を離脱しない範囲において、多くの変形例や配置の変更が可能であることはいうまでもない。

産業上の利用可能性

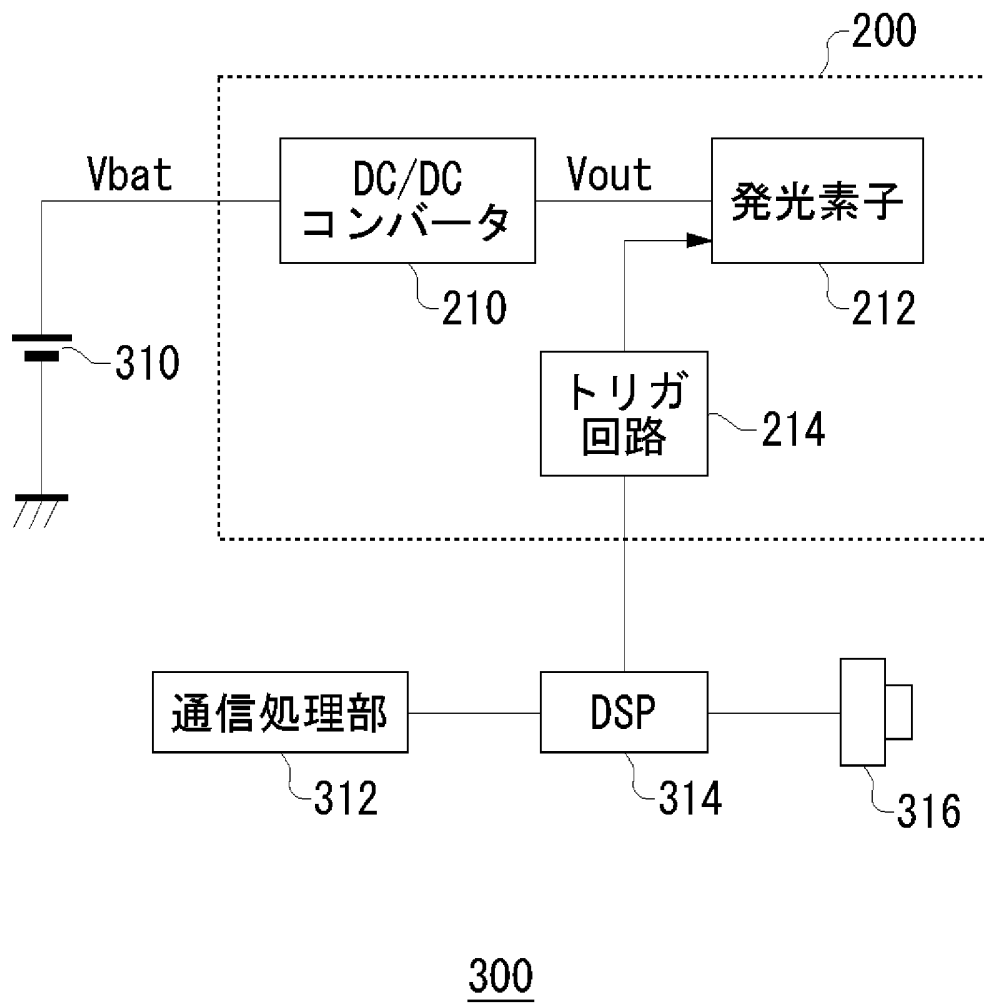
[0065] 本発明に係るDC／DCコンバータの駆動回路によれば、変換効率を改善することができる。

請求の範囲

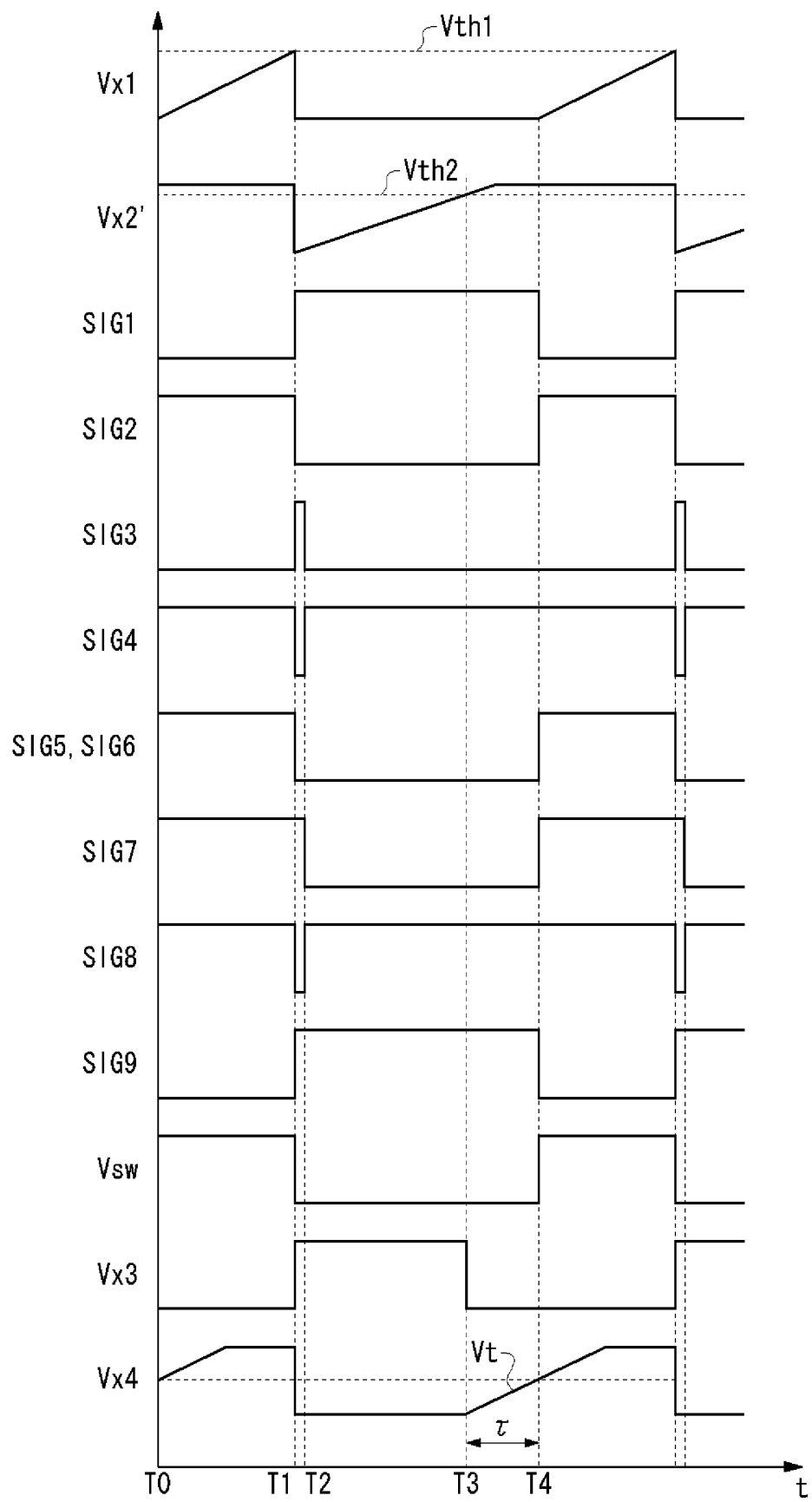
- [1] DC/DCコンバータのスイッチングトランジスタのオンオフを制御する駆動回路であって、
- 前記スイッチングトランジスタに接続されるトランスの1次側コイルに流れる電流の経路上に設けられ、一端が接地された第1抵抗と、
- 前記第1抵抗の他端に現れる第1検出電圧と、所定の第1しきい値電圧とを比較する第1電圧比較器と、
- 前記トランスの2次側コイルに流れる電流の経路上に設けられ、一端が接地された第2抵抗と、
- 前記第2抵抗の他端に現れる第2検出電圧を正方向にシフトするレベルシフト回路と、
- 前記レベルシフト回路の出力電圧と、所定の第2しきい値電圧を比較する第2電圧比較器と、
- 前記第1、第2電圧比較器の出力にもとづいて前記スイッチングトランジスタのオンオフを制御するスイッチング制御部と、を備え、
- 前記スイッチング制御部は、前記第1検出電圧が前記第1しきい値電圧を超えると、前記スイッチングトランジスタをオフし、前記レベルシフト回路の出力電圧が前記第2しきい値電圧を超えてから所定の遅延時間経過後に前記スイッチングトランジスタをオンすることを特徴とする駆動回路。
- [2] 前記スイッチング制御部は、
- 前記第2電圧比較器の出力を遅延せしめる遅延回路を含み、当該遅延回路の出力にもとづいて前記スイッチングトランジスタをオンすることを特徴とする請求項1に記載の駆動回路。
- [3] 前記遅延回路は、
- ベース端子が前記第2電圧比較器の出力に接続され、エミッタ接地されたトランジスタと、
- 前記トランジスタのコレクタ端子と電源電圧端子間に設けられた抵抗と、
- 前記トランジスタのコレクタ端子と接地端子間に設けられたキャパシタと、

- を含むことを特徴とする請求項2に記載の駆動回路。
- [4] 前記スイッチング制御部は、
前記第2電圧比較器の出力をラッチするラッチ回路と、
前記ラッチ回路の出力を遅延せしめる遅延回路と、
を含み、前記遅延回路の出力にもとづいて前記スイッチングトランジスタをオンすることを特徴とする請求項1に記載の駆動回路。
- [5] 前記遅延回路は、
前記ラッチ回路の後段に設けられた論理ゲートと、
前記論理ゲートの入力端子と、接地端子間に設けられたキャパシタと、
を含むことを特徴とする請求項4に記載の駆動回路。
- [6] 前記第1電圧比較器、前記レベルシフト回路、前記第2電圧比較器、前記スイッチング制御部は一体集積化されたことを特徴とする請求項1に記載の駆動回路。
- [7] スwitchングトランジスタを含み、当該スイッチングトランジスタのオンオフにより昇圧動作が制御されるDC/DCコンバータ出力回路と、
前記スイッチングトランジスタのオンオフを制御する請求項1から6のいずれかに記載の駆動回路と、
前記DC/DCコンバータ出力回路の出力電圧により駆動される発光素子と、
を備えることを特徴とする発光装置。
- [8] 撮像部と、
前記撮像部による撮像の際、フラッシュとして用いられる請求項7に記載の発光装置と、
を備え、前記発光装置は、電池電圧を昇圧して前記発光素子を駆動することを特徴とする電池駆動型の電子機器。

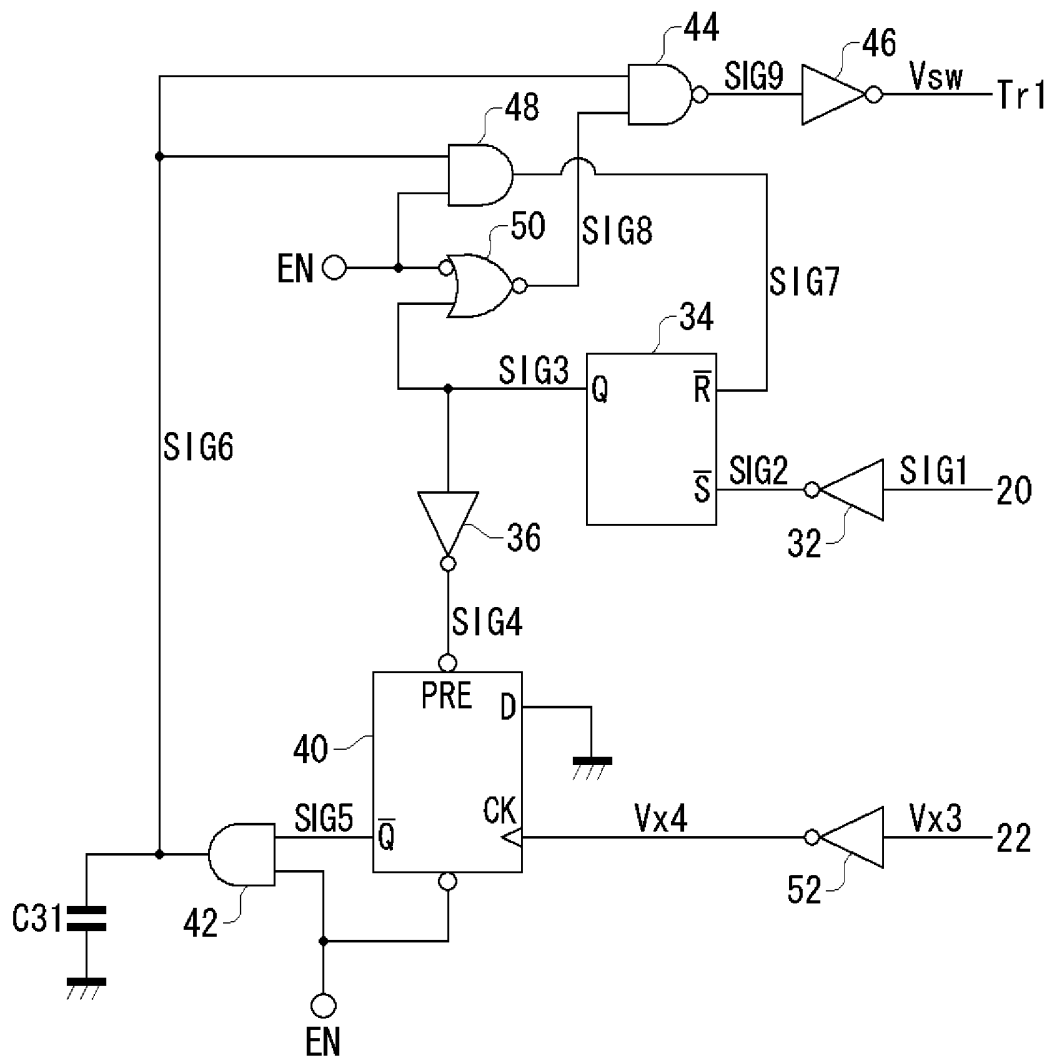
[図1]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/311837

A. CLASSIFICATION OF SUBJECT MATTER H02M3/28(2006.01)i, G03B15/02(2006.01)i, G03B15/03(2006.01)i, G03B15/05(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H02M3/28, G03B15/02, G03B15/03, G03B15/05 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-130602 A (Olympus Corp.), 19 May, 2005 (19.05.05), Par. Nos. [0002] to [0025]; Figs. 1, 2, 7 to 9 (Family: none)	1-8
Y	JP 2003-259641 A (Koito Manufacturing Co., Ltd.), 12 September, 2003 (12.09.03), Par. Nos. [0031] to [0034]; Figs. 2, 5 & US 2003/0214251 A1 & DE 10309189 A1	1-8
Y	JP 2004-364433 A (Koito Manufacturing Co., Ltd.), 24 December, 2004 (24.12.04), Par. Nos. [0004] to [0029]; Fig. 2 & US 2004/0246750 A1 & DE 102004027373 A1	1-8
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 11 September, 2006 (11.09.06)		Date of mailing of the international search report 19 September, 2006 (19.09.06)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/311837

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-315335 A (Canon Inc.), 25 October, 2002 (25.10.02), Full text; all drawings (Family: none)	6-8
Y	JP 2004-071428 A (Canon Inc.), 04 March, 2004 (04.03.04), Full text; all drawings (Family: none)	6-8
Y	JP 2005-065498 A (Linear Technology Corp.), 10 March, 2005 (10.03.05), Full text; all drawings & US 6518733 B1 & EP 1508961 A1	1-8

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H02M3/28(2006.01)i, G03B15/02(2006.01)i, G03B15/03(2006.01)i, G03B15/05(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H02M3/28, G03B15/02, G03B15/03, G03B15/05			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 0 6 年 日本国実用新案登録公報 1 9 9 6 - 2 0 0 6 年 日本国登録実用新案公報 1 9 9 4 - 2 0 0 6 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	JP 2005-130602 A（オリンパス株式会社）2005.05.19, 段落【0002】 - 【0025】、第1, 2, 7-9 図（ファミリーなし）	1-8	
Y	JP 2003-259641 A（株式会社小糸製作所）2003.09.12, 段落【0031】 - 【0034】、第2, 5 図 & US 2003/0214251 A1 & DE 10309189 A1	1-8	
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 1 1 . 0 9 . 2 0 0 6		国際調査報告の発送日 1 9 . 0 9 . 2 0 0 6	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 杉浦 貴之	3 V 3 3 2 8
		電話番号 03-3581-1101 内線 3358	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2004-364433 A (株式会社小糸製作所) 2004. 12. 24, 段落【0004】 - 【0029】、第2図 & US 2004/0246750 A1 & DE 102004027373 A1	1-8
Y	JP 2002-315335 A (キャノン株式会社) 2002. 10. 25, 全文、全図 (ファミリーなし)	6-8
Y	JP 2004-071428 A (キャノン株式会社) 2004. 03. 04, 全文、全図 (ファミリーなし)	6-8
Y	JP 2005-065498 A (リニアール テクノロジー コーポレーション) 2005. 03. 10, 全文、全図 & US 6518733 B1 & EP 1508961 A1	1-8