

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020年1月2日 (02.01.2020)



(10) 国际公布号
WO 2020/001200 A1

- (51) 国际专利分类号:
G09G 3/3266 (2016.01) *G11C 19/28* (2006.01)
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2019/087835
- (22) 国际申请日: 2019年5月21日 (21.05.2019)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201810691092.0 2018年6月28日 (28.06.2018) CN
- (71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路10号,
Beijing 100015 (CN)。
- (72) 发明人: 郑灿(**ZHENG, Can**); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (**LIU, SHEN & ASSOCIATES**); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(54) **Title:** SHIFT REGISTER AND DRIVING METHOD, GATE DRIVING CIRCUIT AND DISPLAY DEVICE

(54) 发明名称: 移位寄存器及驱动方法、栅极驱动电路和显示装置

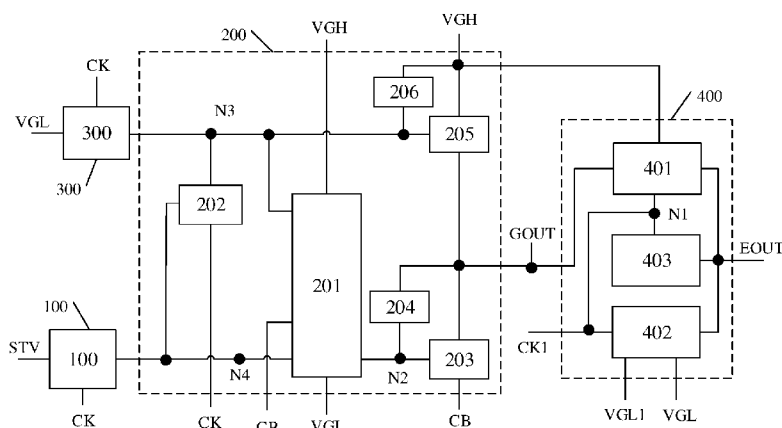


图 1

(57) **Abstract:** A shift register and a driving method, a gate driving circuit and a display device. The shift register comprises: an input circuit (100), which is electrically connected to an input voltage terminal (STV) and a first clock signal terminal (CK), respectively, and is configured to input, under the control of a first clock signal provided by the first clock signal terminal (CK), an input voltage provided by the input voltage terminal (STV) to an intermediate circuit (200); the intermediate circuit (200), which is electrically connected to an intermediate output terminal (GOUT), a first power supply terminal (VGH), a second power supply terminal (VGL), the first clock signal terminal (CK) and a second clock signal terminal (CB), respectively, and is configured to write, under the control of the input voltage and a control circuit (300), into the intermediate output terminal (GOUT) a second clock signal outputted by the second clock signal terminal (CB) or a first power signal outputted by the first power supply terminal (VGH) so as to serve as an intermediate output signal; an output circuit (400), which is electrically connected to the first power supply terminal (VGH), the second power supply terminal (VGL), a third power supply terminal (VGL1), a third clock signal terminal (CK1), the intermediate output terminal (GOUT)

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

and an output terminal (EOUT), respectively, and is configured to output an output signal inverted from the intermediate output signal. The shift register can improve the display quality of a display panel.

(57) 摘要: 一种移位寄存器及驱动方法、栅极驱动电路和显示装置。该移位寄存器包括: 输入电路(100), 分别与输入电压端(STV)和第一时钟信号端(CK)电连接, 被配置为在第一时钟信号端(CK)提供的第一时钟信号的控制下, 将输入电压端(STV)提供的输入电压输入到中间电路(200); 中间电路(200), 分别与中间输出端(GOUT)、第一电源端(VGH)、第二电源端(VGL)、第一时钟信号端(CK)和第二时钟信号端(CB)电连接, 且被配置为在输入电压和控制电路(300)的控制下, 将第二时钟信号端(CB)输出的第二时钟信号或第一电源端(VGH)输出的第一电源信号写入中间输出端(GOUT)作为中间输出信号; 输出电路(400), 分别与第一电源端(VGH)、第二电源端(VGL)、第三电源端(VGL1)、第三时钟信号端(CK1)、中间输出端(GOUT)和输出端(EOUT)电连接, 且被配置为输出与中间输出信号反相的输出信号。该移位寄存器可以提升显示面板的显示质量。

移位寄存器及驱动方法、栅极驱动电路和显示装置

本申请要求于 2018 年 6 月 28 日递交的中国专利申请第 201810691092.0
5 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

技术领域

本公开的实施例涉及一种移位寄存器及驱动方法、栅极驱动电路和显示
10 装置。

背景技术

随着显示技术的飞速发展，显示面板越来越向着高集成度和低成本的方向发展。栅极驱动电路基板（Gate-driver on Array, GOA）技术是通过光刻
15 工艺将栅极驱动电路直接集成在显示装置的阵列基板上，GOA 电路通常包括多个级联的移位寄存器，每个移位寄存器均对应于一行像素所对应的栅线（例如，每个移位寄存器给与一行像素均连接的栅线提供扫描驱动信号），以实现
20 对显示面板的扫描驱动。GOA 技术可以节省栅极集成电路（Integrated Circuit, IC）的绑定（Bonding）区域以及扇出（Fan-out）区域的空间，从而实现显示面板的窄边框，同时可以降低产品成本、提高产品的良率。

发明内容

本公开至少一实施例提供一种移位寄存器，包括：输入电路、控制电路、
中间电路和输出电路，所述输入电路，分别与输入电压端和第一时钟信号端
25 电连接，被配置为在所述第一时钟信号端提供的第一时钟信号的控制下，将所述输入电压端提供的输入电压输入到所述中间电路；所述中间电路，分别与中间输出端、第一电源端、第二电源端、所述第一时钟信号端和第二时钟
30 信号端电连接，且被配置为在所述输入电压和所述控制电路的控制下，将所述第二时钟信号端输出的第二时钟信号或所述第一电源端输出的第一电源信号写入所述中间输出端作为中间输出信号；所述输出电路，分别与所述第一

电源端、所述第二电源端、第三电源端、第三时钟信号端、所述中间输出端和输出端电连接，且被配置为在所述输出端输出与所述中间输出信号反相的输出信号。

例如，在本公开一实施例提供的移位寄存器中，所述输出电路包括第一输出子电路、第二输出子电路和第一存储电路，所述第一输出子电路分别与
5 所述第一电源端、所述中间输出端、所述输出端和第一节点电连接，且被配置为：在输出阶段，在所述中间输出信号的控制下，将所述第一电源信号写入所述输出端；所述第二输出子电路分别与所述第二电源端、所述第三电源端、所述第三时钟信号端、所述第一节点和所述输出端电连接，且被配置为：
10 在输入阶段、缓冲阶段和稳定阶段，在所述第三时钟信号端输出的第三时钟信号的控制下将所述第二电源端提供的第二电源信号写入所述输出端；所述第一存储电路分别与所述第一节点和所述输出端电连接。

例如，在本公开一实施例提供的移位寄存器中，所述第一输出子电路包括第一晶体管和第二晶体管，所述第一晶体管的第一极与所述第一电源端电
15 连接，所述第一晶体管的第二极与所述第一节点电连接，所述第一晶体管的栅极与所述中间输出端电连接，所述第二晶体管的第一极与所述第一电源端电连接，所述第二晶体管的第二极与所述输出端电连接，所述第二晶体管的栅极与所述中间输出端电连接；所述第二输出子电路包括第三晶体管和第四晶体管，所述第三晶体管的第一极与所述第一节点电连接，所述第三晶体管的
20 第二极与所述第三电源端电连接，所述第三晶体管的栅极与所述第三时钟信号端电连接，所述第四晶体管的第一极与所述输出端电连接，所述第四晶体管的第二极与所述第二电源端电连接，所述第四晶体管的栅极与所述第一节点电连接；所述第一存储电路包括第一电容，所述第一电容的第一端与所述第一节点电连接，所述第一电容的第二端与所述输出端电连接。

例如，在本公开一实施例提供的移位寄存器中，所述第三电源端被配置为提供第三电源信号，所述第二电源信号大于所述第三电源信号。

例如，在本公开一实施例提供的移位寄存器中，所述第二电源信号和所述第三电源信号之间的关系表示为：

$$VL-VL1 > |V_{th10} + V_{th12}|$$

30 其中，VL表示所述第二电源信号，VL1表示所述第三电源信号，Vth10

表示所述第三晶体管的阈值电压， V_{th12} 表示所述第四晶体管的阈值电压。

例如，在本公开一实施例提供的移位寄存器中，所述中间电路被配置为：在所述输入阶段，在所述输入电压控制下，将所述第二时钟信号写入所述中间输出端作为所述中间输出信号；在所述输出阶段和所述缓冲阶段，将所述第二时钟信号写入所述中间输出端作为所述中间输出信号；以及在所述稳定阶段，在所述控制电路的控制下，将所述第一电源信号写入所述中间输出端作为所述中间输出信号。

例如，在本公开一实施例提供的移位寄存器中，所述中间电路包括：第一控制子电路，分别与第二节点、第三节点、第四节点、所述第一电源端、所述第二电源端和所述第二时钟信号端电连接，被配置为：在所述输入阶段，将所述输入电压写入所述第二节点；以及在所述稳定阶段，将所述第一电源信号写入所述第二节点；第二控制子电路，分别与所述第三节点、所述第四节点和所述第一时钟信号端电连接，被配置为将所述第一时钟信号写入所述第三节点；中间输出子电路，分别与所述第二节点、所述中间输出端和所述第二时钟信号端电连接，被配置为：在所述输入阶段、所述输出阶段和所述缓冲阶段，将所述第二时钟信号写入所述中间输出端作为所述中间输出信号。

例如，在本公开一实施例提供的移位寄存器中，所述第一控制子电路包括第五晶体管、第六晶体管和第七晶体管，所述第五晶体管的第一极与所述第一电源端电连接，所述第五晶体管的第二极与所述第六晶体管的第一极电连接，所述第五晶体管的栅极与所述第三节点电连接；所述第六晶体管的第二极与所述第四节点电连接，所述第六晶体管的栅极与所述第二时钟信号端电连接；所述第七晶体管的第一极与所述第四节点电连接，所述第七晶体管的第二极与所述第二节点电连接，所述第七晶体管的栅极与所述第二电源端电连接。

例如，在本公开一实施例提供的移位寄存器中，所述第二控制子电路包括第八晶体管，所述第八晶体管的第一极与所述第三节点电连接，所述第八晶体管的第二极与所述第一时钟信号端电连接，所述第八晶体管的栅极与所述第四节点电连接。

例如，在本公开一实施例提供的移位寄存器中，所述中间输出子电路包括第九晶体管，所述第九晶体管的第一极与所述第二时钟信号端电连接，所

述第九晶体管的第二极与所述中间输出端电连接，所述第九晶体管的栅极与
所述第二节点电连接。

例如，在本公开一实施例提供的移位寄存器中，所述中间电路还包括：
第二存储子电路，所述第二存储子电路包括第二电容，所述第二电容的第一
5 端与所述第二节点电连接，所述第二电容的第二端与所述中间输出端电连接。

例如，在本公开一实施例提供的移位寄存器中，所述中间电路还包括：
中间输出控制子电路，分别与所述第三节点、所述中间输出端和所述第一电
源端电连接，被配置为：在所述稳定阶段，在所述控制电路的控制下，将所
述第一电源信号写入所述中间输出端；以及第三存储子电路，分别与所述第
10 三节点和所述第一电源端电连接。

例如，在本公开一实施例提供的移位寄存器中，所述中间输出控制子电
路包括第十晶体管，所述第三存储子电路包括第三电容，所述第十晶体管
的第一极与所述第一电源端电连接，所述第十晶体管的第二极与所述中间输
出端电连接，所述第十晶体管的栅极与所述第三节点电连接；所述第三电容
15 的第一端与所述第三节点电连接，所述第三电容的第二端与所述第一电源端
电连接。

例如，在本公开一实施例提供的移位寄存器中，所述第二时钟信号的高
电平与所述第一电源信号的电平相同，所述第二时钟信号的低电平与所述第
二电源信号的电平相同。

例如，在本公开一实施例提供的移位寄存器中，所述控制电路包括第十
20 一晶体管，所述第十一晶体管的第一极与所述第二电源端电连接，所述第十
一晶体管的第二极与所述第三节点电连接，所述第十一晶体管的栅极与所
述第一时钟信号端电连接。

例如，在本公开一实施例提供的移位寄存器中，所述第三时钟信号端输
25 出的时钟信号的高电平与所述第一电源信号的电平相同，所述第三时钟信
号端输出的时钟信号的低电平与所述第三电源信号的电平相同。

例如，在本公开一实施例提供的移位寄存器中，所述输入电路包括第十
二晶体管，所述第十二晶体管的第一极与所述输入电压端电连接，所述第十
二晶体管的第二极与所述第四节点电连接，所述第十二晶体管的栅极与所
30 述第一时钟信号端电连接。

本公开至少一实施例还提供一种栅极驱动电路，包括如上述任一项所述的移位寄存器。

例如，在本公开一实施例提供的栅极驱动电路中，包括级联的多个上述任一项所述的移位寄存器，除第一级移位寄存器之外，本级移位寄存器的输入电压端与上一级移位寄存器的中间输出端电连接。

例如，本公开一实施例提供的栅极驱动电路还包括信号生成电路，所述信号生成电路被配置为生成第一控制信号、第二控制信号、第三控制信号和第四控制信号，所述第一控制信号被施加至第 $2N-1$ 级移位寄存器的所述第一时钟信号端和第 $2N$ 级移位寄存器的所述第二时钟信号端；所述第二控制信号被施加至所述第 $2N-1$ 级移位寄存器的所述第二时钟信号端和所述第 $2N$ 级移位寄存器的所述第一时钟信号端；所述第三控制信号被施加至所述第 $2N-1$ 级移位寄存器的所述第三时钟信号端；所述第四控制信号被施加至所述第 $2N$ 级移位寄存器的所述第三时钟信号端；其中， N 为正整数，且 N 大于等于 1。

本公开至少一实施例还提供一种显示装置，包括本公开任一实施例提供的栅极驱动电路。

本公开至少一实施例还提供一种移位寄存器的驱动方法，包括：在所述输入电压和所述控制电路的控制下，将所述第二时钟信号端输出的所述第二时钟信号或所述第一电源端输出的所述第一电源信号写入所述中间输出端作为所述中间输出信号；在所述中间输出信号和所述第三时钟信号端输出的所述第三时钟信号的控制下，在所述输出端输出与所述中间输出信号反相的输出信号。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。

图 1 为本公开一些实施例提供的一种移位寄存器的示意性框图；

图 2 为本公开一些实施例提供的一种移位寄存器的一种具体实现示例的电路结构示意图；

图 3 为本公开一些实施例提供的一种移位寄存器的驱动时序图；

图 4 为本公开一些实施例提供的一种栅极驱动电路的示意性框图；

图 5 为本公开一些实施例提供的一种栅极驱动电路的结构示意；

图 6 为本公开一些实施例提供的一种栅极驱动电路的驱动时序图；

5 图 7 为本公开一些实施例提供的一种显示面板的示意图；

图 8 为本公开一些实施例提供的一种驱动方法的流程图。

具体实施方式

10 为了使得本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

15 除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、
20 “下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

为了保持本公开实施例的以下说明清楚且简明，本公开省略了已知功能和已知部件的详细说明。

25 目前，在有机发光二极管显示面板（OLED）和液晶显示面板（LCD）中，在栅极驱动电路的移位寄存器中的晶体管为 P 型薄膜晶体管，且栅极驱动电路（例如，GOA 电路）需要输出高脉冲信号的情况下，由于 P 型薄膜晶体管输出的低电平信号存在阈值损失，使得该 GOA 电路输出的高脉冲信号不准确，从而影响显示效果、降低显示质量。因此，如何设计结构简单且 P
30 型薄膜晶体管输出无阈值损失的低电平信号的 GOA 电路成为亟待解决的问题。

题。

本公开至少一实施例提供一种移位寄存器及栅极驱动电路，该移位寄存器通过增加第三电源端输出的直流电源信号，从而可以实现 P 型薄膜晶体管输出无阈值损失的低电平信号，提升显示面板的显示质量；另一方面，该移位寄存器的结构简单，生产成本较低。

下面结合附图对本公开的一些实施例进行详细说明，但是本公开并不限于这些具体的实施例。

图 1 为本公开一些实施例提供的一种移位寄存器的示意性框图，图 2 为本公开一些实施例提供的一种移位寄存器的一种具体实现示例的电路结构示意图。

本公开的实施例提供一种移位寄存器。例如，如图 1 所示，该移位寄存器包括输入电路 100、中间电路 200、控制电路 300 和输出电路 400。

例如，如图 1 所示，输入电路 100 分别与输入电压端 STV 和第一时钟信号端 CK 电连接，输入电路 100 还与中间电路 200 电连接。输入电压端 STV 被配置为提供输入电压 V_{in} ，第一时钟信号端 CK 被配置为提供第一时钟信号 V_{c1} 。输入电路 100 被配置为在第一时钟信号端 CK 提供的第一时钟信号 V_{c1} 的控制下，将输入电压端 STV 提供的输入电压 V_{in} 输入到中间电路 200。也就是说，当输入电路 100 在第一时钟信号 V_{c1} 的控制下导通时，使得输入电压端 STV 与中间电路 200 连接，输入电压 V_{in} 可以被传输至中间电路 200。

例如，如图 1 所示，中间电路 200 分别与中间输出端 GOUT、第一电源端 VGH、第二电源端 VGL、第一时钟信号端 CK 和第二时钟信号端 CB 电连接。第一电源端 VGH 被配置为提供第一电源信号 VH，第二电源端 VGL 被配置为提供第二电源信号 VL，第二时钟信号端 CB 被配置为输出第二时钟信号 V_{c2} 。中间电路 200 被配置为在输入电压 V_{in} 和控制电路 300 的控制下，将第二时钟信号端 CB 输出的第二时钟信号 V_{c2} 或第一电源端 VGH 输出的第一电源信号 VH 写入中间输出端 GOUT 作为中间输出信号 V_{GOUT} 。也就是说，在输入电压 V_{in} 和控制电路 300 的控制下，当中间电路 200 将第二时钟信号端 CB 和中间输出端 GOUT 导通时，第二时钟信号 V_{c2} 可以被写入中间输出端 GOUT 作为中间输出信号 V_{GOUT} ；或者，当中间电路 200 将第一电源端 VGH 和中间输出端 GOUT 导通，第一电源信号 VH 可以被写入中间输出端

GOUT 作为中间输出信号 V_{GOUT} 。

例如，如图 1 所示，控制电路 300 分别与第二电源端 VGL、第一时钟信号端 CK 和中间电路 200 电连接。控制电路 300 被配置为在第一时钟信号端 CK 提供的第一时钟信号 V_{c1} 的控制下，将第二电源端 VGL 输出的第二电源信号 VL 输出至中间电路 200。也就是说，当控制电路 300 在第一时钟信号 V_{c1} 的控制下导通时，使得第二电源端 VGL 和中间电路 200 连接，从而第二电源信号 VL 可以被传输至中间电路 200。

例如，如图 1 所示，输出电路 400 分别与第一电源端 VGH、第二电源端 VGL、第三电源端 VGL1、第三时钟信号端 CK1、中间输出端 GOUT 和输出端 EOUT 电连接。第三电源端 VGL1 被配置为提供第三电源信号 VL1，第三时钟信号端 CK1 被配置为提供第三时钟信号 V_{c3} 。输出电路 400 被配置为输出与中间输出信号 V_{GOUT} 反相的输出信号 V_{EOUT} 。例如，在中间输出信号 V_{GOUT} 和第三时钟信号 V_{c3} 的控制下，当输出电路 400 的连接第一电源端 VGH 的一端和连接输出端 EOUT 的一端相互导通时，输出电路 400 将第一电源信号 VH 传输至输出端 EOUT 以作为输出信号 V_{EOUT} 的高电平信号；而当输出电路 400 的连接第二电源端 VGL 的一端和连接输出端 EOUT 的一端相互导通时，输出电路 400 将第二电源信号 VL 传输至输出端 EOUT 以作为输出信号 V_{EOUT} 的低电平信号。

例如，第二电源信号 VL 大于第三电源信号 VL1，从而可以减少经由输出晶体管（例如，图 2 中所示的第四晶体管 T4）输出至输出端 EOUT 的第二电源信号 VL 的阈值损失。

例如，第一电源信号 VH、第二电源信号 VL 和第三电源信号 VL1 均为直流信号。第一电源信号 VH 为高电平信号（例如 5V、10V 或其他电压）；第二电源信号 VL 为低电平信号（例如 0V、-1V 或其他电压），第三电源信号 VL1 也为低电平信号（例如 -2V、-1V 或其他电压）。需要说明的是，低电平信号和高电平信号是相对而言的，低电平信号小于高电平信号。在不同的实施方式中，高电平信号的数值可能不同，低电平信号的数值也可能不同，只要第二电源信号 VL 大于第三电源信号 VL1 即可，本公开的实施例对此不作限制。

需要说明的是，本公开的实施例中采用的晶体管均可以为薄膜晶体管或

场效应晶体管或其他特性相同的开关器件。这里采用的晶体管的源极、漏极在结构上可以是对称的，所以其源极、漏极在结构上可以是没有区别的。在本公开的实施例中，为了区分晶体管除栅极之外的两极，直接描述了其中一极为第一极，另一极为第二极，所以本公开实施例中全部或部分晶体管的第一极和第二极根据需要是可以互换的。例如，本公开实施例所述的晶体管的第一极可以为源极，第二极可以为漏极；或者，晶体管的第一极为漏极，第二极为源极。此外，按照晶体管的特性区分可以将晶体管分为 N 型和 P 型晶体管。当晶体管为 P 型晶体管时，开启电压为低电平电压（例如，0V、-5V 或其他数值），关闭电压为高电平电压（例如，5V、10V 或其他数值）；当晶体管为 N 型晶体管时，开启电压为高电平电压（例如，5V、10V 或其他数值），关闭电压为低电平电压（例如，0V、-5V 或其他数值）。

例如，在本公开的一些实施例中，所有晶体管为 P 型晶体管。

例如，如图 1 所示，输出电路 400 可以包括第一输出子电路 401、第二输出子电路 402 和第一存储电路 403。

15 例如，第一输出子电路 401 分别与第一电源端 VGH、中间输出端 GOUT、输出端 EOUT 和第一节点 N1 电连接，且第一输出子电路 401 被配置为在输出阶段，在中间输出信号 V_{GOUT} 的控制下，将第一电源信号 VH 写入输出端 EOUT 以作为输出信号 V_{EOUT} 的高电平信号。

20 例如，第二输出子电路 402 分别与第二电源端 VGL、第三电源端 VGL1、第三时钟信号端 CK1、第一节点 N1 和输出端 EOUT 电连接，且第二输出子电路 402 被配置为在输入阶段、缓冲阶段和稳定阶段，在第三时钟信号端 CK1 输出的第三时钟信号 V_{c3} 的控制下将第二电源端 VGL 提供的第二电源信号 VL 写入输出端 EOUT 以作为输出信号 V_{EOUT} 的低电平信号。

例如，第一存储电路 403 分别与第一节点 N1 和输出端 EOUT 电连接。

25 例如，如图 2 所示，第一输出子电路 401 包括第一晶体管 T1 和第二晶体管 T2。第一晶体管 T1 的第一极与第一电源端 VGH 电连接以接收第一电源信号 VH，第一晶体管 T1 的第二极与第一节点 N1 电连接，第一晶体管 T1 的栅极与中间输出端 GOUT 电连接；第二晶体管 T2 的第一极与第一电源端 VGH 电连接以接收第一电源信号 VH，第二晶体管 T2 的第二极与所输出端
30 EOUT 电连接，第二晶体管 T2 的栅极与中间输出端 GOUT 电连接。

例如，第二输出子电路 402 包括第三晶体管 T3 和第四晶体管 T4，第三晶体管 T3 的第一极与第一节点 N1 电连接，第三晶体管 T3 的第二极与第三电源端 VGL1 电连接以接收第三电源信号 VL1，第三晶体管 T3 的栅极与第三时钟信号端 CK1 电连接以接收第三时钟信号 V_{c3} ；第四晶体管 T4 的第一极与输出端 EOUT 电连接，第四晶体管 T4 的第二极与第二电源端 VGL 电连接以接收第二电源信号 VL，第四晶体管 T4 的栅极与第一节点 N1 电连接。

例如，在该输出电路 400 中，由于第三电源端 VGL1 提供的第三电源电压 VL1 比第二电源电压 VL 小，该第三电源电压 VL1 可以控制第四晶体管 T4 的导通程度（例如，可以完全导通），当第四晶体管 T4 输出低电平的第二电源信号 VL 至输出端 EOUT 时，第二电源信号 VL 无阈值损失，即输出信号 V_{EOUT} 无阈值损失，从而实现 P 型晶体管无阈值损失输出低电平信号，提升显示面板的显示质量。

需要说明的是，图 2 中所示的输出电路 400 仅为示例性的实施方式，本公开实施例提供的输出电路 400 包括但不限于图 2 中所示的输出电路 400。

例如，第二电源信号 VL 和第三电源信号 VL1 之间的关系可以表示为：

$$VL - VL1 > |V_{th10} + V_{th12}|$$

其中， V_{th10} 表示第三晶体管 T3 的阈值电压， V_{th12} 表示第四晶体管 T4 的阈值电压。例如，当第三时钟信号 CK1 为低电平时，第三时钟信号 V_{c3} 的低电平例如与第三电源信号 VL1 的电平相等，即第三晶体管 T3 的栅极的电压为第三电源信号 VL1，则当第三晶体管 T3 的源极的电压低于 $VL1 - V_{th10}$ 时，第三晶体管 T3 截止，即第三晶体管 T3 的源极的电压最低可达到 $VL1 - V_{th10}$ 。也就是说，当第三晶体管 T3 导通，第三电源信号 VL1 被传输至第一节点 N1（即，第四晶体管 T4 的栅极），由于第三晶体管 T3 的传输阈值损失，且第三电源信号 VL1 为低电平信号，当第一节点 N1 的电压为 $VL1 - V_{th10}$ 时（此时，第三晶体管 T3 的栅源电压为 V_{th10} ），第三晶体管 T3 截止，无法继续传输低电平信号。由此，第三晶体管 T3 传输至第四晶体管 T4 的栅极的电压为 $VL1 - V_{th10}$ 。该电压（ $VL1 - V_{th10}$ ）可以控制第四晶体管 T4 导通，从而第二电源信号 VL 经由第四晶体管 T4 被传输至输出端 EOUT。由于第四晶体管 T4 的栅极的电压为 $VL1 - V_{th10}$ ，则当第四晶体管 T4 的源极的电压低于 $VL1 - V_{th10} - V_{th12}$ 时，第四晶体管 T4 截止，从而第四

晶体管 T4 的源极的电压最低可以为 $V_{L1}-V_{th10}-V_{th12}$ ，也就是说，当输出端 EOUT 的输出信号 V_{EOUT} 为 $V_{L1}-V_{th10}-V_{th12}$ （由于 V_{th10} 和 V_{th12} 均小于零，即 $V_{L1}-V_{th10}-V_{th12}=V_{L1}+|V_{th10}+V_{th12}|$ ）时，第四晶体管 T4 截止。当第二电源信号 VL 被完全传输至输出端 EOUT，即输出信号 V_{EOUT} 为第二电源信号 VL 时，第四晶体管 T4 的栅源电压 V_{gs12} 为 $V_{L1}-V_{th10}-VL$ ，由于 $VL-V_{L1}>|V_{th10}+V_{th12}|$ ，即 $V_{L1}-V_{th10}-VL<V_{th12}$ ，也就是说，该栅源电压 V_{gs12} 小于第四晶体管 T4 的阈值电压 V_{th12} ，因此，当输出信号 V_{EOUT} 为第二电源信号 VL 时，第四晶体管 T4 仍然处于开启状态，从而第二电源信号 VL 可以无损失地被传输至输出端 EOUT。

10 例如，在一个具体示例中，若第三晶体管 T3 的阈值电压 V_{th10} 为 $-0.5V$ ，第四晶体管 T4 的阈值电压 V_{th12} 为 $-0.5V$ ，第二电源信号 VL 为 $-4V$ ，第三电源信号 VL1 为 $-6V$ 。第三晶体管 T3 导通，第三电源信号 VL1 被传输至第一节点 N1，由于第三晶体管 T3 的传输阈值损失，第一节点 N1 的电压最低可以为 $-5.5V$ （即， $-6V-(-0.5)=-5.5V$ ），即当第一节点 N1 的电压为 $-5.5V$ 时，第三晶体管 T3 截止，第三电源信号 VL1 无法完全被传输至第一节点 N1。第四晶体管 T4 的栅极的电压为 $-5.5V$ ，由此，第四晶体管 T4 的源极的电压最低可以为 $-5V$ （即， $-5.5V-(-0.5)=-5V$ ）。此时，第四晶体管 T4 开启，第二电源信号 VL 经由第四晶体管 T4 被传输至输出端 EOUT，由于第四晶体管 T4 的源极的电压最低可以为 $-5V$ ，即当输出信号 V_{EOUT} 为 $-4V$ （即第二电源信号 VL）时，第四晶体管 T4 仍然处于开启状态，也就是说，第二电源信号 VL 可以无损失地被传输至输出端 EOUT。

综上，在本公开提供的移位寄存器可以无阈值损失地输出低电平的第二电源信号 VL 至输出端 EOUT。

25 例如，如图 2 所示，第一存储电路 403 包括第一电容 C1，第一电容 C1 的第一端与第一节点 N1 电连接，第一电容 C1 的第二端与输出端 EOUT 电连接。

30 例如，中间电路 200 被配置为：在输入阶段，在输入电压 V_{in} 控制下，将第二时钟信号 V_{c2} 写入中间输出端 GOUT 作为中间输出信号 V_{GOUT} ；在输出阶段和缓冲阶段，将第二时钟信号 V_{c2} 写入中间输出端 GOUT 作为中间输出信号 V_{GOUT} ；以及在稳定阶段，在控制电路 300 的控制下，将第一电源信

号 VH 写入中间输出端 GOUT 作为中间输出信号 V_{GOUT} 。例如，中间输出信号 V_{GOUT} 可以用于控制输出电路 400 中的例如第一输出子电路 401 导通或断开。

例如，如图 1 所示，中间电路 200 可以包括第一控制子电路 201、第二控制子电路 202、中间输出子电路 203、第二存储子电路 204、中间输出控制子电路 205 和第三存储子电路 206。例如，在本公开实施例中，下拉控制子电路为第一控制子电路 201 的一个示例，上拉控制子电路为第二控制子电路 202 的一个示例，中间输出上拉子电路为中间输出控制子电路 205 的一个示例，下面以第一控制子电路 201 为下拉控制子电路，第二控制子电路 202 为上拉控制子电路，中间输出控制子电路为中间输出上拉子电路为例进行说明，但是本公开的实施例不限于此，以下实施例与此相同，不再赘述。

例如，如图 1 所示，下拉控制子电路 201 分别与第二节点 N2、第三节点 N3、第四节点 N4、第一电源端 VGH、第二电源端 VGL 和第二时钟信号端 CB 电连接。下拉控制子电路 201 用于控制第二节点 N2 的电压，当第二节点 N2 的电压可以控制中间输出子电路 203 导通时，中间输出子电路 203 可以将第二时钟信号 V_{c2} 写入中间输出端 GOUT 以作为中间输出信号 V_{GOUT} 。例如，下拉控制子电路 201 被配置为：在输入阶段，将输入电压 V_{in} 写入第二节点 N2；以及在稳定阶段，将第一电源信号 VH 写入第二节点 N2。

例如，如图 1 所示，上拉控制子电路 202 分别与第三节点 N3、第四节点 N4 和第一时钟信号端 CK 电连接。上拉控制子电路 202 用于控制第三节点 N3 的电压，当第三节点 N3 的电压可以控制中间输出上拉子电路 205 导通时，中间输出上拉子电路 205 可以将第一电源信号 VH 写入中间输出端 GOUT，从而控制（例如，拉高）中间输出端 GOUT 的电位。例如，上拉控制子电路 202 被配置为将第一时钟信号 V_{c1} 写入第三节点 N3。

例如，如图 1 所示，中间输出子电路 203 分别与第二节点 N2、中间输出端 GOUT 和第二时钟信号端 CB 电连接。中间输出子电路 203 被配置为：在输入阶段、输出阶段和缓冲阶段，将第二时钟信号 V_{c2} 写入中间输出端 GOUT 作为中间输出信号 V_{GOUT} 。

例如，如图 1 所示，第二存储子电路 204 分别与第二节点 N2 和中间输出端 GOUT 电连接。第二存储子电路 204 用于维持第二节点 N2 处的电压。

例如，如图 1 所示，中间输出上拉子电路 205 分别与第三节点 N3、中间输出端 GOUT 和第一电源端 VGH 电连接。中间输出上拉子电路 205 被配置为：在稳定阶段，在控制电路 300 的控制下，将第一电源信号 VH 写入中间输出端 GOUT。第三存储子电路 206 分别与第三节点 N3 和第一电源端 VGH 电连接。中间输出上拉子电路 205 用于控制中间输出端 GOUT 的电位，例如，将中间输出端 GOUT 的电位拉高；第三存储子电路 206 用于维持第三节点 N3 处的电压。

例如，如图 2 所示，下拉控制子电路 201 包括第五晶体管 T5、第六晶体管 T6 和第七晶体管 T7。第五晶体管 T5 的第一极与第一电源端 VGH 电连接以接收第一电源信号 VH，第五晶体管 T5 的第二极与第六晶体管 T6 的第一极电连接，第五晶体管 T5 的栅极与第三节点 N3 电连接；第六晶体管 T6 的第二极与第四节点 N4 电连接，第六晶体管 T6 的栅极与第二时钟信号端 CB 电连接以接收第二时钟信号 V_{c2} ；第七晶体管 T7 的第一极与第四节点 N4 电连接，第七晶体管 T7 的第二极与第二节点 N2 电连接，第七晶体管 T7 的栅极与第二电源端 VGL 电连接以接收第二电源信号 VL。

例如，如图 2 所示，上拉控制子电路 202 包括第八晶体管 T8。第八晶体管 T8 的第一极与第三节点 N3 电连接，第八晶体管 T8 的第二极与第一时钟信号端 CK 电连接以接收第一时钟信号 V_{c1} ，第八晶体管 T8 的栅极与第四节点 N4 电连接。

例如，如图 2 所示，中间输出子电路 203 包括第九晶体管 T9，第二存储子电路 204 包括第二电容 C2。第九晶体管 T9 的第一极与第二时钟信号端 CB 电连接以接收第二时钟信号 V_{c2} ，第九晶体管 T9 的第二极与中间输出端 GOUT 电连接，第九晶体管 T9 的栅极与第二节点 N2 电连接。第二电容 C2 的第一端与第二节点 N2 电连接，第二电容 C2 的第二端与中间输出端 GOUT 电连接。

例如，如图 2 所示，中间输出上拉子电路 205 包括第十晶体管 T10，第三存储子电路 206 包括第三电容 C3。第十晶体管 T10 的第一极与第一电源端 VGH 电连接，第十晶体管 T10 的第二极与中间输出端 GOUT 电连接，第十晶体管 T10 的栅极与第三节点 N3 电连接；第三电容 C3 的第一端与第三节点 N3 电连接，第三电容 C3 的第二端与第一电源端 VGH 电连接以接收第

一电源信号 V_H 。

例如，控制电路 300 用于在稳定阶段控制中间输出上拉子电路 205 将中间输出端 G_{OUT} 的电压稳定在第一电源电压 V_H 。如图 2 所示，控制电路 300 包括第十一晶体管 T_{11} 。第十一晶体管 T_{11} 的第一极与第二电源端 V_{GL} 电连接以接收第二电源信号 V_L ，第十一晶体管 T_{11} 的第二极与第三节点 N_3 电连接，第十一晶体管 T_{11} 的栅极与第一时钟信号端 CK 电连接以接收第一时钟信号 V_{c1} 。

例如，输入电路 100 用于向中间电路 200 传输输入电压 V_{in} ，以触发移位寄存器进行工作。如图 2 所示，输入电路 100 包括第十二晶体管 T_{12} 。第十二晶体管 T_{12} 的第一极与输入电压端 STV 电连接，第十二晶体管 T_{12} 的第二极与第四节点 N_4 电连接，第十二晶体管 T_{12} 的栅极与第一时钟信号端 CK 电连接以接收第一时钟信号 V_{c1} 。

需要说明的是，图 2 所示的输入电路 100、中间电路 200 和控制电路 300 仅为本公开实施例的一个示例，本公开的实施例包括但不限于图 2 所示的情形。

例如，第一时钟信号 V_{c1} 的高电平与第一电源信号 V_H 的电平相同，第一时钟信号 V_{c1} 的低电平与第二电源信号 V_L 的电平相同。

例如，由于在输入阶段，第一电源信号 V_H 和第二时钟信号 V_{c2} 的高电平信号同时被传输至中间输出端 G_{OUT} ，从而第二时钟信号 V_{c2} 的高电平与第一电源信号 V_H 的电平相同，以防止在同一时刻中间输出端 G_{OUT} 的电压信号出现冲突的现象。第二时钟信号 V_{c2} 的低电平与第二电源信号 V_L 的电平相同。

例如，第三时钟信号端 $CK1$ 输出的第三时钟信号 V_{c3} 的高电平与第一电源信号 V_H 的电平相同。第三时钟信号端 $CK1$ 输出的第三时钟信号 V_{c3} 的低电平与第三电源信号 V_{L1} 的电平相同，以保证第四晶体管 T_4 能够完全打开，从而输出无阈值损失的第二电源信号 V_L 。

需要说明的是，第一时钟信号 V_{c1} 的高电平和第三时钟信号 V_{c3} 的高电平也可以与第一电源信号 V_H 的电平不相同，第一时钟信号 V_{c1} 的低电平也可以与第二电源信号 V_L 的电平不相同，第三时钟信号 V_{c3} 的低电平也可以与第三电源信号 V_{L1} 的电平不相同，只要第一时钟信号 V_{c1} 和第三时钟信号

V_{c3} 能够执行其自身的功能即可，本公开对此不作限制。另外，第二时钟信号 V_{c2} 的低电平也可以与第二电源信号 VL 的电平不相同。在本公开实施例中，以第一时钟信号 V_{c1} 的高电平和第三时钟信号 V_{c3} 的高电平与第一电源信号 VH 的电平相同，第一时钟信号 V_{c1} 的低电平与第二电源信号 VL 的电平相同，
5 第三时钟信号 V_{c3} 的低电平与第三电源信号 VL1 的电平相同，第二时钟信号 V_{c2} 的低电平与第二电源信号 VL 的电平相同为例描述本公开提供的移位寄存器。

图 3 是本公开一些实施例提供的一种移位寄存器的驱动时序图。接下来以图 2 所示的移位寄存器和图 3 所示的驱动时序为例介绍本公开实施例提供的移位寄存器的工作原理。
10

例如，如图 3 所示，本公开实施例提供的移位寄存器的工作过程包括输入阶段 t1、输出阶段 t2、缓冲阶段 t3 和稳定阶段 t4。

例如，如图 2 和图 3 所示，在输入阶段 t1，第一时钟信号端 CK 输出的第一时钟信号 V_{c1} 为低电平信号，第二时钟信号端 CB 输出的第二时钟信号 V_{c2} 为高电平信号，第三时钟信号端 CK1 输出的第三时钟信号 V_{c3} 为低电平信号，输入电压端 STV 输出的输入电压 V_{in} 为低电平电压，例如输入电压 V_{in} 与第二电源信号 VL 相等。由于第一时钟信号 V_{c1} 为低电平电压，第十二晶体管 T12 导通，输入电压 V_{in} 经由第十二晶体管 T12 传输至第四节点 N4，由于第十二晶体管 T12 传递低电平信号具有阈值损失，从而第四节点 N4 的
20 电压为 $V_{in}-V_{th1}$ ，即 $VL-V_{th1}$ ，其中， V_{th1} 表示第十二晶体管 T12 的阈值电压。由于第七晶体管 T7 的栅极接收第二电源电压 VL，从而第七晶体管 T7 处于开启状态，由此，电压 $VL-V_{th1}$ 经由第七晶体管 T7 传输至第二节点 N2，例如，第七晶体管 T7 的阈值电压表示为 V_{th8} ，同理，由于第七晶体管 T7 传递低电平信号具有阈值损失，第二节点 N2 的电压为 $VL-V_{thN2}$ ，其中，
25 V_{thN2} 为 V_{th1} 和 V_{th8} 中较小的一个。第二节点 N2 的电压可以控制第九晶体管 T9 导通，第二时钟信号 V_{c2} 经由第九晶体管 T9 被写入中间输出端 GOUT 以作为中间输出信号 V_{GOUT} ，即在输入阶段 t1，中间输出信号 V_{GOUT} 为高电平的第二时钟信号 V_{c2} ，即第一电源信号 VH，从而第一晶体管 T1 和第二晶体管 T2 均断开。第三时钟信号 V_{c3} 为低电平电压，从而第三晶体管 T3 导通，
30 第三电源信号 VL1 被传输至第一节点 N1（即，第四晶体管 T4 的栅极），由

于第三晶体管 T3 传递低电平信号具有阈值损失，第一节点 N1 上的电压为 VL1-Vth10，该电压 VL1-Vth10 可以控制第四晶体管 T4 导通，第二电源信号 VL 经由第四晶体管 T4 被传输至输出端 EOUT，当输出端 EOUT 的输出信号 V_{EOUT} 为 VL1+|Vth10+Vth12| 时，第四晶体管 T4 截止，由于 VL-VL1>|Vth10+Vth12|，也就是说，当输出信号 V_{EOUT} 为第二电源信号 VL 时，第四晶体管 T4 仍然处于开启状态，从而第二电源信号 VL 可以无损失地传输至输出端 EOUT，也就是说，在输入阶段 t1，输出信号 V_{EOUT} 为第二电源信号 VL。

例如，在输入阶段 t1，由于第一时钟信号 V_{c1} 为低电平电压，第十一晶体管 T11 导通，第二电源信号 VL 经由第十一晶体管 T11 传输至第三节点 N3，由于第四节点 N4 的电压为 VL-Vth1，第八晶体管 T8 导通，低电平第一时钟信号 V_{c1} 经由第八晶体管 T8 传输至第三节点 N3。例如，第八晶体管 T8 的阈值电压表示为 Vth2，第十一晶体管 T11 的阈值电压表示为 Vth3，当 Vth3<Vth2+Vth1，则第三节点 N3 的电压为 VL-Vth2-Vth1；而当 Vth3>Vth2+Vth1，则第三节点 N3 的电压为 VL-Vth3。此时，第十晶体管 T10 和第五晶体管 T5 均导通。由于第二时钟信号 V_{c2} 为高电平信号，第六晶体管 T6 截止。

例如，如图 2 和图 3 所示，在输出阶段 t2，第一时钟信号端 CK 输出的第一时钟信号 V_{c1} 和第三时钟信号端 CK1 输出的第三时钟信号 V_{c3} 均为高电平信号，第二时钟信号端 CB 输出的第二时钟信号 V_{c2} 为低电平信号，输入电压端 STV 输出的输入电压 V_{in} 为高电平电压。第九晶体管 T9 导通，第二时钟信号 V_{c2} 经由第九晶体管 T9 被写入中间输出端 GOUT 以作为中间输出信号 V_{EOUT}。在输入阶段 t1，第二电容 C2 的连接中间输出端 GOUT 的一端的电压为第一电源信号 VH，第二电容 C2 的连接第二节点 N2 的一端的电压为 VL-VthN2，而在输出阶段 t2，第二电容 C2 的连接中间输出端 GOUT 的一端的电压变为 VL，即，变化量为 VL-VH，由于第二电容 C2 的自举作用，第二电容 C2 的连接第二节点 N2 的一端的电压变为 2VL-VthN2-VH，即第二节点 N2 的电压变为 2VL-VthN2-VH，此时，第七晶体管 T7 截止，第九晶体管 T9 可以更好地打开，输出信号 V_{EOUT} 为第二电源信号 VL。第三时钟信号 V_{c3} 为高电平信号，从而第三晶体管 T3 截止。由于第二时钟信号 V_{c2} 为低电

平信号，从而第一晶体管 T1 和第二晶体管 T2 均导通。第一电源信号 VH 可以经由第一晶体管 T1 传输至第一节点 N1，从而第四晶体管 T4 截止；同时，第一电源信号 VH 还可以经由第二晶体管 T2 传输至输出端 EOUT 以作为输出信号 V_{EOUT} ，此时，输出信号 V_{EOUT} 为第一电源信号 VH。

5 例如，在输出阶段 t2，第一时钟信号 V_{c1} 为高电平信号，从而第十二晶体管 T12 和第十一晶体管 T11 均截止。第四节点 N4 的电压仍为 $VL-V_{thN2}$ ，第八晶体管 T8 导通，高电平第一时钟信号 V_{c1} 经由第八晶体管 T8 传输至第三节点 N3，即第三节点 N3 的电压为第一电源信号 VH，由此，第十晶体管 T10 和第五晶体管 T5 均截止。由于第二时钟信号 V_{c2} 为低电平信号，第六晶体管 T6 导通。

10 例如，如图 2 和图 3 所示，在缓冲阶段 t3，第一时钟信号端 CK 输出的第一时钟信号 V_{c1} 和第二时钟信号端 CB 输出的第二时钟信号 V_{c2} 均为高电平信号，第三时钟信号端 CK1 输出的第三时钟信号 V_{c3} 为低电平信号，输入电压端 STV 输出的输入电压 V_{in} 为高电平电压。第九晶体管 T9 导通，第二时钟信号 V_{c2} 经由第九晶体管 T9 被写入中间输出端 GOUT 以作为中间输出信号 V_{EOUT} ，此时，中间输出信号 V_{EOUT} 为高电平的第二时钟信号 V_{c2} ，即第一电源信号 VH，由于第二电容 C2 的自举作用，第二节点 N2 的电压变为 $VL-V_{thN2}$ 。中间输出信号 V_{EOUT} 为第一电源信号 VH，第一晶体管 T1 和第二晶体管 T2 均断开。第三时钟信号 V_{c3} 为低电平电压，从而第三晶体管 T3 导通，第三电源信号 VL1 被传输至第一节点 N1，第一节点 N1 上的电压为 $VL1-V_{th10}$ ，该电压 $VL1-V_{th10}$ 可以控制第四晶体管 T4 导通，第二电源信号 VL 可以无损失地传输至输出端 EOUT，输出信号 V_{EOUT} 为第二电源信号 VL。

20 例如，在缓冲阶段 t3，第一时钟信号 V_{c1} 为高电平信号，从而第十二晶体管 T12 和第十一晶体管 T11 均截止。第二节点 N2 的电压变为 $VL-V_{thN2}$ ，此时，第七晶体管 T7 导通，第四节点 N4 的电压也为 $VL-V_{thN2}$ ，第八晶体管 T8 导通，高电平第一时钟信号 V_{c1} 经由第八晶体管 T8 传输至第三节点 N3，即第三节点 N3 的电压为第一电源信号 VH，由此，第十晶体管 T10 和第五晶体管 T5 均截止。由于第二时钟信号 V_{c2} 为高电平信号，第六晶体管 T6 截止。

30 例如，如图 2 和图 3 所示，在稳定阶段 t4 的第一子阶段 t41 中，第一时

钟信号端 CK 输出的第一时钟信号 V_{c1} 为低电平信号，第二时钟信号端 CB 输出的第二时钟信号 V_{c2} 为高电平信号，第三时钟信号端 CK1 输出的第三时钟信号 V_{c3} 为低电平信号，输入电压端 STV 输出的输入电压 V_{in} 为高电平电压，例如输入电压 V_{in} 与第一电源信号 V_H 相等。由于第一时钟信号 V_{c1} 为低电平信号，第十二晶体管 T12 导通，输入电压 V_{in} 经由第十二晶体管 T12 传输至第四节点 N4，由于第十二晶体管 T12 传递高电平信号无阈值损失，第四节点 N4 的电压为输入电压 V_{in} （即，第一电源信号 V_H ），第八晶体管 T8 截止。由于第七晶体管 T7 处于开启状态，第二节点 N2 的电压与第四节点 N4 相同，也就是说，第二节点 N2 的电压为第一电源信号 V_H ，第九晶体管 T9 截止。由于第一时钟信号 V_{c1} 为低电平信号，第十一晶体管 T11 导通，第三节点 N3 的电压为 $V_L - V_{th3}$ ，第十晶体管 T10 和第五晶体管 T5 均导通，第一电源信号 V_H 经由第十晶体管 T10 传输至中间输出端 GOUT，即中间输出信号 V_{GOUT} 为第一电源信号 V_H 。在中间输出信号 V_{GOUT} 的控制下，第一晶体管 T1 和第二晶体管 T2 均断开。在第三时钟信号 V_{c3} 的控制下第三晶体管 T3 导通，第三电源信号 V_L 经由第三晶体管 T3 被传输至第一节点 N1，第一节点 N1 的电压为 $V_L - V_{th10}$ ，该 $V_L - V_{th10}$ 可以控制第四晶体管 T4 导通，第二电源信号 V_L 经由第四晶体管 T4 被传输至输出端 EOUT，从而输出信号 V_{EOUT} 保持为低电平的第三电源信号 V_L 。

例如，如图 2 和图 3 所示，在稳定阶段 t_4 的第二子阶段 t_{42} 中，第一时钟信号端 CK 输出的第一时钟信号 V_{c1} 和第三时钟信号端 CK1 输出的第三时钟信号 V_{c3} 均为高电平信号，第二时钟信号端 CB 输出的第二时钟信号 V_{c2} 为低电平信号，输入电压端 STV 输出的输入电压 V_{in} 为高电平电压。第二节点 N2 和第四节点 N4 的电压为输入电压 V_{in} （即，第一电源信号 V_H ），第九晶体管 T9 和第八晶体管 T8 均截止。第一时钟信号 V_{c1} 为高电平信号，从而第十二晶体管 T12 和第十一晶体管 T11 均截止，由于第三电容 C3 的保持作用，第三节点 N3 的电压仍为 $(V_L - V_{th3})$ ，第十晶体管 T10 和第五晶体管 T5 均导通，第一电源信号 V_H 经由第十晶体管 T10 传输至中间输出端 GOUT，中间输出信号 V_{GOUT} 为第一电源信号 V_H 。在中间输出信号 V_{GOUT} 的控制下，第一晶体管 T1 和第二晶体管 T2 均断开。由于第三时钟信号 V_{c3} 均为高电平信号，第三晶体管 T3 截止，由于第一电容 C1 的保持作用，第一

节点 N1 的电压仍然保持为 $V_{L1}-V_{th10}$, 从而第二电源信号 VL 仍然可以经由第四晶体管 T4 被传输至输出端 EOUT, 以保证输出信号 V_{EOUT} 仍然保持为低电平的第二电源信号 VL。

例如, 如图 2 和图 3 所示, 在第二子阶段 t42 中, 由于第二时钟信号 V_{c2} 为低电平信号, 第六晶体管 T6 导通, 从而第一电源信号 VH 经由第五晶体管 T5 和第六晶体管 T6 被传输至第四节点 N4 和第二节点 N2, 以使第二节点 N2 的电压和第四节点 N4 的电压保持为高电平。

例如, 如图 2 和图 3 所示, 在稳定阶段 t4 的第三子阶段 t43 中, 第一时钟信号端 CK 输出的第一时钟信号 V_{c1} 和第二时钟信号端 CB 输出的第二时钟信号 V_{c2} 均为高电平信号, 第三时钟信号端 CK1 输出的第三时钟信号 V_{c3} 为低电平信号, 输入电压端 STV 输出的输入电压 V_{in} 为高电平电压。第二节点 N2 和第四节点 N4 的电压为第一电源信号 VH, 第九晶体管 T9 和第八晶体管 T8 截止。第一时钟信号 V_{c1} 为高电平信号, 从而第十二晶体管 T12 和第十一晶体管 T11 均截止, 第三节点 N3 的电压仍为 $V_{L1}-V_{th3}$, 第十晶体管 T10 和第五晶体管 T5 均导通。第一电源信号 VH 经由第十晶体管 T10 传输至中间输出端 GOUT, 中间输出信号 V_{GOUT} 为第一电源信号 VH。在中间输出信号 V_{GOUT} 的控制下, 第一晶体管 T1 和第二晶体管 T2 均断开。在第三时钟信号 V_{c3} 的控制下第三晶体管 T3 导通, 第一节点 N1 的电压为 $V_{L1}-V_{th10}$, 从而输出信号 V_{EOUT} 保持为低电平的第二电源信号 VL。

综上所述, 在稳定阶段 t4, 在第三时钟信号 V_{c3} 的控制下, 第一节点 N1 的电压周期性地被拉低, 从而保证输出信号 V_{EOUT} 保持为低电平的第二电源信号 VL。

图 4 为本公开一些实施例提供的一种栅极驱动电路的示意性框图, 图 5 本公开一些实施例提供的一种栅极驱动电路的结构示意, 图 6 为本公开一些实施例提供的一种栅极驱动电路的驱动时序图。

本公开至少一实施例还提供一种栅极驱动电路, 如图 4 所示, 该栅极驱动电路 1 包括本公开上述实施例中任一项所述的移位寄存器 10。本公开提供的栅极驱动电路可以通过移位寄存器 10 输出无阈值损失的低电平信号, 提高输出的扫描信号的精确度。

例如, 如图 5 所示, 栅极驱动电路 1 包括级联的多个移位寄存器 SR1、

SR2、SR3...SRn (n 为大于 3 的整数)。例如, SR1 表示第 1 级移位寄存器, SR2 表示第 2 级移位寄存器, SR3 表示第 3 级移位寄存器, SRn 表示第 n 级移位寄存器。这些移位寄存器 SR1、SR2、SR3...SRn 均可以是本公开上述实施例中任一项所述的移位寄存器。这些移位寄存器 SR1、SR2、SR3...SRn

5 SRn 的输出端 EOUT 分别与多条栅线 G1、G2、G3...Gn 一一对应连接。

相应地, EOUT1 表示第 1 级移位寄存器的输出端, EOUT2 表示第 2 级移位寄存器的输出端, EOUT3 表示第 3 级移位寄存器的输出端, EOUTn 表示第 n 级移位寄存器的输出端。

例如, 除第一级移位寄存器之外, 本级移位寄存器的输入电压端 STV 与
10 上一级移位寄存器的中间输出端 GOUT 电连接, 从而通过上一级移位寄存器的中间输出信号控制下一级移位寄存器的工作状态, 以实现依次输出脉冲扫描信号。

例如, 第一级移位寄存器 SR1 的输入电压端 STV 与触发信号端 STV0
15 (其被配置为提供触发信号, 以控制栅极驱动电路开始工作) 连接, 以接收触发信号作为输入电压 V_{in} 。

例如, 如图 4 所示, 栅极驱动电路 1 还包括信号生成电路 20。如图 5 所示, 信号生成电路 20 被配置为生成第一控制信号 CK0、第二控制信号 CB0、第三控制信号 CK10 和第四控制信号 CK20。例如, 对于第 2N-1 级 (N 为正整数, 且 N 大于等于 1) 移位寄存器, 第一控制信号 CK0 为上述实施例中的
20 移位寄存器的第一时钟信号, 第二控制信号 CB0 为上述实施例中的移位寄存器的第二时钟信号, 第三控制信号 CK10 为上述实施例中的移位寄存器的第三时钟信号。对于第 2N 级移位寄存器, 第一控制信号 CK0 为上述实施例中的移位寄存器的第二时钟信号, 第二控制信号 CB0 为上述实施例中的移位寄存器的第一时钟信号, 第四控制信号 CK20 为上述实施例中的移位寄存器的
25 第三时钟信号。第一控制信号 CK0、第二控制信号 CB0、第三控制信号 CK10 和第四控制信号 CK20 交替控制奇数级和偶数级的移位寄存器, 从而减少信号数量, 降低生产成本。

例如, 如图 5 所示, 第一控制信号 CK0 被施加至第 2N-1 级移位寄存器的第一时钟信号端 CK 和第 2N 级移位寄存器的第二时钟信号端 CB; 第二控制信号 CB0 被施加至第 2N-1 级移位寄存器的第二时钟信号端 CB 和第 2N 级
30

移位寄存器的第一时钟信号端 CK；第三控制信号 CK10 被施加至第 2N-1 级移位寄存器的第三时钟信号端 CK1；第四控制信号 CK20 被施加至第 2N 级移位寄存器的第三时钟信号端 CK1。例如，N 为正整数，且 N 大于等于 1，且小于 n/2。需要说明的是，n 可以为偶数，也可以为奇数，本公开对此不作限制，在图 5 所示的示例中，n 为偶数。

例如，该栅极驱动电路 1 还包括第一电源线 VGH0、第二电源线 VGL0 以及第三电源线 VGL10，以分别向各级移位寄存器的第一电源端 VGH、第二电源端 VGL 以及第三电源端 VGL1 提供第一电源信号 VH、第二电源信号 VL 以及第三电源信号 VL1。

需要说明的是，上述的“上一级”和“下一级”并不是指扫描时序上的上一级和下一级，而是指物理连接上的上一级和下一级。

例如，如图 6 所示，以第一级移位寄存器 SR1 和第二级移位寄存器 SR2 为例，触发信号端 STV0 向第一级移位寄存器 SR1 提供触发信号作为输入电压，从而控制第一级移位寄存器 SR1 开始工作，在第一控制信号 CK0、第二控制信号 CB0 和第三控制信号 CK10 的控制下，第一级移位寄存器 SR1 向栅线 G1 输出第一输出信号 V_{EOUT1} 作为扫描信号。第一级移位寄存器 SR1 输出的中间输出信号 V_{GOUT1} 被传输至第二级移位寄存器 SR2 以作为第二级移位寄存器 SR2 的输入电压，从而控制第二级移位寄存器 SR2 开始工作，在第一控制信号 CK0、第二控制信号 CB0 和第四控制信号 CK20 的控制下，第二级移位寄存器 SR2 向栅线 G2 输出第二输出信号 V_{EOUT2} 作为扫描信号。第二级移位寄存器 SR2 输出的中间输出信号 V_{GOUT2} 被传输至其下一级移位寄存器以作为其下一级移位寄存器的输入电压，依次类推，最终栅极驱动电路完成一帧的扫描工作。例如，该栅极驱动电路的具体工作过程可参考图 3 中所示的移位寄存器的工作过程。

图 7 本公开一实施例提供的一种显示面板的示意图。

本公开的一些实施例还提供一种显示装置，包括如图 7 所示的显示面板 50。如图 7 所示，显示装置的显示面板 50 包括本公开任一实施例提供的栅极驱动电路 1。

例如，如图 7 所示，本公开实施例提供的显示面板 50 还包括栅线 2、数据线 3 以及由栅线 2 和数据线 3 交叉限定的多个像素单元 4，栅极驱动电路 1

被配置为向栅线 2 提供栅极驱动信号。例如，该显示面板 50 还可以包括数据驱动电路（图中未示出），数据驱动电路被配置为向数据线 3 提供数据信号。例如，在栅极驱动电路 1 输出的栅极驱动信号的控制下，将数据驱动电路提供的数据信号逐行写入交叉限定的多个像素单元 4 中，以实现显示面板的逐行扫描。

例如，栅线 2 可以包括图 5 中所示的栅线 G1、G2、G3……Gn，移位寄存器 SR1、SR2、SR 3……SRn 中的每一级移位寄存器用于向对应的栅线 G1、G2、G3……Gn 输出一行栅极驱动信号。

例如，显示面板 50 可以为应用于手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

图 8 本公开一些实施例提供的一种驱动方法的流程图。

本公开一些实施例还提供一种本公开任一实施例提供的移位寄存器的驱动方法，如图 8 所示，该驱动方法包括如下步骤：

步骤 S10：在输入电压和控制电路的控制下，将第二时钟信号端输出的第二时钟信号或第一电源端输出的第一电源信号写入中间输出端作为中间输出信号；以及

步骤 S20：在中间输出信号和第三时钟信号端输出的第三时钟信号的控制下，输出与中间输出信号反相的输出信号。

本公开的实施例提供的移位寄存器的驱动方法可以实现 P 型薄膜晶体管输出无阈值损失的低电平信号，提升显示面板的显示质量。

需要说明的是，本公开实施例提供的驱动方法的具体操作过程可以参考上述移位寄存器的实施例中对输入阶段 t1、输出阶段 t2、缓冲阶段 t3 和稳定阶段 t4 的相关描述，重复之处在此不再赘述。

对于本公开，还有以下几点需要说明：

(1) 本公开实施例附图只涉及到与本公开实施例涉及到的结构，其他结构可参考通常设计。

(2) 在不冲突的情况下，本公开的实施例及实施例中的特征可以相互组合以得到新的实施例。

以上所述仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，本公开的保护范围应以所述权利要求的保护范围为准。

权利要求书

1、一种移位寄存器，包括：输入电路、控制电路、中间电路和输出电路，其中，

5 所述输入电路，分别与输入电压端和第一时钟信号端电连接，被配置为在所述第一时钟信号端提供的第一时钟信号的控制下，将所述输入电压端提供的输入电压输入到所述中间电路；

所述中间电路，分别与中间输出端、第一电源端、第二电源端、所述第一时钟信号端和第二时钟信号端电连接，且被配置为在所述输入电压和所述
10 控制电路的控制下，将所述第二时钟信号端输出的第二时钟信号或所述第一电源端输出的第一电源信号写入所述中间输出端作为中间输出信号；

所述输出电路，分别与所述第一电源端、所述第二电源端、第三电源端、第三时钟信号端、所述中间输出端和输出端电连接，且被配置为在所述输出端输出与所述中间输出信号反相的输出信号。

15 2、根据权利要求1所述的移位寄存器，其中，所述输出电路包括第一输出子电路、第二输出子电路和第一存储电路，

所述第一输出子电路分别与所述第一电源端、所述中间输出端、所述输出端和第一节点电连接，且被配置为：

20 在输出阶段，在所述中间输出信号的控制下，将所述第一电源信号写入所述输出端；

所述第二输出子电路分别与所述第二电源端、所述第三电源端、所述第三时钟信号端、所述第一节点和所述输出端电连接，且被配置为：

25 在输入阶段、缓冲阶段和稳定阶段，在所述第三时钟信号端输出的第三时钟信号的控制下将所述第二电源端提供的第二电源信号写入所述输出端；

所述第一存储电路分别与所述第一节点和所述输出端电连接。

3、根据权利要求2所述的移位寄存器，其中，

所述第一输出子电路包括第一晶体管和第二晶体管，所述第一晶体管的第一极与所述第一电源端电连接，所述第一晶体管的第二极与所述第一节点电连接，所述第一晶体管的栅极与
30 所述中间输出端电连接，所述第二晶体管

的第一极与所述第一电源端电连接，所述第二晶体管的第二极与所述输出端电连接，所述第二晶体管的栅极与所述中间输出端电连接；

所述第二输出子电路包括第三晶体管和第四晶体管，所述第三晶体管的第一极与所述第一节点电连接，所述第三晶体管的第二极与所述第三电源端电连接，所述第三晶体管的栅极与所述第三时钟信号端电连接，所述第四晶体管的第一极与所述输出端电连接，所述第四晶体管的第二极与所述第二电源端电连接，所述第四晶体管的栅极与所述第一节点电连接；

所述第一存储电路包括第一电容，所述第一电容的第一端与所述第一节点电连接，所述第一电容的第二端与所述输出端电连接。

10 4、根据权利要求3所述的移位寄存器，其中，所述第三电源端被配置为提供第三电源信号，所述第二电源信号大于所述第三电源信号。

5、根据权利要求4所述的移位寄存器，其中，所述第二电源信号和所述第三电源信号之间的关系表示为：

$$VL-VL1 > |V_{th10} + V_{th12}|$$

15 其中，VL表示所述第二电源信号，VL1表示所述第三电源信号，V_{th10}表示所述第三晶体管的阈值电压，V_{th12}表示所述第四晶体管的阈值电压。

6、根据权利要求2所述的移位寄存器，其中，所述中间电路被配置为：

在所述输入阶段，在所述输入电压控制下，将所述第二时钟信号写入所述中间输出端作为所述中间输出信号；

20 在所述输出阶段和所述缓冲阶段，将所述第二时钟信号写入所述中间输出端作为所述中间输出信号；以及

在所述稳定阶段，在所述控制电路的控制下，将所述第一电源信号写入所述中间输出端作为所述中间输出信号。

7、根据权利要求6所述的移位寄存器，其中，所述中间电路包括：

25 第一控制子电路，分别与第二节点、第三节点、第四节点、所述第一电源端、所述第二电源端和所述第二时钟信号端电连接，被配置为：

在所述输入阶段，将所述输入电压写入所述第二节点；以及

在所述稳定阶段，将所述第一电源信号写入所述第二节点；

30 第二控制子电路，分别与所述第三节点、所述第四节点和所述第一时钟信号端电连接，被配置为将所述第一时钟信号写入所述第三节点；

中间输出子电路，分别与所述第二节点、所述中间输出端和所述第二时钟信号端电连接，被配置为：

在所述输入阶段、所述输出阶段和所述缓冲阶段，将所述第二时钟信号写入所述中间输出端作为所述中间输出信号。

5 8、根据权利要求7所述的移位寄存器，其中，所述第一控制子电路包括第五晶体管、第六晶体管和第七晶体管，

所述第五晶体管的第一极与所述第一电源端电连接，所述第五晶体管的第二极与所述第六晶体管的第一极电连接，所述第五晶体管的栅极与所述第三节点电连接；

10 所述第六晶体管的第二极与所述第四节点电连接，所述第六晶体管的栅极与所述第二时钟信号端电连接；

所述第七晶体管的第一极与所述第四节点电连接，所述第七晶体管的第二极与所述第二节点电连接，所述第七晶体管的栅极与所述第二电源端电连接。

15 9、根据权利要求7所述的移位寄存器，其中，所述第二控制子电路包括第八晶体管，

所述第八晶体管的第一极与所述第三节点电连接，所述第八晶体管的第二极与所述第一时钟信号端电连接，所述第八晶体管的栅极与所述第四节点电连接。

20 10、根据权利要求7所述的移位寄存器，其中，所述中间输出子电路包括第九晶体管，

所述第九晶体管的第一极与所述第二时钟信号端电连接，所述第九晶体管的第二极与所述中间输出端电连接，所述第九晶体管的栅极与所述第二节点电连接。

25 11、根据权利要求7所述的移位寄存器，其中，所述中间电路还包括：第二存储子电路，

所述第二存储子电路包括第二电容，所述第二电容的第一端与所述第二节点电连接，所述第二电容的第二端与所述中间输出端电连接。

30 12、根据权利要求7所述的移位寄存器，其中，所述中间电路还包括：

中间输出控制子电路，分别与所述第三节点、所述中间输出端和所述第

一电源端电连接，被配置为：在所述稳定阶段，在所述控制电路的控制下，将所述第一电源信号写入所述中间输出端；以及

第三存储子电路，分别与所述第三节点和所述第一电源端电连接。

13、根据权利要求 12 所述的移位寄存器，其中，所述中间输出控制子电
5 路包括第十晶体管，所述第三存储子电路包括第三电容，

所述第十晶体管的第一极与所述第一电源端电连接，所述第十晶体管的第二极与所述中间输出端电连接，所述第十晶体管的栅极与所述第三节点电连接；

所述第三电容的第一端与所述第三节点电连接，所述第三电容的第二端
10 与所述第一电源端电连接。

14、根据权利要求 12 所述的移位寄存器，其中，所述第二时钟信号的高电平与所述第一电源信号的电平相同，所述第二时钟信号的低电平与所述第二电源信号的电平相同。

15、根据权利要求 7 所述的移位寄存器，其中，所述控制电路包括第十
15 一晶体管，

所述第十一晶体管的第一极与所述第二电源端电连接，所述第十一晶体管的第二极与所述第三节点电连接，所述第十一晶体管的栅极与所述第一时钟信号端电连接。

16、根据权利要求 1 所述的移位寄存器，其中，所述第三时钟信号端输出的时钟信号的高电平与所述第一电源信号的电平相同，所述第三时钟信号
20 端输出的时钟信号的低电平与所述第三电源信号的电平相同。

17、根据权利要求 1 所述的移位寄存器，其中，所述输入电路包括第十二晶体管，所述第十二晶体管的第一极与所述输入电压端电连接，所述第十二晶体管的第二极与所述第四节点电连接，所述第十二晶体管的栅极与所述
25 第一时钟信号端电连接。

18、一种栅极驱动电路，包括如权利要求 1-17 任一项所述的移位寄存器。

19、根据权利要求 18 所述的栅极驱动电路，包括级联的多个如权利要求 1-17 任一项所述的移位寄存器，

其中，除第一级移位寄存器之外，本级移位寄存器的输入电压端与上一
30 级移位寄存器的中间输出端电连接。

20、根据权利要求 19 所述的栅极驱动电路，还包括信号生成电路，

其中，所述信号生成电路被配置为生成第一控制信号、第二控制信号、第三控制信号和第四控制信号，

所述第一控制信号被施加至第 $2N-1$ 级移位寄存器的所述第一时钟信号端
5 和第 $2N$ 级移位寄存器的所述第二时钟信号端；

所述第二控制信号被施加至所述第 $2N-1$ 级移位寄存器的所述第二时钟信号端和所述第 $2N$ 级移位寄存器的所述第一时钟信号端；

所述第三控制信号被施加至所述第 $2N-1$ 级移位寄存器的所述第三时钟信号端；

10 所述第四控制信号被施加至所述第 $2N$ 级移位寄存器的所述第三时钟信号端；

其中， N 为正整数，且 N 大于等于 1。

21、一种显示装置，包括如权利要求 18-20 任一所述的栅极驱动电路。

22、一种如权利要求 1-17 任一所述的移位寄存器的驱动方法，包括：

15 在所述输入电压和所述控制电路的控制下，将所述第二时钟信号端输出的所述第二时钟信号或所述第一电源端输出的所述第一电源信号写入所述中间输出端作为所述中间输出信号；

在所述中间输出信号和所述第三时钟信号端输出的所述第三时钟信号的控制下，在所述输出端输出与所述中间输出信号反相的输出信号。

20

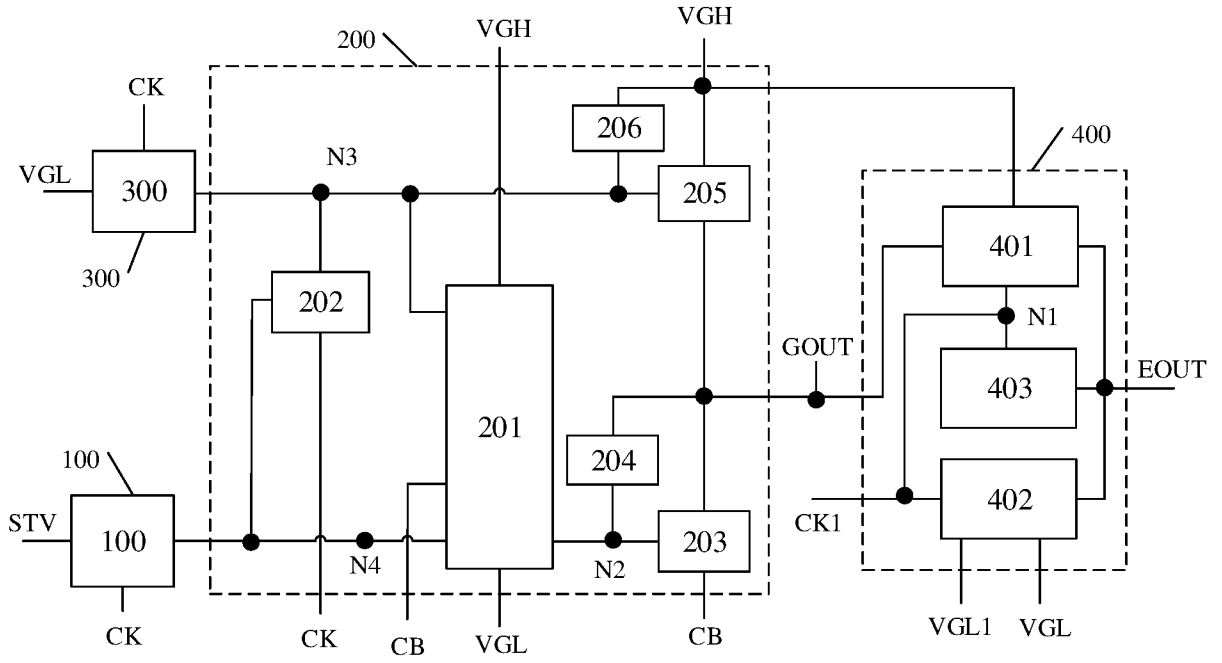


图 1

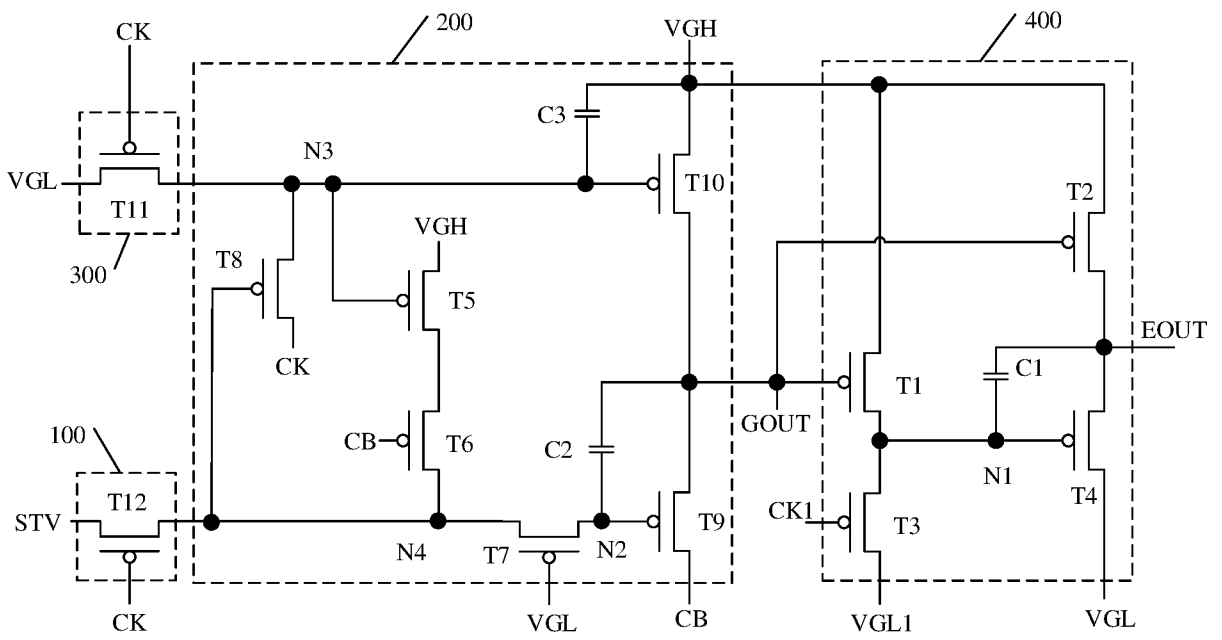


图 2

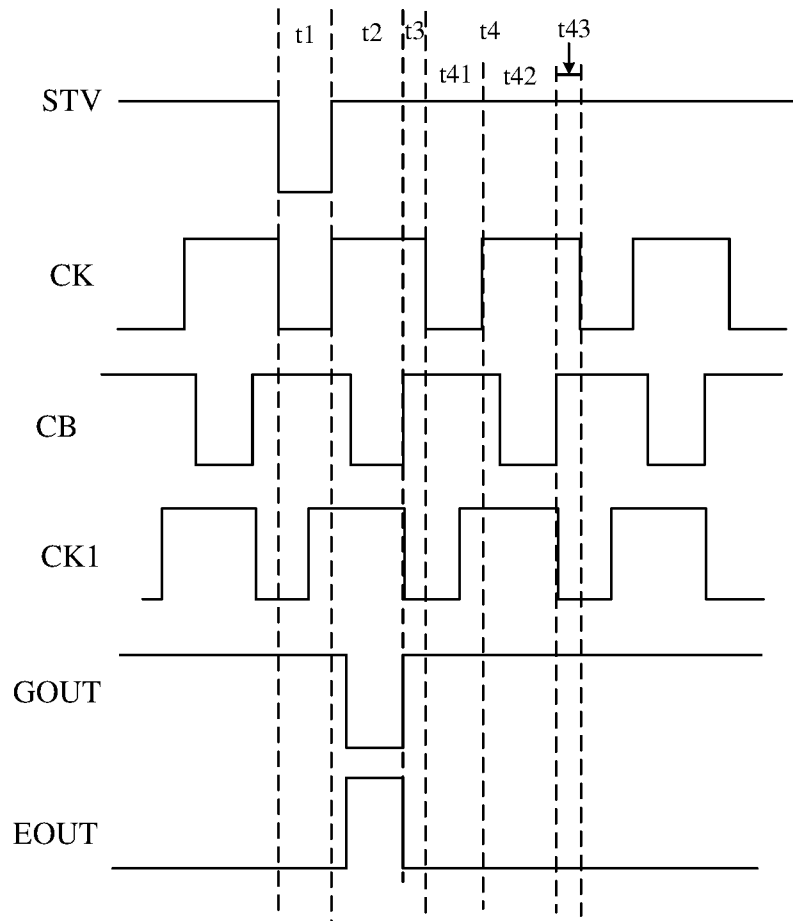


图 3

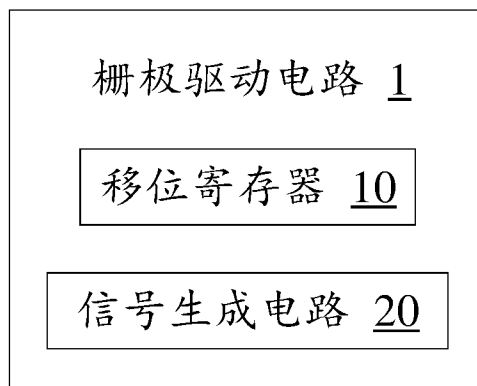


图 4

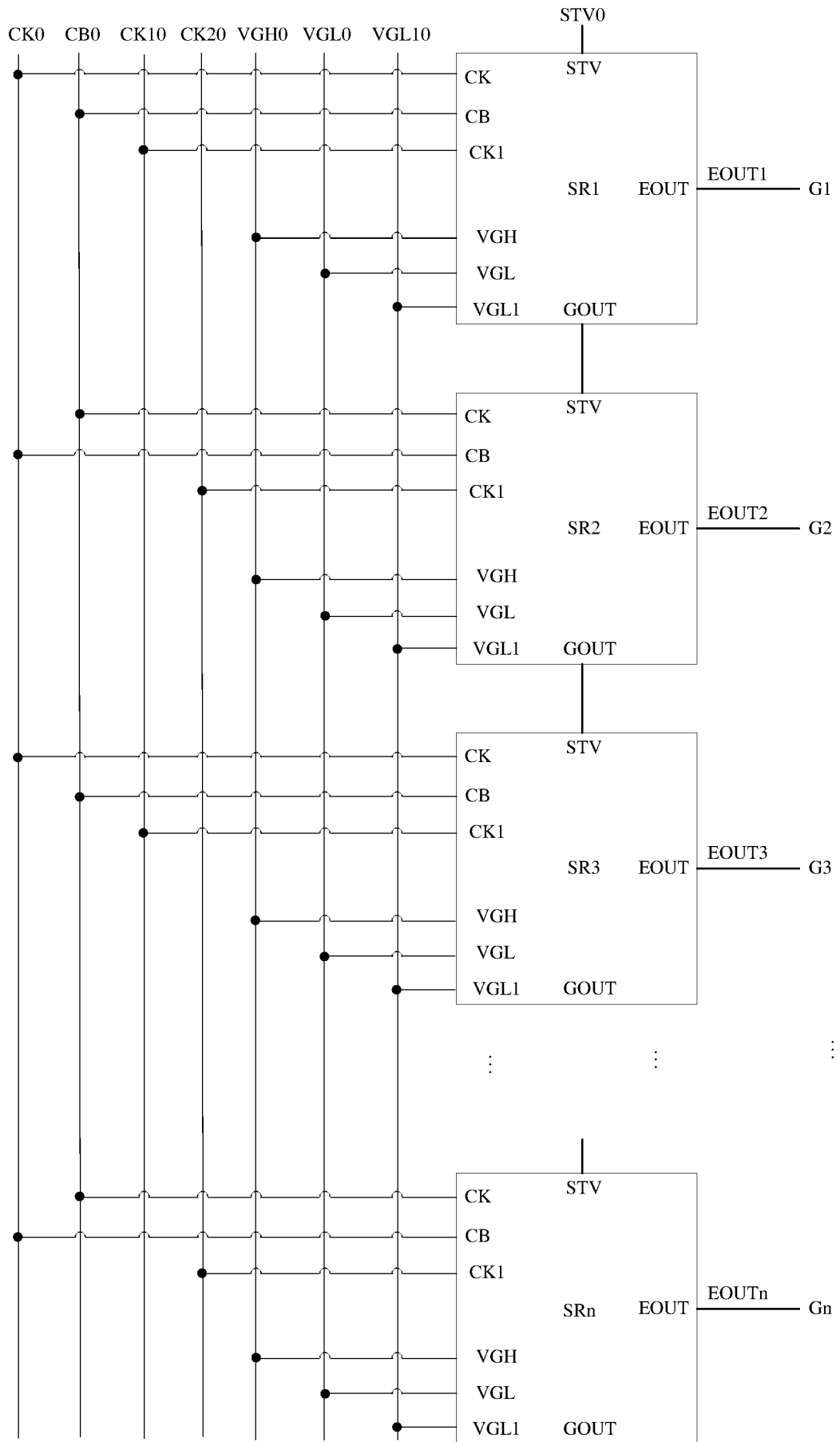


图 5

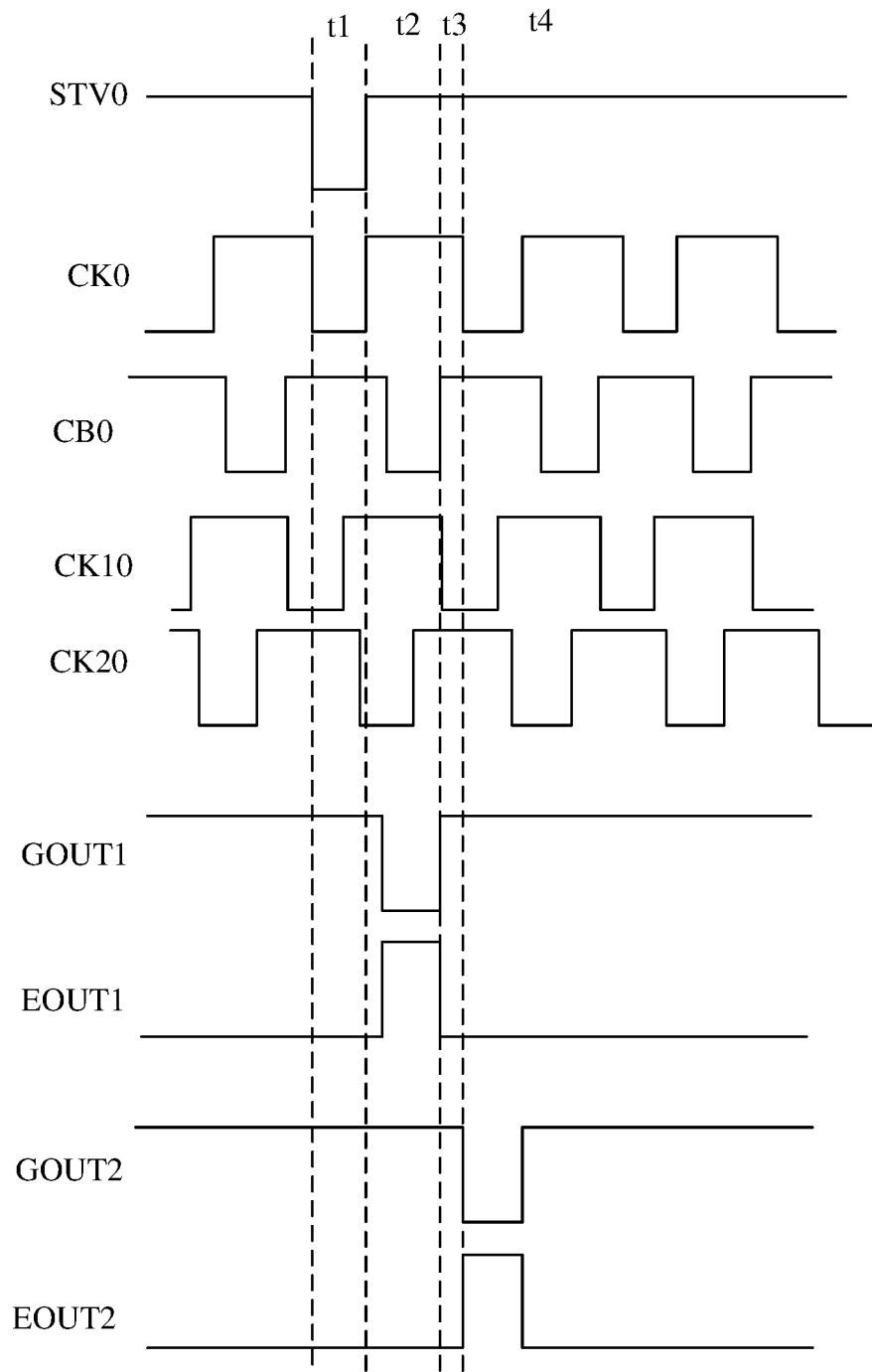


图 6

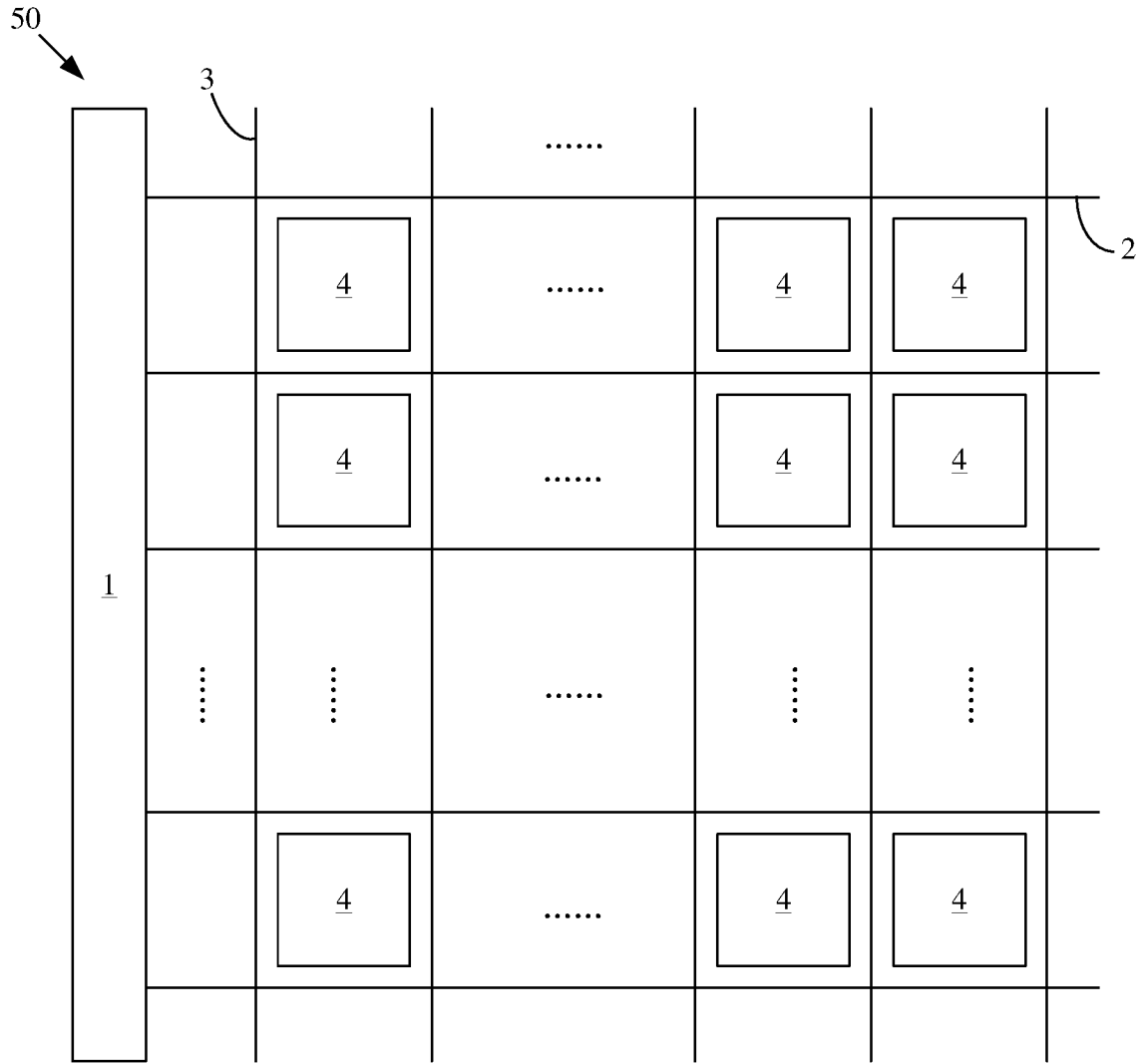


图 7

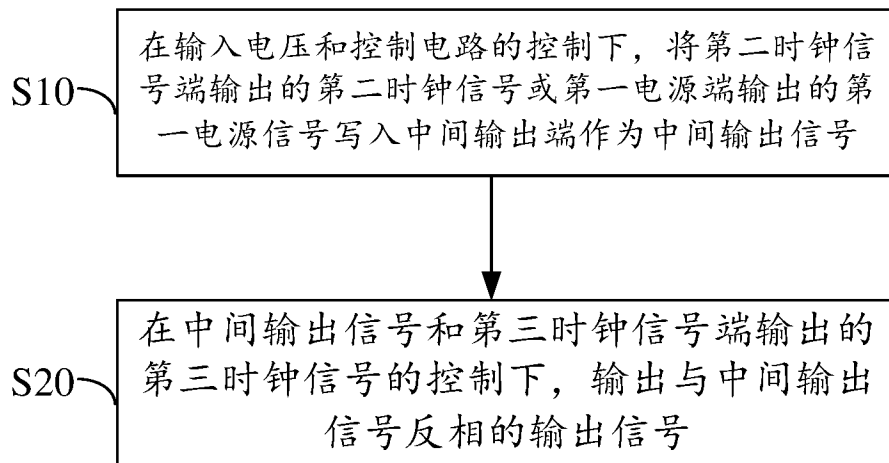


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/087835

A. CLASSIFICATION OF SUBJECT MATTER		
G09G 3/3266(2016.01)i; G09G 3/36(2006.01)i; G11C 19/28(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) WPI, EPODOC, CNPAT, CNKI, IEEE, GOOGLE: 移位寄存器, 输出电路, 直流, 信号源, 阈值, 损失, 低电平, 显示, 质量, 薄膜晶体管, 反向, shift, register, output, circuit, DC, signal, source, threshold, loss, low, level, display, mass, thin, film, transistor, reverse		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 107464539 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 12 December 2017 (2017-12-12) description, paragraphs [0037]-[0057]	1-22
A	CN 104064158 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 24 September 2014 (2014-09-24) entire document	1-22
A	CN 202434192 U (BOE TECHNOLOGY GROUP CO., LTD.) 12 September 2012 (2012-09-12) entire document	1-22
A	US 2015179128 A1 (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. ET AL.) 25 June 2015 (2015-06-25) entire document	1-22
A	US 2016358569 A1 (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 08 December 2016 (2016-12-08) entire document	1-22
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 08 July 2019		Date of mailing of the international search report 31 July 2019
Name and mailing address of the ISA/CN China National Intellectual Property Administration No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China		Authorized officer
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/087835

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107464539	A	12 December 2017	WO	2019056795	A1	28 March 2019
CN	104064158	A	24 September 2014	KR	20170030599	A	17 March 2017
				JP	2017528747	A	28 September 2017
				US	2016260403	A1	08 September 2016
				GB	2543210	A	12 April 2017
				WO	2016008189	A1	21 January 2016
CN	202434192	U	12 September 2012	None			
US	2015179128	A1	25 June 2015	WO	2014176821	A1	06 November 2014
				CN	103236234	A	07 August 2013
US	2016358569	A1	08 December 2016	CN	104835474	A	12 August 2015

<p>A. 主题的分类</p> <p>G09G 3/3266(2016.01)i; G09G 3/36(2006.01)i; G11C 19/28(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G09G G11C</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>WPI, EPODOC, CNPAT, CNKI, IEEE, GOOGLE: 移位寄存器, 输出电路, 直流, 信号源, 阈值, 损失, 低电平, 显示, 质量, 薄膜晶体管, 反向, shift, register, output, circuit, DC, signal, source, threshold, loss, low, level, display, mass, thin, film, transistor, reverse</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 107464539 A (京东方科技集团股份有限公司 等) 2017年 12月 12日 (2017 - 12 - 12) 说明书第[0037]-[0057]段</td> <td>1-22</td> </tr> <tr> <td>A</td> <td>CN 104064158 A (深圳市华星光电技术有限公司) 2014年 9月 24日 (2014 - 09 - 24) 全文</td> <td>1-22</td> </tr> <tr> <td>A</td> <td>CN 202434192 U (京东方科技集团股份有限公司) 2012年 9月 12日 (2012 - 09 - 12) 全文</td> <td>1-22</td> </tr> <tr> <td>A</td> <td>US 2015179128 A1 (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. 等) 2015年 6月 25日 (2015 - 06 - 25) 全文</td> <td>1-22</td> </tr> <tr> <td>A</td> <td>US 2016358569 A1 (BOE TECHNOLOGY GROUP CO., LTD. 等) 2016年 12月 8日 (2016 - 12 - 08) 全文</td> <td>1-22</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 107464539 A (京东方科技集团股份有限公司 等) 2017年 12月 12日 (2017 - 12 - 12) 说明书第[0037]-[0057]段	1-22	A	CN 104064158 A (深圳市华星光电技术有限公司) 2014年 9月 24日 (2014 - 09 - 24) 全文	1-22	A	CN 202434192 U (京东方科技集团股份有限公司) 2012年 9月 12日 (2012 - 09 - 12) 全文	1-22	A	US 2015179128 A1 (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. 等) 2015年 6月 25日 (2015 - 06 - 25) 全文	1-22	A	US 2016358569 A1 (BOE TECHNOLOGY GROUP CO., LTD. 等) 2016年 12月 8日 (2016 - 12 - 08) 全文	1-22
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
A	CN 107464539 A (京东方科技集团股份有限公司 等) 2017年 12月 12日 (2017 - 12 - 12) 说明书第[0037]-[0057]段	1-22																		
A	CN 104064158 A (深圳市华星光电技术有限公司) 2014年 9月 24日 (2014 - 09 - 24) 全文	1-22																		
A	CN 202434192 U (京东方科技集团股份有限公司) 2012年 9月 12日 (2012 - 09 - 12) 全文	1-22																		
A	US 2015179128 A1 (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. 等) 2015年 6月 25日 (2015 - 06 - 25) 全文	1-22																		
A	US 2016358569 A1 (BOE TECHNOLOGY GROUP CO., LTD. 等) 2016年 12月 8日 (2016 - 12 - 08) 全文	1-22																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2019年 7月 8日</p>	<p>国际检索报告邮寄日期</p> <p>2019年 7月 31日</p>																			
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>	<p>授权官员</p> <p>马鑫</p> <p>电话号码 86-(10)-53961354</p>																			

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/087835

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107464539	A	2017年 12月 12日	WO	2019056795	A1	2019年 3月 28日
CN	104064158	A	2014年 9月 24日	KR	20170030599	A	2017年 3月 17日
				JP	2017528747	A	2017年 9月 28日
				US	2016260403	A1	2016年 9月 8日
				GB	2543210	A	2017年 4月 12日
				WO	2016008189	A1	2016年 1月 21日
CN	202434192	U	2012年 9月 12日	无			
US	2015179128	A1	2015年 6月 25日	WO	2014176821	A1	2014年 11月 6日
				CN	103236234	A	2013年 8月 7日
US	2016358569	A1	2016年 12月 8日	CN	104835474	A	2015年 8月 12日