

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年4月2日(02.04.2020)



(10) 国際公開番号

WO 2020/067503 A1

(51) 国際特許分類:

H04N 5/374 (2011.01) H04N 5/369 (2011.01)
H04N 5/345 (2011.01) H04N 9/07 (2006.01)

(21) 国際出願番号: PCT/JP2019/038357

(22) 国際出願日: 2019年9月27日(27.09.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-185635 2018年9月28日(28.09.2018) JP

(71) 出願人: 株式会社ニコン (NIKON CORPORATION) [JP/JP]; 〒1086290 東京都港区港南二丁目1番3号 Tokyo (JP).

(72) 発明者: 安藤 良次 (ANDO, Ryoji); 〒1086290 東京都港区港南二丁目1番3号 株式会社ニコン内 Tokyo (JP). 高木 徹 (TAKAGI, Toru); 〒1086290 東京都港区港南二丁目1番3号 株式会社ニコン内 Tokyo (JP). 瀬尾 崇志 (SEO, Takashi); 〒1086290 東京都港区港南二丁目1

5番3号 株式会社ニコン内 Tokyo (JP). 渡邊 佳之 (WATANABE, Yoshiyuki); 〒1086290 東京都港区港南二丁目1番3号 株式会社ニコン内 Tokyo (JP). 加藤 周太郎 (KATO, Shutaro); 〒1086290 東京都港区港南二丁目1番3号 株式会社ニコン内 Tokyo (JP).

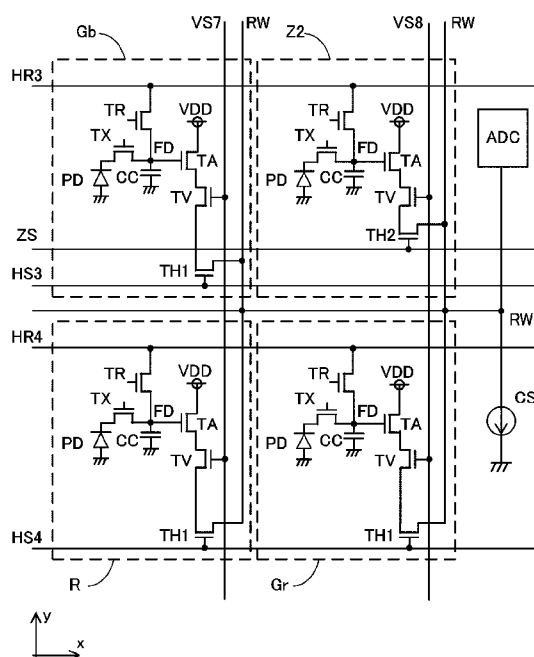
(74) 代理人: 永井 冬紀, 外 (NAGAI, Fuyuki et al.); 〒1080075 東京都港区港南一丁目6番41号 品川クリスタルスクエア 901 永井特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: IMAGING ELEMENT AND IMAGING DEVICE

(54) 発明の名称: 撮像素子および撮像装置

[図3]



(57) Abstract: This imaging element is provided with: a first pixel having a first photoelectric conversion unit, a first accumulation unit that accumulates electric charges generated by the first photoelectric conversion unit, and a first output unit that outputs a first signal based on the voltage of the first accumulation unit; a second pixel having a second photoelectric conversion unit, a second accumulation unit that accumulates electric charges generated by the second photoelectric conversion unit, and a second output unit that outputs a second signal based on the voltage of the second accumulation unit; an output line to which the first and second output units are connected and through which the first and second signals are outputted; and a control unit that can control the voltage of the first accumulation unit to a first voltage and the voltage of the second accumulation unit to the first voltage or to a second voltage different from the first voltage.

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 撮像素子は、第1光電変換部、第1光電変換部が生成した電荷を蓄積する第1蓄積部、および第1蓄積部の電圧に基づく第1信号を出力する第1出力部を有する第1画素と、第2光電変換部、第2光電変換部が生成した電荷を蓄積する第2蓄積部、および第2蓄積部の電圧に基づく第2信号を出力する第2出力部を有する第2画素と、第1出力部と第2出力部とが接続され第1信号および第2信号が出力される出力線と、第1蓄積部の電圧を第1電圧に制御可能であり、第2蓄積部の電圧を第1電圧と異なる第2電圧または第1電圧に制御可能な制御部と、を備える。

明 細 書

発明の名称 : 撮像素子および撮像装置

技術分野

[0001] 本発明は、撮像素子および撮像装置に関する。

背景技術

[0002] 従来、画素の一部を、撮像レンズにより形成される像の焦点を検出する素子として使用する撮像素子が知られている（例えば特許文献1）。焦点検出に用いられる画素と撮像に用いられる画素とでは出力される信号の値が異なる。

先行技術文献

特許文献

[0003] 特許文献1：日本国特開2014-103525号公報

発明の概要

[0004] 本発明の第1の態様によると、撮像素子は、光を光電変換して電荷を生成する第1光電変換部、前記第1光電変換部で生成された電荷を蓄積する第1蓄積部、および前記第1蓄積部の電圧に基づく第1信号を出力する第1出力部を有する第1画素と、光を光電変換して電荷を生成する第2光電変換部、前記第2光電変換部で生成された電荷を蓄積する第2蓄積部、および前記第2蓄積部の電圧に基づく第2信号を出力する第2出力部を有する第2画素と、前記第1出力部と前記第2出力部とが接続され、前記第1信号および前記第2信号が出力される出力線と、前記第1蓄積部の電圧を第1電圧に制御可能であり、前記第2蓄積部の電圧を前記第1電圧と異なる第2電圧または前記第1電圧に制御可能な制御部と、を備える。

本発明の第2の態様によると、撮像装置は、第1の態様による撮像素子と、前記第1信号に基づいて画像データを生成する生成部と、を備える。

図面の簡単な説明

[0005] [図1]撮像装置の構成を模式的に示す断面図。

[図2]撮像素子を撮像面側から見た平面図。図2（a）は撮像素子の全体図であり、図2（b）はその一部を拡大した図。

[図3]撮像素子の画素の一部および読み出し回路の回路図。

[図4]撮像素子の制御部の回路図。

[図5]撮像素子の動作例を示すタイミングチャート。

[図6]撮像素子の断面図。

[図7]撮像画素および焦点検出用画素の断面図。

発明を実施するための形態

[0006]（撮像装置の実施形態）

図1は、第1の実施の形態に係る撮像素子を用いた撮像装置の構成を模式的に示す断面図である。撮像装置1は、撮像光学系2、撮像素子3、制御部4、レンズ移動部5、および表示部6を備える。

[0007] 撮像光学系2は、撮像素子3の撮像面に被写体像を結像させる。撮像光学系2は、レンズ2a、フォーカシングレンズ2b、およびレンズ2cから成る。フォーカシングレンズ2bは、撮像光学系2の焦点調節を行うためのレンズである。フォーカシングレンズ2bは、光軸Z方向に移動可能に構成されている。

[0008] レンズ移動部5は、不図示のアクチュエータを有する。レンズ移動部5は、このアクチュエータにより、フォーカシングレンズ2bを光軸Z方向に移動させる。撮像素子3は、被写体像を撮像して信号を出力する。撮像素子3は、撮像画素とAF画素（焦点検出画素）とを有する。撮像画素は、画像生成に用いる信号（画像信号）を出力する。AF画素は、焦点検出に用いる信号（焦点検出信号）を出力する。制御部4は、撮像素子3等の各部を制御する。制御部4は、撮像素子3により出力された画像信号に画像処理等を施して画像データを生成する。制御部4は、不図示の記録媒体に画像データを記録したり、表示部6に画像データに基づく画像を表示したりする。制御部4は、画像信号に基づいて画像を生成する生成部と解釈することもできる。表示部6は、例えば液晶パネル等の表示部材を有する表示装置である。

[0009] また、制御部 4 は、公知の位相差検出方式により、撮像光学系 2 の自動焦点調節（A F）に必要な焦点検出処理を行う。具体的に、制御部 4 は、撮像光学系 2 による像が撮像素子 3 の撮像面上に結像するためのフォーカシングレンズ 2 b の合焦位置を検出する。制御部 4 は、撮像素子 3 から出力される一对の焦点検出信号に基づき、第 1 及び第 2 の像の像ズレ量を検出する。制御部 4 は、検出した像ズレ量に基づいて、フォーカシングレンズ 2 b の現在の位置と合焦位置とのずれ量（デフォーカス量）を算出する。フォーカシングレンズ 2 b がデフォーカス量に応じて駆動されることにより、焦点調節が自動で行われる。

[0010] （撮像素子の実施形態）

図 2（a）は、本発明の実施形態の撮像素子 3 を撮像面側から、すなわち図 1 の - Z 側から見た図である。撮像素子 3 は、図 2 の x 方向および y 方向に配列される複数の画素 30 を有している。図 2 では一部を省略して描いているが、画素 30 は、x 方向および y 方向にそれぞれ例えば 1000 個以上に渡って多数配列されていてもよい。

複数の画素 30 が配列された領域（撮像領域）の、図中の左端には水平制御部 H C が設けられ、図中の上端には垂直制御部 V C が設けられている。水平制御部 H C と垂直制御部 V C を合わせて、制御部 C U とも呼ぶ。

[0011] （画素ブロックの構成）

撮像素子 3 は、複数の画素ブロック B C を有する。図 2 では、1 つの画素ブロック B C は、破線で示した境界線 B B により囲まれる領域に、x 方向および y 方向に配列された複数の画素 30 を有する。境界線 B B で囲まれた領域は 1 つの画素ブロック B C を構成する。各画素ブロック B C のそれぞれの中の複数の画素 30 は、後述するようにそれぞれの出力部が 1 つの出力線に接続され、各画素 30 が 1 つの読出部に接続されている。なお、画素ブロック B C のそれぞれの中の複数の画素 30 は、複数の出力線に接続され、複数の読出部に接続されていてもよい。

図 2 では、説明を容易にするために 1 つの画素ブロック B C に相当する部

分にハッチング付している。ただし、破線で示した各境界線BBにより囲まれる各領域がそれぞれ画素ブロックBCである。複数の画素30は分割されて、複数の画素ブロックBCの中に配列されている。

[0012] 図2に示した例の場合、x方向に4個およびy方向に4個配列される計16個の画素30が、1つの画素ブロックBCを構成している。1つの画素ブロックBC内のx方向およびy方向の画素の配列数は、4個に限られるものではなく、6個や8個等の他の数であってもよい。x方向とy方向で配列数が異なってもよい。

また、画素ブロックBCの外郭形状は図2に示した長方形に限られるものではなく、複数の画素30を包含する任意の形状であってもよい。この場合、境界線BBの形状は単純な直線ではなく、複数の直線が折れ曲がって接続された形状になる。

[0013] 図2(b)は、図2(a)に示した画素ブロックBCのうち、x方向に隣接する2つの画素ブロックBC1および画素ブロックBC2を拡大して示す図である。図2(b)に示したとおり、複数の画素30には、例えばR(赤)、G(緑)、B(青)の異なる分光特性を有する3つのカラーフィルタ(色フィルタ)のいずれかが設けられる。Rのカラーフィルタは主に赤色の波長域の光を透過し、Gのカラーフィルタは主に緑色の波長域の光を透過し、Bのカラーフィルタは主に青色の波長域の光を透過する。画素は、配置されたカラーフィルタによって異なる分光特性を有する。画素30には、赤(R)の光に感度を有する画素(以下、R画素Rと称する)と、緑(G)の光に感度を有する画素(以下、G画素Gと称する)と、青(B)の光に感度を有する画素(以下、B画素Bと称する)とがある。これらの画素30は、いわゆるベイヤー配列で配列されている。G画素GbはB画素Bと同じy方向に配置されたG画素であり、G画素GrはR画素Rと同じy方向に配置されたG画素である。

[0014] 画素ブロックBC1は、ベイヤー配列で配列された、各4個のG画素Gb、G画素Gr、R画素R、B画素Bを有する。これらの画素30は、いずれ

も撮像素子3の撮像面に形成された光学像の撮像のために使用される撮像素素G_b、G_r、R、B（以下、総称して撮像素素30cとも呼ぶ）である。

[0015] 画素ブロックBC2は、その内部の画素30の配列は画素ブロックBC1とほぼ同様であるが、画素ブロックBC1ではB画素Bが配置されている箇所の一部の画素が、上述の撮像素素30cとは異なる特殊画素Z1およびZ2（総称して、特殊画素ZZとも呼ぶ）に置き換わっている。

[0016] 特殊画素ZZは、例えば、AF画素であり、その構成については後述する。

特殊画素ZZは、AF画素に限らず、感度が上述の撮像素素30cのいずれとも異なる画素であってもよい。また、分光特性が上述の撮像素素30cのいずれとも異なるカラーフィルタを有する画素であってもよい。

[0017] 画素ブロックBC2は、複数の画素30として特殊画素ZZを少なくとも1つ含み、撮像素素30cを複数有する。

複数の画素ブロックBCのうち少なくとも1つの画素ブロックBCは、画素ブロックBC2のように少なくとも1つの特殊画素ZZと複数の撮像素素30cで構成される。撮像素子3の複数の画素ブロックBCが全て特殊画素ZZを含む画素ブロックBC2で構成されていてもよい。撮像素子3の複数の画素ブロックBCのうち少なくとも一つが特殊画素ZZを含む画素ブロックBC2、他の画素ブロックBCが全て撮像素素30cで構成される画素ブロックBCであってもよい。

[0018] 図2（a）に示した垂直制御部VCからは、各画素30に設けられた後述する選択部TV（図3に図示）に接続されている垂直選択線VS1～VS8（総称して、垂直選択線VSとも呼ぶ）がy方向に延びている。水平制御部HCからは、各撮像素素30cに設けられた後述する選択部TH2（図3に図示）に接続されている水平選択線HS1～HS4（総称して、水平選択線HSとも呼ぶ）がx方向に延びている。水平制御部HCからは、各特殊画素Z1およびZ2の後述する選択部に接続されている特殊水平選択線ZSもx方向に延びている。

水平制御部HCからは、各画素30の後述するリセット部に接続されているリセット電圧線HR1～HR4（総称して、リセット電圧線HRとも呼ぶ）がx方向に延びている。

[0019] 図2（b）に示したとおり、垂直選択線VS1～VS8のそれぞれは、y方向に並ぶ複数の画素30で共用されており、水平選択線HS1～HS4のそれぞれは、x方向に並ぶ複数の撮像素素30cで共用されている。特殊水平選択線ZSは、x方向に並ぶ複数の特殊画素ZZで共用されている。リセット電圧線HR1～HR4のそれぞれは、x方向に並ぶ複数の画素30で共用されている。

[0020] 図3は、図2（b）に示した画素ブロックBC2内の右下にある、2点鎖線で囲った領域PB内の4つの画素30（縦方向に2個、横方向に2個配列）について、その電気回路の概要を示す図である。この4つの画素30は、図2（b）の領域PB内に示したとおり、左上がG画素Gb、右上が特殊画素Z2、左下がR画素R、右下がG画素Grである。

4つの画素（Gb、Z2、R、Gr）は、いずれも基本的には4トランジスタ型のCMOS型撮像素子であるが、後述するとおり、いわゆる選択トランジスタの構成が通常の4トランジスタ型のCMOS型撮像素子とは異なっている。

[0021] 各画素（Gb、Z2、R、Gr）において、光電変換部であるフォトダイオードPDは入射光を光電変換して電荷を生成し、生成した電荷を一時的に蓄積する。転送トランジスタTXは、不図示の転送制御線よりそのゲートに送られる転送信号に基づいて、フォトダイオードPDに蓄積された電荷を、容量CCが形成されるフローティングデフュージョン（FD）領域FDに転送する。増幅トランジスタTAは、転送された電荷によりFD領域FDに生じた電圧がそのゲートに印加されることにより、フォトダイオードPDで生成された電荷に応じた信号を出力する。

[0022] 増幅トランジスタTAの入力側（ドレイン）には、電源電圧VDDが印加されている。FD領域FDを所定の電圧にリセットするためのリセットトラ

ンジスタTRが設けられている。リセットトランジスタTRの入力側（ドレイン）は、リセット電圧線HR3またはHR4に接続され、水平制御部HCからリセット電圧線HRを介して後述する所定の電圧が供給される。

[0023] 各画素（Gb, Z2, R, Gr）の増幅トランジスタTAの出力側（ソース側）は、垂直選択トランジスタTVの入力側に接続されている。垂直選択トランジスタTVのゲートには、垂直選択線VS7またはVS8が接続されており、図2（a）に示した垂直制御部VCから送られてくる制御信号により、垂直選択トランジスタTVが導通または非導通となるように制御される。

[0024] 撮像素子3の撮像素（Gb, R, Gr）の垂直選択トランジスタTVの出力側は、水平選択トランジスタTH1の入力側に接続されている。すなわち、垂直選択トランジスタTVと水平選択トランジスタTH1は、直列に配置されている。水平選択トランジスタTH1のゲートは、水平選択線HS3またはHS4に接続されており、図2（a）に示した水平制御部HCから送られてくる制御信号により、水平選択トランジスタTH1が導通または非導通となる。

実施形態の撮像素子3の撮像素（Gb, R, Gr）において、増幅トランジスタTA、垂直選択トランジスタTV、および水平選択トランジスタTH1を一体として、あるいはそのいずれかを、出力部と解釈することができる。

[0025] 一方、特殊画素Z2においては、垂直選択トランジスタTVの出力側は、特殊水平選択トランジスタTH2の入力側に接続されている。特殊水平選択トランジスタTH2のゲートは、特殊水平選択線ZSに接続されており、図2（a）に示した水平制御部HCから送られてくる制御信号により、特殊水平選択トランジスタTH2が導通または非導通となる。

実施形態の撮像素子3の特殊画素Z2の増幅トランジスタTA、垂直選択トランジスタTV、および特殊水平選択トランジスタTH2を一体として、あるいはそのいずれかを、出力部と解釈することができる。

[0026] 画素ブロックBC2内の撮像素（Gb, R, Gr）の水平選択トランジ

スタ T H 1 の出力部、および画素ブロック B C 2 内の特殊画素 Z 2 内の特殊水平選択トランジスタ T H 2 の出力部は、いずれも 1 つの出力線 R W に接続されている。そして、出力線 R W は、画素 3 0 の信号を読み出す読出部に接続されている。読出部は、例えば、画素 3 0 から出力されるアナログ信号をデジタル信号に変換する A D 変換部 A D C を有する。また出力線 R W は、各画素 3 0 に電流を供給する電流源 C S と接続されている。

[0027] 制御部 C U は、垂直選択線 V S および水平選択線 H S への制御信号の電圧を制御することにより、画素ブロック B C 2 内の任意の 1 つ以上の画素 (G b , Z 2 , R , G r) の信号 (増幅トランジスタ T A の出力) を出力線 R W に出力させる。読出部は、画素ブロック B C 2 内の画素 (G b , Z 2 , R , G r) の信号を読み出す。

[0028] 図 4 は、水平制御部 H C に含まれる回路図である。図 4 には、水平制御部 H C に含まれる回路の一部と、複数の画素 3 0 の一部と、上述の画素ブロック B C 1 , B C 2 内の画素 3 0 に接続される水平選択線 H S の一部、特殊水平選択線 Z S 、およびリセット電圧線 H R の一部が示されている。

[0029] それぞれの水平選択線 H S は、水平制御部 H C において選択線切替スイッチ S S 1 ~ S S 4 (総称して、選択線切替スイッチ S S とも言う) に接続されている。選択線切替スイッチ S S により、それぞれの水平選択線 H S は、例えば電源電圧 V D D 等の高電圧が供給されている高電圧線 S H か、例えば接地電圧 G N D 等の低電圧が供給されている低電圧線 S L かのいずれかに、切替可能に接続される。

[0030] 例えば、水平選択線 H S 1 が、高電圧線 S H に接続された場合、水平選択線 H S 1 が接続される画素 3 0 内の水平選択トランジスタ T H 1 は導通状態となる。水平選択線 H S 1 が、低電圧線 S L に接続された場合、その水平選択トランジスタ T H 1 は非導通状態となる。

特殊水平選択線 Z S は、水平制御部 H C において特殊切替スイッチ S Z に接続されている。特殊切替スイッチ S Z により、特殊水平選択線 Z S は、高電圧線 S H か低電圧線 S L かのいずれかに、切替可能に接続される。例えば

、特殊水平選択線Z Sが、高電圧線S Hに接続された場合、特殊水平選択線Z Sが接続される画素30内の水平選択トランジスタT H2は導通状態となる。特殊水平選択線Z Sが、低電圧線S Lに接続された場合、その水平選択トランジスタT H2は非導通状態となる。

[0031] 一方、それぞれのリセット電圧線H Rは、水平制御部H Cにおいてリセット線切替スイッチS R1～S R4（総称して、リセット線切替スイッチS Rとも言う）に接続されている。リセット線切替スイッチS Rにより、それぞれのリセット電圧線H Rは、例えば電源電圧V D D等の第1電圧が供給されている第1電圧線R R1、第1電圧より基板電圧に近い第2電圧が供給されている第2電圧線R R2、または第2電圧より基板電圧に近い第3電圧が供給されている第3電圧線R R3のいずれかに、切替可能に接続される。

[0032] 水平制御部H Cにより、各画素30内のリセットトランジスタT Rの入力側には、リセット電圧線H Rを介して、第1電圧、第2電圧、または第3電圧のいずれかが印加される。

選択線切替スイッチS S、特殊切替スイッチS Z、リセット線切替スイッチS Rは、いずれも、半導体スイッチ、たとえばM O Sトランジスタ回路で構成することができる。

[0033] 図示は省略するが、垂直制御部V C内にも、図4に示した水平制御部H Cと同様に、各垂直選択線V Sに印加する電圧を切替える切替スイッチが配置されている。

これらの各スイッチの切替え、すなわち垂直選択線V S、水平選択線H S、特殊水平選択線Z S、およびリセット電圧線H Rのそれぞれにどのような電圧の信号を送るかは、制御部C U内の制御回路により制御することができる。

なお、制御部C Uは、撮像素子が実装される各種装置、機器からの指示に基づき切替スイッチを移動制御することもできる。

[0034] 図示は省略するが、図3に示した各画素30内の転送トランジスタT Xのゲート、およびリセットトランジスタT Rのゲートには、従来のC M O S型

撮像素子と同様に、水平選択線HSまたは垂直選択線VSと同様の不図示の制御線が接続されている。そして、制御部CUは、この制御線によりx方向に1行またはy方向に1列に並ぶ画素30毎に転送トランジスタTX、およびリセットトランジスタTRの導通状態を制御することができる。

[0035] あるいは、転送トランジスタTXおよびリセットトランジスタTRの制御を、画素30毎に行う構成としてもよい。このためには、例えば、それぞれの制御線についても水平方向および垂直方向の2方向の制御線からなる構成とし、転送トランジスタTXおよびリセットトランジスタTRのそれぞれを直列で配置された2つのトランジスタで構成する。そして、2つのトランジスタのゲートのそれぞれに、水平方向の制御線および垂直方向の制御線のいずれかを接続すればよい。

[0036] 本実施形態の撮像素子3においては、後述するように1つの読出部に接続されている1つの画素ブロックBC内の任意の数の画素30の信号を、出力線RWおよび読出部を介して、合算して読み出すこと（ビニング読出し）ができる。

ビニング読出しにより、撮像素子3を、例えば撮像素子の総画素数よりも少ない画素数の画像データを出力する低解像度モードでの使用に、容易に適用することができる。ビニング読出しでは、1つの画素ブロックBC内の2つ以上の画素30を、読出部により合算して読み出すことにより各画素30の信号に混入するノイズが平滑化されるため、よりノイズの少ない画像を得ることができる。

[0037] 読出部により読み出し時に合算される複数の画素30は、同色の画素であることが好ましい。よって、垂直制御部VCおよび水平制御部HCは、垂直選択線VSおよび水平選択線HSへの制御信号の電圧を制御して、1つの画素ブロックBC内の2つ以上の同色の画素30を選択し、それらの信号（増幅トランジスタTAの出力）を、出力線RWに出力させる。

[0038] （読出し画素とクリップ動作画素の動作）

信号を読み出す際に、読出部の入力側における信号の電圧が所定の値を下

回った場合のように読出部に異常値が出力される場合、画素ブロックBC内の出力線RWに繋がる電流源CSや読出部に過剰な電流が流れる等により、電流源CSや読出部が損傷する恐れがある。

これを防止するために、本実施形態の撮像素子3では、以下のようにして過剰な電流を抑制することができる。すなわち、1つの画素ブロックBC内の任意の1つ以上の読出し画素の読み出し時に、1つの画素ブロックBC内の他の任意の画素30をクリップ動作画素とし、読出し画素とクリップ動作画素の信号を合算して読み出すことにより、過剰な電流を抑制することができる。

[0039] クリップ動作画素と合算して読出すことにより、合算された読出し信号の電圧の下限値は、クリップ動作画素からの信号による値にクリップされ、その値を下回ることを防止できるので、読出部や電流源CSが損傷する恐れを解消することができる。

クリップ動作画素は、クリップのための一定の信号を出力するだけの画素として機能するで、読出し画素と同色の画素である必要はない。

[0040] 以下、本実施形態の撮像素子3における撮像時等の光量信号の読出し動作について説明する。そして、まずは一例として、読出し画素が図3中の左上に配置されるG画素（撮像素素）Gbであり、クリップ動作画素が図3中の左下に配置されるR画素（撮像素素）Rであるとして説明する。ただし、後述するように、読出し画素およびクリップ動作画素として他の任意の画素30を選んでもよい。

[0041] 撮像または焦点検出等のための露光動作に先立って、水平制御部HCを含む制御部CUはリセット線切替スイッチSRを制御して、各リセット電圧線HRを第1電圧が供給されている第1電圧線RR1に接続する。そして、制御部CUは、各画素30のリセットトランジスタTRおよび転送トランジスタTXを導通状態として、FD領域およびフォトダイオードPDを上述の第1電圧にリセットする。

[0042] その後、制御部CUは転送トランジスタTXを非導通とし、撮像素子3上

のフォトダイオードPDに対して撮像または焦点検出等のための露光が行われる。

露光後に、露光によりフォトダイオードPDに生じた電荷に基づく信号を、いわゆる相関二重サンプリングを用いて読み出す。制御部CUは、水平選択線HS3、水平選択線HS4、および垂直選択線VS7にハイレベルの電圧を印加し、読出し画素Gbとクリップ動作画素Rのそれぞれの垂直選択トランジスタTVおよび水平選択トランジスタTH1を導通状態とする。これにより、読出し画素Gbとクリップ動作画素Rのそれぞれの増幅トランジスタTAの出力は、出力線RWに出力され、合算されることとなる。

[0043] 以下、図5に示したタイミングチャートも参照して説明する。

図5に示すタイミングチャートにおいて、横軸は時刻を示しており、TXおよびTRは、各画素30の転送トランジスタTXおよびリセットトランジスタTRのゲートに入力される制御信号の電圧を示している。一例として、各画素30内の各トランジスタをnMOS型としているので、図5において、制御信号がハイレベル（例えば電源電圧）の場合に制御信号が入力されるトランジスタが導通状態となり、制御信号がローレベル（例えば接地電圧）の場合に制御信号が入力されるトランジスタが非導通状態となる。

図5の、HR電圧は、各画素30に接続されるリセット電圧線HRに供給される電圧を示し、FD電圧は、各画素30のFD領域の電圧を示している。

[0044] 読出しの開始時の時刻t0においては、制御部CUは、読出し画素Gbおよびクリップ動作画素Rの、いずれの転送トランジスタTXおよびリセットトランジスタTRのゲートにも、ローレベルの制御信号を供給している。そして、制御部CUは、読出し画素Gbおよびクリップ動作画素Rのリセット電圧線HRには第1電圧VC1を供給している。

なお、読出し画素Gbおよびクリップ動作画素RのFD領域FDは、前述のリセット動作において第1電圧にリセットされているが、その後ノイズ等の影響により、時刻t0におけるFD領域FDの電圧は不確定である。

[0045] 続いて、制御部C Uは、時刻 t_1 から時刻 t_2 の間、読出し画素G bのリセットトランジスタT Rのゲートにハイレベルの電圧を印加し、読出し画素G bのF D領域F Dを第1電圧V C 1にリセットする。この結果、読出し画素G b内の増幅トランジスタT Aのゲートには第1電圧V C 1が印加され、増幅トランジスタT Aはこれに基づく増幅信号、すなわちフォトダイオードP Dに蓄積された電荷が反映されない、いわゆるダーク信号を出力する。この出力が、垂直選択トランジスタT Vおよび水平選択トランジスタT H 1を介して出力線R Wに出力される。

[0046] 一方、クリップ動作画素Rに対しては、制御部C Uは、時刻 t_1 以降、リセットトランジスタT Rのゲートにハイレベル信号を印加し、クリップ動作画素Rに接続されるリセット電圧線H Rには第2電圧V C 2を供給する。この結果、クリップ動作画素RのF D領域F Dは第2電圧V C 2にリセットされる。従って、クリップ動作画素R内の増幅トランジスタT Aのゲートには第2電圧V C 2が印加され、増幅トランジスタT Aはこれに基づく増幅信号を出力する。この出力が、垂直選択トランジスタT Vおよび水平選択トランジスタT H 1を介して出力線R Wに出力される。

[0047] 本実施形態の撮像素子3では、読出し画素G bの信号とクリップ動作画素Rの信号は、いわゆるソースビニングとして合算される。従って、最終的に読出部から読み出される信号の電圧は、合算前の両信号が仮に別々に読出部から読み出された場合の電圧信号のうちの、高い方の電圧とほぼ一致する。

従って、クリップ動作画素RのリセットトランジスタT Rに印加する第2電圧V C 2は以下のように設定される。すなわち、仮にクリップ動作画素Rのみが接続されたときの読出部の出力電圧値が、仮にダーク信号を出力する読出し画素G rのみが接続されたときの読出部の出力電圧値の想定値を上回らない値となるように、第2電圧V C 2は設定される。

[0048] 具体的には、各画素3 0の増幅トランジスタT Aはn M O S型なので、第2電圧V C 2は、第1電圧V C 1よりも低い（接地電圧に近い）電圧に設定する。ただし、あまり低い電圧であると、出力信号をクリップする機能が失

われるので、接地電圧を基準として第1電圧 V_{C1} の2～6割程度の電圧とするのがよい。

制御部CUは、読出部に信号の読出しを指令し、この状態で読出部の入力部に加わる電圧がAD変換され、ダークサンプリングが行われる。

[0049] 次に、制御部CUは、時刻 t_3 から時刻 t_4 の間、読出し画素Gbの転送トランジスタTXのゲートにハイレベルの電圧を印加して、光電変換によって生じたフォトダイオードPD内の電荷を、FD領域に転送する。一方、時刻 t_3 において、クリップ動作画素Rに接続されるリセット電圧線HRに供給する電圧を第3電圧 V_{C3} に変更する。この結果、クリップ動作画素RのFD領域FDは第3電圧 V_{C3} にリセットされる。

[0050] 時刻 t_4 に、制御部CUは読出部に信号の読出しを指令し、この状態で読出部の入力部に加わる電圧がAD変換され、シグナルサンプリングが行われる。

第3電圧 V_{C3} も以下のように設定される。すなわち、仮にクリップ動作画素Rのみが接続された読出部の出力電圧値が、仮に読出し画素Grのみが接続された読出部の出力電圧の想定値を上回らない値となるように、第3電圧 V_{C3} は設定される。

[0051] 具体的には、第3電圧 V_{C3} は、第2電圧 V_{C2} より低く、接地電圧を基準として第2電圧 V_{C2} の3～7割程度の電圧とするのがよい。

なお、各画素30内の増幅トランジスタTAがpMOS型である場合、上記の第1電圧、第2電圧、および第3電圧の高低関係は逆転する。

[0052] 読出部は、上記のシグナルサンプリングとダークサンプリングの結果から、その差分を算出して、読出し画素Gbからの光量信号の読出し結果として出力する。よって、ダークサンプリングによる読出し信号は、シグナルサンプリングによる読出し信号を補正するための補正信号と解釈することができる。

各画素ブロックBC内の読出部で読み出された出力は、不図示の出力制御回路を経て、撮像素子3から出力される。

[0053] (読出し画素とクリップ動作画素の選択)

次に、制御部C Uが垂直選択線V S、水平選択線H S、および特殊水平選択線Z Sの信号レベルを制御することにより行われる読出し画素およびクリップ動作画素の選択動作について、図2 (b) および図3を参照して説明する。

[0054] 始めに、図2 (b) に示す画素ブロックB C 2内において、全てのG画素G bを読み出し画素とし、画素ブロックB C 2内の最下段に配置される水平選択線H S 4に接続される2つのR画素Rをクリップ動作画素として選択する場合について説明する。

この場合、制御部C Uは、4つのG画素G bおよび2つのR画素Rに接続されている垂直選択線V S 5、V S 7に、垂直選択トランジスタT Vを導通させるハイレベルの電圧を供給し、これらの画素に接続されている水平選択線H S 1、H S 3、H S 4に、水平選択トランジスタT H 1を導通させるハイレベルの電圧を供給する。

[0055] 一方、これらの画素に接続されていない、水平選択線H S 2、特殊水平選択線Z S、および垂直選択線V S 6、V S 8には、ローレベルの電圧を供給する。

これにより、各画素ブロックB C 2内の画素30のうち、読出し画素である4つのG画素G bと水平選択線H S 4に接続される2つのR画素Rからの信号のみを、出力線R Wに接続し、読出部により読み出すことができる。

[0056] すなわち、上述した相関2重サンプリングによる読出しにおいて、4つのG画素G bを読み出し画素として、水平選択線H S 4に接続される2つのR画素Rをクリップ動作画素として、読出しを行えばよい。

具体的には、4つのG画素G bのリセット部に接続されるリセット電圧線H R 1、H R 3には、常に第1電圧V C 1を印加し、リセットトランジスタT Rおよび転送トランジスタT Xには、図5に示した所定のタイミング(読出し画素の所定のタイミング)でハイレベルの電圧を印加する。

[0057] 水平選択線H S 4に接続される2つのR画素Rのリセット部に接続される

リセット電圧線HR4には、図5に示した所定のタイミング（クリップ動作画素の所定のタイミング）で第1電圧VC1、第2電圧VC2、第3電圧VC3を順次印加する。また、水平選択線HS4に接続される2つのR画素RのリセットトランジスタTRには、所定のタイミングでハイレベルの電圧を印加する。

これにより、画素ブロックBC2内において、2つのR画素Rをクリップ動作画素とし、4つのG画素Gbを読み出し画素として、ビニング読出しを行うことができる。

[0058] 上述の読出し動作において、水平選択線HS1にはローレベルの電圧を印加することで、画素ブロックBC2内の、水平選択線HS3と接続している2つのG画素Gbを読み出し画素とし、2つのR画素Rをクリップ動作画素として、ビニング読出しを行うこともできる。

また、垂直選択線VS5にもローレベルの電圧を印加することで、画素ブロックBC2内の、水平選択線HS3と垂直選択線VS7に接続している1つのG画素Gbを読み出し画素とし、1つのR画素Rをクリップ動作画素として、ビニング読出しを行うこともできる。

[0059] 読出し画素とクリップ動作画素を同色の画素から選択することもできる。

例えば、画素ブロックBC2内で、垂直選択線VS5にのみハイレベルの電圧を印加し、他の垂直選択線VSにはローレベルの電圧を印加し、水平選択線HS1、HS3にハイレベルの電圧を印加し、水平選択線HS2、HS4にはローレベルの電圧を印加する。

これにより、垂直選択線VS5と接続されている2つのG画素Gbの信号のみを、出力線RWに接続することができる。これは、一方のG画素Gbを読み出し画素、他方のG画素Gbをクリップ動作画素とする一例であり、水平制御部HCは、次のようにリセット電圧線HRおよび水平選択線HSに供給する信号レベルを制御する。

[0060] 図5のタイミングチャートに従って、リセット電圧線HR1に常に第1電圧VC1を供給する。一方、リセット電圧線HR3にはタイミングに応じて

、第1電圧 V_{C1} 、第2電圧 V_{C2} 、第3電圧 V_{C3} を順次供給し、リセットトランジスタ T_R および転送トランジスタ T_X のゲートには、タイミングに応じて適宜ハイレベルの電圧を供給する。これにより、リセット電圧線 H_{R1} に接続されるG画素 G_b を読み出し画素として、リセット電圧線 H_{R3} に接続されるG画素 G_b をクリップ動作画素として、読み出しを行うことができる。

[0061] 上述の読み出しの例では、G画素 G_b を読み出し画素とした例について説明したが、G画素 G_r やR画素 R 、B画素 B または特殊画素 Z_Z を、読み出し画素とすることも、同様にできる。

その場合、クリップ動作画素としても、同様に、読み出し画素と同色の画素を使用することもでき、あるいは読み出し画素と異なる色の画素を使用することもできる。

[0062] 読み出し画素またはクリップ動作画素として特殊画素 Z_Z を使用する場合、特殊画素 Z_Z の信号を出力線 RW に出力するために、上述の水平選択線 HS に代えて、特殊画素 Z_Z に接続されている特殊水平選択線 Z_S にハイレベルの電圧を印加する。

図2(b)に示す画素ブロック $BC2$ においては、青色光に対して感度の高いB画素 B の一部が特殊画素 Z_1 、 Z_2 で置き換わっているが、画素ブロック $BC2$ におけるB画素 B からの読み出し動作も、上述のG画素 G_r からの読み出し動作とほぼ同様に行うことができる。

[0063] 例えば、2つのB画素 B を読み出し画素とし、2つの特殊画素 Z_1 、 Z_2 をクリップ動作画素として信号を読み出す際には、水平選択線 HS_1 、特殊水平選択線 Z_S 、および垂直選択線 VS_6 、垂直選択線 VS_8 にハイレベルの電圧を加える。そして、他の水平選択線 HS および垂直選択線 VS には、ローレベルの電圧を加える。

[0064] これにより、2つのB画素 B と2つの特殊画素 Z_1 、 Z_2 の信号のみを、出力線 RW に接続することができる。そして、上述の例と同様に、2つのB画素 B が読み出し画素に、2つの特殊画素 Z_1 、 Z_2 がクリップ動作画素とな

るようにリセット電圧線HR等に所定の電圧を印加して、上述の相関2重サンプリングを行えばよい。

[0065] この場合に、特殊水平選択線ZSに代えて、水平選択線HS2にハイレベルの電圧を印加するとともに、リセット電圧線HR2に図5に示したタイミングに応じて所定の電圧を印加することにより、水平選択線HS2に接続される2つのG画素Grをクリップ動作画素として使用することもできる。

[0066] なお、特殊水平選択線ZSと並行して配置される水平選択線HS3は、特殊画素Z1、Z2内の特殊水平選択トランジスタTH2と接続されていない。従って、画素ブロックBC2内のB画素Bの信号の読み出しに際し、水平制御部HCが水平選択線HS3にどのような信号を送っても、B画素Bから読出す信号に、特殊画素Z1、Z2からの信号が混入することはない。

ただし、水平選択線HS3は、画素ブロックBC2とx方向に隣接する画素ブロックBC1等の他の画素ブロックBCにおいても共用されているので、水平選択線HS3に加える信号は、他の画素ブロックBCでの読み出しに適した信号を加えることが好ましい。

[0067] 以上と同様に、特殊画素ZZを読出し画素とし、他の撮像素素30cをクリップ動作画素として、特殊画素ZZの信号を読み出すこともできる。

一例として、領域PB内の特殊画素Z2を読出し画素、領域PB内のG画素Grをクリップ動作画素として読み出す場合は、垂直選択線VS8、水平選択線HS4、および特殊水平選択線ZSにハイレベルの電圧を印加する。そして、他の垂直選択線VSおよび水平選択線HSにはローレベルの電圧を印加する。

[0068] これにより、領域PB内の特殊画素Z2と領域PB内のG画素Grの信号のみを、出力線RWに接続することができる。

そして、以上の例と同様に、領域PB内の特殊画素Z2が読出し画素に、領域PB内のG画素Grがクリップ動作画素となるようにリセット電圧線HR等に所定の電圧を印加して、上述の相関2重サンプリングを行えばよい。

[0069] 以上、画素ブロックBC2内の画素30の信号の読み出しについて説明し

たが、これは他の画素ブロックBCにおいても同様である。各画素ブロックBCの各画素30の信号は、各画素ブロックBCにそれぞれ設けられている出力線RWに出力され、読出部により読み出される。なお、画素ブロックBC2以外の画素ブロックの読み出しにおいても、垂直選択線VS、水平選択線HS、および特殊水平選択線ZSは、複数の画素ブロックBCで共有されていてよい。例えば、水平選択線HS1～HS4は、画素ブロックBC1の様に、画素ブロックBC2に対してx方向に並ぶ他の画素ブロックBCの各画素30にも接続されていてよい。また、垂直選択線VS5～VS8は、画素ブロックBC2に対してy方向に並ぶ他の画素ブロックBCの各画素30に接続されていてよい。

[0070] なお、特殊画素ZZと撮像素素(Gb、Gr、R、B)との各信号を読み出す順序は、任意である。例えば、制御部CUは、垂直選択線VSおよび水平選択線HSを介して、始めに特殊画素ZZを選択し、読出部はその出力信号を読み出し、その後に撮像素素(Gb、Gr、R、B)を選択し、読出部はその出力信号を読み出す。

[0071] 画素ブロックBC内の特殊画素ZZの画素数(Z1およびZ2の2個)は撮像素素30cの画素数(Gb、Gr、R、Bを合わせて14個)よりも少ないので、特殊画素ZZの信号の読み出しに要する時間は撮像素素の信号の読み出しに要する時間よりも短い。つまり、特殊画素ZZの信号の読み出しは、撮像素素30cの信号の読み出しよりも高速に行える。例えば、特殊画素ZZがAF画素である場合、特殊画素ZZの信号の読み出しが、撮像素素(Gb、Gr、R、B)の信号の読み出しよりも先に行われることで、制御部4は焦点検出を高速に行うことができる。

また、1つの画素ブロックBCに、2つの読出部を設けてもよい。1つの出力線RWに2つの読出部を接続させることで、2つの読出部それぞれが特殊画素ZZの信号と撮像素素(Gb、Gr、R、B)の信号とを読み出すようにしてもよい。これにより、読出部は、特殊画素ZZの信号と撮像素素(Gb、Gr、R、B)の信号とをそれぞれ最適の読出しゲイン等の条件で読

み出すことができる。

[0072] 以上で説明した読出し画素とクリップ動作画素とのビニング読出しにおいては、クリップ動作画素内の転送トランジスタ T_X のゲートにはハイレベルの信号（転送信号）が印加されない。よって、クリップ動作画素として使用した画素の中のフォトダイオード P_D には、露光により発生した電荷（光電信号）が保存されている。

従って、以上で説明した読出し画素とクリップ動作画素の組合せによる読出しが終了した後に、クリップ動作画素として使用した画素の少なくとも一つを読出し画素として、その信号を読み出すことができる。

[0073] 以上の実施形態において、クリップ動作画素のリセット部（リセットトランジスタ T_R ）に印加される電圧は、第1電圧 V_{C1} と第2電圧 V_{C2} の2通りであってもよい。また、これに対応して、水平制御部 H_C 内のリセット線切替スイッチ S_R によりリセット電圧線 H_R に接続される電圧源は、第1電圧線 R_R1 、第1電圧より基板電圧に近い第2電圧が供給されている第2電圧線 R_R2 の2つであってもよい。

[0074] この場合、図5に示したクリップ動作画素の場合の H_R 電圧（クリップ動作画素に接続されるリセット電圧線 H_R に供給される電圧）は、時刻 t_0 から時刻 t_1 までが第1電圧 V_{C1} で、時刻 t_1 以降は第2電圧 V_{C2} とすればよい。

この場合、第2電圧 V_{C2} は、接地電圧を基準として第1電圧 V_{C1} の2～4割程度の電圧とすればよい。

[0075] 以上の実施形態において、ソースビニング読出しにより合算して読み出される画素30のうちの、読出し画素については第1画素と解釈することができる。一方の、クリップ動作画素については第2画素と解釈することができる。

また、各画素30の F_D 領域 F_D は、フォトダイオード P_D で光電変換された電荷が転送されここに蓄積されるので、蓄積部と解釈することもできる。そして、読出し画素（第1画素）の F_D 領域 F_D は第1蓄積部と解釈する

こともでき、クリップ動作画素（第2画素）のFD領域FDは第2蓄積部と解釈することもできる。

[0076] また、以上の実施形態において、クリップ動作画素を使用せず、ソースビニングにより合算して読み出される画素30を複数の読出し画素のみとしてもよい。これは、上述の読出し例においてクリップ動作画素として使用している画素を選択しないことにより、実現できる。具体的には、相関2重サンプリング時に、クリップ動作画素を垂直選択線VS、水平選択線HS、および特殊水平選択線ZSで選択せず、または、クリップ動作画素に所定のタイミングで各種のリセット電圧やリセットトランジスタTRを制御する信号を送らなければよい。

[0077] この場合、合算して読み出される複数の画素30のうちの任意の1つ以上を第1画素、第1画素以外の画素のうちの1つ以上を第2の画素と解釈することができる。そして、フォトダイオードPDで発生した電荷が転送された第1画素のFD領域FDに生じる電圧を第1電圧、フォトダイオードPDで発生した電荷が転送された第2画素のFD領域FDに生じる電圧を第2電圧と解釈することもできる。

[0078] 図6は、本実施形態の撮像素子3の画素30部分の断面を示す図である。なお図6では、撮像素子3の全体のうち、一部の断面のみを示している。図6中に示したz方向およびz方向は、図1中に示した各方向と同じである。撮像素子3は、いわゆる裏面照射型の撮像素子である。撮像素子3は、紙面上方向から入射した光を光電変換する。撮像素子3は、第1半導体基板7と、第2半導体基板8とを備える。

[0079] 上述のとおり、撮像素子3は複数の画素30を有している。1つの画素30は、第1半導体基板7に設けられた画素上部30xと、第2半導体基板8に設けられた画素下部30yとを含む。1つの画素上部30xには、1つのマイクロレンズ74、1つのカラーフィルタ73、1つのフォトダイオードPDの受光部31等が含まれる。

[0080] 第1半導体基板7は、画素上部30xに含まれるフォトダイオードPDの

受光部 31 を含む受光層 71 と、転送トランジスタ TX、増幅トランジスタ TA 等のトランジスタが形成されている配線層 72 とを備える。受光層 71 は、第 1 半導体基板 7 の配線層 72 とは反対側（裏面側）に配置される。受光層 71 には、複数の受光部 31 が二次元状に配置されている。

画素上部 30x は、入射光を光電変換する部分である受光部 31 を含むので、撮像部と解釈することもできる。

第 2 半導体基板 8 には、画素下部 30y に含まれる垂直選択トランジスタ TV、水平選択トランジスタ TH1、特殊水平選択トランジスタ TH2、垂直選択線 VS、水平選択線 HS、特殊水平選択線 ZS と、読出部および電流源 CS などが配置されている。

[0081] 配線層 72 の表面には複数のバンプ 75 が配置される。第 2 半導体基板 8 の、配線層 72 に対向する面には、複数のバンプ 75 に対応する複数のバンプ 76 が配置される。複数のバンプ 75 と複数のバンプ 76 とは互いに接合されている。複数のバンプ 75 と複数のバンプ 76 とを介して、第 1 半導体基板 7 と第 2 半導体基板 8 とが電氣的に接続されており、すなわち第 1 半導体基板 7 と第 2 半導体基板 8 とは積層されている。

なお、複数の画素 30 からの信号を読み出す読出部は、第 2 半導体基板 8 に配置されているため、第 1 半導体基板 7 に配置されている撮像部に積層されていると解釈することもできる。

[0082] なお、上述した第 1 半導体基板 7 および第 2 半導体基板 8 にそれぞれ配置される回路要素の構成は一例であって、そのうちのいくつかの構成物は、第 1 半導体基板 7 および第 2 半導体基板 8 のどちらに配置してもよい。

フォトダイオード PD の受光部 31 を含む受光層 71 と、転送トランジスタ TX、増幅トランジスタ TA、および垂直選択トランジスタ TV、水平選択トランジスタ TH2、水平選択トランジスタ TH1、特殊水平選択トランジスタ TH2、水平選択線 HS3、HS4、特殊水平選択線 ZS を第 1 半導体基板 7 に形成し、読出部および電流源 CS を第 2 半導体基板 8 に配置してもよい。

垂直制御部V Cおよび水平制御部H Cは、第1半導体基板7および第2半導体基板8のどちらに配置してもよい。

ただし、第1半導体基板7に多くの回路要素を配置すると、第1半導体基板7に受光部31を配置する面積または体積が十分に確保できなくなるので、読出部および電流源C Sは、第2半導体基板8に配置することが好ましい。

[0083] 各画素30のカラーフィルタ73には、各画素の分光感度特性に合わせたカラーフィルタが配置されている。

また、画素30のうち特殊画素Z Zにも、カラーフィルタ73が配置される。特殊画素Z ZがA F画素である場合、Gのカラーフィルタがカラーフィルタ73として設けられる。なお、特殊画素Z Zに設けられるカラーフィルタ73は、入射光の全波長域を透過するフィルタであってもよい。また、特殊画素Z Zに設けられるカラーフィルタ73は、撮像素素30cに配置されるカラーフィルタ73のいずれとも、分光特性が異なるカラーフィルタ73であってもよい。

[0084] 特殊画素Z Zが、赤外光を受光するための画素である場合、カラーフィルタ73は、赤外光の透過率が高く可視光の透過率が低いものとなる。また、特殊画素Z Zが、可視光を受光するための画素である場合、カラーフィルタ73は、可視光の全波長域について透過率の高いものとなる。

[0085] なお、特殊画素Z Zのカラーフィルタ73の平均透過率を、撮像素素30cのカラーフィルタ73の平均透過率と異ならせること等により、特殊画素Z Zの感度を、撮像素素30cの感度と異ならせてもよい。ここで、平均透過率とは、受光部31が光電変換する光の全波長に対する透過率の平均をいう。

特殊画素Z Zの感度は、特殊画素Z Zの受光部31の面積を撮像素素30cの受光部31の面積と異ならせる、または受光部31へのイオン注入の条件を異ならせることによって、撮像素素30cの感度と異ならせてもよい。

[0086] 図7は、特殊画素Z ZがA F画素である場合の一例を示す図である。図7

では、図6に示した撮像素子3の断面図から第2半導体基板8を省略している。

特殊画素Z1は、カラーフィルタ73と第1半導体基板7の境界部に、受光部31の右側を遮光する遮光部75Rが設けられる。一方、特殊画素Z2は、その境界部に、受光部31の左側を遮光する遮光部75Lが設けられる。

[0087] 特殊画素Z1に入射する光のうち、撮像素子3の入射面に垂直な方向PLに対して $-x$ 方向に傾いて入射する光LLは、遮光部75Rに遮光される。一方、特殊画素Z2に入射する光のうち、撮像素子3の入射面に垂直な方向PLに対して $+x$ 方向に傾いて入射する光LRは、遮光部75Lに遮光される。

この結果、特殊画素Z1およびZ2は、それぞれ異なる入射方向から入射する光に対する感度が低下し、逆に言えば、それぞれ異なる入射方向から入射する光に対する感度が相対的に高くなる。

[0088] この撮像素子3を、図1の撮像装置に適用すれば、特殊画素Z1およびZ2は、撮像光学系2の瞳面でそれぞれ異なる位置を通る光に対する感度が高い素子となるため、像面位相差合焦検出のための画素として機能する。

なお、遮光部75R、75Lを設ける位置は、上述のカラーフィルタ73と第1半導体基板7の境界部に限られるわけではなく、マイクロレンズ74から第1半導体基板7までの間のどこかに設ければよい。

[0089] 以上の撮像素子の実施形態において、各画素30の配列は、必ずしもペイヤー配列に限られるものではない。また、水平選択線HS、特殊水平選択線ZSは、撮像素子3の長辺方向ではなく短辺方向に延びていてもよく、垂直選択線VSは、撮像素子3の短辺方向ではなく長辺方向に延びていてもよい。

また、各画素30の信号の出力を制御する水平選択線HS、特殊水平選択線ZS、および垂直選択線VSは、必ずしも水平方向(x 方向)および垂直方向(y 方向)に延在するものでなくてもよい。そして、水平選択線HS、

特殊水平選択線 Z S、および垂直選択線 V Sは、複数の画素 30 で共有されていなくてもよい。

[0090] なお、特殊画素 Z Zからの信号の出力は、遮光部 75 R、75 Lが設けられる等により、撮像素素 30 cからの信号の出力よりも小さな値となる場合が多い。そこで、特殊画素 Z Zには、その内部に、信号の出力を例えば 2 倍程度に増大させる増幅回路を組み込んでもよい。あるいは、特殊画素 Z Zからの出力信号にオフセットを加えることで、その値を増加させても良い。

[0091] なお、上述の実施形態においては、各画素ブロック B C内の撮像素素 30 c、および B 画素 Bの総数は、その画素ブロック B C内に特殊画素 Z Zが含まれるか否かにより変動する。従って、上述のビニング読出しを行う場合には、画素ブロック B Cの加算信号の大きさも、その画素ブロック B Cが特殊画素 Z Zを含むか否かより変動する恐れがある。

[0092] そこで、この加算信号の変動を防止するために、特殊画素 Z Zを含む画素ブロック B Cの加算信号を、画素ブロック B Cに含まれる特殊画素 Z Zの数に応じて増減させる補正回路を設けても良い。この補正回路は、画素ブロック B C内に設けても良く、画素ブロック B C以外の撮像素子 3 内に設けても良い。あるいは、撮像素子 3 内に補正回路を設ける代わりに、制御部 4 においてこの補正を行っても良い。

[0093] 例えば、図 (b) に示した例においては、画素ブロック B C 1 には特殊画素 Z Zは含まれず、G 画素 G b、G 画素 G r、B 画素 B、R 画素 R がそれぞれ 4 個ずつ含まれている。一方、画素ブロック B C 2 には 2 個の特殊画素 Z Z (Z 1、Z 2) が含まれ、G 画素 G b、G 画素 G r、R 画素 R はそれぞれ 4 個ずつ含まれているが、B 画素 B は 2 個しか含まれていない。従って、画素ブロック B C 2 において B 画素 B のビニング読出しを行う場合には、加算信号を (4 / 2) 倍する。これにより、B 画素 B をビニング読出した際の加算信号を、画素ブロック B C 1 と画素ブロック B C 2 とでほぼ等しくすることができる。

[0094] (撮像素子の実施形態の効果)

(1) 以上の実施形態の撮像素子3は、第1画素および第2画素を有している。そして、第1画素は、光を光電変換して電荷を生成するフォトダイオード(第1光電変換部)PD、フォトダイオードPDで生成された電荷を蓄積するFD領域(第1蓄積部)FD、およびFD領域FDの電圧に基づく第1信号を出力する選択トランジスタ(第1出力部)TH1を有し、第2画素は、光を光電変換して電荷を生成するフォトダイオード(第2光電変換部)PD、フォトダイオードPDで生成された電荷を蓄積するFD領域(第2蓄積部)FD、およびFD領域FDの電圧に基づく第2信号を出力する選択トランジスタ(第2出力部)TH1もしくはTH2を有している。以上の実施形態の撮像素子3は、さらに、第1画素の選択トランジスタTH1と第2画素の選択トランジスタTH1もしくはTH2とが接続され、第1信号および第2信号が出力される出力線RWと、第1画素のFD領域FDの電圧を第1電圧に制御し、第2画素のFD領域FDの電圧を第1電圧と異なる第2電圧または第1電圧に制御可能な制御部CUとを備えている。

このような構成としたので、出力線RWに接続された複数の画素のうち、任意の1つまたは複数の画素30の出力を選択して、出力線RWに出力させることができるという効果を有している。

[0095] (2) さらに、制御部CUは、第1出力部が第1信号を出力する間、第2蓄積部を第2電圧に制御することもできる。これにより、第1信号が所定の範囲を超える異常値である場合にも、電流源ISに過剰な電流が生じることを防止でき、撮像素子3の破損を防止することができる。

[0096] 上記では、種々の実施形態および変形例を説明したが、本発明はこれらの内容に限定されるものではない。また、各実施形態および変形例は、それぞれ単独で適用してもよいし、組み合わせて用いてもよい。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

[0097] 次の優先権基礎出願の開示内容は引用文としてここに組み込まれる。

日本国特願2018-185635号(2018年9月28日出願)

符号の説明

[0098] 1 : 撮像装置、2 : 撮像レンズ、3 : 撮像素子、4 : 制御部（生成部）、
5 : レンズ移動部、7 : 第1半導体基板、8 : 第2半導体基板、BC, BC
1, BC 2 : 画素ブロック、HC : 水平制御部、VC : 垂直制御部、CU :
制御部、画素30、Gr, Gb : G画素、R : R画素、B : B画素、Z1,
Z2 : 特殊画素、VS, VS1~HS8 : 垂直選択線、HS, HS1~HS
4 : 水平選択線、ZS : 特殊水平選択線、HR, HR1~HR4 : リセット
電圧線、PD : フォトダイオード、TX : 転送トランジスタ、TR : リセッ
トトランジスタ、TA : 増幅トランジスタ、TV : 垂直選択トランジスタ、
TH1 : 水平選択トランジスタ、TH2 : 特殊水平選択トランジスタ、RW
: 読み出し線、ADC : 読出部、31 : 感光部、73 : カラーフィルタ

請求の範囲

- [請求項1] 光を光電変換して電荷を生成する第1光電変換部、前記第1光電変換部で生成された電荷を蓄積する第1蓄積部、および前記第1蓄積部の電圧に基づく第1信号を出力する第1出力部、を有する第1画素と、
- 光を光電変換して電荷を生成する第2光電変換部、前記第2光電変換部で生成された電荷を蓄積する第2蓄積部、および前記第2蓄積部の電圧に基づく第2信号を出力する第2出力部、を有する第2画素と、
- 前記第1出力部と前記第2出力部とが接続され、前記第1信号および前記第2信号が出力される出力線と、
- 前記第1蓄積部の電圧を第1電圧に制御可能であり、前記第2蓄積部の電圧を前記第1電圧と異なる第2電圧または前記第1電圧に制御可能な制御部と、
- を備える撮像素子。
- [請求項2] 請求項1に記載の撮像素子において、
- 前記制御部は、前記第1出力部が前記第1信号を出力する間、前記第2蓄積部を前記第2電圧に制御する、撮像素子。
- [請求項3] 請求項1または2に記載の撮像素子において、
- 複数の前記第1画素を備え、
- 前記制御部は、複数の前記第1出力部が前記第1信号をそれぞれ出力する間、前記第2蓄積部の電圧を前記第2電圧に制御する、撮像素子。
- [請求項4] 請求項3に記載の撮像素子において、
- 前記制御部は、複数の前記第1出力部が前記第1信号を同時に出力する間、前記第2蓄積部の電圧を前記第2電圧に制御する、撮像素子。
- [請求項5] 請求項1から請求項4までのいずれか一項に記載の撮像素子におい

て、

前記制御部は、前記第 1 出力部が前記第 1 信号を出力しない間のうち少なくとも一部の間、前記第 2 蓄積部の電圧を前記第 1 電圧に制御する、撮像素子。

[請求項6] 請求項 1 から請求項 5 までのいずれか一項に記載の撮像素子において、

前記第 1 蓄積部の電圧は、前記第 1 光電変換部で生成され、前記第 1 蓄積部に蓄積された電荷に基づく電圧である、撮像素子。

[請求項7] 請求項 1 から請求項 6 のいずれか一項に記載の撮像素子において、
前記第 1 蓄積部の電圧および前記第 2 蓄積部の電圧を前記第 1 電圧にするための第 1 配線と、

前記第 2 蓄積部の電圧を前記第 2 電圧にするための第 2 配線と、を
備え、

前記制御部は、前記第 1 配線を介して前記第 1 蓄積部の電圧を制御し、前記第 2 配線を介して前記第 2 蓄積部の電圧を制御する撮像素子。
。

[請求項8] 請求項 1 から請求項 7 までのいずれか一項に記載の撮像素子において、

前記制御部は、前記第 1 蓄積部および前記第 2 蓄積部の少なくとも一方の電圧を、前記第 1 電圧または前記第 2 電圧に制御する、撮像素子。

[請求項9] 請求項 8 に記載の撮像素子において、

前記制御部は、前記第 1 出力部が前記第 1 信号を出力する間、前記第 2 蓄積部の電圧を前記第 2 電圧に制御し、前記第 2 出力部が前記第 2 信号を出力する間、前記第 1 蓄積部の電圧を前記第 2 電圧に制御する、撮像素子。

[請求項10] 請求項 8 または請求項 9 に記載の撮像素子において、

前記第 1 蓄積部の電圧は、前記第 1 光電変換部で生成され、前記第

1 蓄積部に蓄積された電荷に基づく電圧であり、

前記第2蓄積部の電圧は、前記第2光電変換部で生成され、前記第2蓄積部に蓄積された電荷に基づく電圧である、撮像素子。

[請求項11] 請求項8から請求項10のいずれか一項に記載の撮像素子において、

前記第1蓄積部および前記第2蓄積部の電圧を前記第1電圧にするための第1配線と、

前記第1蓄積部および前記第2蓄積部の電圧を前記第2電圧にするための第2配線と、を備え、

前記制御部は、前記第1配線と前記第2配線とを介して、前記第1蓄積部および前記第2蓄積部の電圧を制御する撮像素子。

[請求項12] 請求項1から請求項10までのいずれか一項に記載の撮像素子において、

前記制御部は、前記第2蓄積部の電圧を、前記第2電圧、または前記第1電圧および前記第2電圧と異なる第3電圧に制御する、撮像素子。

[請求項13] 請求項12に記載の撮像素子において、

前記制御部は、前記第2蓄積部の電圧を前記第2電圧に制御した後、前記第2蓄積部の電圧を前記第3電圧に制御する、撮像素子。

[請求項14] 請求項12または13に記載の撮像素子において、

前記第1出力部は、前記第2蓄積部の電圧が前記第2電圧である間に、前記第1信号の補正に用いられる信号を出力し、前記第2蓄積部の電圧が前記第3電圧である間に、前記第1信号を出力する、撮像素子。

[請求項15] 請求項12から請求項14のいずれか一項に記載の撮像素子において、

前記第2蓄積部の電位を前記第3電圧にするための第3配線を備え、

前記制御部は、前記第3配線を介して、前記第2蓄積部の電圧をそれぞれ制御する撮像素子。

[請求項16] 請求項1から請求項15までのいずれか一項に記載の撮像素子において、

前記出力線に接続される複数の前記第1画素を備え、
第1画素は第1分光特性を有する第1フィルタを有し、
前記第1光電変換部は前記第1フィルタを透過した光を光電変換する、撮像素子。

[請求項17] 請求項1から請求項14までのいずれか一項に記載の撮像素子において、

前記第1画素および前記第2画素の少なくとも一方は、焦点検出に用いる信号を出力する、撮像素子。

[請求項18] 請求項1から請求項17までのいずれか一項に記載の撮像素子において、

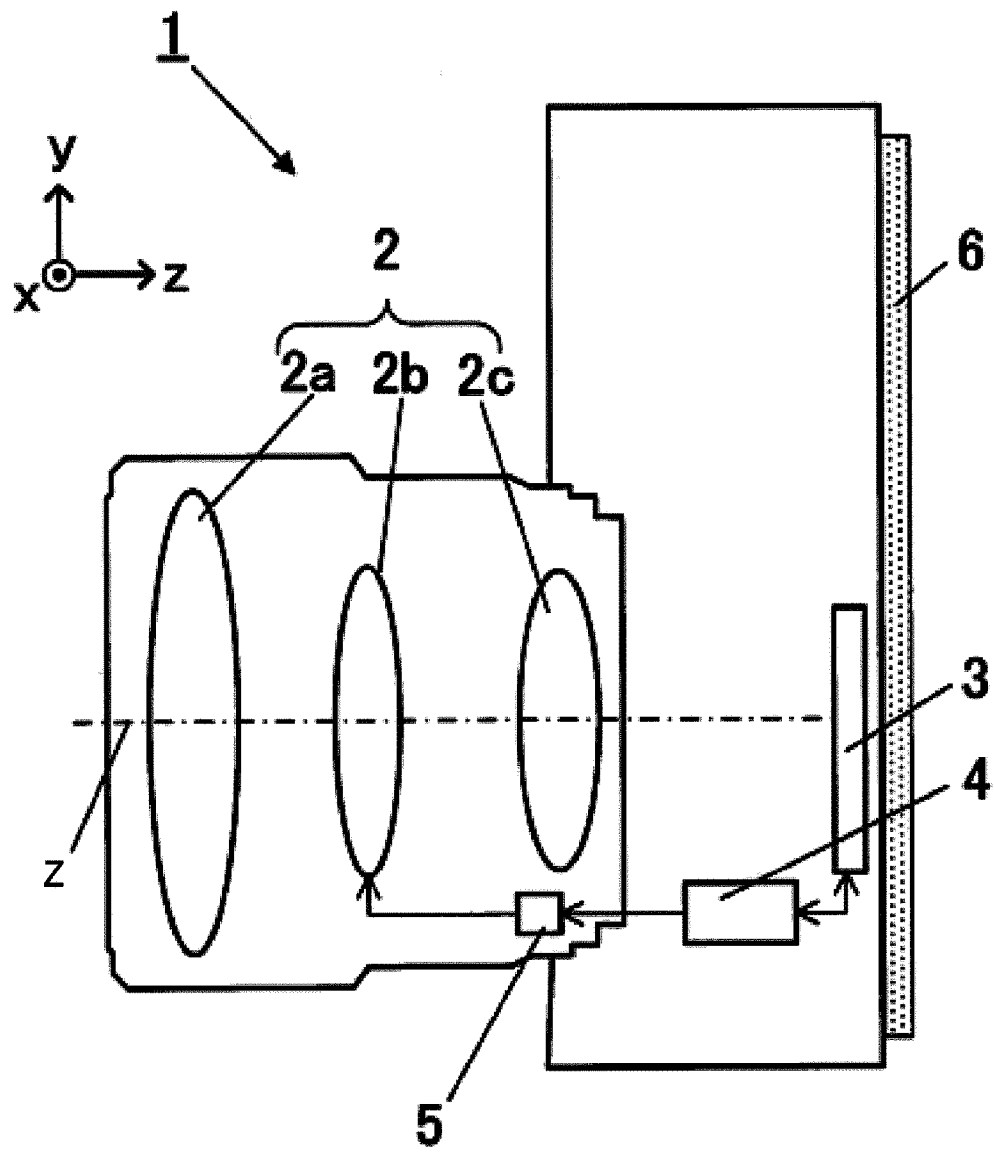
前記第1画素および前記第2画素を有する撮像部と積層され、前記出力線から前記第1信号および前記第2信号を読み出す読出部を備える、撮像素子。

[請求項19] 光を光電変換して電荷を生成する第1光電変換部と、
前記第1光電変換部で生成された電荷を蓄積する第1蓄積部と、
前記第1蓄積部の電圧に基づく第1信号を出力する第1出力部と、
前記第1蓄積部の電圧を第1電圧、または前記第1電圧と異なる第2電圧に制御可能な制御部と、を備える撮像素子。

[請求項20] 請求項1から請求項19までのいずれか一項に記載の撮像素子と、
前記第1信号に基づいて画像データを生成する生成部と、を備える撮像装置。

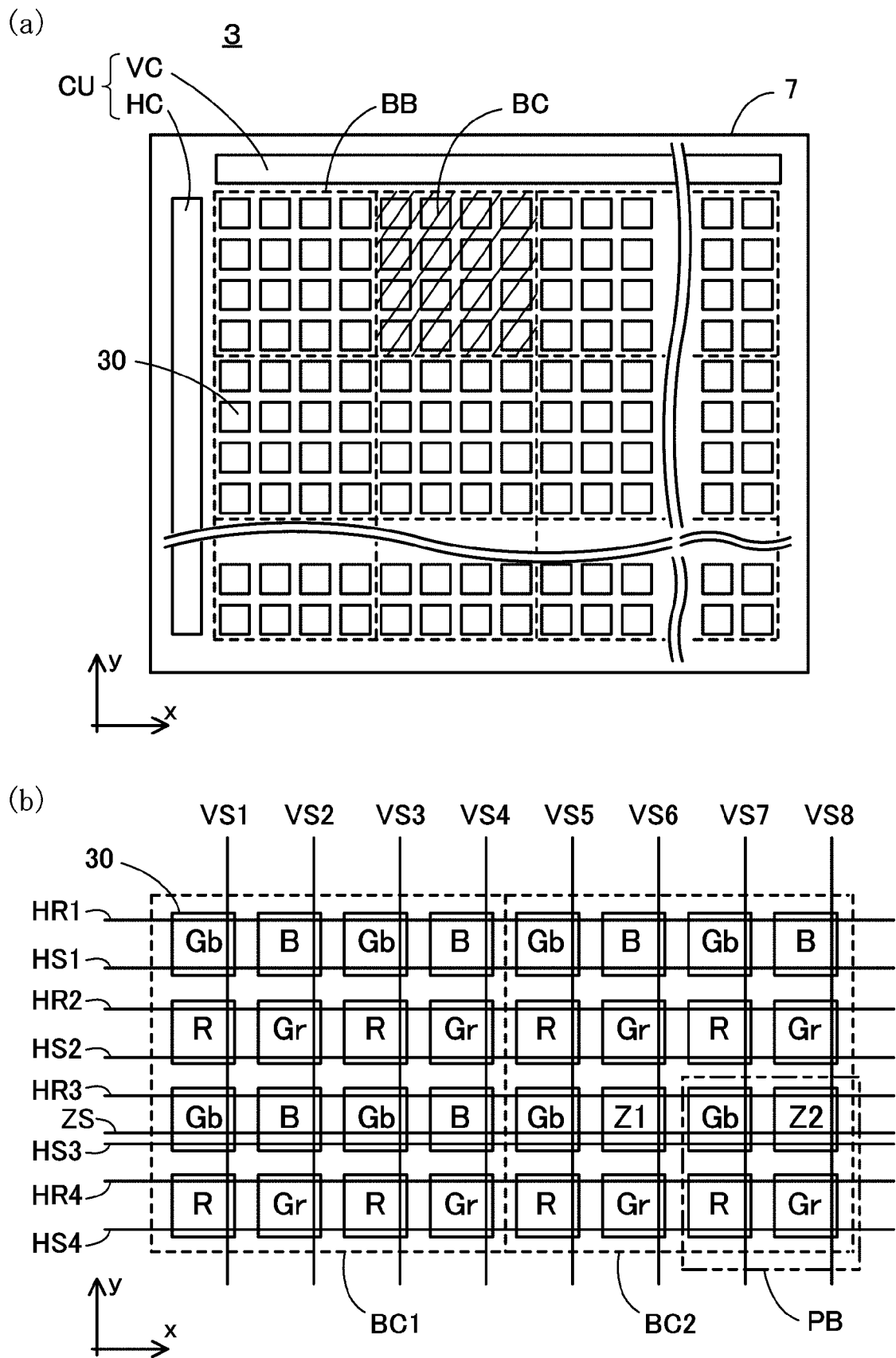
[図1]

【図1】

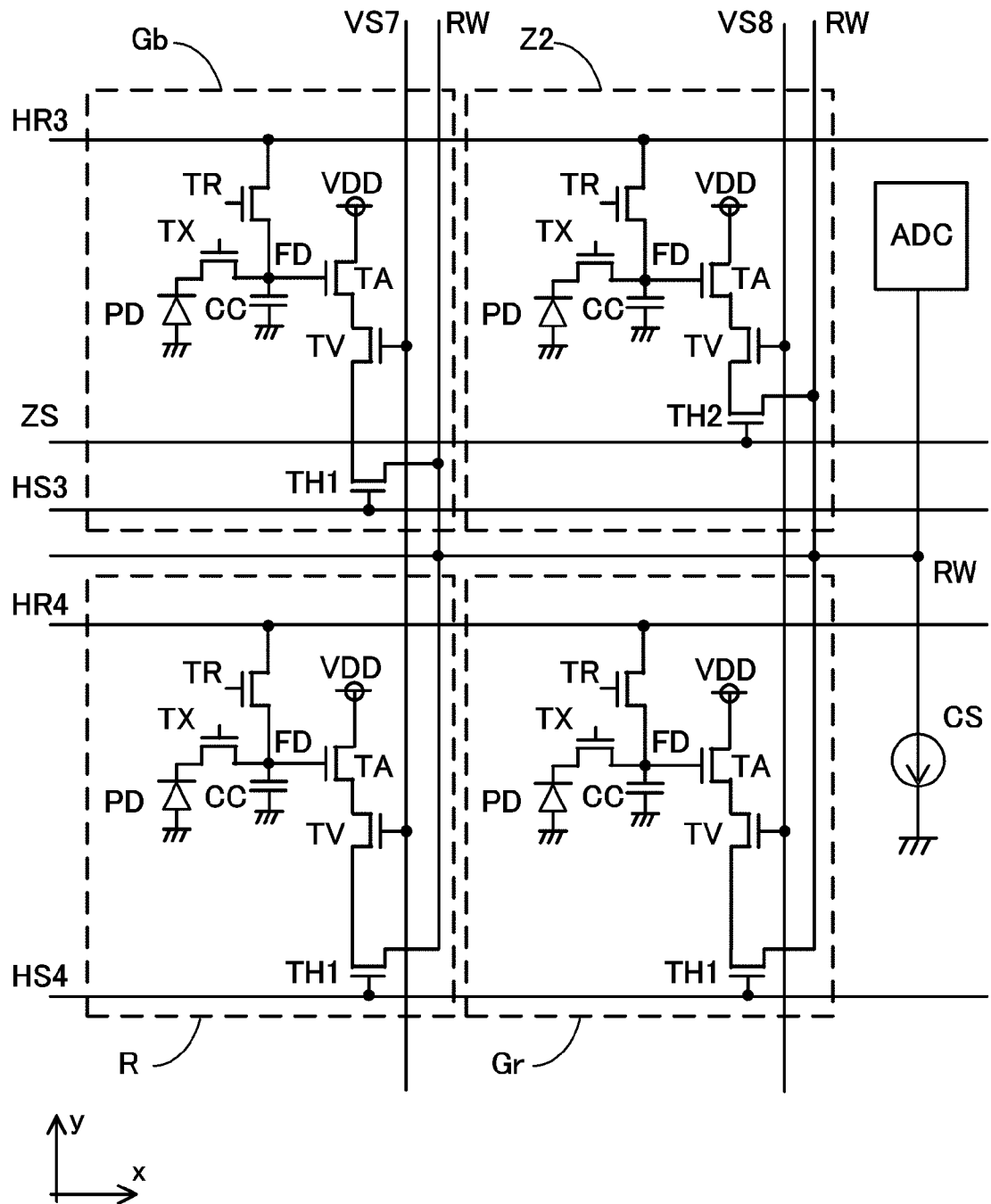


[図2]

【図2】

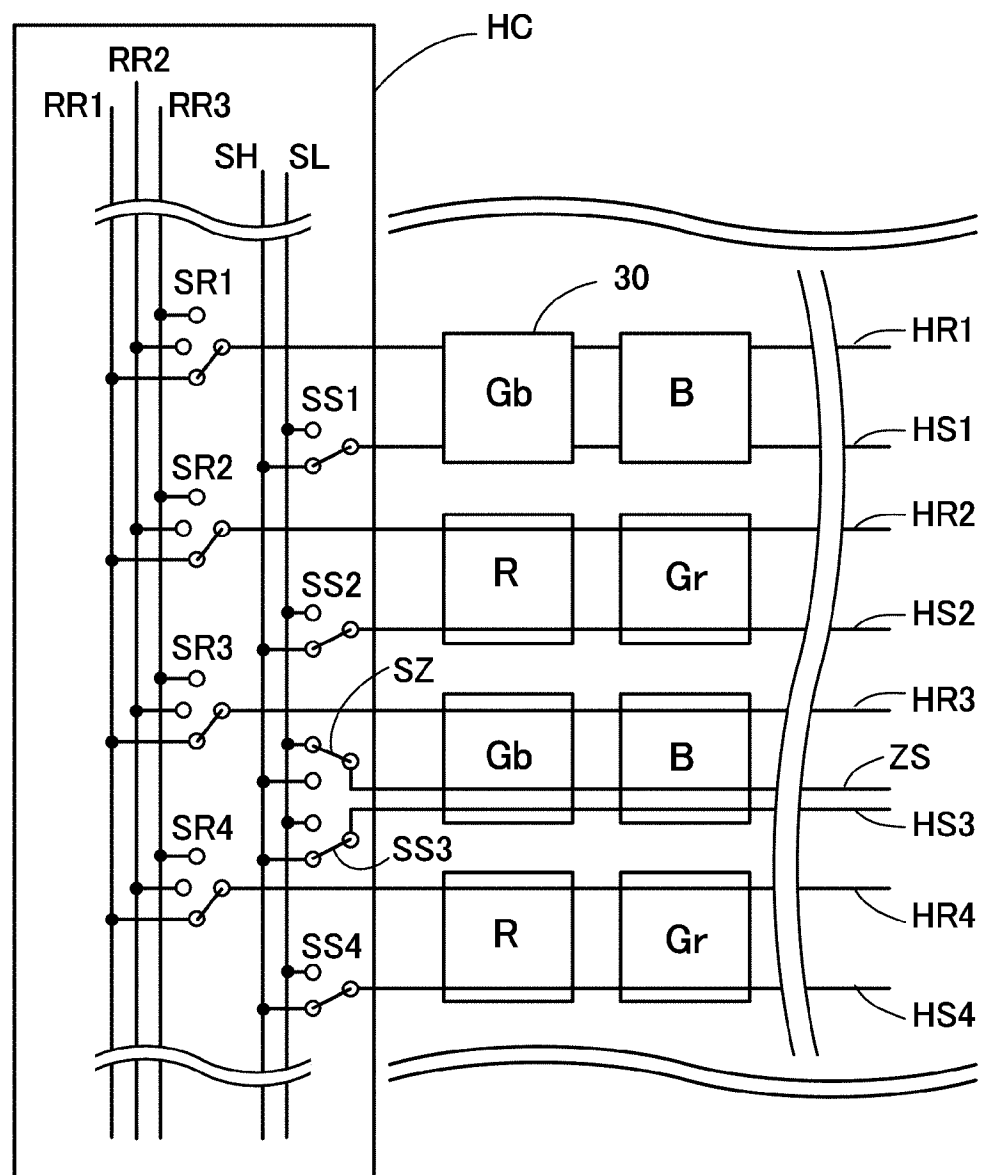


【図3】



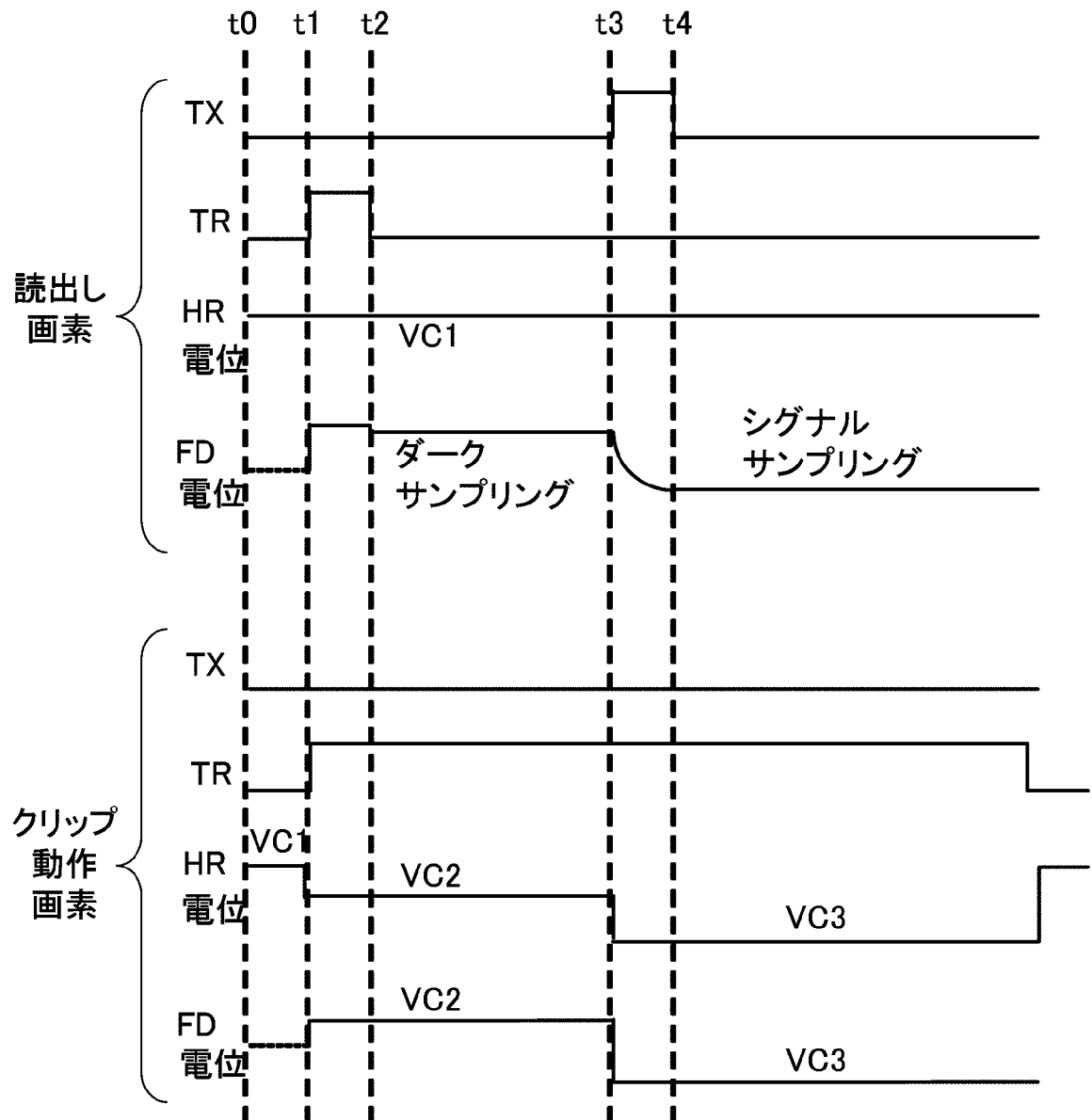
[図4]

【図4】



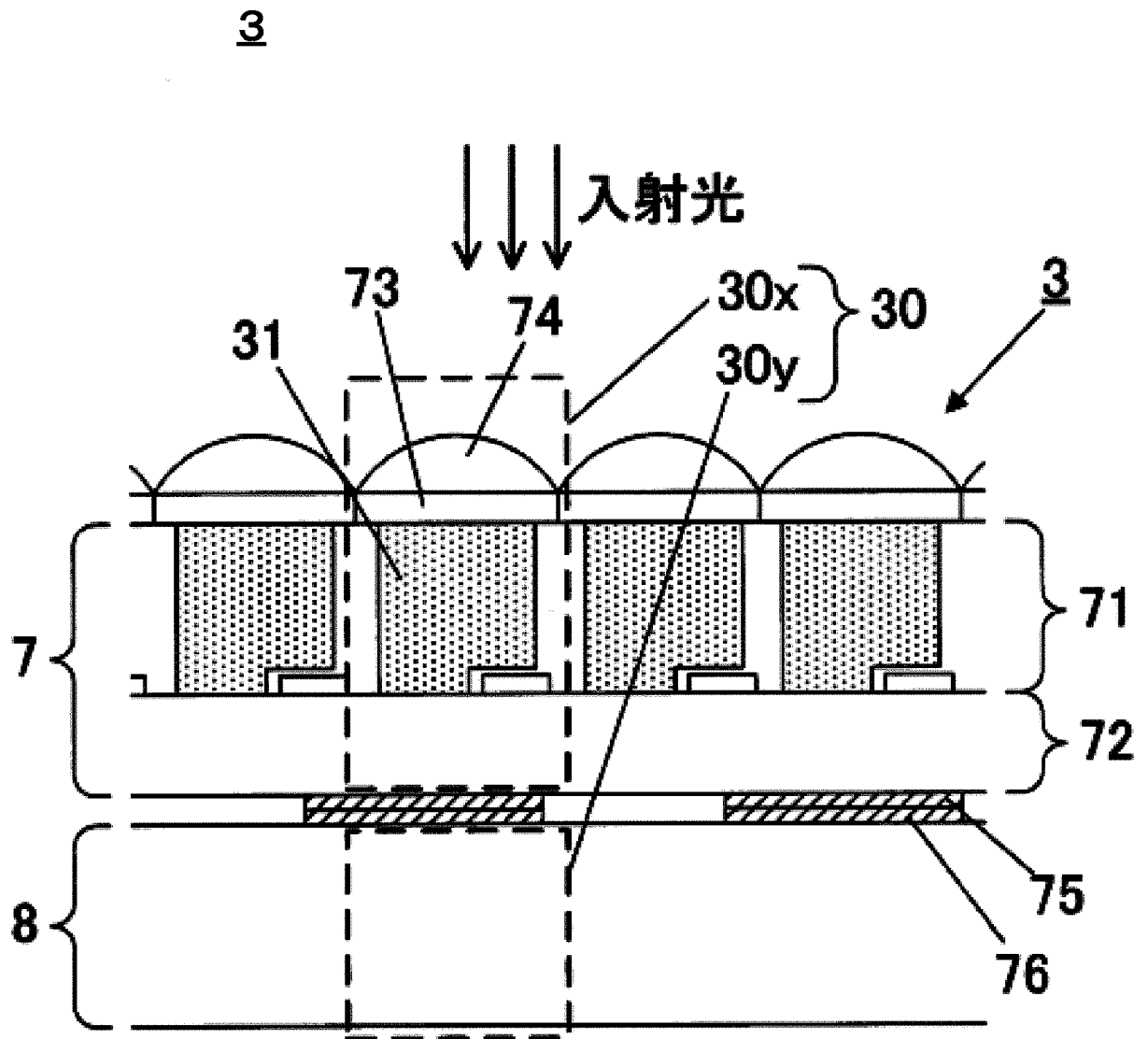
[図5]

【図5】



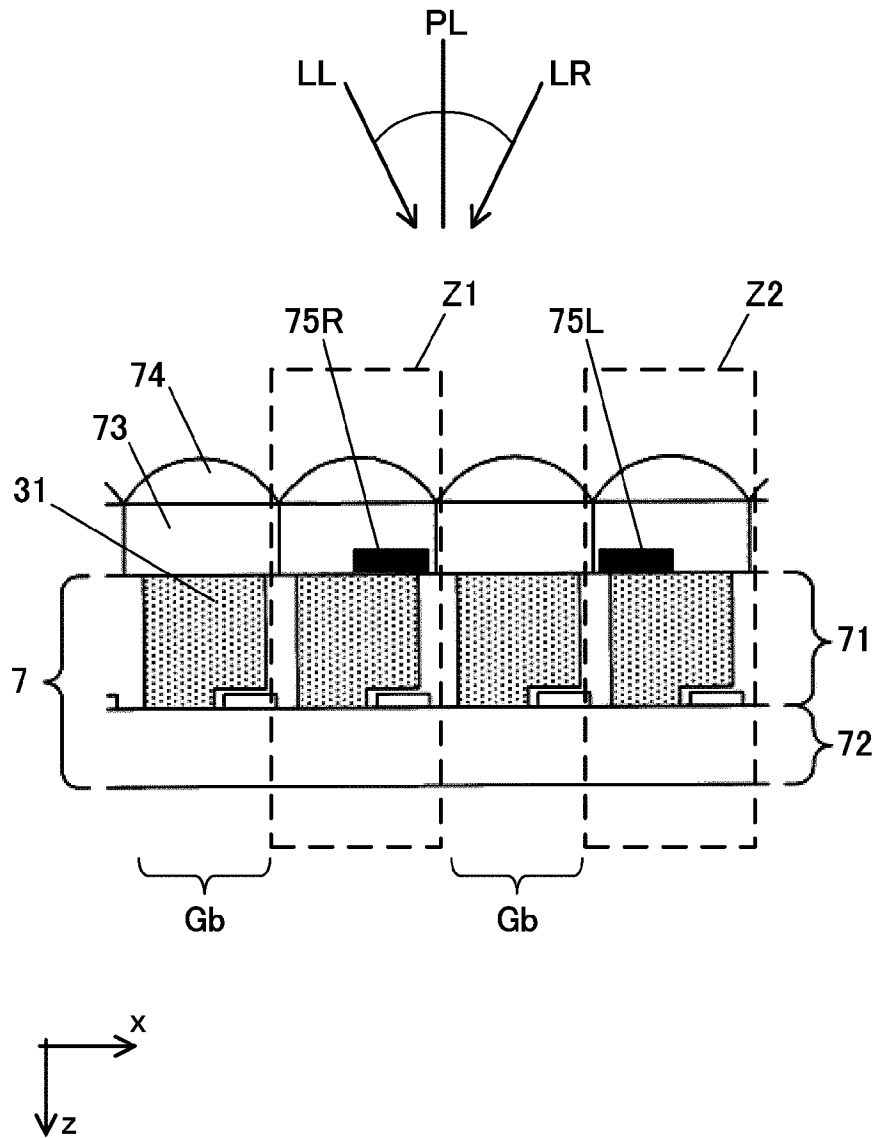
[図6]

【図6】



[図7]

【図7】



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/038357

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/374 (2011.01) i, H04N5/345 (2011.01) i, H04N5/369 (2011.01) i, H04N9/07 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/374, H04N5/345, H04N5/369, H04N9/07

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2017-34606 A (CANON INC.) 09 February 2017, paragraphs [0010]-[0054], fig. 1-4, 9 & US 2017/0041563 A1, paragraphs [0022]-[0076], fig. 1-4, 9	1-20
Y	JP 2018-139375 A (CANON INC.) 06 September 2018, paragraphs [0114]-[0151], fig. 5, 17-19 & US 2018/0249104 A1, paragraphs [0142]-[0182], fig. 5, 17-19	1-20

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
01.11.2019

Date of mailing of the international search report
12.11.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/038357

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-239416 A (CANON INC.) 18 December 2014, fig. 2, 3 & US 2014/0333814 A1, fig. 2, 3	1-20
Y	JP 2013-98700 A (SONY CORPORATION) 20 May 2013, paragraphs [0059]-[0069], fig. 3, 4 & US 2013/0107331 A1, paragraphs [0087]-[0097], fig. 3, 4	12-15

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/374(2011.01)i, H04N5/345(2011.01)i, H04N5/369(2011.01)i, H04N9/07(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/374, H04N5/345, H04N5/369, H04N9/07

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2017-34606 A（キヤノン株式会社）2017.02.09, 段落 [0010]-[0054]、図 1-4, 9 & US 2017/0041563 A1, 段落[0022]-[0076]、 図 1-4, 9	1-20
Y	JP 2018-139375 A（キヤノン株式会社）2018.09.06, 段落 [0114]-[0151]、図 5, 17-19 & US 2018/0249104 A1, 段落 [0142]-[0182]、図 5, 17-19	1-20

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

01.11.2019

国際調査報告の発送日

12.11.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松永 隆志

5 V

4228

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-239416 A (キヤノン株式会社) 2014. 12. 18, 図 2, 3 & US 2014/0333814 A1, 図 2, 3	1-20
Y	JP 2013-98700 A (ソニー株式会社) 2013. 05. 20, 段落 [0059]-[0069]、図 3, 4 & US 2013/0107331 A1, 段落 [0087]-[0097]、図 3, 4	12-15