

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 16/06 (2006.01)

G11C 16/14 (2006.01)



[12] 发明专利说明书

专利号 ZL 00136239.9

[45] 授权公告日 2008 年 5 月 14 日

[11] 授权公告号 CN 100388389C

[22] 申请日 2000.12.25 [21] 申请号 00136239.9
 [73] 专利权人 奈米闪芯集成电路(上海)有限公司
 地址 201203 上海市浦东郭守敬路 498 号
 21307-21309 室

[74] 专利代理机构 北京三友知识产权代理有限公司
 代理人 宋志强

[72] 发明人 李武开 许富菖 陈信义

[56] 参考文献

CN1100823A 1995.3.29

US5483486A 1996.1.9

US5455794A 1995.10.3

审查员 韩燕_1

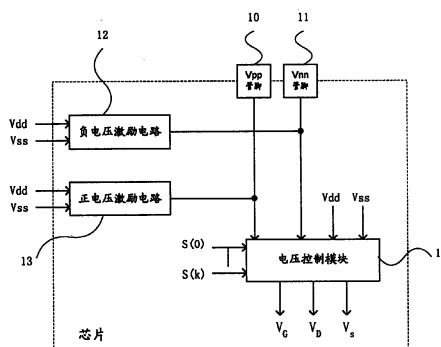
权利要求书 4 页 说明书 6 页 附图 4 页

[54] 发明名称

一种为闪存删除提供高外部电压的电路及方法

[57] 摘要

本发明提供了一种为闪存删除提供高外部电压的电路及方法，本发明中外外部高电压被连至包含闪存的芯片中欲删除的单元。但使用外部电压时内部电压激励电路截止。外部电压，一高负电压和一高正电压，经电压控制模块被分别连到欲删除的所选单元的栅极和源极。外部电压在制造中在编程/删除中高效地执行删除功能。在闪存单元被使用者装配于电路板后，内部高电压激励电路用于删除该闪存单元。两个电平切换电路构成电压控制模块的一部分。电压切换电路加电压给闪存单元，并提供单元删除的选择和撤选电压。



1、一种在删除操作中提供闪存单元偏置的电路，包含：

a)一负电压激励电路，产生高负电压连接至一电压控制模块；

b)一正电压激励电路，产生高正电压连接至所述的电压控制模块；

c)另一个提供所述高负电压的第一电压源可通过一第一芯片管脚从外部连接到所述的电压控制模块；

d)另一个提供所述高正电压的第二电压源可通过一第二芯片管脚从外部连接到所述的电压控制模块；

e)所述电压控制模块在闪存单元的删除操作中提供栅极、漏极和源极的偏置；其中，所述电压控制模块包括第一电平切换模块、以及第二电平切换模块；

所述第一电平切换模块，用于在闪存删除中提供栅极偏置，所述第一电平切换模块由第一选择电路、第一偏置缓冲电路、第一交叉耦合电路以及第一差分电路组成；

所述第二电平切换电路，用于在闪存删除中提供源极和漏极偏置，所述第二电平切换电路由第二选择电路、第二偏置缓冲电路、第二交叉耦合电路以及第二差分电路组成。

2、如权利要求1所述的电路，其特征在于，其中所述的电压控制模块提供闪存单元栅极、漏极和源极的偏置，以选择或撤选编程、删除和读取操作的单元。

3、如权利要求1所述的电路，其特征在于，其中当所述高负电压和所述高正电压从外部被连接到闪存芯片的所述电压控制模块时，所述负电压激励电路和所述正电压激励电路被控制截止。

4、如权利要求1所述的电路，其特征在于，其中在对闪存芯片编程仅发生在工厂中时，无需所述的正电压激励电路和所述的负电压激励电路。

5、如权利要求1所述的电路，其特征在于，其中外部连接的高正电压和高

负电压提供加速对闪存芯片的编程。

6、如权利要求1所述的电路，其特征在于，其中在删除中闪存单元的电压中没有更高于芯片偏置的正电压的情况下，无需所述正电压激励电路和所述外部连接的高正电压。

7、一种电平切换电路，其在闪存删除中提供栅极偏置，包含：a)一对交叉耦合N沟道晶体管，构成一双态电路；

b)一选择电路，通过一偏置缓冲电路连接至所述的一对交叉耦合N沟道晶体管，所述的选择电路包含两个P沟道晶体管，两个P沟道晶体管的栅极通过一反相电路连接；

c)一差分电路，所述差分电路连接到所述的一对交叉耦合N沟道晶体管，其中差分电路由两个N沟道晶体管构成；

d)对所述选择电路的输入，控制所述一对交叉耦合N沟道晶体管的状态，以选择所述差分电路的输出电压；

e)所述差分电路，用于提供闪存单元在删除操作中的栅极偏置，所述差分电路的两个N沟道晶体管与所述偏置缓冲电路、以及一对交叉耦合N沟道晶体管形成一偏置于一P型基片上的一深N型阱中的一P型阱中。

8、如权利要求7所述的电平切换电路，其特征在于，其中所述差分电路的输出，随着对所述选择电路的输入在两种输入电压之间的切换，而切换在一高负电压和一正电压之间。

9、如权利要求7所述的电平切换电路，其特征在于，其中当所述的差分电路被所述的选择电路切换至选择状态时，所述的差分电路提供一高负电压给欲行删除的闪存单元的栅极，当所述的差分电路被所述的选择电路切换至撤选状态时，所述的差分电路提供一正电压给不进行删除的闪存单元的栅极。

10、一种电平切换电路，其在闪存删除中提供源极偏置，包含：a)一对交叉耦合P沟道晶体管，构成一双态电路；

b)一选择电路，通过一偏置缓冲电路连接至所述的一对交叉耦合P沟道晶体

管；

c)一差分电路，所述连接到所述的一对交叉耦合P沟道晶体管，其中所述差分电路由两个P沟道晶体管构成；

d)对所述选择电路的输入A，控制所述一对交叉耦合P沟道晶体管的状态，以选择所述差分电路的输出电压，其中，所述的选择电路包含两个N沟道晶体管，两个N沟道晶体管的栅极通过一反相电路连接。；

e)所述差分电路提供闪存单元在删除操作中的源极偏置，所述差分电路的两个P沟道晶体管与所述偏置缓冲电路、以及一对交叉耦合P沟道晶体管形成于一偏置至一P型基片上的一N型阱中。

11、如权利要求10所述的电平切换电路，其特征在于，其中所述差分电路的输出，随着对所述选择电路的输入在两种输入电压之间的切换，而切换在一第一正电压和一第一负电压之间。

12、如权利要求10所述的电平切换电路，其特征在于，其中当所述的差分电路被所述的选择电路切换至选择状态时，所述的差分电路提供一第一正电压给欲行删除的闪存单元的源极，当所述的差分电路被所述的选择电路切换至撤消状态时，所述的差分电路提供一第一正电压给不进行删除的闪存单元的源极。

13、一种在对闪存单元的删除操作中提供外部电压的方法，包含：a)截止内部的高负电压激励电路；

b)截止内部的高正电压激励电路；

c)连接一高负电压至一外部高负电压芯片管脚；

d)连接一高正电压至一外部高正电压芯片管脚；

e)引选择所述外部高负电压连接至欲行删除的闪存单元的栅极；

f)选择所述外部高正电压连接至欲行删除的闪存单元的源极；

g)使用福勒-诺德汉隧道法删除所选闪存单元。

14、如权利要求13所述的方法，其特征在于，其中连接所述高负电压和所述高正电压至所述芯片管脚是在制造中进行，以删除所述闪存单元。

15、如权利要求 13 所述的方法，其特征在于，其中删除闪存单元仅在制造中进行，消除了对所述内部高负电压激励电路和所述内部高正电压激励电路的需要。

一种为闪存删除提供高外部电压的电路及方法

技术领域

本发明涉及半导体存储器，特别是涉及快闪存储器（闪存）及为删除操作提供电压。

背景技术

在现有的快闪存储器中，删除闪存单元的数据需要高的负电压和高的正电压。高负电压被加到闪存单元的栅极，高正电压被加到源极。漏极通常悬空。这样如果闪存单元在装配后要进行删除；就需要在闪存芯片中设置正电压激励电路和负电压激励电路。当极性相反的两个激励电路存在于同一芯片时，有几个问题就必须要解决。除了提高芯片功率外，需要适当的保护电路和隔离措施以隔离激励电路和避免装置崩溃。

使用内部激励电路执行闪存单元的删除操作是一个相对较慢的过程，这是因为在激励电路被激活后需要一定时间以达到所需电压。因此在制造过程的编程和删除中从外部向芯片提供高负电压和高正电压是有利的，这可以加速编程处理。在闪存单元的制造中提供高的正向电压已被公知了一段时间；但是由于处理高负电压的各种困难；从外部提供高负电压目前尚未应用。通过向包含闪存的芯片提供外部所加的高负电压和外部所加的高正电压，能够缩短删除/编程，降低功率消耗和加快生产速度。

发明内容

本发明公开了一种方法和电路；其可允许从外部向包含闪存单元的包含或不包含高负电压激励电路和高正电压激励电路的芯片，加高负电压和高正电压给其中欲行删除的闪存单元。高负电压和高正电压通过芯片管脚连接到芯片并

在制造过程中用于对芯片删除和编程。如果在装配后不需要对闪存单元进行删除和编程，在芯片上不设置高正电压激励电路和高负电压激励电路，则高负电压管脚和高正电压管脚是进行闪存删除的唯一电压源。

如果包含闪存单元的芯片具有高负电压激励电路和高正电压激励电路，该芯片在装配后可以由使用者进行删除/编程。在这种情况下，外部的高负电压和高正电压被并行地连接到相应激励电路的输出端，当使用外部高电压时该激励电路被控制截止。在装配前制造时使用外部高电压以缩短删除/编程时间，降低功率消耗和提高制造产量。在装配后若没有外部电压被连接到高负电压管脚和高正电压管脚，则使用者对闪存单元进行删除/编程必须使用内部激励电路。

一个高负电压电平切换电路，其使用位于一P型基片上的深N型阱中的一P型阱中NMOS晶体管，提供闪存单元栅极的偏置选择或撤选。为避免当加高的负电压给欲删除单元的栅极时对PN结的正向偏置，为NMOS晶体管使用了一包含位于一P型基片上的深N型阱中的一P型阱的三阱结构。该负电压电平切换电路向欲执行删除的闪存单元的栅极提供一高的负电压和向不欲执行删除的闪存单元提供一适中的正电压。

高负电压电平切换电路构成位于包含闪存的芯片上的一个电压控制模块的一部分。连接到控制模块的控制信号提供指导高负电压电平切换电路的输出状态的指令，令其切换在一高负电压以选择欲行删除的闪存单元和一适中的正电压以撤选删除状态的闪存单元。电平切换电路包含一对交叉耦合的N沟道晶体管，提供两种操作状态。包含两个P沟道晶体管的一电压选择电路，经一偏置缓冲电路连接到该一对交叉耦合的N沟道晶体管，以在两种操作状态之间择一。电压选择电路由两个输入电压进行切换，该两个输入电压令该一对交叉耦合的N沟道晶体管在两个状态之间切换，并驱动差分电路令其切换在一高负电压以选择欲行删除的闪存单元的栅极，和一适中的正电压以撤选正在删除状态的闪存单元的栅极。

与高负电压电平切换电路相类似，一高正电压电平切换电路提供一高正电压给欲行删除的闪存单元的源极和提供一适中的正电压给欲从删除操作撤选的

闪存单元的源极。高正电压电平切换电路使用位于P型基片上的N型阱中的PMOS晶体管，为闪存单元的源极提供偏置选择和撤选。为避免当高正电压被加至欲行删除的单元的源极时正向偏置PN结，P沟道晶体管被置于一N型阱中。该正电压电平切换电路提供一高正电压给欲行删除的闪存单元的源极，和提供一适中的正电压给不欲行删除的单元的源极。

高正电压电平切换电路构成位于包含闪存的芯片上的电压控制模块的一部分。连接到控制模块的控制信号提供指导高正电压电平切换电路的输出状态的指令，令其切换在一高正电压以选择欲行删除的闪存单元和一适中的正电压以撤选删除状态的闪存单元。电平切换电路包含一对交叉耦合的P沟道晶体管，提供两种操作状态。包含两个N沟道晶体管的一电压选择电路，经一偏置缓冲电路连接到该一对交叉耦合的P沟道晶体管，以在两种操作状态之间择一。电压选择电路由两个输入电压进行切换，该两个输入电压令该一对交叉耦合的P沟道晶体管在两个状态之间切换；并驱动差分电路令其切换在一高正电压以选择欲行删除的闪存单元的源极和一适中的正电压以撤选删除状态的闪存单元的源极。

需要一个激励电路或一个外部芯片管脚而仅使用一个电压提供给闪存单元的删除功能也是可能的。这可以通过电压反转办到，即加一个负电压给高正栅极删除电压，这样源极删除电压就成为芯片正向偏置电压。接着加该同一负电压给高负栅极电压和给漏极保持悬空的半导体基体。该电压反转消除了对高正源极电压的需求，并消除了对高正电压激励电路的需求。

附图说明

以下参照附图对本发明进一步详细说明，其中

图1a示出了现有技术中为删除操作而偏置的闪存单元的示意图；

图1b示出了现有技术中芯片电压的基本示意图；

图2示出了一闪存芯片电压的示意图；

图3示出了在一闪存芯片上激励电路和外部电压与一电压控制模块的连接方框图；

图4a示出了一电平切换电路的电原理图，其提供一高负电压给欲行删除的闪存单元的栅极；

图4b示出了一电平切换电路的电原理图，其提供一高正电压给欲行删除的闪存单元的源极；和

图5示出了在制造中使用外部电压删除闪存单元的方法的流程图。

具体实施方式

图1a示出了现有技术中欲行删除的闪存单元的例子，该闪存单元使用一个高负电压偏置。控制极（栅极）G被偏置至一高负电压 V_{nn} 。该负电压如图所示例如可以大约为-8.5v。源极S被偏置至一高正电压 V_{pp} ， V_{pp} 高于芯片偏置电压 V_{dd} 。 V_{pp} 如图所示例如大约为+5V。漏极D悬空，半导体基体B为0V。为满足如图1a所示的电压条件，需要通过外部芯片管脚或/和位于闪存芯片上的内部电压激励电路，提供两个高电压。图1b示出了现有技术芯片基片的示意图，其连接外部电压以为闪存芯片供电。 V_{dd} 和 V_{ss} 是芯片偏置电压， V_{pp} 是一高正电压提供给欲行删除的闪存单元的源极。图1b中所示的 V_{nn} 电压由位于闪存芯片上的内部激励电路产生。

图2示出了连接照本发明的闪存芯片的外部芯片电压的基本示意图。除一般闪存芯片电压 V_{dd} 和 V_{ss} 之外还有一高正电压 V_{pp} 和一高负电压 V_{nn} 一连接到该芯片。 V_{nn} 和 V_{pp} 提供外部电压，以在制造过程中的编程和删除操作中高效率地删除闪存单元。图3是一个方框图，示出了外部的 V_{pp} 芯片管脚10和 V_{nn} 芯片管脚11的连接以及内部的激励电路12和13。正外部电压 V_{pp} 连接到芯片管脚10并进一步与正电压激励电路13的输出并行地连接到电压控制模块14。负外部电压 V_{nn} 连接到芯片管脚11并进一步与负电压激励电路12的输出并行地连接到电压控制模块14。芯片偏置电压 V_{dd} 和 V_{ss} 为负电压激励电路12和正电压激励电路13供电。芯片偏置电压 V_{dd} 和 V_{ss} 并且为电压模块14供电。一组选择信号S(0)至S(k)被提供给电压控制模块14，用以选择被连接到闪存单元的栅极G、源极S、和漏极D的电压。

仍如图3所示，当闪存单元在制造过程中被编程或删除时，外部电压 V_{pp} 和 V_{nn} 被分别连接到 V_{pp} 管脚10和 V_{nn} 管脚11。当从外部供给 V_{pp} 和 V_{nn} 时，内部正电压激励电路13和内部负电压激励电路12截止，电压控制模块14从 V_{pp} 管脚10得到高正电压并从 V_{nn} 管脚11得到高负电压。在删除操作中当没有外部 V_{pp} 和 V_{nn} 电压时，内部负电压激励电路12提供 V_{nn} 给电压控制模块14，内部正电压激励电路13提供 V_{pp} 给电压控制模块14。选择信号 $S(0)$ 至 $S(k)$ 控制电压控制模块提供电压给每一闪存单元的栅极、源极和漏极，以选择或撤选删除、编程和读取操作。

图4a示出了一电平切换电路，其为产生 V_{out} 输出给删除操作中的闪存单元的栅极的电压控制模块14的一部分。 V_{out} 依赖于电路的切换状态可以为 V_{nn} 或 V_{ss} 。 V_{nn} 是一高负电压用于删除闪存单元； V_{ss} 是一芯片偏置电压用于从删除中撤选闪存单元。输入电压 V_{in} 在 V_{dd} 和 V_{ss} 之间切换可以令输出电压 V_{out} 在 V_{ss} 和 V_{nn} 之间切换。输入电压 V_{in} 连接到选择电路20。选择电路20包含两个P沟道晶体管 $Q1$ 和 $Q2$ ，它们的栅极经一个反相电路 $Inv1$ 连接在一起， V_{in} 连接到 $Q1$ 的栅极。选择电路20经一偏置缓冲电路21驱动一对交叉耦合N沟道晶体管22。偏置缓冲电路21提供 V_{dd} 和 V_{nn} 之间的一些电压降，以降低潜在的崩溃问题。一差分电路由交叉耦合电路22驱动，依赖于输入电压 V_{in} 产生一电平切换输出 V_{out} 。N沟道晶体管 $Q3$ 、 $Q4$ 、 $Q5$ 、 $Q6$ 、 $Q7$ 和 $Q8$ 形成于一偏置至 V_{nn} 的P型阱中。该P型阱位于形成于一偏置至 V_{ss} 的P型基片上的一偏置至 V_{dd} 的深N型阱中。

仍参照图4a，当 $V_{in}=V_{ss}$ 时， V_{dd} 通过选择电路20的 $Q1$ 和电压缓冲电路21的 $Q3$ ，加到交叉耦合双态电路22的 $Q5$ 的漏极和 $Q6$ 的栅极。 $Q6$ 导通， V_{nn} 被加至 $Q6$ 的漏极和 $Q5$ 及 $Q8$ 的栅极。晶体管 $Q5$ 截止， V_{dd} 被连接到 $Q7$ 的栅极，其产生输出 $V_{out}=V_{ss}$ 。晶体管 $Q7$ 和 $Q8$ 构成一差分电路23，其产生电平切换电路的输出。当 $V_{in}=V_{dd}$ 时， V_{dd} 通过选择电路20的 $Q2$ 和电压缓冲电路21的 $Q4$ ，加到交叉耦合双态电路22的 $Q6$ 的漏极和 $Q5$ 的栅极。 $Q5$ 导通， V_{nn} 被加至 $Q5$ 的漏极和 $Q6$ 及 $Q7$ 的栅极。晶体管 $Q6$ 截止， V_{dd} 被连接到 $Q8$ 的栅极，其产生输出 $V_{out}=V_{nn}$ 。

图4b示出了一电平切换电路，其为产生 V_{out} 输出给删除操作中的闪存单元

的源极的电压控制模块14的一部分,其输出 V_{out} 随着输入电压 V_{in} 在 V_{dd} 和 V_{ss} 之间切换而在一高正电压 V_{pp} 和 V_{dd} 之间切换。图4b的电路与图4a的电路相类似,只是电压和晶体管类型不同。输入电压 V_{in} 连接到一选择电路30。选择电路30包含两个N沟道晶体管Q11和Q12,它们的栅极经一个反相电路Inv2连接在一起, V_{in} 连接到Q11的栅极。选择电路30经一偏置缓冲电路31驱动一对交叉耦合P沟道晶体管32。偏置缓冲电路31提供 V_{ss} 和 V_{pp} 之间的一些电压降,以降低潜在的崩溃问题。一差分电路33由交叉耦合电路32驱动,依赖于输入电压 V_{in} 产生一电平切换输出 V_{out} 。P沟道晶体管Q13、Q14、Q15、Q16、Q17和Q18形成于一偏置至 V_{pp} 的N型阱中。该N型阱形成于一偏置至 V_{ss} 的P型基片上。

继续参照图4b,当 $V_{in}=V_{ss}$ 时, V_{ss} 通过选择电路30的Q12和电压缓冲电路31的Q14,加到交叉耦合双态电路32的Q16的漏极和Q15的栅极。Q15导通, V_{pp} 被加至Q15的漏极和Q16及Q17的栅极。晶体管Q16截止, V_{ss} 被连接到Q18的栅极,其产生输出 $V_{out}=V_{pp}$ 。晶体管Q17和Q18构成一差分电路33,其产生电平切换电路的输出。当 $V_{in}=V_{dd}$ 时, V_{ss} 通过选择电路30的Q11和电压缓冲电路31的Q13,加到交叉耦合双态电路32的Q15的漏极和Q16的栅极。Q16导通, V_{pp} 被加至Q16的漏极和Q15及Q18的栅极。晶体管Q15截止, V_{ss} 被连接到Q17的栅极,其产生输出 $V_{out}=V_{dd}$ 。

图5示出了在制造中使用外部电压删除闪存单元的方法。在步骤40中,内部高负电压和内部高正电压被截止。接着在步骤41中一高负电压被连接到高负电压芯片管脚,即 V_{nn} 管脚。在步骤42中,一高正电压被连接到高正电压芯片管脚,即 V_{pp} 管脚。在步骤43中,电压控制模块14将高负电压选择连接到欲行删除的闪存单元的栅极。在步骤44中,电压控制模块14将高正电压选择连接到欲行删除的闪存单元的源极。在删除操作中所选闪存单元的漏极悬空。在步骤45中,所选闪存单元通过福勒-诺德汉隧道法(Fowler-Nordheim Tunneling法)进行删除。

尽管参照以上实施例对本发明进行了详细说明和解释,所应理解的是,可以对本发明的形式和细节进行变化而不脱离本发明的精神和范围,其均应包含在本发明的权利要求范围之内。

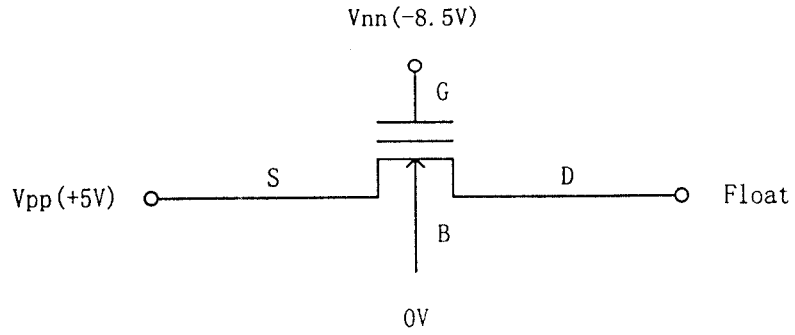


图 1a

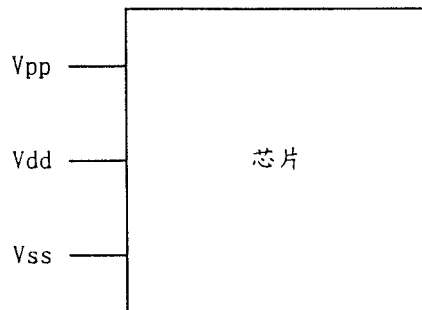


图 1b

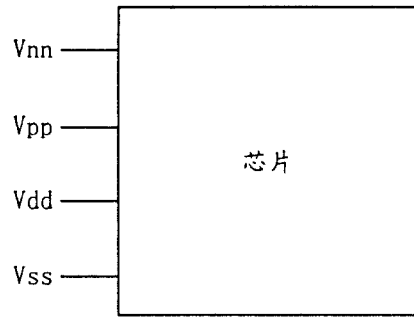


图 2

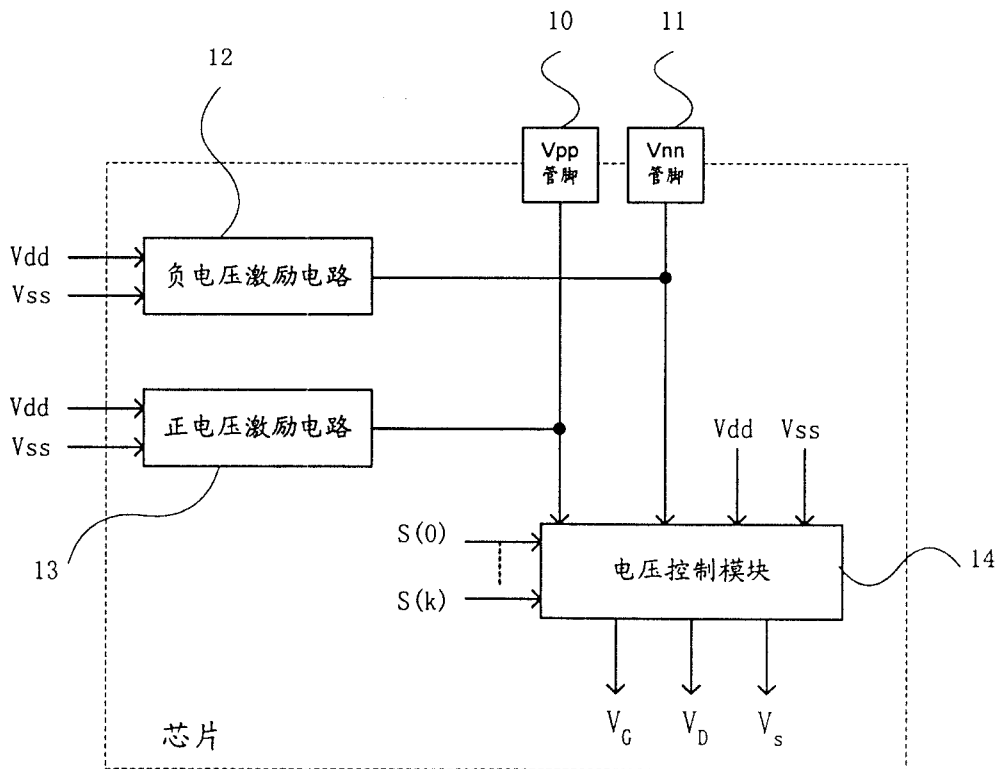


图 3

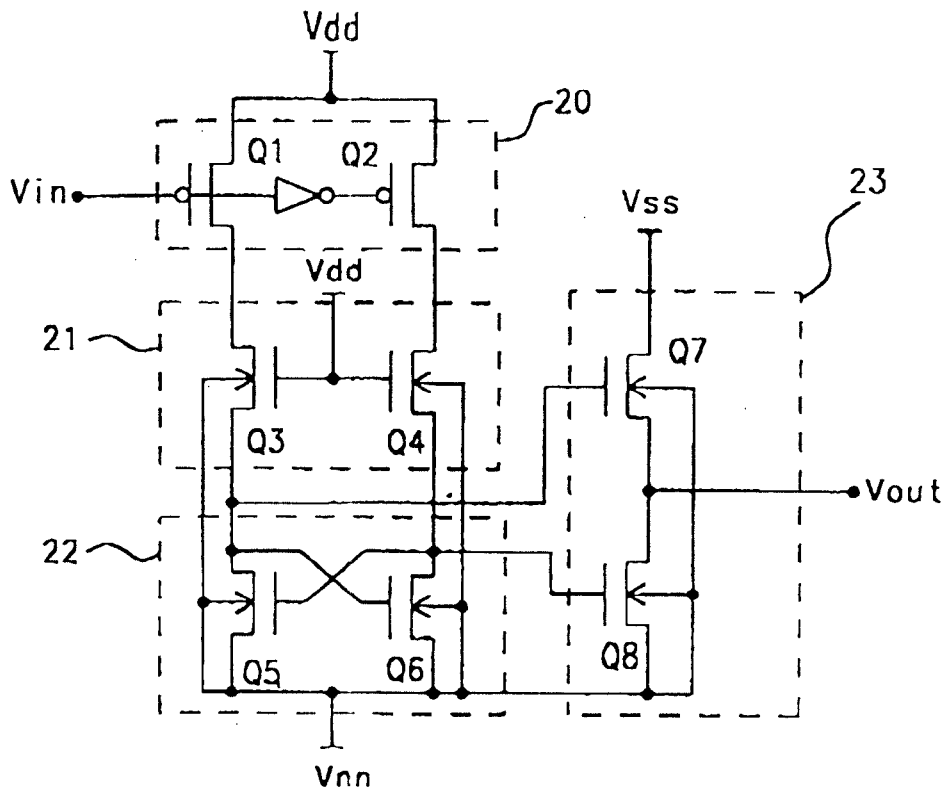


图 4a

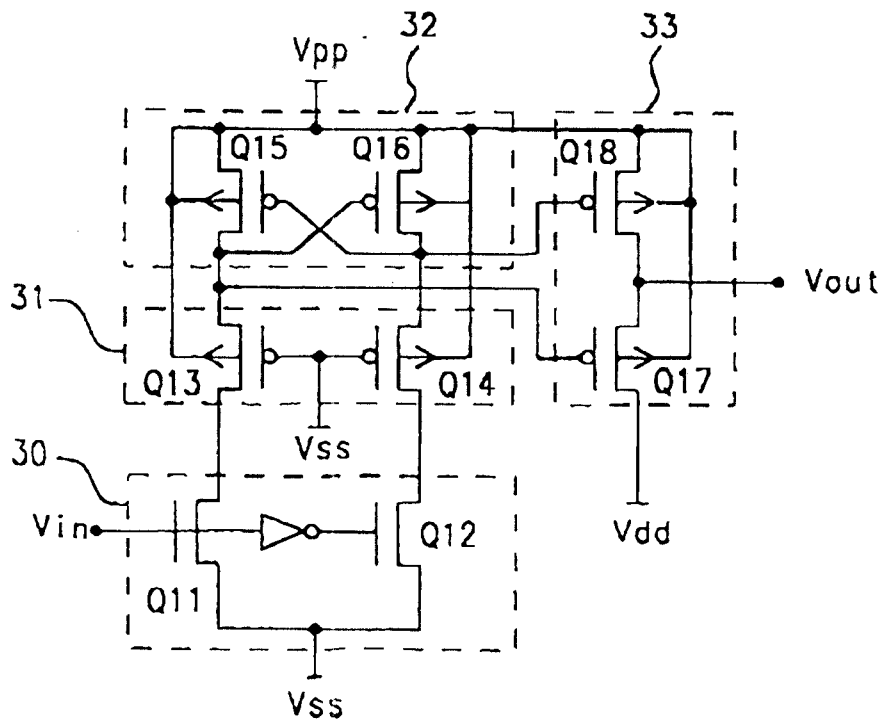


图 4b

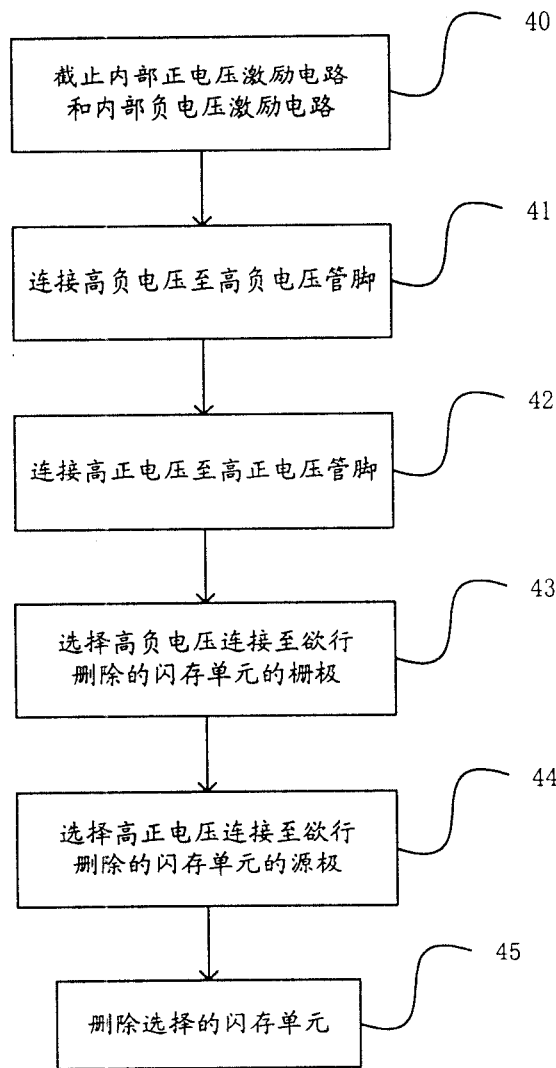


图 5