(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 600 03 771 T2** 2004.06.17

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 1 104 949 B1**
(21) Deutsches Aktenzeichen: **600 03 771.1**
(96) Europäisches Aktenzeichen: **00 309 850.6**
(96) Europäischer Anmeldetag: **06.11.2000**
(97) Erstveröffentlichung durch das EPA: **06.06.2001**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **09.07.2003**
(47) Veröffentlichungstag im Patentblatt: **17.06.2004**

(51) Int Cl.[7]: **H02M 3/28**

(30) Unionspriorität:
437669 **10.11.1999** **US**

(84) Benannte Vertragsstaaten:
DE, FR, GB

(73) Patentinhaber:
Hewlett-Packard Co. (n.d.Ges.d.Staates Delaware), Palo Alto, Calif., US

(72) Erfinder:
Aas, Eric F., Windsor, US; Oliver, Thomas C., Windsor, US; Kochis, Richard L., Fort Collins, US

(74) Vertreter:
Schoppe, Zimmermann, Stöckeler & Zinkler, 82049 Pullach

(54) Bezeichnung: **Koordiniertes Schalten in einem Mehrfach-Schaltregelkreissystem zur Verringerung des maximalen Laststroms**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Gebiet der Erfindung

[0001] Diese Erfindung bezieht sich auf Schaltleistungsversorgungen und insbesondere auf Systeme mit mehreren Schaltreglern, die einen Strom von der gleichen Eingangsleistungsquelle ziehen.

Hintergrund der Erfindung

[0002] Viele Elektronikvorrichtungen benötigen mehrere Leistungsversorgungen. Eine Vorrichtung mit sowohl analogen als auch digitalen Schaltungen kann z. B. +5 Volt für die Digitallogik und +12 Volt, –12 Volt für den Analogschaltungsaufbau benötigen. In batteriebetriebenen Vorrichtungen sind Schaltleistungsversorgungen eine Weise, um diese Leistungsversorgungen zu erzeugen.

[0003] Eine Schaltleistungsversorgung kann wirken, indem eine Steuerung einen Transistor mit hoher Frequenz schaltet. Diese Frequenz ist üblicherweise in dem Bereich von 20 kHz bis 1 MHz. Dies zieht einen Strom von der Eingangsleistungsquelle, um eine zerhackte Zwischenspannung zu erzeugen, die dann durch eine L-C- (Induktor-Kondensator-) Schaltung gefiltert wird, um eine glattere Ausgangsspannung zu erzeugen. Die Ausgangsspannung wird durch ein Variieren des Verhältnisses von Anzeit zu Auszeit des Transistors gesteuert. Leider können, wenn es in dem System mehrere Regler gibt, die Schalttransistoren dieser mehreren Regler sich in Phase ein- und ausschalten. Dieses Schalten in Phase kann bewirken, daß mehrere Regler gleichzeitig einen Strom ziehen, was die Stromableitung auf der Eingangsleistungsquelle erhöht. Tatsächlich kann, wenn ausreichend viele Schalttransistoren in Phase schalten, die Stromableitung auf der Eingangsleistungsquelle zu dem Punkt ansteigen, an dem eine Regelung nicht beibehalten werden kann. Aufgrund des hohen Serienwiderstandswertes vieler Typen von Batterien sind batteriegetriebene Vorrichtungen besonders anfällig für diesen Zustand.

[0004] Folglich besteht in der Technik ein Bedarf nach einer Mehrspannungs-Schaltleistungsversorgungssteuerung, die dabei hilft, die Spitzenstromableitung auf der Eingangsleistungsquelle zu senken.

[0005] Sowohl das US-Patent U.S. 5,442,534 als auch die Zusammenfassung des japanischen Patentes JP 9289773 offenbaren Leistungsversorgungen mit Mehrzahlen von Schaltreglern.

Zusammenfassung der Erfindung

[0006] Die vorliegende Erfindung liefert eine Leistungsversorgung mit folgenden Merkmalen: einer Eingangsleistungsquelle; einer Mehrzahl von Schaltreglern, die Eingangsströme von der Eingangsleistungsquelle ziehen; und einer Schaltsteuerung, wobei die Schaltsteuerung bewirkt, daß die Schaltregler eine Veränderung des Betrages der Eingangsströme in einem Zyklus einleiten.

[0007] Die Erfindung koordiniert den Strom, der durch mehrere Schaltregler gezogen wird, die eine gemeinsame Eingangsleistungsquelle gemeinsam verwenden, um die Spitzenstromableitung auf der Eingangsleistungsquelle zu senken. Eine Koordination des gezogenen Stroms kann mit einer einfachen Logik implementiert sein oder kann für einen komplizierten Algorithmus angepaßt sein, der viele unterschiedliche Variablen berücksichtigt, wie z. B. ein dynamisches Belasten unterschiedlicher Regler oder Szenarien eines ungünstigsten Falls. Ein Ausführungsbeispiel sequenziert die Einschalt-, Ausschalt- oder Zwischenschaltzeiten der Schalter in jedem Regler, so daß jeder Regler zu einer vorbestimmten Zeit in einen Zyklus Strom zieht. Die vorbestimmte Zeit für jeden Regler ist so ausgewählt, daß die maximale Spitzenstromableitung auf der Eingangsleistungsquelle minimiert ist. Die vorbestimmten Zeiten können während des Betriebs durch Eingaben in das System verändert werden, wenn Informationen über einen Strom oder projizierte Ausgangslasten bekannt sind. Ein anderes Ausführungsbeispiel sequenziert lediglich die Einschalt- oder Ausschaltzeiten der Schalter in jedem Regler, so daß jeder Regler beginnt, einen Strom zu ziehen, wenn der vorherige Regler in der Sequenz aufhört, einen Strom zu ziehen. Ein weiteres Ausführungsbeispiel läßt den Regler mit der größten Veränderung eines Eingangsstroms über einen Zyklus unabhängig laufen. Die anderen Regler ziehen dann einen Strom in einer bestimmten Reihenfolge oder zu bestimmten Zeiten, nachdem der erste Regler aufhört, einen Strom zu ziehen.

[0008] Andere Aspekte und Vorteile der vorliegenden Erfindung werden aus der folgenden detaillierten Beschreibung in Verbindung mit den beigefügten Zeichnungen ersichtlich, die beispielhaft die Prinzipien der Erfindung darstellt.

Kurze Beschreibung der Zeichnungen

[0009] **Fig.** 1 ist ein schematisches Diagramm mehrerer Stoß-Typ-Schaltregler mit der gleichen Eingangsleistungsquelle.

[0010] **Fig.** 2 ist ein schematisches Diagramm mehrerer Schub-Typ-Schaltregler mit der gleichen Eingangsleistungsquelle.

[0011] **Fig.** 3A ist eine Darstellung des typischen Eingangsstromsignalverlaufs für einen Stoß-Typ-Schaltregler in einem kontinuierlichen Modus und einem diskontinuierlichen Modus.

[0012] **Fig.** 3B ist eine Darstellung des typischen Eingangsstromsignalverlaufs für einen Schub-Typ-Schaltregler in einem kontinuierlichen Modus und einem diskontinuierlichen Modus.

[0013] **Fig.** 4A stellt einen Probesatz von Steuerungssignalverläufen und Eingangsleistungsquellenstrom für mehrere Stoß-Schaltregler dar, die ein se-

quentielles Schalten von Schalttransistoren verwenden.

[0014] **Fig.** 4B stellt einen Probesatz von Steuerungssignalverläufen und Eingangsleistungsquellenstrom für mehrere Schub-Schaltregler dar, die ein sequentielles Schalten von Schalttransistoren verwenden.

[0015] **Fig.** 5 ist ein Blockdiagramm, das ein Steuerungssystem darstellt, das sequentiell die Schalttransistoren mehrerer Schaltregler schaltet.

[0016] **Fig.** 6 stellt einen Probesatz von Steuerungssignalverläufen für mehrere Schaltregler dar, die das gleichzeitige Schalten von zwei Reglern sequentiell nach einem ersten Regler verwenden.

[0017] **Fig.** 7 ist ein Blockdiagramm, das ein Steuerungssystem darstellt, das zwei Schalter sequentiell schaltet, nachdem ein erster Regler geschaltet hat.

[0018] **Fig.** 8 stellt einen Probesatz von Steuerungssignalverläufen für mehrere Schaltregler dar, die Transistoren zu vorbestimmten Zeiten schalten.

[0019] **Fig.** 9 ist ein Blockdiagramm, das ein Steuerungssystem darstellt, das die Schalttransistoren mehrerer Schaltregler zu vorbestimmten Zeiten einschaltet.

Detaillierte Beschreibung der bevorzugten Ausführungsbeispiele

[0020] **Fig.** 1 ist ein schematisches Diagramm mehrerer Stoß-Typ-Schaltregler mit der gleichen Eingangsleistungsquelle. **Fig.** 2 ist ein schematisches Diagramm mehrerer Schub-Typ-Schaltregler mit der gleichen Eingangsleistungsquelle. Diese Typen von Reglern wurden lediglich zu Beispielzwecken ausgewählt. Es wird darauf verwiesen, daß diese Erfindung auf andere Typen von Schaltreglern anwendbar ist, die Fachleuten auf diesem Gebiet bekannt sind. Ferner ist der Typ von Schalter in diesen Reglern als ein N-Kanal MOSFET gezeigt. Dies dient ebenso nur zu Beispielszwecken, wobei andere Typen von Schaltvorrichtungen, die Fachleuten auf diesem Gebiet bekannt sind, verwendet werden können.

[0021] In **Fig.** 1 ist die Eingangsspannung in die mehreren Regler **1010**, **1020** und **1030** V_i. Der gesammelte Eingangsstrom in die mehreren Regler ist I_i. Der Eingangsstrom in den ersten Regler **1010** ist I_{i1}. Der Eingangsstrom in den zweiten Regler **1020** ist I_{i2} und so weiter, derart, daß der Eingangsstrom in den dritten Regler **1030** I_{i3} ist.

[0022] In **Fig.** 1 ist der erste Regler **1010** als einen Schalttransistor S1 **1012**, eine Diode **1014**, einen Induktor L1 **1015** und einen Filterkondensator C1 **1016** aufweisend gezeigt. Der erste Regler **1010** ist als eine Ausgangsspannung V_i in eine Last LAST1 **1018** erzeugend gezeigt. Der Schalttransistor S1 ist als ein N-Typ-Verstärkungs-MOSFET gezeigt, dessen Drain mit V_i verbunden ist, dessen Körper und Source mit der Kathode der Diode **1014** verbunden sind, und dessen Gate mit einer Steuerungsspannung V_{g1} verbunden ist. Die Anode der Diode **1014** ist als mit dem Referenzknoten von V_i,gnd verbunden gezeigt. Die Kathode der Diode **1014**, die Source und der Körper von S1 sind ebenso mit einem ersten Anschluß des Induktors L1 **1015** verbunden. Der zweite Anschluß von L1 **1015** ist mit einem ersten Anschluß des Filterkondensators C1 **1016** verbunden. Der zweite Anschluß des Filterkondensators C1 **1016** ist als mit gnd (Masse) verbunden gezeigt. Die Last auf den ersten Regler LAST1 **1018** ist als parallel zu dem Filterkondensator C1 **1016** geschaltet gezeigt.

[0023] Der zweite Regler **1020** ist mit dem gleichen Schaltungsentwurf wie der erste Regler **1010** gezeigt. Der zweite Regler **1020** ist als einen Schalttransistor S2 **1022**, eine Diode **1024**, einen Induktor L2 **1025** und einen Filterkondensator C2 **1026** aufweisend gezeigt. Der zweite Regler **1020** ist als eine Ausgangsspannung V_2 in eine Last LAST2 **1028** erzeugend gezeigt. Der Schalttransistor S2 ist als ein N-Typ-Verstärkungs-MOSFET gezeigt, dessen Drain mit V_i verbunden ist, dessen Körper und Source mit der Kathode der Diode **1024** verbunden sind und dessen Gate mit einer Steuerungsspannung V_{g2} verbunden ist. Die Anode der Diode **1024** ist als mit dem Referenzknoten von V_i,gnd verbunden gezeigt. Die Kathode der Diode **1024**, die Source und der Körper von S2 sind ebenso mit einem ersten Anschluß des Induktors L2 **1025** verbunden. Der zweite Anschluß von L2 **1025** ist mit einem ersten Anschluß des Filterkondensators C2 **1026** verbunden. Der zweite Anschluß des Filterkondensators C2 **1026** ist als mit gnd verbunden gezeigt. Die Last auf den ersten Regler LAST2 **1028** ist als parallel zu dem Filterkondensator C2, **1026** geschaltet gezeigt.

[0024] Der dritte Regler **1030** ist mit dem gleichen Schaltungsentwurf wie der erste Regler **1010** und der zweite Regler **1020** gezeigt. Der dritte Regler **1030** ist als einen Schalttransistor S3 **1032**, eine Diode **1034**, einen Induktor L3 **1035** und einen Filterkondensator C3 **1036** aufweisend gezeigt. Der zweite Regler **1030** ist als eine Ausgangsspannung V_3 in eine Last LAST3 **1038** erzeugend gezeigt. Der Schalttransistor S3 ist als ein N-Typ-Verstärkungs-MOSFET gezeigt, dessen Drain mit V_i verbunden ist, dessen Körper und Source mit der Kathode der Diode **1034** verbunden sind und dessen Gate mit einer Steuerungsspannung V_{g3} verbunden ist. Die Anode der Diode **1034** ist als mit dem Referenzknoten von V_i,gnd verbunden gezeigt. Die Kathode der Diode **1034**, die Source und der Körper von S3 sind außerdem mit einem ersten Anschluß des Induktors L3 **1035** verbunden. Der zweite Anschluß von L3 **1035** ist mit einem ersten Anschluß des Filterkondensators C3 **1036** verbunden. Der zweite Anschluß des Filterkondensators C3 **1036** ist als mit gnd verbunden gezeigt. Die Last auf den ersten Regler LAST3 **1038** ist als parallel zu dem Filterkondensator C3 **1036** geschaltet gezeigt.

[0025] Obwohl nur drei Regler gezeigt sind, ist es beabsichtigt, daß die mehreren Regler **1010**, **1020** und **1030** eine willkürliche Anzahl von Versorgungsspannungen darstellen, die aus einer einzelnen Ein-

gangsleistungsquelle erzeugt werden. Zusätzlich ist der Grundentwurf dieser Versorgungen ein Stoß-Reglertyp-Entwurf. Es wird jedoch darauf verwiesen, daß die Prinzipien dieser Erfindung nicht auf diesen bestimmten Typ von Regler eingeschränkt sind, und daß die Prinzipien dieser Erfindung auch mit Schub-Typ- oder Stoßschub-Typ- oder einer Kombination von Schaltreglertypen verwendet werden könnten.

[0026] In **Fig.** 2 ist die Eingangsspannung in die mehreren Regler **2010**, **2020** und **2030** V_i. Der gesammelte Eingangsstrom in die mehreren Regler ist I_i. Der Eingangsstrom in den ersten Regler **2010** ist I_{i1}. Der Eingangsstrom in den zweiten Regler **2020** ist I_{i2} und so weiter, derart, daß der Eingangsstrom in den dritten Regler **2030** I_{i3} ist.

[0027] In **Fig.** 2 ist der erste Regler **2010** als einen Schalttransistor S1 **2014**, eine Diode **2015**, einen Induktor L1 **2012** und einen Filterkondensator C1 **2016** aufweisend gezeigt. Der erste Regler **2010** ist als eine Ausgangsspannung V_1 in eine Last LAST1 **2018** erzeugend gezeigt. Der Induktor L1 **2012** ist als zwischen V_i und das Drain des Schalttransistors S1 **2014** geschaltet gezeigt. Der Schalttransistor S1 ist als ein N-Typ-Verstärkungs-MOSFET gezeigt, dessen Körper und Source mit dem Referenzknoten von V_i,gnd verbunden sind, und dessen Gate mit einer Steuerungsspannung V_{g1} verbunden ist. Die Anode der Diode **2015** ist mit dem Drain des Schalttransistors S1 **2014** verbunden. Die Kathode der Diode **2015** ist mit einem ersten Anschluß des Filterkondensators C1 **2016** verbunden. Der zweite Anschluß von C1 **2016** ist mit gnd verbunden. Die Last auf den ersten Regler LAST1 **2018** ist als parallel zu dem Filterkondensator C1 **2016** geschaltet gezeigt.

[0028] In **Fig.** 2 ist der zweite Regler **2020** als einen Schalttransistor S2 **2024**, eine Diode **2025**, einen Induktor L2 **2022** und einen Filterkondensator C2 **2026** aufweisend gezeigt. Der zweite Regler **2020** ist als eine Ausgangsspannung V_2 in eine Last LAST2 **2028** erzeugend gezeigt. Der Induktor L2 **2022** ist als zwischen V_i und das Drain des Schalttransistors S2 **2024** geschaltet gezeigt. Der Schalttransistor S2 ist als ein N-Typ-Verbesserungs-MOSFET gezeigt, dessen Körper und Source mit dem Referenzknoten von V_i,gnd verbunden sind und dessen Gate mit einer Steuerungsspannung V_{g2} verbunden ist. Die Anode der Diode **2025** ist mit dem Drain des Schalttransistors S2 **2024** verbunden. Die Kathode der Diode **2025** ist mit einem ersten Anschluß des Filterkondensators C2 **2026** verbunden. Der zweite Anschluß von C2 **2026** ist mit gnd verbunden. Die Last auf den ersten Regler LAST2 **2028** ist als parallel zu dem Filterkondensator C2 **2026** geschaltet gezeigt.

[0029] In **Fig.** 2 ist der dritte Regler **2030** gezeigt, um einen Schaltregler S3 **2034**, eine Diode **2035**, einen Induktor L3 **2032** und einen Filterkondensator C3 **2036** aufzuweisen. Der zweite Regler **2030** ist gezeigt, um eine Ausgangsspannung V_3 in eine Last LAST3 **2038** zu erzeugen. Der Induktor L3 **2032** ist gezeigt, um zwischen V_i und das Drain des Schalttransistors S3 **2034** geschaltet zu sein. Der Schalttransistor S3 ist als ein N-Typ-Verstärkungs-MOSFET gezeigt, dessen Körper und Source mit dem Referenzknoten von V_i,gnd verbunden sind, und dessen Gate mit einer Steuerungsspannung V_{g3} verbunden ist. Die Anode der Diode **2035** ist mit dem Drain des Schalttransistors S3 **2034** verbunden. Die Kathode der Diode **2035** ist mit einem ersten Anschluß des Filterkondensators C3 **2036** verbunden. Der zweite Anschluß von C3 **2036** ist mit gnd verbunden. Die Last auf den ersten Regler LAST3 **2038** ist gezeigt, um parallel zu dem Filterkondensator C3 **2036** geschaltet zu sein.

[0030] **Fig.** 3A ist eine Darstellung der typischen Eingangsstromsignalverläufe für einen Stoß-Typ-Schaltregler in einem kontinuierlichen Modus und einem diskontinuierlichen Modus. **Fig.** 3B ist eine Darstellung der typischen Eingangsstromsignalverläufe für einen Schub-Typ-Schaltregler in einem kontinuierlichen Modus und einem diskontinuierlichen Modus. Es wird darauf verwiesen, daß diese Stromsignalverläufe zu einer Spitze kommen, bevor sie abfallen. Wenn die Stromspitzen mehrerer Regler, die von der gleichen Eingangsleistungsquelle ziehen, zeitlich in etwa zusammenfallen, tritt eine große Eingangsstromspitze auf. Diese Erfindung hilft dabei, diesen Zustand zu vermeiden, so daß der Gesamtspitzeneingangsstrom reduziert wird.

[0031] **Fig.** 4A stellt einen Beispielsatz von Steuerungssignalen und Stromsignalverläufen zum sequentiellen Schalten von Transistoren in mehreren Stoß-Reglern dar. Ein Signal CLOCK ist ein periodischer Signalverlauf, der das Schalten des ersten Reglers in der Sequenz auslöst. Dieser Regler wird durch V_{g1} gesteuert. Es wird angemerkt, daß V_{g1} ansteigt, was den Schalttransistor in dem ersten Regler einschaltet, wenn CLOCK fällt. Wenn V_{g1} fällt, was den Schalttransistor in dem ersten Regler ausschaltet, steigt V_{g2}, was den Schalttransistor in dem zweiten Regler in der Sequenz einschaltet. Dann steigt, wenn V_{g2} fällt, was den Schalttransistor in dem zweiten Regler ausschaltet, V_{g3}, was den Schalttransistor in dem dritten Regler in der Sequenz einschaltet. Danach fällt V_{g3}, was den Schalttransistor in dem dritten Regler ausschaltet. Die abfallende Flanke des Signals CLOCK startet die Sequenz erneut.

[0032] Ebenso in **Fig.** 4A gezeigt sind exemplarische Eingangsströme (I_{i1}, I_{i2}, I_{i3}) für jede der drei Leistungsversorgungen, wenn dieselben durch sequenzierte Steuerungssignale gesteuert werden, wie oben beschrieben und in **Fig.** 4A gezeigt ist. Die Summe dieser Eingangsströme ist die Gesamteingangsstromlast auf die Eingangsstromquelle I_i. Es wird angemerkt, daß das sequenzierte Schalten der Transistoren in den drei Versorgungen bei diesem Beispiel die Gesamtstromlast verglichen mit der Situation reduziert, in der alle drei Schalttransistoren so geschaltet werden, daß alle drei Versorgungen ihren Spitzenstrom zu in etwa der gleichen Zeit erreichen.

[0033] In **Fig.** 4A sind die Steuerungssignale aller Stromversorgungen gezeigt, um die Transistoren in all diesen Leistungsversorgungen auszuschalten, bevor ein neuer Zyklus mit der abfallenden Flanke von CLOCK beginnt. Dies ist jedoch nicht erforderlich. Für Versorgungen, die dynamische Lasten aufweisen, kann die Länge einer Zeit für jeden Schalttransistor jedes Reglers gemäß einem Fehlersignal, das von der Ausgangsspannung dieses Reglers hergeleitet ist, eingestellt werden. Das System kann unter Umständen mit einem optimal niedrigen Spitzeneingangsstrom abhängig von der dynamischen Belastung nicht arbeiten, wobei eine Regelung beibehalten werden sollte, solange das Signal, das den Transistor in einem bestimmten Regler ausschaltet, vor der Zeit oder nahezu zu der Zeit auftritt, zu der das Signal, das diesen bestimmten Transistor einschaltet, wieder auftritt. Ferner hilft ein Anordnen der Sequenz, die von der größten antizipierten Eingangsstromlast zu der kleinsten versorgt, selbst dann dabei, den Spitzeneingangsstrom zu reduzieren, wenn zwei oder mehr Schalttransistoren in unterschiedlichen Versorgungen zu dem gleichen Zeitpunkt an sind.

[0034] **Fig.** 4B stellt einen Beispielsatz von Steuerungssignalen und Stromsignalverläufen zum sequentiellen Schalten von Transistoren in mehreren Schub-Reglern dar. Ein Signal CLOCK ist ein periodischer Signalverlauf, der das Schalten des ersten Reglers in der Sequenz auslöst. Dieser Regler wird durch V_{g1} gesteuert. Es wird angemerkt, daß V_{g1} ansteigt, was den Schalttransistor in dem ersten Regler einschaltet, wenn CLOCK fällt. Wenn V_{g1} fällt, was den Schalttransistor in dem ersten Regler ausschaltet, steigt V_{g2}, was den Schalttransistor in dem zweiten Regler in der Sequenz einschaltet. Dann steigt, wenn V_{g2} fällt, was den Schalttransistor in dem zweiten Regler ausschaltet, V_{g3}, was den Schalttransistor in dem dritten Regler in der Sequenz einschaltet. Danach fällt V_{g3}, was den Schalttransistor in dem dritten Regler ausschaltet. Die abfallende Flanke des Signals CLOCK startet die Sequenz erneut.

[0035] Ebenso in **Fig.** 4B gezeigt sind exemplarische Eingangsströme (I_{1i}, I_{i2}, I_{i3}) für jede der drei Leistungsversorgungen, wenn dieselben durch sequenzierte Steuerungssignale, wie oben beschrieben und in **Fig.** 4B gezeigt ist, gesteuert werden. Die Summe dieser Eingangsströme ist die Gesamteingangsstromlast auf die Eingangsleistungsquelle I_i. Es ist anzumerken, daß das sequenzierte Schalten der Transistoren in den drei Versorgungen bei diesem Beispiel die Gesamtstromlast verglichen mit der Situation reduziert, in der alle drei Schalttransistoren so geschaltet werden, daß alle drei Versorgungen ihren Spitzenstrom in etwa zu der gleichen Zeit erreichen.

[0036] In **Fig.** 4B sind die Steuerungssignale aller Leistungsversorgungen gezeigt, um die Transistoren in all diesen Leistungsversorgungen auszuschalten, bevor ein neuer Zyklus mit der abfallenden Flanke von CLOCK beginnt. Dies ist jedoch nicht erforderlich. Für Versorgungen, die dynamische Lasten aufweisen, kann die Länge einer Zeit für jeden Schalttransistor jedes Reglers gemäß einem Fehlersignal, das von der Ausgangsspannung dieses Reglers hergeleitet ist, eingestellt werden. Das System kann unter Umständen mit einem optimal niedrigen Spitzeneingangsstrom abhängig von dem dynamischen Belasten nicht arbeiten, wobei eine Regelung jedoch beibehalten werden sollte, solange das Signal, das den Transistor in einem bestimmten Regler ausschaltet, vor der Zeit oder nahezu zu der Zeit auftritt, zu der das Signal, das diesen bestimmten Transistor einschaltet, wieder auftritt. Ferner hilft ein Anordnen der Sequenz, die von der größten antizipierten Eingangsstromlast zu der kleinsten versorgt, selbst dann bei einem Reduzieren des Spitzeneingangsstroms, wenn zwei oder mehr Schalttransistoren in unterschiedlichen Versorgungen gleichzeitig an sind.

[0037] **Fig.** 5 stellt ein Blockdiagramm eines Systems dar, das sequentiell die Transistoren in mehreren Versorgungen schaltet. Ein Taktgenerator **5002** sendet ein Signal (CLOCK) an einen pulsbreiten Modulations- (PWM-) Generator **5004**, der den Schalttransistor des ersten Reglers in der Sequenz über ein Signal V_{g1} einschaltet. Die Länge der Zeit, die V_{g1} aktiv bleibt, was den Schaltregler des ersten Reglers in der Sequenz an behält, hängt von einem Signal von einem Fehlergenerator **5010** ab. Das Signal von dem Fehlergenerator **5010** hängt von der Ausgangsspannung des ersten Reglers in der Sequenz ab. Wenn dieses Steuerungssystem mit drei Versorgungen verwendet wird, wie in **Fig.** 1 gezeigt ist, wäre dies für den Regler **1010** V_1. Wenn dieses Steuerungssystem mit drei Versorgungen verwendet wird, wie in **Fig.** 2 gezeigt ist, wäre dies für den Regler **2010** V_1. Wenn der Schalttransistor des ersten Reglers in der Sequenz über das Signal V_{g1} ausgeschaltet wird, schaltet der PWM-Generator **5006** den Schalttransistor des zweiten Reglers in der Sequenz über ein Signal V_{g2} ein. Die Länge einer Zeit, die V_{g2} aktiv bleibt, was den Schalttransistor des zweiten Reglers in der Sequenz an behält, hängt von einem Signal von einem Fehlergenerator **5012** ab. Das Signal von dem Fehlergenerator **5012** hängt von der Ausgangsspannung des zweiten Reglers in der Sequenz ab. Wenn dieses Steuerungssystem mit drei Versorgungen verwendet wird, wie in **Fig.** 1 gezeigt ist, wäre dies für den Regler **1020** V_2. Wenn dieses Steuerungssystem mit drei Versorgungen verwendet wird, wie in **Fig.** 2 gezeigt ist, wäre dies für den Regler **2020** V_2. Wenn der Schalttransistor des zweiten Reglers in der Sequenz über das Signal V_{g2} ausgeschaltet wird, schaltet der PWM-Generator **5008** den Schalttransistor des dritten Reglers in der Sequenz über ein Signal V_{g3} ein. Die Länge einer Zeit, die V_{g3} aktiv bleibt, was den Schalttransistor des dritten Reglers in der Sequenz an behält, hängt von einem Signal von einem Fehlergenerator **5014** ab. Das Signal von dem Fehlergenerator **5014** hängt von der Ausgangsspannung des dritten Reglers in der Sequenz ab. Wenn dieses

Steuerungssystem mit drei Versorgungen verwendet wird, wie in **Fig.** 1 gezeigt ist, wäre dies für den Regler **1030** V_3. Wenn dieses Steuerungssystem mit drei Versorgungen verwendet wird, wie in **Fig.** 2 gezeigt ist, wäre dies für den Regler **2030** V_3.

[0038] **Fig.** 6 stellt die Steuerungssignalverläufe für mehrere Schaltregler dar, die das gleichzeitige Schalten von zwei Reglern sequentiell nach einem ersten Regler verwenden. In **Fig.** 6 ist ein Signal CLOCK ein periodischer Signalverlauf, der das Schalten des ersten Reglers in der Sequenz auslöst. Dieser Regler wird durch V_{g1} gesteuert. Es wird angemerkt, daß V_{g1} ansteigt, was den Schalttransistor in dem ersten Regler einschaltet, wenn CLOCK fällt. Wenn V_{g1} fällt, was den Schalttransistor in dem ersten Regler ausschaltet, steigen V_{g2} und V_{g3}, was die Schalttransistoren in der zweiten und der dritten Leistungsversorgung einschaltet. V_{g2} und V_{g3} fallen dann unabhängig voneinander, was die Schalttransistoren in der zweiten und der dritten Leistungsversorgung ausschaltet. Die abfallende Flanke des Signals CLOCK startet die Sequenz erneut.

[0039] Ein gleichzeitiges Einschalten der Schalttransistoren in zwei oder mehr Reglern ermöglicht eine schnellere Zykluszeit für das Signal CLOCK. Dies ist besonders nützlich, wenn bekannt ist oder es erwartet wird, daß zwei der Regler verglichen mit anderen Versorgungen einen geringen Eingangsleistungsquellenstrom aufweisen. Diese beiden Regler können gleichzeitig eingeschaltet werden, um eine schnellere Zykluszeit für das Signal CLOCK zu ermöglichen, ohne den Spitzengesamteingangsleistungsquellenstrom stark zu beeinflussen. Zusätzlich kann bei einem anderen Ausführungsbeispiel anstelle eines gleichzeitigen Einschaltens zweier Versorgungen eine feste Verzögerung von dem Einschalten des Transistors in einem Regler zu dem Einschalten des Transistors in einem anderen eingeführt werden. Dies kann nützlich sein, wenn die Eingangsströme in zwei Regler vermutlich einander grob folgen, wobei erwartet wird, daß einer wahrscheinlich größer als der andere ist.

[0040] **Fig.** 7 ist ein Blockdiagramm, das ein Steuerungssystem darstellt, das zwei Schalter sequentiell nach einem Schalten eines ersten Reglers schaltet. Ein Taktgenerator **7002** sendet ein Signal (CLOCK) an einen Pulsbreitenmodulations-(PWM-) Generator **7004**, der den Schalttransistor des ersten Reglers in der Sequenz über ein Signal V_{g1} einschaltet. Die Länge der Zeit, die V_{g1} aktiv bleibt, was den Schalttransistor des ersten Reglers in der Sequenz an behält, hängt von einem Signal von einem Fehlergenerator **7010** ab. Das Signal von dem Fehlergenerator **7010** hängt von der Ausgangsspannung des ersten Reglers in der Sequenz ab. Wenn dieses Steuerungssystem mit drei Reglern verwendet wird, wie in **Fig.** 1 gezeigt ist, wäre dies für den Regler **1010** V_1. Wenn dieses Steuerungssystem mit drei Reglern verwendet wird, wie in **Fig.** 2 gezeigt ist, wäre dies für den Regler **2010** V_1. Wenn der Schalttransistor des ersten Reglers in der Sequenz über das Signal V_{g1} ausgeschaltet wird, schaltet der PWM-Generator **7006** den Schalttransistor des zweiten Reglers in der Sequenz über ein Signal V_{g2} ein. Die Länge einer Zeit, die V_{g2} aktiv bleibt, was den Schalttransistor des zweiten Reglers in der Sequenz an behält, hängt von einem Signal von einem Fehlergenerator **7012** ab. Das Signal von dem Fehlergenerator **7012** hängt von der Ausgangsspannung des zweiten Reglers in der Sequenz ab. Wenn dieses Steuerungssystem mit drei Reglern verwendet wird, wie in **Fig.** 1 gezeigt ist, wäre dies für den Regler **1020** V_2. Wenn dieses Steuerungssystem mit drei Reglern verwendet wird, wie in **Fig.** 2 gezeigt ist, wäre dies für den Regler **2020** V_2. Außerdem schaltet, wenn der Schalttransistor des ersten Reglers in der Sequenz über das Signal V_{g1} ausgeschaltet wird, der PWM-Generator **7008** den Schalttransistor des dritten Reglers in der Sequenz über ein Signal V_{g3} nach einer optionalen Verzögerungszeit **7016** ein. Wenn keine Zeitverzögerung erwünscht ist, schaltet der PWM-Generator **7008** den Schalttransistor des dritten Reglers in der Sequenz über das Signal V_{g3} zu der gleichen Zeit ein, zu der der PWM-Generator **7006** den Schaltgenerator des zweiten Reglers über das Signal V_{g2} einschaltet. Die Länge einer Zeit, die V_{g3} aktiv bleibt, was den Schalttransistor des dritten Reglers in der Sequenz an behält, hängt von einem Signal von einem Fehlergenerator **7014** ab. Das Signal von dem Fehlergenerator **7014** hängt von der Ausgangsspannung des dritten Reglers in der Sequenz ab. Wenn dieses Steuerungssystem mit drei Reglern verwendet wird, wie in **Fig.** 1 gezeigt ist, wäre dies für den Regler **1030** V_3. Wenn dieses Steuerungssystem mit drei Reglern verwendet wird, wie in **Fig.** 2 gezeigt ist, wäre dies für den Regler **2030** V_3.

[0041] **Fig.** 8 stellt Steuerungssignalverläufe für mehrere Schaltregler dar, die Schalttransistoren zu vorbestimmten Zeiten einschalten. Ein Signal CLOCK ist ein periodischer Signalverlauf, der als die Zeitbasis zum Einschalten der Schalttransistoren in den mehreren Versorgungen verwendet wird. Ein Signal FIRST ist ein Signal, das, wenn es aktiv ist, zeigt, welcher Zyklus von CLOCK den Anfang eines neuen Schaltzyklus markiert. In **Fig.** 8 wird der Schalttransistor in dem ersten Regler über V_{g1} eingeschaltet, die während des ersten Zyklus von CLOCK steigt. Der Schalttransistor in dem zweiten Regler wird über V_{g2} eingeschaltet, die während des zweiten Zyklus von CLOCK steigt. Der Schalttransistor in dem dritten Regler wird über V_{g3} eingeschaltet, die während des vierten Zyklus von CLOCK steigt. Jedes der Steuerungssignale V_{g1}, V_{g2} und V_{g3} fällt unabhängig. Die abfallende Flanke des Signals CLOCK startet die Sequenz erneut. Die Aktivierung des Signals FIRST startet einen neuen Schaltzyklus.

[0042] **Fig.** 9 ist ein Blockdiagramm, das ein Steuerungssystem darstellt, das Transistoren mehrerer Schaltregler zu vorbestimmten Zeiten einschalten kann. Ein Taktgenerator **9002** erzeugt ein Signal

CLOCK, das einen periodischen Signalverlauf liefert, der als die Zeitbasis für das System verwendet wird. CLOCK wird in einen Überrollzähler **9004** eingegeben. Der Überrollzähler **9004** nimmt die Eingangspulse des Taktes und erzeugt ein digitales Ausgangssignal, das ein Zählwert dieser Pulse ist. Bei einem vorbestimmten Zählwert setzt der Überrollzähler sein Ausgangssignal zurück auf eine erste Zählwertzahl und aktiviert das Signal FIRST, bis ein weiterer Puls bei CLOCK empfangen wird. Dies erzeugt eine zyklische Sequenz bei den Ausgangssignalen des Überrollzählers **9004**. In **Fig.** 8 wäre dies 1, 2, 3, 4, 5, 1, 2, ..., wobei FIRST während des "1"-Teils der Sequenz erzeugt würde.

[0043] Der Zählwert, der von dem Überrollzähler ausgegeben wird, wird in Komparatoren **9006**, **9008** und **9010** eingegeben. Jeder dieser Komparatoren erzeugt ein Signal, wenn sein Eingangssignal mit einer vorbestimmten Zahl übereinstimmt. Wenn **Fig.** 8 als ein Beispiel verwendet wird, würde der Komparator **9006** ein Signal erzeugen, wenn sein Eingang **1** ist, der Komparator **9008** würde ein Signal erzeugen, wenn sein Eingang **2** ist, und der Komparator **9010** würde ein Signal erzeugen, wenn sein Eingang **4** ist.

[0044] Das Signal, das durch den Komparator **9006** erzeugt wird, löst den Pulsbreitenmodulations-(PWM-) Generator **9006** aus, um den Schalttransistor eines ersten Reglers über das Signal V_{g1} einzuschalten. Die Länge einer Zeit, die V_{g1} aktiv bleibt, was den Schalttransistor dieses Reglers an behält, hängt von einem Signal von einem Fehlergenerator **9014** ab. Das Signal von dem Fehlergenerator **9014** hängt von der Ausgangsspannung dieses Reglers ab. Wenn dieses Steuerungssystem mit drei Versorgungen verwendet wird, wie in **Fig.** 1 gezeigt ist, wäre diese Ausgangsspannung für den Regler **1010** V_1. Wenn dieses Steuerungssystem mit drei Versorgungen verwendet wird, wie in **Fig.** 2 gezeigt ist, wäre diese Ausgangsspannung für den Regler **2010** V_1.

[0045] Das Signal, das durch den Komparator **9008** erzeugt wird, löst den Pulsbreitenmodulations-(PWM-) Generator **9016** aus, um den Schalttransistor eines zweiten Reglers über das Signal V_{g2} einzuschalten. Die Länge einer Zeit, die V_{g2} aktiv bleibt, was den Schalttransistor dieses Reglers an behält, hängt von einem Signal von einem Fehlergenerator **9018** ab. Das Signal von dem Fehlergenerator **9018** hängt von der Ausgangsspannung dieses Reglers ab. Wenn dieses Steuerungssystem mit drei Reglern verwendet wird, wie in **Fig.** 1 gezeigt ist, wäre diese Ausgangsspannung für den Regler **1020** V_2. Wenn dieses Steuerungssystem mit drei Reglern verwendet wird, wie in **Fig.** 2 gezeigt ist, wäre diese Ausgangsspannung für den Regler **2020** V_2.

[0046] Das Signal, das durch den Komparator **9010** erzeugt wird, löst den Pulsbreitenmodulations-(PWM-) Generator **9020** aus, um den Schalttransistor eines dritten Reglers über das Signal V_{g3} einzuschalten. Die Länge einer Zeit, die V_{g3} aktiv bleibt, was den Schalttransistor dieses Reglers an behält, hängt von einem Signal von einem Fehlergenerator **9022** ab. Das Signal von dem Fehlergenerator **9022** hängt von der Ausgangsspannung dieses Reglers ab. Wenn dieses Steuerungssystem mit drei Reglern verwendet wird, wie in **Fig.** 1 gezeigt ist, wäre diese Ausgangsspannung für den Regler **1020** V_2. Wenn dieses Steuerungssystem mit drei Reglern verwendet wird, wie in **Fig.** 2 gezeigt ist, wäre diese Ausgangsspannung für den Regler **2020** V_2.

[0047] Eine Weise, um die vorbestimmten Zeiten zum Einschalten der Schalttransistoren der mehreren Versorgungen auszuwählen, besteht darin, die Zeiten auszuwählen, die zu dem minimalen Spitzeneingangsleistungsquellenstrom führen. Wenn die maximalen Eingangsströme in jeden Regler für jede Lastsituation bekannt sind oder geschätzt werden, kann die Länge jedes Steuerungspulses (V_{g1}, V_{g2} usw.) bestimmt werden.

[0048] Diese Informationen, die Eingangsspannung und der Entwurf jedes Reglers ergeben ausreichend viele Daten, um den Eingangsstromsignalverlauf für jeden Regler in einer bestimmten Lastsituation zu bestimmen. Diese Eingangsstromsignalverläufe können dann verwendet werden, um zu bestimmen, wann jeder Steuerungspuls beginnen soll, so daß der Spitzeneingangsleistungsquellenstrom minimiert wird.

[0049] In den **Fig.** 4–9 ist das CLOCK-Signal gezeigt, um eine konstante Periode aufzuweisen. Ein Takt mit variabler Periode kann jedoch in jeder derselben verwendet werden. Dieser Takt mit variabler Periode (oder Frequenz) kann ansprechend auf ein Verändern von Lasten auf die mehreren Leistungsversorgungen oder bestimmte andere Steuerungssystemvariablen hergeleitet werden. Zusätzlich wurden diese Systeme als Blockdiagramme diskreter Blöcke gezeigt, wobei darauf verwiesen wird, daß jedes dieser Systeme unter Verwendung einer Mikrosteuerung, eines anderen Prozessors oder einer kundenspezifischen integrierten Schaltung implementiert sein könnte. Jedes dieser Systeme kann auch mehr Variablen als gezeigt berücksichtigen, wenn Steuerungspulse angeordnet oder zeitlich gesteuert werden. Eine Mikrosteuerung kann z. B. wissen, daß sie gerade dabei ist, eine Anzahl von Funktionen durchzuführen, die eine große Menge Leistung von einer bestimmten Spannungsversorgung erfordern. Vor einem Durchführen dieser Operationen kann die Mikrosteuerung die Zeitgebung der Steuerungspulse so neu anordnen oder verändern, daß, wenn diese Funktionen durchgeführt werden, der Spitzeneingangsleistungsquellenstrom minimiert ist, wenn die Regler beginnen, einen größeren Eingangsstrom zu ziehen.

[0050] Obwohl mehrere spezifische Ausführungsbeispiele der Erfindung beschrieben und dargestellt wurden, soll die Erfindung nicht auf die spezifischen Formen oder Anordnungen von Teilen, wie diese beschrieben und dargestellt sind, eingeschränkt sein.

Die Erfindung ist nur durch die Ansprüche eingeschränkt.

Patentansprüche

1. Eine Leistungsversorgung mit folgenden Merkmalen:
einer Eingangsleistungsquelle;
einer Mehrzahl von Schaltreglern (**1010**, **1020**, **1030**), die Eingangsströme von der Eingangsleistungsquelle ziehen; und
einer Schaltsteuerung, wobei die Schaltsteuerung bewirkt, daß die Schaltregler eine Veränderung in der Größenordnung der Eingangsströme in einem Schaltzyklus einleiten, wobei zu Beginn dieses Zyklus ein erster der Regler angeschaltet wird und ein zweiter der Regler in dem Moment angeschaltet wird, in dem der erste Regler ausgeschaltet wird, usw.

2. Die Leistungsversorgung gemäß Anspruch 1, bei der die Mehrzahl von Schaltreglern folgende Merkmale aufweist:
einen ersten Schaltregler (**1010**), wobei der erste Schaltregler einen Strom erhöht und senkt, der durch den ersten Schaltregler (**1010**) von der Eingangsleistungsquelle gezogen wird; und
einen zweiten Schaltregler (**1020**), wobei der zweite Schaltregler (**1020**) einen Strom erhöht und senkt, der durch den zweiten Schaltregler (**1020**) von der Eingangsleistungsquelle gezogen wird, und wobei
die Schaltsteuerung bewirkt, daß der zweite Schaltregler (**1020**) einen Strom, der durch den zweiten Schaltregler (**1020**) von der Eingangsleistungsquelle gezogen wird, ansprechend darauf erhöht, daß die Schaltsteuerung bewirkt, daß der erste Schaltregler (**1010**) einen Strom senkt, der durch den ersten Schaltregler (**1010**) von der Eingangsleistungsquelle gezogen wird.

3. Die Leistungsversorgung gemäß Anspruch 2, die ferner folgendes Merkmal aufweist:
einen dritten Schaltregler (**1030**), wobei der dritte Schaltregler (**1030**) einen Strom erhöht und senkt, der durch den dritten Schaltregler (**1030**) von der Eingangsleistungsquelle gezogen wird, und wobei die Schaltsteuerung bewirkt, daß der dritte Schaltregler (**1030**) einen Strom, der durch den dritten Schaltregler (**1030**) von der Eingangsleistungsquelle gezogen wird, ansprechend darauf erhöht, daß die Schaltsteuerung bewirkt, daß der zweite Schaltregler (**1020**) einen Strom senkt, der durch den zweiten Schaltregler (**1020**) von der Eingangsleistungsquelle gezogen wird.

4. Die Leistungsversorgung gemäß Anspruch 2, die ferner folgendes Merkmal aufweist:
einen dritten Schaltregler (**1030**), wobei der dritte Schaltregler (**1030**) einen Strom erhöht und senkt, der durch den dritten Schaltregler (**1030**) von der Eingangsleistungsquelle gezogen wird, und wobei die Schaltsteuerung bewirkt, daß der dritte Schaltregler (**1030**) einen Strom, der durch den dritten Schaltregler (**1030**) von der Eingangleistungsquelle gezogen wird, ansprechend darauf erhöht, daß die Schaltsteuerung bewirkt, daß der erste Schaltregler (**1010**) einen Strom senkt, der durch den ersten Schaltregler (**1010**) von der Eingangsleistungsquelle gezogen wird.

5. Die Leistungsversorgung gemäß Anspruch 4, bei der die Schaltsteuerung bewirkt, daß der dritte Schaltregler (**1030**) einen Strom, der durch den dritten Schaltregler (**1030**) von der Eingangsleistungsquelle gezogen wird, zu einer festen Zeitverzögerung erhöht, nachdem die Schaltsteuerung bewirkt, daß der erste Schaltregler (**1010**) einen Strom senkt, der durch den ersten Schaltregler (**1010**) von der Eingangsleistungsquelle gezogen wird.

6. Die Leistungsversorgung gemäß Anspruch 2, die ferner folgendes Merkmal aufweist:
einen dritten Schaltregler (**1030**), wobei der dritte Schaltregler (**1030**) einen Strom erhöht und senkt, der durch den dritten Schaltregler (**1030**) von der Eingangsleistungsquelle gezogen wird, und wobei die Schaltsteuerung die Reihenfolge des Erhöhens und Senkens eines Stroms, der durch den zweiten Schaltregler (**1020**) gezogen wird, und des Erhöhens und des Senkens eines Stroms, der durch den dritten Regler (**1030**) gezogen wird, verändert, um die Spitzenmenge eines Stroms, der von der Eingangsleistungsquelle gezogen wird, zu senken.

7. Die Leistungsversorgung gemäß Anspruch 6, bei der die Steuerung auch die Zeitgebung des Erhöhens und Senkens des Stroms, der durch den zweiten Schaltregler (**1020**) gezogen wird, und die Zeitgebung des Erhöhens und des Senkens des Stroms, der durch den dritten Schaltregler (**1030**) gezogen wird, verändert, um die Spitzenmenge eines Stroms, der von der Eingangsleistungsquelle gezogen wird, zu senken.

8. Die Leistungsversorgung gemäß Anspruch 1, bei der die Mehrzahl von Schaltreglern folgende Merkmale aufweist:
einen ersten Schaltregler (**1010**), wobei der erste Schaltregler (**1010**) einen Strom von der Eingangsleistungsquelle zieht; und
einen zweiten Schaltregler (**1020**), wobei der zweite Schaltregler (**1020**) einen Strom von der Eingangsleistungsquelle zieht, und wobei
die Schaltsteuerung bewirkt, daß der erste Schaltregler (**1010**) den Strom, der durch den ersten Schaltregler (**1010**) von der Eingangsleistungsquelle gezogen wird, zu einer ersten Zeit in einem Zyklus verändert und die Schaltsteuerung bewirkt, daß der zweite Schaltregler (**1020**) den Strom, der durch den zweiten Schaltregler (**1020**) von der Eingangsleistungsquelle gezogen wird, zu einer zweiten Zeit in dem Zy-

klus ansprechend darauf verändert, daß die Schaltsteuerung bewirkt, daß der erste Schaltregler (**1010**) den Strom verändert, der durch den ersten Schaltregler (**1010**) gezogen wird.

9. Die Leistungsversorgung gemäß Anspruch 8, bei der die erste Zeit und die zweite Zeit ausgewählt sind, um einen Spitzeneingangsstrom, der von der Eingangsleistungsquelle gezogen wird, zu senken.

10. Die Leistungsversorgung gemäß Anspruch 9, bei der die Schaltsteuerung die erste Zeit und die zweite Zeit auswählt.

Es folgen 10 Blatt Zeichnungen

Anhängende Zeichnungen

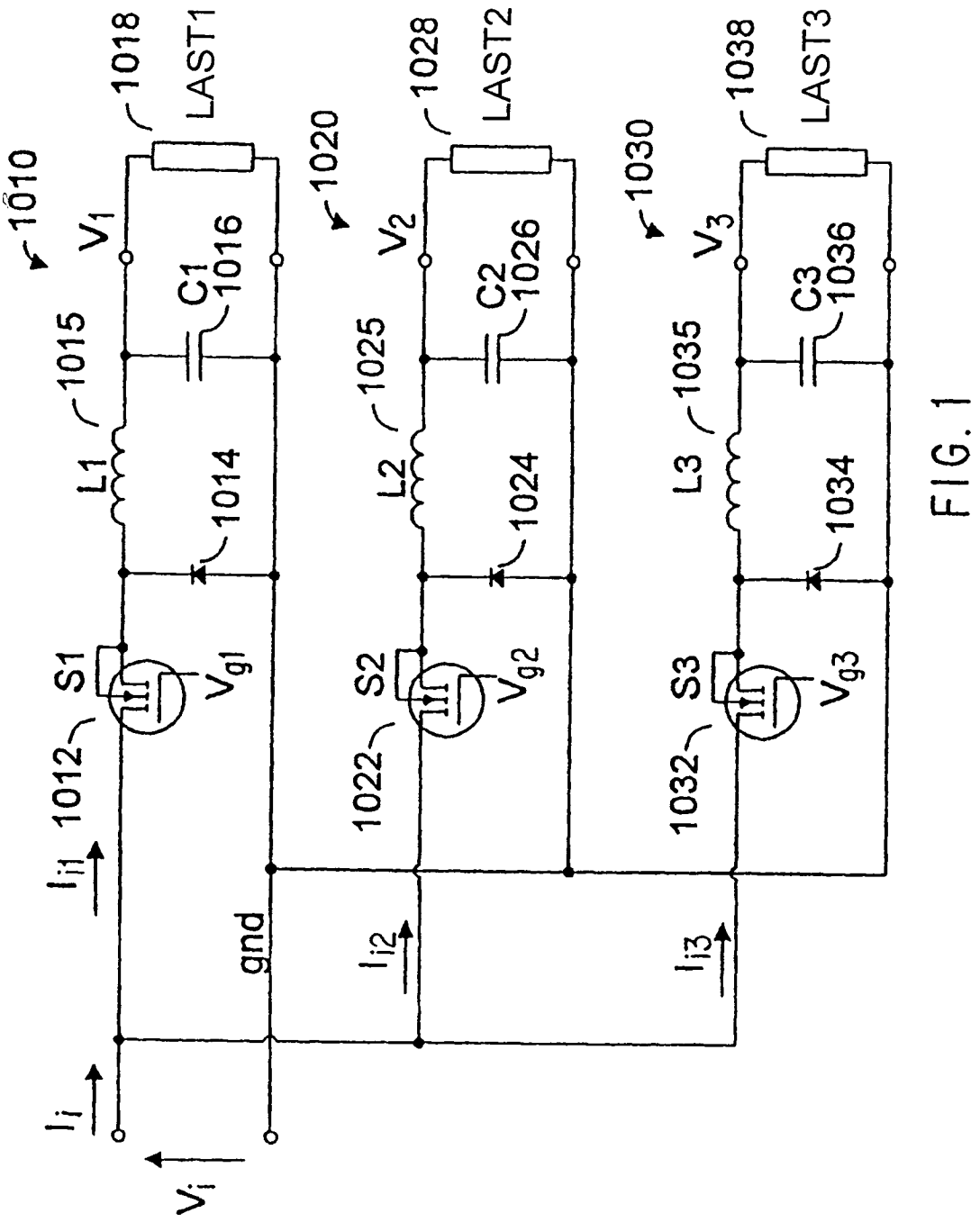

FIG. 1

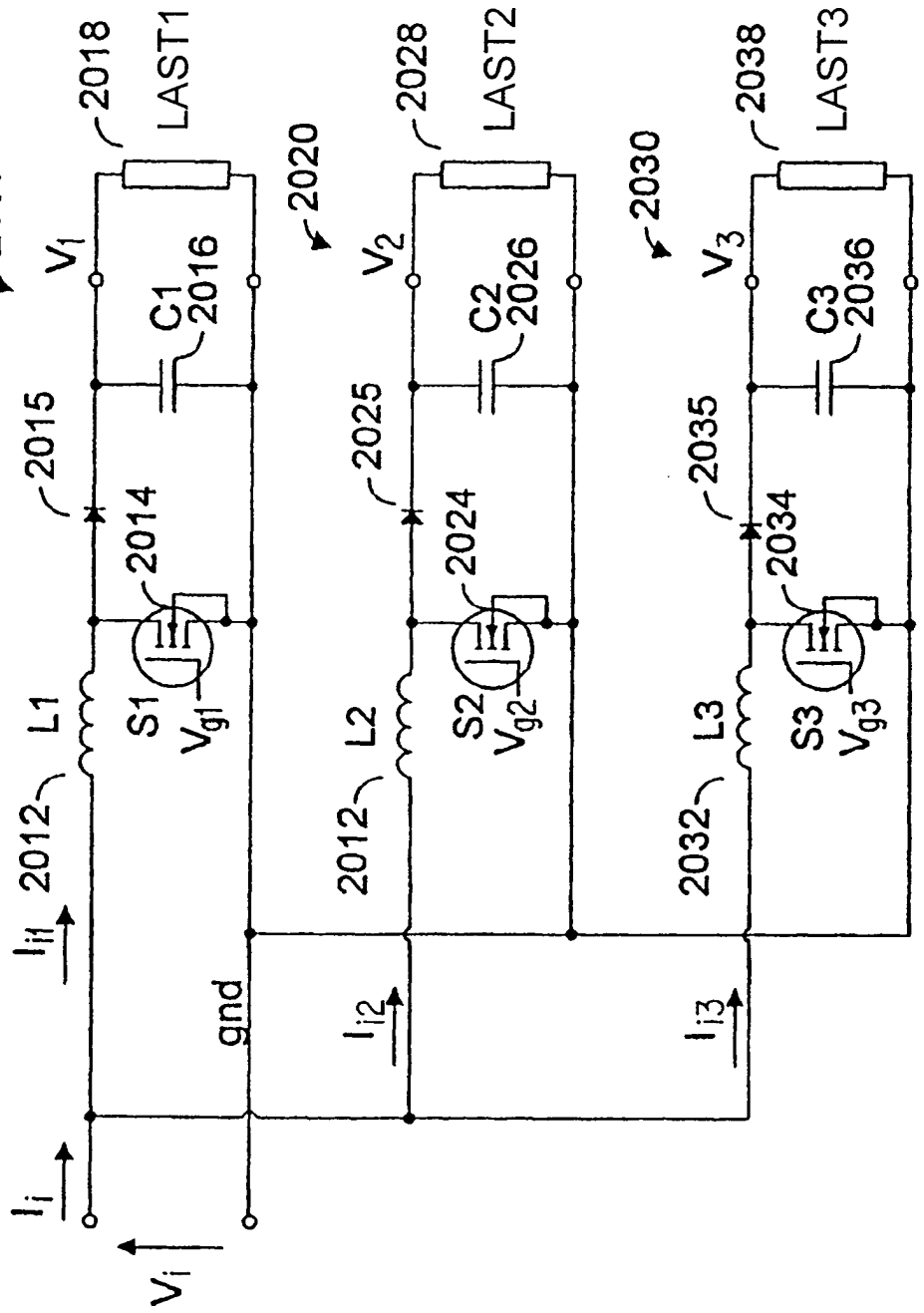
2010
2020
2030
2018
LAST1
2028
LAST2
2038
LAST3
V1
V2
V3
C1
2016
C2
2026
C3
2036
2015
2025
2035
2014
2024
2034
S1
Vg1
S2
Vg2
S3
Vg3
L1
L2
L3
2012
2012
2032
Ii1
Ii2
Ii3
gnd
Ii
Vi

FIG. 2

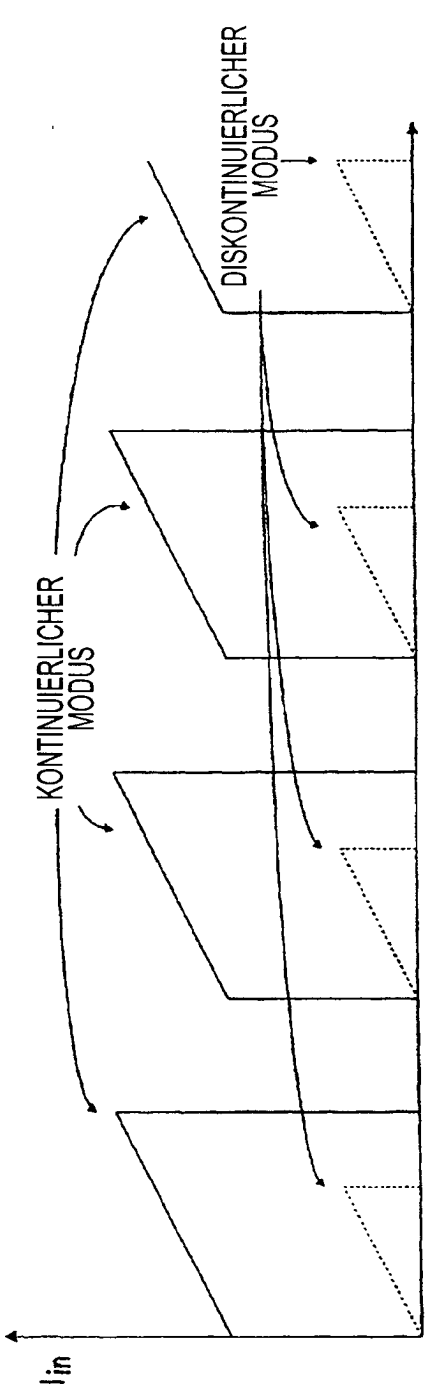
KONTINUIERLICHER MODUS
DISKONTINUIERLICHER MODUS
I_{in}

FIG. 3A

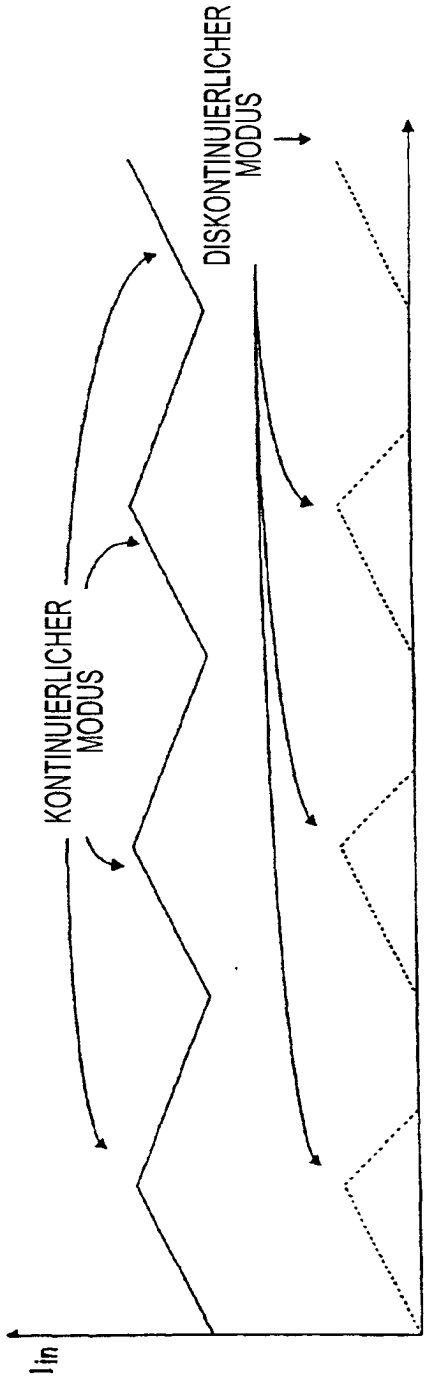
KONTINUIERLICHER MODUS
DISKONTINUIERLICHER MODUS
I_{in}

FIG. 3B

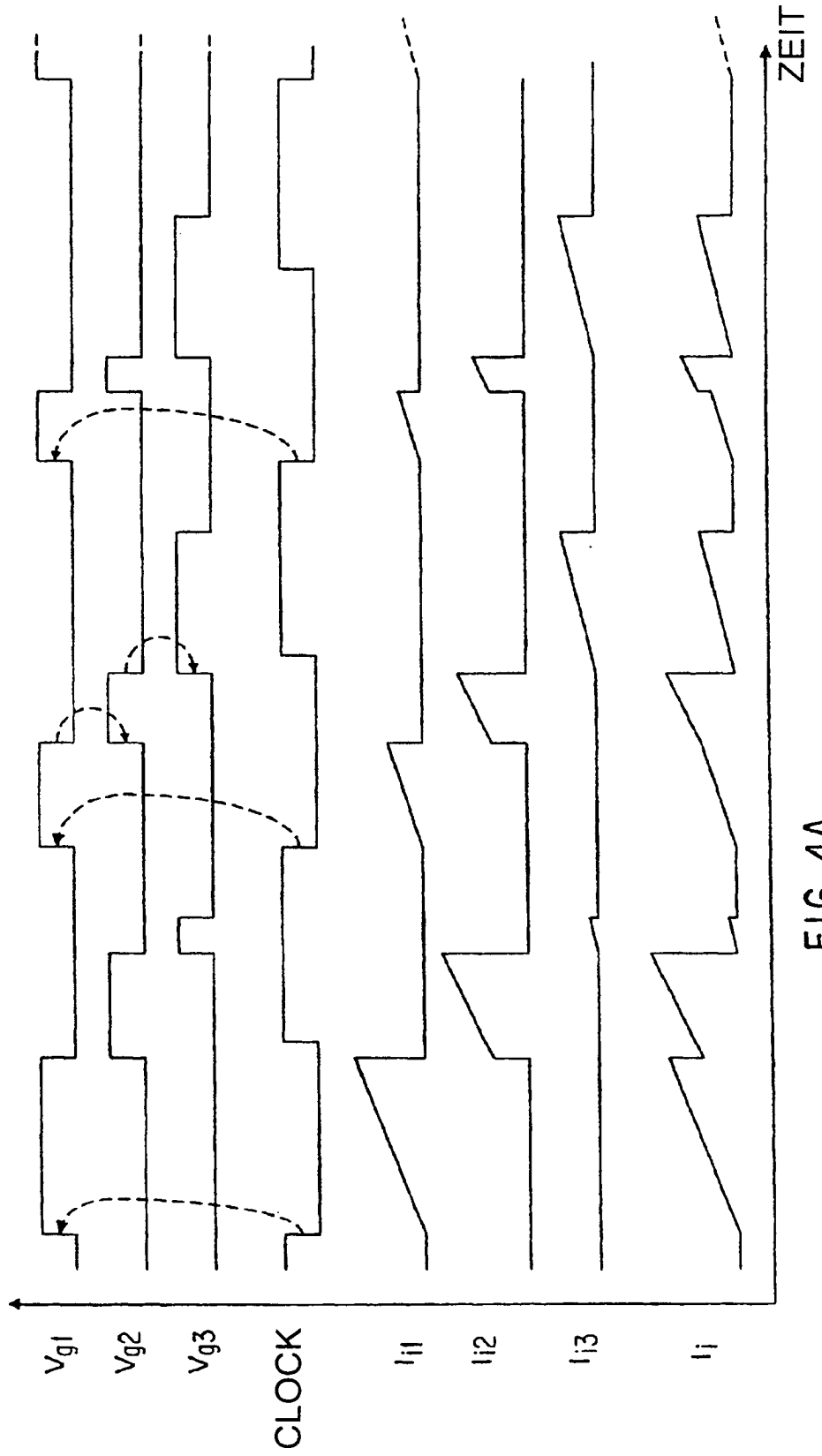

FIG. 4A

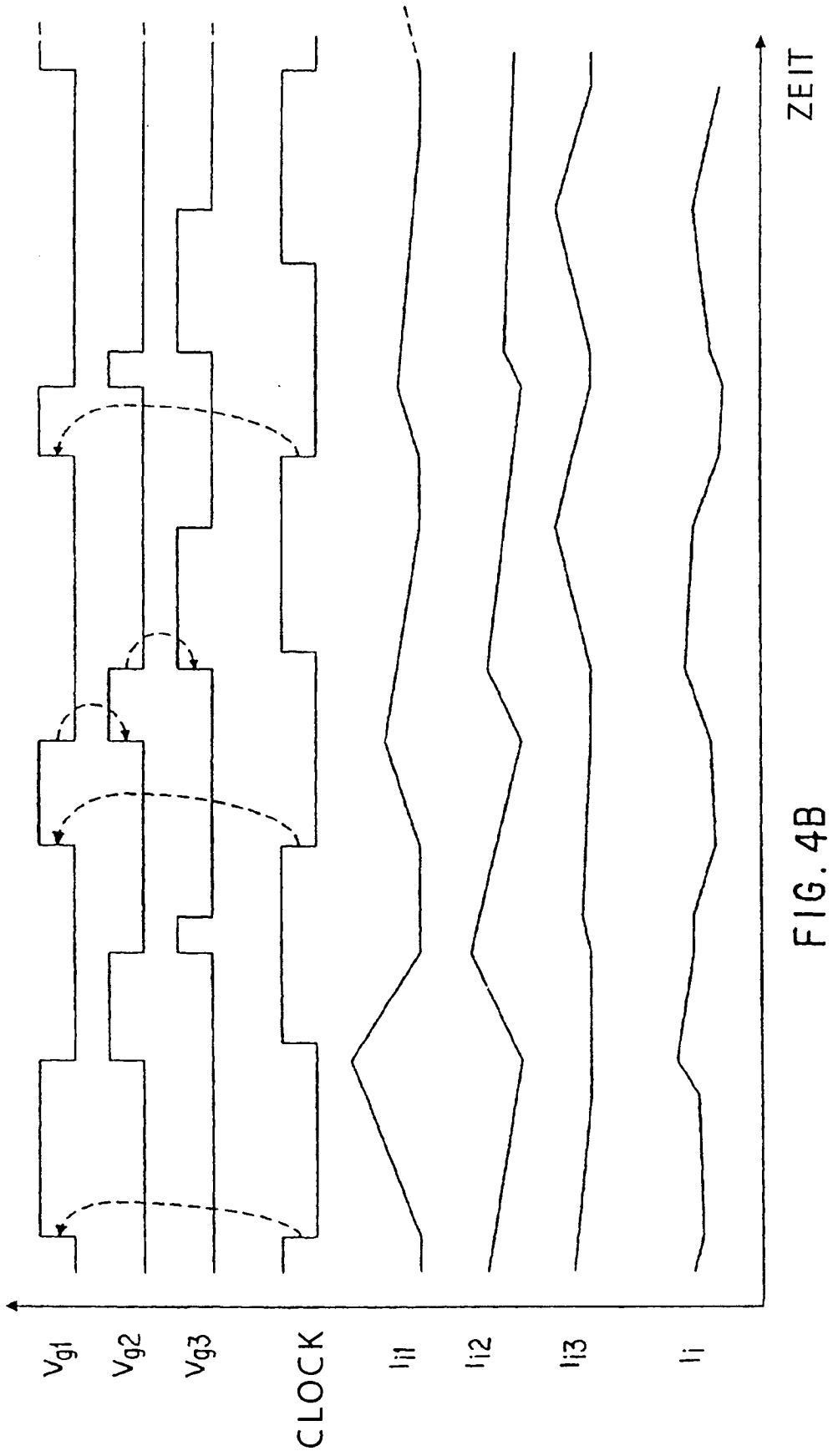

FIG. 4B

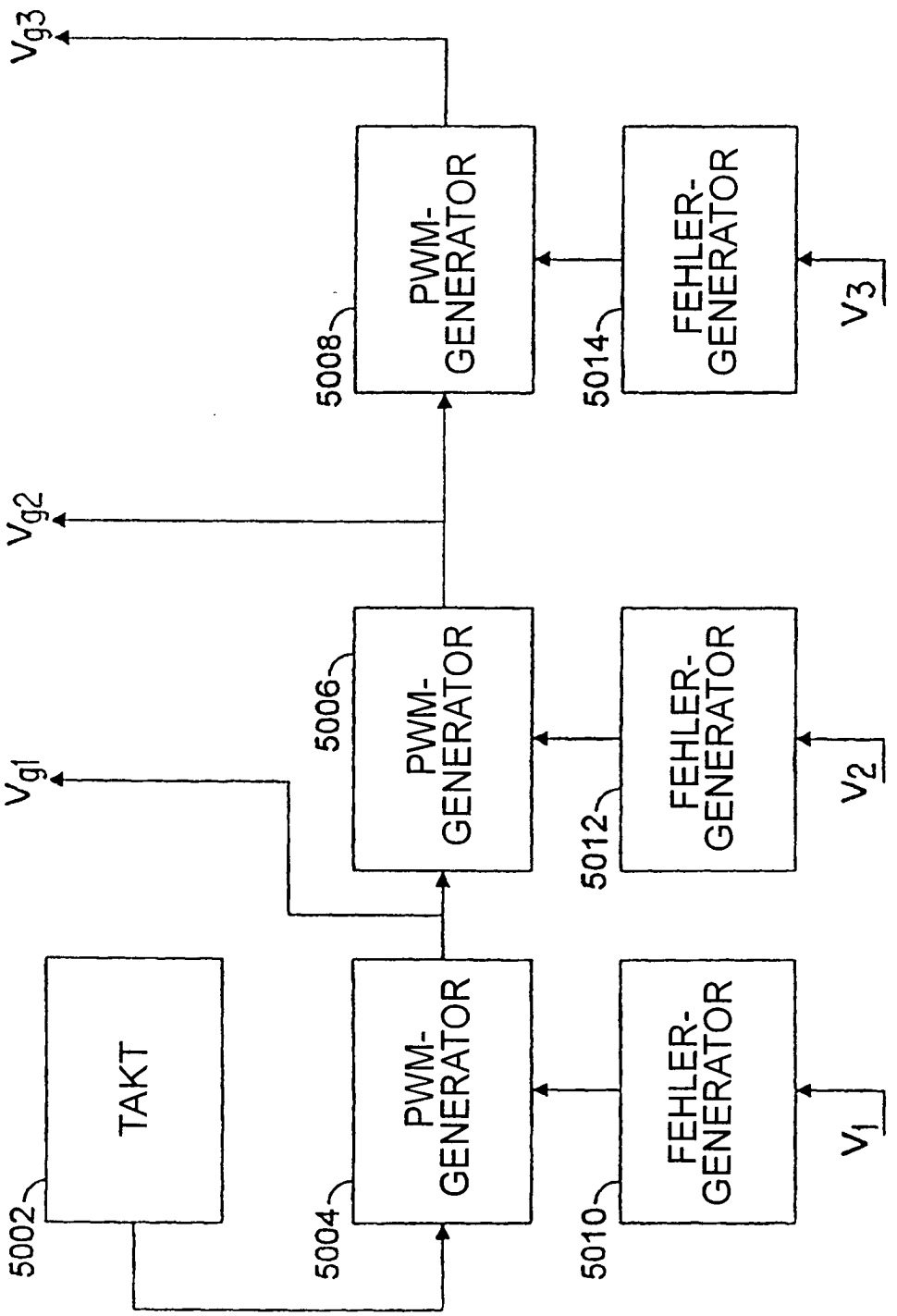
TAKT
5002
PWM-GENERATOR
5004
FEHLER-GENERATOR
5010
V_1
PWM-GENERATOR
5006
FEHLER-GENERATOR
5012
V_2
PWM-GENERATOR
5008
FEHLER-GENERATOR
5014
V_3
V_{g1}
V_{g2}
V_{g3}

FIG. 5

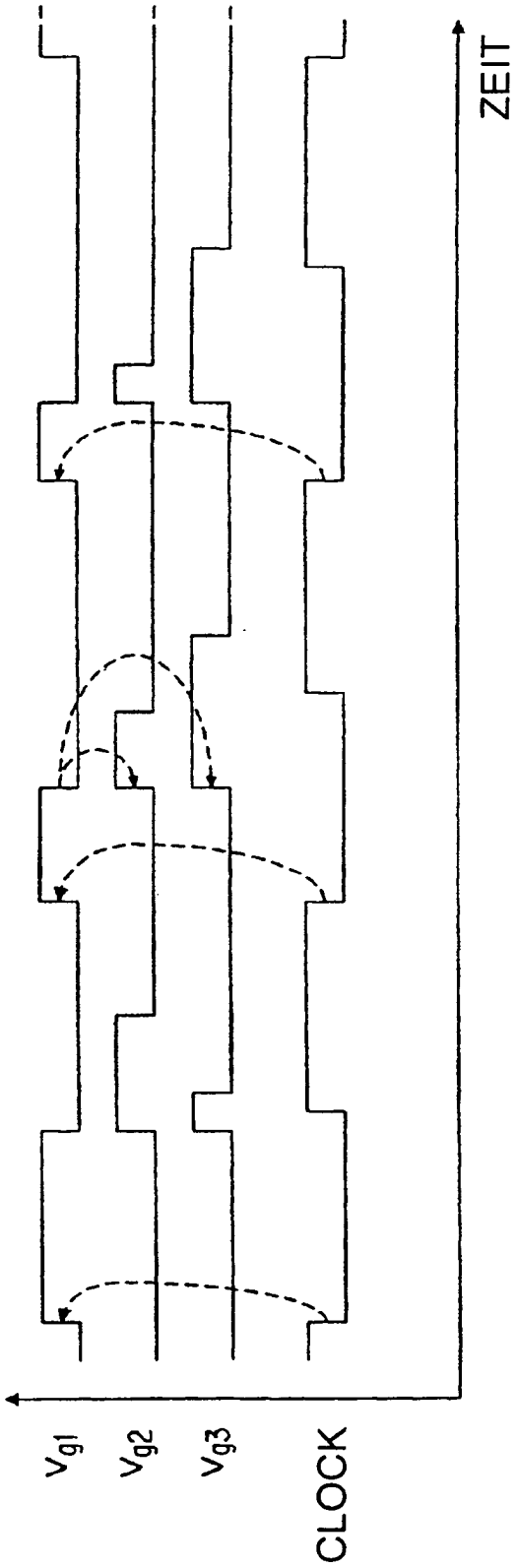

FIG. 6

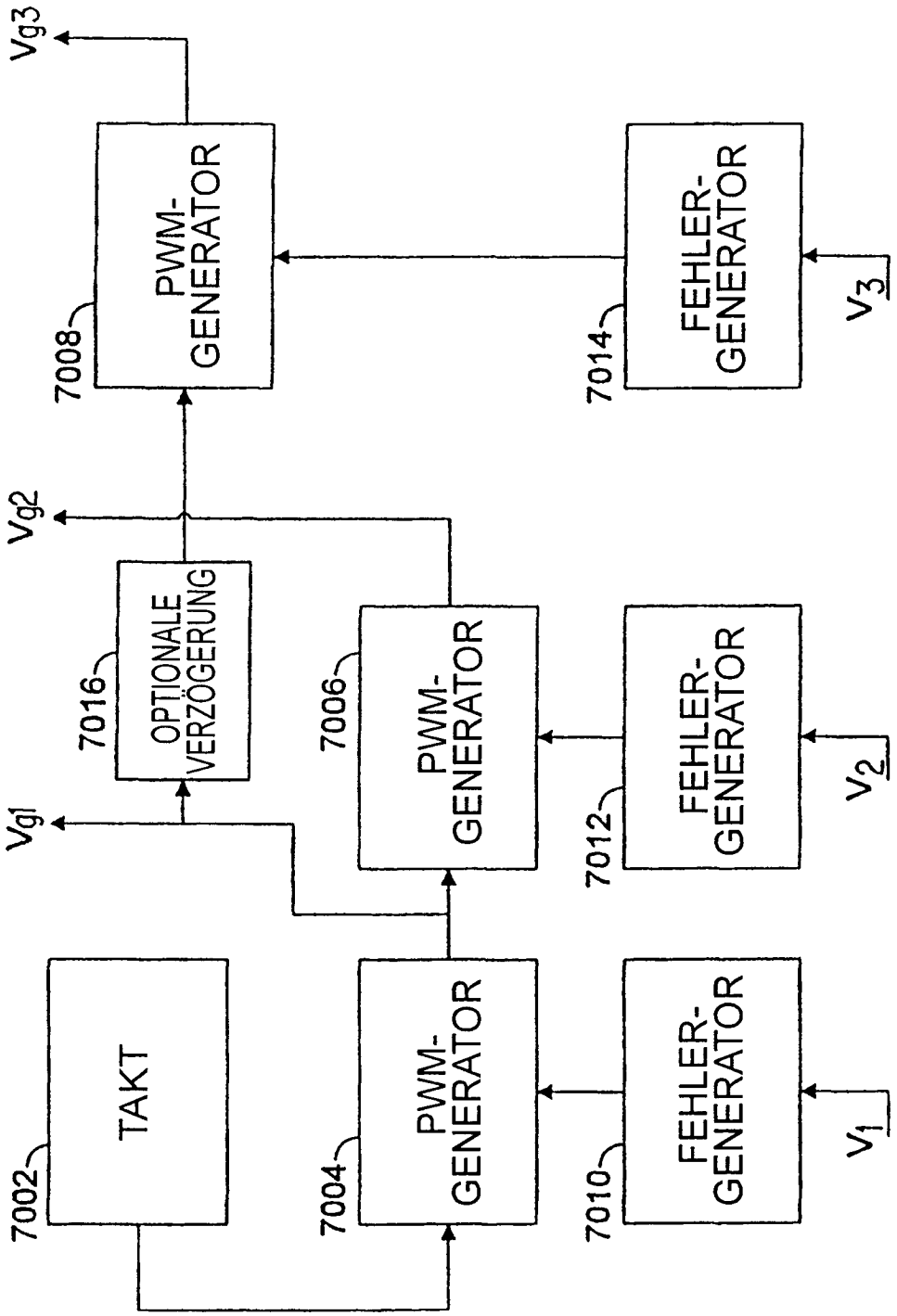
TAKT
7002
PWM-GENERATOR
7004
FEHLER-GENERATOR
7010
V_1
V_{g1}
OPTIONALE VERZÖGERUNG
7016
PWM-GENERATOR
7006
FEHLER-GENERATOR
7012
V_2
V_{g2}
PWM-GENERATOR
7008
FEHLER-GENERATOR
7014
V_3
V_{g3}

FIG. 7

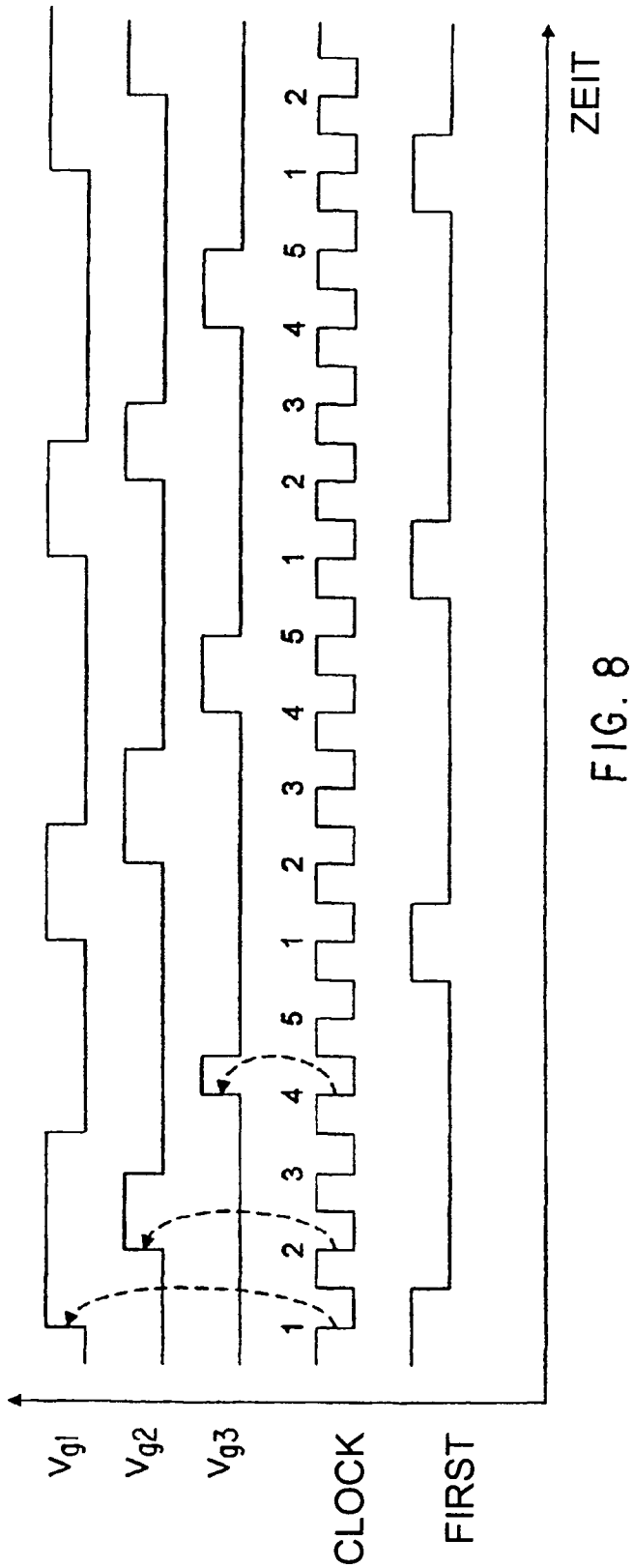

FIG. 8

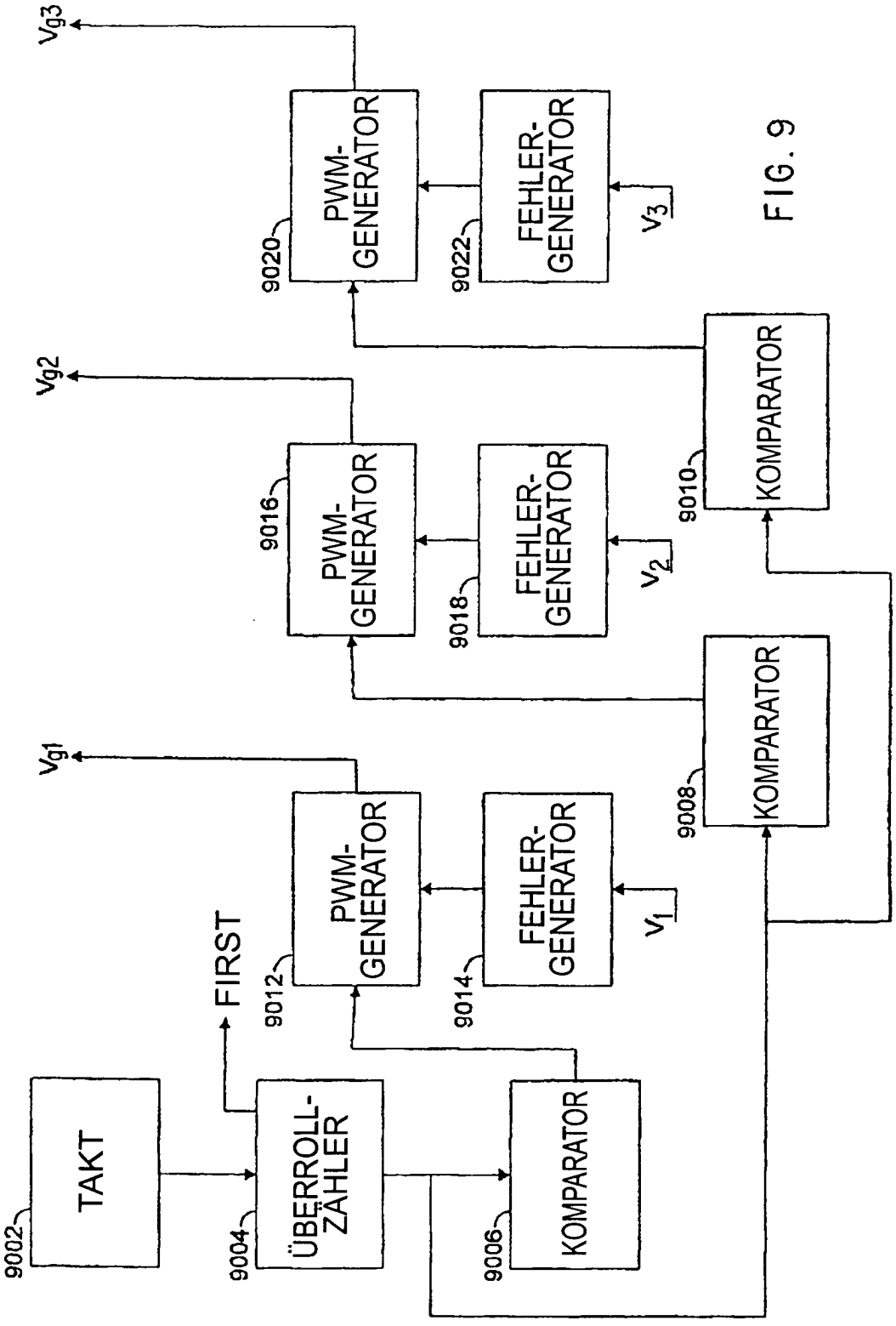
TAKT
9002
ÜBERROLL-ZÄHLER
9004
FIRST
KOMPARATOR
9006
PWM-GENERATOR
9012
FEHLER-GENERATOR
9014
V_1
V_{g1}
KOMPARATOR
9008
PWM-GENERATOR
9016
FEHLER-GENERATOR
9018
V_2
V_{g2}
KOMPARATOR
9010
PWM-GENERATOR
9020
FEHLER-GENERATOR
9022
V_3
V_{g3}

FIG. 9