(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G06F 7/52

(45) 공고일자 2001년11월30일
(11) 등록번호 10-0306107
(24) 등록일자 2001년08월06일

(21) 출원번호 10-1993-0023160
(22) 출원일자 1993년11월03일

(65) 공개번호 특1994-0012146
(43) 공개일자 1994년06월22일

(30) 우선권주장 92-296778 1992년11월06일 일본(JP)

(73) 특허권자
히다치초엘에스아이 엔지니어링가부시키가이샤
스즈키 진이치로
일본국 도쿄 고다이라시 죠스이혼쵸 5-20-1
가부시끼가이샤 히다치 세이사꾸쇼
가나이 쓰도무
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자
기시가즈마사
일본국아끼시마시미호리쵸5-5-7
마스무라시게끼
일본국고다이라시가꾸엔니시마찌3-3-7-B-202
나까무라히데오
일본국도꾜도니시따마군히노데마찌히라이2196-287
노구찌고끼
일본국고꾸분지시히가시꼬이가꾸보1-217
가와사끼순페이
일본국고다이라시가꾸엔니시마찌1-17-4-101
아까오야스시
일본국고꾸분지시히가시꼬이가꾸보4-15-9-505

(74) 대리인
백남기

심사관 : 조지훈

(54) CPU와승산기를갖는반도체집적회로

요약

본 발명은 중앙처리장치 (CPH) 와 매모리를 갖는 논리 L S I에 관한 것이고, 특히 고속신호처리를 필요로 하는 싱글칩 마이크로컴퓨터에 관한 것이며, 승산기의 목표성능에 합치한 설계변경이 용이함과 동시에 메모리와 승산기의 사이에서

데이타를 직접 전송할수 있는 반도체집적회로를 제공하기 위해, CPU(1), 상기 CPU(1)로부터 어드레스와 데이타가 전달되는 버스(5,4), 상기 버스(5,4)에 접속되어 상기 CPU(1)로부터 공급된 어드레스에 의해 액세스되는 메모리 (3), 상기 버스(4) 를 거쳐서 상기 CPU(1)에 접속된 승산기 (2), 상기 CPU(1)로 부터 상기 버스(5)에 액세스어드레스를 출력하는 것에 의해, 상기 버스(4)를 거쳐서 상기 메모리(3)으로부터 데이타를 리드하는 사이에, 상기 리드데이타에 관한 승산명령의 코맨드를 상기 CPU(1)로부터 상기 승산기(2)에 전송하는 코맨드신호선(6)을 칩상에 구비하는 것이다.

이와 같이 구성하는 것에 의해, 목표성능에 따라서 칩사이즈를 최소화할 수가 있고, 고속화의 효과가 있다.

대표도
도 1

명세서

[발명의 명칭]

CPU와 승산기를 갖는 반도체집적회로

[도면의 간단한 설명]

제1도는 내장된 승산기를 구비한 본 발명의 실시예에 의한 싱글칩 마이크로컴퓨터의 내부블럭도.

제2도는 제1도의 실시예의 싱글칩 마이크로컴퓨터의 동작을 설명하기 위한 타이밍도.

제3도는 본 발명에 앞서 본 발명자들에 의해 연구된 싱글칩 마이크로컴퓨터의 내뚜블럭도의 1예를 도시한 도면.

제4도는 본 발명에 앞서 본 발명자들에 의해 연구된 싱글칩 마이크로컴퓨터의 내부블럭도의 다른 1예를 도시한 도면.

[발명의 상세한 설명]

본 발명은 중앙처리장치(CPU)와 메모리를 갖는 논리LSI에 관한 것으로서, 특히 고속신호처리를 필요로 하는 싱글칩 마이크로컴퓨터에 관한 것이다.

가산, 논리곱, 논리합 등의 논리동작을 실행하는 논리연산회로(ALU)를 포함하는 싱글칩 마이크로컴퓨터의 칩내에 고속신호처리가 가능한 승산기를 내장하는 것이 본 발명에 앞서서 본 발명자들에 의해 검토되었다.

제3도는 그 1예에 의한 칩의 구성을 도시한 것이다.

제3도에 도시한 바와 같이, 마이크로컴퓨터는 중앙처리장치(CPU)(1), 메모리(3), 데이타버스(4), 어드레스버스(5)에 의해 구성된다. 어드레스버스(5)상의 어드레스에 의해 메모리(3)에서 리드된 명령은 명령레지스터(9)에 저장된 후, 제어회로(10)에 공급되어 제어신호(12)가 생성된다.

CPU(1) 내부의 명령실행부(11)은 데이타버스(4)와 접속된 데이타버퍼(13), 어드레스버스(5)를 구동하는 어드레스버퍼(14), ALU(15), CPU의 내부레지스터(16), CPU의 내부데이타버스(17) (19)를 구비하고 있다. 특히, 승산기(22)는 CPU(1)의 명령실행부(11)내부에 형성되어 명령실행부(11)내부의 버스(17), (18), (19)에 접속되어 있다. 메모리(3)상의 데이타는 데이타버스(4)를 거쳐서 CPU(1)에 페치되어 명령실행부(11)에서 연산처리된다.

제4도는 다른 예에 의한 칩의 구성을 도시한 도면이다. 승산기(23)은 데이타버스(4)와 어드레스버스(5)에 접속된다. 그러므로, 숭산기(23)은 CPU(1)로부터 액세스제어가능한 어드레스맵(address map)상에 배치되는 구성으로 되어 있다.

메모리(3)상의 데이타를 승산하는 경우에는 데이타버스(4)를 거쳐서 한번 그 데이타를 CPU(1)내부에 페치하고, 어드레스맵된 승산기(23)에 대해 라이트를 실행하는 것에 의해 연산을 기동시킨다. 승산기(23)의 연산결과를 메모리(3)상에 저장하는 경우에도 한번 CPU(1)내로 데이타를 페치한 후에 메모리(3)으로 데이타를 라이트한다.

승산기는 그 내부에서 입력비트를 여러개로 분할하고, 분할된 입력에 관하여 승산을 실행하여 부분곱을 구한 후에 입력비트전체에 관한 곱을 구하는 소위 반복연산(repetitional operation)을 실행한다. 이 구성으로 하는 것에 의해, 점유면적자 처리시간 사이의 트레이드오프(trade-off)를 실행할 수 있다. 이 반복 연산방식의 승산기를 채용하는 것에 의해, 필요한 성능을 만족하는 최소면적의 승산기를 구성하는 것이 가능하게 된다.

그러나, 제3도에 도시한 예에서는 일반적으로 매크로셀에 의해 레이아웃된 명령실행부(11)내부에 승산기(22)가 내장되어 있다. 따라서, 승산기가 성능변경 되었을 때의 설계변경 레이아웃이 곤란하다. 이 점이 배려되어 있지 않았다.

한편, 제4도에 도시한 예에서는 CPU(1)과 승산기(23)이 다른 모듈구성으로 되어 있다. 따라서, 이 구성에서는 변경레이아웃이 용이하다. 그러나, 메모리(3)과 승산기(23) 사이의 데이타전송을 직접 실행하지 않고, 한번 CPU(1)의 내부로 데이타의 페치처리가 필요하다. 따라서, 고속화로의 배려가 약했다.

따라서, 본 발명의 목적은 승산기의 목표성능에 합치한 설계변경이 용이함과 동시에 메모리와 승산기 사이에서 데이타를 직접 전송할 수 있는 반도체집적회로를 제공하는 것이다.

상기 목적을 달성하기 위해, 본 발명의 대표적인 실시예에 의한 반도체집적회로는 CPU(1), 상기 CPU(1)로부터 어드레스와 데이타가 전달되는 버스(5), (4), 상기 버스(5), (4)에 접속되어 상기 CPU(1)로부터 공급된 어드레스에 의해 액세스되는 메모리(3), 상기 버스(4)를 거쳐서 상기 CPU(1)에 접속된 승산기(2), 상기 CPU(1)로부터 버스(5)에 액세스어드레스를 출력하는 것에 의해 상기 버스(4)를 거쳐서 상기 메모리(3)으로부터 데이타를 리드하는 동안에 상기 리드데이타에 관한 승산명령의 코맨드를 상기 CPU(1)로부터 상기 승산기(2)에 전송하는 코맨드신호선(6)을 칩상에 구비하는 것을 특징으로 한다.

한편, 승산기를 최소면적의 반복연산방식의 연산기로 구성하면, 칩사이즈를 저감할 수 있어 저렴한 가격으로 된다. 처리능력의 저하를 고려하여 1개의 승산명령을 승산기(2)에서의 반복연산에 의해 실행하는 것이 필요하게 된다.

따라서, 승산기(2)가 승산명령의 반복연산을 실행하고 있는 동안에는 CPU(1)에서 다음의 승산명령의 연산을 개시할 수 없다.

따라서, 이러한 반복연산을 고려하여 본 발명의 적합한 실시예에 의한 반도체집적회로는 상기 승산기(2)가 상기 승산명령의 반복연산을 실행하고 있는 것을 나타내는 상태신호(8)을 상기 승산기(2)는 출력하고, 상기 상태신호에 응답하여 상기 CPU(1)로부터 상기 코맨드신호선(6)으로의 다음 코맨드발행에 관계하는 버스사이클을 연장하는 버스사이클 제어회로(20)을 구비하는 것을 특징으로 한다.

본 발명의 대표적인 실시예에 의하면, CPU(1)과 승산기(2)는 버스(4)를 거쳐서 접속된 다른 모듈구성으로 되어 있다. 그러므로, 승산기(2)를 성능변경했을 때, CPU(1)은 무관계로 되어 설계변경 레이아웃이 용이하게 된다. 또, CPU(1)로부터 버스(5)에 액세스어드레스를 출력하는 것에 의해, 버스(4)를 거쳐서 메모리(3)으로부터 데이타를 리드하는 동안에, 리드데이타에 관한 승산명령의 코맨드를 CPU(1)에서 승산기(2)로 전송하는 코맨드신호선(6)을 칩상에 구비하고 있다. 따라서, 메모리(3)과 승산기(2) 사이에서 데이타를 직접 전송할 수 있다.

본 발명의 바람직한 실시예에 의하면, 승산기(2)에 의한 승산명령의 반복 연산의 실행중인 것을 상태신호(8)이 나타내는 경우에는 버스사이클 제어회로(20)은 CPU(1)로부터 코맨드신호선(6)으로의 다음 코맨드발행의 버스사이클을 연장한다. 그러므로, 현 코맨드의 명령실행이 완료하기 전에 다음 코맨드발행의 버스사이클이 종료함과 동시에 다음 코맨드의 명령실행이 개시한다고 하는 오동작의 문제를 피할 수 있다.

본 발명의 그 밖의 목적과 새로운 특징은 이하의 실시예에서 명확하게 될 것이다.

이하, 본 발명의 실시예를 도면에 따라서 설명한다.

제1도는 본 발명의 실시예에 따라 내장된 승산기(2)를 구비한 싱글칩 마이크로컴퓨터의 칩의 내부블럭도이다. 또, 이 승산기(2)는 상술한 바와 같이 반복연산방식의 승산기이다.

프로세서의 CPU(1)은 승산기(2)와 메모리(3) 및 타이머나 직렬통신 인터페이스 등의 주변회로(21)에 접속된다. CPU(1)로부터 출력되어 어드레스버스(5)에 전달되는 어드레스에 의해 메모리(3)과 주변회로(21)은 액세스된다.

CPU(1)은 데이타버스(4)를 거쳐서 메모리(3) 등에서 리드한 명령코드를 일시적으로 저장하고 있는 명령레지스터(9)와 리드한 명령코드를 디코드하여 명령실행부(11) 등의 제어신호(12)를 생성하는 제어회로(10)과 연산처리를 실행하는 명령실행부(11)로 구성되어 있다. 명령실행부(11)의 내부에는 어드레스버퍼(14), ALU(15), 내부레지스터(16), 데이타의 입출력버퍼(13) 등이 내부데이타버스(17), (18), (19)에 접속되어 있다.

CPU(1)은 메모리(3)에 저장되어 있는 명령코드를 데이타버스(4)를 거쳐서 리드하여 명령레지스터(9)에 페치한다. 페치된 명령은 제어회로(10)에서 디코드되어 CPU내부의 제어신호(12)를 출력한다. 이 제어신호(12)에 의해서 명령실행부(11)이 제어되어 바라는 연산이 실행된다.

또, 본 실시예에서는 승산기(2)가 데이타버스(4)와 코맨드제어신호(6) 및 웨이트(wait)신호선(7)을 거쳐서 CPU(1)에 접속되어 있다. 이 승산기(2)에 내부상태신호선(8)을 거쳐서 버스사이클 제어회로(20)이 접속되어 있다.

승산기(2)에는 CPU(1)의 제어회로(10)으로부터의 코맨드제어신호(6)이 입력된다. 승산기(2)의 내부상태는 신호선(8)을 거쳐서 버스사이클 제어회로(20)에 전송된다. 이 내부상태신호(8)과 코맨드제어신호(6)에 의해 승산기(2)의 연산처리중에 다음의 연산기동명령(6)이 발행된 경우에는 버스사이클을 웨이트시키는 웨이트신호(7)이 생성된다. 이 웨이트신호(7)은 CPU(1)의 제어회로(10)에 입력된다.

이하, 승산명령의 실행에 대해서 상세하게 설명한다.

승산명령에는 CPU(1)의 명령실행부(11)의 내부레지스터(16)에 저장된 데이타에 대해 연산을 실행하는 경우와 메모리(3)에 저장된 데이타에 대해 연산을 실행하는 경우가 있다.

우선, 명령레지스터(9)에 페치된 명령이 내부레지스터(16)에 저장된 데이타에 대해 연산을 실행하는 명령인 경우의 처리흐름에 대해 설명한다. 이 승산명령은 제어회로(10)에서 디코드된다. 이것에 의해, 명령실행부(11)은 레지스터(16)의 내용을 데이타의 입출력버퍼(13)을 거쳐서 데이타버스(4)로 출력하도록 제어된다. 이 처리는 데이타버스(4)측의 제어와 같이 메모리(3)에 대한 라이트 동작과 마찬가지이다. 그러나, 어드레스(5)는 출력되지 않고 메모리(3) 등에 대한 액세스는 실행되지 않는다. 이와 동시에, CPU(1)의 제어회로(10)은 승산기(2)에 대해 데이타버스(4)상의 데이타를 페치하여 승산처리를 기동시키는 코맨드(6)을 발행한다. 이것에 의해, 승산기(2)는 데이타버스(4)를 거쳐서 레지스터(16)내로 데이타를 페치하여 숭산처리를 개시한다.

다음에, 메모리(3)상의 데이타에 대해 승산을 실행하는 명령이 명령레지스터(9)에 설정된 경우에 대해서 설명한다. 제어회로(10)은 이 명령코드를 디코드하여 승산할 데이타가 있는 메모리(3)의 어드레스를 생성하고, 이 메모리 어드레스를 어드레스버퍼(14)를 거쳐서 어드레스버스(5)로 출력하도록 제어를 실행한다. 메모리(3)등에 대해 데이타리드액세스를 실행한다. 이와동시에, 승산기(2)에 대해서는 내부레지스터(16)에 저장된 데이타에 대해 숭산을 실행하도록 명령한 코맨드와 마찬가지의 코맨드를 발행한다. 메모리(3)은 CPU(1)로부터 출력된 어드레스버스(5)에 대응하는 데이타를 데이타버스(4)로 출력한다. 승산기(2)는 이 데이타를 페치하여 승산처리를 개시한다.

한편, 승산기(2)에서 처리된 연산결과는 CPU(1)의 내부레지스터나 또는 메모리(3)에 다시 라이트된다. 이 처리도 승산의 기동처리와 마찬가지로 데이타버스(4)를 거쳐서 데이타전송을 실행하는 것에 의해 실행할 수 있다.

제2도는 승산처리를 실행하는 경우의 타이밍도를 도시한 것이다. 이 타이밍도에 있어서, 제1도에 도시한 반복연산방식의 승산기는 1개의 승산처리를 3사이클분의 반복연산에 의해 실행하는 경우를 도시하고 있다.

명령레지스터(9)에 설정된 명령이 메모리(3)상의 데이타에 대해 승산을 실행하는 명령인 경우에는 승산할 데이타가 있는 어드레스1이 어드레스버퍼(14)로 부터 어드레스버스(5)로 출력된다. 이것에 의해, 이 어드레스에 대응한 승산할 데이타인 데이타1이 메모리(3)으로부터 리드되어 데이타버스(4)로 출력된다.

한편, 명령레지스터(9)에 설정된 명령이 레지스터(16)에 저장된 데이타에 대해 승산을 실행하는 명령인 경우에는 어드레스1이 어드레스버스(5)로 출력되지 않는다. 그러나, 메모리상의 데이타에 대해 승산을 실행하는 경우와 동일 타이밍에서 승산할 명령실행부(11)의 내부레지스터(16)의 내용이 데이타1로서 데이타버스(4)로 출력된다.

승산할 데이타의 데이타버스(4)로의 출력파 동기하여 CPU(1)로부터 출력된 승산기(2)로의 코맨드신호(6)의 내용인 MULT1명령에 의해 승산기(2)는 승산기내부의 레지스터에 데이타1의 값을 저장한다. 여기서, MULTI명령은 숭산데이타의 전송명령으로 하고 있기 때문에 승산동작은 아직 기동되고 있지 않다. 명령레지스터(9)에 설정된 CPU(1)에 대한 다음의 명령에 응답하여 어드레스1 및 데이타1과 마찬가지로 어드레스2가 어드레스버스(5)로, 데이타2가 데이타버스(4)로 각각 출력된다. 이와 동기하여 CPU(1)로부터 승산기로의 코맨드신호(6)의 내용인 MULT2가 출력된다. MULT2명령은 MULTI명령과 동일하게 데이타버스(4)상의 데이타값2를 승산기내로 페치하는 명령이다. 동시에, MULT2명령은 이 데이타값2와 MULTI명령에 따라 페치된 데이타값1과의 승산을, 데이타2를 페치한 다음의 버스사이클로부터 승산기(2)에서 개시하는 명령이다. 개시된 명령에 의한 승산기(7)의 동작상태는 내부상태신호(8)에 의해 버스사이클제어회로(20)에 반영된다. 또, 본 실시예에서는 개시된 승산명령은 승산기(2)에서의 3회의 반복연산의 실행애 의해 완료된다.

2회째의 MULTI명령에 의해 데이타값3이 페치되는 경우, 2회째의 MULT1명령에 의한 데이타값3의 승산은 승산기(2)에서 개시되어 있지 않으므로, 버스사이클을 연장하는 신호(7)은 출력되지 않는다. 즉, 데이타값1이 데이타값2를 사용하는 1회째의 MULT2명령의 승산처리의 실행중에 다음의 승산처리를 위한 어드레스3, 데이타3 및 2회째의 MULTl명령이 발행되어도 이 2회째의 MULT1명령은 승산의 개시명령은 아니다. 그러므로, 이 2회째의 MULT1명령을 실행하여 데이타3의 값을 승산기(2)내의 레지스터에 페치하여도 오동작은 발생하지 않는다. 그러나, 승산처리의 기동명령인 2회째의 MULT2가 발행된 경우, 승산기(2)는 1회째의 MULT2명령에 의한 데이타값1과 데이타값2와의 2회째의 반복연산을 실행중이므로, 승산기(2)는 이 2회째의 MULT2명령을 다음의 사이클에서 실행할 수 없다. 따라서, 이 경우에 버스사이클제어회로(20)은 승산기(2)의 내부상태신호(8)과 CPU코맨드신호(6)에 따라 승산기(2)가 MULT2명령을 다음의 사이클에서 실행할 수 없는 상태인 것을 판단한다. 그러므로, 버스사이클제어회로(20)은 버스사이클연장신호(7)을 출력하고, 이것에 의해 승산기(2)가 MULT2명령을 실행 가능한 상태로 될때까지 버스사이클을 연장한다 즉, 이 경우에 CPU(1)은 2사이클 동안에 동일의 어드레스4와 동일의 데이타4를 어드레스버스(5)와 데이타버스(4)로 출력한다.

상술한 바와 같이, 승산기(2)가 승산처리를 완료시키는데 필요한 반복연산사이클수는 3회이다. 이 때문에, 반복연산의 2사이클째가 종료한 시점에서 메모리액세스연장신호(7)의 출력을 종료하면, 3사이클째의 반복처리가 종료한 다음의 사이클로부터 데이타값3과 데이타값4를 사용하는 승산동작으로 들어가는 것이 가능하게 된다. 또, 어드레스4, 데이타4에 대한 메모리사이클이 실행되었으므로, CPU(1)은 다음의 어드레스5와 데이타5 및 3회째의 MULTl명령의 출력을 개시할 수 있게 된다.

이상, 본 발명의 실시예를 상세하게 설명했지만, 본 발명은 상기 실시예에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러가지로 변경가능한 것은 물론이다.

예를 들면, 데이타버스(4)와 어드레스버스(5)가 분리된 실시예를 설명하였다. 그러나, 본 발명은 공통버스에 어드레스와 데이타를 시분할로 전송하는 방식에도 적용할 수 있는 것은 물론이다.

또, 본 실시예에서는 승산기에서 1개의 처리를 실행하는데 필요로 하는 사이클수가 3이었다. 그러나, 이 사이클수가 변하여도 마찬가지의 제어를 실행할수 있는 것은 명백하다.

본 발명은 고객의 목표성능을 최대로 발휘하기 위해, 승산기의 주변회로등을 최적으로 설계하는 ASIC(Application Specific IC)에 채용하는데 특히 적합하다.

본 발명에 의하면, 승산기와 CPU는 다른 모듈구성으로 할 수 있다. 그러므로, 목표성능에 맞는 승산기를 CPU와 용이하게 조립하여 사용할 수 있다. 이 때문에, 목표성능에 따라서 칩사이즈를 최소화할 수 있다. 또, CPU와 승산기 사이의 데이타전송을 직접 실행하기 때문에, 불필요한 버스사이클을 필요로하지 않게 되어 고속화의 효과가 있다.

(57) 청구의 범위

청구항 1.

중앙처리장치(CPU), 상기 CPU로부터의 어드레스와 데이타를 전달하는 버스, 상기 버스에 접속되고 상기 CPU에서 상기 버스로 공급된 액세스어드레스에 의해 액세스가능한 메모리, 상기 버스를 거쳐서 상기 CPU에 접속되고 상기 CPU 또는 상기 메모리에서 공급된 데이타에 대해 승산을 실행하는 승산기 및 상기 CPU가 상기 승산기에 의해 승산될 데이타를 상기 버스상에 공급하기 위해 데이타의 준비동작을 실행하는 동안, 리드데이타에 관한 승산명령의 코맨드를 상기 CPU에서 상기 승산기로 전송하는 코맨드신호선을 포함하고, 상기 CPU는 처리될 1개의 승산동작을 위해 2회의 상기 데이타의 준비동작을 실행하고, 1회째에 실행된 상기 데이타의 준비동작은 승산될 데이타로서 제1데이타를 상기 버스상에 공급하고, 2회째에 실행된 상기 데이타의 준비동작은 승산될 데이타로서 제2데이타를 상기 버스상에 공급하며, 상기 승산기는 상기 제2데이타와 상기 제1데이타의 승산을 실행하는 반도체집적회로칩.

청구항 2.

제1항에 있어서, 상기 승산기는 승산기가 상기 승산명령의 반복연산을 실행하는 것을 나타내는 상태신호를 출력하고, 상기 반도체집적회로칩은 상기 CPU에 접속되고, 상기 상태신호에 응답하여 상기 CPU에서 상기 코맨드신호선으로 다음의 코맨드발행에 관계하는 버스사이클을 연장하도록 상기 CPU로 신호를 공급하는 버스사이클제어회로를 더 포함하는 반도체집적회로칩.

청구항 3.

제1항에 있어서, 상기 버스는 어드레스버스와 데이타버스를 포함하는 반도체집적회로칩.

청구항 4.

제2항에 있어서, 상기 버스는 어드레스버스와 데이타버스를 포함하는 반도체집적회로칩.

청구항 5.

중앙처리장치(CPU), 상기 CPU에 접속되고 상기 CPU로부터 어드레스가 전달되는 어드레스버스, 상기 CPU에 접속되

고 데이타가 전달되는 데이타버스, 상기 어드레스버스와 상기 데이타버스에 접속되고 상기 CPU에서 상기 어드레스버스를 거쳐서 공급된 액세스어드레스에 의해 액세스가능한 메모리, 상기 데이타버스에 접속되고, 상기 CPU로부터의 승산명령에 관한 코맨드에 응답하여 승산될 데이타를 상기 데이타버스에서 페치하고 상기 페치된 데이타의 승산을 실행하는 승산기 및 상기 CPU와 상기 승산기 사이에 접속되고, 상기 CPU에서 상기 승산기로 상기 승산명령에 관한 코맨드가 전송되는 코맨드신호선을 포함하고, 상기 CPU가 상기 승산기에 의해 승산될 데이타를 상기 데이타버스상에 공급하기 위해 데이타의 준비동작을 실행하면서 상기 CPU는 상기 코맨드신호선을 거쳐서 상기 승산기로 승산명령의 코맨드를 발행하고, 1회째에 실행된 상기 데이타의 준비동작은 승산될 데이타로서 제1데이타를 상기 데이타버스상에 공급하고, 2회째에 실행된 상기 데이타의 준비동작은 승산될 데이타로서 제2데이타를 상기 데이타버스상에 공급하며, 상기 승산기는 상기 제2데이타와 상기 제1데이타의 승산을 실행하는 반도체집적회로칩.

청구항 6.

제5항에 있어서, 상기 승산기는 승산기가 승산명령의 반복연산을 실행하는 것을 나타내는 상태신호를 출력하고, 상기 반도체집적회로칩은 상기 CPU에 접속되고, 상기 상태신호에 응답하여 상기 CPU에서 상기 코맨드신호선으로 승산명령에 대한 다음의 코맨드발행에 관계하는 버스사이클을 연장하도록 상기 CPU로 신호를 공급하는 버스사이클제어회로를 더 포함하는 반도체집적회로칩.

청구항 7.

제5항에 있어서, 상기 데이타의 준비동작에 있어서, 승산될 데이타는 상기 CPU에서 상기 어드레스버스로 출력된 액세스어드레스에 응답하여 상기 메모리에서 상기 데이타버스로 공급되는 반도체집적회로칩.

청구항 8.

제5항에 있어서, 상기 데이타의 준비동작에 있어서, 승산될 데이타는 상기 CPU에서 생성되고 상기 데이타버스에 공급되는 반도체집적회로칩.

청구항 9.

제5항에 있어서, 상기 승산기는 레지스터를 포함하고, 1개의 승산을 위해 상기 코맨드신호선을 거쳐서 상기 CPU에서 상기 승산기로 발행되는 승산명령은 상기 데이타버스상의 제1데이타를 상기 승산기의 레지스터내로 페치하는 것을 지시하는 제1명령과 상기 승산기내로 제2데이타를 페치하고, 상기 승산기내에 있어서 상기 레지스터에 저장된 상기 제1데이타와 승산기내에 페치된 상기 제2데이타의 승산을 개시하는 것을 지시하는 제2명령을 구비하는 반도체집적회로칩.

청구항 10.

제9항에 있어서, 상기 승산기는 승산기가 승산명령의 반복연산을 실행하는 것을 나타내는 상태신호를 출력하고, 상기 반도체집적회로칩은 웨이트신호선을 거쳐서 상기 CPU에 접속되고, 상기 상태신호와 상기 코맨드신호선상의 상기 제2명령에 대한 다음의 코맨드에 응답하여 상기 CPU에서 상기 코맨드신호선으로 상기 제2명령에 대한 다음의 코맨드발행에 관계하는 버스사이클을 연장하도록 상기 CPU로 신호를 공급하는 버스사이클제어회로를 더포함하는 반도체집적회로칩.

청구항 11.

제5항에 있어서, 상기 CPU는 상기 데이타버스에 접속되고 명령을 저장하는 명령레지스터, 상기 명령레지스터에 저장된 명령을 디코드하고 제어신호를 생성하는 제어회로 및 그의 동작이 상기 제어신호에 의해 제어되는 실행부를 포함하고, 상기 제어회로는 상기 코맨드신호선에 접속되고 상기 명령레지스터에 저장된 명령의 디코드에 따라 승산명령의 코맨드를 선택적으로 발행하는 반도체집적회로칩.

청구항 12.

제1항에 있어서, 상기 CPU는 상기 버스에 접속되고 명령을 저장하는 명령레지스터, 상기 명령레지스터에 저장된 명령을 디코드하고 제어신호를 생성하는 제어회로 및 그의 동작이 상기 제어신호에 의해 제어되는 실행부를 포함하고, 상기 제어회로는 상기 코맨드신호선에 접속되고 상기 명령레지스터에 저장된 명령의 디코드에 따라 승산명령의 코맨드를 선택적으로 발행하는 반도체집적회로칩.

청구항 13.

중앙처리장치(CPU), 상기 CPU로부터의 어드레스와 데이타를 전달하는 버스, 상기 버스에 접속되고 상기 CPU에서 상기 버스로 공급된 액세스어드레스에 의해 액세스가능한 메모리, 상기 버스를 거쳐서 상기 CPU에 접속되고 상기 CPU 또는 상기 메모리에서 공급된 데이타의 승산을 실행하는 승산기, 상기 CPU가 상기 승산기에 의해 승산될 데이타를 상기 버스상에 공급하기 위해 데이타의 준비동작을 실행하는 동안, 리드데이타에 관한 승산명령의 코맨드를 상기 CPU에서 상기 승산기로 전송하는 코맨드신호선 및 웨이트신호선을 거쳐서 상기 CPU에 접속되고, 상태신호와 다음의 코맨드에 응답하여 상기 CPU에서 상기 코맨드신호선으로 상기 다음명령의 발행에 관계하는 버스사이클을 연장하도록 상기 CPU로 신호를 공급하는 버스사이클제어회로를 포함하고, 상기 CPU는 처리될 1개의 승산동작을 위해 2회의 상기 데이타의 준비동작을 실행하고, 1회째에 실행된 상기 데이타의 준비동작은 승산될 데이타로서 제1데이타를 상기 버스상에 공급하고, 2회째에 실행된 상기 데이타의 준비동작은 승산될 데이타로서 제2데이타를 상기 버스상에 공급하며, 상기 승산기는 상기 제2데이타와 상기 제1데이타의 승산을 실행하고, 상기 승산기는 승산기가 승산명령의 반복연산을 실행하는 것을 나타내는 상태신호를 출력하는 반도체집적회로칩.

청구항 14.

중앙처리장치(CPU), 상기 CPU에 접속되고 상기 CPU로부터 어드레스가 전달되는 어드레스버스, 상기 CPU에 접속되고 데이타가 전달되는 데이타버스, 상기 어드레스버스와 상기 데이타버스에 접속되고, 상기 CPU에서 상기 어드레스버스를 거쳐서 공급된 액세스어드레스에 의해 액세스가능한 메모리, 상기 데이타버스에 접속되고, CPU로부터의 승산명령에 관한 코맨드에 응답하여 승산될 데이타를 상기 데이타버스에서 페치하고 상기 페치된 상기 데이타의 승산을 실행하며, 상기 어드레스버스에 접속되지 않은 것에 의해 상기 어드레스버스에서 분리되는 승산기 및 상기 어드레스버스에서 분리된 상기 승산기에 데이타버스에서 직접적으로 데이타를 페치시키도록, 상기 CPU에서 상기 어드레스버스로 출력된 액세스어드레스에 응답하여 데이타를 상기 데이타버스에 리드하면서 리드된 데이타에 관한 승산명령의 코맨드를 상기 CPU에서 상기 승산기로 전송하는 코맨드신호선을 포함하는 반도체집적회로칩.

청구항 15.

중앙처리장치(CPU), 상기 CPU에 접속되고 상기 CPU로부터 어드레스가 전달되는 어드레스버스, 상기 CPU에 접속되고 데이타가 전달되는 데이타버스, 상기 어드레스버스와 상기 데이타버스에 접속되고 상기 CPU에서 상기 어레스버스를 거쳐서 공급된 액세스어드레스에 의해 액세스가능한 메모리, 상기 데이타버스에 접속되고 상기 어드레스버스에 접속되지 않으며, 승산명령에 관한 상기 CPU로부터의 코맨드에 응답하여 상기 데이타버스에서 승산될 데이타를 페치하고 페치된 데이타의 승산을 실행하는 승산기 및 상기 CPU와 상기 승산기 사이에 직접 접속되고 승산명령에 관한 코맨드가 상기 CPU에서 상기 승산기로 전송되는 코맨드신호선을 포함하고, 상기 CPU가 상기 승산기에 의해 승산될 데이타를 상기 데이타버스상에 공급하기 위해 2회의 데이타의 준비동작을 실행하는 동안, 상기 CPU는 상기 코맨드신호선을 거쳐서 상기 승산기로 승산명령의 코맨드를 발행하고, 1회째에 실행된 상기 데이타의 준비동작은 승산될 데이타로서 제1데이타를 상기 데이타버스상에 공급하고, 2회째에 실행된 상기 데이타의 준비동작은 승산될 데이타로서 제2데이타를 상기 데이타버스상에 공급하며, 상기 승산기는 상기 제2데이타와 상기 제1데이타의 승산을 실행하는 반도체집적회로칩.

청구항 16.

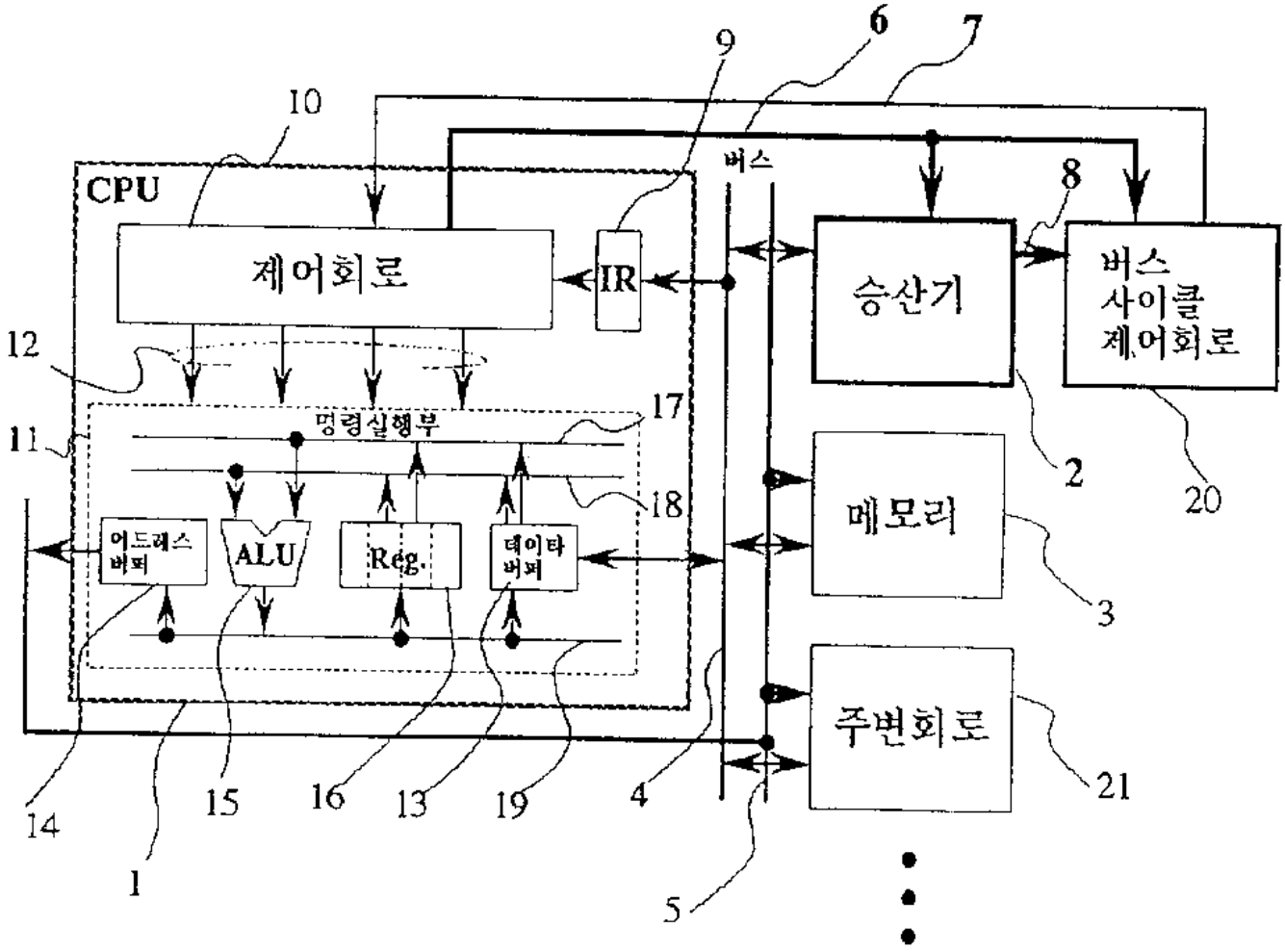
제1항에 있어서, 상기 데이타와 상기 액세스어드레스는 시분할다중방식에 의해 상기 버스를 거쳐서 공급되는 반도체집적회로칩.

청구항 17.

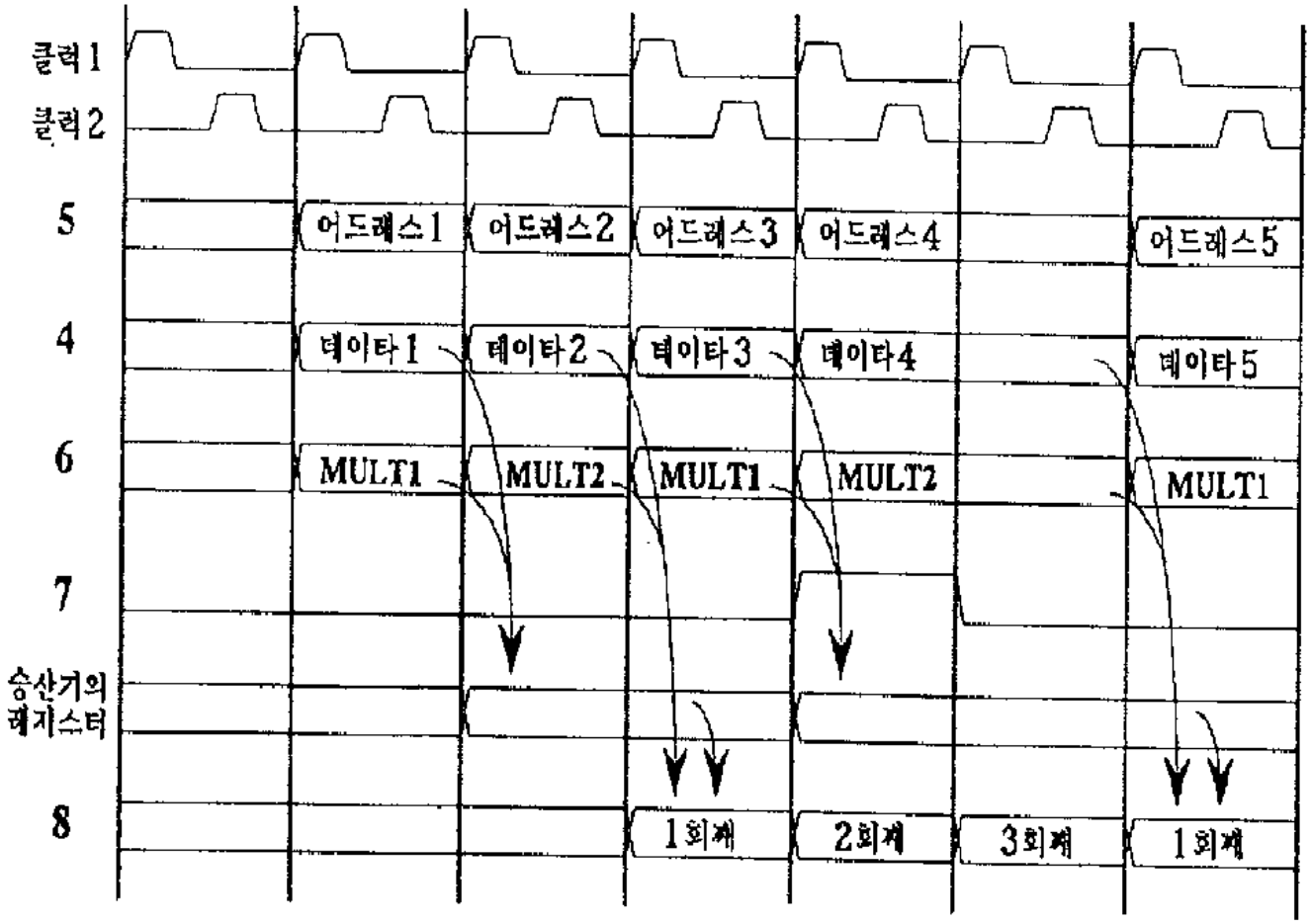
제13항에 있어서, 상기 데이타와 상기 액세스어드레스는 시분할다중방식에 의해 상기 버스를 거쳐서 공급되는 반도체집적회로칩.

도면

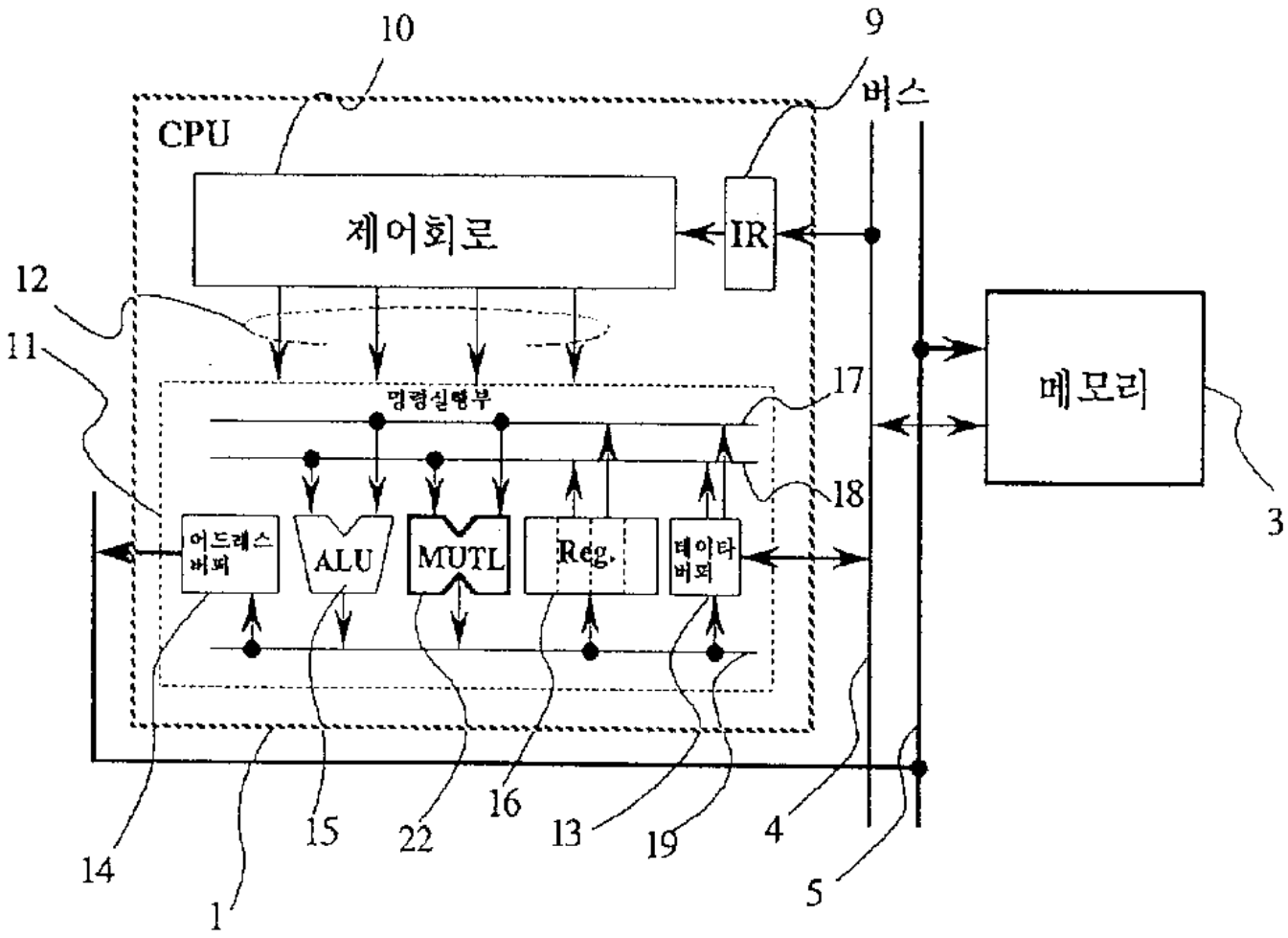
도면 1



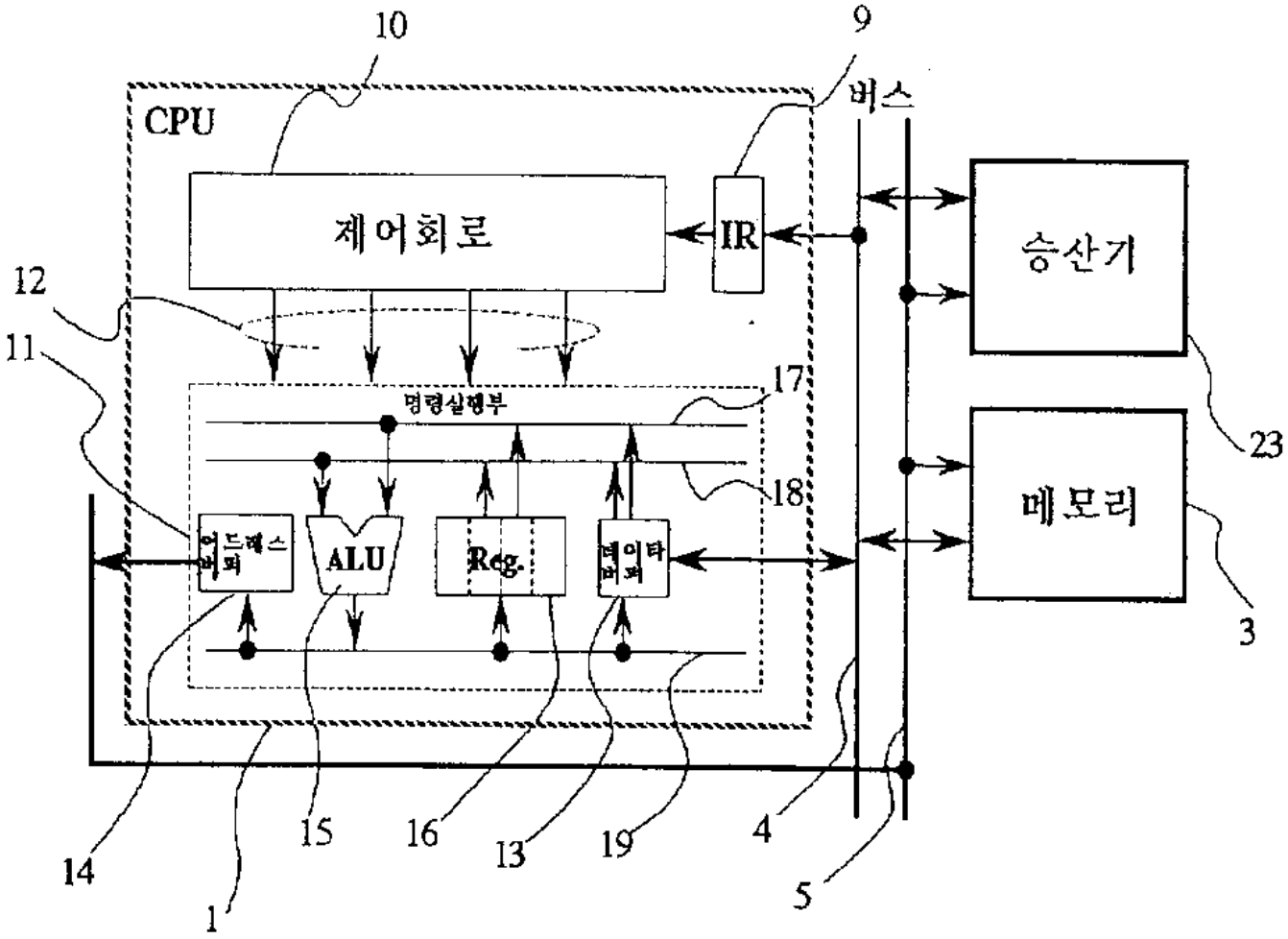
도면 2


클럭1
클럭2
5
4
6
7
승산기의 레지스터
8
어드레스1
어드레스2
어드레스3
어드레스4
어드레스5
데이타1
데이타2
데이타3
데이타4
데이타5
MULT1
MULT2
MULT1
MULT2
MULT1
1회째
2회째
3회째
1회째

도면 3


10
9
CPU
버스
제어회로
IR
12
11
명령실행부
17
메모리
18
3
어드레스 버퍼
ALU
MUTL
Reg.
데이타 버퍼
14
1
15
22
16
13
19
4
5

도면 4


10
9
CPU
버스
제어회로
IR
승산기
12
11
17
명령실행부
23
18
메모리
어드레스 버퍼
ALU
Reg.
데이타 버퍼
3
14
15
16
13
19
4
1
5