

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H04M 1/00

(45) 공고일자 2000년 11월 15일

(11) 등록번호 10-0272016

(24) 등록일자 2000년 08월 22일

(21) 출원번호	10-1992-0017390	(65) 공개번호	특 1993-0007136
(22) 출원일자	1992년 09월 24일	(43) 공개일자	1993년 04월 22일
(30) 우선권주장	91202531.9 1991년 09월 27일 EP(EP)		
(73) 특허권자	코닌클리케 필립스 일렉트로닉스 엔.브이.	요트.게.아. 룰페즈	
(72) 발명자	네델란드왕국 아인드호펜 그로네보르스베그 1 기예스 베르투스 아드리아누스반코엘렌 네델란드왕국 힐베르숨 안토니포 케르베그 7 파울 게오르게스 나프하안 네델란드왕국 힐베르숨 안토니 포케르 7 게르티안르 헤베르겐 네델란드왕국 힐베르숨 안토니 포케르베그 7		
(74) 대리인	이병호		

심사관 : 황창욱

(54) 펄스 부호 변조값의 발생장치

요약

전환기 세트에서 펄스 부호 변조값들을 발생시키는 장치로서, 상기 장치는 작업용 기억부를 포함하는 마이크로프로세서를 구비하며, 마이크로프로세서 및 작업용 기억부는 데이터 버스 및 어드레스 버스에 의해 접속되어 지고, 또한 상기 장치는 펄스 부호 변조값들을 출력하기 위한 출력 회로와, 출력되는 펄스 부호 변조값들을 기억하기 위해 그에 접속된 출력 메모리를 더 구비하며, 작업용 기억부 및 출력 메모리는 하나의 메모리 회로내에 일체화된다. 상기 장치는 바람직하게는 출력 메모리의 랜덤 위치에 대한 마이크로프로세서의 어드레싱에 응답하여, 독출되는 출력 메모리 위치의 어드레스를 발생하는 어드레싱 수단을 구비하는 방식으로 구성된다.

대표도

도 1a

명세서

[발명의 명칭]

펄스 부호 변조값의 발생장치

[도면의 간단한 설명]

제1(a)도 및 제1(b)도는 본 발명에 따른 장치의 제1실시예의 블록도.

제2(a)도 및 제2(b)도는 본 발명에 따른 장치의 제2실시예의 블록도.

제3도는 제1(a)도 및 제1(b)도, 또는 제2(a)도 및 제2(b)도에 도시된 장치에 사용되는 출력 회로의 양호한 실시예의 블록도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|--------------|----------------|
| 1 : 마이크로프로세서 | 2 : 메모리 |
| 3 : 출력 회로 | 4 : 어드레싱 회로 |
| 5 : 데이터 버스 | 6 : 어드레스 버스 |
| 40 : 제어부 | 41 : 멀티플렉서 |
| 42 : 디코딩 회로 | 43 : 어드레스 레지스터 |
| 44 : 비교기 | 45 : 최종값 레지스터 |

[발명의 상세한 설명]

본 발명은, 전화기 세트에서 펄스 부호 변조값들을 발생하기 위한 장치(arrangement)에 관한 것으로서, 상기 펄스 부호 변조값 발생 장치는 작업용 기억부(working store)를 포함하는 마이크로프로세서를 구비하고, 상기 마이크로프로세서 및 상기 작업용 기억부는 데이터 버스 및 어드레스 버스에 의해서 접속되며, 상기 장치(arrangement)는 또한 펄스 부호 변조 값들을 출력하기 위한 출력 회로와, 이에 접속되어, 출력되는 펄스 부호 변조값들을 기억하기 위한 출력 메모리를 포함한다. 이런 유형의 장치는 실제로 알려져 있다.

실제로 공지되어 있는 펄스 부호 변조값들(PCM values)을 발생하는 장치들은 일반적으로 집적 회로내에 일체화된 애플리케이션 회로(application circuit)를 구비하고 있다. 또한, 발생하는 펄스 부호 변조값들을 기억하는데 필요한 메모리가 집적 회로내에 일체화되어 있다. 하지만, 메모리를 구비하는 그러한 집적 회로는 비교적 고가이다. 또다른 가능성은 상기 펄스 부호 변조값 발생 장치가 자신의 별개의 메모리 회로를 구비하는 것일 수 있다. 하지만, 이것으로 인해 매우 많은 수의 부품들 및 매우 많은 수의 접속들이 이루어져야 되므로, 이런 유형의 회로 또한 비교적 고가이다.

본 발명의 목적은 부품들 및 접속들의 수를 최소화하면서, 발생될 펄스 부호변조값들을 위한 메모리를 구비한 비교적 저렴한 펄스 부호 변조간 발생 장치를 제공하기 위한 것이다. 본 발명은 최근의 디지털 전화기 세트가 통상적으로 작업용 기억부를 가지는 마이크로프로세서를 구비한다는 사실을 이용한다. 본 발명에 따르면, 작업용 기억부 및 출력 메모리가 하나의 메모리 회로에 포함되도록 하는 방법으로 펄스 부호 변조값들을 발생시키는 장치를 구성함으로써, 부가적인 메모리에 의한 확장 및 내부 메모리를 구비하는 애플리케이션 회로의 사용이 방지될 수 있다. 다시 말하면, 출력 메모리는 마이크로프로세서의 작업용 기억부와 동일한 메모리 회로에 포함된다. 따라서, 출력 회로를 위한 별개의 메모리 회로가 생략될 수 있으며, 이 출력 회로 자체가 메모리를 구비할 필요가 없다.

펄스 부호 변조값들의 발생에 있어서, 이 값들은 출력 메모리로부터 출력 회로로 전송되어지며, 이 출력 회로는 표준 8kHz PCM 샘플 레이트로 매 125 μ s 마다 펄스 부호 변조값을 생성한다. 출력 회로의 이러한 전송에 있어서, 출력될 PCM주 값을 포함하는 메모리 위치의 어드레스는 항상 출력 메모리에 공급되어지게 된다. 명백하게는, 마이크로프로세서가 다음에 독출될 어드레스를, 예를 들어 이 목적을 위해 의도한 작업용 기억부 메모리 위치 또는 레지스터의 내용을 계속해서 증분하는 것에 의해 출력 메모리 내에서 계속해서 발생시키도록 장치(arrangement)를 제공하는 것이 가능하다. 하지만, 전화기 세트내의 마이크로프로세서는 다량의 태스크(task)들로 인해 이미 최대 부하(load)를 가지고 있을 것이다. 어드레스 값을 갱신하는 것과 같은 부가적인 태스크를 수행함으로써, 그러한 애플리케이션들에 대해 타이밍 문제들이 발생할 수 있다. 마이크로프로세서의 태스크를 최대한 경감시키고 타이밍 문제들을 방지하기 위하여, 본 발명에 따른 장치(arrangement)의 양호한 실시예는, 상기 장치가 출력 메모리의 임의의 위치의 마이크로컴퓨터에 의한 어드레싱에 응답하여 독출될 출력 메모리 위치의 어드레스를 발생시키기 위한 어드레싱 수단을 구비하도록 구성된다. 이것에 의해 마이크로프로세서의 부하가 실질적으로 감소되는데, 그 이유는 독출될 펄스 부호 변조값의 위치를 계속해서 결정해야할 필요가 없기 때문이다.

상기 장치의 구성은 바람직하게는, 상기 어드레싱 수단이 어드레스 레지스터, 어드레스 디코딩 회로 및 어드레스 버스에 삽입된 멀티플렉서를 구비하되, 상기 멀티플렉서는 상기 어드레스 디코딩 회로에 의해 발생된 제어 신호에 응답하여 비트들을 전송하도록 배열되고, 상기 비트들은 어드레스 버스 또는 어드레스 레지스터중 어느 하나로부터 공급되는 방식으로 구성되어진다. 상기 어드레스 레지스터는 항상 발생하는 다음의 펄스 부호 변조간의 어드레스, 또는 어드레스의 일부분을 유지한다. 그런 경우, 상기 장치의 구성은 바람직하게는, 일단 어드레스 레지스터가 독출되면 상기 어드레싱 수단이 상기 어드레스 레지스터를 증분시키기 위해 배출되는 방식으로 구성되어진다. 이것은 실질적으로 마이크로프로세서의 개입 없이도 출력 메모리로부터 다수의 위치들을 판독하는 것을 가능하게 한다. 물론, 어드레싱 수단 역시 어드레스 레지스터를 감소시키도록 배열될 수 있으며, 그러한 경우에 출력 메모리의 메모리 위치들이 역순으로 독출된다.

어드레스 레지스터가 예컨대 8비트를 포함하는 경우에, 상기 레지스터는 255 이상으로 증가되었을때 0의 값을 나타낸다. 이러한 방식으로, 항상 256개의 메모리 위치들, 즉 레지스터의 비트들 수에 의해 결정되는 메모리 위치들의 수가 순환적으로 어드레스된다. 보다 적은 수의 위치들을(순환적으로) 어드레싱하는 경우에, 상기 장치의 구성은 바람직하게는, 어드레싱 수단이 최종간 레지스터, 및 어드레스 레지스터와 상기 최종값 레지스터 양자에 접속된 비교기를 포함하는 방식으로 구성된다. 최종값 레지스터에 있어서, 최종값은 미리 규정되며, 어드레스 레지스터에 의해 초과되지 않는다. 이러한 목적을 위해, 상기 비교기는 최종값 레지스터 및 어드레스 레지스터의 값들을 계속하여 비교하고, 만일 동일하다면, 어드레스 레지스터에 리셋 신호를 인가하여, 이 어드레스 레지스터가 초기값(예컨대, 0)을 나타내게 한다.

상기 어드레싱 수단은 마이크로프로세서 부하를 상당히 경감시킨다. 본 발명에 따른 장치의 구성이 출력 회로가 출력되는 펄스 부호 변조값들의 일시적인 저장을 위한 FIFO 레지스터를 구비하는 방식으로 구성되는 경우에는 상기 부하가 한층 더 경감될 수 있다. 출력 메모리로부터 판독된 펄스 부호 변조값들은 출력 회로에 의해 출력되기 전에 FIFO레지스터(First-In, First-Out 레지스터)에 일시적으로 기억될 수 있다. FIFO 메모리의 사용은 반드시 매 125 μ s마다 펄스 부호 변조값을 출력 회로에 공급하도록 할 필요는 없으나, 이것은 단지 125 μ s의 평균 간격으로 일어날 필요가 있으며, 평균 간격으로부터의 허용 편차는 FIFO 레지스터의 크기에 달려 있다.

하나의 메모리 회로내에 출력 메모리와 작업용 기억부를 조합시키는 경우, 접속되는 접속 핀들의 수에 대하여 상당한 감축이 이미 달성되어 있는 것이다. 접속들의 그 이상의 감축은, 마이크로 프로세서가 조합된 어드레스 및 데이터 출력들을 구비하는 방식으로 상기 장치를 구성하는 경우에 달성될 수 있다. 그런 경우에 있어서, 어드레싱 수단은 독출될 어드레스의 일부분의 일시적 저장을 위한 어드레스 래치를 구비할 수 있는 잇점이 있다.

본 발명에 따른 상기 장치는, 어드레싱 수단 및 출력 회로가 애플리케이션 특유 집적회로(application-specific integrated circuit)내에 일체화되는 방식으로 구성될 수 있는 잇점이 있다. 이것은 부품들 및 접속들의 수를 최소화하며, 상기 애플리케이션 특유 집적 회로는 내부 메모리가 없음으로 인해 상대적으로 저렴한 비용으로 제조되어질 수 있다.

하기에서는 본 발명에 대해 첨부 도면을 참조하여 보다 상세히 설명하기로 한다.

제1(a)도에 도시된 회로는 마이크로프로세서(1), 메모리(2), 출력 회로(3) 및 어드레싱 회로(4)를 구비한다. 데이터 버스(5)는 메모리(2)를 마이크로프로세서(1)와 출력 회로(3) 모두에 접속한다. 어드레스 버스(6)는 마이크로프로세서(1)의 어드레스 출력들을 메모리(2)의 어드레스 입력들에 접속한다. 어드레싱 회로(4)는 어드레스 버스(6)내에 삽입되어진다. 출력 회로(3)는 실례로 병렬 직렬 변환기 및/또는 버퍼를 구비할 수 있다. 도시된 실시예에 있어서, 직렬 버스(7)는 출력 회로(3)에 접속된다.

메모리(2)는 마이크로프로세서(1)의 작업용 기억부와 출력 회로(7)의 출력메모리 모두를 구비한다. 작업용 기억부는 실례로 마이크로프로세서(1)의 프로그램을 격납하며, 출력 메모리는 출력될 펄스 부호 변조 값들을 수용한다. 본 발명에 따라, 상기 회로는 바람직하게는 출력 메모리가 메모리(2)의 다수의 연속적인 어드레스들을 포함하는 방식으로 배열되어진다. 이것에 의해 가능한 출력 메모리의 비교적 간단한 어드레싱이 제공된다.

출력 메모리를 어드레싱하기 위하여, 어드레싱 회로(4)는, 마이크로프로세서(1)가 출력 메모리에 속하는 메모리(2)내의 랜덤 위치를 지정할 때, 독출될 어드레스가 어드레싱 회로(4)에 의해 생성되는 방식으로 배열되어진다. 이러한 목적을 위해서, 본 발명에 따른 장치의 첫번째 양호한 실시예에서의 어드레싱 회로(4)는 제1(b)도의 블록도에 도시된 바와 같이 구성된다.

바람직하게는 RAM 타입(Random Access Memory)인 메모리(2)는 ROM 타입(Read Only Memory)의 또다른 메모리(도시되지 않음)에 접속될 수 있다. 상기 또다른 메모리에는, 필요에 따라 메모리(2)에 로드(loaded)되는 일련의 PCM 값들이 기억될 수 있다. 메모리(2)는 마이크로프로세서(1)의 제어하에 로드될 수 있다.

제1(b)도에 도시된 어드레싱 회로(4)에 있어서, 어드레스 버스(56)의 어드레스 라인들의 제1그룹(6a)은 직렬 접속된다. 도시된 실시예에서, 상기 제1그룹(6a)은 8개의 어드레스 라인들(A8~A15)을 포함한다. 어드레스 버스(6)의 어드레스 라인들의 제2그룹(6b), 즉 이 경우에는 라인들(A0~A7)이 멀티플렉서(41)를 통해서 접속되어진다. 상기 멀티플렉서(41)는, 디코딩 회로(42)에 의해 발생된 제어 신호에 응답하여, 제2그룹(6b), 즉 어드레스 라인들(A0~A7), 또는 어드레스 레지스터(43)중 어느 하나가 메모리(2)에 이르게 되는 어드레스 버스(6)의 부분에 접속된다. 어드레스 버스의 제1부분(6a)은 디코딩 회로(42)에 이르게 된다. 만일 마이크로프로세서(1)가 작업용 기억부에 속하는 어드레스를 어드레스 버스(6)상에 배치하는 경우, 멀티플렉서(41)는 그룹(6b)을 접속하여, 이 완전한 어드레스가 메모리(2)에 도달하게 한다. 하지만, 마이크로프로세서(1)가 출력 메모리의 위치에 속하는 어드레스를 어드레스 버스(6)상에 배치하는 경우, 멀티플렉서(41)는 어드레스 레지스터(43)를 데이터 버스(6)에 접속하며, 마이크로프로세서(1)에 의해 어드레스 버스(6)의 섹션(6b)에 배치된 어드레스의 부분은 메모리(2)에 도달하지 않는다. 이러한 목적을 위해, 디코딩 회로(42)는, 출력 메모리에 속하는 랜덤 메모리 위치가 마이크로프로세서(1)에 의해 어드레스 지정되는 때에, 멀티플렉서(4)가 어드레스 레지스터(43)를 어드레스 버스(6)에 접속하게 하도록 하는 신호를 발생시키는 방식으로 배열된다. 본질적으로, 어드레스 버스(6)의 모든 어드레스 라인들은 디코딩 회로(42)에 접속될 수 있다. 하지만, 메모리(2)는 바람직하게는 출력 메모리가 예컨대 256개의 연속적인 위치들의 제한된 수를 포함하도록 하는 방식으로 배열된다. 그 경우에, 모든 어드레스 라인이 아니라, 제1(b)도에 도시된 대로 단지 예를 들어 8개의 어드레스 라인들이 디코딩 회로에 접속될 필요가 있다.

바람직하게는, 어드레싱 회로(4)는 어드레스가 발생될 때마다 어드레스 레지스터(43)가 증분되는 방식으로 배열된다. 따라서, 간단한 방법으로 출력 메모리를 순차 판독하는 것이 가능하다. 만일 어드레싱 회로(4)가 이러한 구조를 가진다면, 마이크로프로세서(1)가 독출되어질 출력 메모리 위치들의 어드레스들을 갱신할 필요는 없다. 이것은 마이크로프로세서(1)의 로드(load)의 상당한 경감을 의미하는 것이므로, 후자는 다른 태스크들을 위해 한층 더 많은 시간을 사용하는 것이 가능하며, 타이밍 문제들(만약 있다면)도 가능한 많이 방지될 것이다.

어드레싱 회로(4)는 바람직하게는 비교기(44) 및 최종값 레지스터(45)를 구비할 수 있다. 그것들은 어드레스 레지스터(43)의 비트들 수에 의해 결정되어지는 위치들의 최대 수보다 더 적은 수의 위치들을 순환적으로 판독하는 것을 가능하게 한다. 비교기(44)는 어드레스 레지스터(43)의 내용과 최종값 레지스터(44)의 내용을 계속해서 비교한다. 만일 그 값들이 동일하다면, 비교기(44)는 리셋 신호를 생성하여, 어드레스 레지스터가 초기 값(예컨대, 0)을 취하게 한다.

제2(a)도에 도시된 회로는 마찬가지로 마이크로프로세서(1), 메모리(2), 출력회로(3) 및 어드레싱 회로(4)를 포함한다. 또한 상기 회로는 마찬가지로 데이터 버스(5)와 어드레스 버스(6)를 구비하며, 어드레싱 회로(4)는 어드레스 버스(6)에 삽입된다. 접속들의 수를 최대한으로 제한하기 의해서, Intel 80C31과 같이, 최소한 여러 개로 조합된 데이터 및 어드레스 출력들을 가지는 마이크로 프로세서(1)가 사용된다. 이런 유형의 마이크로프로세서의 경우에, 16비트 어드레스의 8개의 최하위 비트들이 데이터 버스를 통해 공급되어, 8개의 접속 핀들이 절약된다. 따라서 마이크로프로세서(1) 및 어드레싱 회로(4) 사이에 위치한 어드레스 버스(6)는 본 실시예에서는 단지 8개의 어드레스 라인들만을 포함한다. 이들 8개의 어드레스 라인들은 제1(a)도 및 제1(b)도에 도시된 데이터 버스(6)의 제1섹션(6a)의 어드레스 라인들에 대응한다. 나머지 8개의 어드레스 라인들은 도시된 실시예에서 역시 어드레싱 회로(4)에 접속되는 8비트 데이터 버스(5)에 의해 제공된다. 어드레싱 회로(4) 및 메모리(2) 사이에 위치한 어드레스 버스(6)는 제1(a)도에 나타난 실시예에서와 같이 열여섯 개의 어드레스 라인들을 구비한다. 제2(a)도에 나타난 마이크로 프로세서(1)가 메모리(2)로부터 위치를 판독할 때, 상기 마이크로프로세서는 어드레스 버스(6a)상에 어

드레스의 최상위 8비트를 배치하고, 데이터 버스(5)상에 어드레스의 최하위 8비트를 배치한다. 본 장치에서의 데이터 버스(5) 역시 어드레싱 회로(4)에 접속되기 때문에, 어드레싱 회로(4)는 독출될 어드레스의 열여섯개의 비트 모두를 수신한다. 이어서, 열여섯개의 어드레스 비트들은 어드레스 버스(6)상에 놓이게 되며, 메모리(2)로 인가된다.

제2(b)도는 제2(a)도에 도시된 어드레싱 회로(4)를 보다 자세하게 나타내고 있다. 제2(b)도에 도시된 어드레싱 회로는, 출력이 어드레스 버스(6)에 접속되는 멀티플렉서(41)를 구비한다. 멀티플렉서(41)의 입력들의 제1세트는 어드레스 레지스터(43)에 접속되며, 래치(46)가 입력들의 제2세트에 접속된다. 멀티플렉서(41)는 입력들의 제1세트 또는 입력들의 제2세트중 어느 하나를, 디코딩 회로(42)에 의해 발생된 제어 신호에 응답하여 출력들에 접속시킨다. 마이크로프로세서(1)의 어드레싱 동작중에 어드레스의 최상위 8비트들이 배치되는 데이터 버스(6a)는 디코딩 회로(42)에 접속된다. 이들 여덟개의 어드레스 비트들에 기초하여, 디코딩 회로(42)는 마이크로프로세서(1)가 출력 메모리에서 메모리 위치를 어드레스 지정하는지의 여부를 결정한다. 만약 어드레스 지정의 경우에는, 멀티플렉서(41)는 어드레스 레지스터(43)의 내용을 어드레스 버스(6)의 (최하위) 섹션(6b)에 놓이게 한다. 만일 어드레스 지정이 안되는 경우 및 마이크로프로세서(1)가 작업용 기억부에 위치를 어드레스 지정하는 경우, 래치(46)의 내용은 어드레스 버스(6)의 섹션(6b)에 놓여지게 된다. 데이터 버스(5)를 통해 전송된 어드레스 성분은 이미 마이크로프로세서(1)로부터 인입되는 제어 신호들에 응답하여 상기 래치(46)에 기록되어 있다. 이러한 방식에 있어, 상기 어드레싱 회로는 항상 16 비트 어드레스를 어드레스 버스(6)상에 배치하며, 이 어드레스는 어드레스 버스(6a) 및 데이터 버스(5)를 통해 전송된 작업용 기억부내의 어드레스의 성분들, 또는 어드레스 레지스터(43)의 내용과 마찬가지로 어드레스 버스(6a)를 통해 전송된 출력 메모리내의 어드레스의 성분중 하나에 의해 구성된다. 이런 어드레스 레지스터(43)의 값이 예를 들어 판독 동작후 어드레스 레지스터(43)의 증분만큼 어드레싱 회로(4) 자체에 의해 갱신되기 때문에, 주기적으로 출력 메모리를 판독하는 마이크로프로세서(1)는 독출될 다음 위치의 어드레스를 알아야 할 필요없이 상기 출력 메모리로부터 랜덤 어드레스만을 판독할 필요가 있다. 실제로, 이것은 마이크로프로세서(1)의 로드의 상당한 감축을 의미한다.

제1(b)도에 나타난 어드레싱 회로와 유사하게, 제2(b)도에 도시되는 어드레싱 회로(4)는 비교기(44)와 최종값 레지스터(45)를 구비하며, 그들의 기능은 제1(b)도와 관련하여 이미 설명된 바와 같다. 어드레싱 회로(4)는 마이크로프로세서(1)에 의해 발생하는 신호에 응답하여 어드레싱 회로(4)의 성분들을 제어하는 제어부(40)를 구비할 수 있다.

제3도는 출력 회로(3)의 양호한 실시예를 도시한다. 출력 회로(3)는 시프트 레지스터(31) 및 FIFO 레지스터(32)를 구비한다. 데이터 버스(5)에 접속된 FIFO 레지스터(32)는 데이터 버스(5)를 통해 수신된 펄스 부호 변조값을 계속하여 판독하기 위해 마이크로프로세서(1)로부터 제어 신호들을 수신한다. 매 125 μ s마다 시프트 레지스터(31)로 공급되는 외부 신호에 응답하여, 상기 레지스터(31)는 거기에 있는 펄스 부호 변조값을 직렬 버스(7)상에 둔다. 일단 상기 펄스 부호 변조값의 마지막 비트가 버스 상에 놓이게 되면, 상기 시프트 레지스터(31)는 레지스터(32)로부터 다음의 값을 동시에 판독한다.

FIFO 레지스터(32) 대신에, 통상의 레지스터가 사용될 수도 있다. 하지만 상기 FIFO 레지스터는 더욱 유연한 마이크로프로세서의 타이밍이 가능하다는 점에서 잇점이 있다.

(57) 청구의 범위

청구항 1

전환기 세트에서 펄스 부호 변조값들을 발생하기 위한 장치(arrangement)로서, 상기 펄스 부호 변조값 발생 장치는 작업용 기억부(working store)를 포함하는 마이크로프로세서를 구비하고, 상기 마이크로프로세서 및 상기 작업용 기억부는 데이터 버스 및 어드레스 버스에 의해서 접속되며, 상기 장치(arrangement)는 또한 상기 펄스 부호 변조값들을 출력하기 위한 출력 회로와, 출력되는 펄스 부호 변조값들을 기억하기 위해 상기 출력 회로에 접속된 출력 메모리를 구비하는, 상기 펄스 부호 변조값 발생 장치에 있어서, 상기 작업용 기억부 및 상기 출력 메모리는 하나의 메모리 회로내에 포함되며, 상기 장치는 상기 마이크로프로세서에 의한 상기 출력 메모리의 랜덤 위치의 어드레싱에 응답하여, 순차적으로 독출되는 출력 메모리 위치들의 다수의 어드레스들을 발생시키기 위한 어드레싱 수단을 구비하는 것을 특징으로 하는 펄스 부호 변조값 발생 장치.

청구항 2

제1항에 있어서, 상기 어드레싱 수단은 어드레스 레지스터, 어드레스 디코딩 회로, 및 상기 어드레스 버스에 삽입된 멀티플렉서를 구비하고, 상기 멀티플렉서는 상기 어드레스 디코딩 회로에 의해 발생된 제어 신호들에 응답하여 비트들을 전송하도록 배열되며, 상기 비트들은 상기 어드레스 버스 또는 상기 어드레스 레지스터중 어느 하나로부터 인입되는 것을 특징으로 하는 펄스 부호 변조값 발생 장치.

청구항 3

제2항에 있어서, 상기 어드레싱 수단은 상기 어드레스 레지스터가 일단 독출되면 상기 어드레스 레지스터를 증분시키도록 배열되는 것을 특징으로 하는 펄스 부호 변조값 발생장치.

청구항 4

제3항에 있어서, 상기 어드레싱 수단은 최종값 레지스터, 및 상기 최종값 레지스터와 상기 어드레스 레지스터 모두에 접속된 비교기를 구비하는 것을 특징으로 하는 펄스 부호 변조값 발생 장치.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 출력 회로는 출력되는 상기 펄스 부호 변조값들의 일시적 저장을 위한 FIFO 레지스터를 구비하는 것을 특징으로 하는 펄스 부호 변조값 발생 장치.

청구항 6

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 출력 회로는 병렬 직렬 변환기를 구비하는 것을 특징으로 하는 펄스 부호 변조값 발생 장치.

청구항 7

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 마이크로프로세서는 최소한 여러 개의 조합된 어드레스 및 데이터 출력들을 구비하는 것을 특징으로 하는 펄스 부호 변조값 발생 장치.

청구항 8

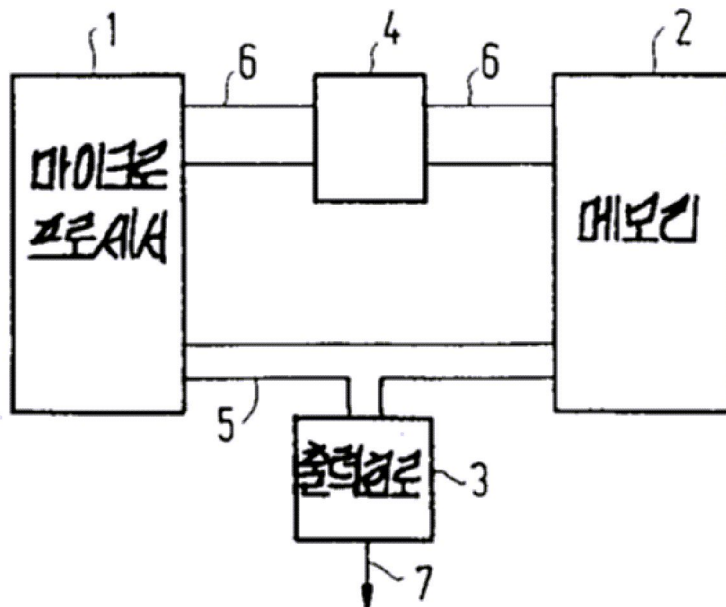
제7항에 있어서, 상기 어드레싱 수단은 독출되는 어드레스의 일부분의 일시적 저장을 위한 어드레스 래치를 구비하는 것을 특징으로 하는 펄스 부호 변조값 발생 장치.

청구항 9

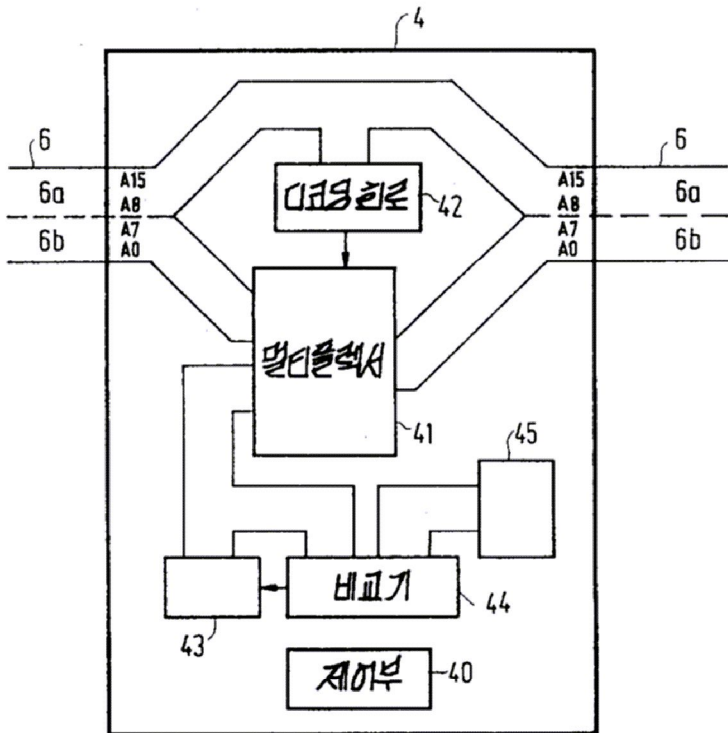
제1항 내지 제4항 중 어느 한 항에 있어서, 상기 어드레싱 수단 및 상기 출력 회로는 애플리케이션 특유 집적 회로(application-specific integrated circuit)내에 일체화되는 것을 특징으로 하는 펄스 부호 변조값 발생 장치.

도면

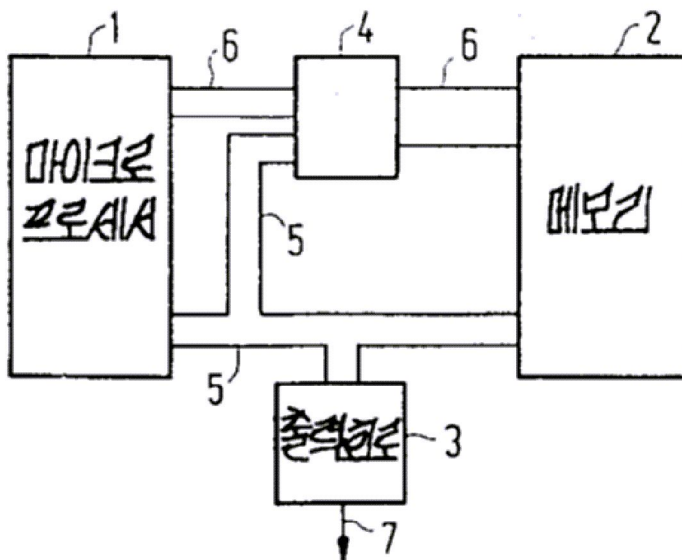
도면 1a



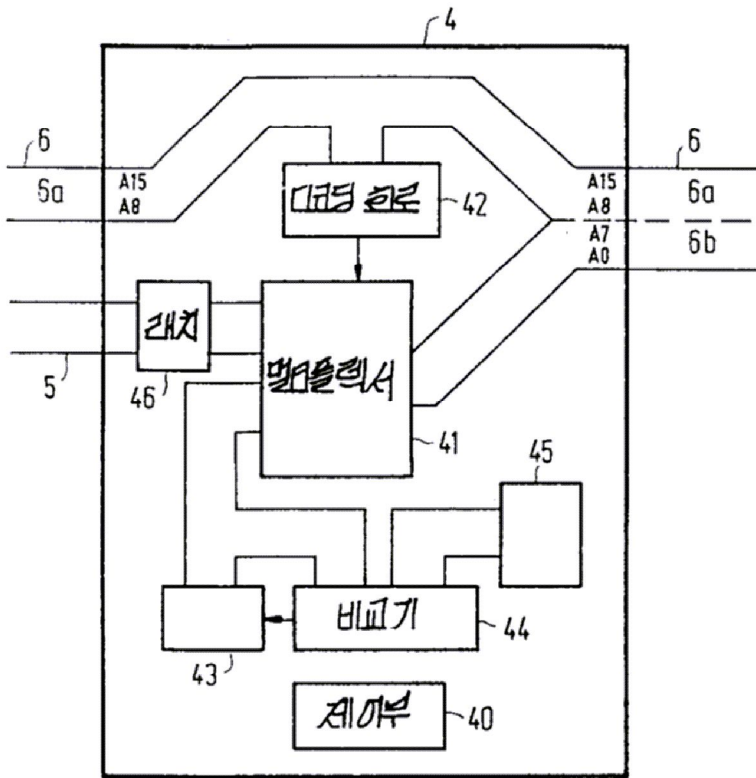
도면 1b



도면 2a



도면2b



도면3

