



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월31일  
(11) 등록번호 10-0818287  
(24) 등록일자 2008년03월25일

(51) Int. Cl.

H01L 21/205 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2007-0003070  
(22) 출원일자 2007년01월10일  
심사청구일자 2007년01월10일

(56) 선행기술조사문헌  
KR1020000001232 A  
KR1020000018565 A  
KR1020020058271 A

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

최준희

경기 성남시 분당구 구미동 까치마을신원아파트  
305-103

줄카니브 안드레이

경기 수원시 팔달구 매탄동 동남아파트 1동 710호

(74) 대리인

리엔목특허법인

전체 청구항 수 : 총 59 항

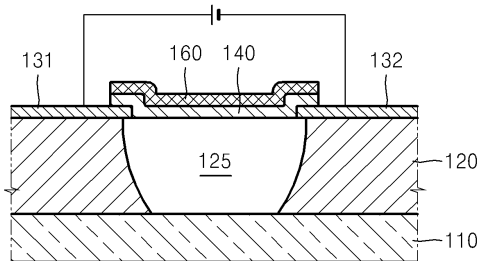
심사관 : 오창석

(54) 폴리 실리콘의 형성방법, 이 폴리 실리콘을 구비하는 박막 트랜지스터 및 그 제조방법

(57) 요약

폴리 실리콘의 형성방법, 이 폴리 실리콘을 구비하는 박막 트랜지스터 및 그 제조방법이 개시된다. 개시된 폴리 실리콘의 형성방법은, 기판 상에 절연층을 형성하는 단계; 절연층 상에 제1 및 제2 전극을 형성하는 단계; 절연층 상에 제1 전극과 제2 전극을 연결하도록 적어도 하나의 히터층을 형성하는 단계; 적어도 하나의 히터층 상에 실리콘을 포함하는 비정질 물질층을 형성하는 단계; 절연층을 식각하여 히터층 하부에 관통공을 형성하는 단계; 및 제1 및 제2 전극 사이에 전압을 인가하여 히터층을 가열시킴으로써 비정질 물질층을 폴리 실리콘층으로 결정화시키는 단계;를 포함한다.

대표도 - 도4b



**특허청구의 범위**

**청구항 1**

기판 상에 절연층을 형성하는 단계;

상기 절연층 상에 제1 및 제2 전극을 형성하는 단계;

상기 절연층 상에 상기 제1 전극과 제2 전극을 연결하도록 적어도 하나의 히터층을 형성하는 단계;

상기 적어도 하나의 히터층 상에 실리콘을 포함하는 비정질 물질층을 형성하는 단계;

상기 절연층을 식각하여 상기 히터층 하부에 관통공을 형성하는 단계; 및

상기 제1 및 제2 전극 사이에 전압을 인가하여 상기 히터층을 가열시킴으로써 상기 비정질 물질층을 폴리 실리콘층으로 결정화시키는 단계;를 포함하는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 2**

제 1 항에 있어서,

상기 히터층은 W, Mo, SiC, ZrO<sub>2</sub>, MoSi<sub>2</sub> 및 NiCr으로 이루어진 그룹에서 선택된 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 3**

제 1 항에 있어서,

상기 비정질 물질층은 비정질 실리콘 또는 비정질 실리콘 카바이드로 이루어지는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 4**

제 1 항에 있어서,

상기 관통공은 상기 절연층을 기판이 노출될 때까지 습식 식각함으로써 형성되는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 5**

제 1 항에 있어서,

상기 히터층은 600℃ 이상의 온도로 가열되는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 6**

기판 상에 절연층을 형성하는 단계;

상기 절연층 상에 실리콘을 포함하는 적어도 하나의 비정질 물질층을 형성하는 단계;

상기 적어도 하나의 비정질 물질층 상에 히터층을 형성하는 단계;

상기 히터층의 양단에 각각 연결되는 제1 및 제2 전극을 상기 절연층 상에 형성하는 단계;

상기 절연층을 식각하여 상기 비정질 물질층 하부에 관통공을 형성하는 단계; 및

상기 제1 및 제2 전극 사이에 전압을 인가하여 상기 히터층을 가열시킴으로써 상기 비정질 물질층을 폴리 실리콘층으로 결정화시키는 단계;를 포함하는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 7**

제 6 항에 있어서,

상기 비정질 물질층은 비정질 실리콘 또는 비정질 실리콘 카바이드로 이루어지는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 8**

제 6 항에 있어서,

상기 히터층은 W, Mo, SiC, ZrO<sub>2</sub>, MoSi<sub>2</sub> 및 NiCr으로 이루어진 그룹에서 선택된 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 9**

제 6 항에 있어서,

상기 관통공은 상기 절연층을 기판이 노출될 때까지 습식 식각함으로써 형성되는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 10**

제 6 항에 있어서,

상기 히터층은 600℃ 이상의 온도로 가열되는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 11**

기판 상에 절연층을 형성하는 단계;

상기 절연층 상에 제1 및 제2 전극과, 상기 제1 및 제2 전극을 연결하는 실리콘을 포함하는 적어도 하나의 비정질 물질층을 형성하는 단계;

상기 절연층을 식각하여 상기 비정질 물질층 하부에 관통공을 형성하는 단계; 및

상기 제1 및 제2 전극 사이에 전압을 인가하여 상기 비정질 물질층을 가열시킴으로써 상기 비정질 물질층을 폴리 실리콘층으로 결정화시키는 단계;를 포함하는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 12**

제 11 항에 있어서,

상기 제1 및 제2 전극과, 적어도 하나의 비정질 물질층을 형성하는 단계는,

상기 절연층 상에 제1 및 제2 전극을 형성하는 단계; 및

상기 절연층 상에 상기 제1 전극과 제2 전극을 연결하도록 상기 적어도 하나의 비정질 물질층을 형성하는 단계;를 포함하는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 13**

제 11 항에 있어서,

상기 제1 및 제2 전극과, 적어도 하나의 비정질 물질층을 형성하는 단계는,

상기 절연층 상에 상기 적어도 하나의 비정질 물질층을 형성하는 단계; 및

상기 비정질 물질층의 양단에 각각 연결되는 제1 및 제2 전극을 상기 절연층 상에 형성하는 단계;를 포함하는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 14**

제 11 항에 있어서,

상기 비정질 물질층은 비정질 실리콘 또는 비정질 실리콘 카바이드로 이루어지는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 15**

제 11 항에 있어서,

상기 관통공은 상기 절연층을 기판이 노출될 때까지 습식 식각함으로써 형성되는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 16**

제 11 항에 있어서,

상기 비정질 물질층은 600℃ 이상의 온도로 가열되는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 17**

기판 상에 절연층을 형성하는 단계;

상기 절연층 상에 제1 및 제2 전극과, 상기 제1 및 제2 전극을 연결하는 적어도 하나의 히터층을 형성하는 단계;

상기 절연층을 식각하여 상기 히터층 하부에 관통공을 형성하는 단계;

상기 제1 및 제2 전극 사이에 전압을 인가하여 상기 히터층을 가열시키는 단계; 및

상기 가열된 히터층 상에 폴리 실리콘층을 증착시키는 단계;를 포함하는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 18**

제 17 항에 있어서,

상기 제1 및 제2 전극과, 적어도 하나의 히터층을 형성하는 단계는,

상기 절연층 상에 제1 및 제2 전극을 형성하는 단계; 및

상기 절연층 상에 상기 제1 전극과 제2 전극을 연결하도록 상기 적어도 하나의 히터층을 형성하는 단계;를 포함하는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 19**

제 17 항에 있어서,

상기 제1 및 제2 전극과, 적어도 하나의 히터층을 형성하는 단계는,

상기 절연층 상에 상기 적어도 하나의 히터층을 형성하는 단계; 및

상기 히터층의 양단에 각각 연결되는 제1 및 제2 전극을 상기 절연층 상에 형성하는 단계;를 포함하는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 20**

제 17 항에 있어서,

상기 히터층은 W, Mo, SiC, ZrO<sub>2</sub>, MoSi<sub>2</sub> 및 NiCr으로 이루어진 그룹에서 선택된 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 21**

제 17 항에 있어서,

상기 관통공은 상기 절연층을 기판이 노출될 때까지 습식 식각함으로써 형성되는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 22**

제 17 항에 있어서,

상기 히터층은 600℃ 이상의 온도로 가열되는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 23**

제 17 항에 있어서,

상기 폴리 실리콘층의 증착은 실란(silane) 가스를 소스(source)로 사용하여 화학기상증착법(CVD)에 의하여 수행되는 것을 특징으로 하는 폴리 실리콘의 형성방법.

**청구항 24**

기관;

상기 기관 상에 형성되는 게이트 전극;

상기 게이트 전극 상에 돌출되게 형성되는 절연층;

상기 돌출된 절연층의 상면에 형성되는 소스 전극 및 드레인 전극; 및

상기 소스 전극과 드레인 전극을 연결하도록 브릿지(bridge) 형태로 형성되는 적어도 하나의 폴리 실리콘층;을 구비하는 것을 특징으로 하는 박막 트랜지스터.

**청구항 25**

제 24 항에 있어서,

상기 적어도 하나의 폴리 실리콘층 하부에 형성된 관통공의 내벽에는 산화막이 더 형성되는 것을 특징으로 하는 박막 트랜지스터.

**청구항 26**

제 24 항에 있어서,

상기 적어도 하나의 폴리 실리콘층 하부에 형성된 관통공을 채우도록 산화막이 더 형성되는 것을 특징으로 하는 박막 트랜지스터.

**청구항 27**

제 24 항에 있어서,

상기 게이트 전극은 Ni, Al, Nd, Pt, Au, Co, Ir, Cr 및 Mo 로 이루어진 그룹에서 선택된 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 박막 트랜지스터.

**청구항 28**

제 24 항에 있어서,

상기 소스 전극 및 드레인 전극은 Cr/Al, 비정질 실리콘/Al 또는 Cr/Mo 로 이루어지는 것을 특징으로 하는 박막 트랜지스터.

**청구항 29**

기관 상에 게이트 전극 및 절연층을 순차적으로 형성하는 단계;

상기 절연층 상에 소스 전극 및 드레인 전극을 형성하는 단계;

상기 절연층 상에 상기 소스 전극과 드레인 전극을 연결하도록 적어도 하나의 히터층을 형성하는 단계;

상기 적어도 하나의 히터층 상에 실리콘을 포함하는 비정질 물질층을 형성하는 단계;

상기 절연층을 식각하여 상기 히터층 하부에 관통공을 형성하는 단계;

상기 소스 전극 및 드레인 전극 사이에 전압을 인가하여 상기 히터층을 가열시킴으로써 상기 비정질 물질층을 폴리 실리콘층으로 결정화시키는 단계; 및

상기 노출된 히터층을 식각하여 제거하는 단계;를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 30**

제 29 항에 있어서,

상기 히터층을 제거한 다음, 상기 관통공의 내벽에 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 31**

제 29 항에 있어서,

상기 히터층을 제거한 다음, 상기 관통공을 채우도록 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 32**

제 29 항에 있어서,

상기 히터층은 W, Mo, SiC, ZrO<sub>2</sub>, MoSi<sub>2</sub> 및 NiCr으로 이루어진 그룹에서 선택된 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 33**

제 29 항에 있어서,

상기 비정질 물질층은 비정질 실리콘 또는 비정질 실리콘 카바이드로 이루어지는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 34**

제 29 항에 있어서,

상기 관통공은 상기 절연층을 게이트 전극이 노출될 때까지 습식 식각함으로써 형성되는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 35**

제 29 항에 있어서,

상기 히터층은 600℃ 이상의 온도로 가열되는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 36**

기판 상에 게이트 전극 및 절연층을 순차적으로 형성하는 단계;

상기 절연층 상에 실리콘을 포함하는 적어도 하나의 비정질 물질층을 형성하는 단계;

상기 적어도 하나의 비정질 물질층 상에 히터층을 형성하는 단계;

상기 히터층의 양단에 각각 연결되는 소스 전극 및 드레인 전극을 상기 절연층 상에 형성하는 단계;

상기 절연층을 식각하여 상기 비정질 물질층 하부에 관통공을 형성하는 단계;

상기 소스 전극 및 드레인 전극 사이에 전압을 인가하여 상기 히터층을 가열시킴으로써 상기 비정질 물질층을 폴리 실리콘층으로 결정화시키는 단계; 및

상기 노출된 히터층을 식각하여 제거하는 단계;를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 37**

제 36 항에 있어서,

상기 히터층을 제거한 다음, 상기 관통공의 내벽에 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 38**

제 36 항에 있어서,

상기 히터층을 제거한 다음, 상기 관통공을 채우도록 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 39**

제 36 항에 있어서,

상기 비정질 물질층은 비정질 실리콘 또는 비정질 실리콘 카바이드로 이루어지는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 40**

제 36 항에 있어서,

상기 히터층은 W, Mo, SiC, ZrO<sub>2</sub>, MoSi<sub>2</sub> 및 NiCr으로 이루어진 그룹에서 선택된 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 41**

제 36 항에 있어서,

상기 관통공은 상기 절연층을 게이트 전극이 노출될 때까지 습식 식각함으로써 형성되는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 42**

제 36 항에 있어서,

상기 히터층은 600℃ 이상의 온도로 가열되는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 43**

기관 상에 게이트 전극 및 절연층을 순차적으로 형성하는 단계;

상기 절연층 상에 소스 전극 및 드레인 전극과, 상기 소스 전극 및 드레인 전극을 연결하는 실리콘을 포함하는 적어도 하나의 비정질 물질층을 형성하는 단계;

상기 절연층을 식각하여 상기 비정질 물질층 하부에 관통공을 형성하는 단계; 및

상기 소스 전극 및 드레인 전극 사이에 전압을 인가하여 상기 비정질 물질층을 가열시킴으로써 상기 비정질 물질층을 폴리 실리콘층으로 결정화시키는 단계;를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 44**

제 43 항에 있어서,

상기 폴리 실리콘층을 형성한 다음, 상기 관통공의 내벽에 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 45**

제 43 항에 있어서,

상기 폴리 실리콘층을 형성한 다음, 상기 관통공을 채우도록 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 46**

제 43 항에 있어서,

상기 소스 전극 및 드레인 전극과, 적어도 하나의 비정질 물질층을 형성하는 단계는,  
 상기 절연층 상에 소스 전극 및 드레인 전극을 형성하는 단계; 및  
 상기 절연층 상에 상기 소스 전극과 드레인 전극을 연결하도록 상기 적어도 하나의 비정질 물질층을 형성하는 단계;를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 47**

제 43 항에 있어서,  
 상기 소스 전극 및 드레인 전극과, 적어도 하나의 비정질 물질층을 형성하는 단계는,  
 상기 절연층 상에 상기 적어도 하나의 비정질 물질층을 형성하는 단계; 및  
 상기 비정질 물질층의 양단에 각각 연결되는 소스 전극 및 드레인 전극을 상기 절연층 상에 형성하는 단계;를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 48**

제 43 항에 있어서,  
 상기 비정질 물질층은 비정질 실리콘 또는 비정질 실리콘 카바이드로 이루어지는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 49**

제 43 항에 있어서,  
 상기 관통공은 상기 절연층을 게이트 전극이 노출될 때까지 습식 식각함으로써 형성되는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 50**

제 43 항에 있어서,  
 상기 비정질 물질층은 600℃ 이상의 온도로 가열되는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 51**

기판 상에 게이트 전극 및 절연층을 순차적으로 형성하는 단계;  
 상기 절연층 상에 소스 전극 및 드레인 전극과, 상기 소스 전극 및 드레인 전극을 연결하는 적어도 하나의 히터층을 형성하는 단계;  
 상기 절연층을 식각하여 상기 히터층 하부에 관통공을 형성하는 단계;  
 상기 소스 전극 및 드레인 전극 사이에 전압을 인가하여 상기 히터층을 가열시키는 단계;  
 상기 가열된 히터층 상에 폴리 실리콘층을 증착시키는 단계; 및  
 상기 노출된 히터층을 식각하여 제거하는 단계;를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 52**

제 51 항에 있어서,  
 상기 히터층을 제거한 다음, 상기 관통공의 내벽에 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 53**

제 51 항에 있어서,  
 상기 히터층을 제거한 다음, 상기 관통공을 채우도록 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하



는 박막 트랜지스터의 제조방법.

**청구항 54**

제 51 항에 있어서,

상기 소스 전극 및 드레인 전극과, 적어도 하나의 히터층을 형성하는 단계는,

상기 절연층 상에 소스 전극 및 드레인 전극을 형성하는 단계; 및

상기 절연층 상에 상기 소스 전극과 드레인 전극을 연결하도록 상기 적어도 하나의 히터층을 형성하는 단계;를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 55**

제 51 항에 있어서,

상기 소스 전극 및 드레인 전극과, 적어도 하나의 히터층을 형성하는 단계는,

상기 절연층 상에 상기 적어도 하나의 히터층을 형성하는 단계; 및

상기 히터층의 양단에 각각 연결되는 소스 전극 및 드레인 전극을 상기 절연층 상에 형성하는 단계;를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 56**

제 51 항에 있어서,

상기 히터층은 W, Mo, SiC, ZrO<sub>2</sub>, MoSi<sub>2</sub> 및 NiCr으로 이루어진 그룹에서 선택된 적어도 하나의 물질로 이루어지는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 57**

제 51 항에 있어서,

상기 관통공은 상기 절연층을 게이트 전극이 노출될 때까지 습식 식각함으로써 형성되는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 58**

제 51 항에 있어서,

상기 히터층은 600℃ 이상의 온도로 가열되는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**청구항 59**

제 51 항에 있어서,

상기 폴리 실리콘층의 증착은 실란(silane) 가스를 소스(source)로 사용하여 화학기상증착법(CVD)에 의하여 수행되는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

<26> 본 발명은 폴리 실리콘의 형성방법, 이 폴리 실리콘을 구비하는 박막 트랜지스터 및 그 제조방법에 관한 것이다.

<27> 일반적으로 유기 발광다이오드(OLED;Organic Light Emitting Diode)나 액정 디스플레이(LCD;Liquid Crystal Display) 등과 같은 디스플레이 장치는 스위칭 소자로서 박막 트랜지스터(TFT; Thin Film Transistor)가 사용된

다.

<28> 박막 트랜지스터(TFT: Thin Film Transistor)는 게이트(gate) 전극, 소스(source) 전극, 및 드레인(drain) 전극을 구비하며, 상기 소스 전극과 드레인 전극 사이에는 반도체로 이루어진 채널(channel) 물질층이 형성되어 있다. 이러한 채널 물질층은 비정질 실리콘(amorphous silicon) 또는 폴리 실리콘(poly silicon)으로 이루어질 수 있는데, 폴리 실리콘의 전자이동도가 비정질 실리콘의 전자이동도보다 높기 때문에 소자의 고속 동작을 위해서 최근에는 박막 트랜지스터의 채널 물질로서 폴리 실리콘이 주로 이용되고 있다.

<29> 이러한 폴리 실리콘을 제조하는 방법으로는 기판 상에 비정질 실리콘을 플라즈마 화학기상증착법(PECVD; Plasma Enhanced Chemical Vapor Deposition)에 의하여 증착한 다음, 이를 결정화(crystallization)시키는 방법이 일반적으로 사용된다. 여기서, 비정질 실리콘을 결정화시키는 방법으로는 열처리(thermal annealing)법 또는 엑시머 레이저 결정화(ELC; Eximer Laser Crystallization)법이 있다. 그러나, 상기 열처리법은 일반적으로 600℃ 이상의 온도가 요구되기 때문에 유리 기판을 사용하는 액정 디스플레이(LCD)나 유기 발광다이오드(OLED)의 박막 트랜지스터(TFT)를 제조하는 데에는 적합하지 않다. 이에 대하여, 상기 엑시머 레이저 결정화법은 비교적 저온에서 결정화가 이루어진다는 점에서 장점이 있다. 이와 같이, 저온에서 결정화된 폴리 실리콘을 저온 폴리실리콘(LTPS; Low Temperature Poly Silicon)이라 한다. 그러나, 상기 엑시머 레이저 결정화법은 기판의 크기가 대형화될수록 결정화 균일도(crystallization uniformity)가 떨어지기 때문에 대면적의 액정 디스플레이(LCD)나 유기 발광다이오드(OLED)를 구현하는 데에는 어려움이 있다.

**발명이 이루고자 하는 기술적 과제**

<30> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 국부적인 가열을 통하여 폴리 실리콘을 형성하는 방법, 그리고 이러한 폴리 실리콘을 구비하는 박막 트랜지스터 및 그 제조방법을 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

- <31> 상기한 목적을 달성하기 위하여,
- <32> 본 발명의 구현예에 따른 폴리 실리콘의 형성방법은,
- <33> 기판 상에 절연층을 형성하는 단계;
- <34> 상기 절연층 상에 제1 및 제2 전극을 형성하는 단계;
- <35> 상기 절연층 상에 상기 제1 전극과 제2 전극을 연결하도록 적어도 하나의 히터층을 형성하는 단계;
- <36> 상기 적어도 하나의 히터층 상에 실리콘을 포함하는 비정질 물질층을 형성하는 단계;
- <37> 상기 절연층을 식각하여 상기 히터층 하부에 관통공을 형성하는 단계; 및
- <38> 상기 제1 및 제2 전극 사이에 전압을 인가하여 상기 히터층을 가열시킴으로써 상기 비정질 물질층을 폴리 실리콘층으로 결정화시키는 단계;를 포함한다.
- <39> 본 발명의 다른 구현예에 따른 폴리 실리콘의 형성방법은,
- <40> 기판 상에 절연층을 형성하는 단계;
- <41> 상기 절연층 상에 실리콘을 포함하는 적어도 하나의 비정질 물질층을 형성하는 단계;
- <42> 상기 적어도 하나의 비정질 물질층 상에 히터층을 형성하는 단계;
- <43> 상기 히터층의 양단에 각각 연결되는 제1 및 제2 전극을 상기 절연층 상에 형성하는 단계;
- <44> 상기 절연층을 식각하여 상기 비정질 물질층 하부에 관통공을 형성하는 단계; 및
- <45> 상기 제1 및 제2 전극 사이에 전압을 인가하여 상기 히터층을 가열시킴으로써 상기 비정질 물질층을 폴리 실리콘층으로 결정화시키는 단계;를 포함한다.
- <46> 본 발명의 또 다른 구현예에 따른 폴리 실리콘의 제조방법은,
- <47> 기판 상에 절연층을 형성하는 단계;

- <48> 상기 절연층 상에 제1 및 제2 전극과, 상기 제1 및 제2 전극을 연결하는 실리콘을 포함하는 적어도 하나의 비정질 물질층을 형성하는 단계;
- <49> 상기 절연층을 식각하여 상기 비정질 물질층 하부에 관통공을 형성하는 단계; 및
- <50> 상기 제1 및 제2 전극 사이에 전압을 인가하여 상기 비정질 물질층을 가열시킴으로써 상기 비정질 물질층을 폴리 실리콘층으로 결정화시키는 단계;를 포함한다.
- <51> 본 발명의 또 다른 구현예에 따른 폴리 실리콘의 제조방법은,
- <52> 기판 상에 절연층을 형성하는 단계;
- <53> 상기 절연층 상에 제1 및 제2 전극과, 상기 제1 및 제2 전극을 연결하는 적어도 하나의 히터층을 형성하는 단계;
- <54> 상기 절연층을 식각하여 상기 히터층 하부에 관통공을 형성하는 단계;
- <55> 상기 제1 및 제2 전극 사이에 전압을 인가하여 상기 히터층을 가열시키는 단계; 및
- <56> 상기 가열된 히터층 상에 폴리 실리콘을 증착시키는 단계;를 포함한다.
- <57> 본 발명의 또 다른 구현예에 따른 박막 트랜지스터는,
- <58> 기판;
- <59> 상기 기판 상에 형성되는 게이트 전극;
- <60> 상기 게이트 전극 상에 돌출되게 형성되는 절연층;
- <61> 상기 돌출된 절연층의 상면에 형성되는 소스 전극 및 드레인 전극; 및
- <62> 상기 소스 전극과 드레인 전극을 연결하도록 브릿지(bridge) 형태로 형성되는 적어도 하나의 폴리 실리콘층;을 구비한다.
- <63> 본 발명의 또 다른 구현예에 따른 박막 트랜지스터의 제조방법은,
- <64> 기판 상에 게이트 전극 및 절연층을 순차적으로 형성하는 단계;
- <65> 상기 절연층 상에 소스 전극 및 드레인 전극을 형성하는 단계;
- <66> 상기 절연층 상에 상기 소스 전극과 드레인 전극을 연결하도록 적어도 하나의 히터층을 형성하는 단계;
- <67> 상기 적어도 하나의 히터층 상에 실리콘을 포함하는 비정질 물질층을 형성하는 단계;
- <68> 상기 절연층을 식각하여 상기 히터층 하부에 관통공을 형성하는 단계;
- <69> 상기 소스 전극 및 드레인 전극 사이에 전압을 인가하여 상기 히터층을 가열시킴으로써 상기 비정질 물질층을 폴리 실리콘층으로 결정화시키는 단계; 및
- <70> 상기 노출된 히터층을 식각하여 제거하는 단계;를 포함한다.
- <71> 본 발명의 또 다른 구현예에 따른 박막 트랜지스터의 제조방법은,
- <72> 기판 상에 게이트 전극 및 절연층을 순차적으로 형성하는 단계;
- <73> 상기 절연층 상에 실리콘을 포함하는 적어도 하나의 비정질 물질층을 형성하는 단계;
- <74> 상기 적어도 하나의 비정질 물질층 상에 히터층을 형성하는 단계;
- <75> 상기 히터층의 양단에 각각 연결되는 소스 전극 및 드레인 전극을 상기 절연층 상에 형성하는 단계;
- <76> 상기 절연층을 식각하여 상기 비정질 물질층 하부에 관통공을 형성하는 단계;
- <77> 상기 소스 전극 및 드레인 전극 사이에 전압을 인가하여 상기 히터층을 가열시킴으로써 상기 비정질 물질층을 폴리 실리콘층으로 결정화시키는 단계; 및
- <78> 상기 노출된 히터층을 식각하여 제거하는 단계;포함한다.

- <79> 본 발명의 또 다른 구현예에 따른 박막 트랜지스터의 제조방법은,
- <80> 기판 상에 게이트 전극 및 절연층을 순차적으로 형성하는 단계;
- <81> 상기 절연층 상에 소스 전극 및 드레인 전극과, 상기 소스 전극 및 드레인 전극을 연결하는 실리콘을 포함하는 적어도 하나의 비정질 물질층을 형성하는 단계;
- <82> 상기 절연층을 식각하여 상기 비정질 물질층 하부에 관통공을 형성하는 단계; 및
- <83> 상기 소스 전극 및 드레인 전극 사이에 전압을 인가하여 상기 비정질 물질층을 가열시킴으로써 상기 비정질 물질층을 폴리 실리콘층으로 결정화시키는 단계;를 포함한다.
- <84> 본 발명의 또 다른 구현예에 따른 박막 트랜지스터의 제조방법은,
- <85> 기판 상에 게이트 전극 및 절연층을 순차적으로 형성하는 단계;
- <86> 상기 절연층 상에 소스 전극 및 드레인 전극과, 상기 소스 전극 및 드레인 전극을 연결하는 적어도 하나의 히터층을 형성하는 단계;
- <87> 상기 절연층을 식각하여 상기 히터층 하부에 관통공을 형성하는 단계;
- <88> 상기 소스 전극 및 드레인 전극 사이에 전압을 인가하여 상기 히터층을 가열시키는 단계;
- <89> 상기 가열된 히터층 상에 폴리 실리콘층을 증착시키는 단계; 및
- <90> 상기 노출된 히터층을 식각하여 제거하는 단계;를 포함한다.
- <91> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명한다. 도면에서 동일한 참조부호는 동일한 구성요소를 지칭하여, 도면상에서 각 구성요소의 크기는 편의상 과장되어 있을 수 있다.
- <92> 도 1a 내지 도 4b는 본 발명의 실시예에 따른 폴리 실리콘의 형성방법을 설명하기 위한 도면들이다.
- <93> 도 1a는 기판 상에 절연층을 형성하고, 상기 절연층 상에 제1 및 제2 전극을 형성한 상태를 도시한 평면도이며, 도 1b는 도 1a의 I-I'선을 따라 본 단면도이다. 도 1a 및 도 1b를 참조하면, 먼저 기판(110)을 준비한 다음, 상기 기판(110)의 상면에 절연층(120)을 형성한다. 여기서, 상기 기판(110)으로는 예를 들면, 유리 기판, 플라스틱 기판 또는 실리콘 기판이 사용될 수 있다. 그리고, 상기 절연층(120)은 예를 들면 실리콘 산화물로 이루어질 수 있다. 그리고, 상기 절연층(120)의 상면에 제1 및 제2 전극(131,132)을 서로 이격되도록 형성한다. 상기 제1 및 제2 전극(131,132)은 상기 절연층(120)의 상면에 도전성 금속물질을 증착한 다음, 이를 소정 형태로 패터닝함으로써 형성될 수 있다.
- <94> 도 2a는 상기 절연층(120) 상에 히터층(140)을 형성하고, 이 히터층(140) 상에 실리콘을 포함하는 비정질 물질층(150)을 형성한 상태를 도시한 평면도이며, 도 2b는 도 2a의 II-II'선을 따라 본 단면도이다. 도 2a 및 도 2b를 참조하면, 제1 및 제2 전극(131,132)이 형성된 절연층(120)의 상면에 상기 제1 전극(131)과 제2 전극(132)을 연결하도록 히터층(140)을 형성한다. 여기서, 상기 히터층(140)은 W, Mo, SiC, ZrO<sub>2</sub>, MoSi<sub>2</sub> 및 NiCr으로 이루어진 그룹에서 선택된 적어도 하나의 물질로 이루어질 수 있다. 한편, 도면에서는 히터층(140)이 하나인 경우가 도시되어 있으나, 본 실시예는 이에 한정되지 않고 두 개 이상의 히터층(140)이 상기 제1 전극(131)과 제2 전극(132)을 연결하도록 형성될 수 있다. 그리고, 상기 히터층(140)의 상면에 실리콘을 포함하는 비정질 물질층(150)을 형성한다. 여기서, 상기 비정질 물질층(150)은 비정질 실리콘(amorphous silicon) 또는 비정질 실리콘 카바이드(amorphous silicon carbide)로 이루어질 수 있다. 상기한 히터층(140) 및 비정질 물질층(150)은 제1 및 제2 전극(131,132)이 형성된 절연층 상에 히터 물질 및 실리콘을 포함하는 비정질 물질을 순차적으로 증착한 다음, 이를 소정 형태로 패터닝함으로써 형성될 수 있다.
- <95> 도 3a는 절연층(120)을 기판(110)이 노출될 때까지 식각한 상태를 도시한 평면도이며, 도 3b는 도 3a의 III-III'선을 따라 본 단면도이다. 도 3a 및 도 3b를 참조하면, 상기 절연층(120)을 기판(110)이 노출될 때까지 습식 식각하게 되면, 상기 절연층(120)은 제1 및 제2 전극(131,132)의 하부에만 남게 되며, 상기 히터층(140)의 하부에는 관통공(125)이 형성된다. 이에 따라, 상기 히터층(140) 및 비정질 물질층(150)은 제1 전극(131)과 제2 전극(132)을 연결하는 브릿지(bridge) 형태를 가지게 된다.
- <96> 도 4a 및 도 4b를 참조하면, 상기 제1 전극(131)과 제2 전극(132) 사이에 소정 전압을 인가함으로써 상기 히터층(140)을 소정 온도로 가열시키게 되면, 상기 히터층(140) 상에 형성된 비정질 물질층(150)은 결정화되어 폴리

실리콘층(160)으로 변화하게 된다. 여기서, 상기 히터층(140)은 대략 600℃ 이상의 온도로 가열될 수 있다. 이 과정에서, 상기 히터층(140) 상에 형성된 비정질 물질층(150)만 가열되므로 기판(110)은 200℃ 이하의 온도로 유지될 수 있게 된다. 한편, 도면에서는 상기 제1 및 제2 전극(131,132) 사이에 직류 전압이 인가되는 경우가 도시되어 있으나, 본 실시예는 이에 한정되지 않고 상기 제1 및 제2 전극(131,132) 사이에 교류 전압 또는 펄스 전압이 인가될 수도 있다.

<97> 도 5a 내지 도 8b는 본 발명의 다른 실시예에 따른 폴리 실리콘의 형성방법을 설명하기 위한 도면들이다.

<98> 도 5a 및 도 5b는 기판(210) 상에 절연층(220)을 형성하고, 상기 절연층(220) 상에 비정질 물질층(250) 및 히터층(240)을 순차적으로 형성한 상태를 도시한 평면도 및 단면도이다. 도 5a 및 도 5b를 참조하면, 먼저 기판(210)을 준비한 다음, 상기 기판(210)의 상면에 절연층(220)을 형성한다. 여기서, 상기 기판(210)으로는 예를 들면, 유리 기판, 플라스틱 기판 또는 실리콘 기판이 사용될 수 있다. 그리고, 상기 절연층(220)은 예를 들면 실리콘 산화물로 이루어질 수 있다. 이어서, 상기 절연층(220)의 상면에 실리콘을 포함하는 비정질 물질층(250)을 형성한다. 상기 비정질 물질층(250)은 비정질 실리콘 또는 비정질 실리콘 카바이드로 이루어질 수 있다. 도면에서는 절연층(220)의 상면에 하나의 비정질 실리콘층(250)이 형성된 경우가 도시되어 있으나, 본 실시예는 이에 한정되지 않고 두 개 이상의 비정질 실리콘층(250)이 형성될 수도 있다. 그리고, 상기 비정질 물질층(250)의 상면에 히터층(240)을 형성한다. 상기 히터층(240)은 W, Mo, SiC, ZrO<sub>2</sub>, MoSi<sub>2</sub> 및 NiCr으로 이루어진 그룹에서 선택된 적어도 하나의 물질로 이루어질 수 있다. 상기한 비정질 물질층(250) 및 히터층(240)은 상기 절연층(220) 상에 실리콘을 포함하는 비정질 물질 및 히터 물질을 순차적으로 증착한 다음, 이를 소정 형태로 패터닝함으로써 형성될 수 있다.

<99> 도 6a는 제1 및 제2 전극(231,232)이 히터층(240)의 양단에 연결되도록 형성된 상태를 도시한 평면도이며, 도 6b는 도 6a의 IV-IV'선을 따라 본 단면도이다. 도 6a 및 도 6b를 참조하면, 상기 제1 및 제2 전극(231,232)은 비정질 물질층(250) 및 히터층(240)이 형성된 절연층(220) 상에 도전성 금속물질을 증착한 다음, 이를 소정 형태로 패터닝함으로써 형성될 수 있다. 이에 따라, 상기 제1 및 제2 전극(231,232)은 상기 히터층(240)의 양단 상면에 각각 연결된다.

<100> 도 7a는 절연층(220)을 기판(210)이 노출될 때까지 식각한 상태를 도시한 평면도이며, 도 7b는 도 7a의 V-V'선을 따라 본 단면도이다. 도 7a 및 도 7b를 참조하면, 상기 절연층(220)을 기판(210)이 노출될 때까지 습식 식각하게 되면, 상기 절연층(220)은 제1 및 제2 전극(231,232)의 하부에만 남게 되며, 상기 비정질 물질층(250)의 하부에는 관통공(225)이 형성된다. 이에 따라, 상기 비정질 물질층(250) 및 히터층(240)은 제1 전극(231)과 제2 전극(232)을 연결하는 브릿지(bridge) 형태를 가지게 된다.

<101> 도 8a 및 도 8b를 참조하면, 상기 제1 전극(231)과 제2 전극(232) 사이에 소정 전압을 인가함으로써 상기 히터층(240)을 소정 온도로 가열시키게 되면, 상기 히터층(240)의 하면에 형성된 비정질 물질층(250)은 결정화되어 폴리 실리콘층(260)으로 변화하게 된다. 여기서, 상기 히터층(240)은 대략 600℃ 이상의 온도로 가열될 수 있다. 이 과정에서, 상기 히터층(240) 상에 형성된 비정질 물질층(250)만 가열되므로 기판(210)은 200℃ 이하의 온도로 유지될 수 있게 된다. 한편, 도면에서는 상기 제1 및 제2 전극(231,232) 사이에 직류 전압이 인가되는 경우가 도시되어 있으나, 본 실시예는 이에 한정되지 않고 상기 제1 및 제2 전극(231,232) 사이에 교류 전압 또는 펄스 전압이 인가될 수도 있다.

<102> 도 9a 내지 도 10b는 본 발명의 또 다른 실시예에 따른 폴리 실리콘의 형성방법을 설명하기 위한 도면들이다.

<103> 도 9a 및 도 9b를 참조하면, 먼저 기판(310)을 준비한 다음, 상기 기판(310)의 상면에 절연층(320)을 형성한다. 여기서, 상기 기판(310)으로는 예를 들면, 유리 기판, 플라스틱 기판 또는 실리콘 기판이 사용될 수 있다. 그리고, 상기 절연층(320)은 예를 들면 실리콘 산화물로 이루어질 수 있다. 그리고, 상기 절연층(320)의 상면에 제1 및 제2 전극(331,332)을 서로 이격되도록 형성한다. 이어서, 상기 절연층(320)의 상면에 제1 전극(331)과 제2 전극(332)을 연결하는 실리콘을 포함하는 비정질 물질층(350)을 형성한다. 상기 비정질 물질층(350)은 비정질 실리콘 또는 비정질 실리콘 카바이드로 이루어질 수 있다. 이러한 비정질 물질층(350)은 제1 및 제2 전극(331,332)이 형성된 절연층(320)의 상면에 실리콘을 포함하는 비정질 물질을 증착한 다음, 이를 소정 형태로 패터닝함으로써 형성될 수 있다. 한편, 도면에서는 하나의 비정질 물질층(350)이 형성된 경우가 도시되어 있으나, 본 실시예는 이에 한정되지 않고 제1 전극(331)과 제2 전극(332)을 연결하는 복수개의 비정질 물질층(350)이 형성될 수도 있다.

<104> 도 10a 및 도 10b(도 10a의 VI-VI'선을 따라 본 단면도)를 참조하면, 상기 절연층(320)을 기판(310)이 노출될

때까지 습식 식각하게 되면, 상기 절연층(320)은 제1 및 제2 전극(331,332)의 하부에만 남게 되며, 상기 비정질 물질층(350)의 하부에는 관통공이 형성된다. 이에 따라, 상기 비정질 물질층(350)은 제1 전극(331)과 제2 전극(332)을 연결하는 브릿지(bridge) 형태를 가지게 된다. 다음으로, 상기 제1 전극(331)과 제2 전극(332) 사이에 소정 전압을 인가하게 되면, 상기 비정질 물질층(350)은 소정 온도로 가열되고, 이에 따라 상기 비정질 물질층(350)은 결정화되어 폴리실리콘층(360)으로 변화하게 된다. 여기서, 상기 비정질 물질층(350)은 대략 600℃ 이상의 온도로 가열될 수 있다. 이 과정에서, 상기 비정질 물질층(350)만 가열되므로 기판은 200℃ 이하의 온도로 유지될 수 있게 된다. 한편, 도면에서는 상기 제1 및 제2 전극(331,332) 사이에 직류 전압이 인가되는 경우가 도시되어 있으나, 본 실시예는 이에 한정되지 않고 상기 제1 및 제2 전극(331,332) 사이에 교류 전압 또는 펄스 전압이 인가될 수도 있다.

<105> 이상에서는 절연층(320)의 상면에 제1 및 제2 전극(331,332)을 먼저 형성한 다음, 상기 제1 및 제2 전극(331,332)을 연결하는 비정질 물질층(350)을 형성하는 경우에 대해서 설명되었으나, 상기 절연층(320)의 상면에 비정질 물질층(350)을 먼저 형성한 다음, 상기 비정질 물질층(350)의 양단에 각각 연결되는 제1 및 제2 전극(331,332)을 형성할 수도 있다.

<106> 도 11a 내지 도 12b는 본 발명의 또 다른 실시예에 따른 폴리 실리콘의 형성방법을 설명하기 위한 도면들이다.

<107> 도 11a 및 도 11b를 참조하면, 먼저 기판(410)을 준비한 다음, 상기 기판(410)의 상면에 절연층(420)을 형성한다. 여기서, 상기 기판(410)으로는 예를 들면, 유리 기판, 플라스틱 기판 또는 실리콘 기판이 사용될 수 있다. 그리고, 상기 절연층(420)은 예를 들면 실리콘 산화물로 이루어질 수 있다. 그리고, 상기 절연층(420)의 상면에 제1 및 제2 전극(431,432)을 형성한다. 이어서, 상기 절연층(420)의 상면에 제1 전극(431)과 제2 전극(432)을 연결하도록 히터층(440)을 형성한다. 상기 히터층(440)은 W, Mo, SiC, ZrO<sub>2</sub>, MoSi<sub>2</sub> 및 NiCr으로 이루어진 그룹에서 선택된 적어도 하나의 물질로 이루어질 수 있다. 이러한 히터층(440)은 제1 및 제2 전극(431,432)이 형성된 절연층(420)의 상면에 히터 물질을 증착한 다음, 이를 소정 형태로 패터닝함으로써 형성될 수 있다. 한편, 도면에서는 히터층(440)이 하나인 경우가 도시되어 있으나, 본 실시예는 이에 한정되지 않고 두 개 이상의 히터층(440)이 상기 제1 전극(431)과 제2 전극(432)을 연결하도록 형성될 수 있다.

<108> 도 12a 및 도 12b를 참조하면, 상기 절연층(420)을 기판(410)이 노출될 때까지 습식 식각하게 되면, 상기 절연층(420)은 제1 및 제2 전극(431,432)의 하부에만 남게 되며, 상기 히터층(440)의 하부에는 관통공(425)이 형성된다. 이에 따라, 상기 히터층(440)은 제1 전극(431)과 제2 전극(432)을 연결하는 브릿지(bridge) 형태를 가지게 된다. 다음으로, 상기 제1 전극(431)과 제2 전극(432) 사이에 소정 전압을 인가하여 히터층(440)을 소정 온도로 가열시킨다. 여기서, 상기 히터층(440)은 대략 600℃ 이상의 온도로 가열될 수 있다. 도면에서는 상기 제1 및 제2 전극(431,432) 사이에 직류 전압이 인가되는 경우가 도시되어 있으나, 본 실시예는 이에 한정되지 않고 상기 제1 및 제2 전극(431,432) 사이에 교류 전압 또는 펄스 전압이 인가될 수도 있다. 그리고, 히터층(440)이 가열된 상태에서 실란(silane) 가스를 소스(source)로 사용하여 화학기상증착법(CVD; Chemical Vapor Deposition), 구체적으로 저압 화학기상증착법(LPCVD: Low Pressure Chemical Vapor Deposition)에 의하여 상기 히터층(440) 상에 실리콘을 증착시키게 되면, 도 13a 및 도 13b에 도시된 바와 같이 상기 히터층(440) 상에 폴리실리콘층(460)이 형성된다.

<109> 이상에서는 절연층(420)의 상면에 제1 및 제2 전극(431,432)을 먼저 형성한 다음, 상기 제1 및 제2 전극(431,432)을 연결하는 히터층(440)을 형성하는 경우에 대해서 설명되었으나, 상기 절연층(420)의 상면에 히터층(440)을 먼저 형성한 다음, 상기 히터층(440)의 양단에 각각 연결되는 제1 및 제2 전극(431,432)을 형성할 수도 있다.

<110> 이상의 실시예들에서 살펴본 바와 같이, 제1 전극과 제2 전극을 연결하는 히터층 및/또는 비정질 실리콘층 만이 선택적으로 가열되어 폴리 실리콘층을 형성함으로써 열에 취약한 기판, 예를 들면 유리 기판이 사용되는 경우에도 기판이 온도에 의하여 변형될 염려가 없게 된다.

<111> 이하에서는 전술한 폴리 실리콘의 형성방법에 의하여 형성된 폴리 실리콘을 구비한 박막 트랜지스터(TFT; Thin Film Transistor)에 대하여 설명하기로 한다.

<112> 도 14a는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터를 도시한 평면도이며, 도 14b는 도 14a의 VII-VII' 선을 따라 본 단면도이다. 도 14a 및 도 14b를 참조하면, 기판(510)의 상면에 게이트 전극(570)이 형성되어 있다. 여기서, 상기 기판(510)으로는 예를 들면, 유리 기판, 플라스틱 기판 또는 실리콘 기판이 사용될 수 있다. 상기 게이트 전극(570)은 예를 들면, Ni, Al, Nd, Pt, Au, Co, Ir, Cr 및 Mo 로 이루어진 그룹에서 선택된 적

어도 하나의 물질로 이루어질 수 있다. 상기 게이트 전극(570)의 상면에는 절연층(520)이 돌출된 형태로 형성되어 있다. 이러한 절연층(520)은 예를 들면 실리콘 산화물로 이루어질 수 있다. 그리고, 돌출된 절연층(520)의 상면에는 각각 소스(source) 전극(531) 및 드레인(drain) 전극(532)이 형성되어 있다. 이러한 소스 전극(531) 및 드레인 전극(532)은 예를 들면, Cr/Al, 비정질 실리콘/Al 또는 Cr/Mo 으로 이루어질 수 있다. 상기 소스 전극(531) 및 드레인 전극(532) 사이에는 폴리 실리콘층(560)이 소스 전극(531) 및 드레인 전극(532)을 연결하도록 형성되어 있다. 구체적으로, 상기 폴리 실리콘층(560)은 그 양단의 하면이 각각 소스 전극(531) 및 드레인 전극(532)의 상면에 연결되도록 형성되어 있다. 이에 따라, 상기 폴리 실리콘층(560)은 소스 전극(531) 및 드레인 전극(532)을 연결하는 브릿지(bridge) 형태를 가지게 되며, 상기 폴리 실리콘층(560)의 하부에는 관통공(525)이 형성된다. 상기와 같은 박막 트랜지스터에서는 관통공(525)내에 존재하는 공기(air)가 게이트 절연막을 구성하게 된다. 한편, 도면에서는 하나의 폴리 실리콘층(560)이 소스 전극(531) 및 드레인 전극(532)을 연결하도록 형성되어 있는 경우가 도시되어 있지만, 본 실시예에는 이에 한정되지 않고 복수 개의 폴리 실리콘층(560)이 소스 전극(531) 및 드레인 전극(532)을 연결하도록 형성될 수도 있다.

<113> 도 15는 도 14a 및 도 14b에 도시된 박막 트랜지스터의 변형예를 도시한 것이다. 도 15를 참조하면, 도 14a 및 도 14b에 도시된 박막 트랜지스터의 전 표면에는 산화막(580)이 형성되어 있다. 상기 산화막(580)은 예를 들면, 실리콘 산화물로 이루어질 수 있다. 이에 따라, 상기 폴리 실리콘층(560) 하부의 관통공(도 14b의 525) 내벽에도 산화막(580)이 형성되며, 이 산화막(580) 및 상기 산화막(580)의 안쪽에 존재하는 공기가 게이트 절연막을 구성하게 된다. 한편, 상기 산화막(580)은 폴리 실리콘층(580) 하부의 관통공(525)을 채우도록 형성될 수도 있다. 이 경우, 상기 관통공(525)을 채우는 산화막(580)이 게이트 절연막을 구성하게 된다.

<114> 도 16a는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터를 도시한 평면도이며, 도 16b는 도 14a의 VIII-VIII' 선을 따라 본 단면도이다. 이하에서는 전술한 실시예와 다른 점을 중심으로 설명하기로 한다. 도 16a 및 도 16b를 참조하면, 기판(610)에 게이트 전극(670)이 형성되어 있으며, 상기 게이트 전극(670)의 상면에는 절연층(620)이 돌출된 형태로 형성되어 있다. 그리고, 돌출된 절연층(620)의 상면에는 각각 소스(source) 전극(631) 및 드레인(drain) 전극(632)이 형성되어 있다. 상기 소스 전극(631) 및 드레인 전극(632) 사이에는 폴리 실리콘층(660)이 소스 전극(631) 및 드레인 전극(632)을 연결하도록 형성되어 있다. 여기서, 상기 폴리 실리콘층(660)은 전술한 실시예와는 달리 그 양단의 상면이 각각 소스 전극(631) 및 드레인 전극(632)의 하면에 연결되도록 형성되어 있다. 이에 따라, 상기 폴리 실리콘층(660)은 소스 전극(631) 및 드레인 전극(632)을 연결하는 브릿지(bridge) 형태를 가지게 되며, 상기 폴리 실리콘층(660)의 하부에는 관통공(625)이 형성된다. 본 실시예에 따른 박막 트랜지스터에서는 상기 관통공(625) 내에 존재하는 공기(air)가 게이트 절연막을 구성하게 된다. 한편, 도면에서는 하나의 폴리 실리콘층(660)이 소스 전극(631) 및 드레인 전극(632)을 연결하도록 형성되어 있는 경우가 도시되어 있지만, 본 실시예에는 이에 한정되지 않고 복수 개의 폴리 실리콘층(660)이 소스 전극(631) 및 드레인 전극(632)을 연결하도록 형성될 수도 있다.

<115> 도 17은 도 16a 및 도 16b에 도시된 박막 트랜지스터의 변형예를 도시한 것이다. 도 17을 참조하면, 도 16a 및 도 16b에 도시된 박막 트랜지스터의 전 표면에는 산화막(680)이 형성되어 있다. 이에 따라, 상기 폴리 실리콘층(660) 하부의 관통공(도 16b의 625) 내벽에도 산화막(680)이 형성되며, 이 산화막(680) 및 상기 산화막(680)의 안쪽에 존재하는 공기가 게이트 절연막을 구성하게 된다. 한편, 상기 산화막(680)은 폴리 실리콘층(660) 하부의 관통공(625)을 채우도록 형성될 수도 있다. 이 경우, 상기 관통공(625)을 채우는 산화막(680)이 게이트 절연막을 구성하게 된다.

<116> 이하에서는 전술한 박막 트랜지스터를 제조하는 방법에 대하여 설명하기로 한다.

<117> 도 18a 내지 도 22는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터의 제조방법을 설명하기 위한 도면들이다.

<118> 도 18a 및 도 18b를 참조하면, 먼저 기판(710)을 준비한다. 상기 기판(710)으로는 예를 들면, 유리 기판, 플라스틱 기판 또는 실리콘 기판이 사용될 수 있다. 그리고, 상기 기판(710)의 상면에 게이트 전극(770)을 형성한다. 상기 게이트 전극(770)은 예를 들면, Ni, Al, Nd, Pt, Au, Co, Ir, Cr 및 Mo 로 이루어진 그룹에서 선택된 적어도 하나의 물질로 이루어질 수 있다. 이러한 게이트 전극(770)은 상기 기판(710)의 상면에 전술한 물질을 증착한 다음, 이를 소정 형태로 패터닝함으로써 형성될 수 있다. 이어서, 상기 게이트 전극(770)의 상면에 절연층(720)을 형성한다. 상기 절연층(720)은 예를 들면 실리콘 산화물로 이루어질 수 있다. 다음으로, 상기 절연층(720)의 상면에 소스 전극(731) 및 드레인 전극(732)을 형성한다. 상기 소스 전극(731) 및 드레인 전극(732)은 예를 들면, Cr/Al, 비정질 실리콘/Al 또는 Cr/Mo 으로 이루어질 수 있다. 이러한 소스 전극(732) 및 드

레인 전극(732)은 상기 절연층(720)의 상면에 전술한 물질을 증착한 다음, 이를 소정 형태로 패터닝함으로써 형성될 수 있다.

<119> 이어서, 소스 전극(731) 및 드레인 전극(732)이 형성된 절연층(720)의 상면에 상기 소스 전극(731)과 드레인 전극(732)을 연결하도록 히터층(740)을 형성한다. 여기서, 상기 히터층(740)은 후술하는 히터층(740)의 식각 공정에서 소정의 식각액에 의하여 히터층(740)만 선택적으로 식각될 수 있는 물질로 이루어질 수 있다. 예를 들면, 상기 히터층(740)은 W, Mo, SiC, ZrO<sub>2</sub>, MoSi<sub>2</sub> 및 NiCr으로 이루어진 그룹에서 선택된 적어도 하나의 물질로 이루어질 수 있다. 한편, 도면에서는 히터층(740)이 하나인 경우가 도시되어 있으나, 본 실시예는 이에 한정되지 않고 두 개 이상의 히터층(740)이 상기 소스 전극(731)과 드레인 전극(732)을 연결하도록 형성될 수 있다. 그리고, 상기 히터층(740)의 상면에 실리콘을 포함하는 비정질 물질층(750)을 형성한다. 여기서, 상기 비정질 물질층(750)은 비정질 실리콘 또는 비정질 실리콘 카바이드로 이루어질 수 있다. 상기한 히터층(740) 및 비정질 물질층(750)은 소스 전극(731) 및 드레인 전극(732)이 형성된 절연층(720) 상에 히터 물질 및 실리콘을 포함하는 비정질 물질을 순차적으로 증착한 다음, 이를 소정 형태로 패터닝함으로써 형성될 수 있다.

<120> 도 19a는 상기 절연층(720)을 게이트 전극(770)이 노출될 때까지 식각한 상태를 도시한 평면도이며, 도 19b는 도 19a의 IX-IX' 선을 따라 본 단면도이다. 도 19a 및 도 19b를 참조하면, 상기 절연층(720)을 게이트 전극(770)이 노출될 때까지 습식 식각하게 되면, 상기 절연층(720)은 소스 전극(731) 및 드레인 전극(732)의 하부에만 남게 되며, 상기 히터층(740)의 하부에는 관통공(725)이 형성된다. 이에 따라, 상기 히터층(740) 및 비정질 물질층(750)은 소스 전극(731)과 드레인 전극(732)을 연결하는 브릿지(bridge) 형태를 가지게 된다.

<121> 도 20a 및 도 20b를 참조하면, 상기 소스 전극(731)과 드레인 전극(732) 사이에 소정 전압을 인가함으로써 상기 히터층(740)을 소정 온도로 가열시키게 되면, 상기 히터층(740) 상에 형성된 비정질 물질층(750)은 결정화되어 폴리 실리콘층(760)으로 변화하게 된다. 여기서, 상기 히터층(740)은 대략 600℃ 이상의 온도로 가열될 수 있다. 이 과정에서, 상기 히터층(740) 상에 형성된 비정질 물질층(750)만 가열되므로 기관(710)은 200℃ 이하의 온도로 유지될 수 있게 된다. 한편, 도면에서는 상기 소스 전극(731)과 드레인 전극(732) 사이에 직류 전압이 인가되는 경우가 도시되어 있으나, 본 실시예는 이에 한정되지 않고 상기 소스 전극(731)과 드레인 전극(732) 사이에 교류 전압 또는 펄스 전압이 인가될 수도 있다.

<122> 도 21a 및 도 21b를 참조하면, 외부에 노출된 히터층(740)을 식각하여 제거한다. 이러한 히터층(740)의 식각 공정에서, 상기 히터층(740)은 식각 선택성을 가지는 물질로 이루어져 있으며, 상기 히터층(740)만 소정의 식각액에 의하여 선택적으로 식각될 수 있다. 상기와 같은 공정을 통하여 박막 트랜지스터가 완성된다. 여기서, 관통공(725)내에 존재하는 공기(air)가 게이트 절연막을 구성하게 된다.

<123> 한편, 본 실시예에서는 도 22에 도시된 공정이 더 포함될 수 있다. 즉, 도 22를 참조하면, 도 21a 및 도 21b에 도시된 구조물의 전 표면에 산화막(780)을 형성한다. 이에 따라, 폴리 실리콘층(760) 하부의 관통공(725) 내벽에도 산화막(780)이 형성되며, 이 산화막(780) 및 상기 산화막(780)의 안쪽에 존재하는 공기가 게이트 절연막을 구성하게 된다. 한편, 상기 산화막(780)은 폴리 실리콘층(760) 하부의 관통공(725)을 채우도록 형성될 수도 있다. 이 경우, 상기 관통공(725)을 채우는 산화막(780)이 게이트 절연막을 구성하게 된다.

<124> 도 23a 내지 도 28은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터의 제조방법을 설명하기 위한 도면들이다.

<125> 도 23a 및 도 23b를 참조하면, 먼저 기관(810)을 준비한 다음, 상기 기관(810)의 상면에 게이트 전극(870)을 형성한다. 그리고, 상기 게이트 전극(870)의 상면에 절연층(820)을 형성한다. 상기 기관, 게이트 전극(870) 및 절연층(820)은 전술하였으므로, 이에 대한 상세한 설명은 생략한다. 이어서, 상기 절연층(820)의 상면에 실리콘을 포함하는 비정질 물질층(850)을 형성한다. 상기 비정질 물질층(850)은 비정질 실리콘 또는 비정질 실리콘 카바이드로 이루어질 수 있다. 도면에서는 절연층(820)의 상면에 하나의 비정질 실리콘층(850)이 형성된 경우가 도시되어 있으나, 본 실시예는 이에 한정되지 않고 두 개 이상의 비정질 실리콘층(850)이 형성될 수도 있다. 그리고, 상기 비정질 물질층(850)의 상면에 히터층(840)을 형성한다. 상기 히터층(840)은 후술하는 히터층(840)의 식각 공정에서 소정의 식각액에 의하여 히터층(840)만 선택적으로 식각될 수 있는 물질로 이루어질 수 있다. 예를 들면, 상기 히터층(840)은 W, Mo, SiC, ZrO<sub>2</sub>, MoSi<sub>2</sub> 및 NiCr으로 이루어진 그룹에서 선택된 적어도 하나의 물질로 이루어질 수 있다. 상기한 비정질 물질층(850) 및 히터층(840)은 상기 절연층(820) 상에 실리콘을 포함하는 비정질 물질 및 히터 물질을 순차적으로 증착한 다음, 이를 소정 형태로 패터닝함으로써 형성될 수 있다.

<126> 도 24a 및 도 24b를 참조하면, 절연층(820) 상에 소스 전극(831)과 드레인 전극(832)을 히터층(840)의 양단에



각각 연결되도록 형성한다. 상기 소스 전극(831) 및 드레인 전극(832)은 비정질 물질층(850) 및 히터층(840)이 형성된 절연층(820) 상에 도전성 금속물질을 증착한 다음, 이를 소정 형태로 패터닝함으로써 형성될 수 있다. 이에 따라, 상기 소스 전극(831) 및 드레인 전극(832)은 상기 히터층(840)의 양단 상면에 각각 연결된다.

<127> 도 25a는 상기 절연층(820)을 게이트 전극(870)이 노출될 때까지 식각한 상태를 도시한 평면도이며, 도 25b는 도 25a의 X-X'선을 따라 본 단면도이다. 도 25a 및 도 25b를 참조하면, 상기 절연층(820)을 게이트 전극(870)이 노출될 때까지 습식 식각하게 되면, 상기 절연층(820)은 소스 전극(831) 및 드레인 전극(832)의 하부에만 남게 되며, 상기 비정질 물질층(850)의 하부에는 관통공(825)이 형성된다. 이에 따라, 상기 비정질 물질층(850) 및 히터층(840)은 소스 전극(831)과 드레인 전극(832)을 연결하는 브릿지(bridge) 형태를 가지게 된다.

<128> 도 26a 및 도 26b를 참조하면, 상기 소스 전극(831)과 드레인 전극(832) 사이에 소정 전압을 인가함으로써 상기 히터층(840)을 소정 온도로 가열시키게 되면, 상기 히터층(840)의 하면에 형성된 비정질 물질층(850)은 결정화되어 폴리 실리콘층(860)으로 변화하게 된다. 여기서, 상기 히터층(840)은 대략 600℃ 이상의 온도로 가열될 수 있다. 이 과정에서, 상기 히터층(840) 상에 형성된 비정질 물질층(850)만 가열되므로 기판(810)은 200℃ 이하의 온도로 유지될 수 있게 된다. 한편, 도면에서는 상기 소스 전극(831)과 드레인 전극(832) 사이에 직류 전압이 인가되는 경우가 도시되어 있으나, 본 실시예는 이에 한정되지 않고 상기 소스 전극(831)과 드레인 전극(832) 사이에 교류 전압 또는 펄스 전압이 인가될 수도 있다.

<129> 도 27a 및 도 27b를 참조하면, 외부에 노출된 히터층(840)을 식각하여 제거한다. 이러한 히터층(840)의 식각 공정에서, 상기 히터층(840)은 식각 선택성을 가지는 물질로 이루어져 있으며, 상기 히터층(840)만 소정의 식각액에 의하여 선택적으로 식각될 수 있다. 상기와 같은 공정을 통하여 박막 트랜지스터가 완성된다. 여기서, 관통공(825)내에 존재하는 공기(air)가 게이트 절연막을 구성하게 된다.

<130> 한편, 본 실시예에서는 도 28에 도시된 공정이 더 포함될 수 있다. 즉, 도 28를 참조하면, 도 27a 및 도 27b에 도시된 구조물의 전 표면에 산화막(880)을 형성한다. 이에 따라, 폴리 실리콘층(860) 하부의 관통공(825) 내벽에도 산화막(880)이 형성되며, 이 산화막(880) 및 상기 산화막(880)의 안쪽에 존재하는 공기가 게이트 절연막을 구성하게 된다. 한편, 상기 산화막(880)은 폴리 실리콘층(860) 하부의 관통공(825)을 채우도록 형성될 수도 있다. 이 경우, 상기 관통공(825)을 채우는 산화막(880)이 게이트 절연막을 구성하게 된다.

<131> 도 29a 내지 도 31은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터의 제조방법을 설명하기 위한 도면들이다.

<132> 도 29a 및 도 29b를 참조하면, 먼저 기판(910)을 준비한 다음, 상기 기판(910)의 상면에 게이트 전극(970)을 형성한다. 그리고, 상기 게이트 전극(970)의 상면에 절연층(920)을 형성한 다음, 상기 절연층(920)의 상면에 소스 전극(931)과 드레인 전극(932)을 형성한다. 상기 기판(910), 게이트 전극(970), 절연층(920), 소스 전극(931) 및 드레인 전극(932)은 진술하였으므로, 이에 대한 상세한 설명은 생략한다. 이어서, 상기 절연층(920)의 상면에 상기 소스 전극(931)과 드레인 전극(932)을 연결하는 실리콘을 포함하는 비정질 물질층(950)을 형성한다. 상기 비정질 물질층(950)은 비정질 실리콘 또는 비정질 실리콘 카바이드로 이루어질 수 있다. 이러한 비정질 물질층(950)은 소스 전극(931) 및 드레인 전극(932)이 형성된 절연층(920)의 상면에 실리콘을 포함하는 비정질 물질을 증착한 다음, 이를 소정 형태로 패터닝함으로써 형성될 수 있다. 한편, 도면에서는 하나의 비정질 물질층(950)이 형성된 경우가 도시되어 있으나, 본 실시예는 이에 한정되지 않고 소스 전극(931)과 드레인 전극(932)을 연결하는 복수개의 비정질 물질층(950)이 형성될 수도 있다.

<133> 도 30a 및 도 30b(도 30a의 XI-XI'선을 따라 본 단면도)를 참조하면, 상기 절연층(920)을 게이트 전극(970)이 노출될 때까지 습식 식각하게 되면, 상기 절연층(920)은 소스 전극(931) 및 드레인 전극(932)의 하부에만 남게 되며, 상기 비정질 물질층(950)의 하부에는 관통공(925)이 형성된다. 이에 따라, 상기 비정질 물질층(950)은 소스 전극(931)과 드레인 전극(932)을 연결하는 브릿지(bridge) 형태를 가지게 된다. 다음으로, 상기 소스 전극(931)과 드레인 전극(932) 사이에 소정 전압을 인가하게 되면, 상기 비정질 물질층(950)은 소정 온도로 가열되고, 이에 따라 상기 비정질 물질층(950)은 결정화되어 폴리 실리콘층(960)으로 변화하게 된다. 여기서, 상기 비정질 물질층(950)은 대략 600℃ 이상의 온도로 가열될 수 있다. 이 과정에서, 상기 비정질 물질층(950)만 가열되므로 기판(910)은 200℃ 이하의 온도로 유지될 수 있게 된다. 한편, 도면에서는 상기 소스 전극(931) 및 드레인 전극(932) 사이에 직류 전압이 인가되는 경우가 도시되어 있으나, 본 실시예는 이에 한정되지 않고 상기 소스 전극(931)과 드레인 전극(932) 사이에 교류 전압 또는 펄스 전압이 인가될 수도 있다.

<134> 이상에서는 절연층(920)의 상면에 소스 전극(931) 및 드레인 전극(932)을 먼저 형성한 다음, 상기 소스 전극

(931)과 드레인 전극(932)을 연결하는 비정질 물질층(950)을 형성하는 경우에 대해서 설명되었으나, 상기 절연층(920)의 상면에 비정질 물질층(950)을 먼저 형성한 다음, 상기 비정질 물질층(950)의 양단에 각각 연결되는 소스 전극(931) 및 드레인 전극(932)을 형성할 수도 있다. 상기와 같은 공정을 통하여 박막 트랜지스터가 완성된다. 여기서, 관통공 (925)내에 존재하는 공기(air)가 게이트 절연막을 구성하게 된다.

<135> 한편, 본 실시예에서는 도 31에 도시된 공정이 더 포함될 수 있다. 즉, 도 31을 참조하면, 도 30a 및 도 30b에 도시된 구조물의 전 표면에 산화막(980)을 형성한다. 이에 따라, 폴리 실리콘층(960) 하부의 관통공(925) 내벽에도 산화막(980)이 형성되며, 이 산화막(980) 및 상기 산화막(980)의 안쪽에 존재하는 공기가 게이트 절연막을 구성하게 된다. 한편, 상기 산화막(980)은 폴리 실리콘층(960) 하부의 관통공(925)을 채우도록 형성될 수도 있다. 이 경우, 상기 관통공(925)을 채우는 산화막(980)이 게이트 절연막을 구성하게 된다.

<136> 도 32a 내지 도 36은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터의 제조방법을 설명하기 위한 도면들이다.

<137> 도 32a 및 도 32b를 참조하면, 먼저 기판(1010)을 준비한 다음, 상기 기판(1010)의 상면에 게이트 전극(1070)을 형성한다. 그리고, 상기 게이트 전극(1070)의 상면에 절연층(1020)을 형성한 다음, 상기 절연층(1020)의 상면에 소스 전극(1031)과 드레인 전극(1032)을 형성한다. 상기 기판(1010), 게이트 전극(1070), 절연층(1020), 소스 전극(1031) 및 드레인 전극(1032)은 전술하였으므로, 이에 대한 상세한 설명은 생략한다. 이어서, 상기 절연층(1020)의 상면에 상기 소스 전극(1031)과 드레인 전극(1032)을 연결하도록 히터층(1040)을 형성한다. 상기 히터층(1040)은 후술하는 히터층(1040)의 식각 공정에서 소정의 식각액에 의하여 히터층(1040)만 선택적으로 식각될 수 있는 물질로 이루어질 수 있다. 예를 들면, 상기 히터층(1040)은 W, Mo, SiC, ZrO<sub>2</sub>, MoSi<sub>2</sub> 및 NiCr으로 이루어진 그룹에서 선택된 적어도 하나의 물질로 이루어질 수 있다. 이러한 히터층(1040)은 소스 전극(1031) 및 드레인 전극(1032)이 형성된 절연층(1020)의 상면에 히터 물질을 증착한 다음, 이를 소정 형태로 패터닝함으로써 형성될 수 있다. 한편, 도면에서는 히터층(1040)이 하나인 경우가 도시되어 있으나, 본 실시예는 이에 한정되지 않고 두 개 이상의 히터층(1040)이 상기 제1 전극(1031)과 제2 전극(1032)을 연결하도록 형성될 수 있다.

<138> 도 33a 및 도 33b(도 33a의 XII-XII' 선을 따라 본 단면도)를 참조하면, 상기 절연층(1020)을 게이트 전극(1070)이 노출될 때까지 습식 식각하게 되면, 상기 절연층(1020)은 소스 전극(1031) 및 드레인 전극(1032)의 하부에만 남게 되며, 상기 히터층(1040)의 하부에는 관통공(1025)이 형성된다. 이에 따라, 상기 히터층(1040)은 소스 전극(1031)과 드레인 전극(1032)을 연결하는 브릿지(bridge) 형태를 가지게 된다. 다음으로, 상기 소스 전극(1031)과 드레인 전극(1032) 사이에 소정 전압을 인가하여 히터층(1040)을 소정 온도로 가열시킨다. 여기서, 상기 히터층(1040)은 대략 600℃ 이상의 온도로 가열될 수 있다. 도면에서는 상기 소스 전극(1031)과 드레인 전극(1032) 사이에 직류 전압이 인가되는 경우가 도시되어 있으나, 본 실시예는 이에 한정되지 않고 상기 소스 전극(1031)과 드레인 전극(1032) 사이에 교류 전압 또는 펄스 전압이 인가될 수도 있다. 그리고, 히터층(1040)이 가열된 상태에서 실란(silane) 가스를 소스(source)로 사용하여 화학기상증착법(CVD; Chemical Vapor Deposition), 구체적으로 저압 화학기상증착법(LPCVD: Low Pressure Chemical Vapor Deposition)에 의하여 상기 히터층(1040) 상에 실리콘을 증착시키게 되면, 도 34a 및 도 34b에 도시된 바와 같이 상기 히터층(1040) 상에 폴리 실리콘층(1060)이 형성된다.

<139> 다음으로, 도 35a 및 도 35b를 참조하면, 외부에 노출된 히터층(1040)을 식각하여 제거한다. 이러한 히터층(1040)의 식각 공정에서, 상기 히터층(1040)은 식각 선택성을 가지는 물질로 이루어져 있으며, 상기 히터층(1040)만 소정의 식각액에 의하여 선택적으로 식각될 수 있다.

<140> 이상에서는 절연층(1020)의 상면에 소스 전극(1031) 및 드레인 전극(1032)을 먼저 형성한 다음, 상기 소스 전극(1031)과 드레인 전극(1032)을 연결하는 히터층(1040)을 형성하는 경우에 대해서 설명되었으나, 상기 절연층(1020)의 상면에 히터층(1040)을 먼저 형성한 다음, 상기 히터층(1040)의 양단에 각각 연결되는 소스 전극(1031) 및 드레인 전극(1032)을 형성할 수도 있다. 상기와 같은 공정을 통하여 박막 트랜지스터가 완성된다. 여기서, 관통공 (1025)내에 존재하는 공기(air)가 게이트 절연막을 구성하게 된다.

<141> 한편, 본 실시예에서는 도 36에 도시된 공정이 더 포함될 수 있다. 즉, 도 36을 참조하면, 도 35a 및 도 35b에 도시된 구조물의 전 표면에 산화막(1080)을 형성한다. 이에 따라, 폴리 실리콘층(1060) 하부의 관통공(1025) 내벽에도 산화막(1080)이 형성되며, 이 산화막(1080) 및 상기 산화막(1080)의 안쪽에 존재하는 공기가 게이트 절연막을 구성하게 된다. 한편, 상기 산화막(1080)은 폴리 실리콘층(1060) 하부의 관통공(1025)을 채우도록 형성될 수도 있다. 이 경우, 상기 관통공(1025)을 채우는 산화막(1080)이 게이트 절연막을 구성하게 된다.

<142> 이상의 실시예들에서 살펴본 바와 같이, 소스 전극과 드레인 전극을 연결하는 히터층 및/또는 비정질 실리콘층만이 선택적으로 가열되어 폴리 실리콘층을 형성함으로써 열에 취약한 기판, 예를 들면 유리 기판이 사용되는 경우에도 기판이 온도에 의하여 변형될 염려가 없게 된다.

<143> 이상에서 본 발명에 따른 바람직한 실시예가 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위에 의해서 정해져야 할 것이다.

**발명의 효과**

<144> 이상에서 살펴본 바와 같이, 본 발명에 의하면 전극들을 연결하는 브릿지 형태의 히터층 및/또는 비정질 물질층만을 선택적으로 가열하여 폴리 실리콘을 형성함으로써 기판을 200℃ 이하의 저온으로 유지할 수 있다. 따라서, 액정 디스플레이(LCD)나 유기 발광다이오드(OLED) 등에 일반적으로 사용되는 유리 기판 상에도 기판이 변형됨이 없이 박막 트랜지스터를 용이하게 제조할 수 있다. 또한, 유기 발광다이오드, 액정 디스플레이 등과 같은 디스플레이 장치를 대면적으로 구현할 수 있게 된다.

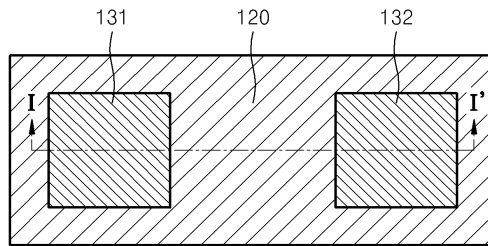
**도면의 간단한 설명**

- <1> 도 1a 내지 도 4b는 본 발명의 실시예에 따른 폴리 실리콘의 형성방법을 설명하기 위한 도면들이다.
- <2> 도 5a 내지 도 8b는 본 발명의 다른 실시예에 따른 폴리 실리콘의 형성방법을 설명하기 위한 도면들이다.
- <3> 도 9a 내지 도 10b는 본 발명의 또 다른 실시예에 따른 폴리 실리콘의 형성방법을 설명하기 위한 도면들이다.
- <4> 도 11a 내지 도 13b는 본 발명의 또 다른 실시예에 따른 폴리 실리콘의 형성방법을 설명하기 위한 도면들이다.
- <5> 도 14a 및 도 14b는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터를 도시한 평면도 및 단면도이다.
- <6> 도 15는 도 14a 및 도 14b에 도시된 본 발명의 또 다른 실시예에 따른 박막 트랜지스터의 변형예를 도시한 단면도이다.
- <7> 도 16a 및 도 16b는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터를 도시한 평면도 및 단면도이다.
- <8> 도 17은 도 16a 및 도 16b에 도시된 본 발명의 또 다른 실시예에 따른 박막 트랜지스터의 변형예를 도시한 단면도이다.
- <9> 도 18a 내지 도 22는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터의 제조방법을 설명하기 위한 도면들이다.
- <10> 도 23a 내지 도 28은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터의 제조방법을 설명하기 위한 도면들이다.
- <11> 도 29a 내지 도 31은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터의 제조방법을 설명하기 위한 도면들이다.
- <12> 도 32a 내지 도 36은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터의 제조방법을 설명하기 위한 도면들이다.
- <13> <도면의 주요 부분에 대한 부호의 설명>
- <14> 110, 210, 310, 410, 510, 610, 710, 810, 910, 1010... 기판
- <15> 120, 220, 320, 420, 520, 620, 720, 820, 920, 1020... 절연층
- <16> 125, 225, 325, 425, 525, 625, 725, 825, 925, 1025... 관통공
- <17> 131, 231, 331, 431... 제1 전극
- <18> 132, 232, 332, 432... 제2 전극
- <19> 140, 240, 440, 740, 840, 1040... 히터층
- <20> 150, 250, 350, 750, 850, 950... 실리콘을 포함하는 비정질 물질층

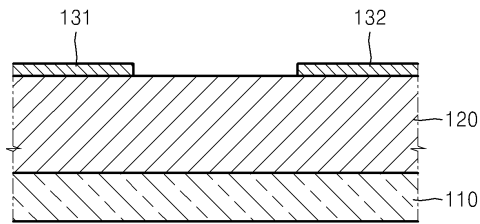
- <21> 160,260,360,460,560,660,760,860,960,1060... 폴리 실리콘층
- <22> 531,631,731,831,931,1031... 소스 전극
- <23> 532,632,732,832,932,1032... 드레인 전극
- <24> 570,670,770,870,970,1070... 게이트 전극
- <25> 580,680,780,880,980,1080... 산화막

도면

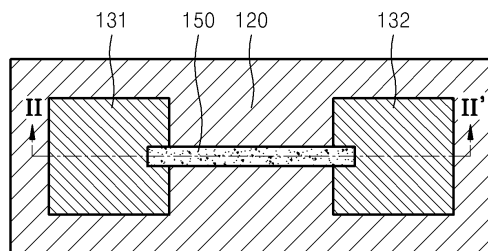
도면1a



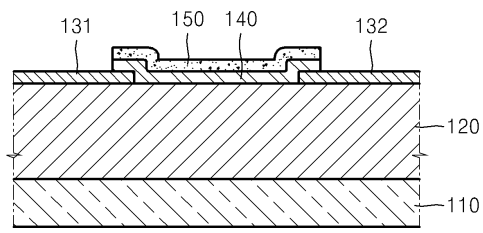
도면1b



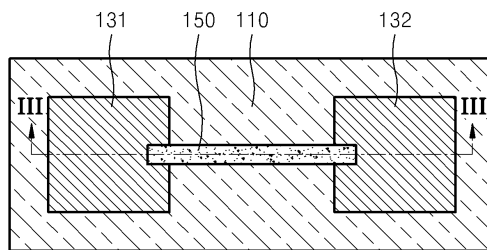
도면2a



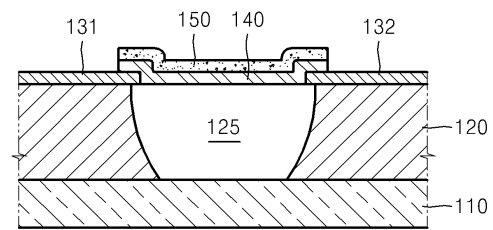
도면2b



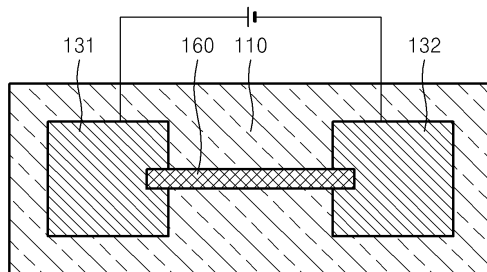
도면3a



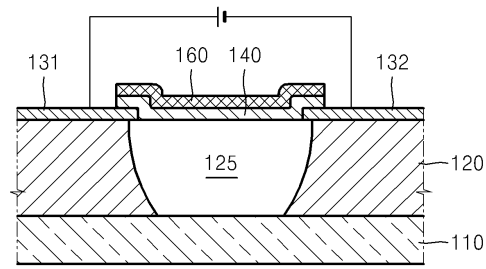
도면3b



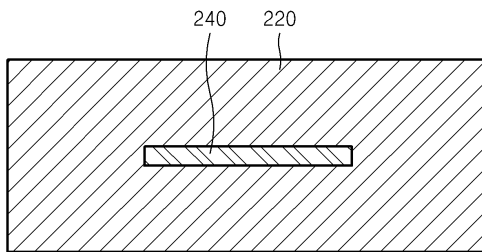
도면4a



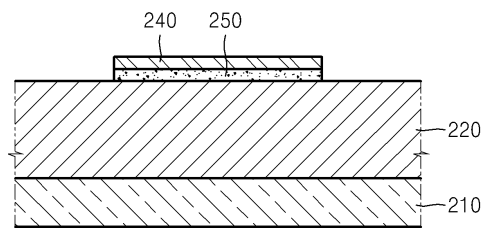
도면4b



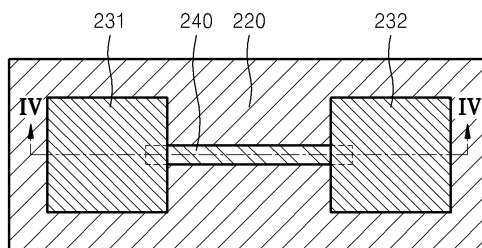
도면5a



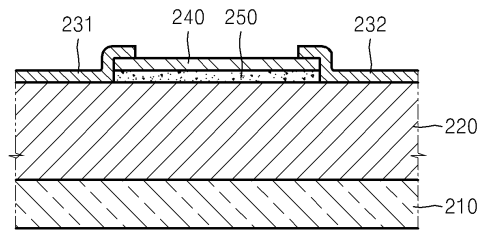
도면5b



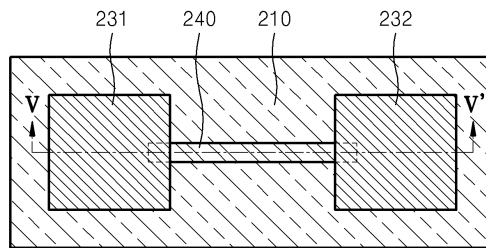
도면6a



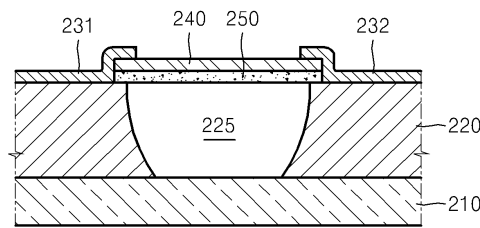
도면6b



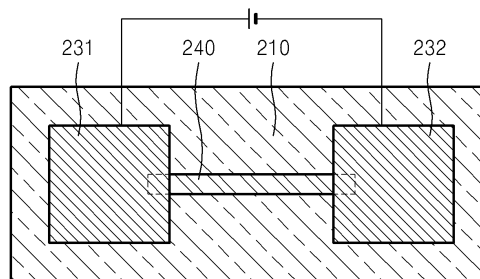
도면7a



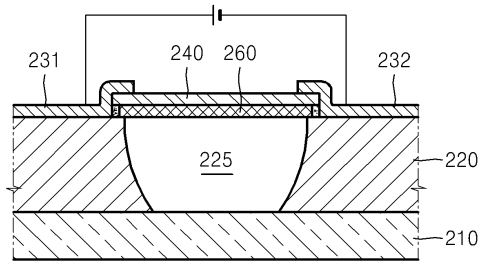
도면7b



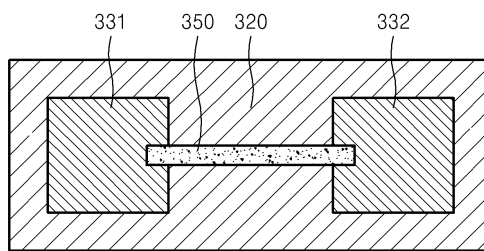
도면8a



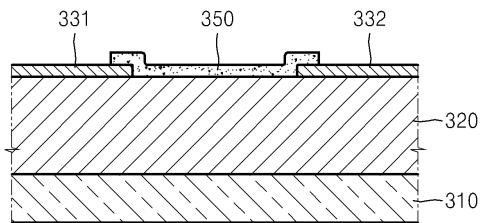
도면8b



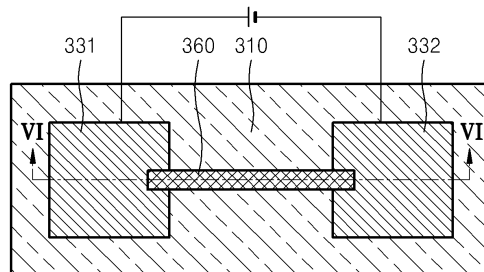
도면9a



도면9b

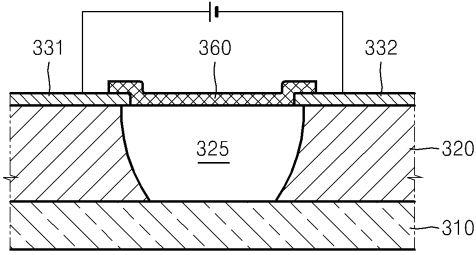


도면10a

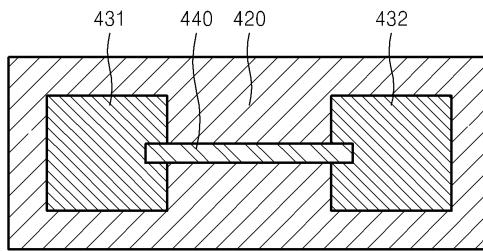




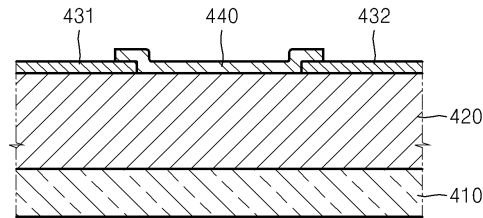
도면10b



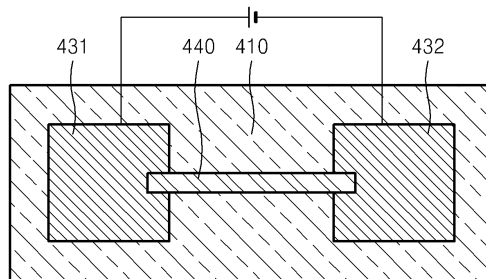
도면11a



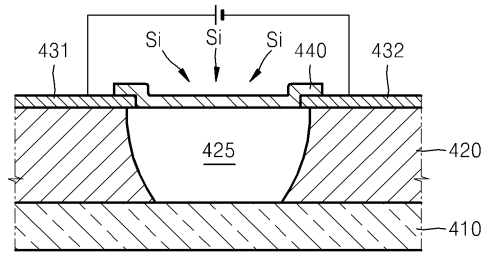
도면11b



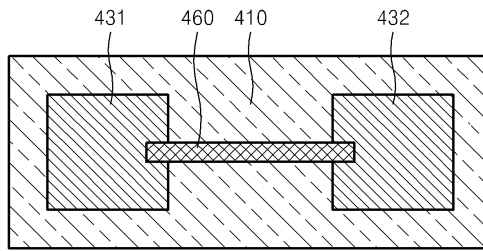
도면12a



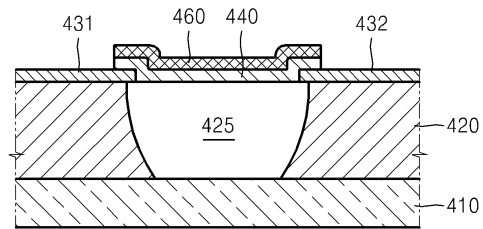
도면12b



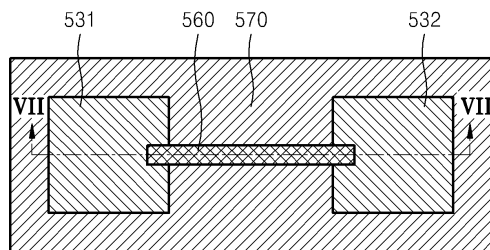
도면13a



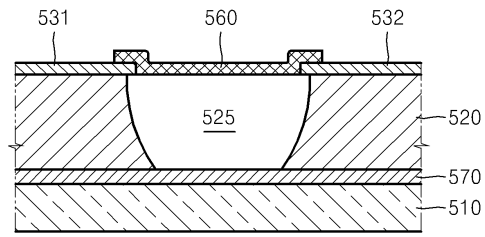
도면13b



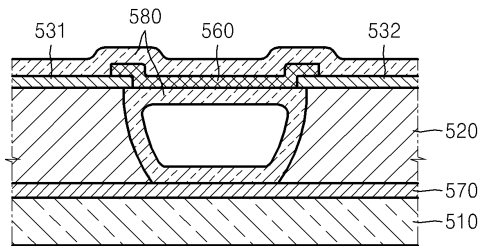
도면14a



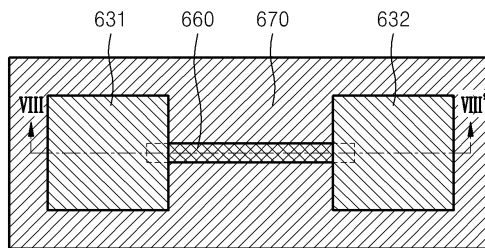
도면14b



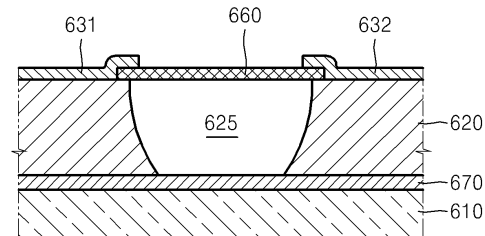
도면15



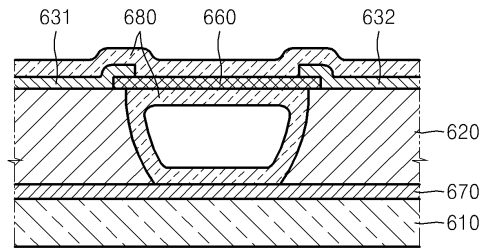
도면16a



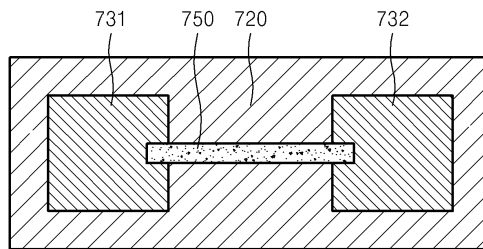
도면16b



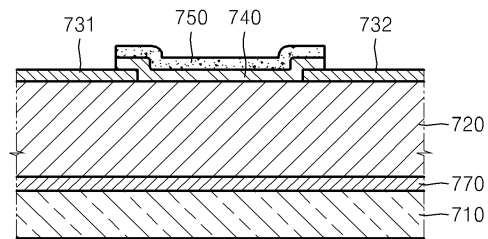
도면17



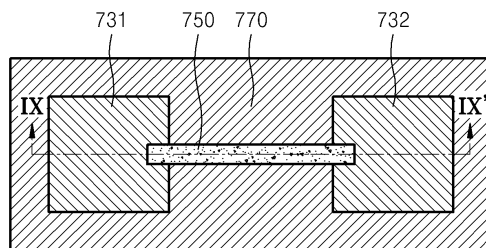
도면18a



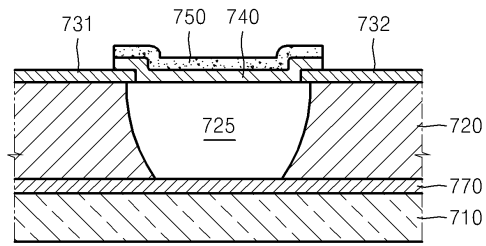
도면18b



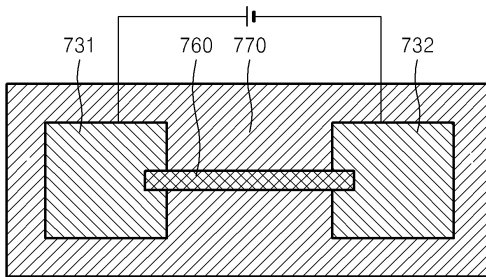
도면19a



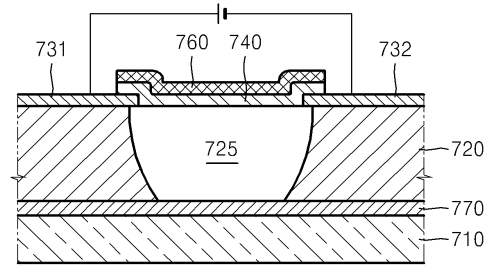
도면19b



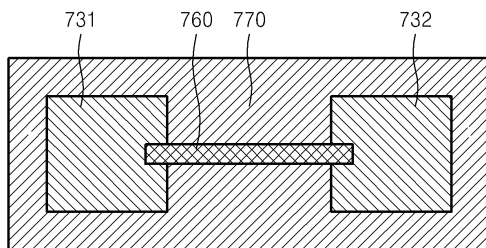
도면20a



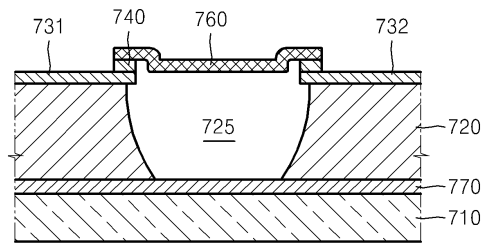
도면20b



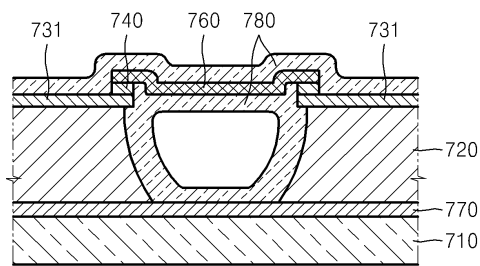
도면21a



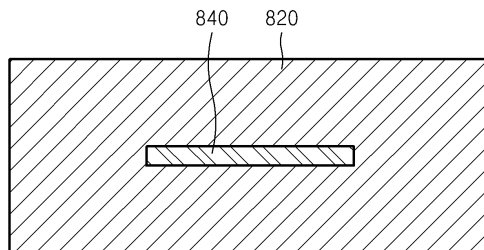
도면21b



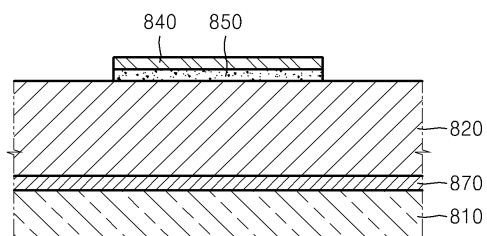
도면22



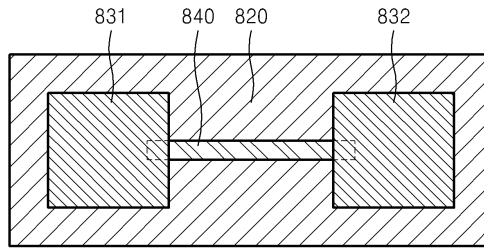
도면23a



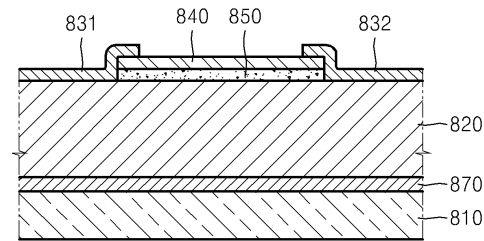
도면23b



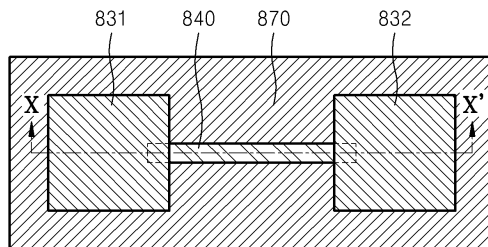
도면24a



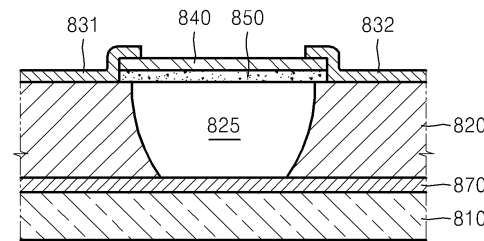
도면24b



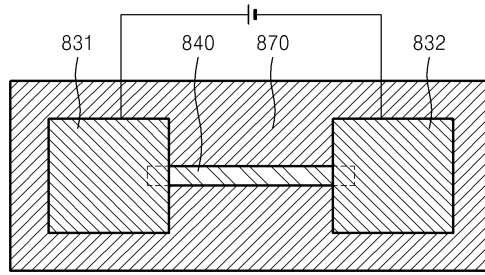
도면25a



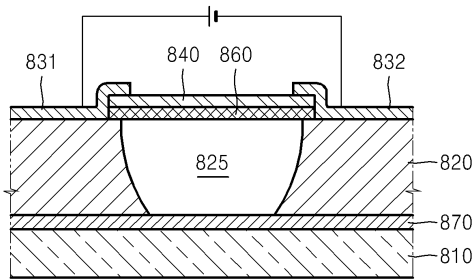
도면25b



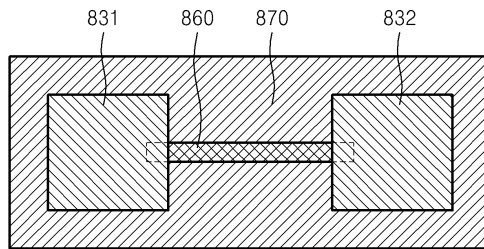
도면26a



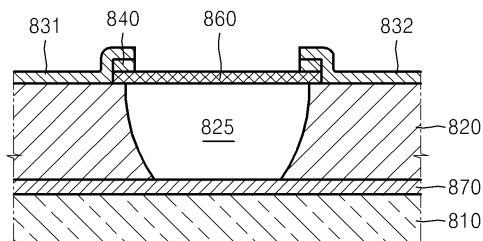
도면26b



도면27a

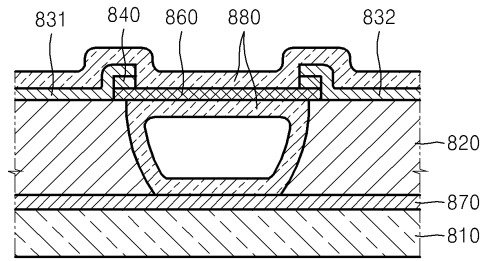


도면27b

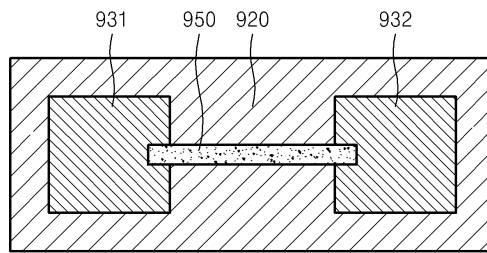




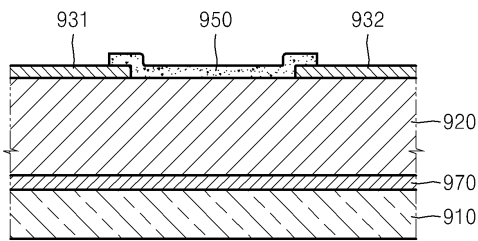
도면28



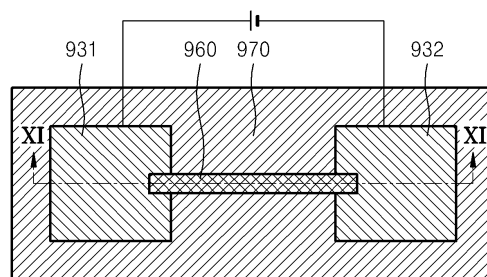
도면29a



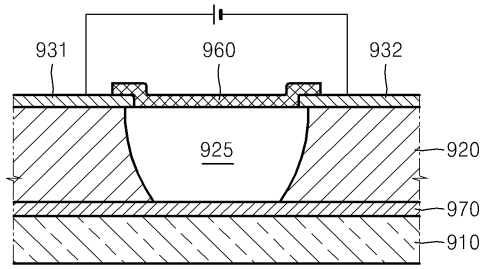
도면29b



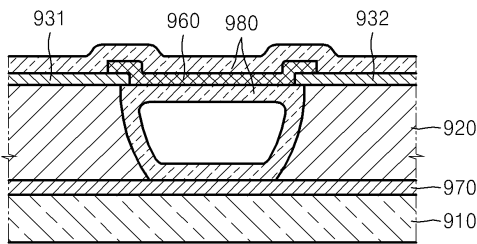
도면30a



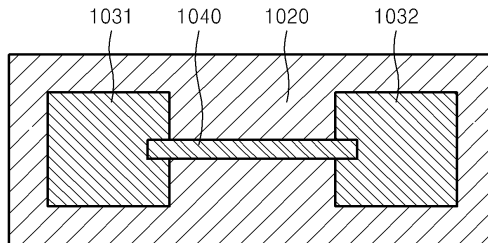
도면30b



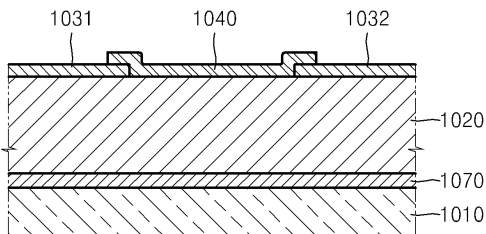
도면31



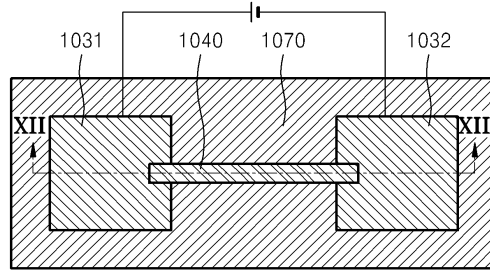
도면32a



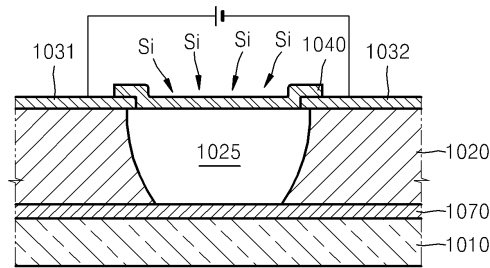
도면32b



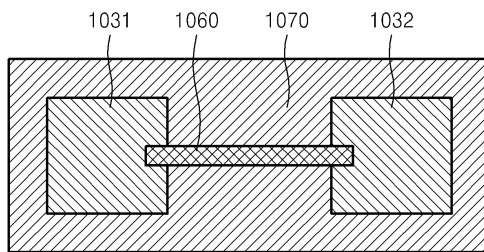
도면33a



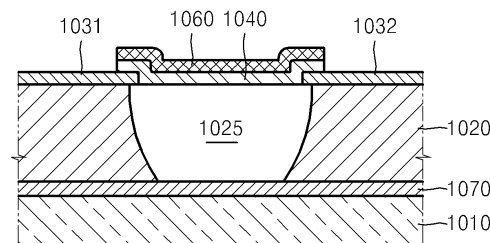
도면33b



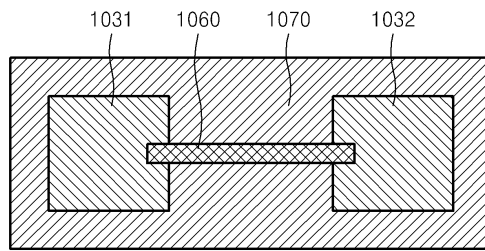
도면34a



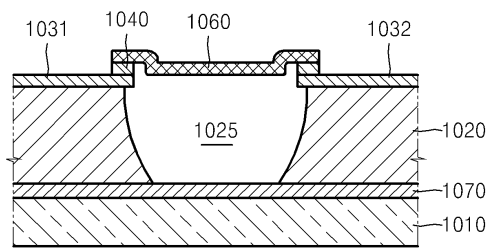
도면34b



도면35a



도면35b



도면36

