

【特許請求の範囲】**【請求項 1】**

入力端子から入力された入力電圧を所定の電圧に変換して出力端子から出力電圧として出力する電源回路において、

制御電極に入力された制御信号に応じた動作を行って、前記出力電圧の制御を行う出力トランジスタと、

所定の基準電圧と前記出力電圧に比例した帰還電圧との電圧差を増幅して出力する誤差増幅回路を有し、該誤差増幅回路から出力される誤差電圧を基にして、前記出力電圧が前記所定の電圧で一定になるように前記出力トランジスタの動作制御を行う制御回路部と、を備え、

前記制御回路部は、前記入力電圧と前記誤差増幅回路の所定の入力端との間に接続されたハイパスフィルタを備えることを特徴とする電源回路。

【請求項 2】

前記ハイパスフィルタは、コンデンサと抵抗が直列に接続されてなることを特徴とする請求項 1 記載の電源回路。

【請求項 3】

前記出力トランジスタは、制御電極に入力された制御信号に応じてスイッチングを行い、

前記出力トランジスタのスイッチングによって前記入力電圧による充電が行われるインダクタと、

前記出力トランジスタがオフして遮断状態になったときに前記インダクタの放電を行う整流素子と、を備え、

前記制御回路部は、前記誤差増幅回路から出力される誤差電圧を基に、前記出力電圧が前記所定の電圧で一定になるように前記出力トランジスタのスイッチング制御を行うことを特徴とする請求項 1 又は 2 記載の電源回路。

【請求項 4】

前記制御回路部は、前記入力電圧を降圧して前記出力電圧が前記所定の電圧で一定になるように前記出力トランジスタのスイッチング制御を行うことを特徴とする請求項 3 記載の電源回路。

【請求項 5】

前記制御回路部は、前記入力電圧を昇圧して前記出力電圧が前記所定の電圧で一定になるように前記出力トランジスタのスイッチング制御を行うことを特徴とする請求項 3 記載の電源回路。

【請求項 6】

前記制御回路部は、前記入力電圧を変換して前記出力電圧が所定の負電圧で一定になるように前記出力トランジスタのスイッチング制御を行うことを特徴とする請求項 3 記載の電源回路。

【請求項 7】

前記出力トランジスタは、制御電極に入力された制御信号に応じた電流を前記入力端子から前記出力端子に出力し、前記制御回路部は、前記誤差増幅回路から出力された誤差電圧を前記出力トランジスタの制御電極に出力することを特徴とする請求項 1 又は 2 記載の電源回路。

【請求項 8】

制御電極に入力された制御信号に応じた動作を行って、出力端子から出力する出力電圧の制御を行う出力トランジスタを備え、入力端子から入力された入力電圧を所定の電圧に変換して前記出力端子から出力する電源回路の動作制御方法において、

所定の基準電圧と前記出力電圧に比例した帰還電圧との電圧差を増幅して出力する誤差増幅回路から出力される誤差電圧を基にして、前記出力電圧が前記所定の電圧で一定になるように前記出力トランジスタの動作制御を行い、

10

20

30

40

50

ハイパスフィルタを介して、前記入力電圧の電圧変動を前記誤差増幅回路の所定の入力端に入力することを特徴とする電源回路の動作制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、小型電子機器に使用する電源回路に関し、特に入力電圧が急変した場合における出力電圧の過渡応答特性を改善することができる電源回路及びその動作制御方法に関する。

【背景技術】

【0002】

図5は、従来電源回路の回路例を示した図である（例えば、特許文献1参照。）。

図5の電源回路100では、誤差増幅回路101は所定の基準電圧 V_{ref} と帰還電圧 V_{fb} との電圧差を増幅して誤差電圧 V_e を生成し出力する。誤差電圧 V_e は、利得1のバッファ回路103を介して出力トランジスタM101のゲートに入力される。このため、出力トランジスタM101は、帰還電圧 V_{fb} が基準電圧 V_{ref} に等しくなるように、出力する電流を制御して出力電圧 V_{out} の制御を行う。

【0003】

すなわち、出力電圧 V_{out} が低下して帰還電圧 V_{fb} が低下すると、誤差増幅回路101からの誤差電圧 V_e が低下し、出力トランジスタM101のゲート電圧を引き下げる。すると、出力トランジスタM101のオン抵抗が減少し、出力電圧 V_{out} が引き上げられる。逆に、出力電圧 V_{out} が上昇して帰還電圧 V_{fb} が上昇すると、誤差電圧 V_e が上昇し、出力トランジスタM101のゲート電圧を引き上げる。すると、出力トランジスタM101のオン抵抗が増大し、出力電圧 V_{out} が引き下げられる。このような動作を行うことにより、出力電圧 V_{out} が所定の電圧になるように制御される。出力コンデンサC0は、出力端子OUTに接続された負荷（図示せず）に流れる電流の高周波成分による出力電圧 V_{out} の変動を抑制し、出力電圧 V_{out} を安定させる働きをする。

【0004】

次に、抵抗R103とコンデンサC101の働きについて説明する。

抵抗R103とコンデンサC101は、入力電圧 V_{in} の急激な変動に対する出力電圧 V_{out} の応答速度を改善する働きを行う。

抵抗R103とコンデンサC101がない場合、入力電圧 V_{in} が急激に低下すると、入力電圧 V_{in} の該低下に応じて直ちに出力トランジスタM101のオン抵抗を小さくしないと、出力電圧 V_{out} が低下するため、出力トランジスタM101のゲート電圧を更に低下させる必要がある。しかし、抵抗R101と演算増幅回路101の非反転入力端とを接続する配線には、図示しないが浮遊容量が存在するため、帰還電圧 V_{fb} は出力電圧 V_{out} の低下よりも遅れて低下する。更に、誤差増幅回路101による遅延も加わり、誤差増幅回路101の出力電圧が低下するまでに時間がかかってしまい、この間に出力電圧 V_{out} は大きく低下してしまう。

【0005】

このようなことから、抵抗R103とコンデンサC101を追加することにより、入力電圧 V_{in} が急激に低下すると、該電圧低下がコンデンサC101と抵抗R103を介して瞬時に誤差増幅回路101の出力端に伝達されて誤差増幅回路101の出力電圧を低下させる。このため、帰還電圧 V_{fb} の低下を待つことなく、出力トランジスタM101のゲート電圧を低下させることができ、出力電圧 V_{out} の低下を抑制することができる。入力電圧 V_{in} が急激に上昇した場合においては、前記と逆の動作を行うことによって、出力電圧 V_{out} の上昇を抑制することができる。

【特許文献1】特開2007-249712号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

10

20

30

40

50

しかし、図5では、抵抗R103とコンデンサC101の直列回路が、誤差増幅回路101の出力端に接続されているため、コンデンサC101の容量を小さくすることができなかつた。抵抗R103とコンデンサC101を追加することによって改善できるのは、入力電圧 V_{in} の変動の高周波成分だけであり、該変動の低周波成分については、帰還電圧 V_{fb} の変化を誤差増幅回路101を介して出力トランジスタM101のゲートに伝えるループ回路で対処することができる。このようなことから、抵抗R103とコンデンサC101で改善させる前記変動の最低周波数は、前記ループ回路で対処することができない周波数以上になるようにすればよい。該周波数は、誤差増幅回路101の周波数特性や、前記配線の浮遊容量等で決まるため個々の回路で異なっていた。

【0007】

また、コンデンサC101と抵抗R103の直列回路を通して改善することができる入力電圧 V_{in} の過渡応答周波数は、コンデンサC101と抵抗R103の積に反比例することが知られている。このため、より低周波まで改善させるようにするためには、コンデンサC101の容量を大きくするか、又は抵抗R103の抵抗値を大きくすればよいが、電源回路を半導体チップに組み込む場合、コンデンサC101の容量を大きくするとチップ面積が大きくなりコストアップの要因になるため、抵抗R103の抵抗値を大きくする方がよかった。

【0008】

しかし、抵抗R103には、等価的に誤差増幅回路101の出力インピーダンスが並列に接続されるため、誤差増幅回路101の出力インピーダンス以上の抵抗値には設定することができなかつた。また、誤差増幅回路101の出力インピーダンスを大きくすると、誤差増幅回路101による遅延が大きくなり前記ループ回路で制御することができる周波数が低下してしまうため、更にコンデンサC101と抵抗R103の直列回路のハイパス周波数を下げなくてはならず、より低い周波数まで改善させるためにはコンデンサC101の容量を大きくせざるを得なかつた。

【0009】

本発明は、このような問題を解決するためになされたものであり、誤差増幅回路101の出力インピーダンスに関係なく、改善可能な入力電圧 V_{in} の変動周波数を任意に設定することができる電源回路及びその動作制御方法を得ることを目的とする。

【課題を解決するための手段】

【0010】

この発明に係る電源回路は、入力端子から入力された入力電圧を所定の電圧に変換して出力端子から出力電圧として出力する電源回路において、

制御電極に入力された制御信号に応じた動作を行って、前記出力電圧の制御を行う出力トランジスタと、

所定の基準電圧と前記出力電圧に比例した帰還電圧との電圧差を増幅して出力する誤差増幅回路を有し、該誤差増幅回路から出力される誤差電圧を基にして、前記出力電圧が前記所定の電圧で一定になるように前記出力トランジスタの動作制御を行う制御回路部と、を備え、

前記制御回路部は、前記入力電圧と前記誤差増幅回路の所定の入力端との間に接続されたハイパスフィルタを備えるものである。

【0011】

具体的には、前記ハイパスフィルタは、コンデンサと抵抗が直列に接続されてなるようにした。

【0012】

また、前記出力トランジスタは、制御電極に入力された制御信号に応じてスイッチングを行い、

前記出力トランジスタのスイッチングによって前記入力電圧による充電が行われるインダクタと、

前記出力トランジスタがオフして遮断状態になったときに前記インダクタの放電を行う

10

20

30

40

50

整流素子と、
を備え、

前記制御回路部は、前記誤差増幅回路から出力される誤差電圧を基に、前記出力電圧が前記所定の電圧で一定になるように前記出力トランジスタのスイッチング制御を行うようにした。

【0013】

この場合、前記制御回路部は、前記入力電圧を降圧して前記出力電圧が前記所定の電圧で一定になるように前記出力トランジスタのスイッチング制御を行うようにした。

【0014】

また、前記制御回路部は、前記入力電圧を昇圧して前記出力電圧が前記所定の電圧で一定になるように前記出力トランジスタのスイッチング制御を行うようにしてもよい。

10

【0015】

また、前記制御回路部は、前記入力電圧を変換して前記出力電圧が所定の負電圧で一定になるように前記出力トランジスタのスイッチング制御を行うようにしてもよい。

【0016】

また、前記出力トランジスタは、制御電極に入力された制御信号に応じた電流を前記入力端子から前記出力端子に出力し、前記制御回路部は、前記誤差増幅回路から出力された誤差電圧を前記出力トランジスタの制御電極に出力するようにした。

【0017】

また、この発明に係る電源回路の動作制御方法は、制御電極に入力された制御信号に応じた動作を行って、出力端子から出力する出力電圧の制御を行う出力トランジスタを備え、入力端子から入力された入力電圧を所定の電圧に変換して前記出力端子から出力する電源回路の動作制御方法において、

20

所定の基準電圧と前記出力電圧に比例した帰還電圧との電圧差を増幅して出力する誤差増幅回路から出力される誤差電圧を基にして、前記出力電圧が前記所定の電圧で一定になるように前記出力トランジスタの動作制御を行い、

ハイパスフィルタを介して、前記入力電圧の電圧変動を前記誤差増幅回路の所定の入力端に入力するようにした。

【発明の効果】

【0018】

本発明の電源回路及びその動作制御方法によれば、所定の基準電圧と前記出力電圧に比例した帰還電圧との電圧差を増幅する誤差増幅回路から出力される誤差電圧を基にして、前記出力電圧が前記所定の電圧で一定になるように前記出力トランジスタの動作制御を行い、ハイパスフィルタを介して、前記入力電圧の電圧変動を前記誤差増幅回路の所定の入力端に入力するようにしたことから、誤差増幅回路の出力インピーダンスに関係なく、改善可能な入力電圧の変動周波数を任意に設定することができると共に、ハイパスフィルタを構成している抵抗とコンデンサの内、該コンデンサの容量を小さくすることができ、IC化する際に、半導体チップの面積を小さくすることができ、コストの低減を図ることができる。

30

【発明を実施するための最良の形態】

40

【0019】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第1の実施の形態。

図1は、本発明の第1の実施の形態における電源回路の回路例を示した図である。

図1において、電源回路1は、入力端子INに入力された入力電圧 V_{in} を所定の定電圧に昇圧し、出力電圧 V_{out} として出力端子OUTから出力する非同期整流型の昇圧型スイッチングレギュレータをなしている。

電源回路1は、NMOSトランジスタからなる出力トランジスタM1と、整流用のダイオードD1とを備えている。

【0020】

50

更に、電源回路1は、基準電圧発生回路2と、出力電圧検出用の抵抗 R_1 、 R_2 と、インダクタ L_1 と、出力コンデンサ C_o と、ハイパスフィルタを形成するコンデンサ C_1 及び抵抗 R_3 と、コンデンサ C_2 と、位相補償用の抵抗 R_4 及びコンデンサ C_3 と、誤差増幅回路3と、発振回路4と、PWMコンパレータ5と、バッファ回路6とを備えている。なお、図1では、スイッチングトランジスタ M_1 が出力トランジスタを、ダイオード D_1 が整流素子をそれぞれなし、基準電圧発生回路2、抵抗 $R_1 \sim R_4$ 、誤差増幅回路3、発振回路4、PWMコンパレータ5、バッファ回路6及びコンデンサ $C_1 \sim C_3$ は制御回路部をなす。また、電源回路1において、インダクタ L_1 及び出力コンデンサ C_o を除く各回路を1つのICに集積するようにしてもよく、場合によっては、スイッチングトランジスタ M_1 及びダイオード D_1 の少なくとも一方、インダクタ L_1 並びに出力コンデンサ C_o を除く各回路を1つのICに集積するようにしてもよい。

10

【0021】

基準電圧発生回路2は、所定の基準電圧 V_{ref} を生成して出力し、出力電圧検出用の抵抗 R_1 、 R_2 は、出力電圧 V_{out} を分圧して帰還電圧 V_{fb} を生成し出力する。また、誤差増幅回路3は、入力された帰還電圧 V_{fb} と基準電圧 V_{ref} との電圧差を増幅して誤差電圧 V_e を生成し出力する。

また、発振回路4は、所定の三角波信号 TW を生成して出力し、PWMコンパレータ5は、誤差増幅回路3からの誤差電圧 V_e と該三角波信号 TW からPWM制御を行うためのパルス信号 Spw を生成して出力する。パルス信号 Spw は、バッファ回路6を介して出力トランジスタ M_1 のゲートに入力される。

20

【0022】

入力端子 IN と出力トランジスタ M_1 のドレインの間にはインダクタ L_1 が接続され、出力トランジスタ M_1 のソースは接地電圧 GND に接続されている。また、インダクタ L_1 と出力トランジスタ M_1 との接続部にはダイオード D_1 のアノードが接続され、ダイオード D_1 のカソードは出力端子 OUT に接続されている。出力端子 OUT と接地電圧 GND の間には、出力コンデンサ C_o が接続されると共に、抵抗 R_2 及び R_1 が直列に接続され、抵抗 R_2 には、コンデンサ C_2 が並列に接続されている。誤差増幅回路3において、反転入力端には帰還電圧 V_{fb} が、非反転入力端には基準電圧 V_{ref} がそれぞれ入力され、出力端は、PWMコンパレータ5の非反転入力端に接続されている。

30

【0023】

入力電圧 V_{in} と誤差増幅回路3の反転入力端の間には、コンデンサ C_1 と抵抗 R_3 の直列回路からなるハイパスフィルタが接続されている。また、誤差増幅回路3の出力端と接地電圧 GND の間には、抵抗 R_4 及びコンデンサ C_3 の直列回路が接続されている。PWMコンパレータ5の反転入力端には三角波信号 TW が入力され、PWMコンパレータ5から出力されたパルス信号 Spw は、バッファ回路6を介して出力トランジスタ M_1 のゲートに入力される。

【0024】

このように、誤差増幅回路3は、基準電圧 V_{ref} と帰還電圧 V_{fb} との電圧差を増幅して誤差電圧 V_e を生成しPWMコンパレータ5の非反転入力端に出力する。PWMコンパレータ5の反転入力端には発振回路4からの三角波信号 TW が入力されており、PWMコンパレータ5は、三角波信号 TW の電圧が誤差電圧 V_e 未満の場合はハイレベルの信号を出力し、三角波信号 TW の電圧が誤差電圧 V_e 以上である場合はローレベルの信号を出力する。すなわち、PWMコンパレータ5は、誤差電圧 V_e に応じて出力するパルス信号 Spw のデューティサイクルを変化させる。

40

【0025】

出力トランジスタ M_1 は、ゲートがハイレベルのときはオンして導通状態になり、ゲートがローレベルのときはオフして遮断状態になる。出力トランジスタ M_1 がオンしているときは、入力端子 IN からインダクタ L_1 と出力トランジスタ M_1 を通して接地電圧 GND に電流が流れ、インダクタ L_1 にエネルギーが蓄積される。出力トランジスタ M_1 がオフすると、インダクタ L_1 と出力トランジスタ M_1 との接続部の電圧は、インダクタ L_1

50

の逆起電力の影響で入力電圧 V_{in} よりも高い電圧になる。また、インダクタ L_1 に蓄積されたエネルギーが、ダイオード D_1 を介して出力コンデンサ C_o を充電すると共に出力端子 OUT に接続された負荷 20 に供給される。

【0026】

出力電圧 V_{out} が低下して帰還電圧 V_{fb} が低下すると、誤差増幅回路 3 からの誤差電圧 V_e が上昇する。誤差電圧 V_e は PWM コンパレータ 5 の非反転入力端に入力されているため、誤差電圧 V_e が上昇すると PWM コンパレータ 5 から出力されたパルス信号 S_{pw} のハイレベルの時間が長くなると共にローレベルの時間が短くなる。このため、出力トランジスタ M_1 がオンする時間が長くなってインダクタ L_1 に蓄えられるエネルギーが増加することから、出力電圧 V_{out} は上昇する。逆に、出力電圧 V_{out} が上昇して帰還電圧 V_{fb} が上昇すると、誤差電圧 V_e が低下する。すると、PWM コンパレータ 5 から出力されるパルス信号 S_{pw} のハイレベルの時間が短くなると共にローレベルの時間が長くなる。このため、出力トランジスタ M_1 がオンする時間が短くなり、インダクタ L_1 に蓄えられるエネルギーも減少することから、出力電圧 V_{out} は低下する。このような動作を繰り返すことにより、出力電圧 V_{out} は所定の電圧に維持される。

10

【0027】

一方、コンデンサ C_1 と抵抗 R_3 からなるハイパスフィルタがない場合、前記のように出力電圧 V_{out} の変化を捉えてループ制御を行っているときは、制御に時間がかかり入力電圧 V_{in} の変化に対して高速な応答を行うことができない。このため、出力電圧 V_{out} の高周波成分の変動に対しては、出力コンデンサ C_o に高周波特性の良いコンデンサを使用することにより対処することができるが、入力電圧 V_{in} の高周波成分の変動に対しては対処することができず、出力電圧 V_{out} が大きく変動してしまう。このため、電源回路 1 では、入力電圧 V_{in} と誤差増幅回路 3 の反転入力端との間に、コンデンサ C_1 と抵抗 R_3 の直列回路からなるハイパスフィルタを設けている。

20

【0028】

前記のようなハイパスフィルタは、入力電圧 V_{in} の変動の内、高周波成分のみを誤差増幅回路 3 の反転入力端に伝達する。このため、入力電圧 V_{in} が変動すると、出力電圧 V_{out} が変化する前に誤差増幅回路 3 の反転入力端の電圧を変動させることができる。今、入力電圧 V_{in} が急激に低下したとすると、入力電圧 V_{in} の該変化分は、コンデンサ C_1 と抵抗 R_3 を介して誤差増幅回路 3 の反転入力端に伝えられ、反転入力端の電圧が低下する。すると、誤差電圧 V_e が上昇して PWM コンパレータ 5 から出力されるパルス信号 S_{pw} のハイレベルの時間が増加し出力電圧 V_{out} を上昇させるため、入力電圧 V_{in} の急激な低下に対して高速に応答することができる。また、入力電圧 V_{in} が急激に上昇した場合は、前記とまったく逆の動作を行って出力電圧 V_{out} を低下させることができ、やはり高速に応答することができる。

30

【0029】

従来技術の場合と異なり、誤差増幅回路 3 の入力インピーダンスは極めて大きいため、コンデンサ C_1 と抵抗 R_3 からなるハイパスフィルタの周波数特性に影響を与えることはない。なお、抵抗 R_3 には等価的に抵抗 R_1 と R_2 を並列に接続した抵抗値が並列に接続されるが、これらの抵抗の抵抗値を高抵抗に設定することができるため、抵抗 R_3 の抵抗値を大きい値に設定することができ、その分コンデンサ C_1 の容量を小さくすることができることから、半導体チップの面積を小さくしてチップのコストを低減させることができる。また、前記説明では省略したが、抵抗 R_4 とコンデンサ C_3 の直列回路は誤差増幅回路 3 の位相補償を行っており、コンデンサ C_2 は出力電圧 V_{out} の変動を高速に帰還するための働きを行っている。

40

【0030】

ここで、図 1 では電源回路 1 が昇圧型スイッチングレギュレータをなす場合を例にして示したが、降圧型スイッチングレギュレータをなすようにしてもよく、このようにした場合、図 1 の電源回路 1 は図 2 のようになる。なお、図 2 では、図 1 と同じもの又は同様のものは同じ符号で示し、ここではその説明を省略すると共に図 1 との相違点のみ説明する

50

。

図2における図1との相違点は、図1の出力トランジスタM1をPMOSトランジスタに代えると共に図1のバッファ回路6をインバータ回路7に代え、出力トランジスタM1、ダイオードD1及びインダクタL1の接続を変えたことにある。

【0031】

図2の電源回路1は、入力端子INに入力された入力電圧Vinを所定の定電圧に降圧し、出力電圧Voutとして出力端子OUTから出力する非同期整流型の降圧型スイッチングレギュレータをなしている。

図2の電源回路1は、PMOSトランジスタからなる出力トランジスタM1と、ダイオードD1と、基準電圧発生回路2と、出力電圧検出用の抵抗R1、R2と、インダクタL1と、出力コンデンサCoと、ハイパスフィルタを形成するコンデンサC1及び抵抗R3と、コンデンサC2と、位相補償用の抵抗R4及びコンデンサC3と、誤差増幅回路3と、発振回路4と、PWMコンパレータ5と、インバータ回路7とを備えている。

【0032】

なお、図2の電源回路1では、スイッチングトランジスタM1が出力トランジスタを、ダイオードD1が整流素子をそれぞれなし、基準電圧発生回路2、抵抗R1～R4、誤差増幅回路3、発振回路4、PWMコンパレータ5、インバータ回路7及びコンデンサC1～C3は制御回路部をなす。また、図2においても、インダクタL1及び出力コンデンサCoを除く各回路を1つのICに集積するようにしてもよく、場合によっては、スイッチングトランジスタM1及びダイオードD1の少なくとも一方、インダクタL1並びに出力コンデンサCoを除く各回路を1つのICに集積するようにしてもよい。

【0033】

入力端子INとダイオードD1のカソードとの間には出力トランジスタM1が接続され、ダイオードD1のアノードは接地電圧GNDに接続されている。出力トランジスタM1とダイオードD1との接続部と出力端子OUTとの間にはインダクタL1が接続されている。PWMコンパレータ5の出力端はインバータ回路7を介して出力トランジスタM1のゲートに接続されている。

【0034】

このような構成において、出力トランジスタM1は、ゲートがローレベルのときはオンして導通状態になり、ゲートがハイレベルのときはオフして遮断状態になる。出力トランジスタM1がオンしているときは、入力端子INから出力トランジスタM1とインダクタL1を介して出力コンデンサCoを充電すると共に出力端子OUTに接続された負荷20に電流を供給する。このときインダクタL1にエネルギーが蓄えられる。出力トランジスタM1がオフすると接地電圧GNDからインダクタL1を介して電流が流れ、インダクタL1に蓄えられていたエネルギーが出力端子OUTから放出される。

【0035】

ここで、出力電圧Voutが低下して帰還電圧Vfbも低下すると、誤差増幅回路3からの誤差電圧Veが上昇する。誤差電圧VeはPWMコンパレータ5の非反転入力端に入力されているため、誤差電圧Veが上昇するとPWMコンパレータ5から出力された信号のハイレベルである時間が長くなり、ローレベルである時間が短くなる。PWMコンパレータ5の出力信号がハイレベルのときは、該ハイレベルの出力信号はインバータ回路7でローレベルに反転されて出力トランジスタM1のゲートに入力され、出力トランジスタM1はオンする。

【0036】

逆に、PWMコンパレータ5の出力信号がローレベルである場合は、出力トランジスタM1はオフする。すなわち、出力電圧Voutが低下した場合は、出力トランジスタM1のオンデューティサイクルが大きくなり、インダクタL1に蓄えられるエネルギーが増加するため出力電圧Voutは上昇する。逆に、出力電圧Voutが上昇すると、出力トランジスタM1のオンデューティサイクルが小さくなり、インダクタL1に蓄えられるエネルギーが減少するため、出力電圧Voutは低下する。これ以外の各回路の動作は図1の

10

20

30

40

50

場合と同様であるのでその説明を省略する。

【0037】

また、本発明は反転型スイッチングレギュレータにも適用することができ、この場合、図3のようになる。なお、図3では、図2と同じもの又は同様のものは同じ符号で示し、ここではその説明を省略すると共に図2との相違点のみ説明する。

図3における図2との相違点は、基準電圧発生回路2をなくして、所定の定電圧V1を生成して出力する定電圧回路8と抵抗R5を追加すると共に、抵抗R1、R2、出力トランジスタM1、ダイオードD1及びインダクタL1の接続を変えたことにある。

【0038】

図3の電源回路1は、入力端子INに入力された入力電圧Vinを逆極性の所定の定電圧に変換し、出力電圧Voutとして出力端子OUTから出力する非同期整流型の反転型スイッチングレギュレータをなしている。 10

図3の電源回路1は、PMOSトランジスタからなる出力トランジスタM1と、ダイオードD1と、出力電圧検出用の抵抗R1、R2と、インダクタL1と、出力コンデンサCoと、ハイパスフィルタを形成するコンデンサC1及び抵抗R3、R5と、コンデンサC2と、位相補償用の抵抗R4及びコンデンサC3と、誤差増幅回路3と、発振回路4と、PWMコンパレータ5と、インバータ回路7と、所定の定電圧V1を生成して出力する定電圧回路8とを備えている。

【0039】

なお、図3の電源回路1では、スイッチングトランジスタM1が出力トランジスタを、ダイオードD1が整流素子をそれぞれなし、抵抗R1～R5、誤差増幅回路3、発振回路4、PWMコンパレータ5、インバータ回路7、定電圧回路8及びコンデンサC1～C3は制御回路部をなす。また、図3においても、インダクタL1及び出力コンデンサCoを除く各回路を1つのICに集積するようにしてもよく、場合によっては、スイッチングトランジスタM1及びダイオードD1の少なくとも一方、インダクタL1並びに出力コンデンサCoを除く各回路を1つのICに集積するようにしてもよい。 20

【0040】

入力端子INとダイオードD1のカソードとの間には出力トランジスタM1が接続され、ダイオードD1のアノードは出力端子OUTに接続されている。出力トランジスタM1とダイオードD1との接続部と接地電圧GNDの間にはインダクタL1が接続されている。また、出力電圧Voutと定電圧V1の間には抵抗R2と抵抗R1が直列に接続され、抵抗R2にはコンデンサC2が並列に接続されており、抵抗R2と抵抗R1との接続部は誤差増幅回路3の非反転入力端に接続されている。誤差増幅回路3の反転入力端と接地電圧GNDの間には抵抗R5が接続され、入力電圧Vinと誤差増幅回路3の反転入力端との間にはコンデンサC1と抵抗R3が直列に接続されてなるハイパスフィルタが接続されている。 30

【0041】

このような構成において、出力トランジスタM1がオンすると、入力端子INから出力トランジスタM1を介してインダクタL1に電流が流れ、インダクタL1にエネルギーが蓄えられる。出力トランジスタM1がオフすると、出力トランジスタM1とインダクタL1との接続部の電圧が、インダクタL1の逆起電力の影響で負電圧に変化する。また、インダクタL1に蓄えられていたエネルギーは接地電圧GNDから出力端子OUTに接続された負荷20を介して出力端子OUTに流れ込むため、出力電圧Voutは負電圧になる。 40

【0042】

誤差増幅回路3は、帰還電圧Vfbが、基準電圧をなす0Vになるように誤差電圧Veを出力するため、抵抗R1及びR2の各抵抗値をr1及びr2とすると、出力電圧Voutは、 $V_{out} = -V_1 \times r_2 / r_1$ になる。

ここで、出力電圧Voutが上昇して、帰還電圧Vfbが大きくなると、誤差増幅回路3からの誤差電圧Veは上昇し、出力トランジスタM1のオンデューティサイクルが大き 50

くなって出力電圧 V_{out} が低下する。逆に、出力電圧 V_{out} が低下して、帰還電圧 V_{fb} が小さくなると、誤差電圧 V_e が低下し、出力トランジスタ M_1 のオンデューティサイクルが小さくなって出力電圧 V_{out} が上昇する。

【0043】

図3では、ハイパスフィルタは、コンデンサ C_1 と抵抗 R_3 及び R_5 とで構成されている。誤差増幅回路3の反転入力端から見た場合、抵抗 R_3 と抵抗 R_5 の並列抵抗がコンデンサ C_1 と直列に接続されているのと等価である。該ハイパスフィルタの働きも、図1及び図2のハイパスフィルタと同様であり、コンデンサ C_1 の容量を小さくすることができる。

【0044】

このように、本第1の実施の形態における電源回路は、スイッチングレギュレータにおいて、入力電圧 V_{in} と誤差増幅回路3の反転入力端との間にハイパスフィルタを設けたことから、誤差増幅回路3の出力インピーダンスに関係なく、改善可能な入力電圧 V_{in} の変動周波数を任意に設定することができると共に、ハイパスフィルタを構成している抵抗とコンデンサの内、該コンデンサの容量を小さくすることができるため、IC化を行った際に、半導体チップの面積を小さくすることができ、コストの低減を図ることができる。

【0045】

第2の実施の形態。

前記第1の実施の形態では、スイッチングレギュレータを構成する場合を例にして説明したが、本発明はシリースレギュレータ等のようなリアレギュレータにも適用することができ、このようにしたものを本発明の第2の実施の形態とする。

図4は、本発明の第2の実施の形態における電源回路の回路例を示した図である。

図4において、電源回路1aは、入力端子 IN に入力された入力電圧 V_{in} を所定の定電圧に変換し、出力電圧 V_{out} として出力端子 OUT から出力するシリースレギュレータをなしている。

【0046】

電源回路1aは、PMOSトランジスタからなる出力トランジスタ M_{11} と、所定の基準電圧 V_{ref} を生成して出力する基準電圧発生回路11と、出力電圧検出用の抵抗 R_{11} 、 R_{12} と、出力コンデンサ C_o と、ハイパスフィルタを形成するコンデンサ C_{11} 及び抵抗 R_{13} と、誤差増幅回路12とを備えている。なお、電源回路1aでは、基準電圧発生回路11、抵抗 $R_{11} \sim R_{13}$ 、誤差増幅回路12及びコンデンサ C_{11} は制御回路部をなす。また、図4の電源回路1aにおいて、出力コンデンサ C_o を除く各回路を1つのICに集積するようにしてもよく、場合によっては、出力トランジスタ M_{11} 及び出力コンデンサ C_o を除く各回路を1つのICに集積するようにしてもよい。

【0047】

入力端子 IN と出力端子 OUT との間に出力トランジスタ M_{11} が接続され、出力端子 OUT と接地電圧 GND との間に、出力コンデンサ C_o が接続されると共に、抵抗 R_{12} 及び R_{11} が直列に接続されている。抵抗 R_{12} 及び R_{11} は、出力電圧 V_{out} を分圧して帰還電圧 V_{fb} を生成し出力する。誤差増幅回路12において、非反転入力端には帰還電圧 V_{fb} が、反転入力端には基準電圧 V_{ref} がそれぞれ入力され、出力端は、出力トランジスタ M_{11} のゲートに接続されている。また、入力電圧 V_{in} と誤差増幅回路12の非反転入力端との間には、コンデンサ C_{11} と抵抗 R_{13} の直列回路からなるハイパスフィルタが接続されている。

【0048】

このような構成において、誤差増幅回路12は、基準電圧 V_{ref} と帰還電圧 V_{fb} との電圧差を増幅して誤差電圧 V_e を生成し出力トランジスタ M_{11} のゲートに出力して、帰還電圧 V_{fb} が基準電圧 V_{ref} になるように出力トランジスタ M_{11} から出力される電流の制御を行う。

ここで、入力電圧 V_{in} が急激に低下すると、前記ハイパスフィルタによって誤差増幅

10

20

30

40

50

回路 1 2 の非反転入力端の電圧が直ちに低下して誤差電圧 V_e を引き下げられるため、出力トランジスタ M 1 1 のオン抵抗が減少して出力電圧 V_{out} を引き上げることができる。逆に、入力電圧 V_{in} が上昇した場合は、出力トランジスタ M 1 1 のオン抵抗を増大させて出力電圧 V_{out} を低下させることができる。

【 0 0 4 9 】

前記第 1 の実施の形態でも説明したが、抵抗 R 1 3 には等価的に抵抗 R 1 1 と抵抗 R 1 2 の並列抵抗が並列に接続されることになるが、これらの抵抗は高抵抗に設定することができるため、コンデンサ C 1 1 の容量を小さくすることができる。更に、図 5 の従来例とは異なって誤差増幅回路 1 2 の出力インピーダンスを十分に低下させることができるため、誤差増幅回路 1 2 による遅延を小さくすることができ、図 5 のバッファ回路 1 0 3 も不要になる。

10

【 0 0 5 0 】

このように、本第 2 の実施の形態における電源回路は、ハイパスフィルタを入力電圧 V_{in} と誤差増幅回路 1 2 の所定の入力端との間に接続するようにしたことから、コンデンサ C 1 1 の容量を小さくすることができるため、前記第 1 の実施の形態と同様の効果を得ることができる。

【 0 0 5 1 】

なお、前記第 1 の実施の形態では、非同期整流型のスイッチングレギュレータを例にして説明したが、これは一例であり、本発明はこれに限定するものではなく、同期整流型のスイッチングレギュレータにも適用することができる。この場合、例えば、図 1 のダイオード D 1 の代わりに P M O S トランジスタからなる同期整流用トランジスタを使用し、図 2 のダイオード D 1 の代わりに N M O S トランジスタからなる同期整流用トランジスタを使用し、図 3 のダイオード D 1 の代わりに N M O S トランジスタからなる同期整流用トランジスタを使用して、該各同期整流用トランジスタが出力トランジスタ M 1 と相反するスイッチング動作を行うように、該各同期整流用トランジスタのゲートを出力トランジスタ M 1 のゲートにそれぞれ接続するようにしてもよい。また、前記第 1 の実施の形態では、P W M 制御を行う場合のスイッチングレギュレータを例にして説明したが、これは一例であり、本発明はこれに限定するものではなく、P F M 制御等を行う場合のスイッチングレギュレータにも適用することができる。

20

【 0 0 5 2 】

このように、本発明は、出力電圧 V_{out} に比例した帰還電圧 V_{fb} を生成し、帰還電圧 V_{fb} を基に誤差増幅回路を使用して出力電圧 V_{out} が所定の電圧で一定になるように出力トランジスタの動作制御を行う構成の電源回路に対して適用することができる。

30

更に、本発明は、インダクタ L 1 に流れたインダクタ電流を検出し、該検出したインダクタ電流を基に誤差増幅回路を使用して出力電圧 V_{out} が所定の電圧で一定になるように出力トランジスタの動作制御を行う構成の電流モード制御型スイッチングレギュレータにも適用することができる。

【 図面の簡単な説明 】

【 0 0 5 3 】

【 図 1 】 本発明の第 1 の実施の形態における電源回路の回路例を示した図である。

40

【 図 2 】 本発明の第 1 の実施の形態における電源回路の他の回路例を示した図である。

【 図 3 】 本発明の第 1 の実施の形態における電源回路の他の回路例を示した図である。

【 図 4 】 本発明の第 2 の実施の形態における電源回路の回路例を示した図である。

【 図 5 】 従来電源回路の回路例を示した図である。

【 符号の説明 】

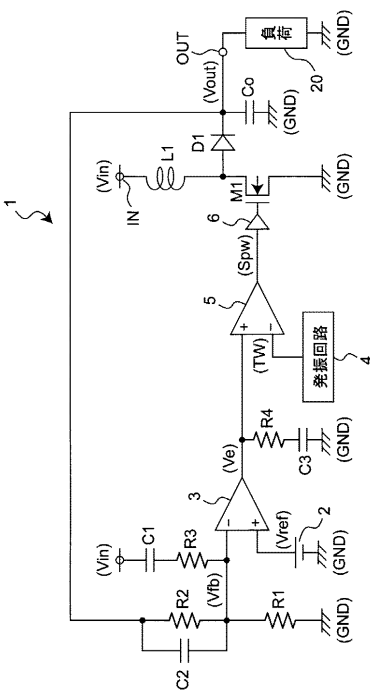
【 0 0 5 4 】

- 1 , 1 a 電源回路
- 2 , 1 1 基準電圧発生回路
- 3 , 1 2 誤差増幅回路
- 4 発振回路

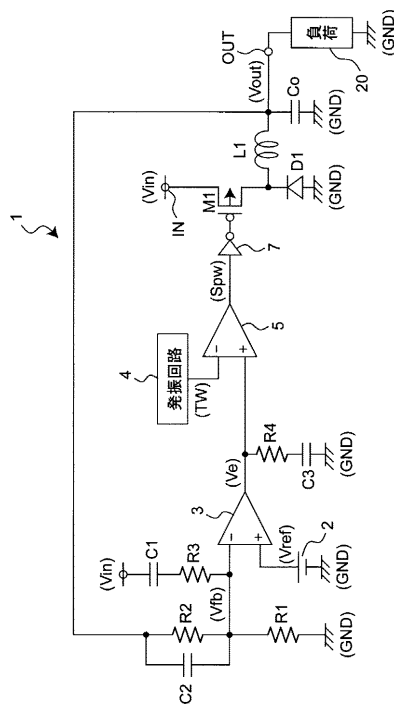
50

- 5 PWMコンパレータ
- 6 バッファ回路
- 7 インバータ回路
- 8 定電圧回路
- 20 負荷
- M1 スイッチングトランジスタ
- M11 出力トランジスタ
- D1 ダイオード
- L1 インダクタ
- Co 出力コンデンサ
- C1 ~ C3, C11 コンデンサ
- R1 ~ R4, R11 ~ R13 抵抗

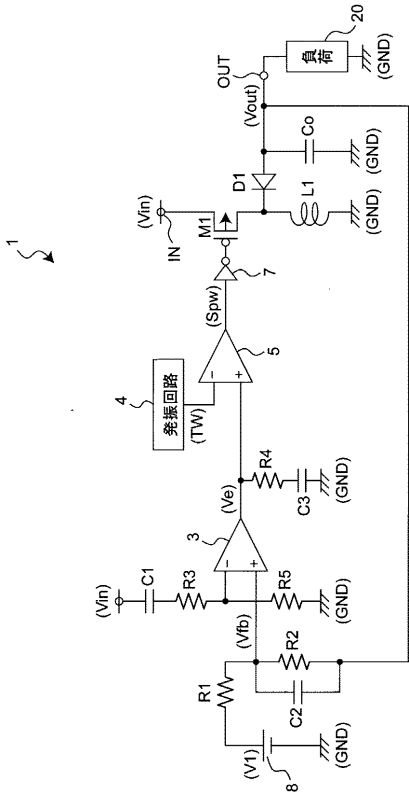
【 図 1 】



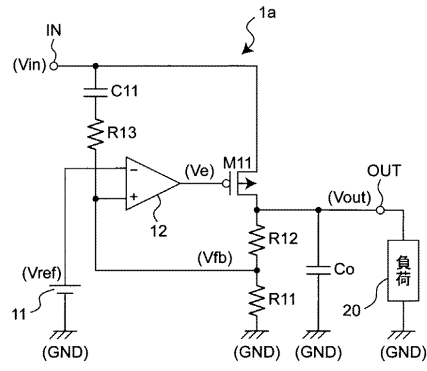
【 図 2 】



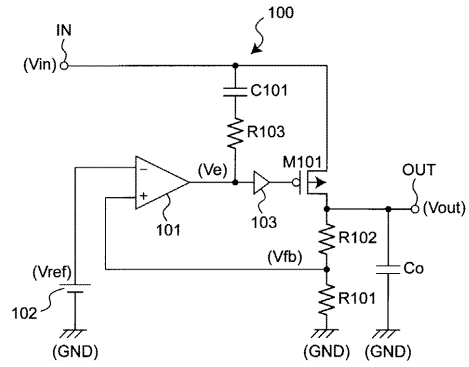
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

Fターム(参考) 5H430 BB01 BB05 BB09 BB11 EE06 FF04 FF13 GG08 HH03 JJ07
5H730 AA04 AS01 AS04 AS05 BB13 BB14 BB57 DD04 EE59 FD01
FD12 FF02 FG01 FG05