(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月30日(30.12.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/262248 A1

(51) 国際特許分類:
H01L 27/10 (2006.01)

(21) 国際出願番号： PCT/JP2020/024197

(22) 国際出願日： 2020年6月19日(19.06.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-121747 2019年6月28日(28.06.2019) JP

(71) 出願人:株式会社ソシオネクスト(**SOCIONEXT INC.**) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目１０番２３ Kanagawa (JP).

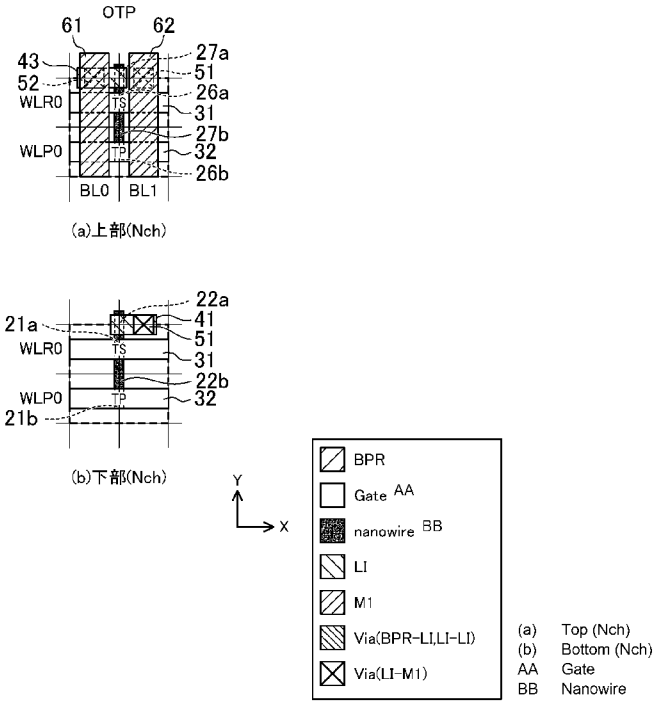
(72) 発明者: 山 田 智 之 (**YAMADA Tomoyuki**); 〒2220033 神奈川県横浜市港北区新横浜二丁目１０番２３ 株式会社ソシオネクスト内 Kanagawa (JP).

(74) 代理人: 特許業務法人前田特許事務所 (**MAEDA & PARTNERS**); 〒5300004 大阪府大阪市北区堂島浜１丁目２番１号 新ダイビル２３階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) **Title:** SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称： 半導体記憶装置



(57) **Abstract:** Provided is a layout structure of a small area one-time-programmable (OTP) memory in which a complementary FET (CFET) is used. The OTP memory has a transistor (TP) that is a program element and a transistor (TS) that is a switch element. The transistor (TP) is a three-dimensional structure transistor, and channel sections (21b, 26b) overlap as seen in plan view. The transistor (TS) is a three-dimensional structure transistor, and channel sections (21a, 26a) overlap as seen in plan view. 2 bits of OTP memory is realized in a small area.

WO 2020/262248 A1

[続葉有]

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:ＣＦＥＴ(Complementary FET)を用いた小面積のＯＴＰ(One Time Programmable)メモリのレイアウト構造を提供する。ＯＴＰメモリは、プログラム素子であるトランジスタ(ＴＰ)およびスイッチ素子であるトランジスタ(ＴＳ)を有する。トランジスタ(ＴＰ)は立体構造トランジスタであり、平面視でチャネル部(２１ｂ，２６ｂ)が重なっている。トランジスタ(ＴＳ)は立体構造トランジスタであり、平面視でチャネル部(２１ａ，２６ａ)が重なっている。２ビット分のＯＴＰメモリが小面積で実現される。

明　細　書

発明の名称 ： 半導体記憶装置

技術分野

[0001] 本開示は、ＣＦＥＴ（Complementary FET）デバイスを用いた半導体記憶装置に関し、特に、ＣＦＥＴを用いた不揮発性のメモリセルのレイアウト構造に関する。

背景技術

[0002] 不揮発性のメモリセルを備えた半導体記憶装置は、多くのアプリケーションにおいて用いられている。不揮発性のメモリセルの１つに、ＯＴＰ（One Time Programmable）メモリセルがある。これは、絶縁膜の破壊などによって「１」「０」の状態をメモリに記憶させ、読み出すことを特徴としている。

[0003] 特許文献１では、ＯＴＰメモリの構成が開示されている。この構成では、一個のトランジスタにゲート酸化膜の膜厚を２種類持たせて、膜厚が薄い部分の絶縁膜を破壊することによって、「１」「０」の状態をメモリに記憶させている。

[0004] また、ＬＳＩの基本構成要素であるトランジスタは、ゲート長の縮小（スケーリング）により、集積度の向上、動作電圧の低減、および動作速度の向上を実現してきた。しかし近年、過度なスケーリングによるオフ電流と、それによる消費電力の著しい増大が問題となっている。この問題を解決するため、トランジスタ構造を従来の平面型から立体型に変更した立体構造トランジスタが盛んに研究されている。

[0005] 非特許文献１，２では、新規デバイスとして、立体構造のＰ型ＦＥＴとＮ型ＦＥＴを基板に対して垂直方向に積層した立体構造デバイスと、これを用いたスタンダードセルが開示されている。

先行技術文献

特許文献

[0006] 特許文献1：米国特許第７４０２８５５号明細書

非特許文献

[0007] 非特許文献1：Ryckaert J. et al., "The Complementary FET (CFET) for CMOS scaling beyond N3", 2018 Symposium on VLSI Technology Digest of Technical Papers

非特許文献2：A. Mocuta et al., "Enabling CMOS Scaling Towards 3nm and Beyond", 2018 Symposium on VLSI Technology Digest of Technical Papers

発明の概要

発明が解決しようとする課題

[0008] 本明細書では、立体構造のＰ型ＦＥＴとＮ型ＦＥＴを基板に対して垂直方向に積層した立体構造デバイスのことを、非特許文献１の記載にならい、ＣＦＥＴ（Complementary FET）と呼ぶことにする。また、基板に対して垂直をなす方向のことを、深さ方向と呼ぶ。

[0009] ところが、現在まで、ＣＦＥＴを用いたＯＴＰメモリのレイアウト構造について検討はなされていない。

[0010] 本開示は、ＣＦＥＴを用いた小面積のＯＴＰメモリのレイアウト構造を提供することを目的とする。

課題を解決するための手段

[0011] 本開示の第１態様では、不揮発性のメモリセルを備えた半導体記憶装置は、第１方向に延びる第１および第２ワード線と、前記第１方向と垂直をなす第２方向に延びる第１および第２ビット線とを備え、前記メモリセルは、ゲートが前記第１ワード線に接続された第１プログラムトランジスタと、前記第１プログラムトランジスタと前記第１ビット線との間に設けられ、ゲートが前記第２ワード線に接続された第１スイッチトランジスタと、ゲートが前記第１ワード線に接続された第２プログラムトランジスタと、前記第２プログラムトランジスタと前記第２ビット線との間に設けられ、ゲートが前記第２ワード線に接続された第２スイッチトランジスタとを備え、前記第１およ

び第２プログラムトランジスタは、平面視でチャネル部が重なっている立体構造トランジスタであり、前記第１および第２スイッチトランジスタは、平面視でチャネル部が重なっている立体構造トランジスタであり、前記第１プログラムトランジスタおよび前記第１スイッチトランジスタは、第１層に形成されており、前記第２プログラムトランジスタおよび前記第２スイッチトランジスタは、前記第１層より下層の第２層に形成されており、前記メモリセルは、前記第１スイッチトランジスタのドレインに接続され、前記第１スイッチトランジスタから前記第１方向における第１の向きに延びる第１ローカル配線を備える。

[0012] この態様によると、メモリセルは、第１プログラムトランジスタおよび第１スイッチトランジスタによって１ビット分のＯＴＰメモリを実現しており、第２プログラムトランジスタおよび第２スイッチトランジスタによって１ビット分のＯＴＰメモリを実現している。そして、第１および第２プログラムトランジスタは、平面視でチャネル部が重なっている立体構造トランジスタであり、第１および第２スイッチトランジスタは、平面視でチャネル部が重なっている立体構造トランジスタである。これにより、２ビット分のＯＴＰメモリを小面積で実現することができる。

[0013] 本開示の第２態様では、不揮発性のメモリセルを備えた半導体記憶装置は、第１方向に延びる第１および第２ワード線と、前記第１方向と垂直をなす第２方向に延びる第１ビット線とを備え、前記メモリセルは、ゲートが前記第１ワード線に接続された第１プログラム素子と、前記第１プログラム素子と前記第１ビット線との間に設けられ、ゲートが前記第２ワード線に接続された第１スイッチ素子とを備え、前記第１プログラム素子は、並列に接続され、平面視でチャネル部が重なっている立体構造トランジスタである第１および第２プログラムトランジスタを有し、前記第１スイッチ素子は、前記第１および第２プログラムトランジスタのいずれかと同一層に形成された立体構造トランジスタである第１スイッチトランジスタを含む。

[0014] この態様によると、メモリセルは、第１プログラム素子および第１スイッ

チ素子によって１ビット分のＯＴＰメモリを実現している。そして、第１プログラム素子は、並列に接続され、平面視でチャネル部が重なっている立体構造トランジスタである第１および第２プログラムトランジスタを有する。これにより、一方のプログラムトランジスタについて書き込みすなわちゲート酸化膜の破壊が十分になされていない場合であっても、他方のプログラムトランジスタによってビット線の信号を変化させることができるので、記憶データを正しく読み出すことができる。また、プログラムトランジスタが２個になるため、読み出し動作の高速化が可能になる。加えて、第１および第２プログラムトランジスタは平面視でチャネル部が重なっているので、メモリセルを小面積で実現することができる。

発明の効果

[0015] 本開示によると、ＣＦＥＴを用いた小面積のＯＴＰメモリのレイアウト構造を提供することができる。

図面の簡単な説明

[0016] [図1]第１実施形態に係る半導体記憶装置の構成例を示す図であり、（ａ）はメモリセルアレイの構成図、（ｂ）はメモリセルの回路図

[図2]（ａ），（ｂ）は第１実施形態に係るメモリセルのレイアウト構造例を示す平面図である。

[図3]（ａ）～（ｃ）は図２のメモリセルの断面図である。

[図4]図２および図３のメモリセルを用いたメモリセルアレイの上部のレイアウト構造である。

[図5]図２および図３のメモリセルを用いたメモリセルアレイの下部のレイアウト構造である。

[図6]（ａ），（ｂ）はＣＦＥＴを用いたインバータセルのレイアウト構造の例を示す平面図である。

[図7]ＯＴＰメモリセルから転用されたマスクＲＯＭセルの回路図である。

[図8]（ａ），（ｂ）は図７のマスクＲＯＭセルのレイアウト構造の例を示す平面図である。

[図9]第１実施形態の変形例１に係るメモリセルのレイアウト構造の例を示す平面図であり、（ａ），（ｂ）はＯＴＰメモリセル、（ｃ），（ｄ）はマスクＲＯＭセルである。

[図10]（ａ），（ｂ）は第１実施形態の変形例２に係るメモリセルのレイアウト構造の例を示す平面図である。

[図11]図１０のメモリセルを用いたメモリセルアレイの上部のレイアウト構造である。

[図12]図１０のメモリセルを用いたメモリセルアレイの下部のレイアウト構造である。

[図13]第１実施形態の変形例３に係るメモリセルのレイアウト構造の他の例を示す平面図であり、（ａ），（ｂ）はＯＴＰメモリセル、（ｃ），（ｄ）はマスクＲＯＭセルである。

[図14]第１実施形態の変形例３に係るマスクＲＯＭセルの回路図である。

[図15]図１３のメモリセルを用いたメモリセルアレイの上部のレイアウト構造である。

[図16]図１３のメモリセルを用いたメモリセルアレイの下部のレイアウト構造である。

[図17]第２実施形態に係る半導体記憶装置におけるメモリセルの回路図であり、（ａ）はＯＴＰメモリ、（ｂ）はマスクＲＯＭである。

[図18]第２実施形態に係るメモリセルのレイアウト構造の他の例を示す平面図であり、（ａ），（ｂ）はＯＴＰメモリセル、（ｃ），（ｄ）はマスクＲＯＭセルである。

[図19]図１８のメモリセルを用いたメモリセルアレイの上部のレイアウト構造である。

[図20]図１８のメモリセルを用いたメモリセルアレイの下部のレイアウト構造である。

[図21]（ａ），（ｂ）は第２実施形態の変形例１に係るメモリセルのレイアウト構造を示す平面図である。

[図22]図２１のメモリセルを用いたメモリセルアレイの上部のレイアウト構造である。

[図23]図２１のメモリセルを用いたメモリセルアレイの下部のレイアウト構造である。

[図24]第２実施形態の変形例２に係るメモリセルのレイアウト構造を示す平面図であり、（ａ），（ｂ）はＯＴＰメモリセル、（ｃ），（ｄ）はマスクＲＯＭセルである。

[図25]図２４のメモリセルを用いたメモリセルアレイの上部のレイアウト構造である。

[図26]図２４のメモリセルを用いたメモリセルアレイの下部のレイアウト構造である。

[図27]ＣＦＥＴを備えた半導体装置の構造を示す断面図

[図28]ＣＦＥＴを備えた半導体装置の構造を示す断面図

[図29]ＣＦＥＴを備えた半導体装置の構造を示す断面図

[図30]ＣＦＥＴを備えた半導体装置の構造を示す平面図

発明を実施するための形態

[0017] まず、ＣＦＥＴの基本構造について説明する。図２７～図３０はＣＦＥＴを備えた半導体装置の構造を示す図であり、図２７はＸ方向における断面図、図２８はＹ方向におけるゲート部分の断面図、図２９はＹ方向におけるソース・ドレイン部分の断面図、図３０は平面図である。なお、Ｘ方向はナノワイヤが延びる方向、Ｙ方向はゲートが延びる方向、Ｚ方向は基板面と垂直をなす方向としている。また、図２７～図３０は概略図であり、各部の寸法や位置等は必ずしも整合していない。

[0018] この半導体装置では、シリコン（Ｓｉ）基板等の半導体基板３０１の表面に素子分離領域３０２が形成されており、素子分離領域３０２により、素子活性領域３０ａが画定されている。素子活性領域３０ａでは、Ｐ型ＦＥＴ上にＮ型ＦＥＴが形成されている。

[0019] 素子活性領域３０ａでは、半導体基板３０１上に積層トランジスタ構造３

９０ａが形成されている。積層トランジスタ構造３９０ａは、半導体基板３０１上に形成されたゲート構造３９１を含む。ゲート構造３９１は、ゲート電極３５６、複数のナノワイヤ３５８、ゲート絶縁膜３５５、絶縁膜３５７を含む。ゲート電極３５６は、Ｙ方向に延び、Ｚ方向に立ち上がる。ナノワイヤ３５８は、Ｘ方向でゲート電極３５６を貫通し、Ｙ方向及びＺ方向に配列されている。ゲート絶縁膜３５５は、ゲート電極３５６とナノワイヤ３５８との間に形成されている。ゲート電極３５６及びゲート絶縁膜３５５は、Ｘ方向において、ナノワイヤ３５８の両端から後退した位置に形成されており、この後退した部分に絶縁膜３５７が形成されている。半導体基板３０１上に、絶縁膜３５７の両脇において、絶縁膜３１６が形成されている。３２１，３２２は層間絶縁膜である。

[0020] また、図２８に示すように、ゲート電極３５６は、開口部３７５に設けられたビア３８５によって、上層の配線と接続される。

[0021] 例えば、ゲート電極３５６には、チタン、チタン窒化物又は多結晶シリコン等を用いることができる。例えば、ゲート絶縁膜３５５には、ハフニウム酸化物、アルミニウム酸化物又はハフニウム及びアルミニウムの酸化物等の高誘電率材料を用いることができる。例えば、ナノワイヤ３５８にはシリコン等を用いることができる。例えば、絶縁膜３１６、絶縁膜３５７には、シリコン酸化物又はシリコン窒化物等を用いることができる。

[0022] この半導体装置では、Ｚ方向に配列するナノワイヤ３５８の本数は４であり、素子活性領域３０ａでは、半導体基板３０１側の２本のナノワイヤ３５８の各端部にＰ型半導体層３３１ｐが形成されている。Ｐ型半導体層３３１ｐに接する２つのローカル配線３８６がＸ方向でゲート構造３９１を挟むようにして形成されている。また、半導体基板１０１から離間する側の２本のナノワイヤ３５８の各端部にＮ型半導体層３４１ｎが形成されている。Ｎ型半導体層３４１ｎに接する２つのローカル配線３８８がＸ方向でゲート構造３９１を挟むようにして形成されている。ローカル配線３８６とローカル配線３８８との間に絶縁膜３３２が形成されている。ローカル配線３８８の上

に絶縁膜３８９が形成されている。例えば、Ｐ型半導体層３３１ｐはＰ型ＳｉＧｅ層であり、Ｎ型半導体層３４１ｎはｎ型Ｓｉ層である。例えば、絶縁膜３３２には、シリコン酸化物又はシリコン窒化物等を用いることができる。

[0023] また、図２９に示すように、ローカル配線３８８は、ビア３０７１を介して、埋め込み配線３１０１と接続される。ローカル配線３８６は、ビア３０７２を介して、埋め込み配線３１０２と接続される。

[0024] このように、積層トランジスタ構造３９０ａは、ゲート電極３５６、ナノワイヤ３５８、ゲート絶縁膜３５５及びＰ型半導体層３３１ｐを含むＰ型ＦＥＴを有する。このＰ型ＦＥＴでは、一方のＰ型半導体層３３１ｐがソース領域として機能し、他方のＰ型半導体層３３１ｐがドレイン領域として機能し、ナノワイヤ３５８がチャネルとして機能する。積層トランジスタ構造３９０ａは、ゲート電極３５６、ナノワイヤ３５８、ゲート絶縁膜３５５及びＮ型半導体層３４１ｎを含むＮ型ＦＥＴも有する。このＮ型ＦＥＴでは、一方のＮ型半導体層３４１ｎがソース領域として機能し、他方のＮ型半導体層３４１ｎがドレイン領域として機能し、ナノワイヤ３５８がチャネルとして機能する。

[0025] なお、積層トランジスタ構造より上層については、ビアおよび金属配線によりトランジスタ間の配線等が行われるが、これらは既知の配線プロセスによって実現が可能である。

[0026] なお、ここでは、Ｐ型ＦＥＴおよびＮ型ＦＥＴにおけるナノワイヤの本数は、それぞれ、Ｙ方向に４本、Ｚ方向に２本、計８本ずつであるものとしたが、ナノワイヤの本数はこれに限られるものではない。また、Ｐ型ＦＥＴとＮ型ＦＥＴのナノワイヤの本数は、異なっていてもかまわない。

[0027] また、本明細書では、ナノワイヤの両端に形成され、トランジスタのソースまたはドレインとなる端子を構成する半導体層部のことを「パッド」という。上述したＣＦＥＴの基本構造例では、Ｐ型半導体層３３１ｐおよびＮ型半導体層３４１ｎが、パッドに相当する。

[0028] また、以降の実施形態における平面図および断面図においては、各絶縁膜等の記載は省略することがある。また、以降の実施形態における平面図および断面図については、ナノワイヤおよびその両側のパッドを、簡易化した直線状の形状で記載することがある。また、本明細書において、「同一サイズ」等のように、サイズ等が同じであることを意味する表現は、製造上のばらつき範囲を含んでいるものとする。

[0029] また、以降の実施形態では、トランジスタのソースおよびドレインのことを、トランジスタのノードという場合がある。また、「ＶＤＤ」「ＶＳＳ」は電源電圧または電源自体を示すものとする。

[0030] （第１実施形態）

図１は第１実施形態に係る、不揮発性のメモリセルを備えた半導体記憶装置の構成例を示す図であり、（ａ）はメモリセルアレイの構成図、（ｂ）はメモリセルの回路図である。図１（ａ）に示すように、各メモリセル１はそれぞれ、対応する第１ワード線ＷＬＰ（適宜、ＷＬＰｉ（ｉは整数）と表記している）、第２ワード線ＷＬＲ（適宜、ＷＬＲｉ（ｉは整数）と表記している）、およびビット線ＢＬ（適宜、ＢＬｉ（ｉは整数）と表記している）と接続されている。なお、半導体記憶装置は、メモリセルアレイ以外にも、書き込み回路、読み出し回路等の周辺回路を備えているが、ここでは図示を省略している。また、図１（ａ）では、図示の簡略化のために、メモリセルアレイは（２×２）個のメモリセル１（ＭＣ１～ＭＣ４）からなるものとしているが、メモリセル１の個数は、Ｘ方向（本実施形態では第１および第２ワード線ＷＬＰ，ＷＬＲが延びる方向）およびＹ方向（本実施形態ではビット線ＢＬが延びる方向）において、これに限られるものではない。

[0031] 本実施形態において、メモリセル１は、ゲート酸化膜破壊型のＯＴＰ（One Time Programmable）メモリセルである。図１（ｂ）に示すように、メモリセル１は、直列接続されたＮ導電型トランジスタＴＰ，ＴＳを備える。トランジスタＴＰは、プログラム素子であり、ゲートが第１ワード線ＷＬＰに接続されている。プログラム素子は、ゲート酸化膜の破壊／非破壊状態によっ

て「１」／「０」の値を記憶する。トランジスタＴＳは、スイッチ素子であり、ゲートが第２ワード線ＷＬＲに接続されている。スイッチ素子は、ビット線ＢＬからプログラム素子へのアクセスを制御する。ここでは、スイッチ素子およびプログラム素子は、例えば、半導体集積回路の内部回路におけるいわゆるコアトランジスタと同程度のゲート酸化膜厚を有するトランジスタによって構成されている。

[0032] メモリセル１の書き込み動作は次のように行われる。所望の第１ワード線ＷＬＰに書き込み電圧となる高電圧ＶＰＰを印加する。高電圧ＶＰＰは、プログラム素子のゲート酸化膜の耐圧よりも大きい電圧であり、例えば３Ｖである。そして、第２ワード線ＷＬＲに電圧ＶＰＲを印加する。電圧ＶＰＲは、スイッチ素子のゲート酸化膜の耐圧よりも低く、かつ電圧（ＶＰＰ－ＶＰＲ）もスイッチ素子のゲート酸化膜の耐圧よりも低くなる電圧であり、例えば１Ｖである。そして、ゲート酸化膜の破壊を行うメモリセル１に接続されたビット線ＢＬに０Ｖを与え、ゲート酸化膜の破壊を行わないメモリセル１に接続されたビット線ＢＬに電圧ＶＰＲを印加する。これにより、ビット線ＢＬに０Ｖが与えられたメモリセル３ではスイッチ素子が導通状態になり、プログラム素子のゲート酸化膜が、高電圧ＶＰＰの印加によって破壊される。

[0033] メモリセル１の読み出し動作は次のように行われる。ビット線ＢＬは例えば、予め０Ｖにプリチャージしておく。所望の第１および第２ワード線ＷＬＰ，ＷＬＲに、高電圧ＶＰＰよりも低い電圧ＶＲＲを印加する。電圧ＶＲＲは、プログラム素子のゲート酸化膜を破壊しない電圧であり、例えば１Ｖである。このとき、プログラム素子のゲート酸化膜が破壊されている場合は、第１ワード線ＷＬＰからプログラム素子のゲートを介してビット線ＢＬに電流が流れ、ビット線ＢＬの電位が上昇する。一方、プログラム素子のゲート酸化膜が破壊されていない場合は、ビット線ＢＬの電位は変化しない。この電位の差によって、メモリセル１の状態すなわち値「０」／「１」が読み出される。

[0034] 図２および図３は第１実施形態に係るメモリセルのレイアウト構造の例を示す図であり、図２（ａ），（ｂ）はメモリセルの平面図、図３（ａ）～（ｃ）はメモリセルの平面視縦方向における断面図である。具体的には、図２（ａ）は上部、すなわち基板から遠い側に形成された立体構造トランジスタ（ここではＮ型ナノワイヤＦＥＴ）を含む部分を示し、図２（ｂ）は下部、すなわち基板に近い側に形成された立体構造トランジスタ（ここではＮ型ナノワイヤＦＥＴ）を含む部分を示す。図３（ａ）は線Ｙ１－Ｙ１’の断面、図３（ｂ）は線Ｙ２－Ｙ２’の断面、図３（ｃ）は線Ｙ３－Ｙ３’の断面である。

[0035] なお、以下の説明では、図２等の平面図において、図面横方向をＸ方向（第１方向に相当）、図面縦方向をＹ方向（第２方向に相当）、基板面に垂直な方向をＺ方向（深さ方向に相当）としている。ただし、Ｘ方向はゲート配線およびワード線が延びる方向であり、Ｙ方向はナノワイヤおよびビット線が延びる方向である。すなわち、各実施形態の図面では、ＸＹ方向は、図２７～図３０と逆になっている。また、図２等の平面図において縦横に走る細実線、および、図３等の断面図において縦に走る点線は、設計時に部品配置を行うために用いるグリッドを示す。グリッドは、Ｘ方向において等間隔に配置されており、またＹ方向において等間隔に配置されている。なお、グリッド間隔は、Ｘ方向とＹ方向とにおいて同じであってもよいし異なっていてもよい。また、グリッド間隔は、層ごとに異なっていてもかまわない。さらに、各部品は必ずしもグリッド上に配置される必要はない。ただし、製造ばらつきを抑制する観点から、部品はグリッド上に配置される方が好ましい。

[0036] 図２および図３は、図１（ａ）の構成図において横方向に並ぶ２個のメモリセルＭＣ１，ＭＣ２のレイアウトに相当する。図２（ａ）に示す上部に、ビット線ＢＬ０に接続されるメモリセルＭＣ１が形成されており、図２（ｂ）に示す下部に、ビット線ＢＬ１に接続されるメモリセルＭＣ２が形成されている。図２において、破線はメモリセルの枠を示している。以降の平面図においても同様である。

[0037] 図２（ｂ）に示すように、Ｙ方向に並列に延びる電源配線１１，１２がそれぞれ設けられている。電源配線１１，１２はともに、埋め込み配線層に形成された埋め込み電源配線（ＢＰＲ：Buried Power Rail）である。電源配線１１，１２はともに電源電圧ＶＤＤを供給する。

[0038] 図２（ａ）に示すように、Ｍ１配線層には、Ｙ方向に延びる配線６１，６２が形成されている。Ｍ１配線６１はビット線ＢＬ０に相当し、Ｍ１配線６２はビット線ＢＬ１に相当する。

[0039] メモリセルの下部には、Ｙ方向に延びるナノワイヤ２１ａ，２１ｂが形成されており、メモリセルの上部には、Ｙ方向に延びるナノワイヤ２６ａ，２６ｂが形成されている。ナノワイヤ２１ａ，２６ａは、平面視で重なっており、ナノワイヤ２１ｂ，２６ｂは、平面視で重なっている。ナノワイヤ２１ａの図面上側、ナノワイヤ２１ａ，２１ｂ間、および、ナノワイヤ２１ｂの図面下側に、Ｎ型半導体がドーピングされたパッド２２ａ，２２ｂ，２２ｃが形成されている。ナノワイヤ２６ａの図面上側、ナノワイヤ２６ａ，２６ｂ間、および、ナノワイヤ２６ｂの図面下側に、Ｎ型半導体がドーピングされたパッド２７ａ，２７ｂ，２７ｃが形成されている。

[0040] すなわち、上部のメモリセルＭＣ１において、ナノワイヤ２６ａがトランジスタＴＳのチャネル部を構成し、パッド２７ａ，２７ｂがトランジスタＴＳのノードを構成する。ナノワイヤ２６ｂがトランジスタＴＰのチャネル部を構成し、パッド２７ｂ，２７ｃがトランジスタＴＰのノードを構成する。パッド２７ｂはトランジスタＴＳ，ＴＰによって共有されている。下部のメモリセルＭＣ２において、ナノワイヤ２１ａがトランジスタＴＳのチャネル部を構成し、パッド２２ａ，２２ｂがトランジスタＴＳのノードを構成する。ナノワイヤ２１ｂがトランジスタＴＰのチャネル部を構成し、パッド２２ｂ，２２ｃがトランジスタＴＰのノードを構成する。パッド２２ｂはトランジスタＴＳ，ＴＰによって共有されている。

[0041] ゲート配線３１，３２は、Ｘ方向に並列に延びており、かつ、メモリセルの下部から上部にかけてＺ方向に延びている。ゲート配線３１は、メモリセ

ルＭＣ１，ＭＣ２のトランジスタＴＳのゲートとなる。ゲート配線３２は、メモリセルＭＣ１，ＭＣ２のトランジスタＴＰのゲートとなる。ゲート配線３１はワード線ＷＬＲ０に接続される。ゲート配線３２はワード線ＷＬＰ０に接続される。

[0042] メモリセルの下部において、Ｘ方向に延びるローカル配線４１，４２が形成されている。ローカル配線４１は、パッド２２ａと接続されており、パッド２２ａから図面右向きに延びている。ローカル配線４２は、パッド２２ｃと接続されており、パッド２２ｃから図面右向きに延びている。メモリセルの上部において、Ｘ方向に延びるローカル配線４３，４４が形成されている。ローカル配線４３は、パッド２７ａと接続されており、パッド２７ａから図面左向きに延びている。ローカル配線４４は、パッド２７ｃと接続されており、パッド２７ｃから図面左向きに延びている。ローカル配線４１は、コンタクト５１を介して、Ｍ１配線６２と接続されている。ローカル配線４３は、コンタクト５２を介して、Ｍ１配線６１と接続されている。

[0043] 図４および図５は、図２および図３のメモリセルを用いたメモリセルアレイのレイアウト構造を示す図であり、図４は上部、図５は下部を示す。図４および図５は、図２のメモリセルが、Ｘ方向に２個、Ｙ方向に４個、並べた構成を示している。Ｙ方向において、メモリセルは一列おきにＹ方向に反転して配置されている。

[0044] 図２のメモリセルにおけるゲート配線３１がＸ方向に延びており、ワード線ＷＬＲ０～ＷＬＲ３をそれぞれ構成している。図２のメモリセルにおけるゲート配線３２がＸ方向に延びており、ワード線ＷＬＰ０～ＷＬＰ３をそれぞれ構成している。図２のメモリセルにおけるＭ１配線６１がＹ方向に延びており、ビット線ＢＬ０，ＢＬ２をそれぞれ構成している。図２のメモリセルにおけるＭ１配線６２がＹ方向に延びており、ビット線ＢＬ１，ＢＬ３をそれぞれ構成している。ワード線ＷＬＲ０，ＷＬＲ１の間では、隣接するトランジスタＴＳのドレインが共有されている。ワード線ＷＬＲ２，ＷＬＲ３の間では、隣接するトランジスタＴＳのドレインが共有されている。

[0045] 以上のように本実施形態によると、図２および図３に示すメモリセルは、上部において１ビット分のＯＴＰメモリを実現しており、下部において１ビット分のＯＴＰメモリを実現している。そして、プログラム素子となるトランジスタＴＰは、平面視でチャネル部２１ｂ，２６ｂが重なっており、スイッチ素子となるトランジスタＴＳは、平面視でチャネル部２１ａ，２６ａが重なっている。これにより、ＯＴＰメモリセルについて、小面積のレイアウト構造を実現することができる。

[0046] また、メモリセルアレイにおいて、Ｙ方向において隣り合うメモリセルのトランジスタＴＳのドレイン同士を共有することができる。これにより、半導体記憶装置の小面積化が実現される。

[0047] なお、通常のＣＦＥＴにおいて、下部と上部のトランジスタの導電性は異なる。図６はＣＦＥＴを用いたインバータセルのレイアウト構造の例である。図６（ａ）に示す上部のトランジスタＮ１はＮ型であり、図６（ｂ）に示す下部のトランジスタＰ１はＰ型である。トランジスタＰ１およびトランジスタＮ１は、ＶＤＤを供給する電源配線６１１とＶＳＳを供給する電源配線６１２との間に、直列に接続されている。トランジスタＰ１は、チャネル部となるナノワイヤ６２１と、パッド６２２ａ，６２２ｂとを有する。トランジスタＮ１は、チャネル部となるナノワイヤ６２６と、パッド６２７ａ，６２７ｂとを有する。ゲート配線６３１は、トランジスタＰ１とトランジスタＮ１の共通のゲートになる。インバータの入力となるＭ１配線６６１はゲート配線６３１と接続されている。インバータの出力となるＭ１配線６６２は、トランジスタＰ１およびトランジスタＮ１のドレインと接続されたローカル配線６４２，６４４と接続されている。

[0048] 一方、本実施形態に係るＯＴＰメモリセルでは、下部と上部の両方とも、Ｎ型トランジスタを形成する。すなわち、本実施形態に係るＯＴＰメモリセルを有する半導体チップでは、ＣＦＥＴの下部が、Ｐ型トランジスタである領域と、Ｎ型トランジスタである領域とが含まれる。このような半導体チップでは、下部におけるトランジスタは、例えば次のように製造すればよい。

すなわち、下部におけるトランジスタを形成する際に、Ｎ型トランジスタの部分をマスクして他の部分をＰ導電型にドーピングする。その後、Ｎ型トランジスタ以外の部分をマスクして、Ｎ導電型にドーピングする。そして、Ｎ型トランジスタとＰ型トランジスタとを離間して配置することによって、Ｐ導電型のドーピングとＮ導電型のドーピングを確実に行うことができる。

[0049] （マスクＲＯＭへの転用）

上述したＯＴＰメモリセルは、マスクＲＯＭセルへの転用が容易である。図７はＯＴＰメモリセルから転用されたマスクＲＯＭセルの回路図である。図１（ｂ）に示すＯＴＰメモリセルは、プログラム素子であるトランジスタＴＰのゲート酸化膜の破壊の有無によって、記憶値が規定された。これに対して図７に示すマスクＲＯＭセルは、トランジスタＴＰのソースと電源ＶＤＤとの接続の有無によって、規定値が記憶される（図７の「Ｄ」の箇所）。接続の有無は、例えばコンタクトやビアの有無によって実現される。

[0050] 図７に示すマスクＲＯＭセルのデータ読み出しは、次のように行われる。ビット線ＢＬをローレベルにプリチャージし、この状態でワード線ＷＬＰ，ＷＬＲにともにハイレベルを与える。トランジスタＴＰのソースと電源ＶＤＤとが接続されているときは、ビット線ＢＬはハイレベルに変化する。一方、トランジスタＴＰのソースと電源ＶＤＤとが接続されていないときは、ビット線ＢＬはローレベルのままである。ビット線ＢＬの電位の差によって、マスクＲＯＭセルの状態すなわち値「０」／「１」が読み出される。

[0051] 図８はＯＴＰメモリセルから転用されたマスクＲＯＭセルのレイアウト構造の例を示す平面図であり、（ａ）は上部、（ｂ）は下部である。図８のレイアウト構造は、図２と基本的に同様である。図８において、コンタクト５３，５４は、その有無によって、マスクＲＯＭセルの記憶値を決定する。なお、マスクＲＯＭを示す各図では、記憶値を決定するコンタクトに“Ｄ”の文字を付している。コンタクト５３は、形成されたとき、ローカル配線４４と電源配線１１とを接続する。すなわち、コンタクト５３の有無によって、上部のトランジスタＴＰのソースとなるパッド２７ｃと電源ＶＤＤとの接続

／非接続が設定される。コンタクト５４は、形成されたとき、ローカル配線４２と電源配線１２とを接続する。すなわち、コンタクト５４の有無によって、下部のトランジスタＴＰのソースとなるパッド２２ｃと電源ＶＤＤとの接続／非接続が設定される。

[0052] なお、図２のＯＴＰメモリセルでは、マスクＲＯＭセルへの転用を容易にするために、電源配線１１，１２およびローカル配線４２，４４が設けられている。ただし、マスクＲＯＭセルへの転用を考慮しない場合は、電源配線１１，１２およびローカル配線４２，４４は省いてもよい。

[0053] なお、図８のレイアウト構造において、コンタクト５３は、上部から下部にかけて形成される長い形状になる。このコンタクト５３の位置の下部に、ローカル配線４４と接続されたローカル配線を形成しておいてもかまわない。この場合は、記憶値を決定するコンタクトとして、コンタクト５３に代えて、下部のローカル配線と電源配線１１とを接続するコンタクトを形成すればよい。この構成によって、上部および下部のマスクＲＯＭセルの記憶値を、下部におけるコンタクトの有無のみによって決定することができる。

[0054] （変形例１）

図９は本実施形態の変形例１に係るメモリセルのレイアウト構造を示す平面図であり、（ａ），（ｂ）はそれぞれＯＴＰメモリセルの上部および下部を示し、（ｃ），（ｄ）はそれぞれマスクＲＯＭセルの上部および下部を示す。

[0055] 図９のレイアウト構造は、図２および図８と対比すると、プログラム素子であるトランジスタＴＰのソースと接続されたローカル配線が延びる向きが異なっている。すなわち、下部のメモリセルにおいて、トランジスタＴＰのソースとなるパッド２２ｃに接続されたローカル配線４２Ａは、パッド２２ｃから図面左向きに延びている。上部のメモリセルにおいて、トランジスタＴＰのソースとなるパッド２７ｃに接続されたローカル配線４４Ａは、パッド２７ｃから図面右向きに延びている。これに伴い、マスクＲＯＭセルの記憶値を決定するコンタクト５３Ａ，５４Ａの位置が、図８と異なっている。

その他の構成については、上述の実施形態と同様である。

[0056] （変形例２）

図１０は本実施形態の変形例２に係るメモリセルのレイアウト構造を示す平面図であり、（ａ）は上部、（ｂ）は下部を示す。図１０では、図２と共通の構成要素については図２と同一の符号を付しており、ここではその詳細な説明を省略する場合がある。

[0057] 図１０のレイアウト構造では、プログラム素子であるトランジスタＴＰのソースが削除されている。具体的には、図２のレイアウト構造におけるパッド２２ｃ，２７ｃおよびローカル配線４２，４４が省かれている。また、電源配線１１，１２も省かれている。これにより、図２のレイアウト構造と比べて、メモリセルの面積が小さくなっている。

[0058] 図１１および図１２は、図１０のメモリセルを用いたメモリセルアレイのレイアウト構造を示す図であり、図１１は上部、図１２は下部を示す。図１１および図１２は、図１０のメモリセルが、Ｘ方向に２個、Ｙ方向に４個、並べた構成を示している。Ｙ方向において、メモリセルは一列おきにＹ方向に反転して配置されている。

[0059] ここで、ＯＴＰメモリセルは、データ記憶のためには、トランジスタＴＰはチャネル部とこれを囲むゲートを有していればよく、ソースを省いても動作には問題は生じない。また、本変形例では、ＯＴＰメモリセルからマスクＲＯＭセルへの転用は想定されていない。このため、図１０のレイアウト構造のように、トランジスタＴＰのソースとなるパッド２２ｃ，２７ｃと、ローカル配線４２，４４および電源配線１１，１２を省くことによって、小面積のメモリセルを実現することができる。

[0060] （変形例３）

図１３は本実施形態の変形例３に係るメモリセルのレイアウト構造を示す平面図であり、（ａ），（ｂ）はそれぞれＯＴＰメモリセルの上部および下部を示し、（ｃ），（ｄ）はそれぞれマスクＲＯＭセルの上部および下部を示す。

[0061] 図１３のレイアウト構造は、図２および図８と対比すると、ローカル配線が接続されるパッドの位置が異なっている。すなわち、下部のメモリセルにおいて、ローカル配線４５はトランジスタＴＳ，ＴＰに共有されるパッド２２ｂに接続されており、上部のメモリセルにおいて、ローカル配線４６はトランジスタＴＳ，ＴＰに共有されるパッド２７ｂに接続されている。ローカル配線４５はパッド２２ｂから図面右向きに延びており、ローカル配線４６はパッド２７ｂから図面左向きに延びている。また、変形例２と同様に、トランジスタＴＰのソースとなるパッド２２ｃ，２７ｃ、およびローカル配線４２，４４は省かれている。これにより、図２および図８のレイアウト構造と比べて、メモリセルの面積が小さくなっている。

[0062] そして、図１４に示すように、本変形例に係るマスクＲＯＭセルは、トランジスタＴＰとトランジスタＴＳとの間のノードと電源ＶＤＤとの接続の有無によって、規定値が記憶される。図１３（ｃ），（ｄ）に示すように、マスクＲＯＭセルの記憶値を決定するコンタクト５５，５６は、ローカル配線４５，４６の位置に形成される。すなわち、コンタクト５５は、形成されたとき、ローカル配線４５と電源配線１２とを接続する。コンタクト５６は、形成されたとき、ローカル配線４６と電源配線１１とを接続する。

[0063] 図１５および図１６は、図１３のメモリセルを用いたメモリセルアレイのレイアウト構造を示す図であり、図１５は上部、図１６は下部を示す。図１５および図１６は、図１３のメモリセルが、Ｘ方向に２個、Ｙ方向に４個、並べた構成を示している。Ｙ方向において、メモリセルは一列おきにＹ方向に反転して配置されている。

[0064] なお、本変形例において、ローカル配線４５，４６が延びる向きは、逆でもかまわない。すなわち、ローカル配線４５はパッド２２ｂから図面左向きに延びており、ローカル配線４６はパッド２７ｂから図面右向きに延びていてもかまわない。

[0065] （第２実施形態）

図１７は第２実施形態に係る半導体記憶装置におけるメモリセルの回路図

であり、（ａ）はＯＴＰメモリ、（ｂ）はＯＴＰメモリから転用されたマスクＲＯＭである。本実施形態におけるメモリセルアレイの構成は、図１（ａ）に示す第１実施形態に係るメモリセルアレイと同様である。

[0066] 図１７から分かるように、本実施形態では、スイッチ素子およびプログラム素子がそれぞれ、２個のトランジスタによって構成されている。すなわち、スイッチ素子は、並列に接続されたＮ導電型トランジスタＴＰ１，ＴＰ２を備え、プログラム素子は、並列に接続されたＮ導電型トランジスタＴＳ１，ＴＳ２を備える。トランジスタＴＰ１，ＴＰ２のゲートは第１ワード線ＷＬＰに接続されており、トランジスタＴＳ１，ＴＳ２のゲートは第２ワード線ＷＬＲに接続されている。

[0067] プログラム素子が２個のトランジスタＴＳ１，ＴＳ２を備えることによって、次のようなメリットが得られる。一方のトランジスタについて書き込み、すなわちゲート酸化膜の破壊が十分なされていない場合であっても、他方のトランジスタによって、ビット線ＢＬの電位を変化させることができるので、記憶データを正しく読み出すことができる。また、第１実施形態と比べてトランジスタのドライブ能力が大きいので、読み出し動作を高速に行うことができる。なお、スイッチ素子は、１個のトランジスタによって構成されていてもかまわない。

[0068] 図１８は本実施形態に係るメモリセルのレイアウト構造を示す平面図であり、（ａ），（ｂ）はそれぞれＯＴＰメモリセルの上部および下部を示し、（ｃ），（ｄ）はそれぞれマスクＲＯＭセルの上部および下部を示す。なお、図１８（ｃ），（ｄ）に示すマスクＲＯＭセルのレイアウト構造は、図１８（ａ），（ｂ）に示すＯＴＰメモリセルと基本的に同様であり、共通の構成要素については符号を省略している。また、断面構造については、第１実施形態のレイアウト構造から容易に類推可能であるため、図示を省略している。

[0069] まず、図１８（ａ），（ｂ）を参照して、本実施形態に係るＯＴＰメモリセルのレイアウト構造について説明する。図１８（ａ），（ｂ）は図１（ａ

）の構成図において左上の１個のメモリセルＭＣ１のレイアウトに相当している。図１８（ａ）に示す上部にトランジスタＴＰ２，ＴＳ２が形成されており、図１８（ｂ）に示す下部にトランジスタＴＰ１，ＴＳ１が形成されている。

[0070] 図１８（ａ）に示すように、Ｍ１配線層には、Ｙ方向に延びる配線１６１，１６２が形成されている。Ｍ１配線１６１はビット線ＢＬ０に相当し、Ｍ１配線１６２は電源電圧ＶＤＤを供給する。

[0071] メモリセルの下部には、Ｙ方向に延びるナノワイヤ１２１ａ，１２１ｂが形成されており、メモリセルの上部には、Ｙ方向に延びるナノワイヤ１２６ａ，１２６ｂが形成されている。ナノワイヤ１２１ａ，１２６ａは、平面視で重なっており、ナノワイヤ１２１ｂ，１２６ｂは、平面視で重なっている。ナノワイヤ１２１ａの図面上側、ナノワイヤ１２１ａ，１２１ｂ間、および、ナノワイヤ１２１ｂの図面下側に、Ｎ型半導体がドーピングされたパッド１２２ａ，１２２ｂ，１２２ｃが形成されている。ナノワイヤ１２６ａの図面上側、ナノワイヤ１２６ａ，１２６ｂ間、および、ナノワイヤ１２６ｂの図面下側に、Ｎ型半導体がドーピングされたパッド１２７ａ，１２７ｂ，１２７ｃが形成されている。

[0072] すなわち、下部において、ナノワイヤ１２１ａがトランジスタＴＳ１のチャネル部を構成し、パッド１２２ａ，１２２ｂがトランジスタＴＳ１のノードを構成する。ナノワイヤ１２１ｂがトランジスタＴＰ１のチャネル部を構成し、パッド１２２ｂ，１２２ｃがトランジスタＴＰ１のノードを構成する。パッド１２２ｂがトランジスタＴＳ１，ＴＰ１によって共有されている。上部において、ナノワイヤ１２６ａがトランジスタＴＳ２のチャネル部を構成し、パッド１２７ａ，１２７ｂがトランジスタＴＳ２のノードを構成する。ナノワイヤ１２６ｂがトランジスタＴＰ２のチャネル部を構成し、パッド１２７ｂ，１２７ｃがトランジスタＴＰ２のノードを構成する。パッド１２７ｂがトランジスタＴＳ２，ＴＰ２によって共有されている。

[0073] ゲート配線１３１，１３２は、Ｘ方向に並列に延びており、かつ、メモリ

セルの下部から上部にかけてＺ方向に延びている。ゲート配線１３１は、トランジスタＴＳ１，ＴＳ２のゲートとなる。ゲート配線１３２は、トランジスタＴＰ１，ＴＰ２のゲートとなる。ゲート配線１３１はワード線ＷＬＲ０に接続される。ゲート配線１３２はワード線ＷＬＰ０に接続される。

[0074] メモリセルの下部において、Ｘ方向に延びるローカル配線１４１，１４２，１４３が形成されている。ローカル配線１４１は、パッド１２２ａと接続されており、パッド１２２ａから図面左向きに延びている。ローカル配線１４２は、パッド１２２ｂと接続されており、パッド１２２ｂから図面左向きに延びている。ローカル配線１４３は、パッド１２２ｃと接続されており、パッド１２２ｃから図面右向きに延びている。メモリセルの上部において、Ｘ方向に延びるローカル配線１４４，１４５，１４６が形成されている。ローカル配線１４４は、パッド１２７ａと接続されており、パッド１２７ａから図面左向きに延びている。ローカル配線１４５は、パッド１２７ｂと接続されており、パッド１２７ｂから図面左向きに延びている。ローカル配線１４６は、パッド１２７ｃと接続されており、パッド１２７ｃから図面右向きに延びている。

[0075] ローカル配線１４１，１４４は平面視で重なっており、コンタクト１５１を介して互いに接続されている。ローカル配線１４２，１４５は平面視で重なっており、コンタクト１５２を介して互いに接続されている。ローカル配線１４３，１４６は平面視で重なっており、コンタクト１５３を介して互いに接続されている。そして、ローカル配線１４４は、コンタクト１５５を介して、Ｍ１配線１６１と接続されている。

[0076] すなわち、本実施形態のレイアウト構造では、プログラム素子を構成するトランジスタＴＰ１，ＴＰ２は、チャネル部が平面視で重なっており、ノードがそれぞれ互いに接続されており、ゲートが共通である。スイッチ素子を構成するトランジスタＴＳ１，ＴＳ２は、チャネル部が平面視で重なっており、ノードがそれぞれ互いに接続されており、ゲートが共通である。

[0077] 図１９および図２０は、図１８のメモリセルを用いたメモリセルアレイの

レイアウト構造を示す図であり、図１９は上部、図２０は下部を示す。図１９および図２０は、図１８のメモリセルが、Ｘ方向に２個、Ｙ方向に４個、並べた構成を示している。Ｙ方向において、メモリセルは一列おきにＹ方向に反転して配置されている。

[0078] 図１８のメモリセルにおけるゲート配線１３１がＸ方向に延びており、ワード線ＷＬＲ０～ＷＬＲ３をそれぞれ構成している。図１８のメモリセルにおけるゲート配線１３２がＸ方向に延びており、ワード線ＷＬＰ０～ＷＬＰ３をそれぞれ構成している。図１８のメモリセルにおけるＭ１配線１６１がＹ方向に延びており、ビット線ＢＬ０，ＢＬ１をそれぞれ構成している。図２のメモリセルにおけるＭ１配線１６２がＹ方向に延びており、電源電圧ＶＤＤを供給している。ワード線ＷＬＲ０，ＷＬＲ１の間では、隣接するトランジスタＴＳ１，ＴＳ２のドレインが共有されている。ワード線ＷＬＲ２，ＷＬＲ３の間では、隣接するトランジスタＴＳ１，ＴＳ２のドレインが共有されている。

[0079] そして、図１８（ａ），（ｂ）に示すＯＴＰメモリセルは、マスクＲＯＭセルに容易に転用可能である。すなわち、図１８（ｃ），（ｄ）に示すように、コンタクト１５６が、その有無によって、メモリセルの記憶値を決定する。コンタクト１５６は、形成されたとき、ローカル配線１４６とＭ１配線１６２とを接続する。すなわち、コンタクト１５６の有無によって、トランジスタＴＰ１のソースとなるパッド１２２ｃおよびトランジスタＴＰ２のソースとなるパッド１２７ｃと電源ＶＤＤとの接続／非接続が設定される。

[0080] 以上のように本実施形態によると、図１８に示すメモリセルは、プログラム素子が２個のトランジスタＴＰ１，ＴＰ２を有し、スイッチ素子が２個のトランジスタＴＳ１，ＴＳ２を有する。これにより、トランジスタＴＰ１，ＴＰ２の一方について書き込みすなわちゲート酸化膜の破壊が十分になされていない場合であっても、他方によってビット線ＢＬの信号を変化させることができるので、記憶データを正しく読み出すことができる。また、読み出し動作の高速化が可能になる。そして、プログラム素子となるトランジスタ

ＴＰ１，ＴＰ２は、平面視でチャネル部１２１ｂ，１２６ｂが重なっており、スイッチ素子となるトランジスタＴＳ１，ＴＳ２は、平面視でチャネル部１２１ａ，１２６ａが重なっている。これにより、ＯＴＰメモリセルについて、小面積のレイアウト構造を実現することができる。

[0081] また、上部と下部とでトランジスタの特性がばらついた場合に、第１実施形態では、ビット線ごとに特性がばらつくが、これに対して本実施形態では、ばらつきの影響を受けない。また、ビット線同士の間に、電源電圧ＶＤＤを供給する配線が配置されるため、ビット線間のクロストークノイズを抑制することができる。これにより、動作の安定性が図られる。さらに、本実施形態では、マスクＲＯＭセルは、上部の１層にあるコンタクトのみによってメモリセルの記憶値を設定できる。また、これにより、メモリセルの記憶値を変更するための製造期間を短縮することができる。

[0082] なお、上述のレイアウト構造では、トランジスタＴＰ１，ＴＳ１の中間ノードとなるパッド１２２ｂと、トランジスタＴＰ２，ＴＳ２の中間ノードとなるパッド１２７ｂとを接続しているが、パッド１２２ｂ，１２７ｂを接続しなくてもよい。この場合は、ローカル配線１４２，１４５およびコンタクト１５２を省くことができる。

[0083] また、第１実施形態と同様に、電源電圧を供給するＢＰＲを設けてもよい。これにより、電源の強化を図ることができる。またこの場合、マスクＲＯＭセルは、ＢＰＲとローカル配線との間のコンタクトの有無によって、記憶値を設定してもよい。

[0084] （変形例１）

図２１は本実施形態の変形例１に係るメモリセルのレイアウト構造を示す平面図であり、（ａ）は上部、（ｂ）は下部を示す。図２１では、図１８と共通の構成要素については図１と同一の符号を付しており、ここではその詳細な説明を省略する場合がある。

[0085] 図２１のレイアウト構造では、プログラム素子を構成するトランジスタＴＰ１，ＴＰ２のソースが削除されている。具体的には、図１８のレイアウト

構造におけるパッド１２２ｃ，１２７ｃ、ローカル配線１４３，１４６、および、コンタクト１５３が省かれている。これにより、図１８のレイアウト構造と比べて、メモリセルの面積が小さくなっている。また、電源電圧ＶＤＤを供給するＭ１配線１６２も省かれている。

[0086] 図２２および図２３は、図２１のメモリセルを用いたメモリセルアレイのレイアウト構造を示す図であり、図２２は上部、図２３は下部を示す。図２２および図２３は、図２１のメモリセルが、Ｘ方向に２個、Ｙ方向に４個、並べた構成を示している。Ｙ方向において、メモリセルは一列おきにＹ方向に反転して配置されている。

[0087] ここで、第１実施形態の変形例２で述べたとおり、ＯＴＰメモリセルは、データ記憶のためには、トランジスタＴＰ１，ＴＰ２はチャネル部とこれを囲むゲートを有していればよく、ソースを省いても動作には問題は生じない。また、本変形例では、ＯＴＰメモリセルからマスクＲＯＭへの転用は想定されていない。このため、図２１のレイアウト構造のように、トランジスタＴＰ１，ＴＰ２のソースとなるパッド１２２ｃ，１２７ｃと、ローカル配線１４３，１４６およびＭ１配線１６２を省くことによって、小面積のメモリセルを実現することができる。

[0088] （変形例２）

図２４は本実施形態の変形例２に係るメモリセルのレイアウト構造を示す平面図であり、（ａ），（ｂ）はそれぞれＯＴＰメモリセルの上部および下部を示し、（ｃ），（ｄ）はそれぞれマスクＲＯＭセルの上部および下部を示す。

[0089] 図２４のレイアウト構造は、図１８と対比すると、変形例１と同様に、プログラム素子を構成するトランジスタＴＰ１，ＴＰ２のソースが削除されている。具体的には、図１８のレイアウト構造におけるパッド１２２ｃ，１２７ｃ、ローカル配線１４３，１４６、および、コンタクト１５３が省かれている。これにより、図１８のレイアウト構造と比べて、メモリセルの面積が小さくなっている。

[0090] 加えて、パッド１２７ｂに接続されたローカル配線１４５Ａは、パッド１２７ｂの図面両側に延びている。そして、マスクＲＯＭセルの記憶値を決定するコンタクト１５７は、ローカル配線１４５ＡとＭ１配線１６２とが平面視で重なる位置に形成される。すなわち、コンタクト１５７は、形成されたとき、ローカル配線１４５Ａと電源電圧ＶＤＤを供給するＭ１配線１６２とを接続する。すなわち、本変形例に係るマスクＲＯＭセルは、第１実施形態の変形例３と同様に、トランジスタＴＰ１，ＴＰ２とトランジスタＴＳ１，ＴＳ２との間のノードと電源ＶＤＤとの接続の有無によって、規定値が記憶される。

[0091] 図２５および図２６は、図２４のメモリセルを用いたメモリセルアレイのレイアウト構造を示す図であり、図２５は上部、図２６は下部を示す。図２５および図２６は、図２４のメモリセルが、Ｘ方向に２個、Ｙ方向に４個、並べた構成を示している。Ｙ方向において、メモリセルは一列おきにＹ方向に反転して配置されている。

[0092] （他の例）

なお、上述の各実施形態では、トランジスタは１本のナノワイヤを備えるものとしたが、トランジスタの一部または全部は、複数本のナノワイヤを備えてもよい。この場合、平面視でＸ方向において複数本のナノワイヤを設けてもよいし、Ｚ方向において複数本のナノワイヤを設けてもよい。また、Ｘ方向およびＺ方向の両方においてそれぞれ複数本のナノワイヤを設けてもよい。また、セルの上部と下部とにおいて、トランジスタが備えるナノワイヤの本数が異なっていてもよい。

[0093] また、上述の各実施形態では、ナノワイヤの断面形状はほぼ正方形としているが、これに限られるものではない。例えば、円形や長方形であってもよい。

[0094] また、上述の各実施形態では、立体構造トランジスタとしてナノワイヤＦＥＴを例にとって説明を行ったが、これに限られるものではない。例えば、セルの下部に形成されるトランジスタは、フィン型トランジスタであっても

よい。

産業上の利用可能性

[0095] 本開示では、ＣＦＥＴを用いたメモリセルを備えた半導体集積回路装置について、小面積のレイアウト構造を実現できるので、例えば半導体チップの性能向上に有用である。

符号の説明

[0096] １　メモリセル

１１，１２　電源配線

２１ａ，２１ｂ，２６ａ，２６ｂ　ナノワイヤ（チャネル部）

３１，３２　ゲート配線

４１，４２，４２Ａ，４３，４４，４４Ａ，４５，４６　ローカル配線

５３，５３Ａ，５４，５４Ａ，５５，５６　コンタクト

６１，６２　Ｍ１配線

１２１ａ，１２１ｂ，１２６ａ，１２６ｂ　ナノワイヤ（チャネル部）

１３１，１３２　ゲート配線

１４１，１４２，１４３，１４４，１４５，１４５Ａ，１４６　ローカル配線

１５１，１５２，１５３，１５６，１５７　コンタクト

１６１，１６２　Ｍ１配線

ＭＣ　メモリセル

ＢＬ　ビット線

ＷＬＰ，ＷＬＲ　ワード線

ＴＰ，ＴＰ１，ＴＰ２　プログラムトランジスタ

ＴＳ，ＴＳ１，ＴＳ２　スイッチトランジスタ

請求の範囲

[請求項1] 不揮発性のメモリセルを備えた半導体記憶装置であって、

第１方向に延びる第１および第２ワード線と、

前記第１方向と垂直をなす第２方向に延びる第１および第２ビット線とを備え、

前記メモリセルは、

ゲートが前記第１ワード線に接続された第１プログラムトランジスタと、

前記第１プログラムトランジスタと前記第１ビット線との間に設けられ、ゲートが前記第２ワード線に接続された第１スイッチトランジスタと、

ゲートが前記第１ワード線に接続された第２プログラムトランジスタと、

前記第２プログラムトランジスタと前記第２ビット線との間に設けられ、ゲートが前記第２ワード線に接続された第２スイッチトランジスタとを備え、

前記第１および第２プログラムトランジスタは、平面視でチャネル部が重なっている立体構造トランジスタであり、

前記第１および第２スイッチトランジスタは、平面視でチャネル部が重なっている立体構造トランジスタであり、

前記第１プログラムトランジスタおよび前記第１スイッチトランジスタは、第１層に形成されており、

前記第２プログラムトランジスタおよび前記第２スイッチトランジスタは、前記第１層より下層の第２層に形成されており、

前記メモリセルは、

前記第１スイッチトランジスタのドレインに接続され、前記第１スイッチトランジスタから前記第１方向における第１の向きに延びる第１ローカル配線を備える

ことを特徴とする半導体記憶装置。

[請求項2] 請求項１記載の半導体記憶装置において、

前記メモリセルは、

前記第２スイッチトランジスタのドレインに接続され、前記第２スイッチトランジスタから前記第１方向における前記第１の向きと逆向きに延びる第２ローカル配線を備える

ことを特徴とする半導体記憶装置。

[請求項3] 請求項２記載の半導体記憶装置において、

前記メモリセルは、

前記第１プログラムトランジスタのソースに接続され、前記第１プログラムトランジスタから前記第１方向における第２の向きに延びる第３ローカル配線と、

前記第２プログラムトランジスタのソースに接続され、前記第２プログラムトランジスタから前記第１方向における前記第２の向きと逆向きに延びる第４ローカル配線とを備える

ことを特徴とする半導体記憶装置。

[請求項4] 請求項３記載の半導体記憶装置において、

前記第１の向きと前記第２の向きとは、同じ向きである

ことを特徴とする半導体記憶装置。

[請求項5] 請求項３記載の半導体記憶装置において、

前記第１の向きと前記第２の向きとは、逆の向きである

ことを特徴とする半導体記憶装置。

[請求項6] 請求項３記載の半導体記憶装置において、

前記第２方向に並列に延び、第１電源電圧が供給される第１および第２電源配線を備え、

前記第３および第４ローカル配線は、前記第１および第２電源配線とそれぞれ平面視で重なりを有しており、

前記第３および第４ローカル配線のうち少なくともいずれか一方は

、コンタクトを介して、前記第１または第２電源配線と接続されている

ことを特徴とする半導体記憶装置。

[請求項7] 請求項２記載の半導体記憶装置において、

前記メモリセルは、

前記第１プログラムトランジスタと前記第１スイッチトランジスタとが共有するノードに接続され、前記第１方向に延びる第３ローカル配線と、

前記第２プログラムトランジスタと前記第２スイッチトランジスタとが共有するノードに接続され、前記第１方向に延びる第４ローカル配線とを備える

ことを特徴とする半導体記憶装置。

[請求項8] 請求項７記載の半導体記憶装置において、

前記第２方向に並列に延び、第１電源電圧が供給される第１および第２電源配線を備え、

前記第３および第４ローカル配線は、前記第１および第２電源配線とそれぞれ平面視で重なりを有しており、

前記第３および第４ローカル配線のうち少なくともいずれか一方は、コンタクトを介して、前記第１または第２電源配線と接続されている

ことを特徴とする半導体記憶装置。

[請求項9] 不揮発性のメモリセルを備えた半導体記憶装置であって、

第１方向に延びる第１および第２ワード線と、

前記第１方向と垂直をなす第２方向に延びる第１ビット線とを備え、

前記メモリセルは、

ゲートが前記第１ワード線に接続された第１プログラム素子と、

前記第１プログラム素子と前記第１ビット線との間に設けられ、ゲ

ートが前記第２ワード線に接続された第１スイッチ素子とを備え、

前記第１プログラム素子は、並列に接続され、平面視でチャネル部が重なっている立体構造トランジスタである第１および第２プログラムトランジスタを有し、

前記第１スイッチ素子は、前記第１および第２プログラムトランジスタのいずれかと同一層に形成された立体構造トランジスタである第１スイッチトランジスタを含む

ことを特徴とする半導体記憶装置。

[請求項10] 請求項９記載の半導体記憶装置において、

前記第１スイッチ素子は、

前記第１スイッチトランジスタと平面視でチャネル部が重なっている立体構造トランジスタである第２スイッチトランジスタを含み、

前記第１プログラムトランジスタおよび前記第１スイッチトランジスタは、第１層に形成されており、

前記第２プログラムトランジスタおよび前記第２スイッチトランジスタは、前記第１層より下層の第２層に形成されている

ことを特徴とする半導体記憶装置。

[請求項11] 請求項１０記載の半導体記憶装置において、

前記メモリセルは、

前記第１スイッチトランジスタのドレインに接続され、前記第１スイッチトランジスタから前記第１方向における第１の向きに延びる第１ローカル配線と、

前記第２スイッチトランジスタのドレインに接続され、前記第２スイッチトランジスタから前記第１方向における前記第１の向きに延びる第２ローカル配線と、

前記第１プログラムトランジスタと前記第１スイッチトランジスタとが共有するノードに接続され、前記第１方向に延びる第３ローカル配線と、

前記第２プログラムトランジスタと前記第２スイッチトランジスタとが共有するノードに接続され、前記第１方向に延びる第４ローカル配線とを備え、

前記第１および第２ローカル配線は、コンタクトを介して互いに接続されており、

前記第３および第４ローカル配線は、コンタクトを介して互いに接続されている

ことを特徴とする半導体記憶装置。

[請求項12] 請求項１１記載の半導体記憶装置において、

前記第２方向に延び、第１電源電圧が供給される第１電源配線を備え、

前記第３および第４ローカル配線は、前記第１電源配線と平面視で重なりを有しており、前記第３および第４ローカル配線のいずれかは、コンタクトを介して、前記第１電源配線と接続されている

ことを特徴とする半導体記憶装置。

[請求項13] 請求項１１記載の半導体記憶装置において、

前記メモリセルは、

前記第１プログラムトランジスタのソースに接続され、前記第１プログラムトランジスタから前記第１方向における第２の向きに延びる第５ローカル配線と、

前記第２プログラムトランジスタのソースに接続され、前記第２プログラムトランジスタから前記第１方向における前記第２の向きに延びる第６ローカル配線とを備え、

前記第５および第６ローカル配線は、コンタクトを介して互いに接続されている

ことを特徴とする半導体記憶装置。

[請求項14] 請求項１３記載の半導体記憶装置において、

前記第２方向に延び、第１電源電圧が供給される第１電源配線を備

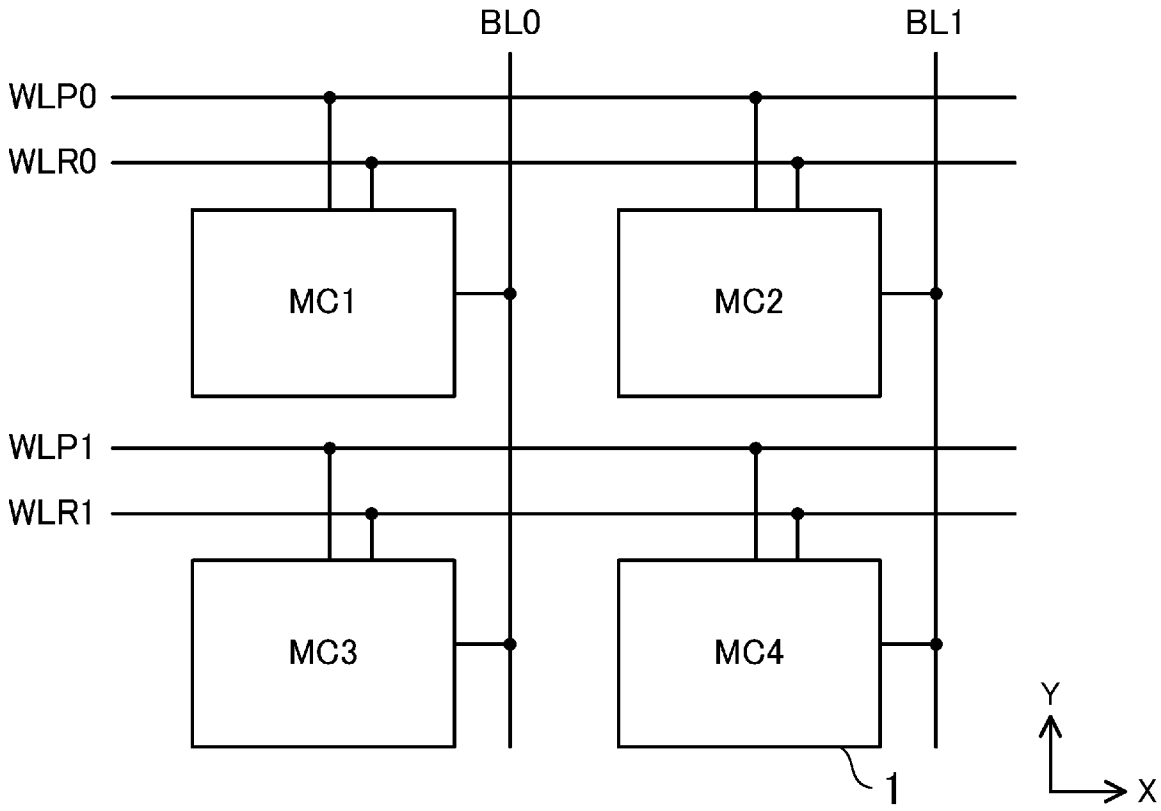
え、

前記第５および第６ローカル配線は、前記第１電源配線と平面視で重なりを有しており、前記第５および第６ローカル配線のいずれかは、コンタクトを介して、前記第１電源配線と接続されている

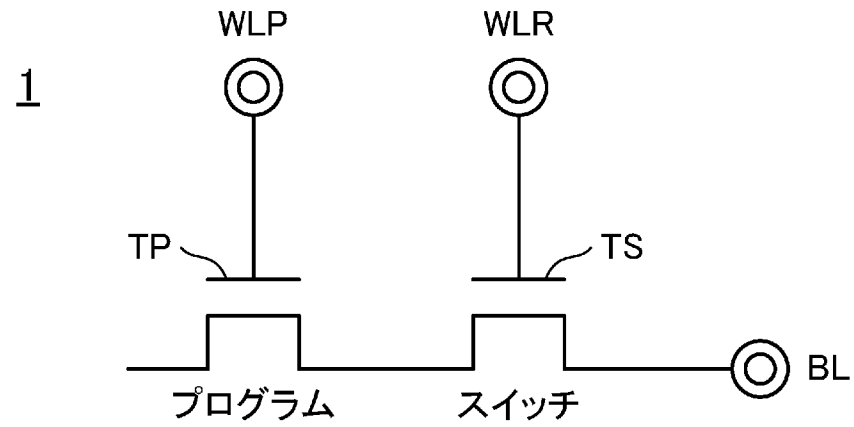
ことを特徴とする半導体記憶装置。

[図1]

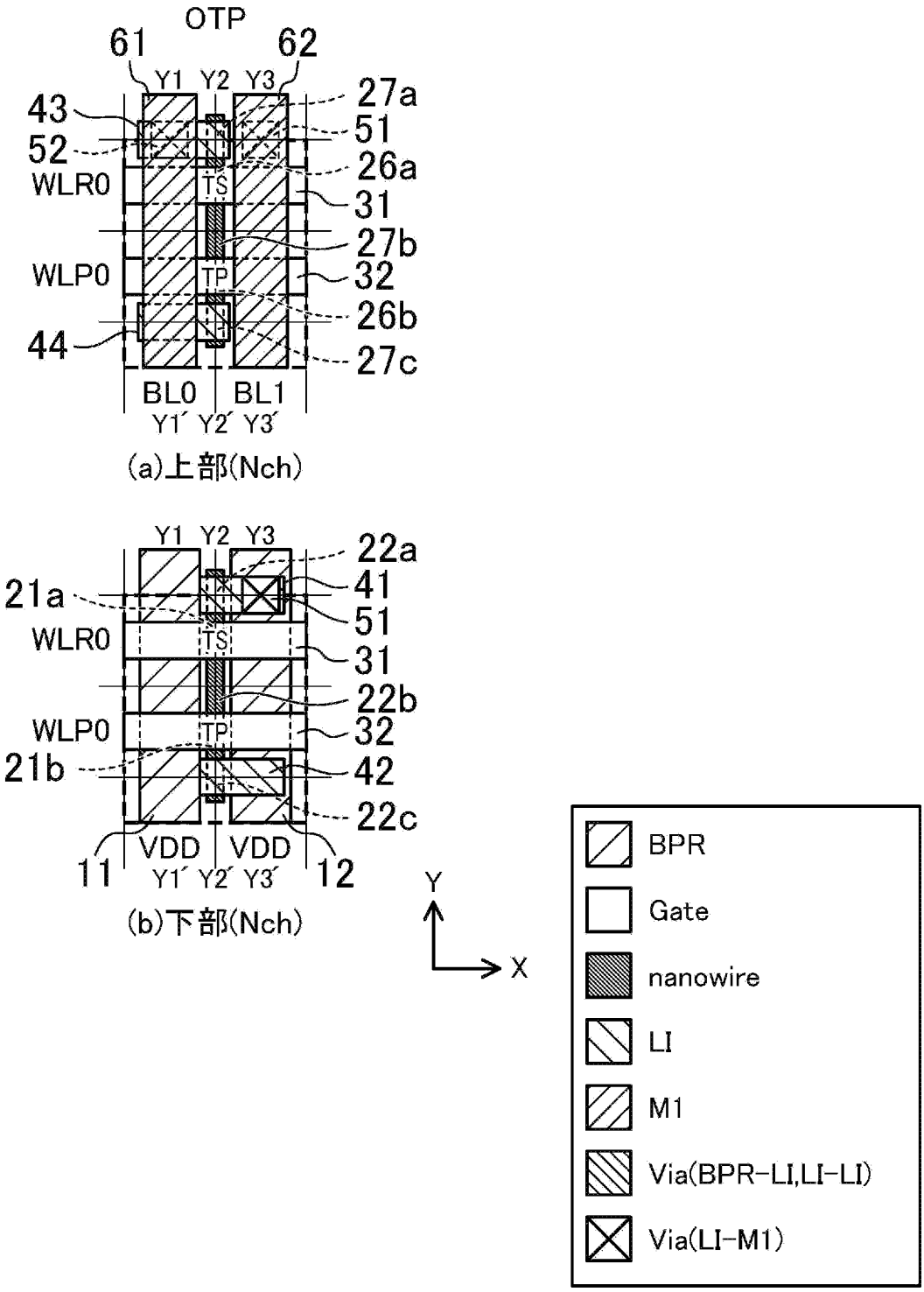
(a)


BL0
BL1
WLP0
WLR0
MC1
MC2
WLP1
WLR1
MC3
MC4
1
Y
X

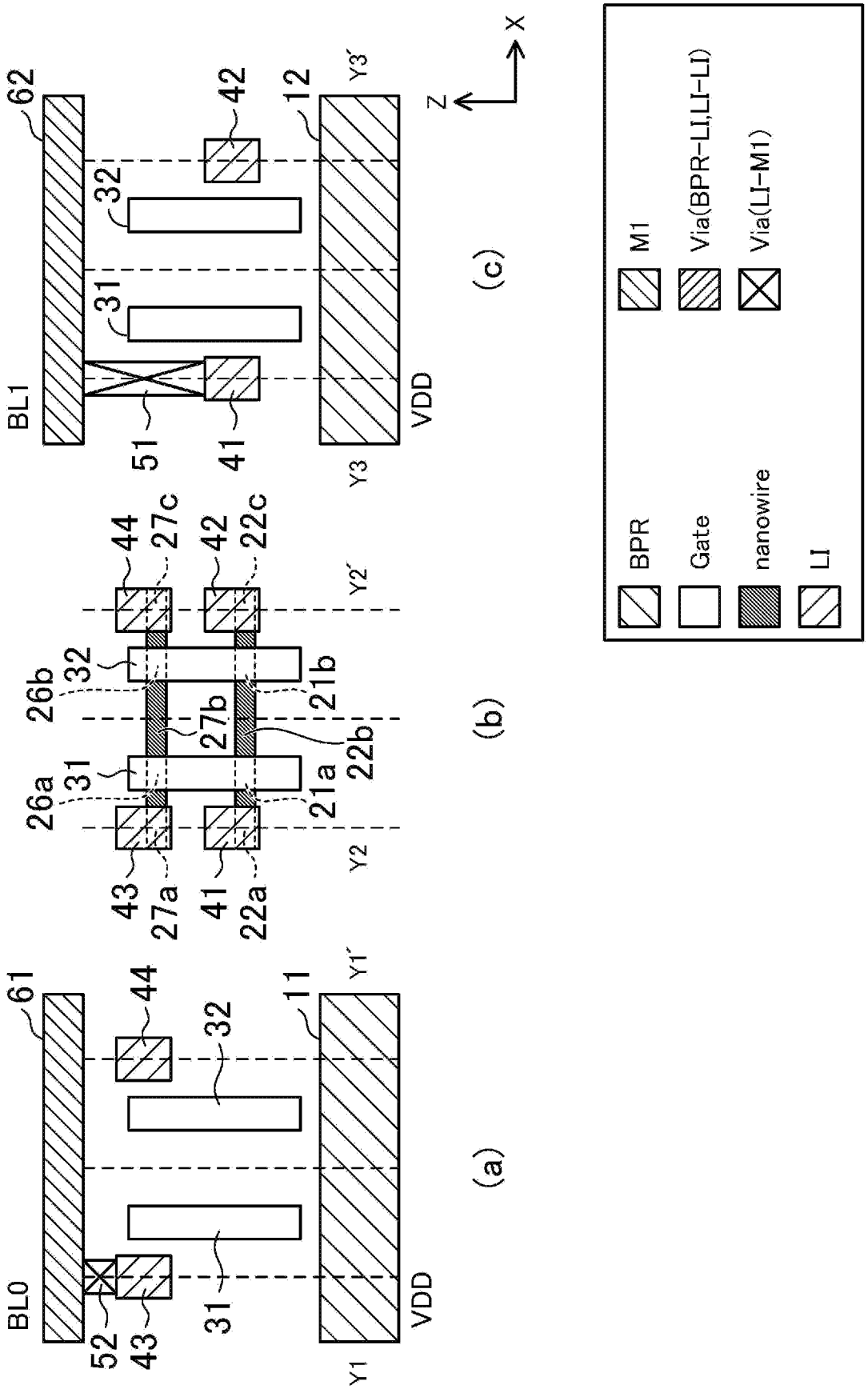
(b)


WLP
WLR
1
TP
TS
BL
プログラム
スイッチ

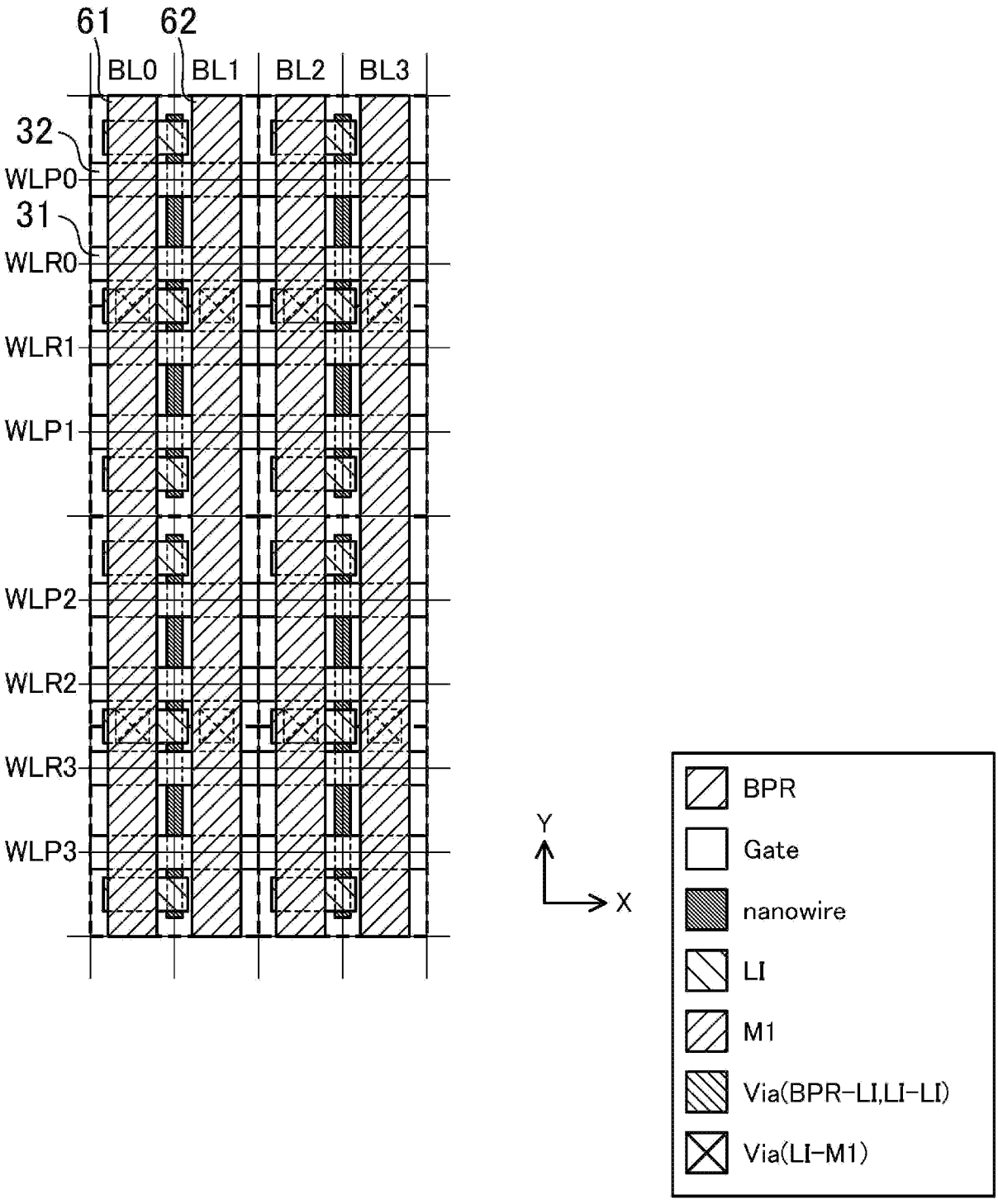
[図2]


OTP
61
62
Y1 Y2 Y3
43
52
WLR0
WLP0
44
TS
TP
27a
51
26a
31
27b
32
26b
27c
BL0
BL1
Y1´ Y2´ Y3´
(a)上部(Nch)
Y1 Y2 Y3
21a
WLR0
WLP0
21b
TS
TP
22a
41
51
31
22b
32
42
22c
11
VDD
VDD
12
Y1´ Y2´ Y3´
(b)下部(Nch)
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

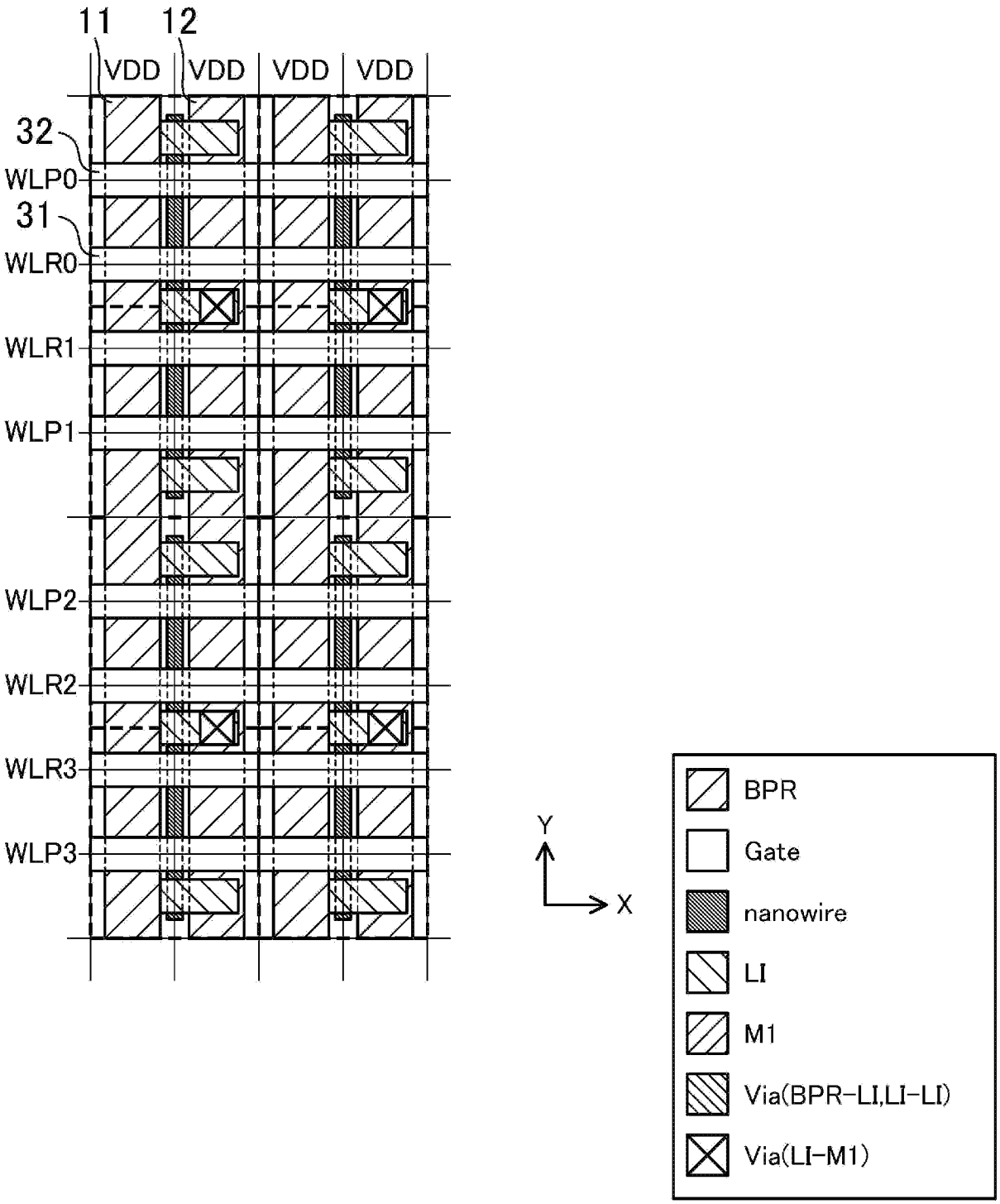
[図3]


BL0
BL1
VDD
VDD
61
62
11
12
Y1
Y1′
Y2
Y2′
Y3
Y3′
X
Z
(a)
(b)
(c)
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

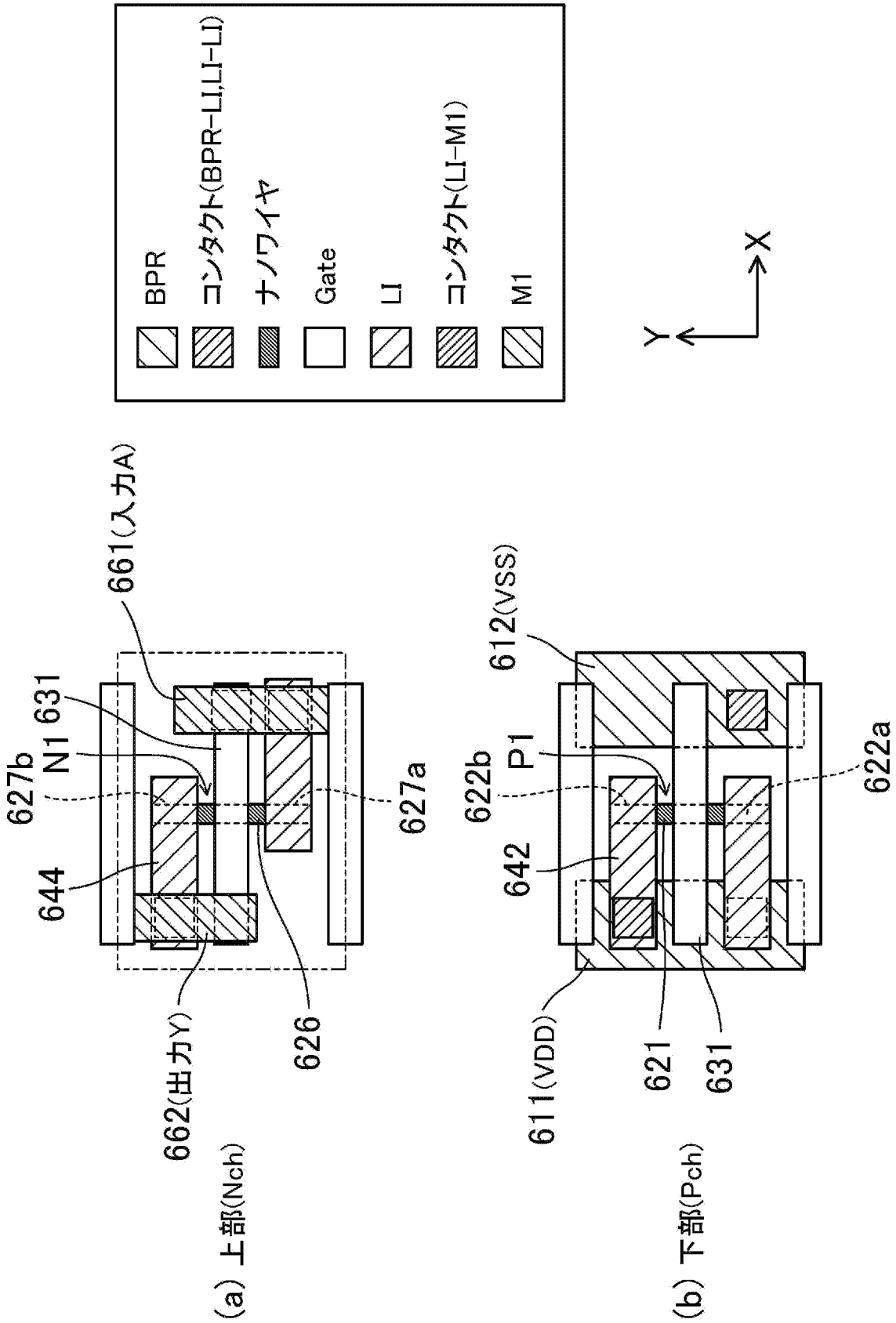
[図4]


61
62
BL0
BL1
BL2
BL3
32
WLP0
31
WLR0
WLR1
WLP1
WLP2
WLR2
WLR3
WLP3
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

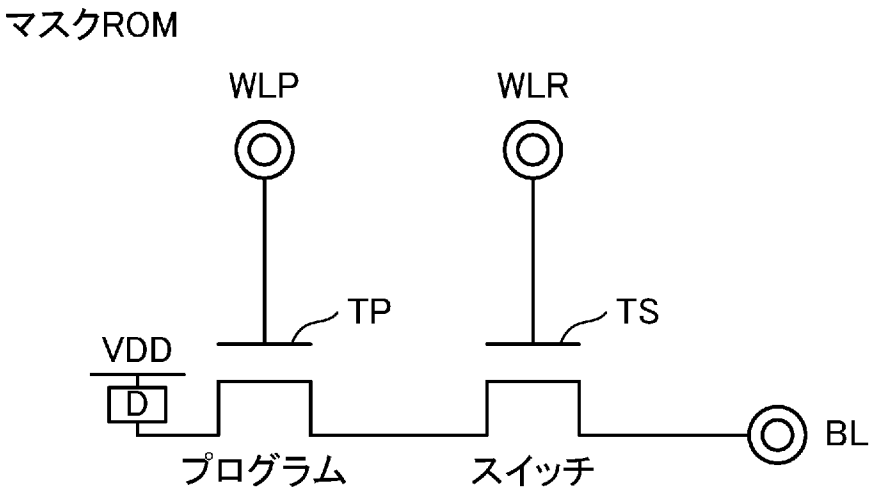
[図5]


11
12
VDD
VDD
VDD
VDD
32
WLP0
31
WLR0
WLR1
WLP1
WLP2
WLR2
WLR3
WLP3
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

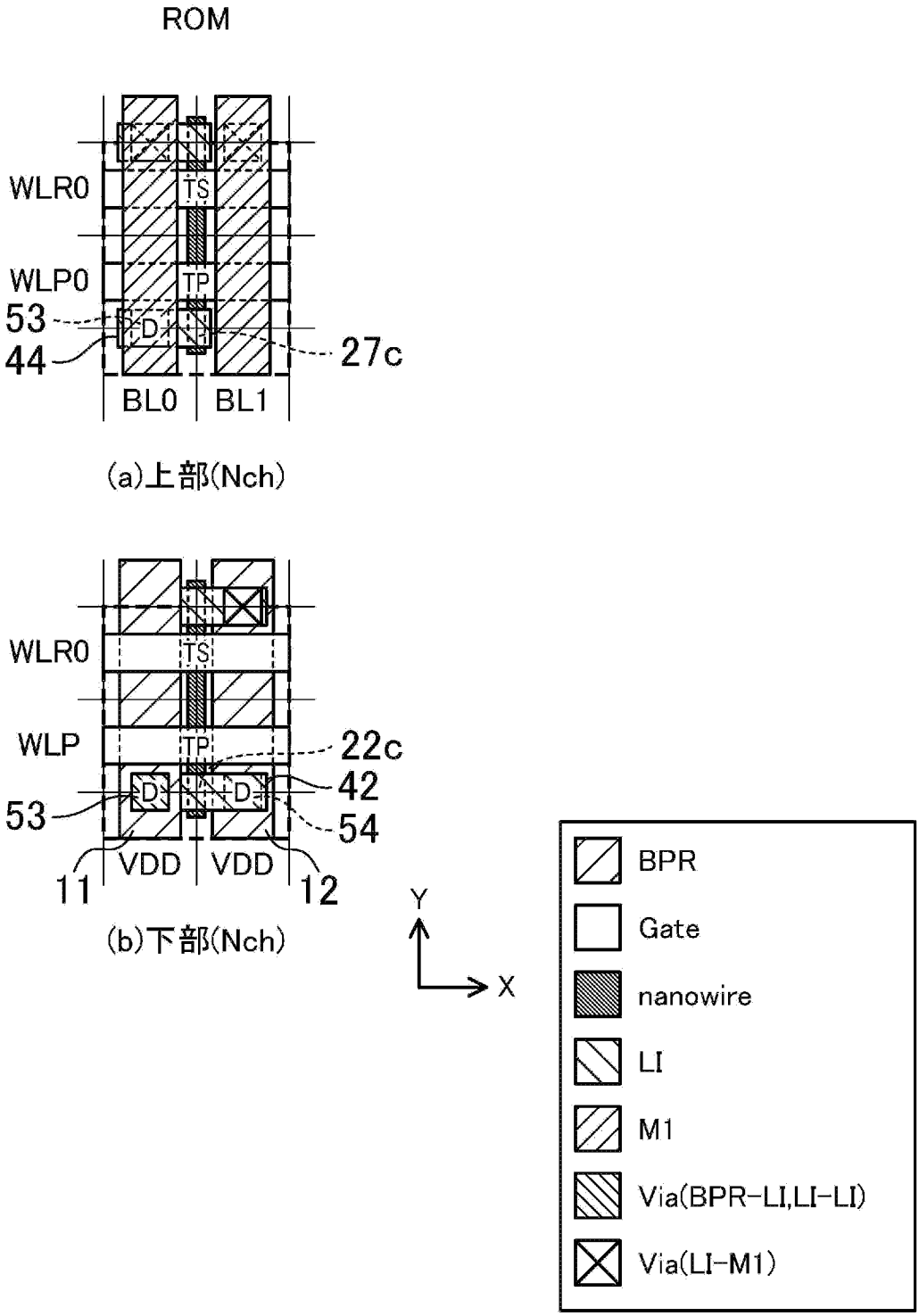
[図6]


BPR
コンタクト(BPR-LI,LI-LI)
ナノワイヤ
Gate
LI
コンタクト(LI-M1)
M1
Y
X
661(入力A)
631
N1
627b
644
627a
662(出力Y)
626
(a) 上部(Nch)
612(VSS)
P1
622b
642
622a
611(VDD)
621
631
(b) 下部(Pch)

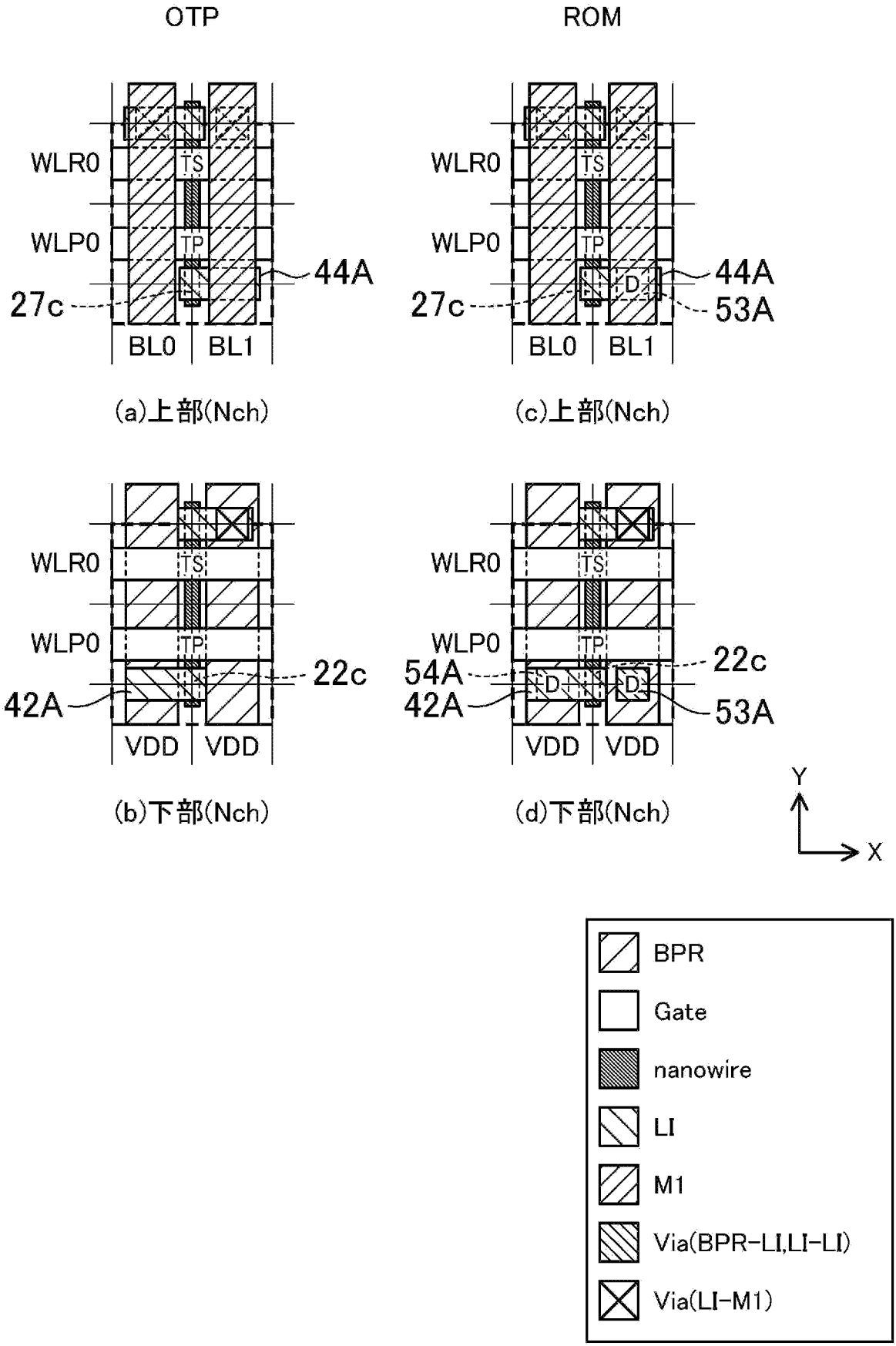
[図7]



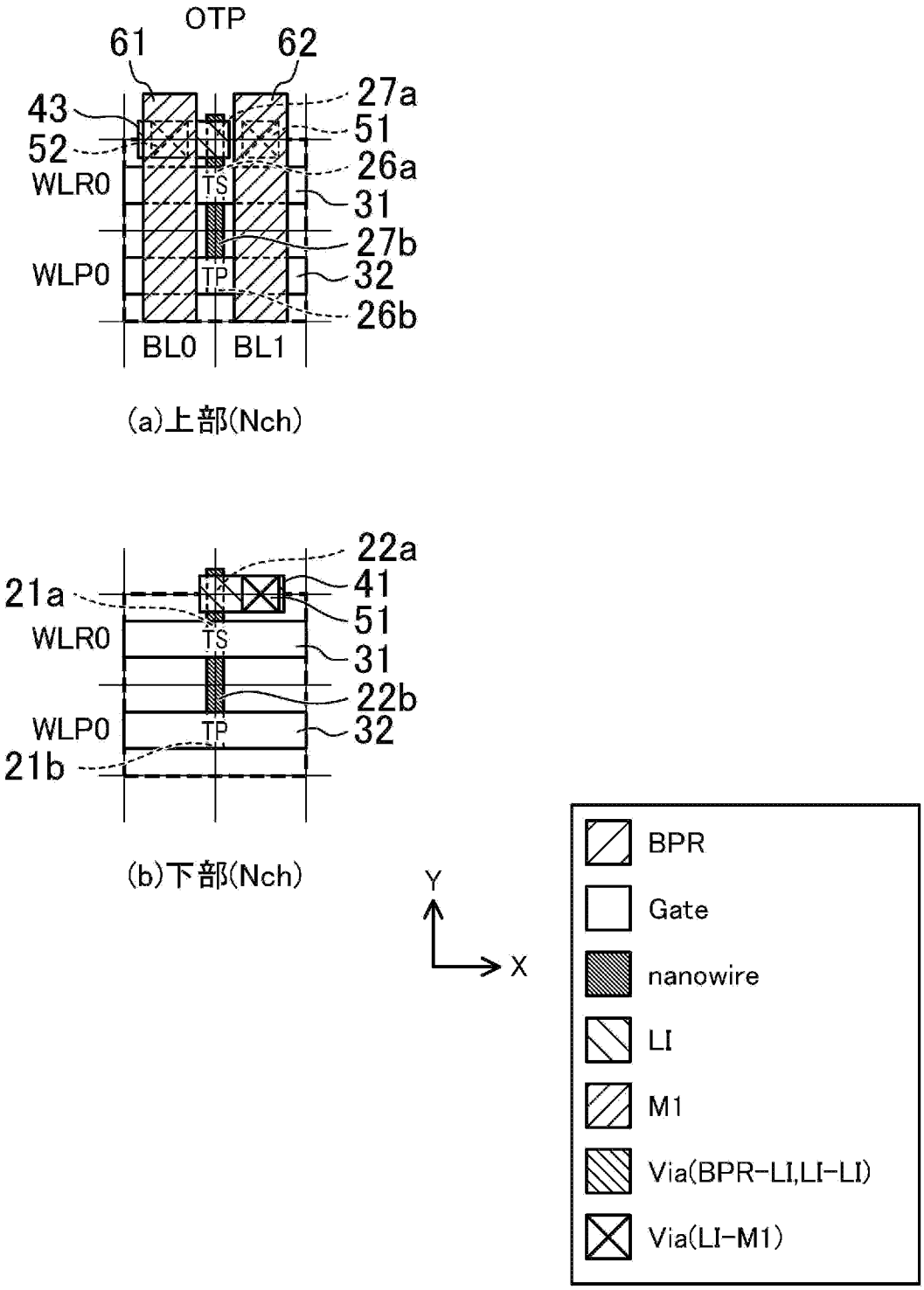
[図8]


ROM
WLR0
TS
WLP0
TP
53
D
44
27c
BL0
BL1
(a)上部(Nch)
WLR0
TS
WLP
TP
22c
42
D
D
53
54
11
VDD
VDD
12
(b)下部(Nch)
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

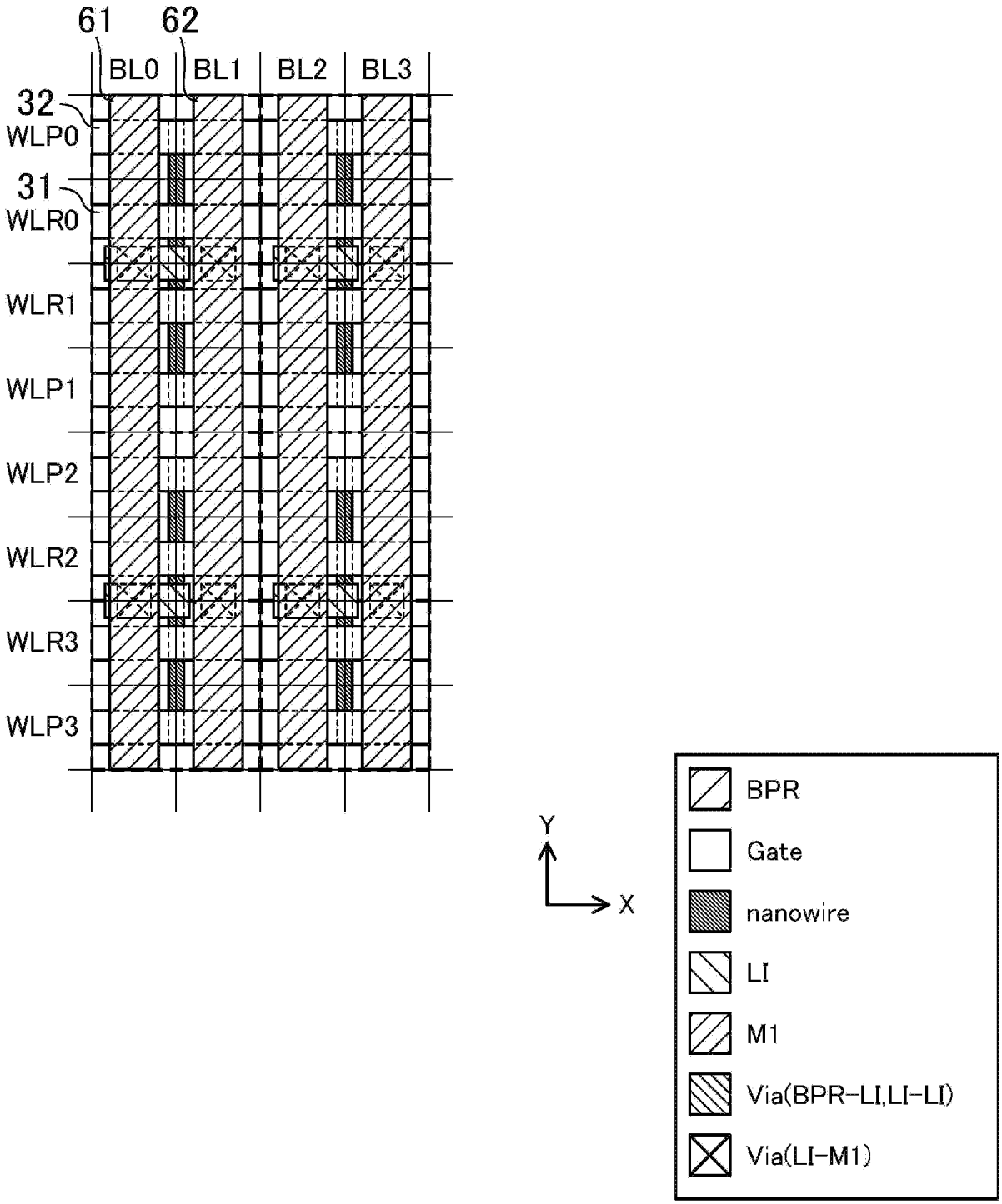
[図9]


OTP
ROM
WLR0
WLP0
TS
TP
44A
27c
BL0
BL1
D
53A
(a)上部(Nch)
(c)上部(Nch)
22c
42A
VDD
54A
(b)下部(Nch)
(d)下部(Nch)
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

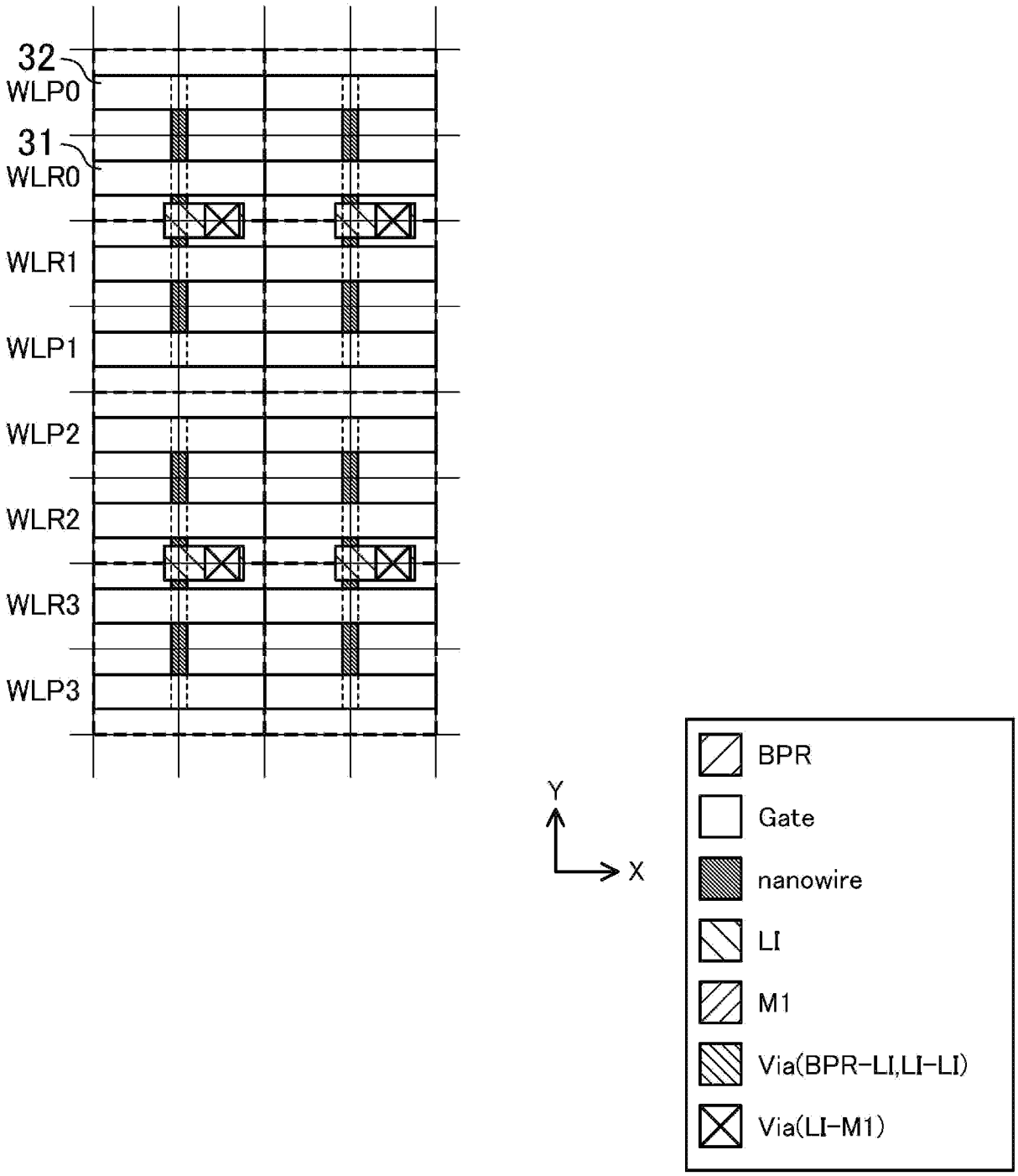
[図10]


OTP
61
62
43
52
WLR0
WLP0
TS
TP
27a
51
26a
31
27b
32
26b
BL0
BL1
(a)上部(Nch)
22a
21a
41
51
WLR0
TS
31
22b
WLP0
TP
32
21b
(b)下部(Nch)
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

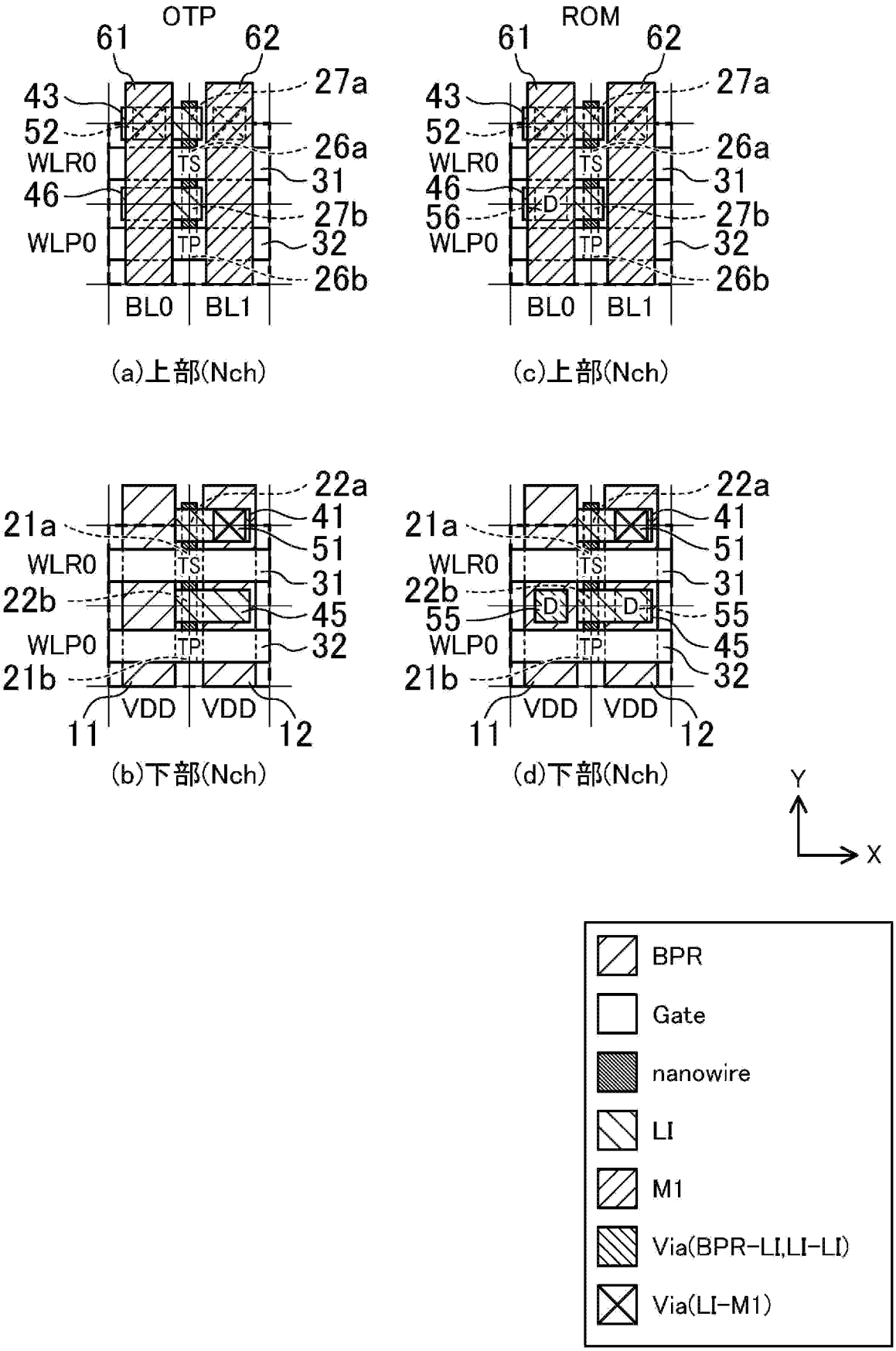
[図11]


61
62
BL0
BL1
BL2
BL3
32
WLP0
31
WLR0
WLR1
WLP1
WLP2
WLR2
WLR3
WLP3
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

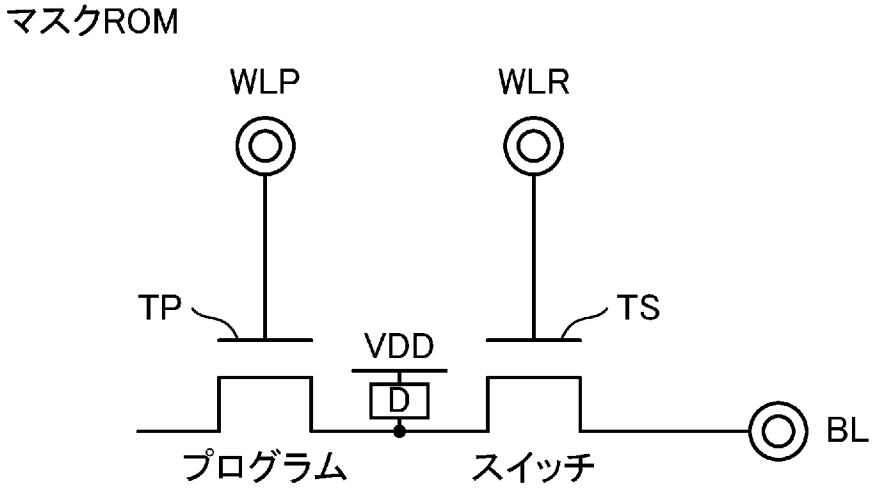
[図12]


32
WLP0
31
WLR0
WLR1
WLP1
WLP2
WLR2
WLR3
WLP3
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

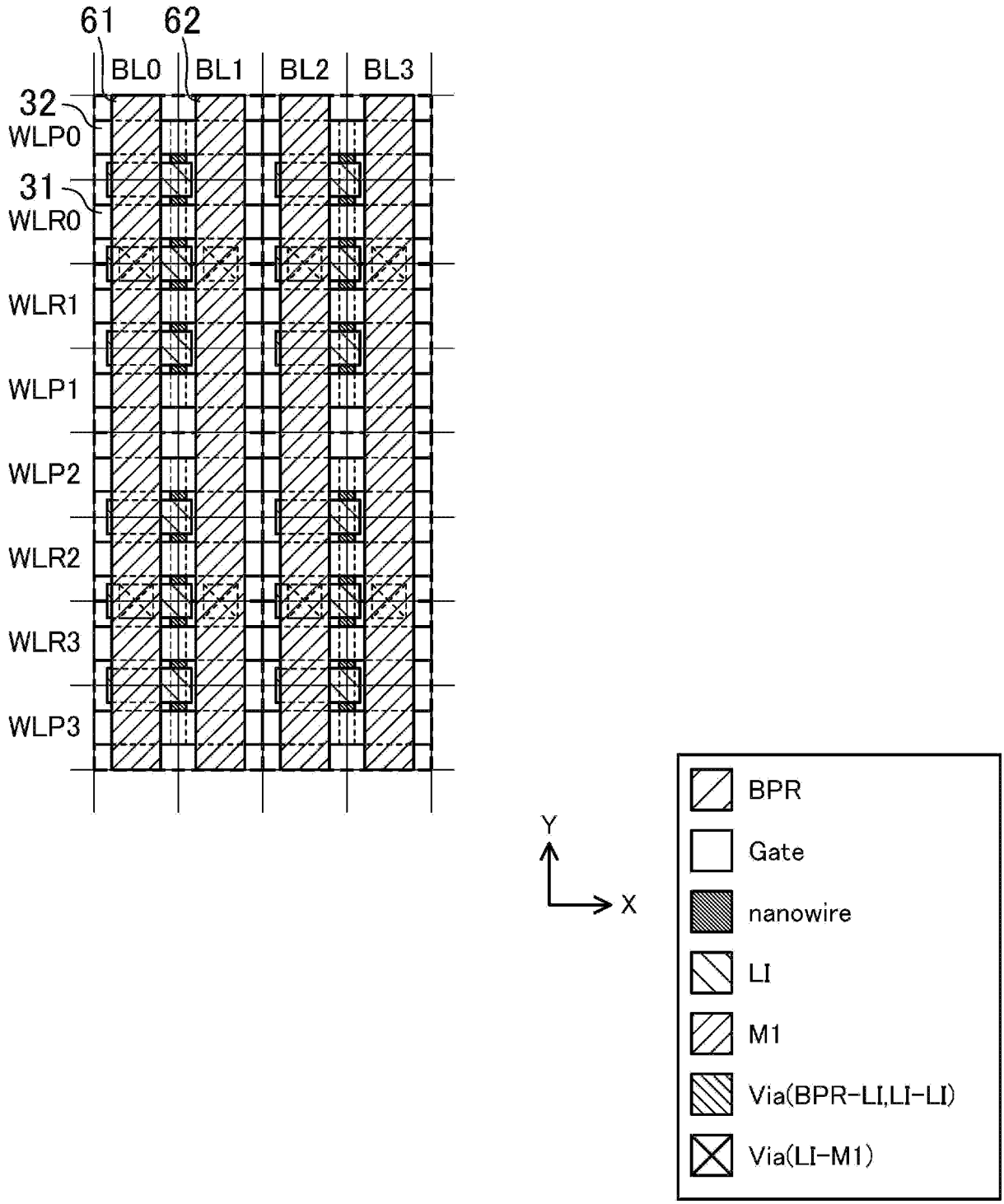
[図13]


OTP
61
62
43
52
WLR0
46
WLP0
27a
26a
31
27b
32
26b
TS
TP
BL0
BL1
(a)上部(Nch)
ROM
61
62
43
52
WLR0
46
56
WLP0
D
27a
26a
31
27b
32
26b
TS
TP
BL0
BL1
(c)上部(Nch)
22a
21a
41
51
WLR0
31
22b
45
WLP0
32
21b
TS
TP
VDD
VDD
11
12
(b)下部(Nch)
22a
21a
41
51
WLR0
31
22b
55
45
WLP0
32
21b
D
D
TS
TP
VDD
VDD
11
12
(d)下部(Nch)
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

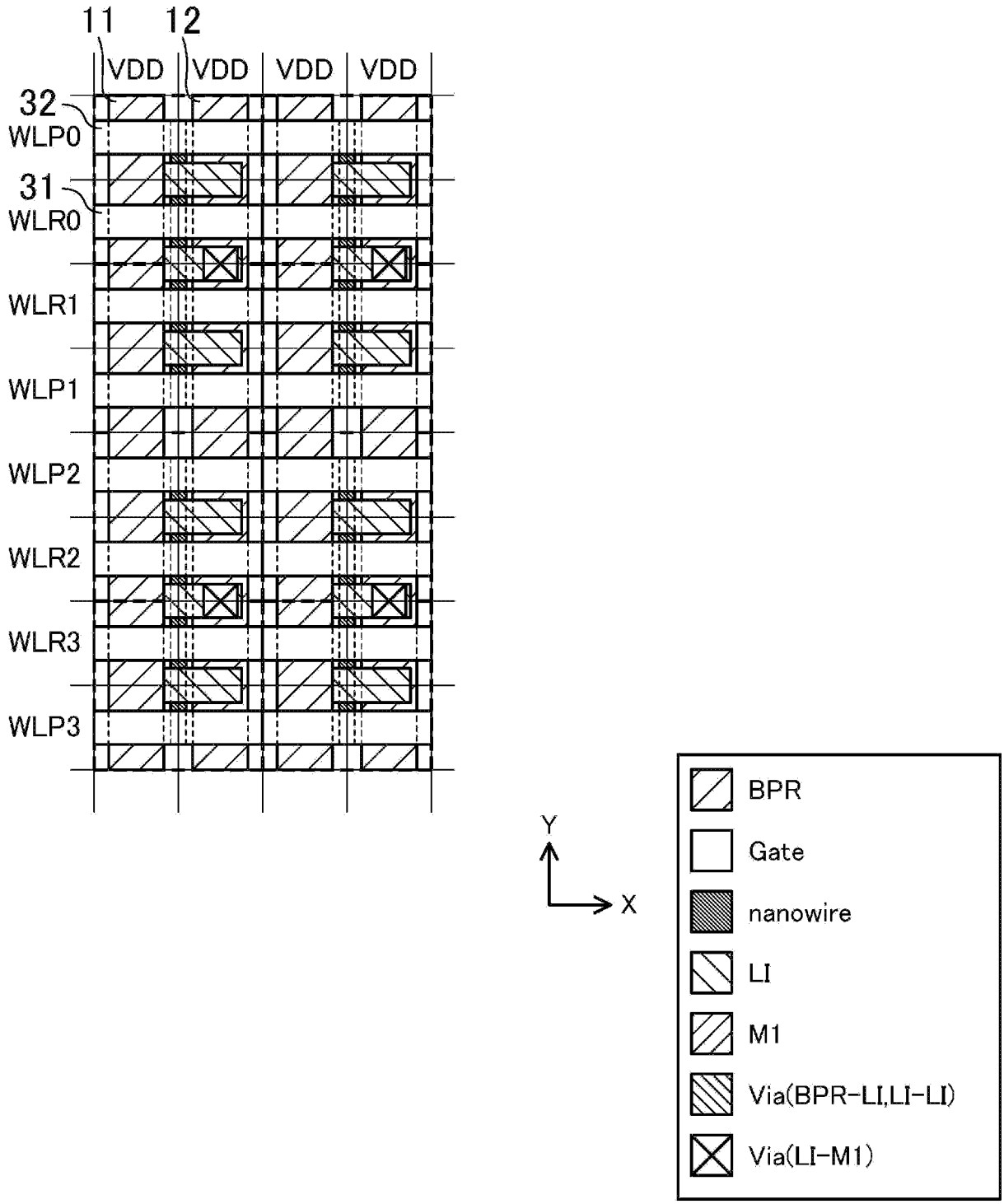
[図14]



[図15]

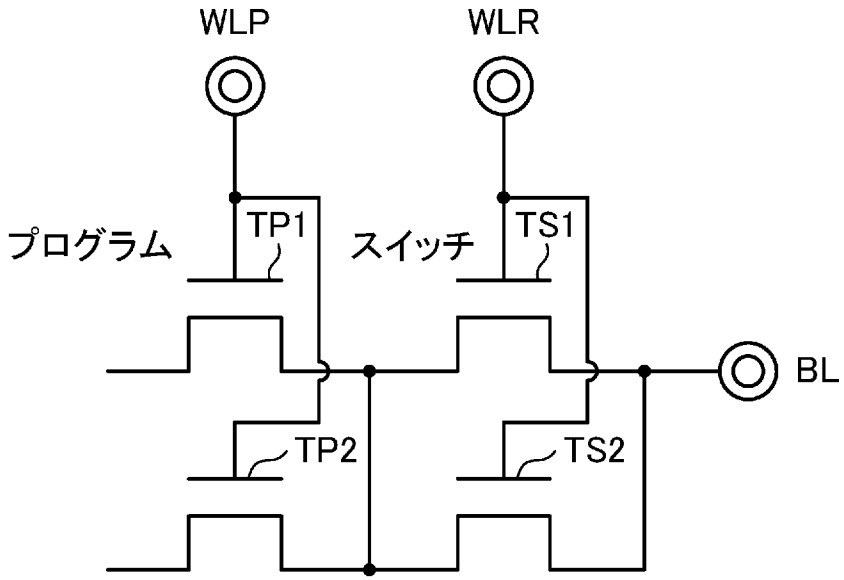

61
62
BL0
BL1
BL2
BL3
32
WLP0
31
WLR0
WLR1
WLP1
WLP2
WLR2
WLR3
WLP3
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

[図16]

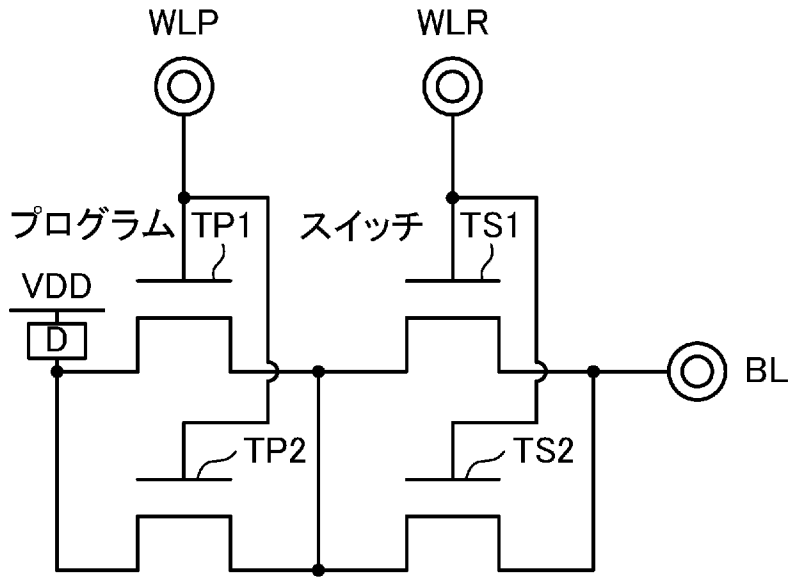

11
12
VDD
VDD
VDD
VDD
32
WLP0
31
WLR0
WLR1
WLP1
WLP2
WLR2
WLR3
WLP3
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

[図17]

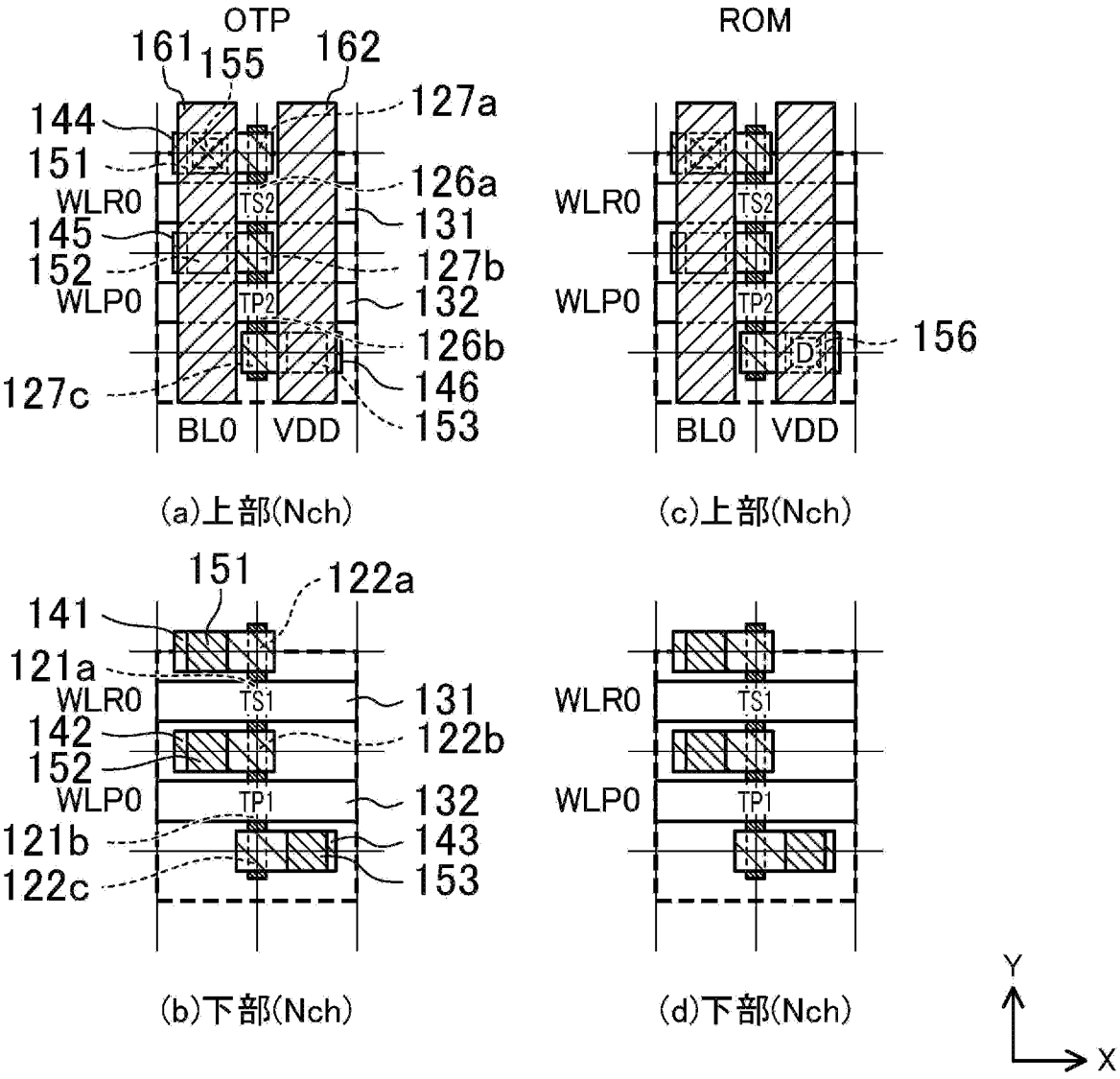
(a) OTP



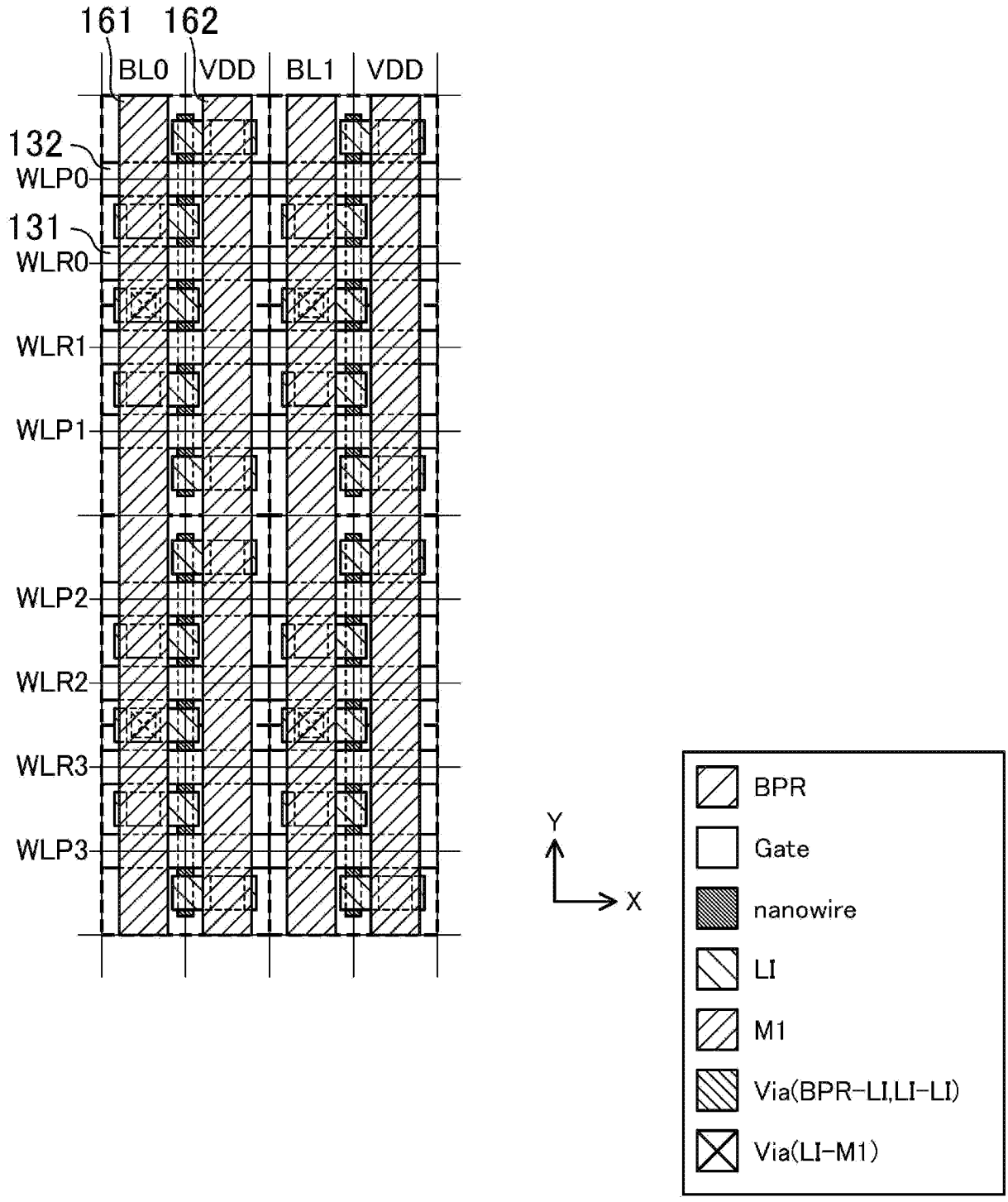
(b) マスクROM



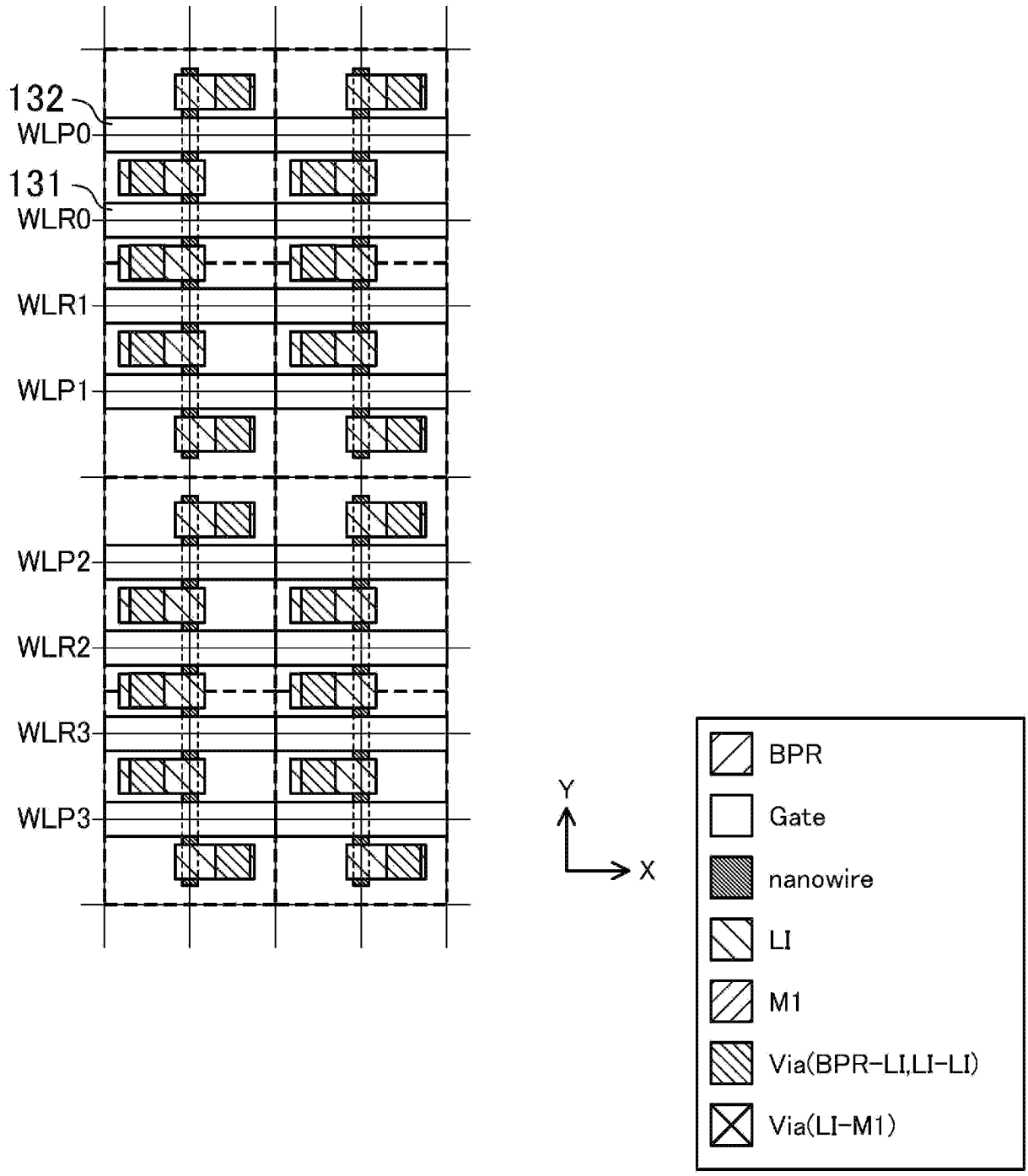
[図18]


OTP
161
155
162
144
151
WLR0
145
152
WLP0
127c
127a
126a
131
127b
132
126b
146
153
TS2
TP2
BL0
VDD
(a)上部(Nch)
ROM
WLR0
WLP0
156
D
(c)上部(Nch)
151
122a
141
121a
WLR0
142
152
WLP0
121b
122c
131
122b
132
143
153
TS1
TP1
(b)下部(Nch)
(d)下部(Nch)
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

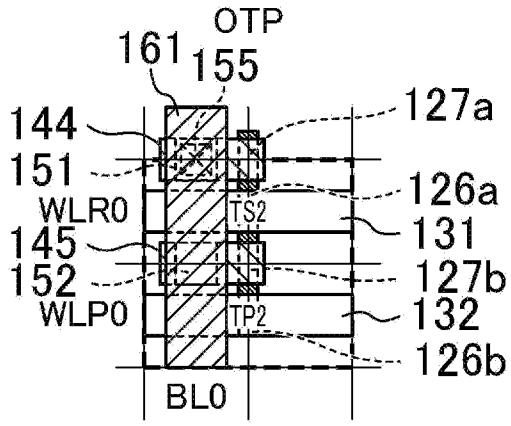
[図19]


161
162
BL0
VDD
BL1
VDD
132
WLP0
131
WLR0
WLR1
WLP1
WLP2
WLR2
WLR3
WLP3
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

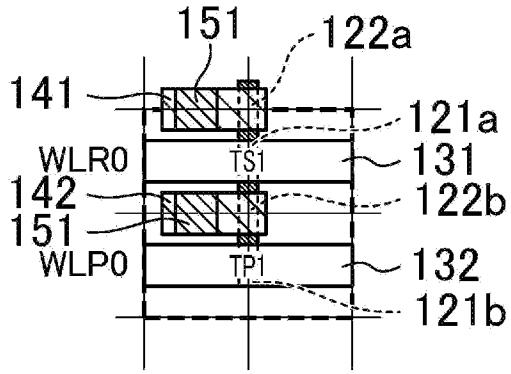
[図20]


132
WLP0
131
WLR0
WLR1
WLP1
WLP2
WLR2
WLR3
WLP3
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

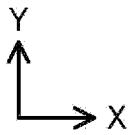
[図21]

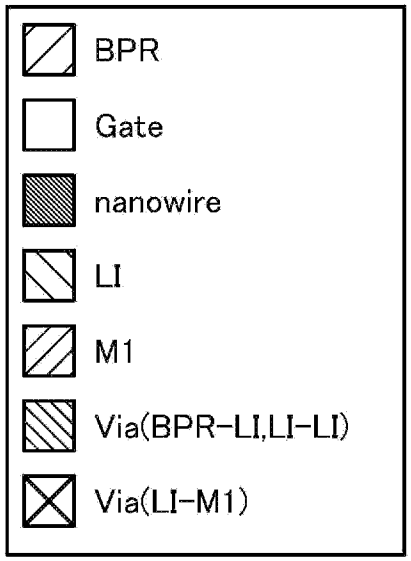


(a)上部(Nch)

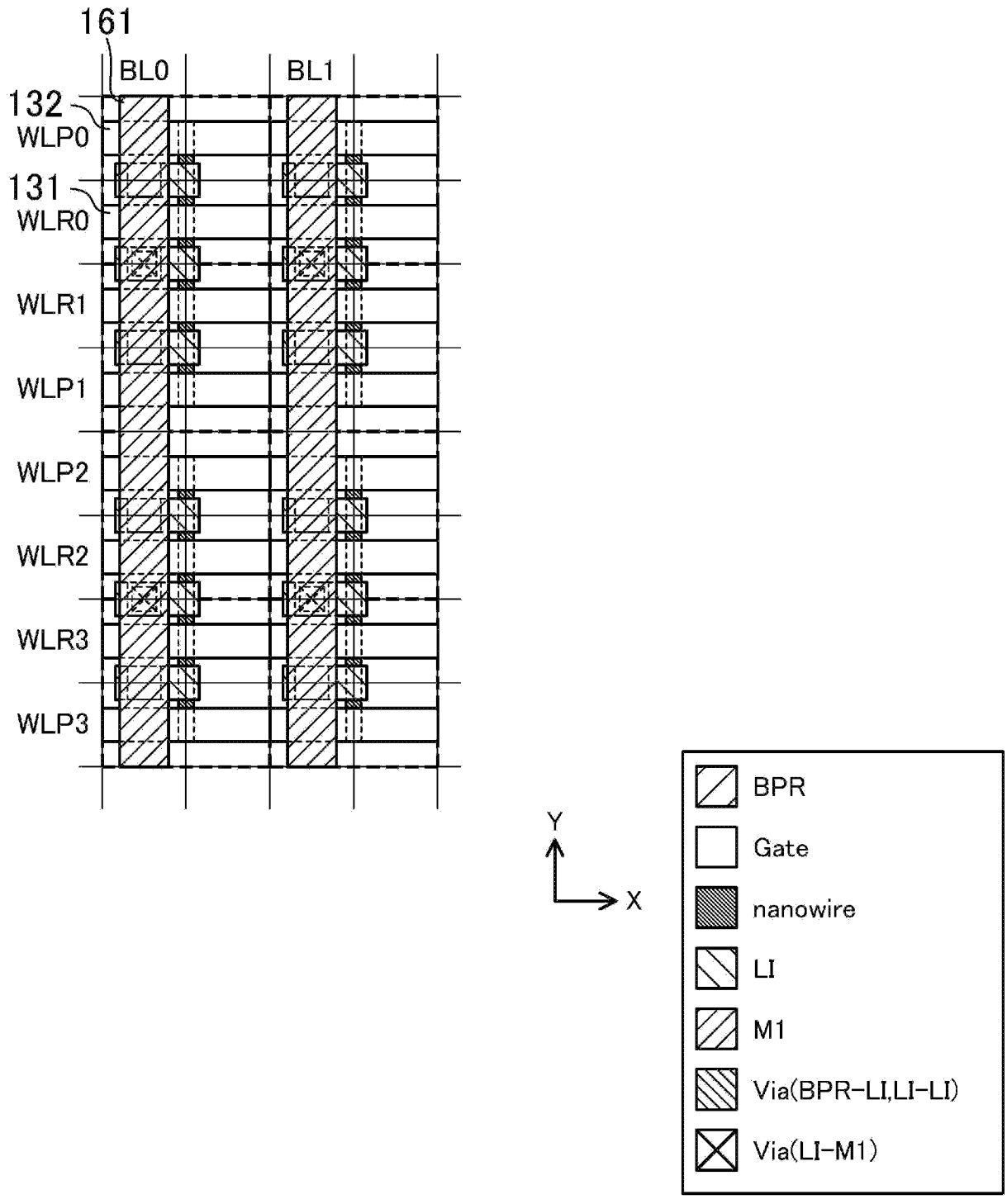


(b)下部(Nch)

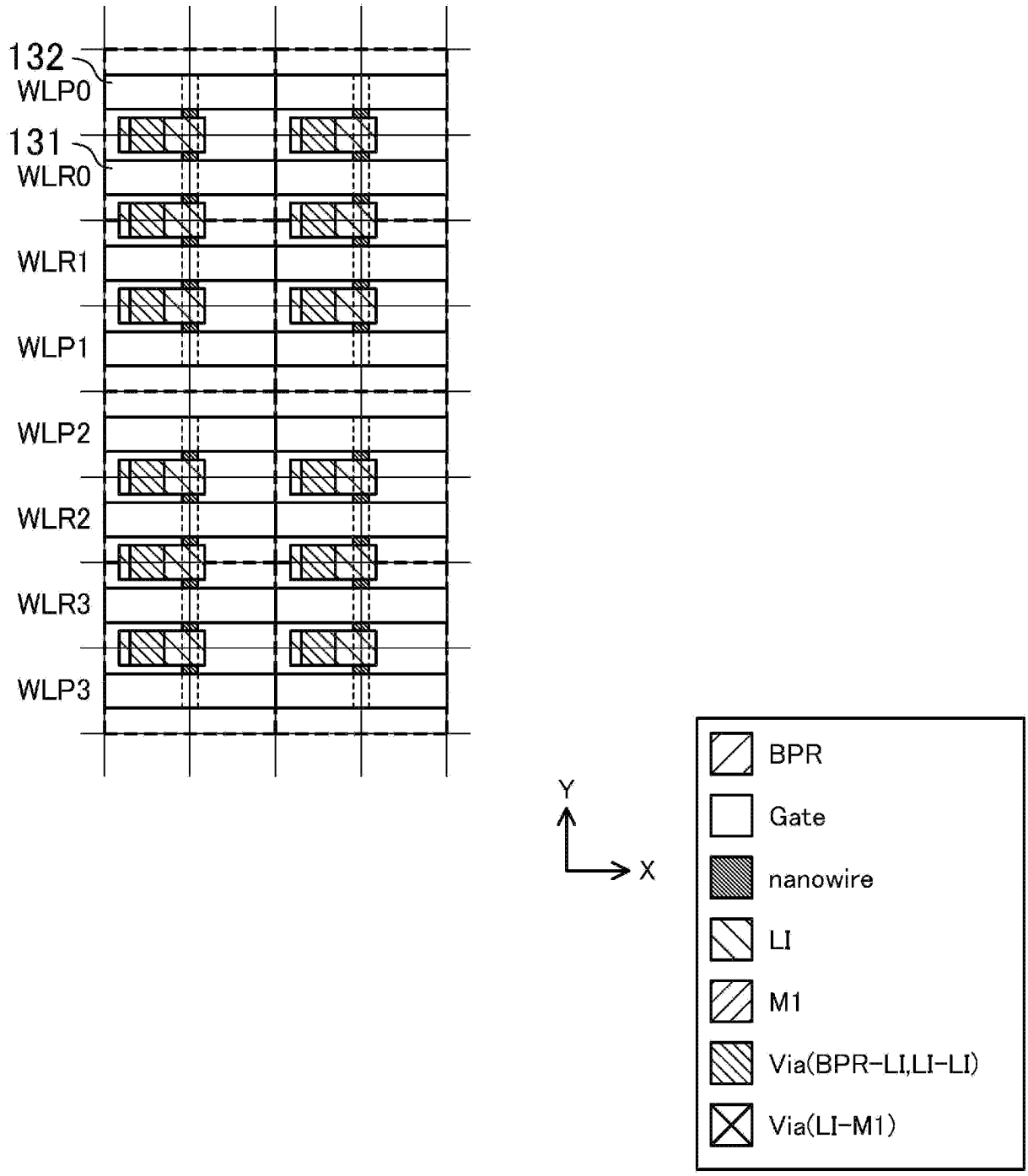




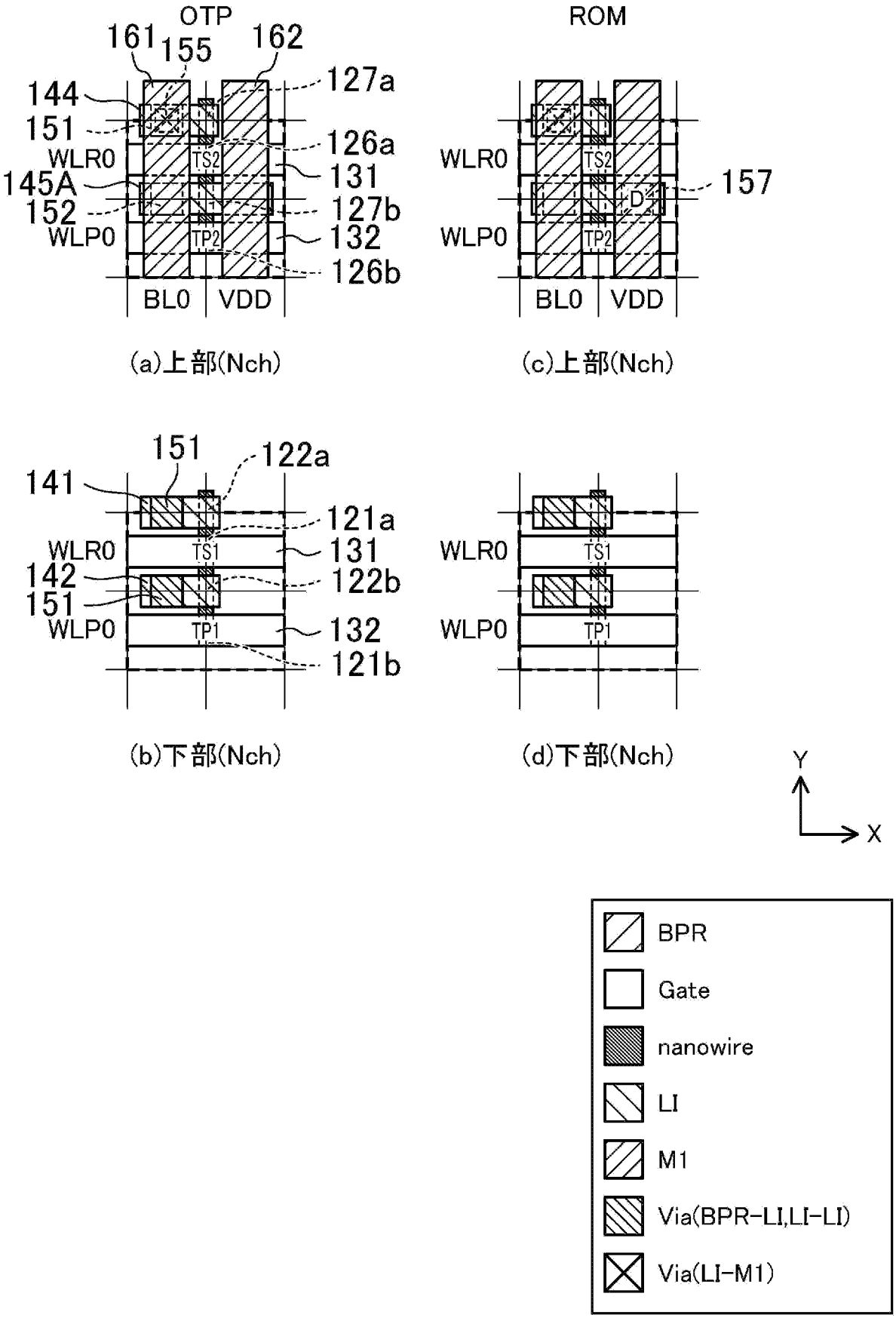
[図22]


161
BL0
BL1
132
WLP0
131
WLR0
WLR1
WLP1
WLP2
WLR2
WLR3
WLP3
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

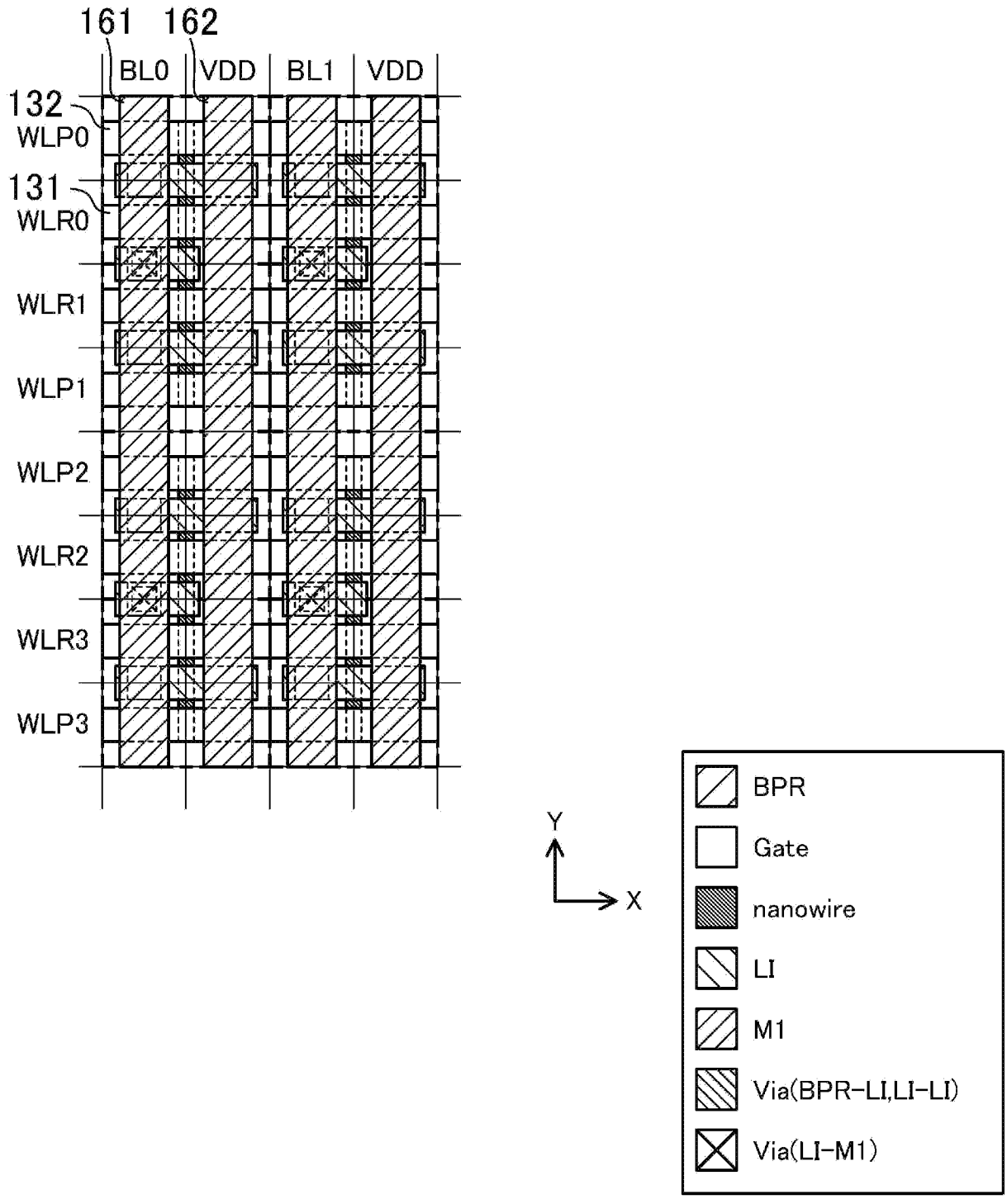
[図23]


132
WLP0
131
WLR0
WLR1
WLP1
WLP2
WLR2
WLR3
WLP3
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

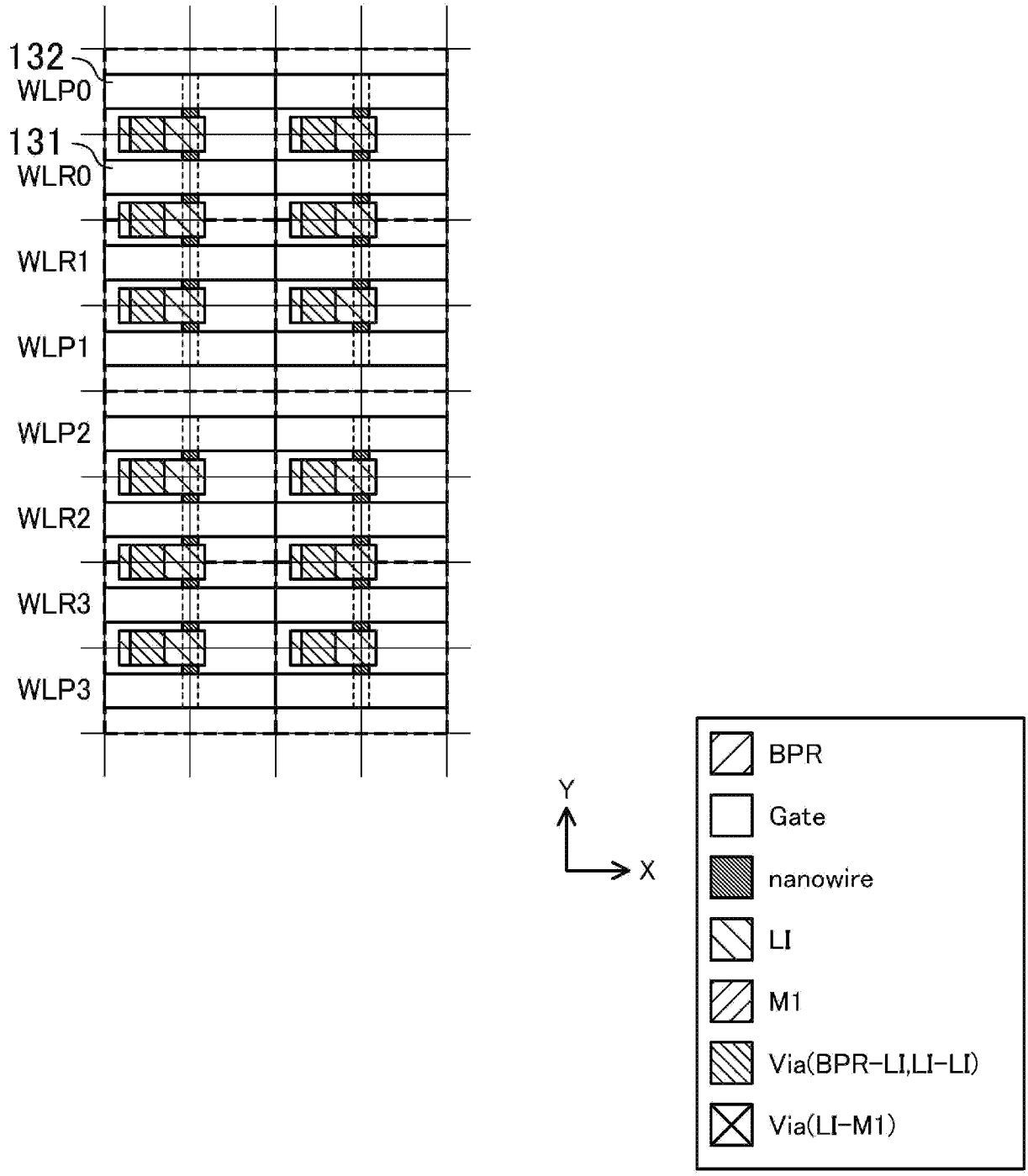
[図24]


OTP
161
155
162
144
151
WLR0
145A
152
WLP0
127a
126a
131
127b
132
126b
TS2
TP2
BL0
VDD
(a)上部(Nch)
ROM
WLR0
WLP0
157
D
TS2
TP2
BL0
VDD
(c)上部(Nch)
151
122a
141
WLR0
142
151
WLP0
121a
131
122b
132
121b
TS1
TP1
(b)下部(Nch)
WLR0
WLP0
TS1
TP1
(d)下部(Nch)
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

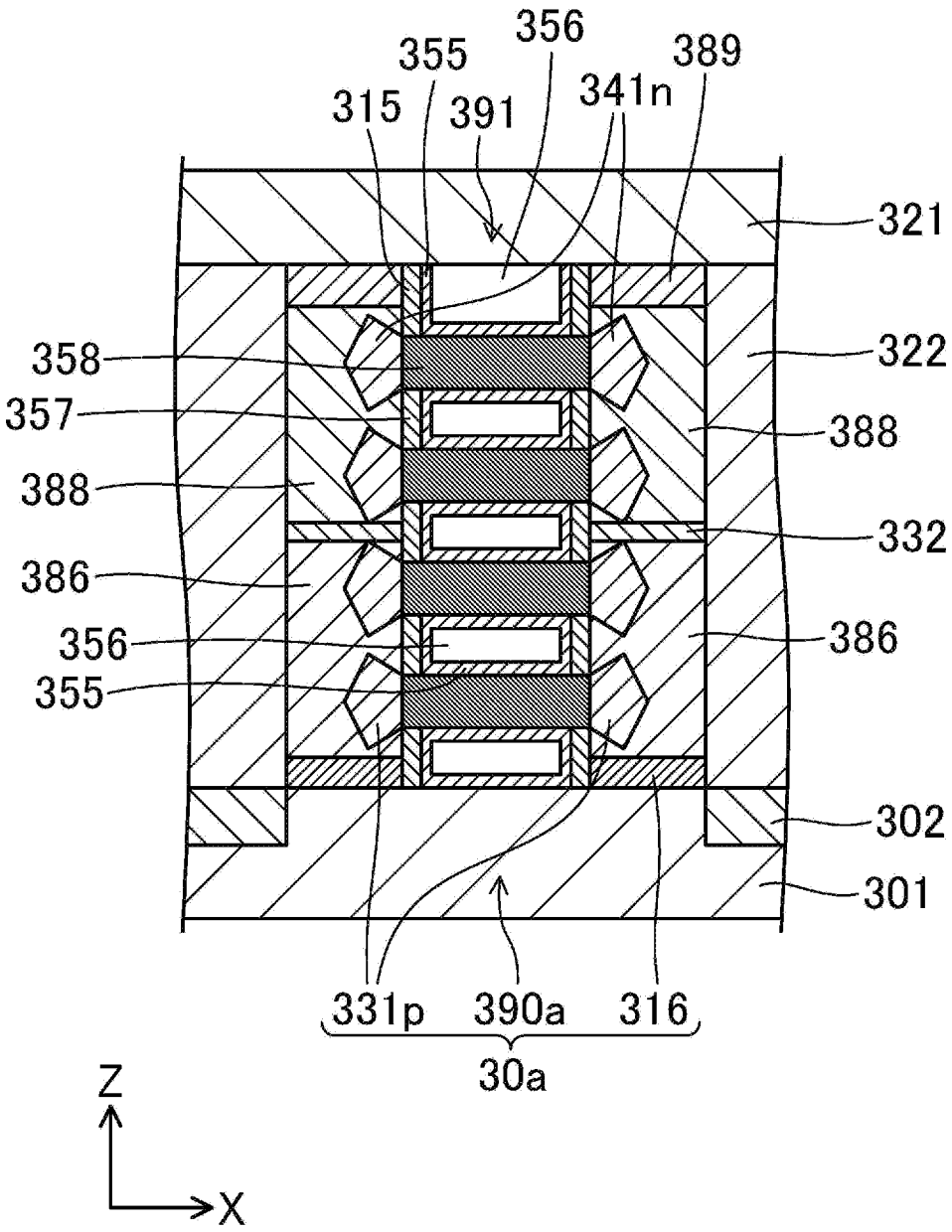
[図25]


161
162
BL0
VDD
BL1
VDD
132
WLP0
131
WLR0
WLR1
WLP1
WLP2
WLR2
WLR3
WLP3
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

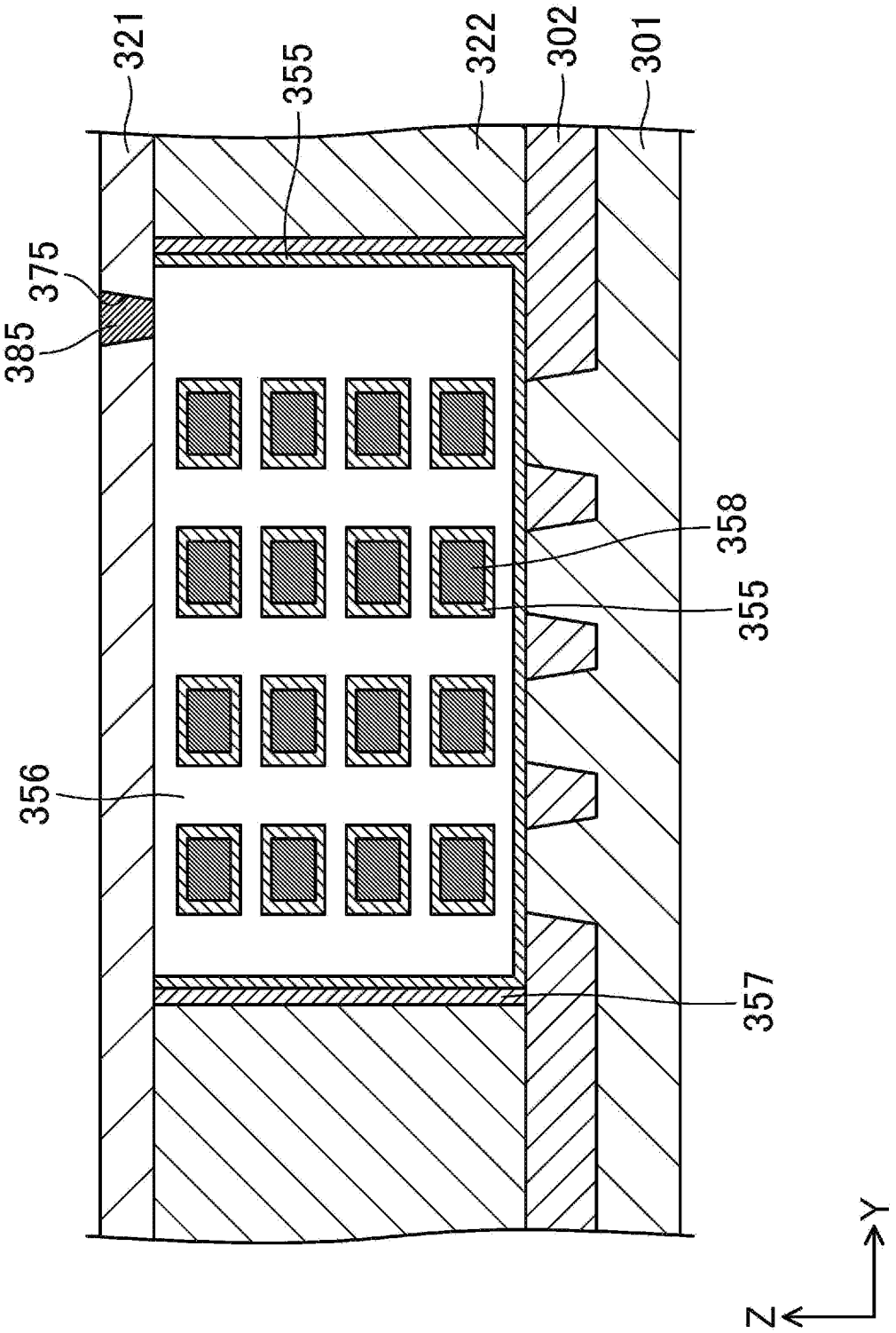
[図26]


132
WLP0
131
WLR0
WLR1
WLP1
WLP2
WLR2
WLR3
WLP3
Y
X
BPR
Gate
nanowire
LI
M1
Via(BPR-LI,LI-LI)
Via(LI-M1)

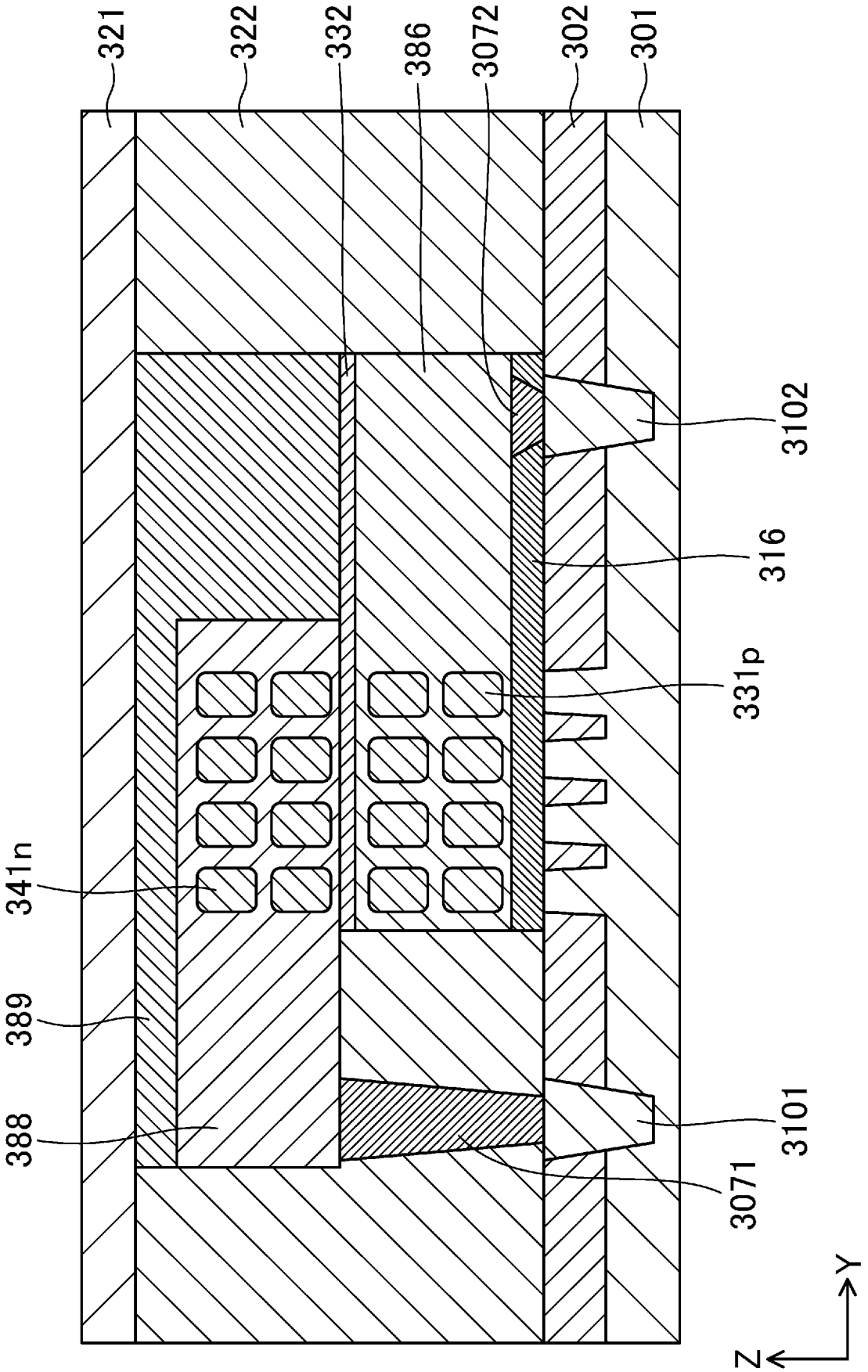
[図27]


356
355
389
315
391
341n
321
358
322
357
388
388
332
386
356
386
355
302
301
331p
390a
316
30a
Z
X

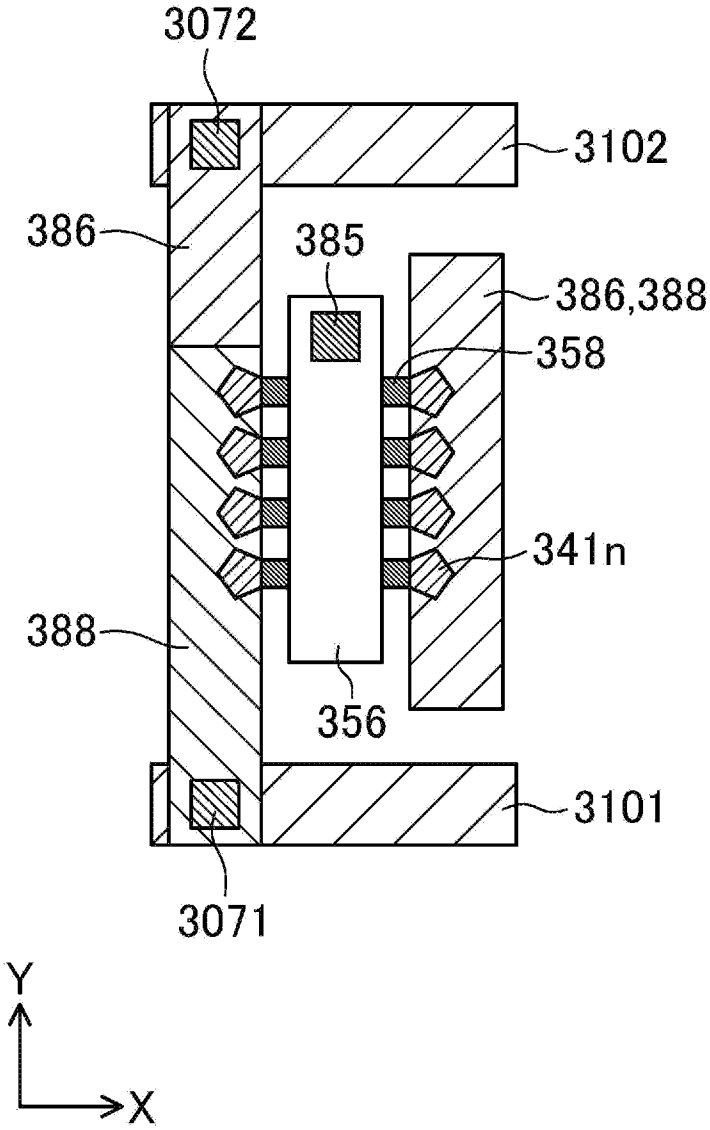
[図28]



[図29]


321
322
332
386
3072
302
301
3102
316
331p
341n
389
388
3101
3071
Y
Z

[図30]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/024197

A. CLASSIFICATION OF SUBJECT MATTER
H01L 27/10(2006.01)i
FI: H01L27/10 431
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2009/122560 A1 (FUJITSU MICROELECTRONICS LIMITED) 08.10.2009 (2009-10-08) paragraphs [0013], [0015]-[0018], [0115]-[0117], fig. 1, 3(a), 19C, 19J, 30	1-5 6-14
Y	US 7715246 B1 (KIM, Ju-Han) 11.05.2010 (2010-05-11) paragraphs [0009], [0079]-[0082], fig. 10B	1-5
Y	JP 2011-77159 A (RENESAS ELECTRONICS CORP.) 14.04.2011 (2011-04-14) paragraphs [0018], [0020], [0024]	1-5
Y	JP 2012-9669 A (FUJITSU SEMICONDUCTOR LTD.) 12.01.2012 (2012-01-12) paragraphs [0017], [0019], [0035]	1-5
Y	US 2018/0151576 A1 (SAMSUNG ELECTRONICS CO., LTD.) 31.05.2018 (2018-05-31) paragraphs [0019]-[0023], [0026], [0034], [0035], fig. 1, 3, 8	2-5

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 August 2020 (17.08.2020)	25 August 2020 (25.08.2020)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/024197

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2018-26565 A (TOKYO ELECTRON LTD.) 15.02.2018 (2018-02-15) entire text, all drawings	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/024197

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2009/122560 A1	08 Oct. 2009	US 2011/0044112 A1 paragraphs [0068], [0072]-[0079], [0253]-[0256], fig. 1, 3A, 19C, 19J, 30 EP 2264756 A1 EP 2312624 A1 KR 10-2010-0123727 A CN 101983423 A	
US 7715246 B1	11 May 2010	(Family: none)	
JP 2011-77159 A	14 Apr. 2011	US 2011/0075500 A1 paragraphs [0031], [0033], [0037]	
JP 2012-9669 A	12 Jan. 2012	US 2011/0317467 A1 paragraphs [0048], [0050], [0073], [0074]	
US 2018/0151576 A1	31 May 2018	KR 10-2018-0061478 A CN 108122917 A	
JP 2018-26565 A	15 Feb. 2018	JP 2019-523553 A US 2018/0026042 A1 entire text, all drawings US 2018/0047832 A1 US 2018/0240802 A1 US 2019/0326301 A1 WO 2018/017677 A1 KR 10-2018-0018426 A KR 10-2019-0026018 A CN 109643715 A	

国際調査報告

国際出願番号
PCT/JP2020/024197

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 27/10(2006.01)i
FI: H01L27/10 431

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L27/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2009/122560 A1 (富士通マイクロエレクトロニクス株式会社) 08.10.2009 (2009-10-08) [0013], [0015] - [0018], [0115] - [0117], 図1, 3(a), 19C, 19J, 30	1-5
A		6-14
Y	US 7715246 B1 (KIM, Juhan) 11.05.2010 (2010-05-11) [0009], [0079] - [0082], 図10B	1-5
Y	JP 2011-77159 A (ルネサスエレクトロニクス株式会社) 14.04.2011 (2011-04-14) [0018], [0020], [0024]	1-5
Y	JP 2012-9669 A (富士通セミコンダクター株式会社) 12.01.2012 (2012-01-12) [0017], [0019], [0035]	1-5
Y	US 2018/0151576 A1 (SAMSUNG ELECTRONICS CO., LTD.) 31.05.2018 (2018-05-31) [0019] - [0023], [0026], [0034], [0035], 図1, 3, 8	2-5
A	JP 2018-26565 A (東京エレクトロン株式会社) 15.02.2018 (2018-02-15) 全文, 全図	1-14

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
17.08.2020	25.08.2020

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

宮本　博司 5F 6313

電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/024197

引用文献	公表日	パテントファミリー文献	公表日
WO 2009/122560 A1	08.10.2009	US 2011/0044112 A1 [0068], [0072] - [0079], [0253] - [0256], 図1, 3A, 19C, 19J, 30 EP 2264756 A1 EP 2312624 A1 KR 10-2010-0123727 A CN 101983423 A	
US 7715246 B1	11.05.2010	（ファミリーなし）	
JP 2011-77159 A	14.04.2011	US 2011/0075500 A1 [0031], [0033], [0037]	
JP 2012-9669 A	12.01.2012	US 2011/0317467 A1 [0048], [0050], [0073], [0074]	
US 2018/0151576 A1	31.05.2018	KR 10-2018-0061478 A CN 108122917 A	
JP 2018-26565 A	15.02.2018	JP 2019-523553 A US 2018/0026042 A1 全文, 全図 US 2018/0047832 A1 US 2018/0240802 A1 US 2019/0326301 A1 WO 2018/017677 A1 KR 10-2018-0018426 A KR 10-2019-0026018 A CN 109643715 A	