

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6610648号  
(P6610648)

(45) 発行日 令和1年11月27日(2019.11.27)

(24) 登録日 令和1年11月8日(2019.11.8)

(51) Int.Cl.		F I			
HO4N	5/232	(2006.01)	HO4N	5/232	120
HO4N	5/345	(2011.01)	HO4N	5/345	
HO4N	5/225	(2006.01)	HO4N	5/225	300

請求項の数 11 (全 17 頁)

(21) 出願番号	特願2017-249302 (P2017-249302)	(73) 特許権者	000004112
(22) 出願日	平成29年12月26日(2017.12.26)		株式会社ニコン
(62) 分割の表示	特願2013-53986 (P2013-53986) の分割		東京都港区港南二丁目15番3号
原出願日	平成25年3月15日(2013.3.15)	(74) 代理人	110000877
(65) 公開番号	特開2018-46583 (P2018-46583A)		龍華国際特許業務法人
(43) 公開日	平成30年3月22日(2018.3.22)	(72) 発明者	綱井 史郎
審査請求日	平成30年1月25日(2018.1.25)		東京都千代田区有楽町一丁目12番1号
			株式会社ニコン内
		審査官	吉川 康男

最終頁に続く

(54) 【発明の名称】 撮像装置

(57) 【特許請求の範囲】

【請求項1】

光を電荷に変換する第1光電変換部と前記第1光電変換部に接続される第1回路部とを含む、第1方向と前記第1方向と交差する第2方向とに配列された複数の第1画素と、前記第1画素の画素信号の出力を制御する第1制御線と、前記画素信号を出力する第1信号線と、を含む第1撮像領域と、光を電荷に変換する第2光電変換部と前記第2光電変換部に接続される第2回路部とを含む、前記第1方向と前記第2方向とに配列された複数の第2画素と、前記第2画素の画素信号の出力を制御する、前記第1制御線と異なる第2信号線と、前記画素信号を出力する、前記第1信号線と異なる第2信号線と、を含む第2撮像領域と、を有する撮像素子と、

複数の前記第1画素と複数の前記第2画素とをそれぞれ制御して画素信号を読み出す読み出し部と、

前記画素信号に基づく評価値を演算する演算部と、

前記画素信号を用いて画像を生成する画像生成部と、

前記第1撮像領域と前記第2撮像領域とのうち、前記演算部に画素信号を出力する場合に読み出される撮像領域と、前記画像生成部に画素信号を出力場合に読み出される撮像領域とで、前記読み出し部に異なる読み出しを行わせる制御部とを備える撮像装置。

【請求項2】

前記制御部は、前記第1撮像領域と前記第2撮像領域とのうち、前記演算部に画素信号

を出力する場合に読み出される撮像領域の数よりも、前記画像生成部に画素信号を出力する場合に読み出される撮像領域の数を多く設定する請求項 1 に記載の撮像装置。

【請求項 3】

前記制御部は、前記演算部に画素信号を出力する場合に読み出される撮像領域と、前記画像生成部に画素信号を出力する場合に読み出される撮像領域と、で異なる周期で読み出しを行わせる請求項 1 または 2 に記載の撮像装置。

【請求項 4】

前記制御部は、前記演算部に画素信号を出力する場合に読み出される撮像領域と、前記画像生成部に画素信号を出力する場合に読み出される撮像領域と、で異なる蓄積時間で蓄積を行わせる請求項 1 から 3 のいずれか 1 項に記載の撮像装置。

10

【請求項 5】

前記演算部は、合焦状態を判定する前記評価値を演算する請求項 1 から 4 のいずれか 1 項に記載の撮像装置。

【請求項 6】

前記演算部に画素信号を出力する場合に読み出される撮像領域には、結像光学系の異なる領域を通過した光束を受光する位相差画素が含まれる請求項 5 に記載の撮像装置。

【請求項 7】

前記読み出し部および前記演算部は、複数の前記撮像領域ごとに一組ずつ設けられる請求項 1 から 6 のいずれか 1 項に記載の撮像装置。

【請求項 8】

前記第 2 撮像領域に、前記第 1 撮像領域とは異なる撮像条件を設定可能な設定部を備える請求項 1 ~ 7 のいずれか一項に記載の撮像装置。

20

【請求項 9】

前記撮像領域が配された撮像チップと、前記読み出し部、前記演算部、前記制御部および前記画像生成部の少なくとも一部が配された信号処理チップとが積層されている請求項 1 から 8 のいずれか 1 項に記載の撮像装置。

【請求項 10】

前記撮像チップは裏面照射型 CMOS チップである請求項 9 に記載の撮像装置。

【請求項 11】

光を電荷に変換する第 1 光電変換部と前記第 1 光電変換部に接続される第 1 回路部とを含む、第 1 方向と前記第 1 方向と交差する第 2 方向とに配列された複数の第 1 画素と、前記第 1 画素の画素信号の出力を制御する第 1 制御線と、前記画素信号を出力する第 1 信号線と、を含む第 1 撮像領域と、光を電荷に変換する第 2 光電変換部と前記第 2 光電変換部に接続される第 2 回路部とを含む、前記第 1 方向と前記第 2 方向とに配列された複数の第 2 画素と、前記第 2 画素の画素信号の出力を制御する、前記第 1 制御線と異なる第 2 信号線と、前記画素信号を出力する、前記第 1 信号線と異なる第 2 信号線と、を含む第 2 撮像領域と、を有する撮像素子と、

30

前記第 1 撮像領域と前記第 2 撮像領域とのうち、前記画素信号に基づく評価を行う場合に読み出される撮像領域と、前記画素信号を用いて画像を生成する場合に読み出される撮像領域とで、異なる読み出しを行わせる制御部と

40

を備える撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置に関する。

【背景技術】

【0002】

焦点検出画素群と撮像用の画素を複数有する撮像素子を用いて、電子ビューファインダー用に間引き読み出しをする場合に、焦点検出画素群が間引かれないように読み出す撮像装置がある（例えば、特許文献 1 を参照）。

50

[ 先行技術文献 ]

[ 特許文献 ]

[ 特許文献 1 ] 特開 2 0 0 9 - 6 0 5 9 7 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 3 】

しかしながら、上記撮像装置においては、電荷の蓄積制御が電子ビューファインダー用に設定されているので、焦点の検出に不具合を生じるという課題がある。

【 課題を解決するための手段 】

【 0 0 0 4 】

本発明の第 1 の態様においては、撮像装置であって、複数の画素が二次元的に配列された撮像領域を分割した複数の領域ごとに、複数の領域のそれぞれに含まれる画素の蓄積を制御して画素信号を読み出す読み出し部と、画素信号に基づく評価値を演算する演算部と、画素信号を用いて画像を生成する画像生成部と、複数の領域のうち、演算部に画素信号を出力する場合に読み出される領域と、画像生成部に画素信号を出力する場合に読み出される領域とで、読み出し部に異なる蓄積および読み出しを行わせる制御部とを備える。

【 0 0 0 5 】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【 図面の簡単な説明 】

【 0 0 0 6 】

【 図 1 】 本実施形態に係る裏面照射型の MOS 型撮像素子の断面図である。

【 図 2 】 撮像チップの単位ブロックの配列を説明する図である。

【 図 3 】 位相差画素なしの単位ブロックの画素配列を説明する図である。

【 図 4 】 単位ブロックに対応する回路図である。

【 図 5 】 位相差画素ありの画素配列を説明する図である。

【 図 6 】 本実施形態に係る撮像装置の構成を示すブロック図である。

【 図 7 】 信号処理チップの一例としての具体的構成を示すブロック図である。

【 図 8 】 撮像装置の動作フローを示す。

【 図 9 】 各単位ブロックにおける蓄積および読み出しのタイミングを示す。

【 発明を実施するための形態 】

【 0 0 0 7 】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【 0 0 0 8 】

図 1 は、本実施形態に係る裏面照射型の撮像素子 1 0 0 の断面図である。撮像素子 1 0 0 は、入射光に対応した画素信号を出力する撮像チップ 1 1 3 と、画素信号を処理する信号処理チップ 1 1 1 と、画素信号を記憶するメモリチップ 1 1 2 とを備える。これら撮像チップ 1 1 3、信号処理チップ 1 1 1 およびメモリチップ 1 1 2 は積層されており、Cu 等の導電性を有するパンプ 1 0 9 により互いに電氣的に接続される。

【 0 0 0 9 】

なお、図示するように、入射光は主に白抜き矢印で示す Z 軸プラス方向へ向かって入射する。本実施形態においては、撮像チップ 1 1 3 において、入射光が入射する側の面を裏面と称する。また、座標軸に示すように、Z 軸に直交する紙面左方向を X 軸プラス方向、Z 軸および X 軸に直交する紙面手前方向を Y 軸プラス方向とする。以降のいくつかの図においては、図 1 の座標軸を基準として、それぞれの図の向きがわかるように座標軸を表示する。

【 0 0 1 0 】

撮像チップ 1 1 3 の一例は、裏面照射型の MOS イメージセンサである。PD 層 1 0 6

10

20

30

40

50

は、配線層 108 の裏面側に配されている。PD 層 106 は、二次元的に配され、入射光に応じた電荷を蓄積する複数の PD (フォトダイオード) 104、および、PD 104 に対応して設けられたトランジスタ 105 を有する。

【0011】

PD 層 106 における入射光の入射側にはパッシベーション膜 103 を介してカラーフィルタ 102 が設けられる。カラーフィルタ 102 は、互いに異なる波長領域を透過する複数の種類を有しており、PD 104 のそれぞれに対応して特定の配列を有している。カラーフィルタ 102 の配列については後述する。カラーフィルタ 102、PD 104 およびトランジスタ 105 の組が一つの画素を形成する。

【0012】

カラーフィルタ 102 における入射光の入射側には、それぞれの画素に対応して、マイクロレンズ 101 が設けられる。マイクロレンズ 101 は、対応する PD 104 へ向けて入射光を集光する。

【0013】

配線層 108 は、PD 層 106 からの画素信号を信号処理チップ 111 に伝送する配線 107 を有する。配線 107 は多層であってもよく、また、受動素子および能動素子が設けられてもよい。

【0014】

配線層 108 の表面には複数のバンプ 109 が配される。当該複数のバンプ 109 が信号処理チップ 111 の対向する面に設けられた複数のバンプ 109 と位置合わせされて、撮像チップ 113 と信号処理チップ 111 とが加圧等されることにより、位置合わせされたバンプ 109 同士が接合されて、電氣的に接続される。

【0015】

同様に、信号処理チップ 111 およびメモリチップ 112 の互いに対向する面には、複数のバンプ 109 が配される。これらのバンプ 109 が互いに位置合わせされて、信号処理チップ 111 とメモリチップ 112 とが加圧等されることにより、位置合わせされたバンプ 109 同士が接合されて、電氣的に接続される。

【0016】

なお、バンプ 109 間の接合には、固相拡散による Cu バンプ接合に限らず、はんだ溶融によるマイクロバンプ結合を採用しても良い。また、バンプ 109 は、例えば後述する一つの単位ブロックに対して一つ程度設ければ良い。したがって、バンプ 109 の大きさは、PD 104 のピッチよりも大きくても良い。また、画素が配列された撮像領域以外の周辺領域において、撮像領域に対応するバンプ 109 よりも大きなバンプを併せて設けても良い。

【0017】

信号処理チップ 111 は、表裏面にそれぞれ設けられた回路を互いに接続する TSV (シリコン貫通電極) 110 を有する。TSV 110 は、周辺領域に設けられることが好ましい。また、TSV 110 は、撮像チップ 113 の周辺領域、メモリチップ 112 にも設けられて良い。

【0018】

図 2 は、撮像チップ 113 の単位ブロック 131 A、131 B を説明する図である。特に、撮像チップ 113 を裏面側から観察した様子を示す。撮像領域には 2000 万個以上もの画素がマトリックス状に配列されている。当該撮像領域が複数の単位ブロック 131 A、131 B に分割されている。

【0019】

図 2 の例においては、単位ブロック 131 A および単位ブロック 131 B の二種類がある。単位ブロック 131 A に含まれる画素は、画像生成用の画素である。一方、単位ブロック 131 B は、画像生成用の画素に加えて、位相差画素 133 を有する。

【0020】

図 2 において撮像チップ 113 の撮像領域は、7 ブロック × 9 ブロックの 63 ブロック

10

20

30

40

50

に分割されている。そのうち、単位ブロック 1 3 1 B が撮像領域の中心およびその周囲に一つ置きに 9 個配されて、他の位置に単位ブロック 1 3 1 A が配されている。ブロックの数はこれに限られず、これ以上でもこれ以下でもよい。また、単位ブロック 1 3 1 A と単位ブロック 1 3 1 B の個数の比率もこれ以上でもこれ以下でもよい。当該単位ブロック 1 3 1 A、1 3 1 B が二次元的に配されて上記撮像領域が形成されている。

#### 【 0 0 2 1 】

図 3 は、位相差画素なしの単位ブロック 1 3 1 A の画素配列を説明する図である。図 3 の単位ブロック 1 3 1 A は、隣接する 9 画素 × 1 0 画素の 9 0 画素を有する。単位ブロック 1 3 1 A を形成する画素の数はこれに限られず 1 0 0 0 個程度、例えば 3 2 画素 × 6 4 画素でもよいし、それ以上でもそれ以下でもよい。

10

#### 【 0 0 2 2 】

単位ブロック 1 3 1 A は、緑色画素 G、青色画素 B および赤色画素 R の 4 画素から成るいわゆるベイヤー配列を有する。緑色画素は、カラーフィルタ 1 0 2 として緑色フィルタを有する画素であり、入射光のうち緑色波長帯の光を受光する。同様に、青色画素は、カラーフィルタ 1 0 2 として青色フィルタを有する画素であって青色波長帯の光を受光し、赤色画素は、カラーフィルタ 1 0 2 として赤色フィルタを有する画素であって赤色波長帯の光を受光する。これら緑色画素 G、青色画素 B および赤色画素 R の画素からの画素信号は画像を生成するのに用いられる。

#### 【 0 0 2 3 】

図 4 は、単位ブロック 1 3 1 A に対応する回路図である。ただし、説明を簡略化する目的で、単位ブロック 1 3 1 A に含まれる画素を 4 画素 × 4 画素の 1 6 画素に省略して示した。図において、代表的に点線で囲む矩形が、1 画素に対応する回路を表す。なお、以下に説明する各トランジスタの少なくとも一部は、図 1 のトランジスタ 1 0 5 に対応する。

20

#### 【 0 0 2 4 】

図 4 の単位ブロック 1 3 1 A の 1 6 画素のそれぞれに対応する 1 6 個の P D 1 0 4 は、それぞれ転送トランジスタ 3 0 2 に接続され、各転送トランジスタ 3 0 2 の各ゲートには、転送パルスが供給される T X 配線 3 0 7 に接続される。本実施形態において、T X 配線 3 0 7 は、1 6 個の転送トランジスタ 3 0 2 に対して共通接続される。

#### 【 0 0 2 5 】

各転送トランジスタ 3 0 2 のドレインは、対応する各リセットトランジスタ 3 0 3 のソースに接続されると共に、転送トランジスタ 3 0 2 のドレインとリセットトランジスタ 3 0 3 のソース間のいわゆるフローティングディフュージョン F D が増幅トランジスタ 3 0 4 のゲートに接続される。リセットトランジスタ 3 0 3 のドレインは電源電圧が供給される V d d 配線 3 1 0 に接続され、そのゲートはリセットパルスが供給されるリセット配線 3 0 6 に接続される。本実施形態において、リセット配線 3 0 6 は、1 6 個のリセットトランジスタ 3 0 3 に対して共通接続される。

30

#### 【 0 0 2 6 】

各々の増幅トランジスタ 3 0 4 のドレインは電源電圧が供給される V d d 配線 3 1 0 に接続される。また、各々の増幅トランジスタ 3 0 4 のソースは、対応する各々の選択トランジスタ 3 0 5 のドレインに接続される。選択トランジスタの各ゲートには、選択パルスが供給されるデコーダ配線 3 0 8 に接続される。本実施形態において、デコーダ配線 3 0 8 は、1 6 個の選択トランジスタ 3 0 5 に対してそれぞれ独立に設けられる。そして、各々の選択トランジスタ 3 0 5 のソースは、共通の出力配線 3 0 9 に接続される。負荷電流源 3 1 1 は、出力配線 3 0 9 に電流を供給する。すなわち、選択トランジスタ 3 0 5 に対する出力配線 3 0 9 は、ソースフォロアにより形成される。なお、負荷電流源 3 1 1 は、撮像チップ 1 1 3 側に設けても良いし、信号処理チップ 1 1 1 側に設けても良い。また、画素個数分のデコーダ配線 3 0 8 を設けることに代えて、行列選択線およびこれに対応したトランジスタを設けて、個々の画素を選択してもよい。

40

#### 【 0 0 2 7 】

ここで、電荷の蓄積開始から蓄積終了後の画素信号の出力までの流れを説明する。リセ

50

ット配線306を通じてリセットパルスがリセットトランジスタ303に印加され、同時にTX配線307を通じて転送パルスが転送トランジスタ302に印加されると、PD104およびフローティングディフュージョンFDの電位はリセットされる。

【0028】

PD104は、転送パルスの印加が解除されると、受光する入射光を電荷に変換して蓄積する。その後、リセットパルスが印加されていない状態で再び転送パルスが印加されると、蓄積された電荷はフローティングディフュージョンFDへ転送され、フローティングディフュージョンFDの電位は、リセット電位から電荷蓄積後の信号電位になる。そして、デコード配線308を通じて選択パルスが選択トランジスタ305に印加されると、フローティングディフュージョンFDの信号電位の変動が、増幅トランジスタ304および選択トランジスタ305を介して出力配線309に伝わる。これにより、リセット電位と信号電位とに対応する画素信号は、単位画素から出力配線309に出力される。

10

【0029】

図示するように、本実施形態においては、単位ブロック131Aを形成する16画素に対して、リセット配線306とTX配線307が共通である。すなわち、リセットパルスと転送パルスはそれぞれ、16画素全てに対して同時に印加される。したがって、単位ブロック131を形成する全ての画素は、同一のタイミングで電荷蓄積を開始し、同一のタイミングで電荷蓄積を終了する。ただし、蓄積された電荷に対応する画素信号は、それぞれの選択トランジスタ305が選択パルスによって順次印加されて、選択的に出力配線309に出力される。また、リセット配線306、TX配線307、出力配線309は、単位ブロック131A毎に別個に設けられる。

20

【0030】

このように単位ブロック131Aを基準として回路を構成することにより、単位ブロック131Aごとに電荷蓄積時間を制御することができる。換言すると、複数の単位ブロック131A同士で、異なった電荷蓄積時間による画素信号をそれぞれ出力させることができる。更に言えば、一方の単位ブロック131Aに1回の電荷蓄積を行わせている間に、他方の単位ブロック131Aに何回もの電荷蓄積を繰り返させてその都度画素信号を出力させることにより、これらの単位ブロック131A同士で異なるフレームレートで動画用の各フレームを出力することもできる。また、単位ブロック131Aごとに画素信号の読出しの有無を制御することができる。

30

【0031】

図5は、位相差画素ありの単位ブロック131Bの画素配列を説明する図である。単位ブロック131Bは、単位ブロック131Aと同様に、隣接する9画素×10画素の90画素を有する。図5の単位ブロック131Bの数は一例であることは、単位ブロック131Aと同様である。また、単位ブロック131Aと単位ブロック131Bとで画素数が異なってもよい。

【0032】

図5の単位ブロック131Bは、単位ブロック131Aと同様に、緑色画素G、青色画素Bおよび赤色画素Rの4画素から成るいわゆるベイヤー配列を有する。単位ブロック131Bはさらに、図5における右の半面が遮光されてPD104の左半面で受光する位相差画素133Lと、左の半面が遮光されてPD104の右半面で受光する位相差画素133Rとを有する。図5に示す例において、単位グループ131Bの中央において、位相差画素133L、133Rは互いに隣接して3組横に並べて配されている。

40

【0033】

これら位相差画素133L、133Rは、図1におけるカラーフィルタ102に代えて、それぞれ図5の右半面、左半面に開口が設けられた遮光層を有する。これにより、位相差画素133Lには、撮像素子100に結像する結合光学系の、図5における左側領域からの光束が入射する。一方、位相差画素133Rには、撮像素子100に結像する結合光学系の、図5における右側領域からの光束が入射する。よって、上記位相差画素133Lの群により得られる像と位相差画素133Rの群により得られる像の位置関係により、合

50

焦状態からのズレの方向およびズレ量が判定される。

【0034】

複数の単位ブロック131B同士で、異なった電荷蓄積時間、異なった周期による画素信号をそれぞれ出力させることができることは単位ブロック131Aの場合と同様である。さらに、単位ブロック131Aと単位ブロック131Bとの間でも、異なった電荷蓄積時間、異なった周期による画素信号をそれぞれ出力させることができる。

【0035】

図6は、本実施形態に係る撮像装置の構成を示すブロック図である。撮像装置500は、撮影光学系としての撮影レンズ520を備え、撮影レンズ520は、光軸OAに沿って入射する被写体光束を撮像素子100へ導く。撮影レンズ520は、撮像装置500に対して着脱できる交換式レンズであっても構わない。撮像装置500は、撮像素子100、システム制御部501、駆動部502、測光部503、ワークメモリ504、記録部505、表示部506および駆動部514を主に備える。

10

【0036】

撮影レンズ520は、複数の光学レンズ群から構成され、シーンからの被写体光束をその焦点面近傍に結像させる。なお、図6では瞳近傍に配置された仮想的な1枚のレンズで当該撮影レンズ520を代表して表している。

【0037】

駆動部514は撮影レンズ520を駆動する。より具体的には駆動部514は撮影レンズ520の光学レンズ群を移動させて合焦位置を変更し、また、撮影レンズ520内の虹彩絞りを駆動して撮像素子100へ入射する被写体光束の光量を制御する。

20

【0038】

駆動部502は、システム制御部501からの指示に従って撮像素子100のタイミング制御、領域制御等の電荷蓄積制御を実行する制御回路である。また、操作部508はリリースボタン等により撮像者からの指示を受け付ける。

【0039】

撮像素子100は、画素信号をシステム制御部501の画像処理部511へ引き渡す。画像処理部511は、ワークメモリ504をワークスペースとして種々の画像処理を施し、画像データを生成する。例えば、JPEGファイル形式の画像データを生成する場合は、ペイヤー配列で得られた信号からカラー映像信号を生成した後に圧縮処理を実行する。生成された画像データは、記録部505に記録されるとともに、表示信号に変換されて予め設定された時間の間、表示部506に表示される。

30

【0040】

測光部503は、画像データを生成する一連の撮影シーケンスに先立ち、シーンの輝度分布を検出する。測光部503は、例えば100万画素程度のAEセンサを含む。システム制御部501の演算部512は、測光部503の出力を受けてシーンの領域ごとの輝度を算出する。演算部512は、算出した輝度分布に従ってシャッタ速度、絞り値、ISO感度を決定する。測光部503は撮像素子100で兼用してもよい。なお、演算部512は、撮像装置500を動作させるための各種演算も実行する。

【0041】

駆動部502は、一部または全部が撮像チップ113に搭載されてもよいし、一部または全部が信号処理チップ111に搭載されてもよい。システム制御部501の一部が撮像チップ113または信号処理チップ111に搭載されてもよい。

40

【0042】

図7は、信号処理チップ111の一例としての具体的構成を示すブロック図である。信号処理チップ111は、駆動部502の機能を担う。

【0043】

信号処理チップ111は、分担化された制御機能としてのセンサ制御部441、ブロック制御部442、同期制御部443、信号制御部444、個別回路部450A等と、これらの各制御部を統括制御する駆動制御部420とを含む。信号処理チップ111は、さら

50

に、駆動制御部 4 2 0 と撮像装置 5 0 0 本体のシステム制御部 5 0 1 と間の I / F 回路 4 1 8 を含む。これらセンサ制御部 4 4 1、ブロック制御部 4 4 2、同期制御部 4 4 3、信号制御部 4 4 4 および駆動制御部 4 2 0 は、信号処理チップ 1 1 1 に対して一つずつ設けられる。

【 0 0 4 4 】

個別回路部 4 5 0 A、4 5 0 B は、単位ブロック 1 3 1 A、1 3 1 B ごとに設けられる。すなわち、単位ブロック 1 3 1 A、1 3 1 B の数が例えば合計で 6 3 個であれば、個別回路部 4 5 0 A 等も一対一で 6 3 個設けられる。これに代えて、個別回路部 4 5 0 A が複数の単位ブロック 1 3 1 A の全体に対して一つ、個別回路部 4 5 0 B が複数の単位ブロック 1 3 1 B の全体に対して一つ設けられてもよい。

10

【 0 0 4 5 】

個別回路部 4 5 0 A、4 5 0 B は、同一の構成を有するので、以下、個別回路部 4 5 0 A について説明する。個別回路部 4 5 0 A は、C D S 回路 4 1 0、マルチプレクサ 4 1 1、A / D 変換回路 4 1 2、デマルチプレクサ 4 1 3、画素メモリ 4 1 4 および演算回路 4 1 5 を含む。演算回路 4 1 5 は、I / F 回路 4 1 8 を介してシステム制御部 5 0 1 との間で信号を送受信する。

【 0 0 4 6 】

個別回路部 4 5 0 A は対応する単位ブロック 1 3 1 A の画素が配された領域に重畳した領域に配されていることが好ましい。これにより、各チップを面方向に大きくすることなく、複数の単位ブロック 1 3 1 A のそれぞれに個別回路部 4 5 0 A を設けることができる。

20

【 0 0 4 7 】

駆動制御部 4 2 0 は、タイミングメモリ 4 3 0 を参照して、システム制御部 5 0 1 からの指示を、各制御部が実行可能な制御信号に変換してそれぞれに引き渡す。特に、駆動制御部 4 2 0 は、タイミングメモリ 4 3 0 において蓄積および読み出しをすべきとされている単位ブロック 1 3 1 A 等を特定し、当該単位ブロック 1 3 1 A 等を特定する情報とともに各制御部に制御パラメータを引き渡す。制御パラメータの例は、フレームレート、間引き率、画素信号を加算する加算行数または加算列数、電荷の蓄積時間または蓄積回数、デジタル化のビット数等である。

【 0 0 4 8 】

センサ制御部 4 4 1 は、撮像チップ 1 1 3 へ送出する、各画素の電荷蓄積、電荷読み出しに関わる制御パルスの送出制御を担う。具体的には、センサ制御部 4 4 1 は、対象画素に対してリセットパルスと転送パルスを送出することにより、電荷蓄積の開始と終了を制御し、読み出し画素に対して選択パルスを送出することにより、画素信号を出力配線 3 0 9 へ出力させる。

30

【 0 0 4 9 】

ブロック制御部 4 4 2 は、撮像チップ 1 1 3 へ送出する、制御対象となる単位ブロック 1 3 1 を特定する特定パルスの送出を実行する。各画素が T X 配線 3 0 7 およびリセット配線 3 0 6 を介して受ける転送パルスおよびリセットパルスは、センサ制御部 4 4 1 が送出する各パルスとブロック制御部 4 4 2 が送出する特定パルスの論理積となる。このように、各領域を互いに独立したブロックとして制御することができる。

40

【 0 0 5 0 】

同期制御部 4 4 3 は、同期信号を撮像チップ 1 1 3 へ送出する。各パルスは、同期信号に同期して撮像チップ 1 1 3 においてアクティブとなる。例えば、同期信号を調整することにより、同一の単位ブロック 1 3 1 A 等に属する画素の特定画素のみを制御対象とするランダム制御、間引き制御等を実現する。

【 0 0 5 1 】

信号制御部 4 4 4 は、主に A / D 変換回路 4 1 2 に対するタイミング制御を担う。出力配線 3 0 9 を介して出力された画素信号は、C D S 回路 4 1 0 およびマルチプレクサ 4 1 1 を経て A / D 変換回路 4 1 2 に入力される。C D S 回路 4 1 0 は画素信号からノイズを

50

取り除く。

【 0 0 5 2 】

A / D 変換回路 4 1 2 は、信号制御部 4 4 4 によって制御されて、入力された画素信号をデジタル信号に変換する。デジタル信号に変換された画素信号は、デマルチプレクサ 4 1 3 に引き渡され、そしてそれぞれの画素に対応する画素メモリ 4 1 4 にデジタルデータの画素値として格納される。

【 0 0 5 3 】

演算回路 4 1 5 は、対応する単位ブロック 1 3 1 A について、画素メモリ 4 1 4 に格納された画素値に基づく評価値を演算し、当該評価値が予め定められた判定条件を満たすか否かを判定する。演算回路 4 1 5 は、この判定の結果を、単位ブロック 1 3 1 A を特定する情報に対応付けて駆動制御部 4 2 0 に出力する。

10

【 0 0 5 4 】

画素メモリ 4 1 4 は、少なくとも単位ブロック 1 3 1 A に含まれる画素数分の画素値を格納できるメモリ空間を有し、画素値を格納する。画素メモリ 4 1 4 には、引渡要求に従って画素信号を伝送するデータ転送インタフェースが設けられている。データ転送インタフェースは、画像処理部 5 1 1 と繋がるデータ転送ラインと接続されている。データ転送ラインは例えばバスラインのうちのデータバスによって構成される。この場合、システム制御部 5 0 1 から駆動制御部 4 2 0 への引渡要求は、アドレスバスを利用したアドレス指定によって実行される。

【 0 0 5 5 】

データ転送インタフェースによる画素信号の伝送は、アドレス指定方式に限らず、さまざまな方式を採用しうる。例えば、データ転送を行うときに、各回路の同期に用いられるクロック信号の立ち上がり・立ち下りの両方を利用して処理を行うダブルデータレート方式を採用し得る。また、アドレス指定などの手順を一部省略することによってデータを一気に転送し、高速化を図るバースト転送方式を採用し得る。また、制御部、メモリ部、入出力部を並列に接続している回線を用いたバス方式、直列にデータを 1 ビットずつ転送するシリアル方式などを組み合わせて採用することもできる。

20

【 0 0 5 6 】

このように構成することにより、画像処理部 5 1 1 は、必要な画素値に限って受け取ることができるので、特に低解像度の画像を形成する場合などにおいて、高速に画像処理を完了させることができる。

30

【 0 0 5 7 】

信号処理チップ 1 1 1 は、フラッシュ R A M 等により形成されるタイミングメモリ 4 3 0 を有する。タイミングメモリ 4 3 0 は、いずれの単位ブロック 1 3 1 A 等に対して何回の電荷蓄積を繰り返すかについての蓄積回数情報等の制御パラメータを、単位ブロック 1 3 1 A 等を特定する情報に対応づけて格納する。タイミングメモリ 4 3 0 にはさらに、単位ブロック 1 3 1 A 等を特定する情報に対応づけて、単位ブロック 1 3 1 A および単位ブロック 1 3 1 B のいずれの種類であるかを特定する情報を格納している。

【 0 0 5 8 】

図 8 は、撮像装置 5 0 0 の動作フローを示す。図 8 は、例えばスリープモードから操作部 5 0 8 への何らかの操作が入力されたことにより開始する。

40

【 0 0 5 9 】

システム制御部 5 0 1 は、絞り、シャッタースピード、I S O 感度等の撮影条件を設定する ( S 1 0 0 )。システム制御部 5 0 1 は、システム内部のクロックを用いて、スルー画像の読み出しタイミングであるか否かを判断する ( S 1 0 2 )。スルー画像は、本撮影の参考にすべく撮像素子 1 0 0 で撮像される画像をリアルタイムで表示部 5 0 6 に表示するものであり、ライブビュー画像と呼ばれることもある。ここでスルー画像の読み出しタイミングは、一定時間間隔、例えば 3 0 f p s に設定される。

【 0 0 6 0 】

スルー画像の読み出しタイミングである場合に ( S 1 0 2 : Y e s )、システム制御部

50

501はスルー画像を読み出すべき旨を駆動制御部420に指示する(S104)。駆動制御部420は、タイミングメモリ430を参照して、単位ブロック131A、131Bに電荷蓄積制御および読み出し制御を行う。

【0061】

スルー画像の読み出しにおいては、できるだけ多くの単位ブロック131A、131Bから画素信号を得ることが好ましい。例えば、撮像領域に含まれるすべての単位ブロック131A、131B、図2に示す例においては63個の単位ブロック131A、131Bから画素信号を得ることが好ましい。そこで、タイミングメモリ430には、スルー画像の読み出しが行われる単位ブロックとして、撮像領域の単位ブロック131A、131Bのすべてを特定する情報が予め格納されている。

10

【0062】

駆動制御部420は、図3から図7で説明したように、それぞれの単位ブロック131A、131Bに含まれる画素に対して電荷の蓄積および画素信号の読み出しを行い、画素値を画素メモリ414に格納する。ただし、単位ブロック131A等の内部では間引き読み出しをしてもよい。なお電荷の蓄積等の制御パラメータは、スルー画像用としてタイミングメモリ430に予め設定されていてもよいし、撮像者により設定された撮影条件に基づいて設定されてもよい。

【0063】

画像処理部511は、画素メモリ414に格納された画素値を読み出し、スルー画像の画像データを生成して表示部506に表示する(S106)。また、ステップS102においてスルー画像の読み出しタイミングでない場合は(S102:No)、すでに生成したスルー画像の画像データを表示部506に表示し続ける(S106)。

20

【0064】

システム制御部501は、操作部508からリリースボタンの半押しを検知するまで(S108:No)、上記ステップS102からS106を繰り返す。一方、システム制御部501は、操作部508からリリースボタンの半押しを検知した場合に(S108:Yes)、駆動制御部420の制御により位相差画素133から画素信号を読み出す(S110)。なお、リリースボタンの半押しは、合焦状態を判断する指示の一例である。

【0065】

ステップS110において、駆動制御部420はタイミングメモリ430を参照する。ここでタイミングメモリ430には、位相差画素133から画素信号を読み出す場合に駆動される単位ブロックとして、位相差画素ありの単位ブロック131Bを特定する情報が格納されている。よって、駆動制御部420は撮像領域のうち単位ブロック131Bに対して電荷の蓄積および画素信号の読み出しを実行して画素メモリ414に格納する。一方、駆動制御部420は、単位ブロック131Aに対しては電荷の蓄積および画素信号の読み出しを実行しない。これにより、位相差画素の読み出し時に電荷蓄積等の制御対象となる単位ブロックの数(図2の例では9個)は、スルー画像の読み出し時に電荷蓄積等の制御対象となる単位ブロックの数(図2の例では63個)よりも少なくなる。

30

【0066】

個別回路部450Bの演算回路415は、単位ブロック131Bの位相差画素133の画素信号を画素メモリ414から読み出して、合焦点状態を判定する(S112)。この場合に、演算回路415は、当該単位ブロック131Bにおける、位相差画素133Lの群により得られる像と位相差画素133Rの群により得られる像の位置関係により、合焦状態からのズレの方向およびズレ量を判定する。

40

【0067】

上記判定に基づいて、駆動部514が撮影レンズ520を駆動して合焦位置を調整する(S114)。

【0068】

システム制御部501は、操作部508がリリースボタンの全押しを検知するまで(S116:No)、上記ステップS102からS114を繰り返す。一方、システム制御部

50

501は、操作部508がリリースボタンの全押しを検知した場合に(S116:Yes)、駆動制御部420の制御により本画像の画素信号を読み出す(S110)。

【0069】

ここでタイミングメモリ430には、本画像の画素信号を読み出す単位ブロックとして、撮像領域の単位ブロック131A、131Bのすべてを特定する情報が予め格納されている。よって、駆動制御部420は撮像領域の単位ブロック131A、131Bのすべてに対して電荷の蓄積および画素信号の読み出しを実行する。これにより、本画像の読み出し時に電荷蓄積等の制御対象となる単位ブロックの数は、位相差画素の読み出し時に電荷蓄積等の制御対象となる単位ブロックの数よりも多くなる。また、単位ブロック131A等内において、間引き読み出しはしないことが好ましい。なお、単位ブロック131Bにおける位相差画素133に対応する位置の画素値は周囲の画素の画素値に基づいて補間されることが好ましい。

10

【0070】

画像処理部511は、上記駆動制御部420の制御により読み出されて画素メモリ414に格納された画素値を読み出し、本画像の画像データを生成して、表示部506に表示するとともに記録部505に記録する(S120)。以上で動作フローが終了する。

【0071】

図9は、単位ブロック131A、131Bにおける蓄積および読み出しのタイミングを示す。なお、図9においては説明を簡略化すべく、それぞれのブロック全体での蓄積及び読み出しが一つのパルス状に示されている。

20

【0072】

単位ブロック131Aは、上記の通り位相差画素を有さず、スルー画像および本画像の生成に用いられる。図8のステップS102で説明したように、単位ブロック131Aはスルー画像を生成すべく、一定間隔、例えば30fpsで蓄積および読み出しされる。

【0073】

これに対し、単位ブロック131Bは、位相差画素を有しており、スルー画像および本画像の生成だけでなく、合焦状態の評価に用いられる。そこで、単位ブロック131Bは、単位ブロック131Aの上記一定間隔よりも短い間隔で蓄積および読み出しされる。

【0074】

図9に示す例において単位ブロック131Bの読み出しの間隔は、単位ブロック131Aの1/3であり、したがってフレームレートは3倍の90fpsである。すなわち、単位ブロック131Aがタイミングta1で蓄積等がされてから、次のタイミングta2で蓄積等がされるまでの間に、単位ブロック131Bは、タイミングtb1、tb2、tb3の3回蓄積等がされている。

30

【0075】

単位ブロック131Aと単位ブロック131Bとは、周期に加えて他の制御パラメータが異なってもよい。例えば、互いに蓄積時間が違っていてもよい。単位ブロック131Bは、合焦状態が精度よく判定されるように、単位ブロック131Aよりも蓄積時間を長くしてもよい。

【0076】

ここで、単位ブロック131Bにおけるタイミングtb1、tb4は、単位ブロック131Aのタイミングta1、ta2と同期している。よって、単位ブロック131Bにおけるタイミングtb1、tb4で得られた画素値は、単位ブロック131Aの画素値とともにスルー画像を生成するのに用いられてもよい。単位ブロック131Aと単位ブロック131Bとで蓄積時間が異なる場合には、単位ブロック131Bにおけるタイミングtb1、tb4で得られた画素値が蓄積時間の違いに応じて輝度調整され、スルー画像が生成されることが好ましい。これに代えて、単位ブロック131Bにおいて単位ブロック131Aと同期するタイミングでは、蓄積時間を単位ブロック131Aと同じにしてもよい。

40

【0077】

これらに代えて、単位ブロック131Bにおける位相差画素133の読み出しのための

50

いずれのタイミングも単位ブロック131Aのタイミングとは非同期にしてもよい。この場合に、上記位相差画素133の読み出しのタイミングとは別個に、単位ブロック131Aのタイミングと同期させて、単位ブロック131Bのスルー画像のための蓄積等を行ってもよい。この場合には、単位ブロック131Bのスルー画像のための制御パラメータは、単位ブロック131Aの制御パラメータに合せることが好ましい。

**【0078】**

以上、図1から図9に示す実施形態によれば、少なくともスルー画像および本画像を生成する場合に読み出される単位ブロック131Aと、少なくとも合焦状態を判定する場合に読み出される単位ブロック131Bに対して、それぞれに適した蓄積および読み出しを行うことができる。特に、合焦状態を判定する場合に読み出される単位ブロック131Bの蓄積等の周期を、スルー画像を生成する場合に読み出される単位ブロック131Aの蓄積等の周期をより短くすることにより、処理すべきデータ量を小さくしつつ合焦動作を早くすることができる。

10

**【0079】**

スルー画像において、一部を拡大して表示する旨がユーザから入力された場合に、上記ステップS104、S106において、表示されない単位ブロック131Aは、蓄積、読み出し等が行われなくてもよい。その場合であっても、表示の有無にかかわらずステップS110においては、単位ブロック131Bは、蓄積、読み出し等が行われ、ステップS112以降の動作が行われることが好ましい。

**【0080】**

図1から図9に示す実施形態においては、単位ブロック131Bに位相差画素133が含まれており、当該位相差画素133からの画素値に基づいて合焦動作が実行される。しかしながら、合焦点動作の方式はこれに限られない。

20

**【0081】**

位相差画素133を用いる方式に代えて、画像を生成するのに用いられる画素を用いたコントラスト方式により合焦動作を実行してもよい。この場合に、上記図8のステップS110において、単位ブロック131Bから画素値が読み出され、当該単位ブロック131B内での空間的な高周波成分に基づいてコントラスト値が算出される。さらに当該コントラスト値が極大値となるように、撮影レンズ520が駆動される。なお、この場合には単位ブロック131Bには位相差画素133を設けず、単位ブロック131Aと同一の画素配列にしてもよい。

30

**【0082】**

さらに他の例として、位相差画素133を用いる方式とコントラスト方式とを併用してもよい。この場合に、例えば、上記図8のステップS110において、最初に位相差画素133を用いて合焦位置のズレの方向を判定し、その方向へコントラスト方式で合焦位置を調整してもよい。これに代えて、撮像素子100に入射する被写体像の輝度が閾値よりも高い場合に位相差画素133を用い、低い場合にコントラスト方式を用いてもよい。さらに他の例として、上記図8のステップS110において被写体を認識し、当該被写体が動体である場合に位相差画素133を用いて、動体でない場合にコントラスト方式を用いてもよい。

40

**【0083】**

また、コントラスト方式で合焦状態を判定するために読み出した単位ブロック131Bの画素値は、スルー画像の生成に用いられなくてもよい。これにより、単位ブロック131Bに対してコントラスト方式に適した蓄積制御をすることができる。この場合には、上記の通りスルー画像の生成のために、単位ブロック131Aに同期して単位ブロック131Bに対して同じ蓄積制御をして、単位ブロック131A、131Bの両方から画素値を得ることが好ましい。

**【0084】**

上記実施形態は、動画を撮像する場合にも適用できる。その場合には、上記スルー画像のための読み出しおよびスルー画像の生成を、動画のための読み出しおよび動画の生成に

50

代えればよい。

【0085】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【0086】

特許請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。特許請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

【符号の説明】

【0087】

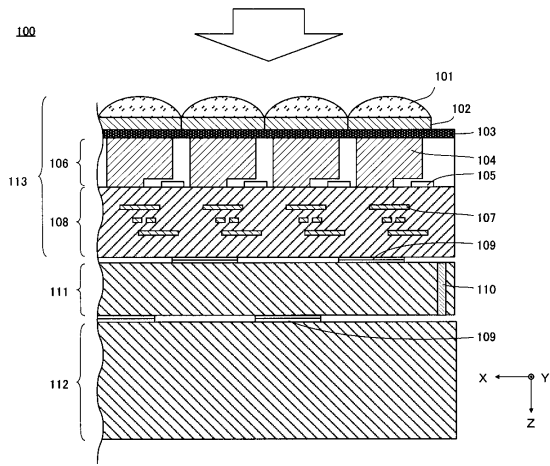
100 撮像素子、101 マイクロレンズ、102 カラーフィルタ、103 パッシベーション膜、104 PD、105 トランジスタ、106 PD層、107 配線、108 配線層、109 バンプ、110 TSV、111 信号処理チップ、112 メモリチップ、113 撮像チップ、131A 単位ブロック、131B 単位ブロック、133 位相差画素、133L 位相差画素、133R 位相差画素、302 転送トランジスタ、303 リセットトランジスタ、304 増幅トランジスタ、305 選択トランジスタ、306 リセット配線、307 TX配線、308 デコーダ配線、309 出力配線、310 Vdd配線、311 負荷電流源、410 CDS回路、411 マルチプレクサ、412 A/D変換回路、413 デマルチプレクサ、414 画素メモリ、415 演算回路、418 I/F回路、420 駆動制御部、430 タイミングメモリ、441 センサ制御部、442 ブロック制御部、443 同期制御部、444 信号制御部、450A 個別回路部、450B 個別回路部、500 撮像装置、501 システム制御部、502 駆動部、503 測光部、504 ワークメモリ、505 記録部、506 表示部、508 操作部、511 画像処理部、512 演算部、514 駆動部、520 撮影レンズ

10

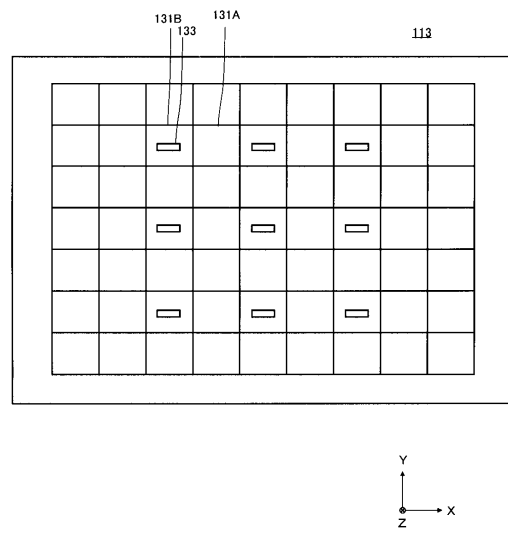
20

30

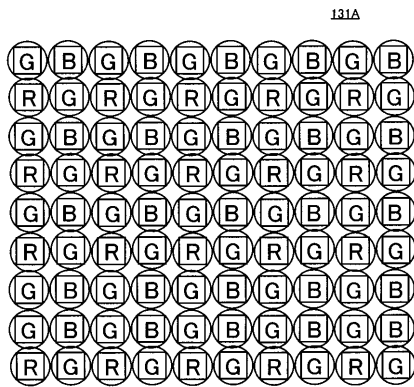
【図1】



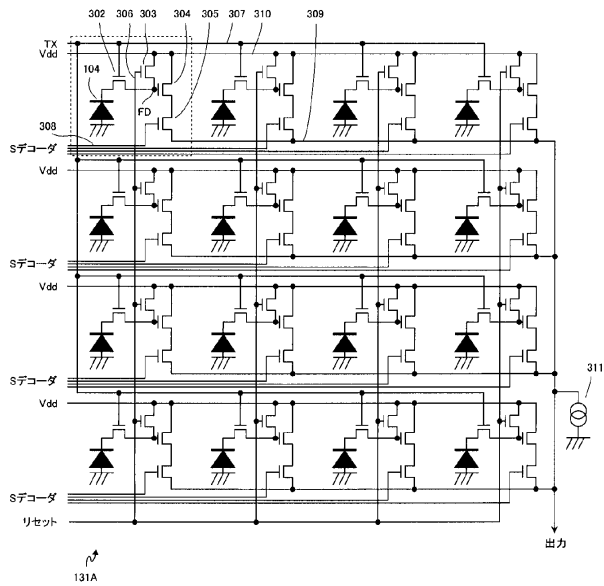
【図2】



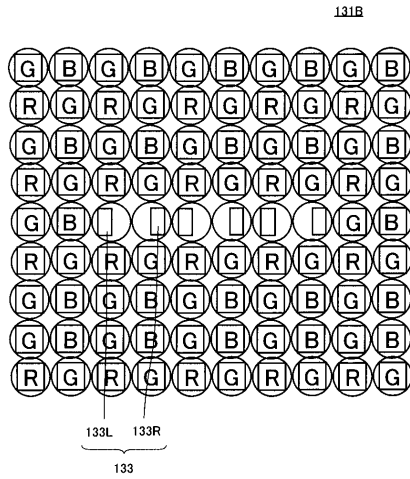
【図3】



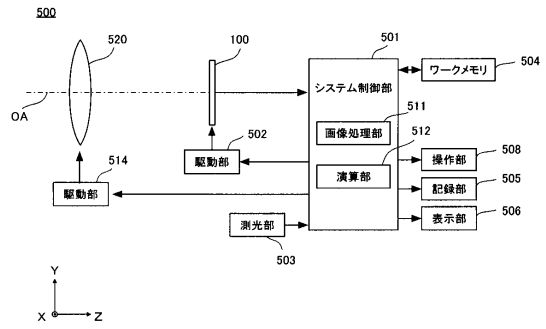
【図4】



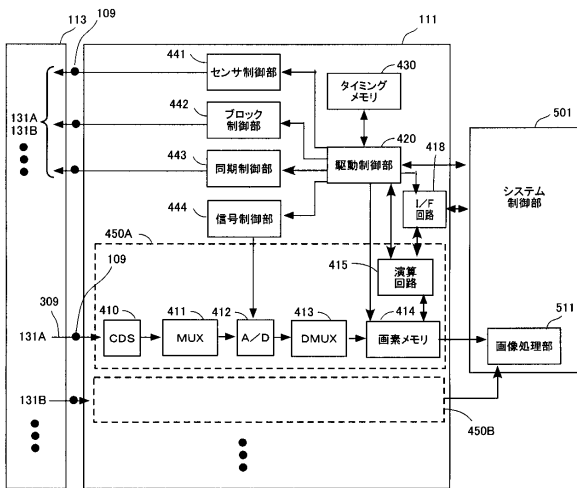
【図5】



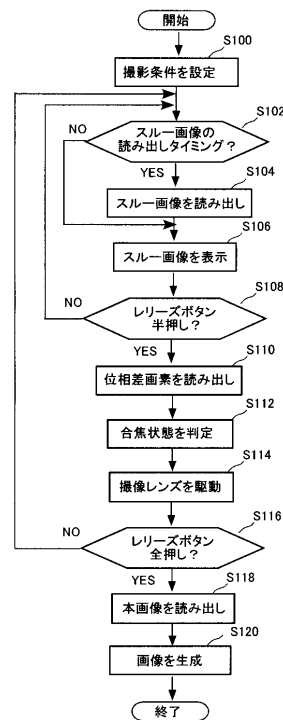
【図6】



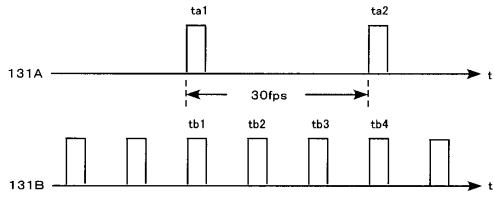
【図7】



【図8】



【 9 】



---

フロントページの続き

- (56)参考文献 特開2007-150643(JP,A)  
特開2000-156823(JP,A)  
特開2006-049361(JP,A)  
特開2012-054876(JP,A)  
特開2010-074243(JP,A)  
特開2018-082494(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/232  
H04N 5/225  
H04N 5/345