

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200680050948.1

[51] Int. Cl.

G11C 8/16 (2006.01)

G11C 8/18 (2006.01)

G11C 7/10 (2006.01)

[43] 公开日 2009 年 1 月 28 日

[11] 公开号 CN 101356586A

[22] 申请日 2006.11.17

[21] 申请号 200680050948.1

[30] 优先权

[32] 2005.11.17 [33] US [31] 11/282,333

[86] 国际申请 PCT/US2006/061060 2006.11.17

[87] 国际公布 WO2007/114858 英 2007.10.11

[85] 进入国家阶段日期 2008.7.11

[71] 申请人 高通股份有限公司

地址 美国加利福尼亚州

[72] 发明人 郑昌镐

[74] 专利代理机构 北京律盟知识产权代理有限公司
代理人 刘国伟

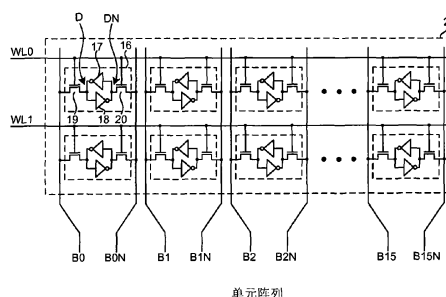
权利要求书 4 页 说明书 13 页 附图 8 页

[54] 发明名称

第一存储器存取与第二存储器存取的比率与时钟工作循环无关的伪双端口存储器

[57] 摘要

伪双端口存储器(1)在外部供应的时钟信号CLK的单个周期内执行第一存储器存取操作和第二存储器存取操作两者。所述信号CLK用来锁存用于所述第一操作的第一地址和用于所述第二操作的第二地址。控制电路(3到15)产生用于起始所述第一操作的第一控制信号。所述第一操作的持续时间取决于经过延迟电路(15)的延迟。预充电周期跟随所述第一操作的终止。所述预充电周期的持续时间取决于经过所述控制电路的传播延迟。所述第二操作的存储器存取跟随所述预充电的终止而起始。所述第二存储器存取的持续时间取决于经过所述延迟电路的延迟。起始所述第二操作的时间与CLK的工作循环无关。



1. 一种方法，其包括：

(a) 将时钟信号、第一地址值和第二地址值接收到伪双端口存储器装置中；

(b) 使用所述时钟信号的第一转变来将所述第一地址值和所述第二地址值锁存到所述伪双端口存储器装置中；

(c) 产生用于执行所述伪双端口存储器装置的第一存储器存取操作的第一控制信号，且执行所述第一存储器存取操作以存取由所述第一地址值定址的第一存储器单元；以及

(d) 产生用于执行所述伪双端口存储器装置的第二存储器存取操作的第二控制信号，且执行所述第二存储器存取操作以存取由所述第二地址值定址的第二存储器单元，其中所述第一存储器存取操作和所述第二存储器存取操作两者是在所述时钟信号的单个周期中执行，且其中所述时钟信号的第二转变并不用来起始所述第二存储器存取操作。

2. 根据权利要求1所述的方法，其中所述第一存储器存取操作是读取操作，且其中所述第二存储器存取操作是写入操作。

3. 根据权利要求1所述的方法，其中所述第一转变是所述时钟信号的所述单个周期的上升沿，且其中所述时钟信号的所述单个周期的下降沿并不用来起始所述第二存储器存取操作。

4. 根据权利要求1所述的方法，其中所述第一存储器存取操作包含用于定址且存取所述第一存储器单元的时间量，所述时间量大体上取决于单触发电路的延迟时间，其中所述单触发电路由所述第一控制信号中的一者的断言来触发，且其中所述单触发电路输出引起所述第一存储器存取操作终止的脉冲。

5. 根据权利要求1所述的方法，其中所述第二存储器存取操作包含预充电耦合到所述第二存储器单元的位线的第一时间量且进一步包含定址且存取所述第二存储器单元的第二时间量，其中所述第一时间量大体上取决于经过一连串数字逻辑门的传播延迟，且其中所述第二时间量大体上取决于单触发电路的延迟时间，其中所述单触发电路由所述第二控制信号中的一者的断言来触发，且其中所述单触发输出引起所述第二存储器存取操作终止的脉冲。

6. 根据权利要求1所述的方法，其中所述时钟信号具有工作循环，其中所述第一存储

器存取操作花费第一时间量，其中所述第二存储器存取操作花费第二时间量，且其中所述第一时间量与所述第二时间量的所述比率与所述时钟信号的所述工作循环无关。

7. 根据权利要求1所述的方法，其中所述时钟信号的第一边沿引起读取时钟信号的上升沿，其中所述读取时钟信号引起(b)中的所述第一地址值的所述锁存，且其中所述时钟信号的所述第一边沿还引起写入时钟信号的上升沿，且其中所述写入时钟信号引起(b)中的所述第二地址值的所述锁存。
8. 根据权利要求1所述的方法，其中所述伪双端口存储器装置包含多个字线和多个列多路复用器，

其中所述产生第一控制信号包含将读取字地址值驱动到所述字线上，且其中所述产生第一控制信号进一步包含将读取列地址值供应到所述列多路复用器，以及

其中所述产生第二控制信号包含将写入字地址值驱动到所述字线上，且其中所述产生第二控制信号进一步包含将写入列地址值供应到所述列多路复用器。

9. 一种伪双端口存储器，其接收外部时钟信号 CLK 且在所述信号 CLK 的单个周期期间执行读取循环和写入循环，所述伪双端口存储器包括：

存储器阵列，其具有多个字线和多个位线；

读取时钟生成器，其接收所述信号 CLK 且输出读取时钟信号 RCLK；

写入时钟生成器，其接收所述信号 CLK 且输出写入时钟信号 WCLK；

延时多路复用器，其接收所述读取时钟信号 RCLK 和所述写入时钟信号 WCLK，且在所述读取循环期间输出第一 ICLK 脉冲且在所述写入循环期间输出第二 ICLK 脉冲，所述延时多路复用器还输出解码信号 RWDCLK，所述解码信号 RWDCLK 在所述读取循环期间具有一个数字值且在所述写入循环期间具有第二数字值；

地址输入锁存器电路，其在所述读取时钟生成器输出所述读取时钟信号 RCLK 的所述读取循环期间输出读取列地址值，所述地址输入锁存器电路还在所述写入时钟生成器输出所述写入时钟信号 WCLK 的所述写入循环期间输出写入列地址值，所述地址输入锁存器电路还将读取字线地址值输出到所述存储器阵列的所述字线上，其中所述读取字线地址值是在所述解码信号 RWDCLK 具有所述一个数字值的所述第一 ICLK 脉冲期间输出，所述地址输入锁存器电路还将写入字线地址值输出到所述存储器阵列的所述字线上，其中所述写入字线地址值是在所述解码信号 RWDCLK 具有所述第二数字值的所述第二 ICLK 脉冲期间输出；

多个列多路复用器/多路分用器，其耦合到所述多个位线，其中每一列多路复用器/多路分用器经耦合以从所述地址输入锁存器电路接收所述读取列地址值，且其中每一列多路复用器/多路分用器经耦合以从所述地址输入锁存器电路接收所述写入列地址值；以及

延迟电路，其从所述延时多路复用器接收所述第一 ICLK 脉冲和所述第二 ICLK 脉冲且在所述第一 ICLK 脉冲开始之后的一时间量时将第一重设信号发送到所述读取时钟生成器，其中所述第一重设信号引起所述读取时钟生成器停止输出所述读取时钟信号 RCLK，所述延迟电路还在所述第二 ICLK 脉冲开始之后的所述时间量时将第二重设信号发送到所述写入时钟生成器，其中所述第二重设信号引起所述写入时钟生成器停止输出所述写入时钟信号 WCLK。

10. 根据权利要求 9 所述的伪双端口存储器，其中所述延时多路复用器不包含经计时的顺序逻辑元件。
11. 根据权利要求 9 所述的伪双端口存储器，其中所述延迟电路是单触发电路，所述单触发电路由所述第一 ICLK 脉冲的边沿首先触发且由所述第二 ICLK 脉冲的边沿再次触发。
12. 根据权利要求 9 所述的伪双端口存储器，其中所述外部时钟信号 CLK 具有工作循环，其中所述读取循环具有一持续时间，其中所述写入循环具有一持续时间，且其中所述读取循环的所述持续时间与所述写入循环的所述持续时间的比率与所述外部时钟信号 CLK 的所述工作循环无关。
13. 根据权利要求 9 所述的伪双端口存储器，其中所述伪双端口存储器接收外部供应的读取地址值、外部供应的写入地址值和外部供应的数据值，且其中所述地址输入锁存器电路在所述外部时钟信号 CLK 的边沿锁存所述外部供应的读取地址值、所述外部供应的写入地址值和所述外部供应的数据值。
14. 一种伪双端口存储器，其接收外部供应的时钟信号 CLK 且在所述信号 CLK 的单个周期期间执行第一存储器存取操作和第二存储器存取操作，所述外部供应的时钟信号 CLK 具有工作循环，所述伪双端口存储器包括：

存储器单元阵列；以及

用于产生第一控制信号且将所述第一控制信号供应到所述存储器单元阵列以使得在所述单个周期的第一部分期间执行所述第一存储器存取操作的装置，所述装置还用于产生第二控制信号且将所述第二控制信号供应到所述存储器单元阵列以使

得在所述单个周期的第二部分期间执行所述第二存储器存取操作，其中所述第二部分的开始大体上与所述外部供应的时钟信号 CLK 的所述工作循环无关。

15. 根据权利要求 14 所述的伪双端口存储器，其中所述装置包含延迟电路，所述延迟电路产生引起所述第一存储器存取操作终止的脉冲。
16. 根据权利要求 15 所述的伪双端口存储器，其中预充电周期跟在所述第一存储器存取操作的所述终止之后，所述预充电周期具有持续时间，其中所述预充电周期的所述持续时间并不取决于所述信号 CLK 的所述工作循环，而是取决于经过所述装置的传播延迟。
17. 根据权利要求 16 所述的伪双端口存储器，其中存储器存取跟随所述预充电周期而发生，所述存储器存取具有持续时间且在所述信号 CLK 的所述单个周期期间发生，其中所述存储器存取的所述持续时间并不取决于所述信号 CLK 的所述工作循环，而是取决于经过所述延迟电路的延迟，其中所述延迟电路产生引起所述第二存储器存取操作终止的第二脉冲。
18. 根据权利要求 14 所述的伪双端口存储器，其中所述装置包括：

读取时钟生成器，其使用所述外部供应的时钟信号 CLK 来锁存读取地址值，所述读取时钟生成器输出读取时钟信号；

写入时钟生成器，其使用所述外部供应的时钟信号 CLK 来锁存写入地址值，所述写入时钟生成器输出写入时钟信号；以及

延时多路复用器，其接收所述读取时钟信号和所述写入时钟信号且输出时钟信号 ICLK，其中所述时钟信号 ICLK 在所述外部供应的时钟信号 CLK 的所述单个周期期间脉冲两次，所述时钟信号 ICLK 控制预充电所述阵列的位线的时间。
19. 根据权利要求 18 所述的伪双端口存储器，其中所述装置进一步包括：

延迟电路，所述延迟电路由所述时钟信号 ICLK 的第一脉冲的边沿触发且响应所述边沿而产生第一重设脉冲，所述第一重设脉冲引起所述读取时钟生成器停止输出所述读取时钟信号，所述延迟电路由所述时钟信号 ICLK 的第二脉冲的边沿触发且响应所述边沿而产生第二重设脉冲，所述第二重设脉冲引起所述写入时钟生成器停止输出所述写入时钟信号。

第一存储器存取与第二存储器存取的比率与时钟工作循环无关的伪双端口存储器

技术领域

所揭示的实施例大体上涉及伪双端口存储器。

背景技术

双端口存储器通常具有两个端口和一存储器单元阵列。存储器阵列可同时从所述两个端口存取，假设正从一个端口存取的存储器单元与正从另一端口存取的存储器单元不是相同的存储器单元。用于此类双端口存储器中的常见类型的存储器单元包括八个场效应晶体管（FET）。所述晶体管中的四个经互连以形成两个交叉耦合式反相器。存储器单元的第一数据节点 D 是反相器中的第一反相器的输出引线处和反相器中的第二反相器的输入引线处的节点。存储器单元的第二数据节点 DN 是反相器中的第二反相器的输出引线处和反相器中的第一反相器的输入引线处的节点。存在耦合到第一数据节点 D 的两个存取晶体管。提供第一存取晶体管以使得第一位线 B1 可选择性地耦合到第一数据节点 D。提供第二存取晶体管以使得第二位线 B2 可选择性地耦合到第一数据节点 D。类似地，存在耦合到第二数据节点 DN 的两个存取晶体管。提供第一存取晶体管以使得第一位线条 B1N 可耦合到第二节点 DN。提供第二存取晶体管以使得第二位线条 B2N 可耦合到第二节点 DN。第一位线 B1 和第一位线条 B1N 构成位线对，且用于将所定址的存储器单元耦合到双端口存储器的两个端口中的第一端口。第二位线 B2 和第二位线条 B2N 构成位线对，且用于将所定址的存储器单元耦合到双端口存储器的两个端口中的第二端口。

单端口存储器中的存储器单元通常仅包含六个晶体管。如同在八晶体管式单元中的状况，所述晶体管中的四个形成交叉耦合式反相器结构。然而，不同于在八晶体管式单元中具有两对存取晶体管，六晶体管式单元仅具有一对存取晶体管。提供第一存取晶体管以用于将交叉耦合式反相器的第一数据节点 D 选择性地耦合到位线 B。提供第二存取晶体管以用于将交叉耦合式反相器的第二数据节点 DN 耦合到位线条 BN。当使用相同工艺来制造六晶体管式存储器单元和八晶体管式单元时，六晶体管式存储器单元通常仅消耗八晶体管式单元的集成电路面积的约一半。

为了利用六晶体管式存储器单元的较小尺寸，通常使用被称作为伪双端口存储器的

存储器装置。在一实例中，伪双端口存储器具有单个存储器阵列，其中阵列的每一存储器单元是六晶体管式存储器单元，所述六晶体管式存储器单元可选择性地耦合到单对位线（例如，位线 B 和位线条 BN）。所述存储器阵列作为单端口存储器操作，因为一次仅执行一个存储器存取。

然而，伪双端口存储器在其具有两个端口方面模拟双端口存储器。在供应到伪双端口存储器的时钟信号的单个循环内，表现为从一个端口执行存储器阵列的第一存取且从另一端口执行存储器阵列的第二存取。然而，事实上，存储器阵列的两个存取以快速连续的方式执行。举例来说，如果将要从伪双端口存储器的第一端口执行读取操作且将要从伪双端口存储器的第二端口执行写入操作，那么在第一时间将来自所定址的存储器单元的数据输出到第一端口的数据端子上，其中所定址的存储器单元的地址提供于第一端口的地址端子上。在读取操作之后，接着执行将第二端口的数据端子上数据写入到所定址的存储器单元中的写入操作，其中所定址的存储器单元的地址提供于第二端口的地址端子上。所述两个存取以快速连续的方式发生以使得在伪双端口存储器的外部看起来，伪双端口存储器允许对存储器阵列的两个存取同时进行（即，在外部供应的时钟信号的单个循环期间）。

在伪双端口存储器内，有时被称作为延时多路复用器（TDM）的结构起作用以控制对单个存储器阵列的所述两个存取。TDM 使用时钟信号的上升沿来起始第一存储器存取。TDM 使用时钟信号的下降沿来起始第二存储器存取。

在存在将要在伪双端口存储器中的单个存储器阵列上执行两个存储器存取的情况下，本发明者已认识到，执行第一存取所需要的时间量有时可能并不等于执行第二存取所需要的时间量。举例来说，在一些存储器阵列配置中，执行第一存储器读取操作所需要的时间量小于执行第二存储器写入操作所需要的时间量。使用常规 TDM 方法使得总存储器存取时间变慢，因为可用于所述两个操作的相对时间量由发生时钟循环的上升沿的时间和发生时钟循环的下降沿的时间来确定。举例来说，如果时钟循环中时钟信号是低态的时间与所述时钟信号是高态的时间一样长（即，时钟信号具有 50/50 的工作循环），那么必须允许相同时间量来执行较快读取操作和较慢写入操作两者。结果是在读取操作已完成之后开始且在时钟信号的下降沿时结束的时间量被浪费了。

常规 TDM 方法不仅有时会在执行两个存储器存取所需要的相对时间量并不匹配时钟信号的工作循环的情形下使总存储器存取时间变慢，而且常规 TDM 方法也可能会由于使用时钟信号的下降沿来起始操作而使总存储器存取时间比其原本将必须具有的总存储

器存取时间慢。时钟信号的工作循环中可能会存在抖动，使得时钟信号的下降沿的时序随不同时钟循环而变化。如果电路对于一个时钟信号工作循环条件下的操作来说是优化的，那么所述电路对于另一时钟信号工作循环条件下的操作来说通常不是优化的。通常将时间余量建置到电路中以使得伪双端口存储器的电路将在所有时钟信号工作循环条件下正确地操作。在适当操作不需要时间余量的某些操作条件下所述时间余量转化为被浪费的时间。因此，伪双端口存储器的最大时钟频率经指定以低于在不具有此类时间余量的情况下可具有的最大时钟频率。

需要改进的伪双端口存储器。

发明内容

一种伪双端口存储器在外部供应的时钟信号 CLK 的单个周期期间执行第一存储器存取操作和第二存储器存取操作两者。所述伪双端口存储器包含存储器单元阵列和控制电路。控制电路包含延迟电路和一些数字逻辑。

响应信号 CLK 的第一边沿，控制电路产生第一控制信号。第一控制信号起始第一存储器存取操作。在一实例中，第一存储器存取是读取。在第一时间量 A 之后，延迟电路产生第一重设信号。第一重设信号用来终止第一存储器存取操作。

控制电路自动产生第二控制信号，所述第二控制信号引起第二存储器存取操作被执行。存储器阵列的位线的预充电在第二存储器存取操作中首先发生。在第一存储器存取操作的结束与预充电的结束之间的第二时间量取决于经过所述一些数字逻辑的信号传播延迟时间 B。

当预充电停止时，第二控制信号起始第二存储器存取操作的第二存储器存取。在一实例中，第二存储器存取是写入。在第三时间量 C 之后，延迟电路产生第二重设信号。第二重设信号用来终止第二存储器存取且因此也终止第二存储器存取操作。

终止第一存储器存取操作的时间和起始第二存储器存取操作的时间并不取决于发生时钟信号 CLK 的下降沿的时间。第一存储器存取操作的持续时间并不取决于信号 CLK 的工作循环，而是取决于经过控制电路的非计时延迟。在伪双端口存储器的设计中，可通过增加或减小由延迟电路引入的延迟时间 A 来增加或减小分配给第一存储器存取操作的时间量。

预充电周期自动地跟随第一存储器存取操作的终止。预充电周期的持续时间也不取决于信号 CLK 的工作循环，而是取决于经过控制电路的非计时延迟。在特定伪双端口存储器的设计中，可通过增加或减小传播延迟时间 B 来增加或减小分配给为第二存储器存

取做准备的预充电的时间量。可向传播路径添加非反相逻辑或从传播路径去除非反相逻辑来增加或减小延迟时间 B。

第二存储器存取的持续时间也不取决于信号 CLK 的工作循环，而是取决于经过控制电路的非计时延迟。在特定伪双端口存储器的设计中，可通过增加或减小由延迟电路引入的延迟时间 C 来增加或减小分配给第二存储器存取的时间量。在一实施例中，因为相同延迟电路产生延迟时间 A 和 C 两者，所以延迟时间 A 和 C 相等。

避免了与使用外部时钟信号的下降沿（其中下降沿具有不良的大量抖动）来起始第二存储器存取操作相关的问题，因为外部供应的时钟信号的下降沿并不用来终止第一读取操作或起始第二写入操作。分配给第一存储器存取操作的时间与分配给第二存储器存取操作的时间的比率与外部供应的时钟信号 CLK 的工作循环无关。延迟时间 A、B 和 C 可经调整以使得所述比率小于信号 CLK 的工作循环。或者，延迟时间 A、B 和 C 可经调整以使得所述比率大于信号 CLK 的工作循环。因此，控制电路设计是多变的，因为可在存储器的设计阶段容易地调整分配给第一和第二存储器存取的时间以便适应具有不同尺寸和/或特征的不同存储器单元。

在以下具体实施方式中描述额外硬件实施例和额外方法。此发明内容并非意在限定本发明。本发明由权利要求书界定。

附图说明

图 1 是根据一实施例的伪双端口存储器装置 1 的高级方框图。

图 2 是图 1 的存储器阵列 2 的更详细的图。

图 3 是图 1 的八个列多路复用器/多路分用器 3 到 10 的更详细的图。

图 4 是图 1 的方框 11 的地址输入锁存器和读取/写入多路复用器部分的更详细的图。

图 5 是图 1 的方框 11 的数据输入锁存器部分的更详细的图。

图 6 是图 1 的读取时钟生成器电路 12、写入时钟生成器电路 13、延时多路复用器电路 14 和单触发电路 15 的更详细的图。

图 7 是说明图 1 到图 6 的伪双端口存储器装置 1 的操作的波形图。

图 8 是陈述由图 1 到图 6 的伪双端口存储器装置 1 执行的方法的流程图。

具体实施方式

图 1 是根据一实施例的伪双端口存储器装置 1 的高级方框图。存储器装置 1 包含静态随机存取存储器单元阵列 2。在所说明的实例中，阵列 2 包含两行存储器单元，其中每一行包含十六个存储器单元。除阵列 2 以外，存储器装置 1 包含一组八个列多路复用

器/多路分用器 3 到 10。仅说明了第一列多路复用器/多路分用器 3 和第八列多路复用器/多路分用器 10。存储器装置 1 还包含地址输入锁存器、读取/写入多路复用器和数据输入锁存器电路 11、读取时钟生成器电路 12、写入时钟生成器电路 13、延时多路复用器电路 14，和单触发电路 15。方框 3 到 15 中的电路是控制对阵列 2 的存取的控制电路。

图 2 是存储器阵列 2 的更详细的图。存储器单元中的每一者是六晶体管式存储器单元。元件符号 16 识别阵列的左上角中的存储器单元。存储器单元 16 的晶体管中的四个经互连以形成一对交叉耦合式反相器 17 和 18。存储器单元 16 的第一数据节点 D 耦合到反相器 17 的输出引线且耦合到反相器 18 的输入引线。存储器单元 16 的第二数据节点 DN 耦合到反相器 18 的输出引线且耦合到反相器 17 的输入引线。提供第一存取晶体管 19 以使得数据节点 D 可选择性地耦合到垂直延伸的位线 B0。提供第二存取晶体管 20 以使得数据节点 DN 可选择性地耦合到垂直延伸的位线 B0N。如所说明，位线对 B0 和 B0N、B1 和 B1N、.....、B15 和 B15N 在垂直方向上延伸穿过阵列。举例来说，位线对 B0 和 B0N 垂直地向上延伸穿过存储器单元的最左列。在所述标记中后缀“N”指示“非”，或具有相同信号名称但不具有后缀“N”的信号的反数。一对字线 WL0 和 WL1 在水平方向上延伸穿过阵列。字线 WL0 耦合到阵列的上部行存储器单元的各个存储器单元的存取晶体管的栅极。字线 WL1 耦合到阵列的下部行存储器单元的各个存储器单元的存取晶体管的栅极。

图 3 是图 1 的八个列多路复用器/多路分用器 3 到 10 的更详细的图。每一列多路复用器/多路分用器具有两对位线引线。举例来说，列多路复用器/多路分用器 3 具有耦合到第一对位线 B0 和 B0N 的引线且还具有耦合到第二对位线 B1 和 B1N 的引线。在图 3 中，所述两对位线被说明为从上向下延伸到列多路复用器/多路分用器 3 中。

每一列多路复用器/多路分用器接收读取列地址 RCA0 和其反数 RCA0N。在读取操作期间，由多路复用器 23 将两对位线中的一对多路复用到读出放大器 22 的一对差分输入引线上。由值 RCA0 和 RCA0N 来确定对两对位线中的哪一对进行多路复用。读出放大器 22 包含锁存器，所述锁存器锁存将要输出到列多路复用器/多路分用器的数据输出引线上的值。锁存器当输入信号 SENS 是低态时透明，且锁存器当信号 SENS 从低态转变到高态时锁存。存储器装置 1 的数据输出引线 DOUT[0:7]分别是八个列多路复用器/多路分用器 3 到 10 的数据输出引线。

每一列多路复用器/多路分用器还接收内部时钟信号 ICLK。信号 ICLK 是当 ICLK 是低态时引起位线预充电的预充电信号。下文进一步详细描述信号 ICLK。

每一列多路复用器/多路分用器还接收写入列地址 $WCA0$ 和其补数 $WCA0N$ 。每一列多路复用器/多路分用器还接收所锁存的数据输入值和其补数。举例来说, 第一列多路复用器/多路分用器 3 接收所锁存的输入数据值 $DIN[0]$ 和其补数 $DINN[0]$ 。在写入操作期间, 由多路分用器 21 将数据输入值 $DIN[0]$ 和 $DINN[0]$ 多路分用到耦合到列多路复用器/多路分用器 3 的两对位线中的一对上。由写入列地址 $WCA0$ 和其补数 $WCA0N$ 来确定特定对位线。因此, 在读取操作期间, 数据从选定对位线传递经过多路复用器 23、经过读出放大器 22 且到达列多路复用器/多路分用器 3 的数据输出引线 $DOUT[0]$ 上。在写入操作期间, 数据从数据输入引线 $DIN[0]$ 和 $DINN[0]$ 传递经过多路分用器 21 且到达选定对位线 $B0$ 和 $B0N$ 或 $B1$ 和 $B1N$ 上。

图 4 是图 1 的方框 11 的地址输入锁存器和读取/写入多路复用器部分的更详细的图。图 4 的电路锁存传入的两位读取地址 $RADR[1:0]$ 且还锁存传入的两位写入地址 $WADR[1:0]$ 。图 4 的电路输出字线值 $WL1$ 和 $WL0$ 、读取列地址值 $RCA0$ 和 $RCA0N$, 以及写入列地址值 $WCA0$ 和 $WCA0N$ 。

图 5 是图 1 的方框 11 的数据输入锁存器部分的更详细的图。如所说明, 存在八个等同的数据输入锁存器 24 到 31, 所述数据输入锁存器 24 到 31 经并联组织以使得其锁存八位输入数据值 $DATAIN[7:0]$ 且输出八位所锁存的数据值 $DIN[7:0]$ 和其补数 $DINN[7:0]$ 。使用写入时钟信号来将传入的输入数据值 $DATAIN[7:0]$ 锁存到八个数据输入锁存器中。每一数据输入锁存器当写入时钟信号 $WCLK$ 是低态时透明, 且当写入时钟信号 $WCLK$ 从低态转变到高态时锁存。在数据输入锁存器 24 中, 构成通门 32 以及交叉耦合式反相器 33 和 34 的晶体管一起形成透明锁存器 35。当读取/写入解码时钟信号 $RWDCLK$ 被断言为高态时, 存储在数据输入锁存器中的数字值以及所存储的数字值的补数被供应到数据输入锁存器的数据引线 $DIN[0]$ 和 $DINN[0]$ 上。另一方面, 如果信号 $RWDCLK$ 是低态, 那么两个输出引线 $DIN[0]$ 和 $DINN[0]$ 上的两个信号被强制为高态。

图 6 是图 1 的读取时钟生成器电路 12、写入时钟生成器电路 13、延时多路复用器电路 14 和单触发电路 15 的更详细的图。伪双端口存储器 1 是相对于外部供应的时钟信号 CLK 同步地操作的同步存储器。当外部供应的时钟信号 CLK 转变为高态时, 读取时钟生成器电路 12 锁存外部供应的读取选择信号 $CSAN$ 。 $CSAN$ 是低态有效信号。当外部供应的时钟信号 CLK 转变为高态时, 写入时钟生成器电路 13 锁存外部供应的写入选择信号 $CSBN$ 。 $CSBN$ 是低态有效信号。延时多路复用器电路 14 不由外部时钟信号 CLK 计时且不包含顺序逻辑元件 (即, 不包含触发器且不包含锁存器)。图 6 的电路输出读取时钟信

号 RCLK、写入时钟信号 WCLK、内部时钟信号 ICLK 和读取/写入解码时钟信号 RWDCLK。

下文结合图 7 的波形图描述伪双端口存储器装置 1 的操作。图 7 中前面有星号的信号名称是供应到伪双端口存储器装置 1 的外部供应的输入信号。

如图 7 中所说明，内部时钟信号 ICLK 起初是低态。如图 3 中所说明，ICLK 被供应到列多路复用器/多路分用器 3 到 10。当 ICLK 是低态时，列多路复用器/多路分用器中的每一者的 P 沟道晶体管 36 到 38 和 39 到 41 传导。因此，所有位线对被预充电至电源电压 VCC。位线的此预充电是初始条件。

因为在时钟信号 CLK 的单个循环中执行读取操作和写入操作两者，所以将两位读取地址 RADR[1:0]放在伪双端口存储器 1 的两个读取地址输入引线 42 和 43 上，将读取选择信号 CSAN 断言在伪双端口存储器 1 的输入引线 44 上，将两位写入地址 WADR[1:0]放在伪双端口存储器 1 的两个写入地址输入引线 45 和 46 上，且将写入选择信号 CSBN 断言在伪双端口存储器 1 的输入引线 47 上。将在写入操作期间将要写入的八位数据值 DATAIN[7:0]供应到伪双端口存储器 1 的八个数据输入引线 48 到 55 上。读取地址输入引线 42 和 43 以及数据输出引线 117 到 124 是伪双端口存储器装置 1 的第一端口（只读端口）。写入地址输入引线 45 和 46 以及数据输入引线 48 到 55 是伪双端口存储器装置 1 的第二端口（只写端口）。

当时钟信号 CLK 转变为高态时，读取选择信号 CSAN 的值被锁存到图 6 的读取时钟生成器电路 12 的锁存器中。如果 CSAN 是低态，那么锁存器节点 86 上的电压被拉到接地且由交叉耦合式反相器 87 到 88 锁存。如果 CSAN 是高态，那么节点 86 上的电压将维持在其先前所锁存的状态。如图 7 的波形图展示，CSAN 在当前所描述的操作实例中是低态。因此，数字低态被锁存到节点 86 中。因此，数字高态被锁存到节点 89 中。节点 89 上的数字值是读取时钟信号 RCLK 的值。因此，如图 7 中所说明，读取时钟信号 RCLK 转变为高态。

以类似方式，写入时钟选择信号 CSBN 被锁存到图 6 的写入时钟生成器 13 的锁存器中。如果 CSBN 是低态，那么节点 90 上的电压被拉到接地且由交叉耦合式反相器 91 到 92 锁存。如果 CSBN 是高态，那么节点 90 上的电压维持在其先前所锁存的状态。如图 7 的波形图展示，CSBN 在当前所描述的操作实例中是低态。因此，数字低态被锁存到节点 90 中，且数字高态被锁存到节点 93 中。节点 93 上的数字值是写入时钟信号 WCLK 的值。因此，如图 7 中所说明，写入时钟信号 WCLK 转变为高态。

图 4 的地址输入锁存器包含一对锁存器 94 和 95，其用于分别锁存两个读取地址位值 RADR[0]和 RADR[1]。锁存器 94 和 95 当信号 RCLK 是低态时透明且在 RCLK 的上升沿时锁存。因此，RADR[0]的值在 RCLK 的上升沿时被锁存到锁存器 94 中的节点 96 上。因此，RADR[1]的值在 RCLK 的上升沿时被锁存到锁存器 95 中的节点 97 上。

在图 7 的波形图中的时间 T1，RCLK 是低态且尚未转变为高态。因此，锁存器 94 透明。因此，节点 96 上存在 RADR[0]。因为 RCLK 是低态，所以 NAND（与非）门 98 输出数字高态。因此，门控电路 99 将 RCA0 和 RCA0N 两者断言为高态。因为 RCA0 和 RCA0N 是高态且驱动图 3 的列多路复用器/多路分用器中的多路分用器的 P 沟道晶体管，所以所述多路分用器被禁用且位线并不耦合到列多路复用器/多路分用器的读出放大器的输入引线。

在图 7 的波形图中的时间 T1，RCLK 是低态且锁存器 95 透明。因此，节点 97 上存在 RADR[1]。因为如图 7 中所说明 RWDCLK 是数字低态，所以节点 97 上的 RADR[1]的所锁存的值经过多路复用器 100 被供应到节点 101 上。然而，因为 ICLK 是低态，所以门控电路 102 阻止节点 101 上的信号输出到字线输出引线 103 和 104 上。字线输出引线 103 和 104 上存在数字低态信号。因为图 4 的存储器单元的存取晶体管是 N 沟道晶体管，所以 WL0 和 WL1 上的低态信号防止阵列 2 中的存取晶体管中的任一者变为传导。

图 4 的地址输入锁存器进一步包含第二对锁存器 105 和 106，其用于分别锁存两个写入地址位值 WADR[0]和 WADR[1]。锁存器 105 和 106 当信号 WCLK 是低态时透明且在 WCLK 的上升沿时锁存。因此，WADR[0]的值在 WCLK 的上升沿时被锁存到锁存器 105 中的节点 107 上。因此，WADR[1]的值在 WCLK 的上升沿时被锁存到锁存器 106 中的节点 108 上。

在图 7 的波形图中的时间 T1，WCLK 是低态且尚未转变为高态。因此，锁存器 105 透明。因此，节点 107 上存在 WADR[0]。因为 WCLK 是低态，所以 NAND 门 109 输出数字高态。因此，门控电路 110 将 WCA0 和 WCA0N 两者强制为低态。因为 WCA0 和 WCA0N 是低态且驱动图 3 的列多路复用器/多路分用器中的多路复用器的 N 沟道晶体管，所以多路分用器被禁用且位线并不耦合到列多路复用器/多路分用器的数据输入引线 DIN[7:0] 和 DINN[7:0]。

在图 7 的波形图中的时间 T1，WCLK 是低态且锁存器 106 透明。因此，节点 108 上存在 WADR[1]。因为如图 7 中所说明 RWDCLK 是数字低态，所以节点 108 上的值并不经过多路复用器 100 被供应到节点 101 上。

在时间 T1, ICLK 是低态。因此, 列多路复用器/多路分用器中的晶体管 36 到 41 传导。每一对位线的位线耦合到一起, 且耦合到电源电压 VCC。因此, 称位线被预充电。

接下来, 外部供应的时钟信号 CLK 转变为高态。在信号 CLK 转变之前, 信号 CLK 是数字低态。如图 7 的波形所指示, CSAN 是数字低态。因此, 图 6 的 NOR (或非) 门 109 将数字高态信号供应到 N 沟道晶体管 110 的栅极。当 CLK 转变为高态时, N 沟道晶体管 111 的栅极上存在高态信号。因此, N 沟道晶体管 111 和 110 两者皆在短暂时间量内传导, 直到数字高态 CLK 信号传播经过反相器 112 和 113 以及 NOR 门 109 以将 N 沟道晶体管 110 的栅极上的电压强制为低态为止。因此, 节点 86 上的电压经过晶体管 111 和 110 被短暂地拉到接地。借此节点 86 上的电压被锁存为数字低态且节点 89 上的电压被锁存为数字高态。在图 7 的波形中由信号 RCLK 的低态到高态转变来说明此情形。

通过类似过程, 信号 CLK 的低态到高态转变引起数字低态信号被锁存到图 6 的 WCLK 生成器 13 中的节点 90 上。N 沟道晶体管 114 和 115 短暂传导。结果是节点 93 上的信号 WCLK 的低态到高态转变。在图 7 中由信号 WCLK 的低态到高态转变来说明此情形。WCLK 的低态到高态转变引起 WADR[1:0]被锁存到图 4 的地址输入锁存器的锁存器 105 和 106 中。

当 RCLK 转变为高态时, 图 4 的锁存器 94 和 95 分别将读取地址值 RADR[0]和 RADR[1]锁存到节点 96 和 97 上。因为 RCLK 是高态且 RWDCLK 是低态, 所以 NAND 门 98 输出数字低态信号。因此, 门控电路 99 并不像之前一样将 RCA0 和 RCA0N 两者强制为高态。节点 96 上的所锁存的 RADR[0]值输出作为 RCA0, 且其补数输出作为 RCA0N。为了为下一读取操作做准备, 将读取列地址值供应到列多路复用器/多路分用器 3 到 10。在图 7 中由标记为“到列多路复用器的列地址”的波形来表示此情形。如图 3 中所见, 读取列地址 RCA0 和 RCA0N 引起多路复用器 23 选择位线对中的一对且将选定对耦合到读出放大器 22 的输入引线。

当 WCLK 转变为高态时, 信号 RWDCLK 是数字低态。因此, 图 4 的 NAND 门 109 继续输出数字高态, 且门控电路 110 继续将写入列地址值 WCA0 和 WCA0N 两者强制为低态而达其无效状态。

返回图 6, 节点 86 上的高态到低态转变被供应到 NAND 门 116 的下部输入引线上。因此, NAND 门 116 将内部时钟信号 ICLK 断言为高态。在图 7 中由信号 ICLK 的低态到高态转变来表示此情形。当 ICLK 转变为高态时, 阵列 2 的位线的预充电停止。为了为下一读取操作做准备, 图 3 的预充电晶体管 36 到 41 变为不传导。

当 ICLK 转变为高态时，图 4 的门控电路 102 不再将数字逻辑电平低态信号强加到两个字线上。因此，节点 97 上锁存的读取地址值 RADR[1]输出到字线 WL1 输出引线 103 上。读取地址值的补数输出到字线 WL0 输出引线 104 上。因此，字线 WL0 和 WL1 中的一者上存在数字高态。在图 7 的波形中由标记为 WL（WL0 和 WL1 中的一者）的波形的低态到高态转变来表示此情形。如图 2 中所见，字线上的高态值引起十六个存储器单元的相关行的所有存储器单元的所有存取晶体管传导。一个完整的十六位值从阵列 2 输出到八个列多路复用器/多路分用器。八个列多路复用器 3 到 10 基于读取地址值 RCA0 和 RCA0N 的值而选择将要输出到存储器的数据输出引线 117 到 124 上的一个八位值。选定位线对上的差分电压经过列多路复用器/多路分用器的多路复用器耦合，且到达列多路复用器/多路分用器的读出放大器的输入引线上。所得八位值被输出到存储器装置 1 的输出引线 117 到 124 上。图 7 中在标记为 DOUT[7:0]（读取）的波形中的时间 T2 处说明所述八位数据值的输出。

返回图 6，单触发电路 125 检测 ICLK 信号的低态到高态转变且输出 RESET 信号的高态脉冲。在图 7 中由标记为 RESET 的波形中的第一高态脉冲来说明此情形。在图 7 中，标记为 A 的虚线箭头表示由单触发电路 125 引入的延迟。

因为图 6 的 NAND 门 126 的上部输入引线上存在 RESET 的高态值，所以 RESET 脉冲为高态引起 RCLK 转变为低态。RDWCLK 为数字低态，因此 NAND 门 126 的下部输入引线上也存在数字高态。因此，NAND 门 126 输出数字低态信号，借此使得 P 沟道晶体管 127 变为传导。因为节点 86 经过晶体管 127 耦合到 VCC，所以节点 86 被拉为高态。因此，节点 89 上的信号 RCLK 转变为低态。在图 7 中由 RCLK 波形的高态到低态转变来说明此情形。

图 6 中的 NAND 门 116 的上部输入引线上存在数字高态。因此，ICLK 是低态。当节点 86 上的电压转变为高态时，NAND 门 116 的下部输入引线上也存在数字高态信号。因此，NAND 门 116 输出数字低态信号。在图 7 中由信号 ICLK 的高态到低态转变来说明此情形。因此，使得列多路复用器/多路分用器中的预充电晶体管 36 到 41 再次变为传导以开始下一写入操作的预充电操作。

在将从存储器装置输出的数据可能会由于预充电而改变之前，将读出信号 SENS 供应到列多路复用器/多路分用器的读出放大器中的锁存器中。信号 SENS 的低态到高态转变引起列多路复用器/多路分用器中的锁存器锁存且保持存储器装置 1 的输出引线 117 到 124 上的数据值。单触发电路（未图示）产生 SENS 信号且当 RWDCLK 是低态时在信

号 ICLK 的下降沿时将 SENS 信号脉冲为高态。将所输出的数据的锁存视为读取操作的结束。

当 WCLK 是数字高态时 RCLK 转变为低态引起 NOR 门 128 的两个输入引线上存在数字低态信号。因此, NOR 门 128 输出数字高态信号。此信号传播经过反相器 129 和 130。因此, RWDCLK 转变为高态, 如图 7 中由标记为 RWDCLK 的波形中的低态到高态转变所说明。

返回图 4, 信号 RWDCLK 的低态到高态转变引起写入地址值从图 4 的地址输入锁存器输出。RWDCLK 为高态引起 NAND 门 98 的上部输入引线上存在数字低态。因此, NAND 门 98 输出数字高态。这使得门控电路 99 将 RCA0 和 RCA0N 强制为数字高态值。将 RCA0 和 RCA0N 两者强制为高态引起图 3 的列多路复用器/多路分用器中的多路复用器 23 不将任何位线耦合到读出放大器。

返回图 4, RWDCLK 为高态引起 NAND 门 109 输出数字高态信号。因此, 门控电路 110 不再阻止锁存在锁存器 105 中的写入地址值 WADR[0]输出到 WCA0 和 WCA0N 上。因此, 写入列地址值 WADR[0]传送经过门控电路 110 到达图 3 的列多路复用器/多路分用器中的多路分用器 21。因此, DIN[7:0]和 DINN[7:0]上的数据输入值传送经过列多路复用器/多路分用器的多路分用器到达八对位线中的选定组上。由 WCA0 和 WCA0N 的值来确定选择八对中的哪一组。在图 3 中, 数据值传送经过多路分用器且向上到达存储器阵列 2 中, 使得数据值可写入到由字线地址值 WL0 和 WL1 所识别的存储器单元行中。

返回图 6, RWDCLK 的低态到高态转变继续传播经过反相器 131 和 132 且到达 NAND 门 133 的上部输入引线上。NAND 门 133 输出数字低态信号, 所述数字低态信号由反相器 134 反转。因此, NAND 门 135 的上部输入引线上断言数字高态信号。由于信号 RESET 的低态值引起 WCLK 生成器电路 13 的 NAND 门 136 输出数字高态信号, 所以 NAND 门 135 的下部输入引线上已经存在数字高态信号。因此, NAND 门 135 输出数字低态信号, 借此引起 NAND 门 116 将 ICLK 断言为高态。在图 7 中由标记为 B 的虚线箭头展示从 RWDCLK 的上升沿到 ICLK 的上升沿的此传播延迟。信号 ICLK 的上升沿终止写入操作的预充电。

返回图 4, ICLK 的上升沿被供应到门控电路 102。因此, 门控电路 102 不再将 WL0 和 WL1 两者强制为低态, 而是允许节点 101 上的写入地址值 WADR[1]输出到字线 WL1 输出引线 103 上。由于在写入操作期间 RWDCLK 的值是数字高态, 所以锁存在节点 108 中的写入地址值经多路复用到节点 101 上。结果是写入地址值 WADR[1]输出到字线 WL1

输出引线 103 上且其补数输出到字线 WL0 输出引线 104 上。在图 7 中由标记为 WL(WL0 和 WL1 中的一者)的波形中的转变来说明此情形。

因此,在写入操作期间写入地址值 WADR[0]和 WADR[1]用来定址存储器阵列 2。在图 7 中由标记为“到列多路复用器的列地址”的波形中出现的标记 WCA 来表示此情形。如图 7 中所说明,八个所定址的存储器单元中的数据可在时间 T3 切换。

返回图 6,ICLK 的低态到高态转变再次被单触发电路 125 检测到。在图 7 中由标记为 C 的虚线箭头所表示的延迟之后,单触发电路 125 输出信号 RESET 的高态脉冲。在 NAND 门 136 的上部输入引线上断言信号 RESET 的高态脉冲。因为 RWDCLK 是高态,所以 NAND 门 136 的两个输入引线上存在数字高态信号。NAND 门 136 将数字低态信号驱动到 P 沟道晶体管 137 的栅极上,借此将数字高态信号锁存到 WCLK 生成器电路 13 中的节点 90 上。因此,节点 93 上的信号 WCLK 转变为低态。在图 7 中由波形 WCLK 的高态到低态转变来说明此情形。

WCLK 转变为低态引起 NAND 门 133 输出数字高态。反相器 134 输出数字低态,借此引起 NAND 门 135 输出数字高态。因为 RCLK 是数字低态,所以 RCLK 生成器电路 12 中的节点 86 上的电压是数字高态。NAND 门 116 的两个输入引线上存在数字高态信号,借此引起 NAND 门 226 将 ICLK 断言为低态。在图 7 中由信号 ICLK 的第二次高态到低态转变来说明此情形。

WCLK 转变为低态还引起图 6 的 NOR 门 128 的下部输入引线上存在数字高态信号。NOR 门 128 输出数字低态信号,所述数字低态信号传播经过反相器 129 和 130,借此引起 RWDCLK 转变为低态。在图 7 中由标记为 RWDCLK 的波形中的高态到低态转变来说明此情形。此时,存储器阵列 2 的位线经预充电以为后续的存储器存取操作做准备。

因此,伪双端口存储器装置 1 在外部时钟信号 CLK 的单个循环内执行读取操作,紧接着是写入操作。外部信号 CLK 的上升沿用来起始读取操作,但不同于背景技术部分中所描述的常规伪双端口存储器,没有任何外部产生的时钟信号的下降沿用来起始写入操作的开始。而是,使用经过逻辑电路和单触发的异步传播延迟对执行第一读取操作、预充电存储器的位线和执行第二写入操作所必需的控制信号进行定时。

图 8 是陈述由图 1 到图 6 的伪双端口存储器装置执行的方法的流程图。在时间 T1 时外部时钟信号 CLK 的上升沿(步骤 100)起始第一控制信号的产生。这些第一控制信号:引起阵列 2 的位线的预充电停止;引起读取地址值 RADR[1:0]和写入地址值 WADR[1:0]被锁存到图 4 的地址输入锁存器 11 中;引起输入数据 DATAIN[7:0]被锁存到图 5 的数据

输入锁存器中；且引起使用读取地址值 $RADR[1:0]$ 来存取存储器阵列 2。起始八个选定存储器单元的读出（步骤 102）。在由单触发电路 15 的延迟 A 部分地确定的时间量（步骤 103）之后，将到时间 T2 为止从阵列 2 读出的数据 $DOUT[7:0]$ 锁存（步骤 104）到列多路复用器/多路分用器 3 到 10 的读出放大器中。当所输出的数据被锁存时将读取操作视为终止（步骤 104）。

产生第二控制信号以用于执行存储器写入操作。起始存储器阵列 2 的位线的预充电以为写入存储器存取做准备。将此预充电状态维持由传播延迟 B 部分地确定的时间量（步骤 105）。第二控制信号接着：引起位线的预充电停止；引起使用写入地址 $WADR[1:0]$ 来存取存储器阵列 2；且引起开始将输入数据 $DATAIN[7:0]$ 写入到所存取的存储器单元中（步骤 106）。到时间 T3 为止，输入数据已写入到所存取的单元中。在由单触发电路 15 的延迟 C 部分地确定的时间量（步骤 107）之后，停止向所存取的存储器单元的写入，且再次预充电存储器阵列的位线（步骤 108）。将写入操作视为包含紧接在写入存储器存取之前的预充电周期。

可在存储器装置的设计期间增加或减小延迟 A、延迟 B 和延迟 C 的时间量以便改变信号 CLK 的总周期中分配给读取操作对分配给写入操作的相对比例。第一存储器操作的结束可在时间上与第二存储器操作的开始重叠。在存储器装置的一些实施方案中，读取操作相比写入操作可被分配较多时间。在其它实施方案中，写入操作相比读取操作可被分配较多时间。避免了与使用外部时钟信号的下降沿（其中下降沿具有不良的大量抖动）来起始写入操作相关的问题，因为外部供应的时间信号的下降沿并不用来终止第一读取操作或起始第二写入操作。

虽然上文出于指导目的而描述了特定具体实施例，但本发明并不限于此。伪双端口存储器的控制电路可用于以下实施例中：第一存储器存取操作是写入操作且第二存储器存取操作是读取操作的实施例，第一存储器存取操作是写入操作且第二存储器存取操作是写入操作的实施例，和第一存储器存取操作是读取操作且第二存储器存取操作是读取操作的实施例。因此，可在不脱离如权利要求书中所陈述的本发明的范围的情况下实践所描述的具体实施例的各种特征的各种修改、改变和组合。

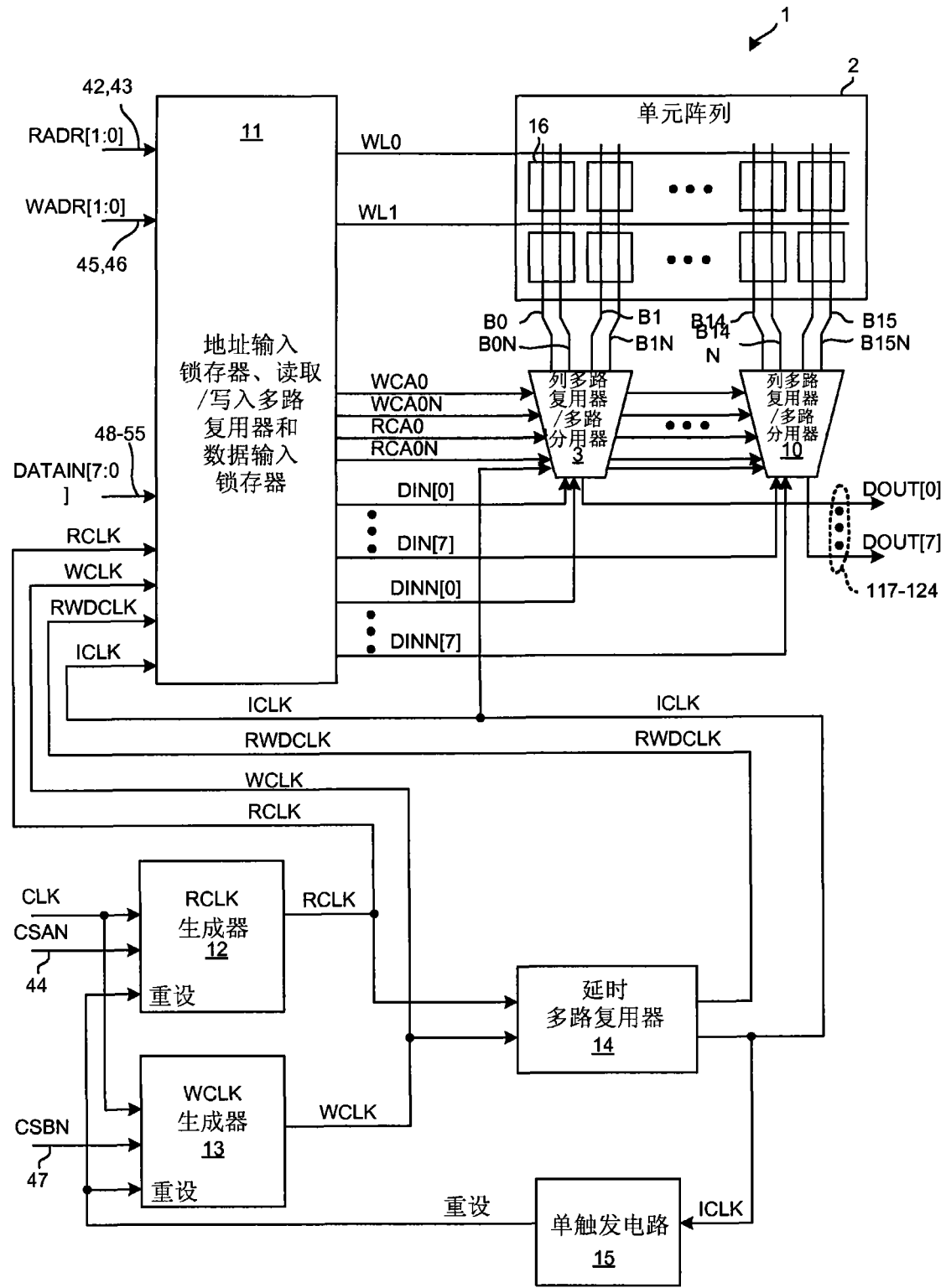
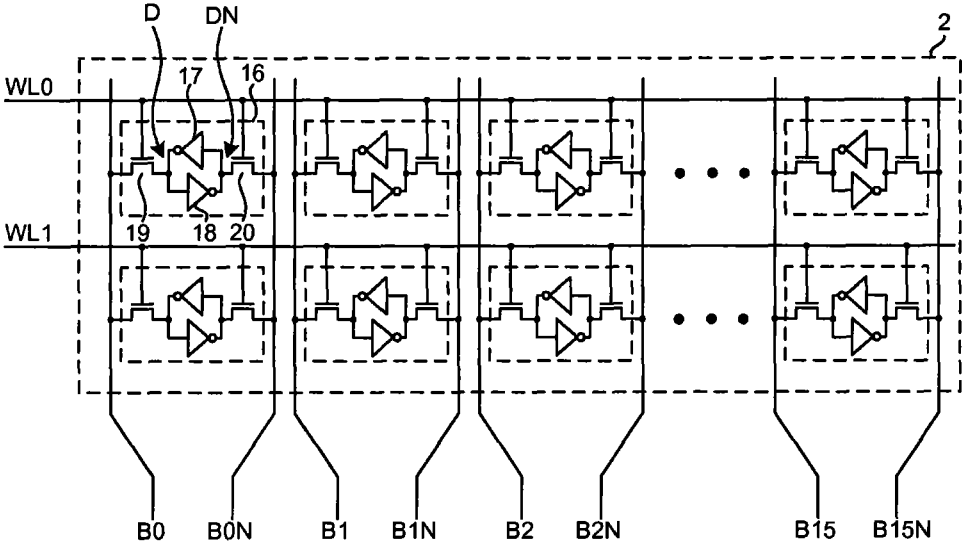


图1



单元阵列

图2

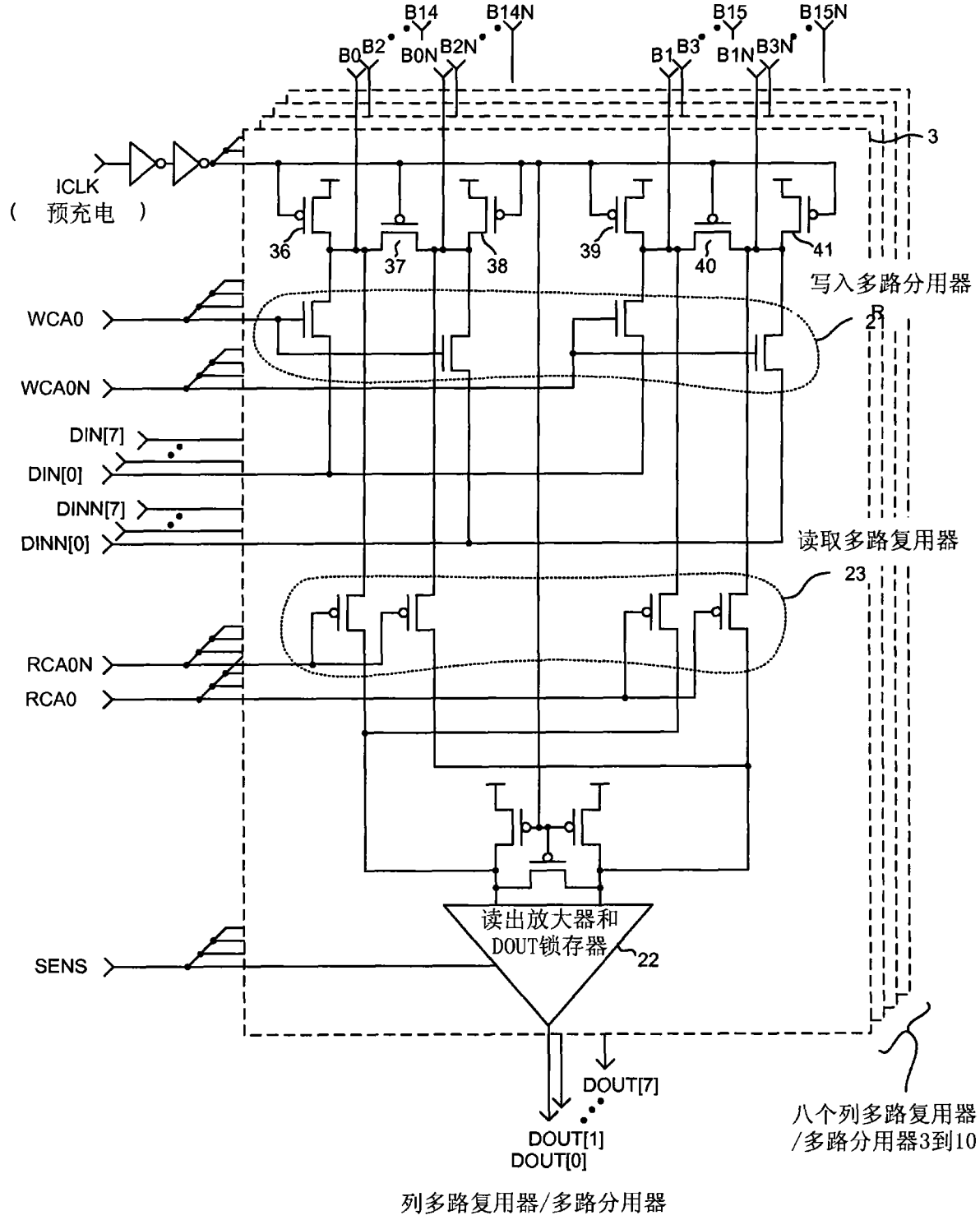
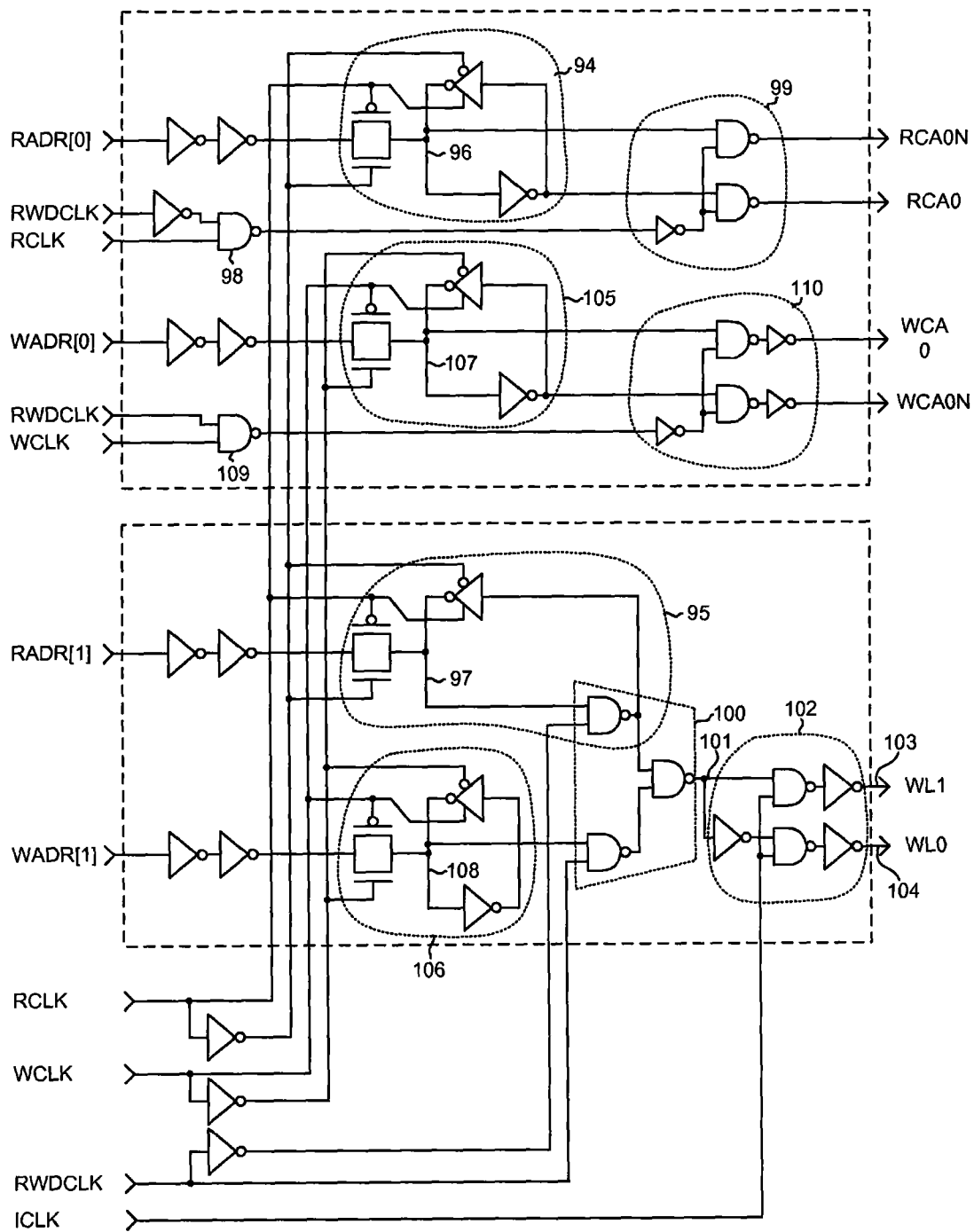
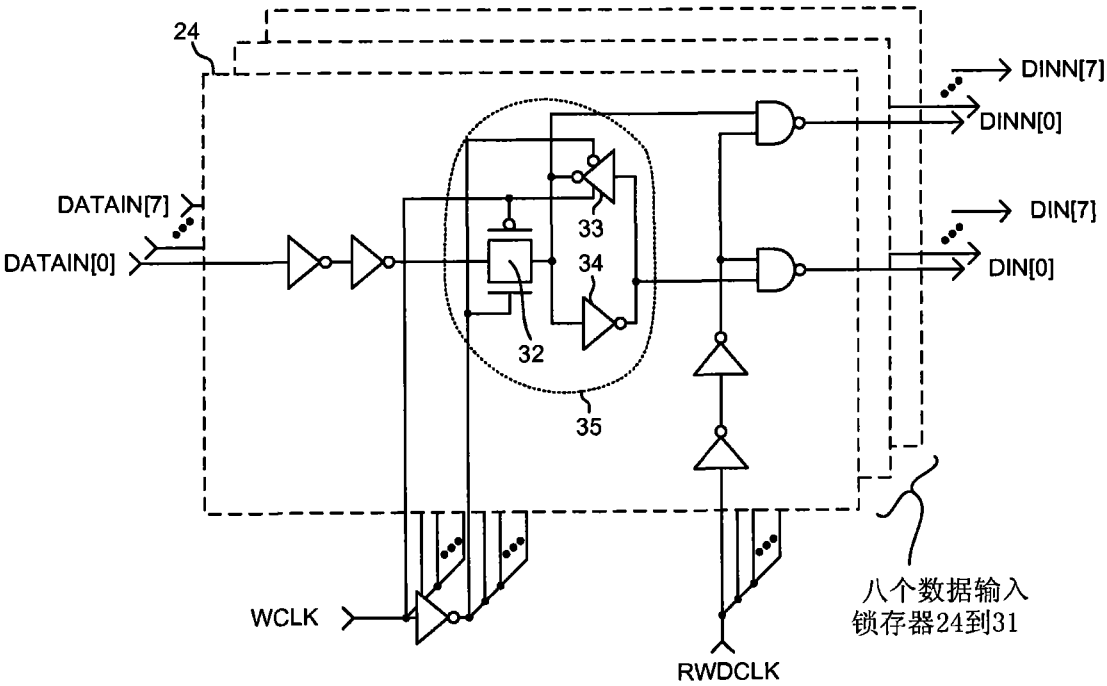


图3



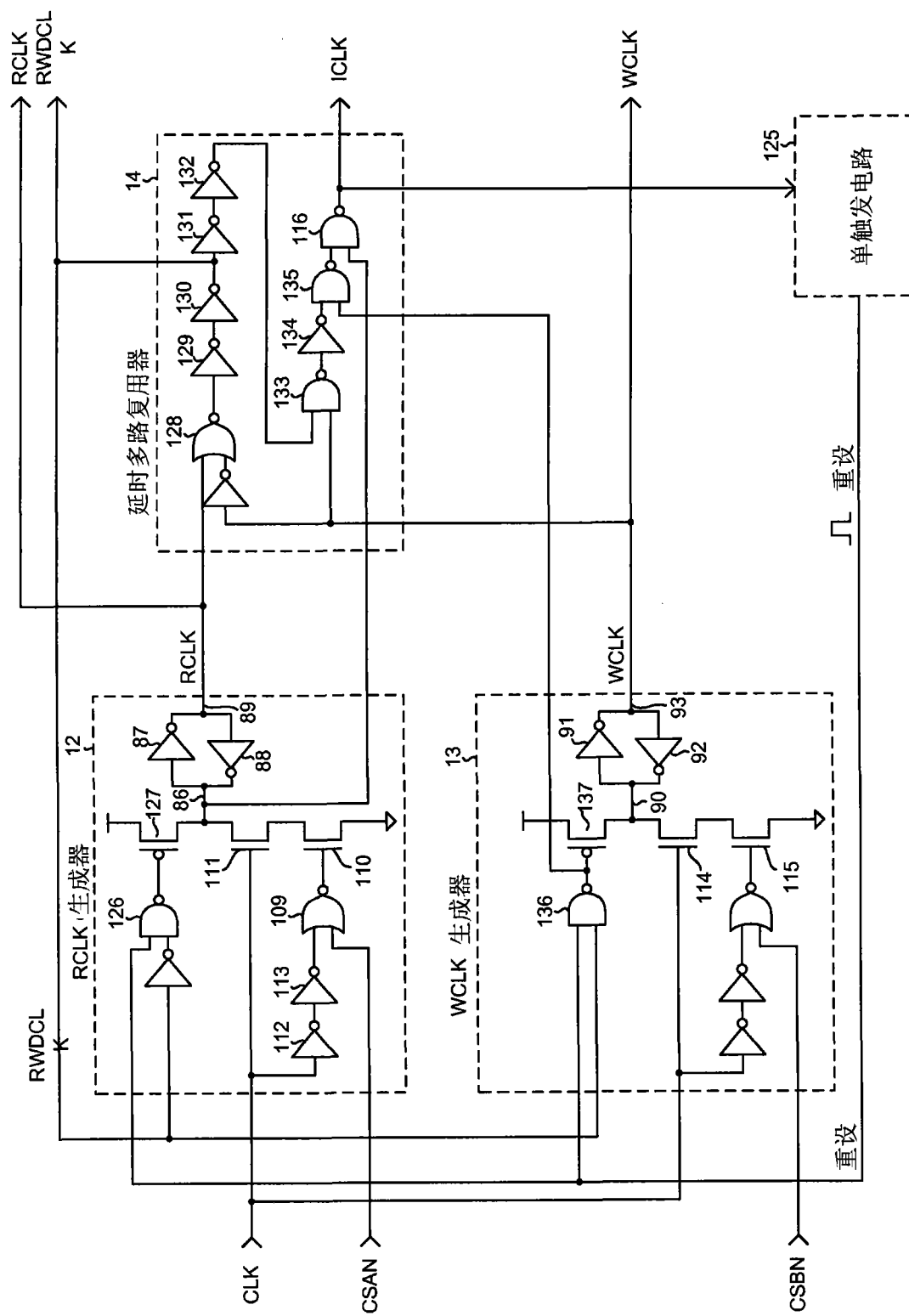
地址输入锁存器和读取/写入多路复用器

图4

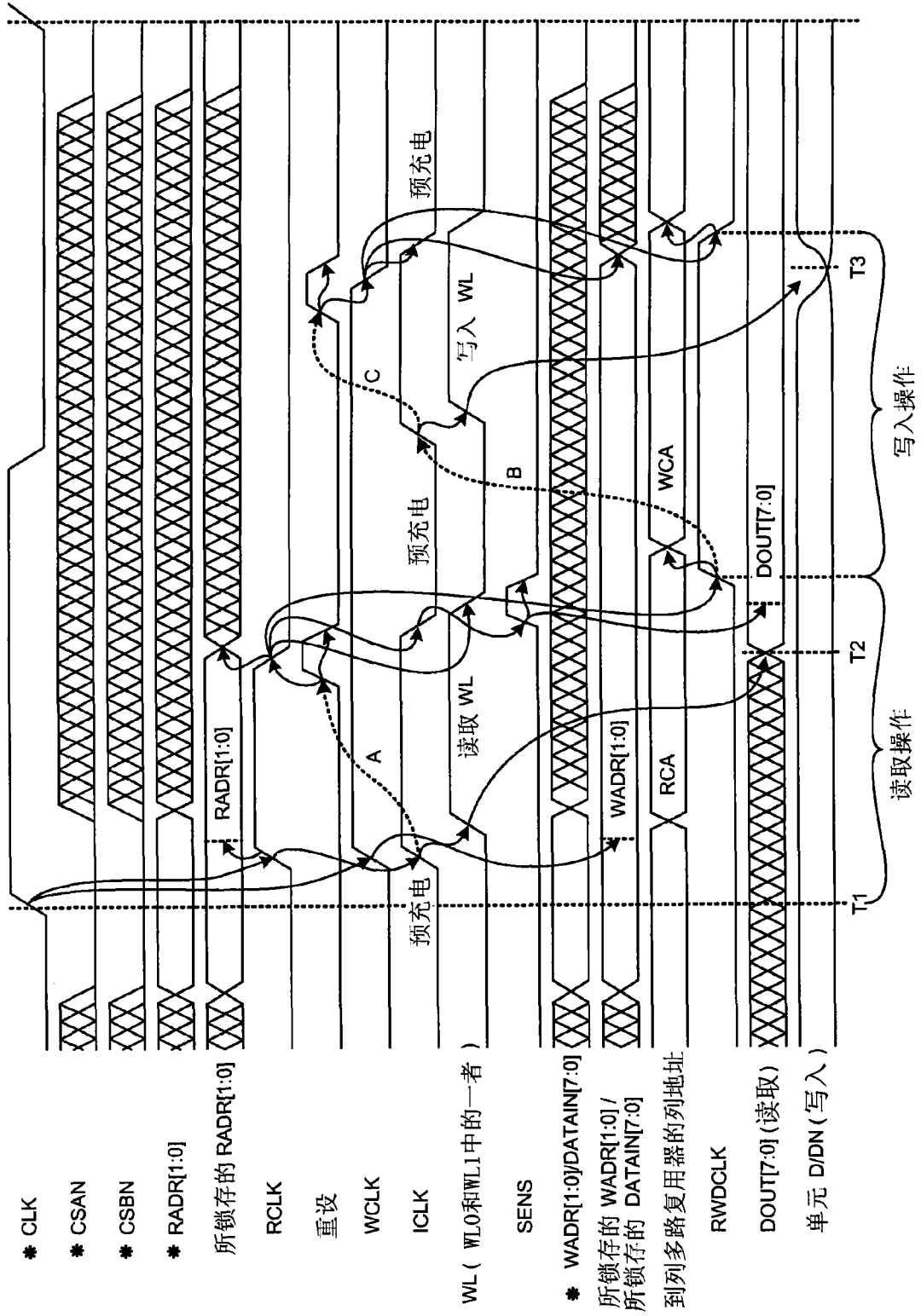


数据输入锁存器和DIN数据控制

图5



6

* = 表示输入信号

图7

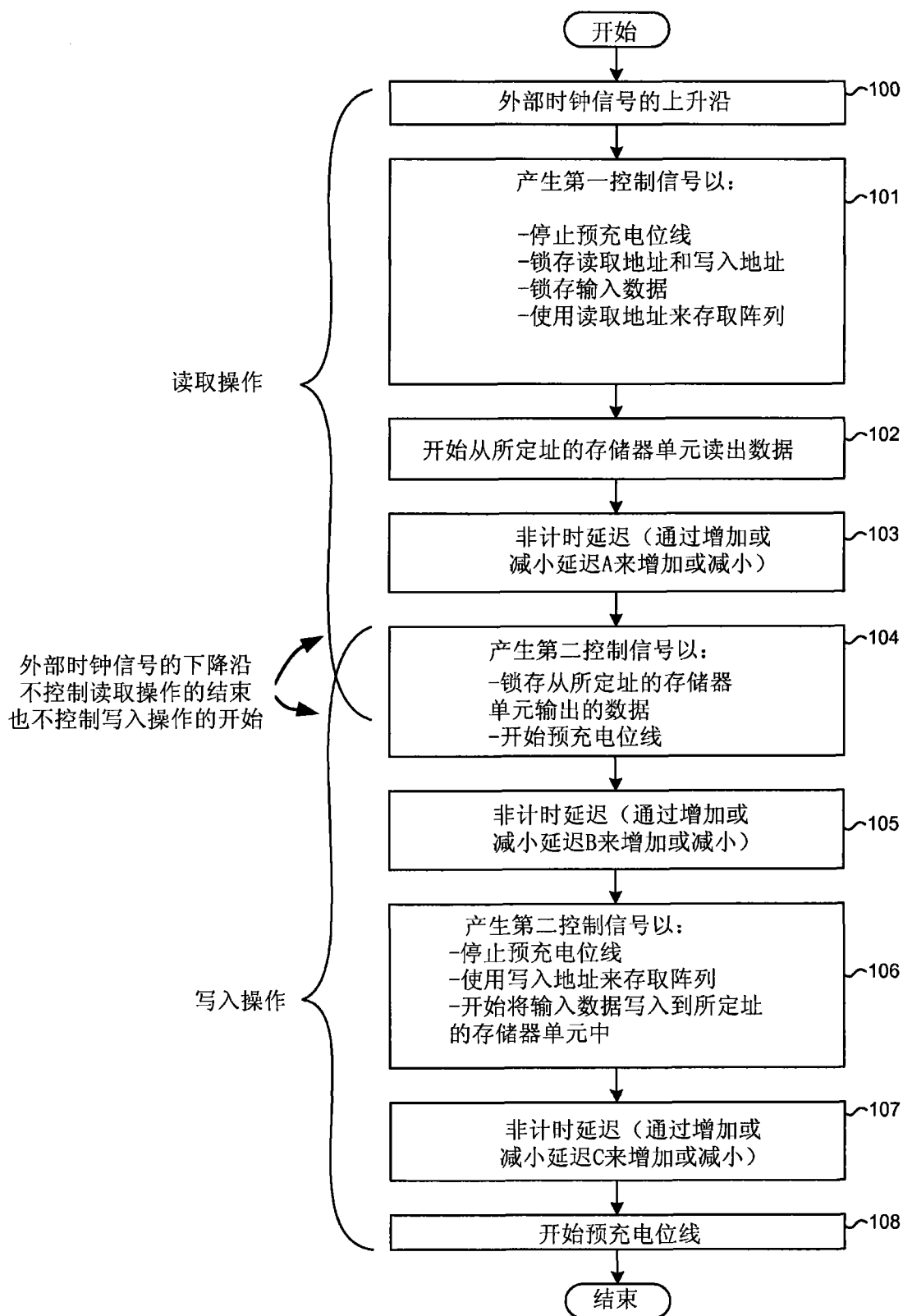


图8