

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4931231号
(P4931231)

(45) 発行日 平成24年5月16日(2012.5.16)

(24) 登録日 平成24年2月24日(2012.2.24)

(51) Int.Cl.

H04N 5/374 (2011.01)

F 1

H04N 5/335 740

請求項の数 7 (全 10 頁)

(21) 出願番号 特願2007-166688 (P2007-166688)
 (22) 出願日 平成19年6月25日 (2007.6.25)
 (65) 公開番号 特開2009-5285 (P2009-5285A)
 (43) 公開日 平成21年1月8日 (2009.1.8)
 審査請求日 平成22年6月22日 (2010.6.22)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100125254
 弁理士 別役 重尚
 (72) 発明者 大門 照幸
 東京都大田区下丸子3丁目30番2号 キ
 ャノン株式会社内

審査官 若林 治男

最終頁に続く

(54) 【発明の名称】撮像装置及びその制御方法

(57) 【特許請求の範囲】

【請求項 1】

複数の画素が配列された撮像素子を有する撮像装置において、
前記複数の画素にリセット電圧を供給するための共通電源と、
前記共通電源に流れる電流に基づいて前記複数の画素のいずれかが飽和状態にあること
を検出する飽和検出手段と、
を有することを特徴とする撮像装置。

【請求項 2】

前記飽和検出手段により前記複数の画素が飽和状態にあることを検出したときに、前記複数の画素への露光を停止させる、又は前記複数の画素における電荷蓄積動作を停止させるように構成したことを特徴とする請求項1に記載の撮像装置。 10

【請求項 3】

前記複数の画素から信号を出力するために各画素毎に設けられたMOS型転送スイッチを有し、前記MOS型転送スイッチのゲートに印加される電圧のうち、低レベル電圧を可変にするように構成したことを特徴とする請求項1又は2に記載の撮像装置。

【請求項 4】

前記MOS型転送スイッチのゲートに印加される低レベル電圧は、前記複数の画素への露光中又は前記複数の画素における電荷の蓄積中に第1の電圧に設定され、それ以外の時は前記第1の電圧よりも低い第2の電圧に設定するように構成したことを特徴とする請求項3に記載の撮像装置。 20

【請求項 5】

前記複数の画素への露光中又は前記複数の画素における電荷の蓄積中に前記MOS型転送スイッチのゲートに印加される低レベル電圧は、周囲環境温度が高いときは前記第1の電圧よりも低く前記第2の電圧よりも高い第3の電圧に設定するように構成したことを特徴とする請求項4に記載の撮像装置。

【請求項 6】

前記複数の画素への露光中又は前記複数の画素における電荷の蓄積中に前記MOS型転送スイッチのゲートに印加される低レベル電圧は、露光時間又は電荷蓄積時間が長いときに、前記第1の電圧よりも低く前記第2の電圧よりも高い第3の電圧に設定させるようにしたことを特徴とする請求項4に記載の撮像装置。 10

【請求項 7】

複数の画素が配列され、前記複数の画素にリセット電圧を供給するための共通電源を備えた撮像素子を有する撮像装置の制御方法であって、

前記共通電源に流れる電流に基づいて前記複数の画素のいずれかが飽和状態にあることを検出することを特徴とする撮像装置の制御方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、CMOSイメージセンサ等の撮像素子を用いた撮像装置及びその制御方法に関する。 20

【背景技術】**【0002】**

デジタルカメラやビデオカメラ等の撮像装置においては、撮像素子としてCCDやCMOSイメージセンサを使用するのが一般的である。近年、撮像素子の多画素化が進む一方で、一定の面積内に数万もの画素を構成させるため、画素サイズは極度に縮小してきている。このため、1画素当たりが集光できる光量が減少すると共に、1画素当たりの飽和光量も極度に減少している。つまり、このような撮像装置で高コントラストの被写体を撮影した場合、明るい部分ではすぐに白飛び現象が発生してしまう。

【0003】

このような点から、イメージセンサの飽和防止、つまりは飽和画素を検出して全画素の電荷蓄積動作を停止させる技術については、種々の提案がされている（例えば、特許文献1参照）。 30

【0004】

特許文献1では、測距用のラインセンサにおいて1つのラインを構成する画素の中からピーク出力画素が所定のレベルに達することを検出し、電荷蓄積動作を停止させようとするものである。また、複数ラインセンサがある場合は、ライン毎のピーク出力画素を時系列に検出することで、複数ラインに適用している。

【特許文献1】特開平10-318835号公報**【発明の開示】****【発明が解決しようとする課題】****【0005】**

しかしながら、上記特許文献1の手法を2次元の撮像素子を有する撮像装置に適用する場合、又は列毎に時系列にピーク出力画素の検出を行うことになるため、リアルタイムに電荷蓄積動作の停止などの制御を行うことができないという問題があった。

【0006】

本発明は上記従来の問題点に鑑み、以下を目的とする撮像装置及びその画素飽和状態検出方法を提供する。即ち、白飛び現象の無い良好な画像を得るために、撮像素子における画素の飽和状態をリアルタイムに検出して、電荷蓄積動作の停止などの制御をリアルタイムに行うことができることを目的とする。

【課題を解決するための手段】

10

20

30

40

50

【0007】

上記目的を達成するため、本発明の撮像装置は、複数の画素が配列された撮像素子を有する撮像装置において、前記複数の画素にリセット電圧を供給するための共通電源と、前記共通電源に流れる電流に基づいて前記複数の画素のいずれかが飽和状態にあることを検出する飽和検出手段と、を有することを特徴とする。

【0008】

また、本発明の撮像装置の制御方法は、複数の画素が配列され、前記複数の画素にリセット電圧を供給するための共通電源を備えた撮像素子を有する撮像装置の制御方法であつて、前記共通電源に流れる電流に基づいて前記複数の画素のいずれかが飽和状態にあることを検出することを特徴とする。

10

【発明の効果】

【0009】

本発明によれば、撮像素子における画素の飽和状態をリアルタイムに検出して、電荷蓄積動作の停止などの制御をリアルタイムに行なうことが可能になる。これにより、撮影した画像の白飛び現象を確実に防止することができ、画質を向上を図ることができる。

【発明を実施するための最良の形態】

【0010】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0011】

<実施の形態に係る画素部回路の構成>

20

図1は、本発明の実施の形態に係る撮像装置の要部構成を示す回路図であり、光電変換用の撮像素子としてCMOS型エリアセンサを用いた画素部回路を示している。

【0012】

撮像素子は、複数の画素内の光量電荷を蓄積して電気信号として出力する。画素部回路は、駆動パルスが入力される駆動パルス入力線12と、信号が出力される垂直出力線13とがマトリックス状に配列されている。

【0013】

駆動パルス入力線12は、駆動パルスとしてPres1パルス、Pres2パルス及びPtxパルスがそれぞれ供給される3本の信号線から成る。駆動パルス入力線12と垂直出力線13との各交差箇所には、それぞれ光電変換用の画素50が接続され、各駆動パルス入力線12は、垂直走査回路14に接続されている。

30

【0014】

以下、(m+1)行目の駆動パルスは、Pres(m+1)パルス、Ptx(m+1)パルス、Pres1(m+1)パルスと記し、(m)行目の駆動パルスは、Pres(m)パルス、Ptx(m)パルス、Pres1(m)パルスと記す。また、(m+1)行目の画素は画素50(m+1)と記し、(m)行目の画素は画素50(m)と記す。さらに、(m+1)行目の駆動パルス入力線は、駆動パルス入力線12(m+1)と記し、(m)行目の駆動パルス入力線は、駆動パルス入力線12(m)と記す。そして、(n+1)列目の垂直出力線は、垂直出力線13(n+1)と記し、(n)列目の垂直出力線は、垂直出力線13(n)と記す。

40

【0015】

垂直走査回路14は、所定の行の画素50を選択する。この選択行の画素50の出力が垂直出力線13(m+1)、(m)、…下に読み出され、各転送ゲート15a、15bを介して、信号蓄積部15に蓄積される。信号蓄積部15に蓄積された出力は水平走査回路16によって順次出力アンプ部へ読み出されるようになっている。

【0016】

図2は、図1中の画素50の回路構成を示す回路図である。

【0017】

この各画素50(m)、(m+1)、…は、同一の回路構成である。即ち、各画素50は、NチャネルMOSトランジスタ(以下、単にMOSトランジスタと記す)から成るリ

50

セットスイッチ3を有する。また、リセットスイッチ3と電源S V D D(共通電源)との間には、電源S V D Dに流れ込む電流をモニタするためのM O Sトランジスタ2 1が接続されている。そして、そのM O Sトランジスタ2 1のゲートを共通ゲートとするM O Sトランジスタ2 2を設けてカレントミラー回路が構成されている。

【0018】

M O Sトランジスタ2 2のドレインは電源S V D Dに接続され、ソースは負荷抵抗2 3を介して接地されている。さらに、前記カレントミラー回路の出力としてM O Sトランジスタ2 2のソースは、可変電源V c o m pを閾値とするコンパレータ2 4の入力側に接続され、コンパレータ2 4の出力側からV s v d d m o n信号が出力される。つまり、電源S V D Dに流れる電流変化により、前記カレントミラー回路の出力電圧が所定電圧(V c o m p)を越えた場合にV s v d d m o n信号として出力される構成(飽和検出手段)となっている。

【0019】

リセットスイッチ3のソースと接地との間には、接続点Nを介して、フローティングデフュージョン(F D)と呼ばれる電荷蓄積部9(以下、F D部9と記す)が接続されている。さらに、接続点Nと接地との間には、M O Sトランジスタから成るM O S型転送スイッチ2と、光電変換用のフォトダイオード(P D)1とが直列接続されている。転送スイッチ2のゲートは、可変電圧バッファ1 8の出力側に接続されている。可変電圧バッファ1 8は、転送パルスP t xを入力し、転送スイッチ2のゲートに印加する低レベル電圧(V t x 1)を可変にするためのバッファである。

【0020】

また、リセットスイッチ3のドレインと、当該画素5 0の出力端である垂直出力線1 3との間には、M O Sトランジスタから成る行選択スイッチ6と、M O Sトランジスタから成る画素アンプ1 0とが直列接続されている。画素アンプ1 0と負荷電流源7とでソース・フォロア回路が構成されている。そして、行選択スイッチ6のゲートは、行選択用の駆動パルスP s e lが印加され、画素アンプ1 0のゲートには、前記接続点Nが接続される。

【0021】

図2の回路によれば、光電変換はP D 1で行われ、光量電荷の蓄積期間中は、転送スイッチ2はオフ状態であり、画素アンプ1 0のゲート、即ちF D部9にはこのP D 1で光電変換された電荷は転送されない。画素アンプ1 0のゲートは、蓄積開始前に該リセットスイッチ3がオンし、適当な電圧に初期化されている。即ちこれがダークレベルとなる。

【0022】

次に又は同時に行選択スイッチ6がオンになると、負荷電流源7と画素アンプ1 0で構成されるソース・フォロア回路が動作状態になり、このとき、該転送スイッチ2をオンさせることでP D 1に蓄積されていた電荷は、画素アンプ1 0のゲートに転送される。

【0023】

ここで、選択行の画素の出力が図1の垂直出力線1 3上に発生する。この出力は、各転送ゲート1 5 a, 1 5 bを介して、信号蓄積部1 5に蓄積される。信号蓄積部1 5に一時蓄積された出力は水平走査回路1 6によって順次出力アンプ部へ読み出される。

【0024】

なお、前記カレントミラー回路及びコンパレータ2 4を含む構成を図2に示すように画素毎に配置することもできるが、回路が複雑になり回路構成面積も膨大になるため、行毎或いは列毎、又は全画素共通で1つの構成とすることも可能である。以下の本実施の形態における説明では、説明を簡単にするために、前記カレントミラー回路及びコンパレータ2 4を含む構成を、全画素共通で1つの構成とする前提で説明する。

【0025】

<本実施の形態に係る撮像装置の動作>

次に、図3等を参照して、本実施の形態に係る撮像装置の動作を詳細に説明する。

【0026】

10

20

30

40

50

図3は、本実施の形態に係る撮像装置の動作を示すタイミングチャートである。

【0027】

図中のP V S Rパルスは、垂直転送パルスであり、P H S Rパルスは水平転送パルスである。メカニカルシャッタ(以下、メカシャッタと記す)は、開閉することで撮像素子の露光時間を制御する。V P D (m + 1, n)は、(m + 1)行、(n)列のフォトダイオード1の出力電圧であり、V F D (m + 1, n)は、(m + 1)行、(n)列の画素アンプ10のゲート電圧である。I T r e s (m + 1, n)は、(m + 1)行、(n)列のリセットスイッチ3を流れる電流である。

【0028】

図3のA時点において、P r e s パルスを“1”にすることで、リセットスイッチ3をオン状態にしてFD部9をS V D D電圧でリセットする(図3のT1)。その状態で更にP t x パルスを“1”にすることで、転送スイッチ2をオンしてPD1をリセットし(T2)、更にP t x パルスを“0”にすることで、転送スイッチ2をオフしてPD1の蓄積を開始する。ここまで動作は、全行一括で行われる。

10

【0029】

その後、メカシャッタを開閉させて画素部を露光させる(T3)。露光終了後、P r e s (m + 1)パルスを“0”にすることでリセットスイッチ3をオフして、(m + 1)行目のFD部9のリセット解除を行う。さらに、P s e l (m + 1)パルスを“1”にすることで(T4)、(m + 1)行目の行選択スイッチ6をオンし、(m + 1)行目の画素アンプ10の出力が垂直出力線13に接続される(この状態を仮に状態K1とする)。

20

【0030】

そして、P t x (m + 1)パルスを“1”にすることで(T5)、(m + 1)行目の転送スイッチ2をオンさせて、PD1で蓄積された光量電荷をFD部9へ転送する。そして、この光量電荷が、画素アンプ10を介して垂直出力線13に読み出される(この状態を仮に状態K2とする)。このとき、状態K1の出力と状態K2の出力を画素毎に一時記憶し、その差分をとることで各画素の出力を得ることができる。

【0031】

その後、P t x (m + 1)パルスを“0”にすることで(T6)転送スイッチ2をオフさせる。さらに、P r e s (m + 1)パルスを“1”、P t x (m + 1)パルスを“1”、P s e l (m + 1)パルスを“0”にすることで(T7)、(m + 1)行目の垂直出力線13への出力をオフさせ、FD部9及びPD1をリセットさせる。

30

【0032】

その後、画素毎に記憶された信号を、水平転送パルスP H S Rを駆動することで逐次読み出し(T8)、その読み出し終了後に、垂直転送パルスP V S Rを駆動することで(T9)、次の(m)行の読み出しに移行する。(m)行の読み出し動作も、前記(m + 1)行目の動作と等価なので説明を省略する。

【0033】

ここで、PD1の電圧V P D (m + 1, n)は、リセット後にメカシャッタが開状態になった瞬間(T3)からPD1に光量電荷が蓄積されるため、徐々に低下していくが、PD1が飽和したところで(T10)、その電圧降下は停止する。

40

【0034】

一方、PD1が飽和後、光量電荷はPD1の周辺に溢れて半導体基板方向に吸収される。また、その一部はオフ状態の転送スイッチ2を越えてリセットスイッチ3を介して、電源S V D Dへ流れ込む。このとき、FD部9は、低インピーダンスの電源S V D Dでリセットされているため、その電圧変化は無いが、リセットスイッチ3を介して電源S V D Dに流れる電流は増加する。

【0035】

このような点を考慮して、本実施の形態では、PD1の飽和状態を検出する方法として、蓄積中の電源S V D Dに流れる電流をモニタする方法を採用している。即ち、全画素共通の電源S V D Dに流れ込む電流を例えれば全画素共通の1つのカレントミラー回路を介し

50

てモニタし、全画素中のどこかの画素が飽和したところでその飽和状態を検出する。画素の飽和状態を検出したらメカシャッタを閉じ、これによって画素部に対する露光を停止させるように構成している。

【0036】

また、転送スイッチ2のゲートには、PD1の蓄積電荷のFD部9へのリークを防止するため、-1.2V程度(第2の電圧)の低い電圧を印加することで転送スイッチを強力にオフさせるのが一般的である。しかし、本実施の形態では、PD1の飽和状態を精度よく検出させるために、可変電圧バッファ18により、PD1の蓄積動作中のみ転送スイッチ2のオフ時のゲート電圧を-0.8V程度(第1の電圧)にする。これにより、PD1が飽和した後の電荷を極力転送スイッチ2の方向に溢れさせないように工夫している。

10

【0037】

しかし、転送スイッチ2に印加する低レベル電圧は、より低くすることで転送スイッチ2を強力にオフさせる効果があるとともに、転送スイッチ2のゲート下の暗電流を抑制する効果もある。従って、この低レベル電圧を画素部の蓄積動作中に上げると、より多くの暗電流を発生してしまうことになる。

【0038】

この対策として、暗電流が無視できないような撮影条件、例えば、露光時間或いは電荷蓄積時間が長い場合や、環境温度が高温の場合は、次のようにしても良い。即ち、低レベル電圧を-0.8V(第1の電圧)よりも若干低め(例えば-0.9V:第3の電圧)にコントロールする。

20

【0039】

また、露光が終了してから信号読み出しまでにタイムラグが生じる場合、露光終了後に発生する暗電流分も無視できない。このため、露光終了後には、転送スイッチ2に印加される低レベル電圧を、更に低い電圧(例えば、-1.2V:第2の電圧)にするようにしている。これにより、撮影された画像のほとんどの領域は飽和の無い、階調を残した画像として得ることができる。

【0040】

次に、本実施の形態に係る画素部回路の特徴を明確化するために、一般的な従来回路と対比して説明する。

【0041】

30

図4は、図2に対応した従来の一般的な画素の回路図であり、図2と共に通の要素には同一の符号を付し、その説明を省略する。また、図5は、図4の従来の画素の回路の動作を示すフローチャートであり、図3と共に通の要素には同一の符号を付し、その説明を省略する。

【0042】

図4に示すように、従来の一般的な画素の回路は、図2で示した本実施の形態に係る画素の回路において、カレントミラー回路と可変電圧バッファ18を除いた構成になっている。この点から明らかのように、本実施の形態における画素の回路の特徴は、カレントミラー回路を設けてコンパレータ24から前記V_{s v d d m o n}信号を出力する構成にした。さらに、可変電圧バッファ18を設けて転送スイッチ2のゲートに低レベル電圧V_{t x 1}を印加するように構成した点である。

40

【0043】

転送スイッチ2のゲートに印加する低レベル電圧(V_{t x 1})は、本実施の形態では、メカシャッタの開時間に同期して-0.8V(第1の電圧)にしている(図3のT11)。このため、PD1の飽和後にリセットスイッチ3に流れる電流は、図5に示す従来回路と比べて大きくなる(図3のT12と図5のT22参照)。この電流によって適切な閾値電圧(V_{c o m p})に設定されたコンパレータ24の出力がV_{s v d d m o n}信号として出力される(図3のT13)。

【0044】

<本実施の形態の利点>

50

(1) 本実施の形態によれば、光量電荷の蓄積中に $V_{s v d d m o n}$ 信号をモニタして、その出力値が 1 になったことを検出することにより、全画素内のいずれかの画素が飽和したものとして、メカシャッタを閉じて露光を停止する。このような画素の飽和による露光停止（蓄積動作の停止）の制御をリアルタイムに行うことができる。即ち、全画素中のいずれかの画素が飽和しているかどうかをリアルタイムに検出することができ、その結果により露光又は蓄積を停止させる。そのため、飽和画素の極めて少ない画像を得ることができ、白飛び現象の無い且つ階調性を損なわない画像を得ることが可能となる。

【0045】

(2) 転送スイッチ 2 のゲートに印加される低レベル電圧 ($V_{t \times 1}$) を、露光中又は光量電荷の蓄積中には通常よりも若干高い電圧（例えば -0.8V）に設定し、それ以外の時は若干低い電圧（例えば -1.2V）にするようにした。これにより、暗電流による悪影響を少なくすることができる。10

【0046】

(3) 更に、露光中又は光量電荷蓄積中に転送スイッチ 2 のゲートに印加される低レベル電圧 ($V_{t \times 1}$) を、露光時間又は蓄積時間、或いは周囲環境温度に合わせて可変にすることにより、更に暗電流の悪影響を排除することができる。

【0047】

なお、上記の説明では、露光時間の制御をメカシャッタを用いて行うようしているが、露光時間の制御を一般にいわれる電子シャッタにより行うことができる場合は、その方法を用いて露光制御させても良い。20

【図面の簡単な説明】

【0048】

【図1】実施の形態に係る撮像装置の要部構成を示す回路図である。

【図2】図1中の画素の回路構成を示す回路図である。

【図3】実施の形態に係る撮像装置の動作を示すタイミングチャートである。

【図4】図2に対応した従来の一般的な画素の回路図である。

【図5】図4の従来の画素の回路の動作を示すフローチャートである。

【符号の説明】

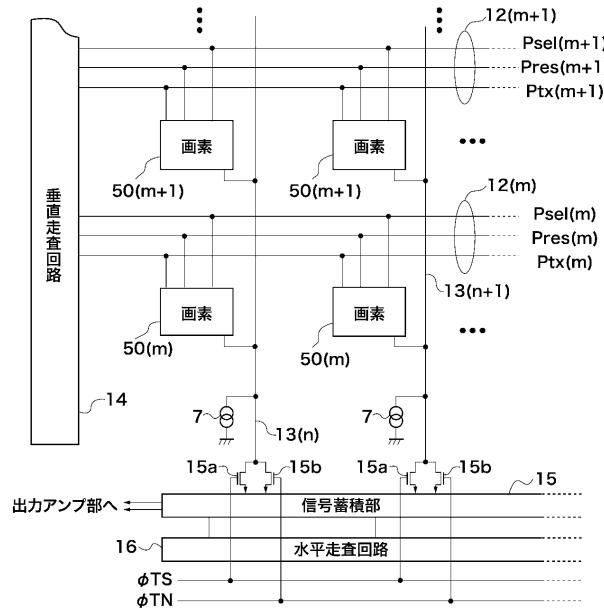
【0049】

- 1 フォトダイオード
- 2 転送スイッチ
- 3 リセットスイッチ
- 6 行選択スイッチ
- 9 フローティングデューディジョン
- 10 画素アンプ
- 13 垂直出力線
- 14 垂直走査回路
- 16 水平走査回路
- 18 可変電圧バッファ
- 21、22 MOSトランジスタ
- 23 負荷抵抗
- 24 コンパレータ

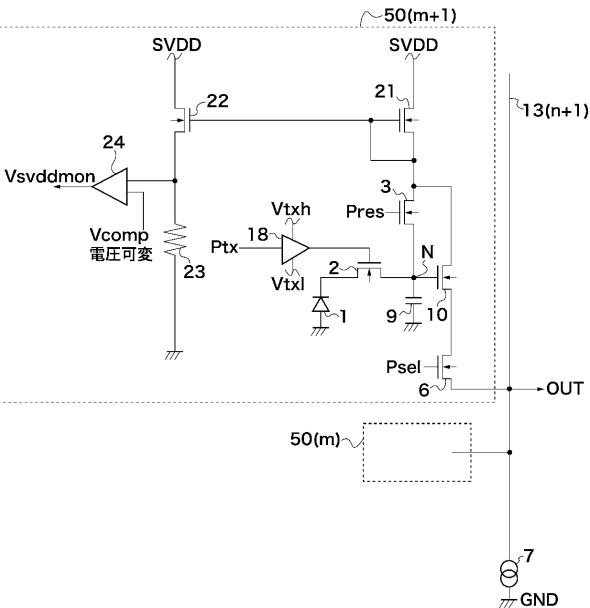
30

40

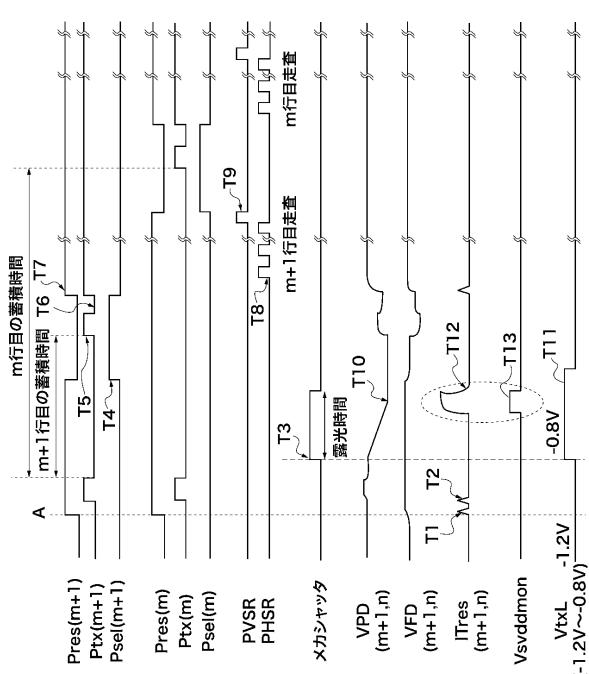
【図1】



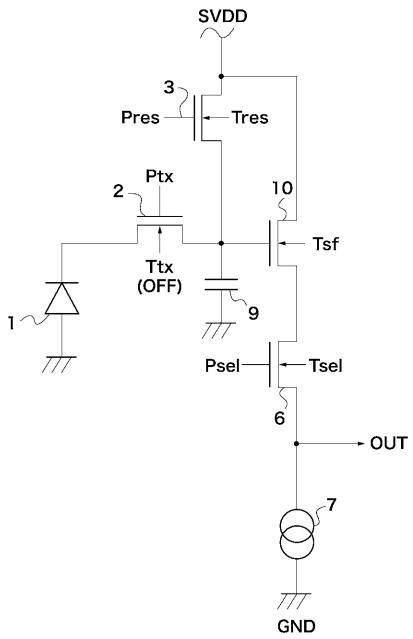
【図2】



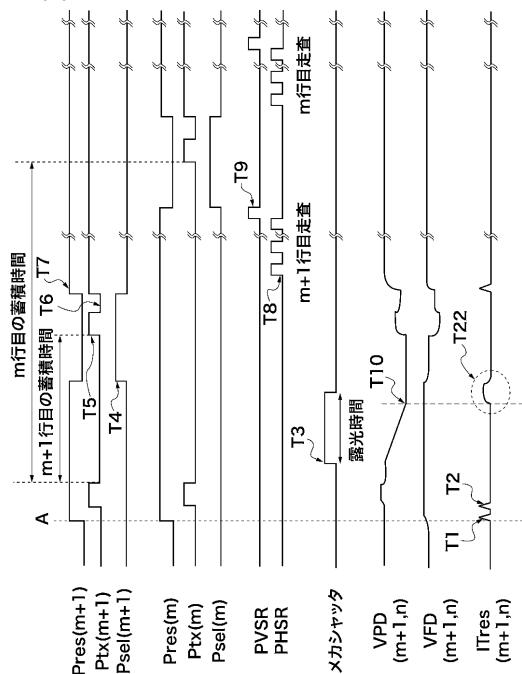
【図3】



【図4】



【 図 5 】



フロントページの続き

(56)参考文献 特開2006-229362(JP,A)
特開2007-150808(JP,A)
特開2006-197425(JP,A)
特開平1-103378(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/30 - 5/378