



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년03월07일
 (11) 등록번호 10-1116197
 (24) 등록일자 2012년02월07일

(51) 국제특허분류(Int. Cl.)
 HO1L 23/48 (2006.01) HO1L 25/11 (2006.01)
 (21) 출원번호 10-2011-0109260(분할)
 (22) 출원일자 2011년10월25일
 심사청구일자 2011년10월25일
 (65) 공개번호 10-2011-0122808
 (43) 공개일자 2011년11월11일
 (62) 원출원 특허 10-2004-0033688
 원출원일자 2004년05월13일
 심사청구일자 2009년05월12일
 (30) 우선권주장 JP-P-2003-135686 2003년05월14일 일본(JP)
 (56) 선행기술조사문헌 JP2001068498 A
 JP2002217416 A
 JP2002314018 A
 US06137165 A

(73) 특허권자
르네사스 일렉트로닉스 가부시키키가이샤
 일본국 카나가와켄 카와사키시 나카하라쿠 시모누
 마베 1753반치
 (72) 발명자
시라이시 마사키
 일본국 도쿄도 치요타쿠 마루노우치 2쵸메 4-1 가
 부시키가이샤 르네사스 테크놀로지나이
이와사키 타카유키
 일본국 도쿄도 치요타쿠 마루노우치 2쵸메 4-1 가
 부시키가이샤 르네사스 테크놀로지나이
 (뒷면에 계속)
 (74) 대리인
이종일

전체 청구항 수 : 총 38 항

심사관 : 설관식

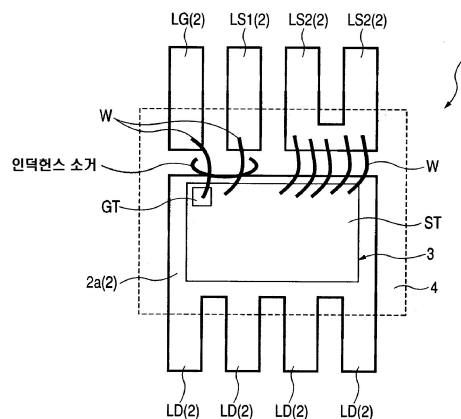
(54) 발명의 명칭 **반도체 장치 및 전원 시스템**

(57) 요약

본 발명은 반도체장치 및 전원시스템에 관한 것으로서, 하이 사이드 스위치의 게이트를 구동하는 경로와 주전류 경로를 분리하는 것에 의해 전압 변환 효율을 큰폭으로 향상시킨다.

파워 MOS-FET(1)는 예를 들어, 비절연형 DC/DC컨버터의 하이 사이드 스위치용 트랜지스터로서 이용된다. 이 파워 MOS-FET1의 소스 단자(ST)가 되는 전극부는 본딩 와이어(W)를 개입시켜 1개의 아웃터 리드(LS1) 및 2개의 아웃터리드(LS2)에 각각 접속되어 있다. 아웃터 리드(LS1)는 게이트를 구동하는 경로에 접속되는 외부 단자이고, 아웃터 리드(LS2)는 주전류 경로에 접속되는 외부 단자이다. 주전류 경로와 게이트 구동용 경로를 분리해 접속하는 것에 의해, 기생 인덕턴스의 영향을 저감 하여, 전압 변환 효율을 향상할 수가 있다.

대표도 - 도1



(72) 발명자

마츠우라 노부요시

일본국 도쿄도 치요타쿠 마루노우치 2초메 4-1 가
부시끼가이샤 르네사스 테크놀로지나이

우노 토모아키

일본국 도쿄도 치요타쿠 마루노우치 2초메 4-1 가
부시끼가이샤 르네사스 테크놀로지나이

특허청구의 범위

청구항 1

하이 사이드 스위치로서 이용되는 제1의 파워트랜지스터와,
 로우 사이드 스위치로서 이용되는 제2의 파워트랜지스터와,
 상기 제1 및 제2의 파워트랜지스터를 구동하는 드라이버가 1개의 패키지에 넣어지고,
 상기 제1의 파워트랜지스터의 소스 단자와 상기 제 2의 파워트랜지스터의 드레인단자와 상기 패키지의 외부에 노출하는 외부 접속 단자에 접속하기 위한 제1 경로와,
 상기 제1의 파워트랜지스터의 소스 단자와 상기 드라이버에 구비된 소스측 접지단자에 접속하기 위한 경로로서 상기 제1 경로와는 다른 경로로 따로 설치된 제2 경로를 상기 패키지에 가지는 것을 특징으로 하는 반도체 장치.

청구항 2

청구항 1에 있어서,
 상기 제1 경로에 금속판을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 3

청구항 2에 있어서,
 상기 제 2 경로에 금속판을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 4

청구항 2에 있어서,
 상기 제1의 파워트랜지스터의 소스 단자와 상기 제 2의 파워트랜지스터의 드레인단자가, 상기 금속판을 개입시켜 접속되는 것을 특징으로 하는 반도체 장치.

청구항 5

청구항 1에 있어서,
 상기 제1의 파워트랜지스터의 소스 단자와 상기 제 2의 파워트랜지스터의 드레인단자와의 접속은 병렬로 설치된 복수개의 본딩 와이어를 개재시켜 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 6

1개의 패키지에 형성되는 반도체 장치로서,
 하이 사이드 스위치로서 이용되고 상기 패키지 외부에 노출하는 입력 전압이 전해지는 전압 입력 단자에 드레인 단자의 전극이 접속되는 제1의 파워트랜지스터를 가지는 제1 반도체 칩과,
 로우 사이드 스위치로서 이용되고 상기 패키지 외부에 노출하는 접지 전압이 전해지는 접지 전압 단자에 소스 단자의 전극이 접속되는 제2의 파워트랜지스터를 가지는 제2 반도체 칩과,
 상기 제1 및 제2의 파워트랜지스터를 구동하는 드라이버를 가지는 제3 반도체 칩과,
 상기 제1의 파워트랜지스터의 소스 단자의 전극과 상기 제 2의 파워트랜지스터의 드레인 단자의 전극과 상기 패키지 외부에 노출하는 전압을 출력하는 전압 출력 단자에 접속하기 위한 제1 경로와,
 상기 제1의 파워트랜지스터의 소스 단자의 전극과 상기 드라이버의 소스측 접지 단자의 전극에 접속하기 위한 제 2 경로를 갖고,
 상기 드라이버의 소스측 접지 단자의 전극은 상기 제 2 경로 및 상기 제1의 파워트랜지스터의 소스 단자의 전극

을 개입시켜 상기 제1 경로와 접속되는 것을 특징으로 하는 반도체 장치.

청구항 7

청구항 6에 있어서,

상기 제1의 파워트랜지스터의 소스 단자의 전극과 상기 제 2의 파워트랜지스터의 드레인 단자의 전극의 접속은 병렬로 설치된 복수 라인의 본딩 와이어를 개입시켜 접속되고 있는 것을 특징으로 하는 반도체 장치.

청구항 8

청구항 6에 있어서,

상기 제1 경로는, 상기 제1의 파워트랜지스터의 소스 단자의 전극과 상기 제 2의 파워트랜지스터의 드레인 단자의 전극이 접속하는 동안에 금속판을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 9

청구항 8에 있어서,

상기 금속판의 배선편은, 상기 제1의 파워트랜지스터의 소스 단자의 전극과 상기 드라이버의 소스측 접지 단자의 전극을 접속하는 배선의 배선편보다 굵은 것을 특징으로 하는 반도체 장치.

청구항 10

1개의 패키지에 설치되는 반도체 장치로서,

입력 전압이 전해지고, 하이 사이드 스위치로서 이용되는 제1의 파워트랜지스터를 가지는 제1 반도체 칩과,

접지 전압이 전해지고, 로우 사이드 스위치로서 이용되는 제2의 파워트랜지스터를 가지는 제2 반도체 칩과,

상기 제1 및 제2의 파워트랜지스터를 구동하는 드라이버를 가지는 제3 반도체 칩과,

상기 제1의 파워트랜지스터의 소스 단자의 전극과 상기 제 2의 파워트랜지스터의 드레인 단자의 전극과 상기 패키지의 외부에 노출하는 전압 출력 단자에 접속하기 위한 제1 경로와,

상기 제1의 파워트랜지스터의 소스 단자의 전극과 상기 드라이버에 구비되어진 소스측 접지단자의 전극에 접속하기 위한 경로로서, 상기 제1 경로와 상기 제1의 파워트랜지스터의 소스 단자에서 경로가 나누어 설치된 제2 경로를 갖고,

상기 제1 경로는, 상기 제1의 파워트랜지스터의 소스 단자의 전극과 상기 제 2의 파워트랜지스터의 드레인 단자의 전극과의 사이에 설치된 제1 배선을 갖고,

상기 제 2 경로는, 상기 제1의 파워트랜지스터의 소스 단자의 전극과 상기 드라이버에 구비되어진 소스측 접지 단자의 전극과의 사이에 설치된 제2 배선을 갖고,

상기 제1 배선의 저항값은, 상기 제 2 배선의 저항값보다 낮은 것을 특징으로 하는 반도체 장치.

청구항 11

청구항 10에 있어서,

상기 제1 배선은, 금속판인 것을 특징으로 하는 반도체 장치.

청구항 12

청구항 11에 있어서,

상기 반도체 장치는,

상기 패키지의 외부에 노출하는 제어 신호를 받는 외부 신호 입력 단자와 상기 드라이버에 구비되어진 상기 제어 신호가 입력되는 제어 신호 입력 단자의 전극에 접속하기 위한 제 3 경로를 구비하고,

상기 제 3 경로는, 본딩 와이어를 개입시켜 형성되고 있는 것을 특징으로 하는 반도체 장치.

청구항 13

청구항 10에 있어서,

상기 반도체 장치는,

상기 패키지의 외부에 노출하는 제어 신호를 받는 외부 신호 입력 단자와 상기 드라이버에 구비 되어진 상기 제어 신호가 입력되는 제어 신호 입력 단자의 전극에 접속하기 위한 제 3 배선을 가지는 제3 경로를 구비하고,

상기 제1 배선의 저항값은 상기 제 3 배선의 저항값보다 낮은 것을 특징으로 하는 반도체 장치.

청구항 14

1개의 패키지에 형성되는 반도체 장치로서,

하이 사이드 스위치로서 이용되고, 상기 패키지 외부에 노출하는 입력 전압이 전해지는 전압 입력 단자에 드레인 단자가 접속되는 제1의 파워트랜지스터를 가지는 제1 반도체 칩과,

로우 사이드 스위치로서 이용되고, 상기 패키지 외부에 노출하는 접지 전압이 전해지는 접지 전압 단자에 소스 단자가 접속되는 제2의 파워트랜지스터를 가지는 제2 반도체 칩과,

상기 제1 및 제2의 파워트랜지스터를 구동하는 드라이버를 가지는 제3 반도체 칩과,

상기 제 2의 파워트랜지스터의 소스 단자와 상기 접지 전압 단자에 접속하기 위한 제 1 경로와,

상기 제 2의 파워트랜지스터의 소스 단자와 상기 드라이버에 구비되어진 소스측 접지단자에 접속하기 위한 제 2 경로를 갖고,

상기 드라이버에 구비되어진 소스측 접지 단자는, 상기 제 2 경로 및 상기 제 2의 파워트랜지스터의 소스 단자를 개입시켜 상기 제1 경로와 접속되는 것을 특징으로 하는 반도체 장치.

청구항 15

청구항 14에 있어서,

상기 제 2의 파워트랜지스터의 소스 단자와 상기 접지 전압 단자의 접속은, 병렬로 설치된 복수개의 본딩 와이어를 개입시켜 접속되는 것을 특징으로 하는 반도체 장치.

청구항 16

청구항 14에 있어서,

상기 제1 경로에는, 상기 제 2의 파워트랜지스터의 소스 단자와 상기 접지 전압 단자를 접속하는 금속판을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 17

1개의 패키지에 넣어지는 반도체 장치로서,

하이 사이드 스위치로서 이용되고 상기 패키지 외부에 노출하는 입력 전압이 전해지는 전압 입력 단자에 드레인 단자가 접속되는 제1의 파워트랜지스터를 가지는, 제1 반도체 칩과,

로우 사이드 스위치로서 이용되고 상기 패키지 외부에 노출하는 접지 전압이 전해지는 접지 전압 단자에 소스 단자가 접속되는 제2의 파워트랜지스터를 가지는, 제2 반도체 칩과,

상기 제1 및 제2의 파워트랜지스터를 구동하는 드라이버를 가지는 제3 반도체 칩과,

상기 제1의 파워트랜지스터의 소스 단자와 상기 제 2의 파워트랜지스터의 드레인 단자와 상기 패키지의 외부에 노출하는 전압 출력 단자에 접속하기 위한 제1 경로와,

상기 제1의 파워트랜지스터의 소스 단자와 상기 드라이버에 구비되어진 제1의 소스측 접지 단자에 접속하기 위한 경로로서, 상기 제1 경로는 상기 제1의 파워트랜지스터의 소스 단자를 개입시켜 접속된 제2 경로와,

상기 제 2의 파워트랜지스터의 소스 단자와 상기 접지 전압 단자에 접속하기 위한 제3 경로와,

상기 제 2의 파워트랜지스터의 소스 단자와 상기 드라이버에 구비되어진 제2의 소스측 접지 단자에 접속하기 위한 경로로서 상기 제 3 경로와는 상기 제 2의 파워트랜지스터의 소스 단자를 개입시켜 접속된 제4 경로를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 18

청구항 17에 있어서,

상기 제1의 파워트랜지스터의 소스 단자와 상기 제 2의 파워트랜지스터의 드레인 단자와의 접속 및 상기 제 2의 파워트랜지스터의 소스 단자와 상기 접지 전압 단자와의 접속은 병렬로 설치된 복수 라인의 본딩 와이어를 개입시켜 각각 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 19

청구항 17에 있어서,

상기 제1 경로에는, 상기 제1의 파워트랜지스터의 소스 단자와 상기 제 2의 파워트랜지스터의 드레인 단자와의 사이에 제1의 금속판을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 20

청구항 19에 있어서,

상기 제 3 경로에는, 상기 제 2의 파워트랜지스터의 소스 단자와 상기 접지 전압 단자와의 사이에 제2의 금속판을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 21

청구항 17 내지 청구항 20 중 어느 한 항에 있어서,

상기 드라이버는, 상기 제1의 파워트랜지스터를 구동하는 제1 드라이버와, 상기 제 2의 파워트랜지스터를 구동하는 제2 드라이버를 갖고,

상기 제1의 소스측 접지 단자는 상기 제1 드라이버에 접속되고,

상기 제 2의 소스측 접지 단자는 상기 제 2 드라이버에 접속되고 있는 것을 특징으로 하는 반도체 장치.

청구항 22

1개의 패키지에 형성되는 반도체 장치로서,

하이 사이드 스위치로서 이용되고 상기 패키지 외부에 노출하는 입력 전압이 전해지는 전압 입력 단자에 드레인 단자의 전극이 접속되는 제1의 파워트랜지스터를 가지는 제1 반도체 칩과,

로우 사이드 스위치로서 이용되고 상기 패키지 외부에 노출하는 접지 전압이 전해지는 접지 전압 단자에 소스 단자의 전극이 접속되는 제2의 파워트랜지스터를 가지는 제2 반도체 칩과,

상기 제1 및 제2의 파워트랜지스터를 구동하는 드라이버를 가지는 제3 반도체 칩과,

상기 제1 반도체 칩의 표면에 설치된 상기 제1의 파워트랜지스터의 소스 단자의 전극과 상기 제 2 반도체 칩의 표면에 설치된 상기 제 2의 파워트랜지스터의 드레인 단자의 전극과 상기 패키지 외부에 노출하는 출력전압을 출력하는 전압 출력 단자에 접속하기 위한 제1 경로와,

상기 제1의 파워트랜지스터의 소스 단자의 전극으로부터 상기 제 3 반도체 칩의 표면에 설치된 상기 드라이버의 소스측 접지 단자의 전극에 접속하기 위한 제 2 경로를 갖고,

상기 제 2 경로는 상기 제1의 파워트랜지스터의 소스 단자의 전극을 개입시켜 상기 제1 경로와 제2 경로가 접속되고 있는 것을 특징으로 하는 반도체 장치.

청구항 23

1개의 패키지에 설치되고, 상기 패키지 외부로부터의 입력 전압을 받고, 상기 입력전압을 전압 변환하고, 상기 패키지 외부에 전압 변환한 전압을 출력하는 반도체 장치로서,

하이 사이드 스위치로서 이용되고, 상기 패키지 외부에 노출하는 상기 입력 전압이 전해지는 전압 입력 단자에 드레인 단자의 전극이 접속되는 제1의 파워트랜지스터를 갖는 제1 반도체 칩과,

로우 사이드 스위치로서 이용되고, 상기 패키지 외부에 노출하는 접지 전압이 전해지는 접지 전압 단자에 소스 단자의 전극이 접속되는 제2의 파워트랜지스터를 가지는 제2 반도체 칩과,

상기 제1의 파워트랜지스터를 구동하는 제1의 드라이버와 상기 제 2의 파워트랜지스터를 구동하는 제2의 드라이버를 가지는 제3 반도체 칩과,

상기 제1 반도체 칩의 표면에 설치된 상기 제1의 파워트랜지스터의 소스 단자의 전극과 상기 제 2 반도체 칩의 표면에 설치된 상기 제 2의 파워트랜지스터의 드레인 단자의 전극과 상기 전압 변환한 전압을 출력하는 상기 패키지 외부에 노출한 전압출력단자에 접속하기 위한 제1 경로와,

상기 제1의 파워트랜지스터의 소스 단자의 전극과 상기 제 3 반도체 칩의 표면에 설치된 상기 제1의 드라이버의 소스측 접지 단자의 전극에 접속하기 위한 제 2 경로를 갖고,

상기 제1 경로와 상기 제 2 경로의 접속은, 상기 제1의 파워트랜지스터의 소스 단자의 전극을 개입시키는 것을 특징으로 하는 반도체 장치.

청구항 24

청구항 22 또는 청구항 23에 있어서,

상기 제1의 파워트랜지스터의 소스 단자의 전극과 상기 제 2의 파워트랜지스터의 드레인 단자의 전극과의 접속은, 병렬로 설치된 복수 라인의 본딩 와이어를 개입시켜 접속되고 있는 것을 특징으로 하는 반도체 장치.

청구항 25

청구항 22 또는 청구항 23에 있어서,

상기 제1 경로는 상기 제1의 파워트랜지스터의 소스 단자의 전극과 상기 제 2의 파워트랜지스터의 드레인 단자의 전극과 접속하는 동안에 금속판을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 26

청구항 22 또는 청구항 23에 있어서,

상기 제1의 파워트랜지스터의 소스 단자의 전극은 알루미늄을 이용한 전극인 것을 특징으로 하는 반도체 장치.

청구항 27

청구항 24에 있어서,

상기 제1의 파워트랜지스터의 소스 단자의 전극은 알루미늄을 이용한 전극인 것을 특징으로 하는 반도체 장치.

청구항 28

청구항 25에 있어서,

상기 제1의 파워트랜지스터의 소스 단자의 전극은 알루미늄을 이용한 전극인 것을 특징으로 하는 반도체 장치.

청구항 29

1개의 표면 실장 패키지에 제1 반도체 칩과 제2 반도체 칩과 제3 반도체 칩

이 수지로 봉합되는 반도체 장치로서,

상기 패키지 외부에 노출하며 제어 신호가 전해지는 외부 신호 입력 단자와,

상기 패키지 외부에 노출하며 전원 전압이 전해지는 전원 전압 단자와,

상기 패키지 외부에 노출하며 입력 전압이 전해지는 전압 입력 단자와,

상기 패키지 외부에 노출하며 접지 전압이 전해지는 접지 전압 단자와,

상기 패키지 외부에 노출하며 출력전압이 전해지는 전압 출력 단자와,
 하이 사이드 스위치로서 이용되고 제1의 소스 전극과 제1의 드레인 전극과 제1의 게이트 전극을 갖고, 제1의 파워 MOSFET를 가지는 상기 제1 반도체 칩과,
 로우 사이드 스위치로서 이용되고 제2의 소스 전극과 제2의 드레인 전극과 제2의 게이트 전극을 갖고, 제2의 파워 MOSFET를 가지는 상기 제 2 반도체 칩과,
 제1의 전극과 제2의 전극과 제3의 전극과 제4의 전극을 갖고, 상기 제1 및 제2의 파워 MOSFET를 구동하는 드라이버를 가지는 상기 제 3 반도체 칩과,
 상기 제1의 소스 전극과 상기 제 2의 드레인 전극과 상기 전압 출력 단자에 접속하기 위한 제1 경로와,
 상기 제1의 소스 전극과 상기 제1의 전극에 접속하기 위한 제 2 경로와,
 상기 제1의 게이트 전극과 상기 제 2의 전극에 접속하기 위한 제 3 경로를 갖고,
 상기 전압 입력 단자는 상기 제1의 드레인 전극과 접속되고,
 상기 접지 전압 단자는 상기 제 2의 소스 전극과 접속되고,
 상기 외부 신호 입력 단자는 상기 제 3의 전극과 본딩 와이어를 개입시켜 접속되고,
 상기 전원 전압 단자는 상기 제 4의 전극과 접속되고,
 상기 제1 경로와 상기 제 2 경로는 상기 제1의 소스 전극을 개입시켜 접속되고,
 상기 제1 경로에는 금속판을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 30

청구항 29에 있어서,
 상기 제1의 소스 전극과 상기 제1의 게이트 전극은 알루미늄을 이용한 전극이고,
 상기 금속판은 알루미늄 혹은 동을 이용한 것이고, 상기 제1의 소스 전극과 상기 제1 반도체 칩의 표면에서 접속되는 것을 특징으로 하는 반도체 장치.

청구항 31

1개의 표면 실장 패키지에 제1 반도체 칩과 제2 반도체 칩과 제3 반도체 칩이 수직으로 봉합되는 반도체 장치로서,
 하이 사이드 스위치로서 이용되고, 제1의 소스 전극과 제1의 드레인 전극과 제1의 게이트 전극을 갖고, 제1의 파워 MOSFET를 가지는 상기 제1 반도체 칩과,
 로우 사이드 스위치로서 이용되고 제2의 소스 전극과 제2의 드레인 전극과 제2의 게이트 전극을 갖고, 제2의 파워 MOSFET를 가지는 상기 제 2 반도체 칩과,
 제1의 전극과 제2의 전극과 제3의 전극과 제4의 전극을 갖고, 상기 제1 및 제2의 파워 MOSFET를 구동하는 드라이버를 가지는 상기 제 3 반도체 칩과,
 상기 패키지 외부에 노출하며 PWM 신호가 전해지는 외부 신호 입력 단자와 상기 제 3반도체 칩의 전원 전압이 전해지는 전원 전압 단자와 접지 전압이 전해지는 접지 전압 단자와 입력 전압이 전해지는 전압 입력 단자와 출력전압이 전해지는 전압 출력 단자와,
 상기 제1의 소스 전극과 상기 제 2의 드레인 전극과 상기 전압 출력 단자를 접속하기 위한 제1 배선과,
 상기 제1 배선과는 따로 설치된 배선이며 상기 제1의 소스 전극과 상기 제1의 전극을 접속하기 위한 제 2 배선과,
 상기 제1의 게이트 전극과 상기 제 2의 전극을 접속하기 위한 제 3 배선을 갖고,
 상기 전압 입력 단자는 상기 제1의 드레인 전극과 접속되고,

상기 접지 전압 단자는 상기 제 2의 소스 전극과 접속되고,
 상기 외부 신호 입력 단자는 제1의 본딩 와이어를 개입시켜 상기 제 3의 전극과 접속되고,
 상기 전원 전압 단자는 제2의 본딩 와이어를 개입시켜 상기 제 4의 전극과 접속되고,
 상기 제1 배선은 금속판을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 32

청구항 31에 있어서,
 상기 제 3 반도체 칩은 제5의 전극을 갖고,
 상기 제 2의 게이트 전극과 상기 제 5의 전극을 접속하기 위한 제 4 배선을 갖고,
 상기 제1의 소스 전극과 제1의 게이트 전극은 알루미늄을 이용한 전극인 것을 특징으로 하는 반도체 장치.

청구항 33

1개의 패키지에 제1 반도체 칩과 제2 반도체 칩과 제3 반도체 칩이 수직으로 봉합된 반도체 장치로서,
 상기 패키지에 설치된 외부 단자이며, 제어 신호가 전해지는 제어 신호 입력 단자와,
 상기 패키지에 설치된 외부 단자이며, 전원 전압이 전해지는 전원 전압 단자와,
 상기 패키지에 설치된 외부 단자이며, 접지 전압이 전해지는 접지 전압 단자와,
 상기 패키지에 설치된 외부 단자이며, 입력 전압이 전해지는 전압 입력 단자와,
 상기 패키지에 설치된 외부 단자이며, 출력전압이 전해지는 전압 출력 단자와,
 전압 변환의 하이 사이드 스위치로서 이용되고, 상기 전압 입력 단자에 접속되는 제1의 드레인 전극과 제1의 소스 전극과 제1의 게이트 전극을 가지는 제1의 파워 MOSFET를 구비하는 반도체 칩이며, 이 반도체 칩의 표면에 상기 제1의 소스 전극을 가지는 제1 반도체 칩과,
 전압 변환의 로우 사이드 스위치로서 이용되고 상기 접지 전압 단자에 접속되는 제2의 소스 전극과 제2의 드레인 전극과 제2의 게이트 전극을 가지는 제2의 파워 MOSFET를 구비하는 제2 반도체 칩과,
 상기 제1의 소스 전극의 접속에 이용되는 제1의 전극과, 상기 제1의 게이트 전극의 접속에 이용되는 제2의 전극과, 상기 제어 신호 입력 단자의 접속에 이용되는 제3의 전극과, 상기 전원 전압 단자의 접속에 이용되는 제4의 전극과, 상기 제 2의 게이트 전극의 접속에 이용되는 제 5의 전극을 갖고, 상기 제1 및 제2의 파워 MOSFET를 구동하는 드라이버를 구비하는 제3 반도체 칩과,
 상기 제1의 소스 전극과 상기 제 2의 드레인 전극과 상기 전압 출력 단자를 접속하기 위한 배선이며, 상기 제1의 소스 전극과 접속을 취하는 제1 접속 배선을 가지는 제1 배선과,
 상기 제1 배선과는 따로 설치되고 상기 제1의 소스 전극과 상기 제1의 전극을 접속하기 위한 배선이며, 상기 제1의 소스 전극과 접속을 취하는 제2 접속 배선을 가지는 제2 배선과,
 상기 제1의 게이트 전극과 상기 제 2의 전극을 접속하기 위한 제 3 배선과,
 상기 제 2의 게이트 전극과 상기 제 5의 전극을 접속하기 위한 제 4 배선과,
 상기 제어 신호 입력 단자와 상기 제 3의 전극을 접속하는 제1의 본딩 와이어와,
 상기 전원 전압 단자와 상기 제 4의 전극을 접속하는 제2의 본딩 와이어를 포함하고,
 상기 제1 접속 배선에는 금속판이 이용되고 있는 것을 특징으로 하는 반도체 장치.

청구항 34

청구항 33에 있어서,
 상기 제1 반도체 칩은 한 쌍의 장변과 한 쌍의 단변을 가지는 직사각형 형상이며, 상기 제1 접속 배선은 상기 장변을 횡단하도록 배선되고,

상기 제 2 접속 배선은 한쪽의 상기 단변을 횡단하도록 배선되고,

상기 제1 접속 배선의 배선 폭은 상기 제 2 접속 배선의 배선 폭보다 넓은 것을 특징으로 하는 반도체 장치.

청구항 35

청구항 34에 있어서,

상기 제 3 배선은 상기 한쪽의 단변을 횡단하도록 배선되고 상기 제 2 접속 배선과 나열하도록 배선되고 있는 것을 특징으로 하는 반도체 장치.

청구항 36

청구항 33 내지 청구항 35 중 어느 한 항에 있어서,

상기 제1의 소스 전극과 제1의 게이트 전극은 알루미늄을 이용한 전극인 것을 특징으로 하는 반도체 장치.

청구항 37

청구항 33 내지 청구항 35 중 어느 한 항에 있어서,

상기 제1의 전극은, 상기 드라이버의 기준 전위 단자이며,

상기 제 2의 전극과 상기 제 5의 전극은 상기 드라이버의 출력부이고,

상기 제 3의 전극은 상기 드라이버의 입력부인 것을 특징으로 하는 반도체 장치.

청구항 38

청구항 36에 있어서,

상기 제1의 전극은, 상기 드라이버의 기준 전위 단자이며,

상기 제 2의 전극과 상기 제 5의 전극은 상기 드라이버의 출력부이고,

상기 제 3의 전극은 상기 드라이버의 입력부인 것을 특징으로 하는 반도체 장치.

명세서

기술분야

[0001] 본 발명은 전원 회로 등에 이용되는 스위칭용 IC (Integral Circuit)에 관계되는 특히, DC/DC컨버터에 의한 전원생성효율의 향상에 적용에 유효한 기술에 관한 것이다.

배경기술

[0002] 최근에, 전원 회로등의 소형화, 고속 부하 응답을 달성하기 위해, 전원에 사용되는 파워 MOSFET (Metal Oxide Semiconductor Field Effect Transistor)의 고주파수화가 진행되고 있다.

[0003] 특히, 퍼스널 컴퓨터나 컴퓨터 게임기등의 전원 회로에 이용되는 비절연형 DC/DC컨버터는 구동하는 CPU등의 대전류화나 수동부품인 쇼크코일, 입출력 용량의 소형화의 요구 등에 수반하여 대전류화, 고주파화의 경향이 있다.

[0004] 예를 들어, 퍼스널 컴퓨터나 컴퓨터 게임기등의 전원 회로에는 비절연형 DC/DC컨버터가 넓게 이용되고 있다. 비절연형 DC/DC컨버터는 전자 시스템에 탑재되는 CPU 등의 대전류화나 저전압화에 수반하여, 고효율화, 소형화가 요구된다.

[0005] 비절연형 DC/DC컨버터는 하이 사이드 스위치와 로 사이드 스위치로 구성 되어, 그 스위치는 파워 MOS-FET (Metal Oxide Semiconductor-Field Effect Transistor)가 각각 이용되고 있다.

[0006] 이들 스위치는 하이 사이드와 로 사이드를 동기(同期)를 취하면서 교대로 ON/OFF 하는 것에 의해, 전압 변환을 실행하고 있다. 하이 사이드 스위치는 DC/DC컨버터의 콘트롤용 스위치이고, 로 사이드 스위치는 동기 정류용(整

流用) 스위치가 된다.

- [0007] 또, 파워 MOS-FET를 수직 봉입한 반도체 장치에 있어서는 예를 들어, 반도체 칩의 소스 전극을 분리해 형성한 그랜드 전극과 연결하는 그랜드 전극 단자를 게이트 전극 단자와 소스 전극 단자의 사이에 마련하여 소스 게이트, 그랜드의 각 전극과 전극 단자간을 저 임피던스(impedance)의 금선등에 의해 접속하는 것에 의해, 고주파 동작 운전시에 있어서의 반도체 장치의 노이즈를 저감하는 것이 있다(예를 들어, 특허 문헌 1).
- [0008] [특허 문헌 1]
- [0009] 특개2002-009219호공보
- [0010] 그런데, 상기와 같은 DC/DC컨버터에서는 다음과 같은 문제점이 있는 것이 본 발명자에 의해 발견됐다.
- [0011] 도 21은 본 발명자가 검토한 DC/DC컨버터(50)의 개략 회로구성도이다. DC/DC컨버터(50)는 파워 MOS-FET로 이루어지는 하이 사이드 스위치(51)와 로 사이드 스위치(52)가, 전원전압(Vin)과 기준전위의 사이에 직렬 접속된 구성으로 이루어진다.
- [0012] 예를 들어, 하이 사이드 스위치(51)와 로 사이드 스위치(52)가, 1개의 패키지로 각각 구성 되어 있는 경우, 도시하는 바와 같이 반도체 장치의 본딩 와이어나 외부 인출선 및 그 패키지가 실장되는 프린트 배선 기판에 있어서의 배선등의 기생(寄生) 인덕턴스(LdH, LsH, LdL, LgH, LgL, LsL)가 생겨 버리게 된다.
- [0013] 특히, 하이 사이드 스위치(51)의 기생 인덕턴스(LsH)가 커지면, 그 하이 사이드 스위치(51)의 턴 온 손실 및 턴 오프 손실이 커져 버려, 변환 효율이 큰폭으로 저하 해 버리고 마는 문제가 있다.
- [0014] 도 22는 DC/DC컨버터(50)에 있어서의 손실 성분의 LsH 의존성을 나타낸 설명도이다.
- [0015] 도 22에 있어서는 점으로 나타내는 영역이 하이 사이드 스위치(51)의 턴 온 손실, 해칭으로 나타내는 영역이 로 사이드 스위치(52)의 턴 오프 손실, 및 백지로 나타내는 영역이 로 사이드 스위치(52)의 손실을 각각 나타내고 있다.
- [0016] 도시하는 바와 같이 기생 인덕턴스(LsH)가 커지면 하이 사이드 스위치(51)의 특히 턴 온 손실이 커져, 변환 효율이 큰폭으로 저하하고 있는 것을 알 수 있다.
- [0017] 이것은 기생 인덕턴스(LsH)에 주전류가 흐르는 것에 의해, 도 21의 A점과 하이 사이드 스위치(51)의 소스 단자의 사이에 역기(逆起) 전력이 발생하고, 하이 사이드 스위치(51)에 충분한 게이트 전압을 인가할 수가 없게 되기 때문에 있다.
- [0018] 턴 온 손실, 및 턴 오프 손실은 주파수나 출력 전류에 비례하므로, 대전류화, 고주파수화가 진행되는 것에 따라 손실 성분은 보다 커져 버리게 된다.

발명의 내용

해결하려는 과제

- [0019] 본 발명의 목적은 기생 인덕턴스가 커져도 게이트 전압이 받는 영향을 저감하여, 전압 변환 효율을 큰폭으로 향상시킬 수 있는 전원 시스템을 제공하는 것에 있다.
- [0020] 본 발명의 다른 목적은 기생 인덕턴스를 큰폭으로 저하시키는 것에 의해, 전압 변환 효율을 큰폭으로 향상시킬 수 있는 반도체 장치를 제공하는 것에 있다.

과제의 해결 수단

- [0021] 상기 본 발명의 목적을 달성하기 위한 기술적 해결 수단으로서, 본 발명에서는,
- [0022] (1) 본 발명은 하이 사이드 스위치로서 이용되는 제1의 파워트랜지스터를 가지는 반도체 장치에 있어서, 제1의 파워트랜지스터의 소스 단자는 제1의 외부 접속 단자와 제2의 외부 접속 단자에 각각 접속되어서, 제1의 외부 접속 단자 및 제2의 외부 접속 단자는 각각 다른 경로에서 분리하여 형성되어 있는 것이다.
- [0023] (2) 또한, 본 발명은 하이 사이드 스위치로서 이용되는 제1의 파워트랜지스터와 로 사이드 스위치로서 이용되는 제2의 파워트랜지스터와 제1, 및 제2의 파워트랜지스터를 구동하는 드라이버를 갖춘 반도체 장치이고, 제1의 파워트랜지스터의 소스 단자는 제2의 파워트랜지스터의 드레인과 접속되는 제1의 외부 접속 단자와 드라이버에 구

비된 소스측 접속 단자와 각각 다른 경로로 접속된 것이다.

[0024] (3) 또, 본 발명은 하이 사이드 스위치로서 이용되는 제1의 파워트랜지스터와 로 사이드 스위치로서 이용되는 제2의 파워트랜지스터와 제1, 및 제2의 파워트랜지스터를 구동하는 드라이버, 및 드라이버를 구동 제어하는 제어 신호를 발생하는 제어부로 이루어지는 드라이버 컨트롤러를 갖춘 반도체 장치이고, 제1의 파워트랜지스터의 소스 단자는 제2의 파워트랜지스터의 드레인과 접속되는 제1의 외부 접속 단자와 드라이버 컨트롤러에 구비된 소스측 접속 단자에 각각 다른 경로로 접속된 것이다.

[0025] (4) 게다가 본 발명은 하이 사이드 스위치로서 이용되는 제1의 파워트랜지스터와 제1의 파워트랜지스터를 구동하는 드라이버와, 평활용(平滑用)의 코일과 제1의 파워트랜지스터, 드라이버, 및 코일을 실장하는 프런트 배선 기판을 갖춘 전원 시스템이고, 제1의 파워트랜지스터의 소스 단자는 다른 경로에서 분리하여 각각 형성된 제1의 외부 접속 단자와 제2의 외부 접속 단자에 접속되어 있고, 프런트 배선 기판은 제1의 파워트랜지스터의 제1의 외부 접속 단자가 드라이버에 접속되는 제1의 배선과, 제1의 파워트랜지스터의 제2의 외부 접속 단자와 코일의 접속부가 접속되는 제2의 배선을 가지고, 제1의 배선과 제2의 배선이라는 것은 다른 경로에서 각각 형성되어 있는 것이다.

[0026] (5) 또, 본 발명은 하이 사이드 스위치로서 이용되는 제1의 파워트랜지스터와 로 사이드 스위치로서 이용되는 제2의 파워트랜지스터로 이루어지는 파워 모듈과, 파워 모듈을 구동하는 드라이버와, 평활용의 코일과, 파워 모듈, 드라이버, 및 코일을 실장하는 프런트 배선 기판을 갖춘 전원 시스템이고, 제1의 파워트랜지스터의 소스 단자는 다른 경로에서 분리하여 각각 형성된 제1의 외부 접속 단자와 제2의 외부 접속 단자에 접속 되어 있고, 프런트 배선 기판은 제1의 파워트랜지스터의 제1의 외부 접속 단자가 드라이버에 접속되는 제1의 배선과, 제1의 파워트랜지스터의 제2의 외부 접속 단자와 코일의 접속부가 접속되는 제2의 배선을 가지고, 제1의 배선과 제2의 배선은 다른 경로에서 각각 형성되어 있는 것이다.

[0027] 본 발명의 상기 및 그 외의 목적과 신규 특징은 본 명세서의 기술 및 첨부 도로부터 밝혀질 것이다.

발명의 효과

[0028] 본원에 의해 개시되는 발명 가운데, 대표적인 것에 의해 얻을 수 있는 효과를 간단하게 설명하면, 이하와 같다.

[0029] (1) DC/DC컨버터에 있어서의 전압 변환 효율을 큰폭으로 향상할 수가 있다.

[0030] (2) 또한, 효율을 떨어뜨리는 일 없이 대전류, 고주파수에 대응할 수가 있다.

[0031] (3) 상기(1), (2)에 의해, 전원 생성의 효율을 큰폭으로 향상한 전원 시스템을 제공할 수가 있다.

도면의 간단한 설명

[0032] 도 1은 본 발명의 실시예 1에 의한 파워 MOS-FET의 구성의 일례를 나타내는 설명도이다.

도 2는 도 1의 파워 MOS-FET의 단면도이다.

도 3은 도 1의 파워 MOS-FET에 있어서의 칩 레이아웃의 일례를 나타내는 설명도이다.

도 4는 도 1의 파워 MOS-FET를 이용해 DC/DC컨버터를 구성한 프런트 배선 기판의 실장예를 나타내는 설명도이다.

도 5는 도 4의 프런트 배선 기판에 실장된 DC/DC컨버터의 등가 회로도이다.

도 6은 도 1의 파워 MOS-FET의 다른 구성예를 나타내는 설명도이다.

도 7은 도 6의 파워 MOS-FET의 단면도이다.

도 8은 도 7의 파워 MOS-FET의 다른 구성예를 나타내는 설명도이다.

도 9는 도 8의 파워 MOS-FET의 단면도이다.

도 10은 본 발명의 실시예 2에 의한 파워 IC의 구성의 일례를 나타내는 설명도이다.

도 11은 도 10의 파워 IC의 단면도이다.

도 12는 도 10의 파워 IC를 이용해 DC/DC컨버터를 구성한 프런트 배선 기판의 실장예를 나타내는 설명도이다.

- 도 13은 본 발명의 실시예 3에 의한 파워 IC의 구성의 일례를 나타내는 설명도이다.
- 도 14는 도 13의 파워 IC의 단면도이다.
- 도 15는 도 13의 파워 IC를 이용해 절연형 DC/DC컨버터의 구성예를 나타내는 회로도이다.
- 도 16은 도 13의 파워 IC의 다른 구성예를 나타내는 설명도이다.
- 도 17은 도 16의 파워 IC의 단면도이다.
- 도 18은 본 발명의 실시예 4에 의한 파워 IC의 구성의 일례를 나타내는 회로도이다.
- 도 19는 도 18의 파워 IC의 구성을 나타내는 설명도이다.
- 도 20은 도 18의 파워 IC의 다른 구성예를 나타내는 설명도이다.
- 도 21은 본 발명자가 검토한 DC/DC컨버터의 개략 회로 구성도이다.
- 도 22는 도 21의 DC/DC컨버터에 있어서의 손실 성분의 기생 인덕턴스(L)의존성을 나타낸 설명도이다.
- 도 23은 도 5의 DC/DC컨버터에 있어서의 손실 성분의 기생 인덕턴스의존성을 나타낸 설명도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하, 본 발명의 실시예를 도에 근거해 상세하게 설명한다.
- [0034] (실시예 1)
- [0035] 도 1은 본 발명의 실시예 1에 의한 파워 MOS-FET의 구성의 일례를 나타내는 설명도이고, 도 2는 도 1의 파워 MOS-FET의 단면도이고, 도 3은 도 1의 파워 MOS-FET에 있어서의 칩 레이아웃의 일례를 나타내는 설명도이고, 도 4는 도 1의 파워 MOS-FET를 이용하여 DC/DC컨버터를 구성한 프린트 배선 기판의 실장예를 나타내는 설명도이고, 도 5는 도 4의 프린트 배선 기판에 실장된 DC/DC컨버터의 등가 회로도이고, 도 6은 도 1의 파워 MOS-FET의 다른 구성예를 나타내는 설명도이고, 도 7은 도 6의 파워 MOS-FET의 단면도이고, 도 8은 도 7의 파워 MOS-FET의 다른 구성예를 나타내는 설명도이고, 도 9는 도 8의 파워 MOS-FET의 단면도이고, 도 23은 도 5의 DC/DO컨버터 회로에 있어서의 손실의 기생 인덕턴스의존성을 나타내는 설명도이다.
- [0036] 본 실시의 형태에 있어서, 파워 MOS-FET(제1의 파워트랜지스터, 반도체장치, 1)은 전원 시스템으로서 이용되는 비절연형DC/DC컨버터의 하이 사이드 스위치용 트랜지스터이고, 예를 들어, SOP (Small Outline Package)등의 패키지로 이루어진다.
- [0037] 이 파워 MOS-FET(1)의 패키지 구성은 도 1, 도 2에 나타나는 바와 같이 리드 프레임(2)의 중앙부에 설치된 다이패드(2a)에 반도체 칩(3)이 탑재되어 있다. 반도체 칩(3)의 주요면에는 파워 MOS-FET(1)의 소스 단자(ST) 및 게이트 단자 (GT)로 이루어지는 전극부가 형성 되어 있고, 그 반도체 칩(3)의 이면에는 파워 MOS-FET(1)의 드레인 단자(DT)로 이루어지는 전극부가 형성되어 있다.
- [0038] 반도체 칩(3)은 도 3에 나타나는 바와 같이 반도체 기판(HK)상의 중앙부에 절연막(Z)을 개입시켜 게이트 단자 (GT)가 형성 되어 있다. 또, 게이트 단자(GT)의 각각 양측에는 채널 부분을 개입시켜 소스 단자(ST)가 형성되어 있다. 반도체 기판(HK)의 이면은 드레인 단자(DT)로 이루어진다.
- [0039] 파워 MOS-FET(1)의 게이트 단자(GT)로 이루어지는 전극부는 도 1, 도 2에 있어서의 반도체 칩(3) 주요면의 좌상부(左上部)의 일부에 형성 되어 있고, 그 외의 주요면은 소스 단자(ST)의 전극부로 이루어진다. 이들 전극부는 예를 들어, 알루미늄(Al)등의 금속이 증착되어 형성되어 있다.
- [0040] 또, 반도체 칩(3)의 이면에는 파워 MOS-FET(1)의 드레인 단자(DT)가 되는 전극부가 형성 되어 있다. 이 전극부는 예를 들어, 금(Au) 등의 금속이 증착 되어 형성 되어 있고, 그 반도체 칩(3)의 이면이 다이패드(2a)로 압착 되어 있다.
- [0041] 그리고, 파워 MOS-FET(1)의 드레인 단자(DT)가 접속되어 있는 다이 패드(2 a)가 연재하여 외부 인출선이 되는 복수(4개)의 아웃터(outer) 리드(LD)로 이루어진다.
- [0042] 파워 MOS-FET(1)의 게이트 단자(GT)로 이루어지는 전극부는 예를 들어, 금등의 본딩 와이어(W)를 개재하여 아웃 터 리드(LG)에 접속 되어 있고, 그 파워 MOS-FET(1)의 소스 단자(ST)가 되는 전극부는 예를 들어, 금 등의 본딩

와이어(W)를 개입시켜 1개의 아웃터 리드(제1의 외부 접속 단자, LS1), 및 2개의 아웃터 리드(제2의 외부 접속 단자, LS2)에 각각 접속되어 있다.

- [0043] 이들 다이 패드(2a), 반도체 칩(3), 아웃터 리드(LG, LS1, LS2, LG의 일부), 및 본딩 와이어(W)는 봉입(封止)수지에 의해 봉입되어 패키지(4)가 형성되어 있다.
- [0044] 아웃터 리드(LS1)는 파워 MOS-FET(1)의 게이트를 구동하는 경로에 접속되는 외부 단자이고, 아웃터 리드(LS2)는 전압 변환한 전압이 출력되는 주전류 경로에 접속되는 외부 단자이다.
- [0045] 또, 파워 MOS-FET(1)에서는 아웃터 리드(LG)와 아웃터 리드(LS1)가 이웃하는 자리에 설치되어 있으므로, 각각의 기생 인덕턴스에 역방향의 전류가 흘러 그파워 MOS-FET(1)에 있어서의 게이트 단자(GT)의 인덕턴스를 작게 할 수가 있다.
- [0046] 게이트 단자(GT)의 인덕턴스를 작게 할 수가 있으므로, 파워 MOS-FET(1)의 스위칭스피드를 고속으로 할 수 있어 스위칭 손실을 감소 시킬 수 있다.
- [0047] 또, 파워 MOS-FET(1)의 게이트 단자(GT)의 인덕턴스를 작게하는 것에 의해, 로 사이드 스위치로서 이용되는 파워 MOS-FET의 셀프 턴온을 방지할 수가 있는 큰 효과도 얻을 수 있게 된다.
- [0048] 셀프 턴온이라는 것은 로 사이드 스위치로서 이용되는 파워 MOS-FET의 내장 다이오드가 환류하고 있는 모드로부터 하이 사이드 스위치가 ON 하는 모드로 전환할 때에, 로 사이드 스위치의 게이트 전압이 상승해, 로 사이드 스위치가 오동작 해 버리는 현상이다.
- [0049] 도 4는 도 1, 도 2에 나타난 파워 MOS-FET(1)를 이용해 DC/DC컨버터(전원 시스템)를 구성하는 프린트 배선 기판의 실장도이다. 덧붙여 도 4에 있어서는 나타내고 있지 않지만, 실제로는 입력 및 출력의 콘덴서등도 실장되어 있는 것으로 한다.
- [0050] DC/DC컨버터는 파워 MOS-FET(1), 로 사이드 스위치로 이루어지는 파워 MOS-FET(제2의 파워트랜지스터, 5), 콘트롤(IC6), 및 코일(7)로 구성 되어 있고, 이들 프린트 배선 기판에 실장되어 있다.
- [0051] 도시하는 바와 같이 프린트 배선 기판의 우측에는 콘트롤(IC6)이 실장되어 있다. 이 콘트롤(IC6)은 외부 입력된 제어 신호에 근거하여, 파워 MOS-FET(1, 5)를 각각 구동하는 드라이버이다.
- [0052] 그리고, 콘트롤(IC6)의 좌상방(左上方)에는 파워 MOS-FET(1)이 실장 되어 있고, 그 파워 MOS-FET(1)의 하방에는 로 사이드 스위치가 되는 파워 MOS-FET(5)가 실장되어 있다. 이들 파워 MOS-FET(1, 5)의 좌측에는 코일(7)이 실장되어 있다.
- [0053] 파워 MOS-FET(1)의 4개의 아웃터 리드(LD)에는 패턴 배선(H1)을 개입시켜 입력 전압(Vin)이 접속 되어 있고, 그 파워 MOS-FET(1)의 아웃터 리드(LG)에는 패턴배선(H2)을 개입시켜 콘트롤(IC6)의 일방의 출력 단자가 접속되어 있다.
- [0054] 파워 MOS-FET(1)의 2개의 아웃터 리드(LS2)에는 패턴 배선(제2의 배선, H) 을 개입시켜 코일(7)의 일방의 접속 부가 접속되어 있고, 파워 MOS-FET(1)의 아웃터 리드(LS1)에는 패턴 배선(제1의 배선, H4)을 개입시켜 콘트롤(IC6)의 소스측 접지 단자에 접속되어 있다. ?
- [0055] 게다가 파워 MOS-FET(5)는 그 파워 MOS-FET(5)의 드레인 단자, 소스 단자, 게이트 단자로서 4개의 아웃터 리드(D), 3개의 아웃터 리드(S), 및 1개의 아웃터 리드(G)가 각각 설치되어 있다.
- [0056] 파워 MOS-FET(5)의 아웃터 리드(D)에는 패턴 배선(H3)에 접속되어 있고, 아웃터 리드(S)에는 패턴 배선(H5)를 개입시켜 콘트롤(IC6)의 접지 단자(GND1)가 접속되어 있고, 아웃터 리드(G)에는 패턴 배선(H6)을 개입시켜 콘트롤(IC6)의 타방의 출력 단자가 접속되어 있다.
- [0057] 이와 같이 프린트 배선 기판에서는 아웃터 리드(LS1)와 콘트롤(IC6)의 소스측 접지 단자를 전용의 패턴 배선(H4)에 의해 접속하고, 파워 MOS-FET(1)의 게이트 구동용의 경로와 주전류 경로를 분리한 구성으로 이루어져 있다.
- [0058] 도 5는 도 4의 프린트 배선 기판에 실장된 DC/DC컨버터의 등가(等賈) 회로도이다.
- [0059] 도 5에 나타나는 바와 같이 하이 사이드 스위치가 되는 파워 MOS-FET(1)의 소스 전극으로부터 주전류가 흐르는 경로와, 그 파워 MOS-FET(1)의 게이트를 구동하기 위한 소스측 접지의 경로가 분리되게 되고, 기생 인덕턴스

(LsH1, LsH2)가 커져도, 파워 MOS-FET(1)의 게이트 전압이 영향을 받지 않게 된다.

- [0060] 또, 도 4에 있어서는 프린트 배선 기판을 다층 배선 기판으로 하여, 패턴 배선(H2, H4)을 거듭 하는 것에 의해, 게이트 단자의 기생 인덕턴스를 한층 더 저감 할 수가 있다.
- [0061] 게다가 도 4의 프린트 배선 기판 에 있어서, 파워 MOS-FET(1)와 함께, 파워 MOS-FET(5)의 아웃터 리드(S, 소스 단자)의 패턴 배선(H5)을 분리할지, 혹은 파워 MOS-FET(5)를 도 1, 도 2에 나타낸 구성으로 하여, 그 패턴 배선(H5)을 분리하여 한편 다층 배선 기판으로 거듭해 맞추는 것으로, 파워 MOS-FET(5)의 셀프 턴은 현상을 방지하는 것이 가능해진다.
- [0062] 도 23은 도 5의 DC/DC컨버터 회로에 있어서의 손실의 기생 인덕턴스(LsH1, 및 LsH2) 의존성을 나타낸다. 각 영역은 도 22의 경우와 같은 손실을 나타낸다.
- [0063] 도 22와 비교하면 알 수 있듯이 기생 인덕턴스(LsH1, 및 LsH2)가 커져도, 하이 사이드 스위치의 턴 온 손실 턴 오프 손실이 그다지 변화하지 않고, 전체의 손실이 변화하지 않는 것을 알 수 있다.
- [0064] 이것은 하이 사이드 스위치가 되는 파워 MOS-FET(1)의 소스 전극으로부터 주전류가 흐르는 경로와 그 파워 MOS-FET(1)의 게이트를 구동하기 위한 소스측 접지의 경로가 분리되게 되어, 기생 인덕턴스에 주전류가 흐르는 것에 의해 발생하는 역기 전력이 게이트를 구동하기 위한 경로에는 거의 발생하지 않고, 하이 사이드 스위치(1)에 충분한 게이트 전압을 인가할 수가 있기 때문이다.
- [0065] 또, 파워 MOS-FET(1)는 도 1, 도 2에 나타낸 구성 이외라도 좋고, 예를 들어, 본딩와이어(W)(도 1, 도 2)를 이용하지 않고 인덕턴스 및 저항을 보다 저감 시키도록 하여도 좋다.
- [0066] 이 경우, 파워 MOS-FET(1)는 도 6, 도 7에 나타나는 바와 같이 파워 MOS-FET(1)의 드레인 단자(DT)와 아웃터 리드(LS1, LS2) 및 게이트 단자(GT)와 아웃터 리드(LG)가, 알루미늄(Al)이나 동(Cu)등으로 이루어지는 금속판(8~10)을 개입시켜 각각 접속되어 있다.
- [0067] 이들 금속판(8 ~ 10)과 반도체 칩(3)의 드레인 단자(DT), 게이트 단자(GT) 소스 단자의 접속, 및 그 금속판(8 ~ 10)과 아웃터리드(LS1, LS2, LG, LD)는 납땜 볼(11)을 개입시켜 각각 접속되어 있다.
- [0068] 또, 패키지(4)는 파워 MOS-FET(1)의 이면이 되는 리드 프레임(2)이 노출하도록 형성되어 있고, 그 리드 프레임(2)의 열저항을 내려서 방열성을 보다 향상시키고 있다.
- [0069] 게다가 파워 MOS-FET(1)는 도 8, 도 9에 나타내는 바와 같이 도 6, 도 7의 구성에, 아웃터 리드(LG)와 아웃터 리드(LS1)를 접속하는 금속판(12)을 설치하여, 납땜 볼(11)을 개입시켜 접속하도록 하여도 좋다.
- [0070] 이것에 의해, 기생 인덕턴스에 흐르는 역방향의 전류에 의한 인덕턴스의 소거 효과를 보다 높일 수가 있어 파워 MOS-FET(1)에 있어서의 게이트 단자(GT)의 인덕턴스를 한층 작게 할 수가 있다.
- [0071] 상기에 의해, 본 실시의 형태에 의하면, 소스 단자(ST)를 아웃터 리드(LS1)와 아웃터 리드(LS2)로 분리하여 설치하는 것에 의해, 파워 MOS-FET(1)의 소스 전극으로부터 주전류가 흐르는 경로와 그 파워 MOS-FET(1)의 게이트를 구동하기 위한 소스측 접속의 경로를 분리할 수가 있다.
- [0072] 이것에 의해, 기생 인덕턴스를 주전류가 흐르는 것에 의해 생기는 기(起)전압이 그 파워 MOS-FET를 구동하기 위한 게이트 전압에 영향을 주는 것을 막는 것이 가능해지고, 전압 변환 효율을 향상시킬 수가 있어 대전류, 고주파수에 있어서도 대응할 수가 있다.
- [0073] 또, 프린트 배선 기판에 있어서, 아웃터 리드(LS1)와 콘트롤(IC6)의 소스측 접지 단자를 패턴 배선(H4)에 의해 접속하고, 파워 MOS-FET(1)의 게이트 구동용의 경로와 주전류 경로를 분리하는 것에 의해, 파워 MOS-FET(1)의 기생 인덕턴스의 영향을 보다 저감 할 수가 있어 변환 효율을 큰폭으로 향상할 수가 있다.
- [0074] (실시에 2)
- [0075] 도 10은 본 발명의 실시예 2에 의한 파워 IC의 구성의 일례를 나타내는 설명도이고, 도 11은 도 10의 파워 IC의 단면도이고, 도 12는 도 10의 파워 IC를 이용해 DC/DC컨버터를 구성한 프린트 배선 기판의 실장예를 나타내는 설명도이다.
- [0076] 본 실시의 형태 2에 있어서, 파워 IC(파워모듈, 13)는 전원 시스템으로서 이용되는 비절연형 DC/DC컨버터의 하이 사이드 스위치용 트랜지스터와 로 사이드 스위치용 트랜지스터의 2개가 1개의 패키지에 설치된 반도체 장치

이다. 이 파워 IC(13)의 트랜지스터는 모두 파워 MOS-FET로부터 구성되어 있다.

- [0077] 파워 IC(13)의 패키지 구성은 도 10, 도 11에 나타나는 바와 같이 리드 프레임(14, 15)의 중앙부에 각각 설치된 다이패드(14a, 15a)에 반도체 칩(16, 17)이 각각 탑재 되어 있다. 여기에서, 반도체 칩(16)은 하이 사이드 스위치의 파워 MOS-FET이고, 반도체 칩(17)은 로 사이드 스위치의 파워 MOS-FET 이다.
- [0078] 반도체 칩(16, 17)의 주요면에는 소스 단자(ST) 및 게이트 단자(GT)가 되는 전극부가 각각 형성되어 있고, 그 반도체 칩(16, 17)의 이면에는 드레인 단자(DT)가 되는 전극부가 각각 형성되어 있다.
- [0079] 게이트 단자(GT)가 되는 전극부는 반도체 칩(16) 주요면의 우상부(右上部)의 일부 및 반도체 칩(17) 주요면의 좌상부의 일부에 각각 형성 되어 있고, 그 외의 주요면은 소스 단자(ST)의 전극부가 된다. 이들 전극부는 예를 들어, 알루미늄(Al)등의 금속이 증착되어 형성되어 있다.
- [0080] 또, 반도체 칩(16, 17)의 이면에는 드레인 단자(DT)가 되는 전극부가 형성 되어 있다. 이 전극부는 금(Au) 등의 금속이 증착되어 형성되어 있고, 그 반도체 칩(16, 17)의 이면이 다이패드(14a, 15a)에 각각 압착되어 있다.
- [0081] 반도체 칩(16)에 있어서, 드레인 단자(DT)가 접속되어 있는 다이패드(14a)가 연재하여, 외부 인출선이 되는 아웃터 리드(LD1)로 되어 있다.
- [0082] 그리고, 게이트 단자(GT)가 되는 전극부는 예를 들어, 금 등의 본딩와이어(W)를 개입시켜 아웃터 리드(LG1)에 접속 되어 있고, 소스 단자(ST)가 되는 전극부는 예를 들어, 금 등의 본딩 와이어(W)를 개입시켜 아웃터 리드(제1의 외부 접속 단자, LS3) 및 아웃터 리드(제2의 외부 접속 단자, LS4)에 각각 접속되어 있다.
- [0083] 반도체 칩(17)에 있어서는 드레인 단자(DT)가 접속 되어 있는 다이패드(15 a)가 연재 해, 외부 인출선이 되는 복수의 아웃터 리드(LD2)로 되어 있다.
- [0084] 그리고, 게이트 단자(GT)가 되는 전극부는 예를 들어, 금 등의 본딩 와이어(W)를 개입시켜 아웃터 리드(LG2)에 접속 되어 있고, 소스 단자(ST)가 되는 전극부는 예를 들어, 금 등의 본딩와이어(W)를 개입시켜 복수의 아웃터 리드(LS5)에 각각 접속되어 있다.
- [0085] 이들 다이 패드(14a, 15a), 반도체 칩(16, 17), 아웃터 리드(LD1, LD2, LG1, LG2, LS3, LS4, LS5의 일부) 및 본딩 와이어(W)는 수지에 의해 봉입되어 패키지(18)가 형성되어 있다.
- [0086] 이 경우도, 하이 사이드 스위치의 파워 MOS-FET(1)가 되는 반도체칩(16)은 소스 단자(ST)를, 파워 MOS-FET(1)의 게이트를 구동하는 경로에 접속되는 아웃터 리드(LS3)와 주전류 경로에 접속되는 아웃터 리드(LS4)로 분리하여 설치되어 있다.
- [0087] 이것에 의해, 하이 사이드 스위치가 되는 파워 MOS-FET(1)의 소스 전극으로부터 주전류가 흐르는 경로와, 그 파워 MOS-FET(1)의 게이트를 구동하기 위한 소스측 접지의 경로를 분리할 수가 있다.
- [0088] 또, 하이 사이드 스위치와 로 사이드 스위치와의 2개의 파워 MOS-FET(1)를 1개의 패키지(18)에 형성하는 것에 의해, 전원 시스템을 구성할 때에 그 시스템의 소형화나 배선 인덕턴스 저항의 저감등을 실현할 수가 있다.
- [0089] 도 12는 도 10, 도 11에 나타난 파워 IC(13)를 이용해 DC/DC컨버터를 구성하는 프린트 배선 기판의 실장도이다.
- [0090] DC/DC컨버터는 파워 IC(13), 콘트롤(IC6) 및 코일(7)로 구성되어 있고, 이들이 프린트 배선 기판에 실장되어 있다.
- [0091] 도시하는 바와 같이 프린트 배선 기판의 상방(上方)에는 콘트롤(IC6)이 실장 되어 있고, 그 콘트롤(IC6)의 하방(下方)에는 파워 IC(13)가 실장 되어 있다. 파워 IC(13)의 우하방(右下方)에는 코일(7)이 실장되어 있다.
- [0092] 파워 IC(13)의 아웃터 리드(LD1)에는 패턴 배선(H7)을 개입시켜 입력 전압(Vin)이 접속되어 있고, 아웃터 리드(LG1)에는 패턴 배선(H8)을 개입시켜 콘트롤(IC6)의 일방의 출력 단자가 접속되어 있다.
- [0093] 3개의 아웃터 리드(LS4)에는 패턴 배선(제2의 배선, H9)을 개입시켜 코일(7)의 일방의 접속부가 접속 되어 있고, 아웃터 리드(LS3)에는 패턴 배선(제1의 배선, H10)을 개입시켜 콘트롤(IC6)의 소스측 접지 단자에 접속 되어 있다.
- [0094] 아웃터 리드(LD2)에는 패턴 배선(H9)이 접속되어 있고, 아웃터 리드(LS5)에는 패턴 배선(H11)을 개입시켜 콘트롤(IC6)의 접지 단자(GND1)가 접속되어 있다. 아웃터 리드(LG2)에는 패턴 배선(H12)을 개입시켜 콘트롤(IC6)의 타방의 출력 단자가 접속되어 있다.

- [0095] 이 경우에 있어서도, 프린트 배선 기판에서는 아웃터 리드(LS3)와 콘트롤(IC6)의 소스측 접지 단자를 전용의 패턴 배선(H10)에 의해 접속하여, 파워 IC(13)의 게이트 구동용의 경로와 주전류 경로를 분리한 구성으로 되어 있다.
- [0096] 상기에 의해, 본 실시의 형태 2에 있어서는 하이 사이드 스위치의 파워 MOSFET의 게이트-소스간에 전압이 늦어지는 일 없이 인가되게 되므로, 그 파워 MOS-FET의 스위칭 시간을 단축할 수가 있으므로, 전압 변환 효율을 향상시킬 수 있다.
- [0097] 또, 파워 IC(13)에 있어서도, 로 사이드 스위치가 되는 파워 MOS-FET의 아웃터 리드(LS5)를, 하이 사이드 스위치가 되는 파워 MOS-FET와 동일하게 분리하여 설치하는 구성으로 하여도 좋다.
- [0098] 게다가, 도 12의 프린트 배선 기판을 다층 배선 기판으로 하여서, 패턴 배선(H8, H10)을 거듭하여 배선하는 것에 의해, 게이트 단자의 기생 인덕턴스를 한층 더 저감할 수가 있다.
- [0099] (실시에 3)
- [0100] 도 13은 본 발명의 실시예 3에 의한 파워 IC의 구성의 일례를 나타내는 설명도이고, 도 14는 도 13의 파워 IC의 단면도이고, 도 15는 도 13의 파워 IC를 이용해 절연형 DC/DC컨버터의 구성예를 나타내는 회로도이고, 도 16은 도 13의 파워 IC의 다른 구성예를 나타내는 설명도이고, 도 17은 도 16의 파워 IC의 단면도이다.
- [0101] 본 실시의 형태 3에 있어서, 파워 IC(파워 모듈, 19)는 파워 MOS-FET와 그파워 MOS-FET를 구동하는 드라이버가 1개의 패키지에 설치된 반도체 장치이다.
- [0102] 파워 IC(19)는 도 13, 도 14에 나타나는 바와 같이 리드 프레임(20, 21)의 중앙부에 각각 설치된 다이 패드(20a, 21a)에 반도체 칩(22,23)이 각각 탑재 되어 있다. 여기서, 반도체 칩(22)은 드라이버이고, 반도체 칩(23)은 파워 MOS-FET 이다.
- [0103] 반도체 칩(22)의 주요면에는 전원 전압 단자(VDD), 제어 신호 입력 단자 (IN), 출력 단자(OUT), 및 소스측 접지 단자(GND)가 되는 전극부가 각각 형성되어 있다.
- [0104] 전원 전압 단자(VDD)에는 게이트 전압을 인가하는 전원 전압이 공급된다. 제어 신호 입력 단자(IN)에는 제어 신호가 입력된다. 출력 단자(OUT)는 파워 MOS-FET를 구동하는 신호가 출력 한다. 반도체 칩(22)은 예를 들어, 은 페이스트 등의 다이본딩재료를 개입시켜 다이패드(20a)에 압착되어 있다.
- [0105] 반도체 칩(23)의 주요면에는 소스 단자(ST) 및 게이트 단자(GT)가 되는 전극부가 각각 형성 되어 있고, 그 반도체 칩(23)의 이면에는 드레인 단자(DT)가 되는 전극부가 각각 형성되어 있다.
- [0106] 게이트 단자(GT)가 되는 전극부는 반도체 칩(23) 주요면의 좌상부의 일부에 형성 되어 있고, 그 외의 주요면은 소스 단자(ST)의 전극부가 된다. 이들 전극부는 예를 들면, 알루미늄(Al)등의 금속이 증착되어 형성되어 있다.
- [0107] 또, 반도체 칩(23)의 이면에는 드레인 단자(DT)가 되는 전극부가 형성 되어 있다. 이 전극부는 금(Au) 등의 금속이 증착 되어 형성 되어 있고, 그 반도체 칩(23)의 이면이 다이패드(21a)에 압착되어 있다.
- [0108] 전원 전압 단자(VDD)에는 아웃터 리드(V)가 금 등의 본딩와이어(W)를 개입시켜 접속되어 있고, 제어 신호 입력 단자(IN)에는 본딩 와이어(W)를 개입시켜 아웃터 리드(SIN)가 접속되어 있다.
- [0109] 반도체 칩(23)에 있어서는 드레인 단자(DT)가 접속되어 있는 다이 패드 (21a)가 연재 하여서, 외부 인출선이 되는 아웃터 리드(LD3)로 되어 있다. 게이트 단자(GT)가 되는 전극부는 예를 들어, 금 등의 본딩 와이어(W)를 개입시켜 반도체 칩(22)의 소스측 접지 단자(GND)에 접속되어 있다.
- [0110] 소스 단자(ST)가 되는 전극부는 예를 들어, 금 등의 본딩 와이어(W)를 개입시켜 리드 프레임(20)에 설치된 아웃터 리드(LS6)에 접속 되어 있고, 게이트 단자(GT)에는 반도체 칩(22)의 출력 단자(OUT)가 본딩와이어(W)를 개입시켜 접속 되어 있다. 이 출력 단자(OUT)에는 전압 확인용의 아웃터 리드(G)가 본딩와이어(W)를 개입시켜 접속 되어 있다.
- [0111] 이것에 의해, 하이 사이드 스위치가 되는 파워 MOS-FET(1)의 소스 전극으로부터 주전류가 흐르는 경로와 그 파워 MOS-FET(1)의 게이트를 구동하기 위한 소스측 접지의 경로를 분리할 수가 있다.
- [0112] 그리고, 이들 다이 패드(20a, 21a), 반도체 칩(22, 23), 아웃터 리드(V, G, SIN, LD3, LS6의 일부) 및 본딩 와이어(W)는 봉입 수지에 의해 봉입되어 패키지(24)가 형성되어 있다.

- [0113] 또, 파워 MOS-FET와 그 파워 MOS-FET를 구동하는 드라이버를 1개의 패키지에 의해 구성하는 것에 의해 파워 MOS-FET의 게이트 단자의 인덕턴스 및 저항을 저감 할 수가 있다.
- [0114] 또, 도 13, 도 14에 나타낸 파워 IC(19)에 있어서는 비절연형의 DC/DC컨버터 뿐만이 아니고, 절연형 DC/DC컨버터에 적용하는 것도 가능하다.
- [0115] 도 15는 도 13, 도 14의 파워 IC(19)를 4개 이용해 절연형 DC/DC컨버터를 구성했을 때의 회로도이다.
- [0116] 이 경우, 절연형 DC/DC컨버터는 파워 IC (파워모듈, 19 a~19d), 콘트롤 IC(25, 25a), 콘덴서(26~28), 코일(28a) 및 전원 트랜스(29)로 구성되어 있다.
- [0117] 입력 전압(Vin)간에는 콘덴서(26, 27) 및 파워 IC(19a, 19b)의 파워 MOS-FET가 각각 직렬 접속된 구성으로 되어 있다. 콘덴서(26, 27)의 접속부에는 전원 트랜스(29)의 타방의 일차측 코일이 접속되어 있다.
- [0118] 파워 IC(19a, 19b)의 접속부에는 전원 트랜스(29)의 일방의 일차측 코일이 접속되어 있고, 파워 IC(19a, 19b)에 설치된 제어 신호 입력 단자(IN)에는 콘트롤 IC(25)가 접속되어 있다.
- [0119] 전원 트랜스(29)의 일방의 2차측 코일에는 스위칭용의 트랜지스터로서 설치된 파워 IC(19c)의 파워 MOS-FET(1)의 일방의 접속부가 접속 되어 있고, 그 전원 트랜스(29)의 타방의 2차측 코일에는 스위칭용의 트랜지스터로서 설치된 파워 IC(19d)의 파워 MOS-FET의 일방의 접속부가 접속되어 있다.
- [0120] 파워 IC(19c)의 파워 MOS-FET(1)의 타방의 접속부에는 파워 IC(19d)의 파워 MOS-FET(1)의 타방의 접속부 및 코일(28a)의 일방의 접속부가 각각 접속 되어 있다.
- [0121] 파워 IC(19c, 19d)의 제어 신호 입력 단자(IN)에는 콘트롤 IC(25a)가 접속 되어 있다. 코일(28a)의 타방의 접속부에는 콘덴서(28)의 일방의 접속부가 접속 되어 있다.
- [0122] 그리고, 전원 트랜스(29)의 2차측 코일의 중간 탭 및 콘덴서(28)의 타방의 접속부가, DC/DC컨버터의 전압 출력부가 되어 출력전압(Vout)이 출력된다.
- [0123] 파워 IC(19a ~ 19d)의 제어 신호 입력 단자(IN)에는 콘트롤 IC(25, 25a)에 의해 생성된 PWM (Pulse Width Modulation) 신호가 인가 되어, 그 콘트롤 IC(25, 25a)에 의해 제어된다.
- [0124] 상기에 의해, 본 실시의 형태 3에서는 파워 IC(19)에 설치된 파워 MOS-FET에 있어서의 게이트의 인덕턴스 및 저항을 저감 시킬 수 있으므로, 전압 변환 효율을 큰폭으로 향상 시킬 수 있다.
- [0125] 또, 파워 IC(19)에 있어서도, 도 6, 도 7에서 나타낸 바와 같이 본딩 와이어(W)를 이용하지 않고 인덕턴스 및 저항을 보다 저감 시키는 구성으로 하여도 좋다.
- [0126] 이 경우, 파워 IC(19)는 도 16, 도 17에 나타나는 바와 같이 반도체 칩(22, 23)에 설치된 전극부와 아웃터 리드(V, G, SIN, LD3, LD5)가 알루미늄(Al), 혹은 동(Cu) 등으로 이루어지는 금속판(30)을 개입시켜 각각 접속되어 있다.
- [0127] 이들 금속판(30)과 반도체 칩(22, 23)의 전극부의 접속, 및 그 금속판(30)과 아웃터 리드(V, G, SIN, LD3) 접속은 납땜 볼(31)을 개입시켜 각각 실행되고 있다.
- [0128] 또, 파워 IC(19)에 있어서의 패키지(24) 이면은 리드 프레임(20, 21)이 각각 노출하도록 형성 되어 있어서 방열성을 보다 향상하고, 또한, 패키지(24)가 박형(薄型)의 구성으로 되어 있다.
- [0129] (실시예 4)
- [0130] 도 18은 본 발명의 실시예 4에 의한 파워 IC의 구성의 일례를 나타내는 회로도이고, 도 19는 도 18의 파워 IC의 구성을 나타내는 설명도이고, 도 20은 도 18의 파워 IC의 다른 구성예를 나타내는 설명도이다.
- [0131] 본 실시의 형태 4에 있어서, 비절연형 DC/DC컨버터에 이용되는 파워 IC (파워 모듈, 32)는 도 18에 나타나는 바와 같이 하이 사이드 스위칭용의 파워 MOS-FET(33), 로 사이드 스위칭용의 파워 MOS-FET(34) 및 그 파워 MOS-FET(33, 34)를 구동하는 드라이버 IC(35)가 1개의 패키지에 설치된 반도체 장치이다.
- [0132] 파워 IC(32)에는 외부 단자 인 아웃터 리드로서 전원 전압 단자(VDD), 부트 단자(BOOT), 전압 확인용 단자(GH, GL), 제어 신호 입력 단자(IN), 입력 전압 단자 (Vin), 접지 단자(GND1) 및 전압 출력 단자(LX)가 설치되어 있다..

- [0133] 전원 전압 단자(VDD)는 게이트 전압이 인가되는 단자이고, 부트 단자(BOOT)는 부트스트랩(bootstrap) 회로를 외부부착하기 위한 단자이다. 전압 확인용 단자 (GH, GL)는 파워 MOS-FET(33, 34)의 게이트에 인가되는 전압을 확인하는 단자이다.
- [0134] 제어 신호 입력 단자(IN)가 콘트롤러IC로부터 출력되는 PWM 신호가 입력되는 단자이고, 입력 전압 단자(Vin)는 파워 MOS-FET(33)의 일방의 접속부(드레인)에 공급되는 전압이 입력되는 단자이고, 접지 단자(GND1)는 접지용의 단자이다.
- [0135] 드라이버 IC(35)는 파워 MOS-FET(33)를 구동하는 드라이버(35a) 및 파워 MOS-FET(34)를 구동하는 드라이버(35b)로 구성되어 있다
- [0136] 드라이버(35a, 35b)의 입력부에는 제어 신호 입력 단자(IN)에 접속되어 있고, PWM 파형이 입력된다. 드라이버(35a)의 출력부는 파워 MOS-FET(33)의 게이트가 접속되어 있고, 드라이버(35b)의 출력부는 파워 MOS-FET(34)의 게이트가 접속되어 있다. 이들 드라이버(35a, 35b)의 출력부가 전압 확인용 단자(GH, GL)에 각각 접속되어 있다.
- [0137] 파워 MOS-FET(33)의 일방의 접속부에는 입력 전압 단자(Vint)를 개입한 전원 전압이 공급되어 있고, 그 파워 MOS-FET(33)의 타방의 접속부에는 파워 MOS-FET(34)의 일방의 접속부가 접속되어 있다. 파워 MOS-FET(34)의 타방의 접속부는 접지 단자(GND1)를 개입시켜 접지되어 있다.
- [0138] 드라이버(35a)의 전원 단자에는 부트 단자(BOOT)가 접속되어 있고, 그 드라이버(35a)의 기준 전위 단자에는 파워 MOS-FET(33, 34)의 접속부가 접속되어 있다. 드라이버(35b)의 전원 단자에는 전원 전압 단자(VDD)가 접속되어 있고, 그 드라이버(35b)의 기준 전위 단자에는 접지 단자(GND1)가 접속되어 있다.
- [0139] 또, 파워 MOS-FET(33)와 파워 MOS-FET(34)의 접속부에는 전압 출력 단자(LX)가 접속되어 있고, 이 전압 출력 단자(LX)가 파워 IC(32)의 출력부가 된다.
- [0140] 다음에, 파워 IC(32)의 패키지 구성에 대해서 설명한다.
- [0141] 파워 IC(32)는 도 19에 나타나는 바와 같이 예를 들어, 논 리드 표면 실장 패키지의 하나인 QFN (Quad Flat Non-leaded package)로 구성 되어 있다.
- [0142] 파워 IC(32)는 리드 프레임(36~38)의 중앙부에 각각 설치된 다이 패드(36a, 37a, 38a)에 반도체 칩(39~41)이 각각 탑재되어 있다.
- [0143] 반도체 칩(39)은 드라이버 IC(35, 도 18)이고, 도 19의 좌상방(左上方)으로 설치되어 있다. 반도체 칩(40)은 하이 사이드 스위치로서 이용되는 파워 MOS-FET(33, 도 18)이고, 그 반도체 칩(39)의 우측으로 설치되어 있다.
- [0144] 반도체 칩(41)은 로 사이드 스위치로서 이용되는 파워 MOS-FET(34, 도 18)이고, 그 반도체 칩(38, 39)의 하방에 설치되어 있다.
- [0145] 반도체 칩(39)의 주요면에는 아웃터 리드가 되는 전원 전압 단자(VDD), 부트 단자(BOOT), 전압 확인용 단자 (GH, GL) 및 제어 신호 입력 단자(IN)가 금 등의 본딩 와이어(W)를 개입시켜 접속되는 전극(39a)이 설치되어 있다. 반도체 칩(39)은 예를 들어, 은 페이스트등의 다이본딩재료를 개입시켜 다이 패드(36a)에 압착 되어 있다.
- [0146] 반도체 칩(40)의 주요면에는 소스 단자 및 게이트 단자가 되는 전극부(40a, 40b)가 각각 형성되어 있고, 그 반도체 칩(40)의 이면에는 드레인 단자가 되는 전극부가 형성되어 있다.
- [0147] 게이트 단자가 되는 전극부(40b)는 반도체 칩(40) 주요면의 좌측의 일부에 형성되어 있고, 그 외의 주요면은 소스 단자의 전극부(40a)로 이루어진다. 이들 전극부(40a, 40b)는 예를들면, 알루미늄(Al) 등의 금속이 증착되어 형성되어 있다. 반도체 칩(40)의 이면의 전극부는 금(Au) 등의 금속이 증착되어 형성되어 있고, 그 반도체 칩(40)의 이면이 다이패드(37a)에 압착되어 있다.
- [0148] 또, 반도체 칩(41)의 주요면의 좌측의 일부에는 소스 단자가 되는 전극부 (41a)가 형성되어 있고, 그 반도체 칩(41)의 그 외의 주요면에는 게이트 단자가 되는 전극부(41b)가 형성 되어 있다. 이 반도체 칩(41)의 이면에는 드레인 단자가 되는 전극부가 형성되어 있다.
- [0149] 반도체 칩(40)을 다이 패드(38a) 쪽으로 배치하는 것으로, 제1 전계효과 트랜지스터로서의 파워 MOS-FET(33)의 소스(40a)와 제2 전계효과 트랜지스터로서의 파워 MOS-FET(34)의 드레인의 사이에 생기는 기생의 임피던스 (impedance)를 저감 할 수가 있다. 또한, 반도체 칩(41)이 출력 단자(LX) 보다도 접지 단자(GND)에 가까워 지도

록 다이 패드(38a)의 각부쪽으로 배치 되어 있다.

- [0150] 반도체 칩(41)을 접지 단자(GND)의 각부쪽으로 배치하는 것으로, 제2 전계효과 트랜지스터(34)의 소스와 접지 단자(GND)의 사이에 결합되는 와이어(W)의 배선길이를 짧게 할 수 있다. 이것에 의해, 와이어(W)의 배선저항을 저감 할 수 있어서 한편, 기준전위(GND)를 한층 더 안정화 할 수가 있다.
- [0151] 게다가, 반도체 칩(39)과 반도체 칩(40)의 거리가 반도체 칩(39)과 반도체 칩(41)과의 거리보다 짧아지도록 반도체 칩(39)은 다이 패드(36a)상에 배치되어 있다.
- [0152] 반도체 칩(39)은 반도체 칩(39)과 반도체 칩(40)의 거리가 반도체 칩(39)과 반도체 칩(41)의 거리보다도 짧아지도록 배치하는 것으로, 제1 전계효과 트랜지스터(33)의 게이트와 반도체 칩(39)의 사이에 생기는 기생의 인덕턴스를 저감 할 수 있어 스위칭 손실을 개선할 수가 있다.
- [0153] 이들 반도체 칩(39, 40, 41)을, 각각 다이패드(36a, 37a, 38a)에 있어서의 소정의 위치에 배치하는 것으로, 단순히, 다이 패드(36a, 37a, 38a)에 반도체 칩(39, 40, 41)을 배치 하는 것보다도 전압 변환효율을 향상할 수가 있다.
- [0154] 도 19에 있어서, 굵은 선으로 나타난 와이어(W)와 가는 선으로 나타난 와이어(W)가 존재한다. 굵은 선으로 나타난 와이어(W), 즉, 제1 전계효과 트랜지스터(33)의 소스(40a)와 다이패드(38a)의 사이를 접속하는 와이어(W) 및 제2 전계효과 트랜지스터(34)의 소스(41a)와 접지 단자(GND)의 사이를 접속하는 와이어(W)의 굵기는 예를 들면, 50 μ m이다. 또, 도 19에 있어서, 가는 선으로 나타난 와이어(W)의 굵기는 예를 들면, 30 μ m이다.
- [0155] 전압 변환 효율의 향상을 주요목적으로 하고, 반도체 칩(40)과 출력단자(LX)의 사이에 생기는 기생의 인덕턴스의 저감과, 반도체 칩과 접지 단자(GND)의 사이에 생기는 기생의 임피던스(impedance)의 감소를 도모한다. 이것에 의해, 반도체 칩(40)과 다이 패드(38a)가 굵은 복수의 와이어(W)에 의해 병렬적으로 전기적으로 접속된다. 또, 반도체 칩(41)과 접지 단자(GND)가, 굵은 복수의 와이어(W)에 의해 병렬적으로 전기적으로 접속되어 있다. 이와 같이 굵은 와이어(W)를 복수 배열하여 접속하는 것으로, 각각의 배선 경로에 생기는 기생의 임피던스(impedance)를 저감 할 수 있고, 게다가 기준전위GND의 강화도 가능하다.
- [0156] 이들 전극부(41a, 41b) 및 반도체 칩(40)의 이면의 전극부는 예를 들어, 금(Au) 등의 금속이 증착되어 형성되어 있고, 그 반도체 칩(41)의 이면이 다이 패드(38a)에 압착되어 있다.
- [0157] 그리고, 반도체 칩(39~41)에 설치된 전극부(39a, 40a, 40b, 41a, 41b)와 그 반도체 칩(39 ~ 41)의 주변부에 위치한 리드 프레임(36 ~ 38)의 이너 리드가 금 등의 본딩와이어(W)에 의해 접속되어 있다.
- [0158] 그리고, 이들 이너 리드가 연재 하여 외부 접속선으로 이루어지는 아웃터 리드가 구성되어 있다. 또, 반도체 칩(39 ~ 41), 리드 프레임(36 ~ 38)의 이너 리드, 다이 패드(36a, 37a, 38a) 및 본딩와이어(W)는 봉입 수지에 의해 봉입되어, 장방형 형상의 패키지가 형성되어 있다.
- [0159] 이 파워 IC(32)의 패키지에 있어서도, 반도체 칩(39 ~ 41)을 탑재하는 다이패드(36a, 37a, 38a)의 이면이 봉입 수지로부터 노출한 구성으로 되어 있고, 방열성을 큰폭으로 향상시키고 있다.
- [0160] 상기에 의해, 본 실시의 형태 4에 있어서는 파워 MOS-FET(33, 34) 및 드라이버 IC(35)를 1개의 패키지에 설치하는 것에 의해, 그 드라이버 IC(35)와 그 파워 MOS-FET(33, 34)의 사이에 발생하는 인덕턴스 및 저항을 큰폭으로 저감 할 수가 있다.
- [0161] 또, 파워 MOS-FET(33)에 있어서는 소스 단자(ST)와 드라이버 IC(35)를 접속하는 경로(게이트 구동의 경로) 및 파워 MOS-FET(33)의 소스 단자(ST)와 파워 MOS-FET(34)의 드레인 단자(DT)를 접속하는 경로(주전류 경로)를 분리하고 있으므로, 기생 인덕턴스의 영향을 저감 할 수가 있어 변환 효율을 큰폭으로 향상할 수가 있다.
- [0162] 게다가 파워 MOS-FET(34)에 있어서도, 게이트 구동의 회로와 주전류 경로가 분리되어 있고, 각각의 기생 인덕턴스에 역방향의 전류가 흐르는 것으로, 게이트 단자(GT)의 인덕턴스를 작게 할 수 있기 때문에 셀프 턴온을 방지할 수 있는 큰 효과도 얻을 수 있다.
- [0163] 게다가 파워 MOS-FET(33)의 드레인 단자(DT)로부터 파워 MOS-FET(34)의 소스 단자(ST)에 역방향의 전류 경로가 생기므로, 주회로의 인덕턴스를 저감 할 수가 있다.
- [0164] 또, 본 실시의 형태 4에서는 파워 IC(32)가 본딩와이어(W)를 이용해 구성되었을 경우에 대해서 기재하였지만, 예를 들어, 도 20에 나타나는 바와 같이 본딩 와이어를 이용하지 않고 인덕턴스 및 저항을 더욱 저감 시키는 구

성으로 하여도 좋다.

- [0165] 이 경우, 파워 IC(32)는 반도체 칩(39 ~ 41)에 설치된 전극부(39a, 40a, 40b, 41a, 41b)와 리드 프레임(36 ~ 38)의 이너 리드가, 알루미늄, 혹은 동 등으로 이루어지는 금속판(42)을 개입시켜 각각 접속되어 있다.
- [0166] 이들 금속판(42)과 전극부(39a, 40a, 40b, 41a, 41b)의 접속, 및 그 금속판 (42)과 리드 프레임(36~38)의 이너 리드의 접속은 납땜 볼을 개입시켜 각각 행해지고 있다.
- [0167] 여기서, 반도체 칩(39)의 전극부(39a) 에 있어서, 전압 변환 효율에 거의 기여하지 않는 외부 단자(전원 전압 단자(VDD), 부트 단자(BOOT), 전압 확인용 단자 (GH, GL) 및 제어 신호 입력 단자(IN))의 접속은 본딩 와이어 (W)를 개입시켜 접속되어 있는 것으로 한다.
- [0168] 상기에 의해 금속판(42)을 이용해 접속하는 것에 의해, 각 접속 배선의 인덕턴스 및 저항을 보다 저감 시킬 수가 있어 전압 변환을 고효율화 할 수가 있다.
- [0169] 또, 본 실시의 형태 4에 있어서는 파워 IC(32)가 하이 사이드 스위치용의 파워 MOS-FET(33)로 사이드 스위치용의 파워 MOS-FET(34) 및 그 파워 MOS-FET(33, 34)를 구동하는 드라이버 IC(35)로 구성된 경우에 대해서 기재하였지만, 파워 IC는 예를 들어, 드라이버와 그 드라이버를 구동 제어하는 제어 신호를 발생하는 제어부를 1개의 반도체 칩에 형성한 드라이버 컨트롤러를 갖추도록 하여도 좋다.
- [0170] 이상, 본 발명자에 의해 이루어진 발명을 발명의 실시예에 근거해 구체적으로 설명하였지만, 본 발명은 상기 실시형태에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러 가지 변경 가능한 것은 말할 필요도 없다.

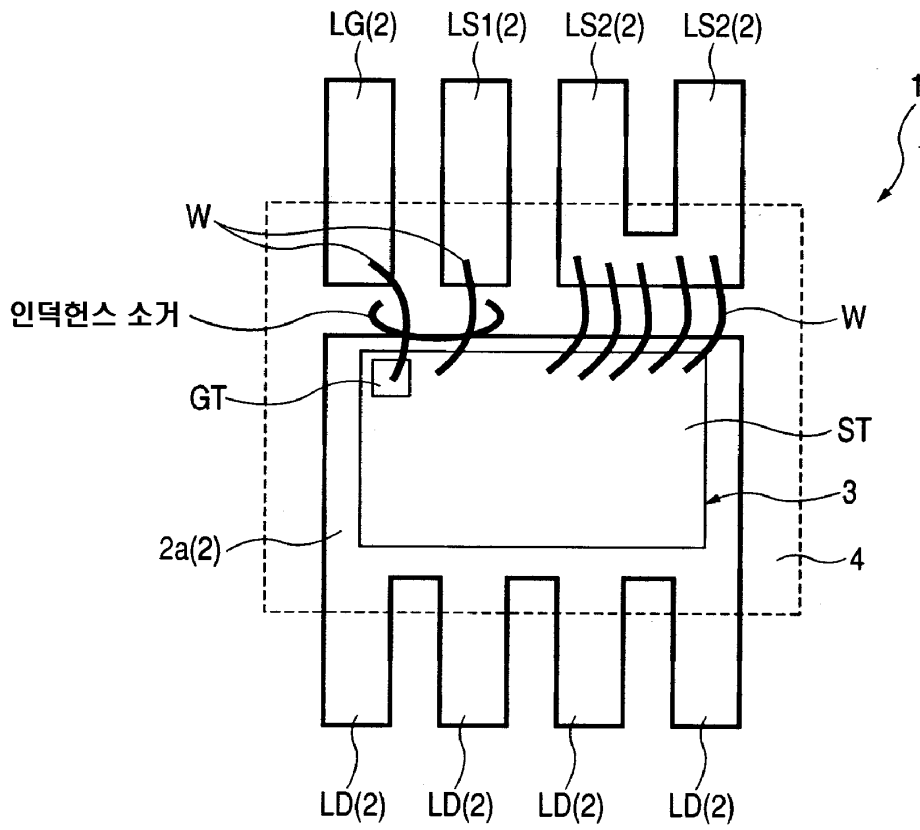
부호의 설명

- [0171] 1 : 파워 MOS-FET (제1의 파워트랜지스터, 반도체 장치)
- 2 : 리드 프레임 2a : 다이 패드
- 3 : 반도체 칩 4 : 패키지
- 5 : 파워 MOS-FET (제2의 파워트랜지스터) 6 : 콘트롤 IC
- 7 : 코일 8, 9, 10 : 금속판
- 11 : 납땜 볼 12 : 금속판
- 13 : 파워 IC(파워 모듈) 14, 15 : 리드 프레임
- 14a, 15a : 다이 패드 16, 17 : 반도체 칩
- 18 : 패키지 19 : 파워 IC (파워 모듈)
- 19a~19d : 파워 IC (파워 모듈) 20, 21 : 리드 프레임
- 20a, 21a : 다이 패드 22, 23 : 반도체 칩
- 24 : 패키지 25, 25a : 콘트롤 IC
- 26~28 : 콘덴서 28a : 코일
- 29 : 전원 트랜스 30 : 금속판
- 31 : 납땜 볼 32 : 파워 IC (파워 모듈)
- 33 : 파워 MOS-FET 34 : 파워 MOS-FET
- 35 : 드라이버 IC 35a : 드라이버
- 35b : 드라이버 36 ~ 38 : 리드 프레임
- 36a, 37a, 38a : 다이 패드 39 ~ 41 : 반도체 칩
- 39a, 40a, 40b, 41a, 41b : 전극부 50 : DC/DC컨버터

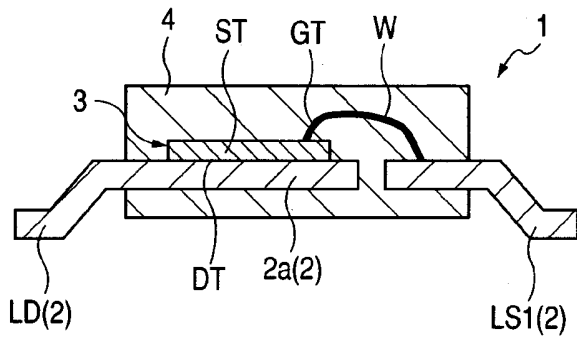
51 : 하이 사이드 스위치	52 : 로 사이드 스위치
ST : 소스 단자	GT : 게이트 단자
DT : 드레인 단자	HK : 반도체 기판
Z : 절연막	
LS1 : 아웃터 리드(제1의 외부 접속 단자)	
LS2 : 아웃터 리드(제2의 외부 접속 단자)	
LS3 : 아웃터 리드(제1의 외부 접속 단자)	
LS4 : 아웃터 리드(제2의 외부 접속 단자)	
LS5, LS6 : 아웃터 리드	LD1~LD3 : 아웃터 리드
LG : 아웃터 리드	G : 아웃터 리드
V : 아웃터 리드	D : 아웃터 리드
SIN : 아웃터 리드	W : 본딩 와이어
H1 : 패턴 배선	H2 : 패턴 배선
H3 : 패턴 배선(제2의 배선)	H4 : 패턴 배선(제1의 배선)
H5 : 패턴 배선	H6 : 패턴 배선
H7 : 패턴 배선	H8 : 패턴 배선
H9 : 패턴 배선(제2의 배선)	H10 : 패턴 배선(제1의 배선)
H10 : 패턴 배선(제1의 배선)	H11 : 패턴 배선
H12 : 패턴 배선	GND1 : 접지 단자
VDD : 전원 전압 단자	IN : 제어 신호 입력 단자
OUT : 출력 단자	GND : 소스측 접지 단자
BOOT : 부트 단자	GH, GL : 전압 확인용 단자
Vint : 입력 전압 단자	LX : 전압 출력 단자

도면

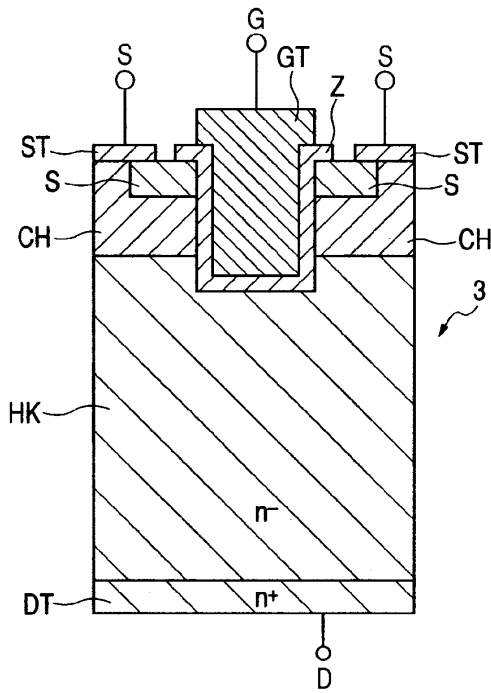
도면1



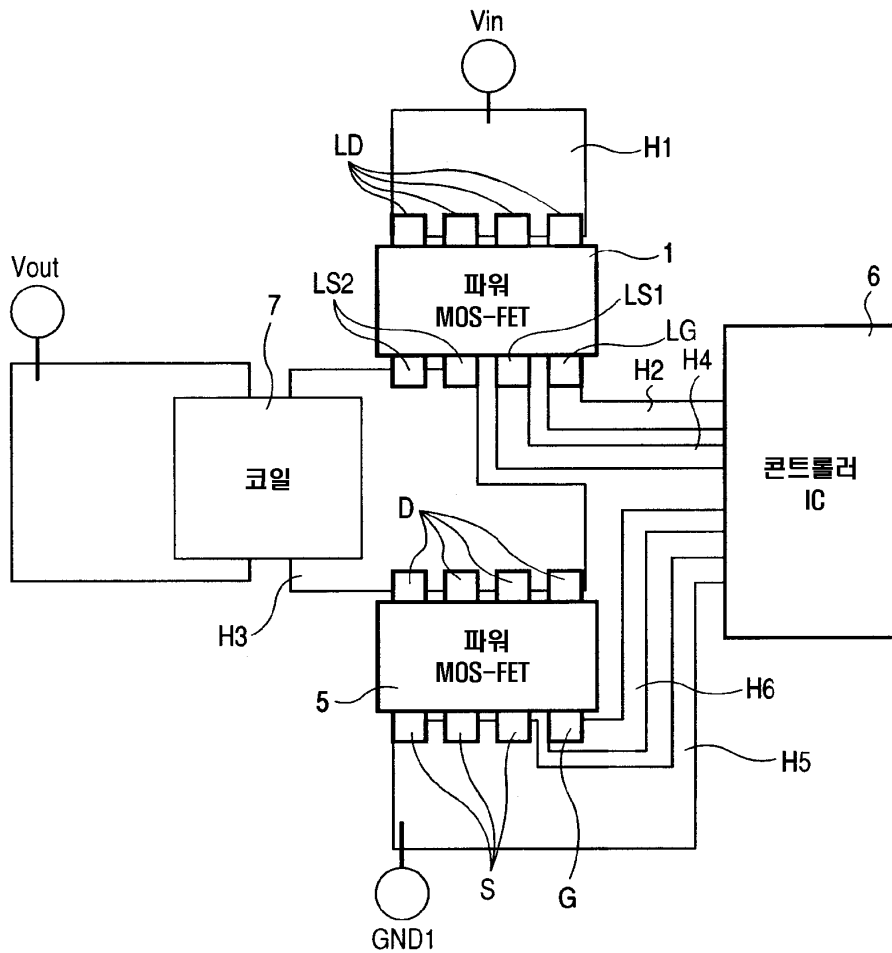
도면2



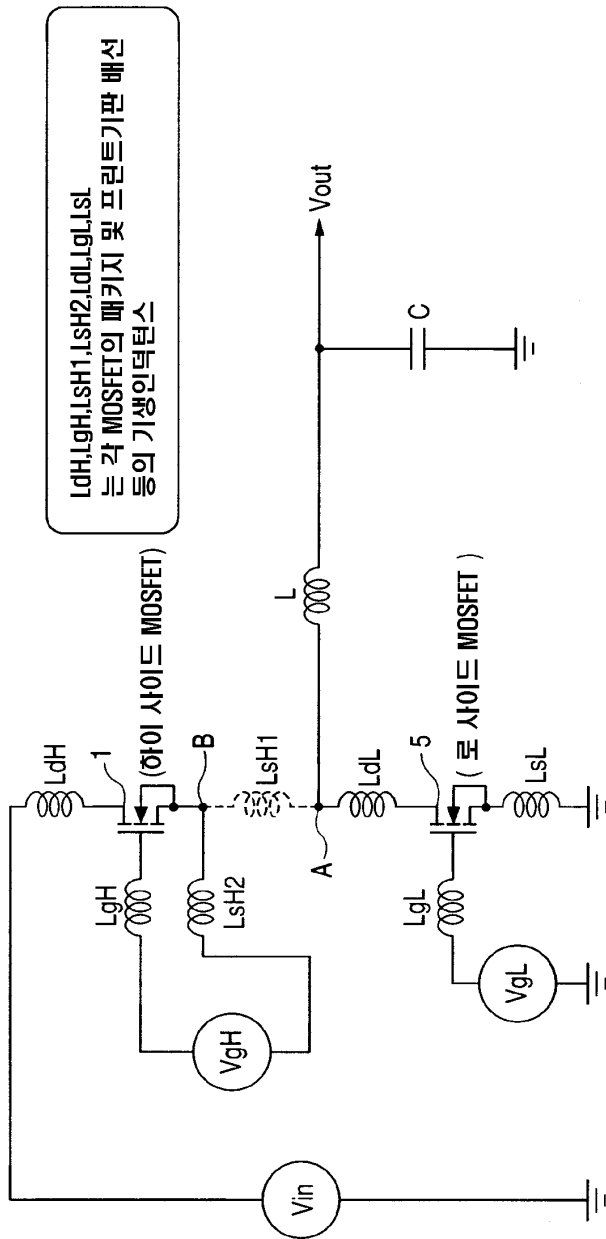
도면3



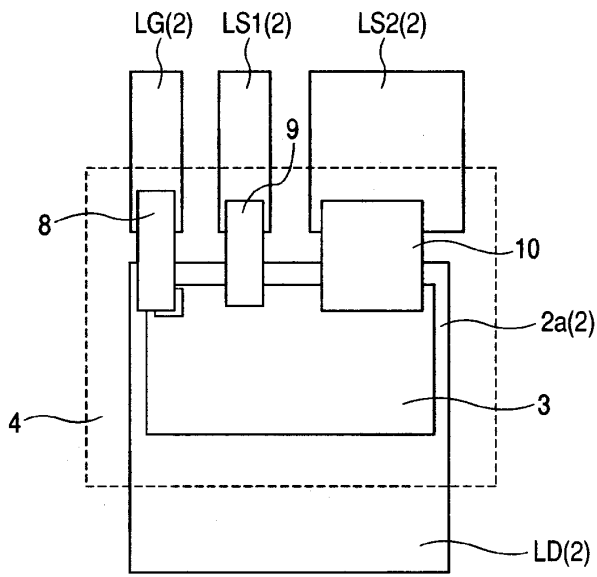
도면4



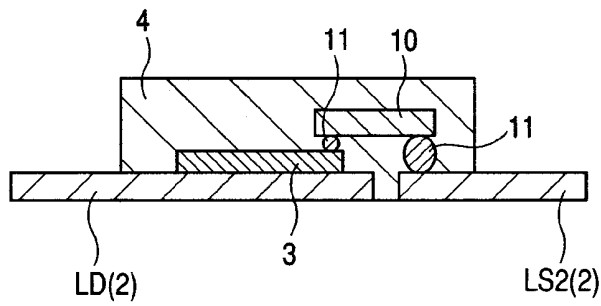
도면5



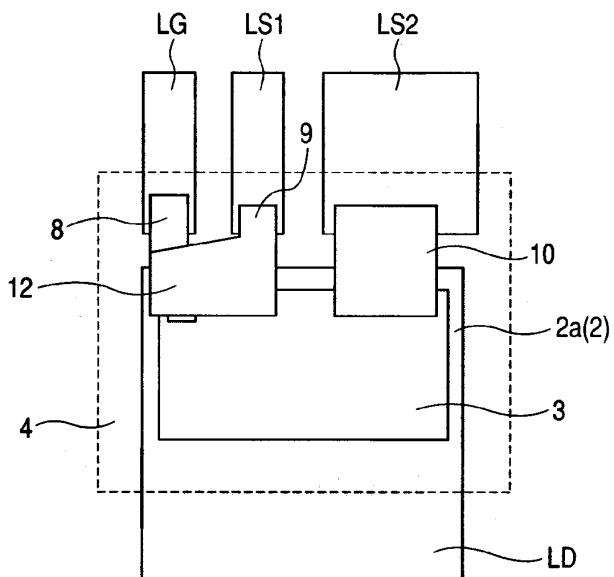
도면6



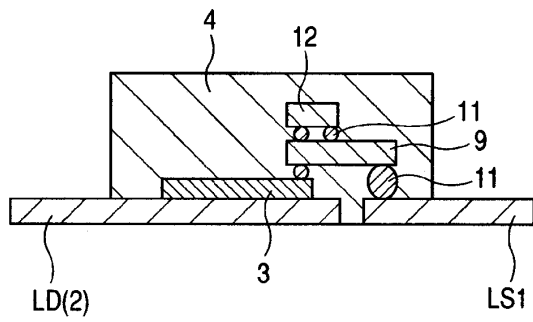
도면7



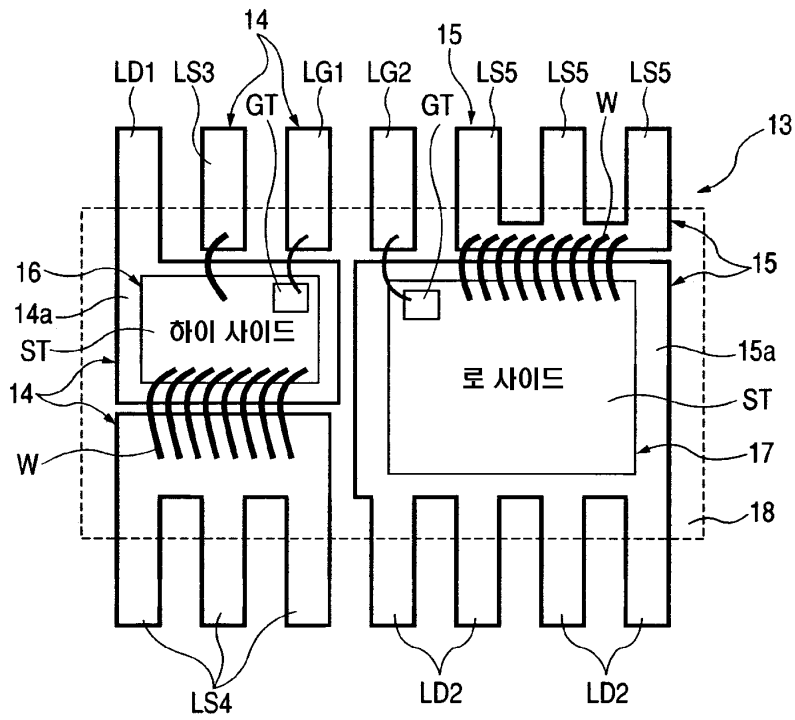
도면8



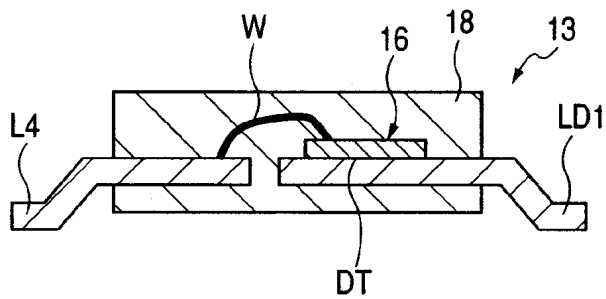
도면9



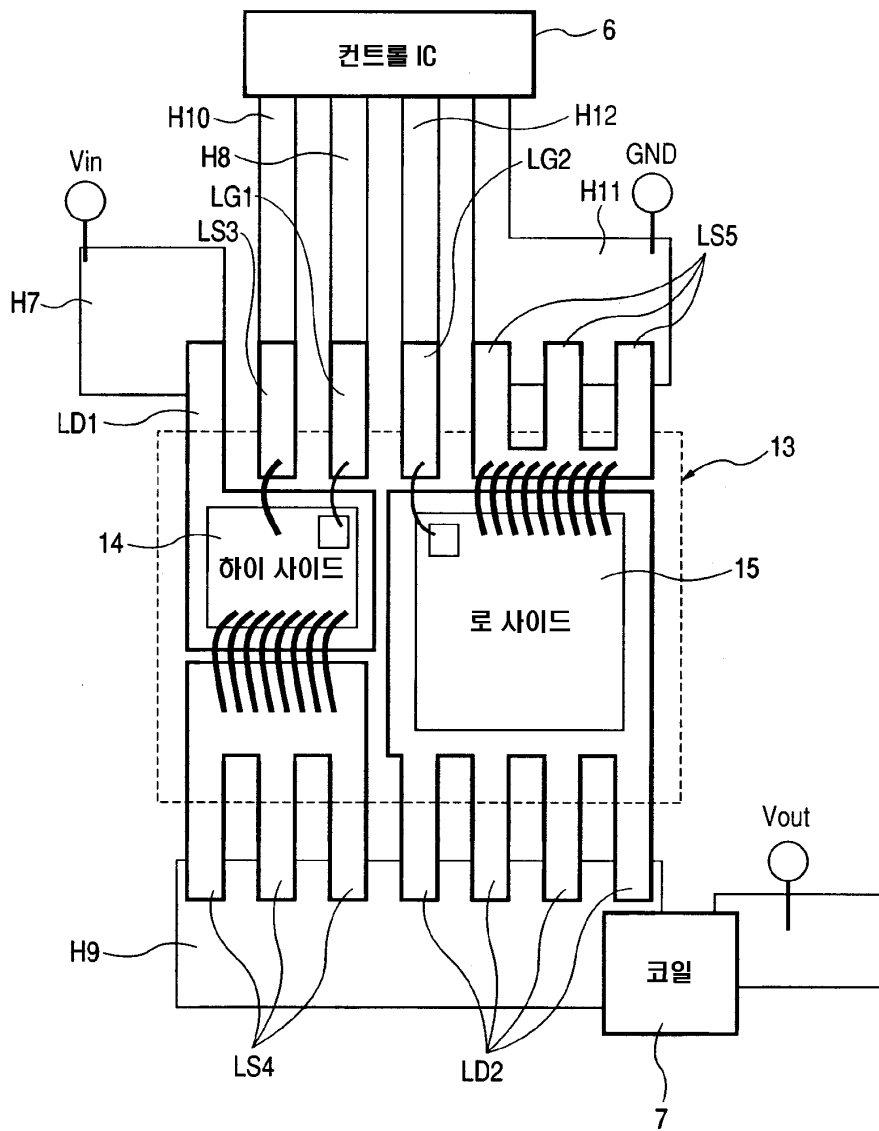
도면10



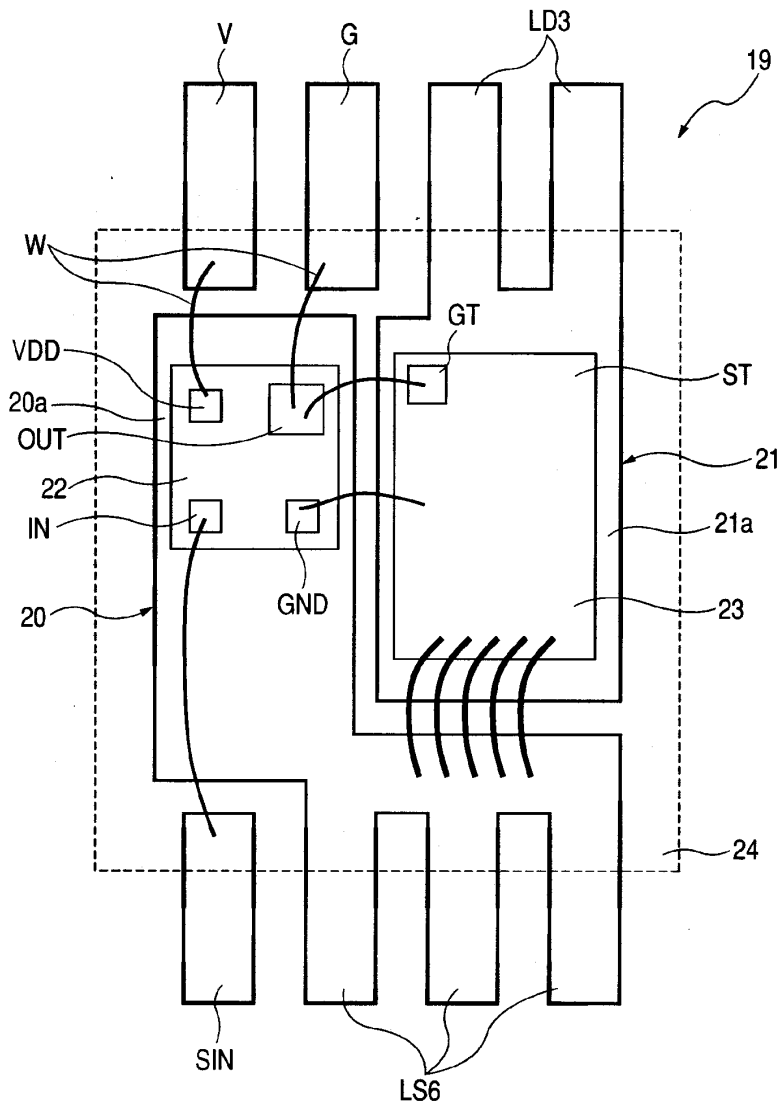
도면11



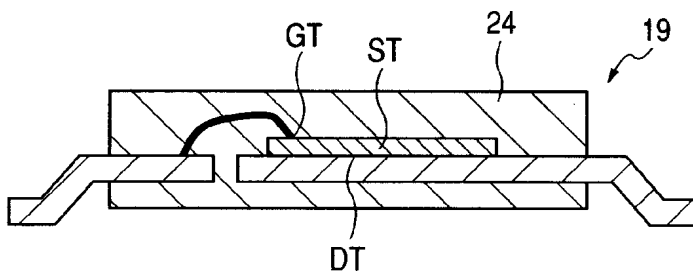
도면12



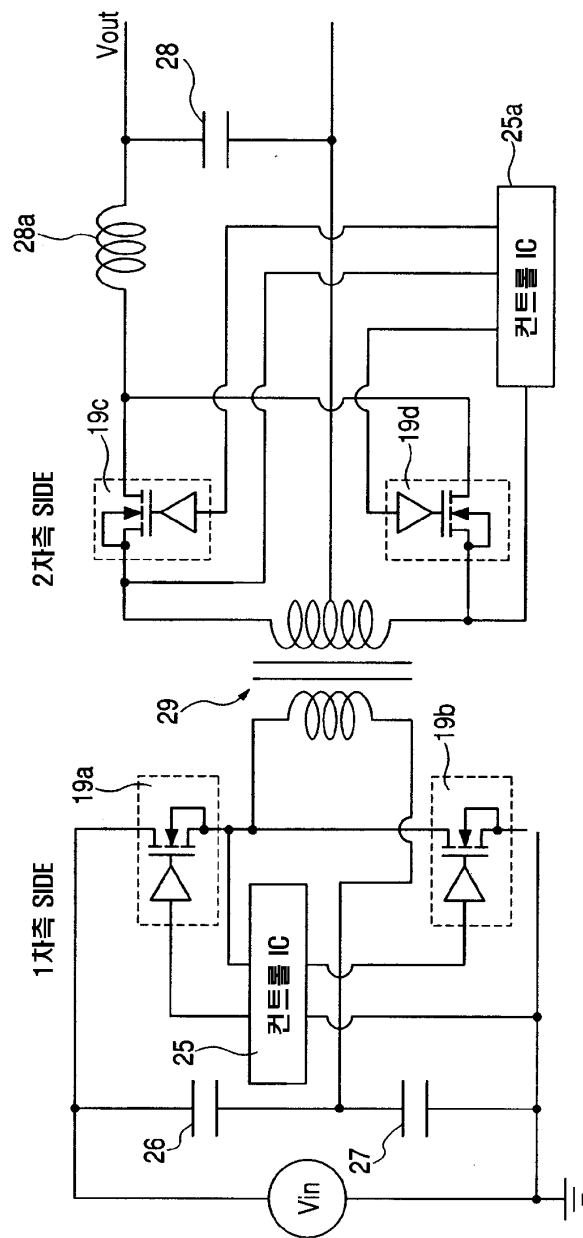
도면13



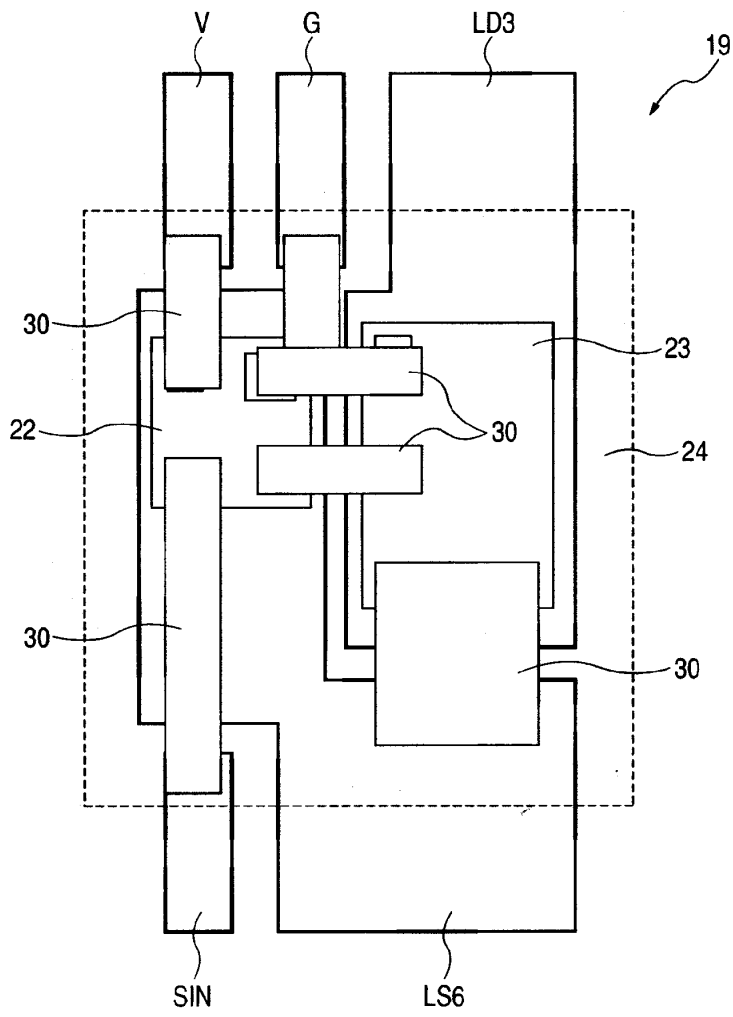
도면14



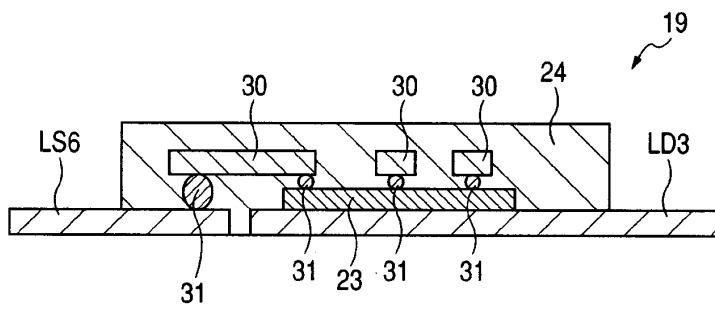
도면15



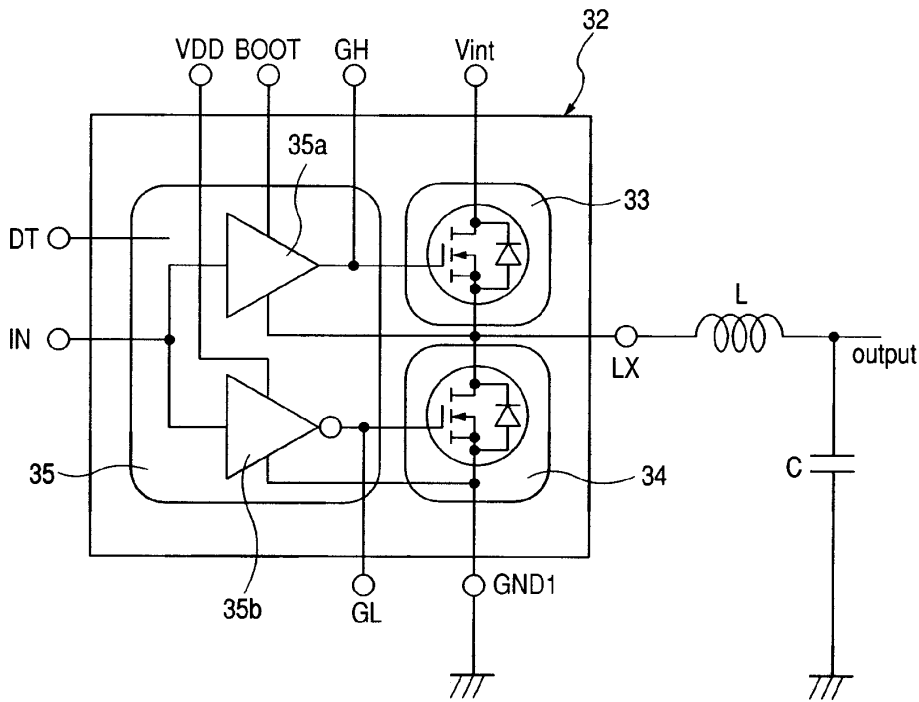
도면16



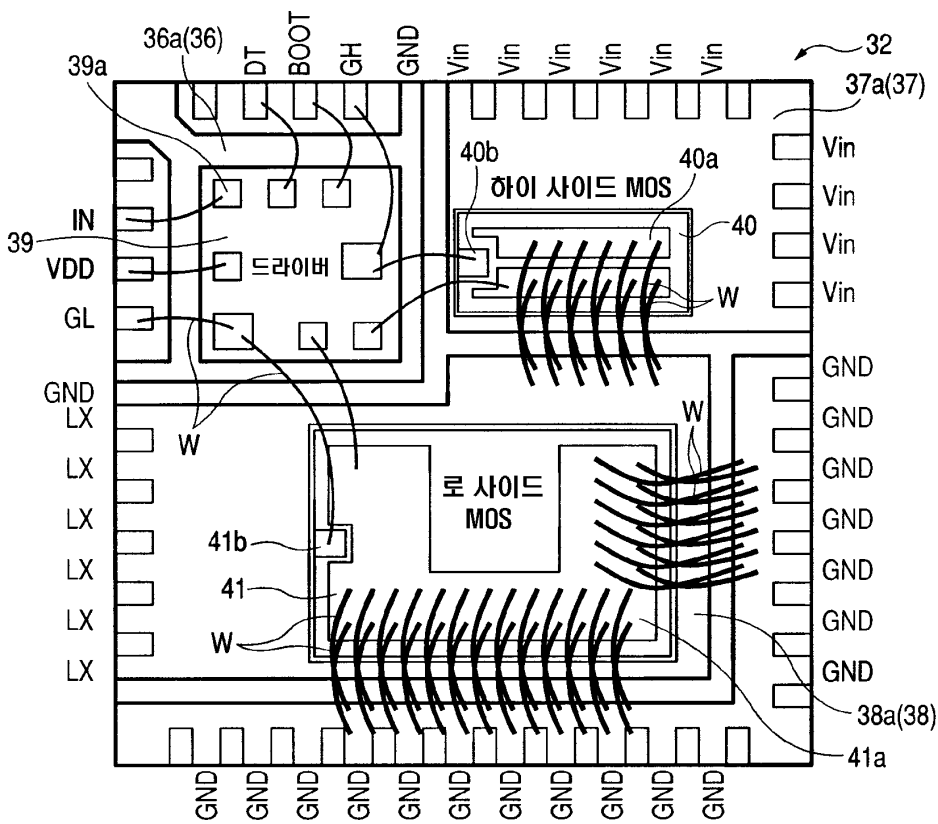
도면17



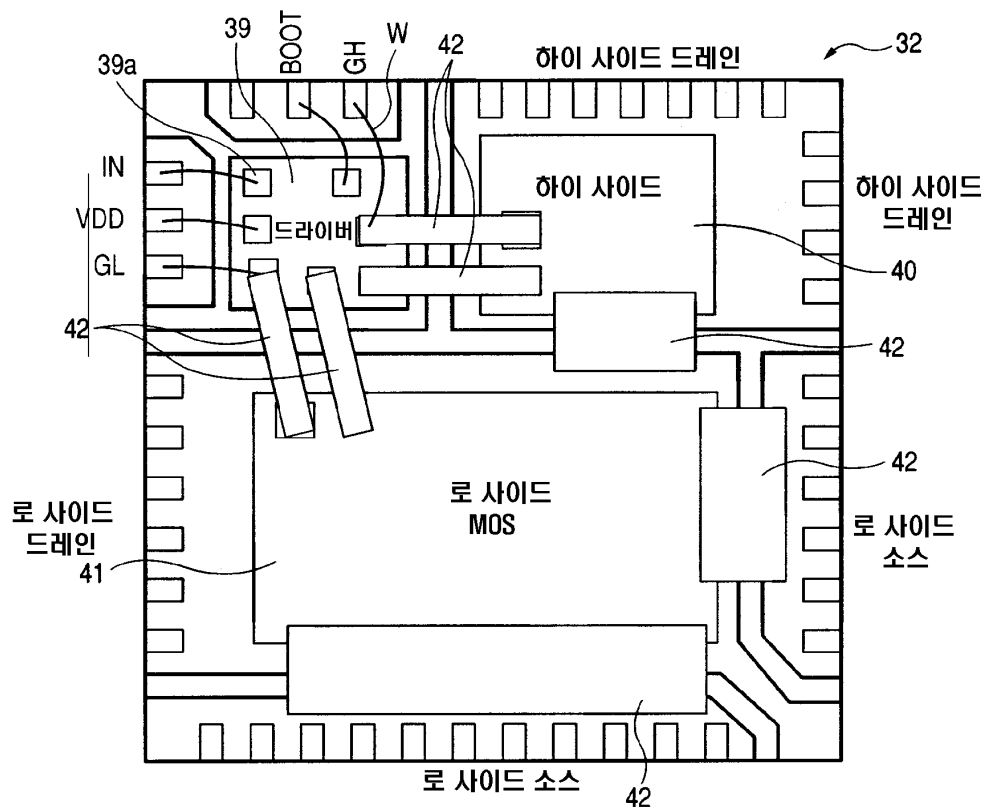
도면18



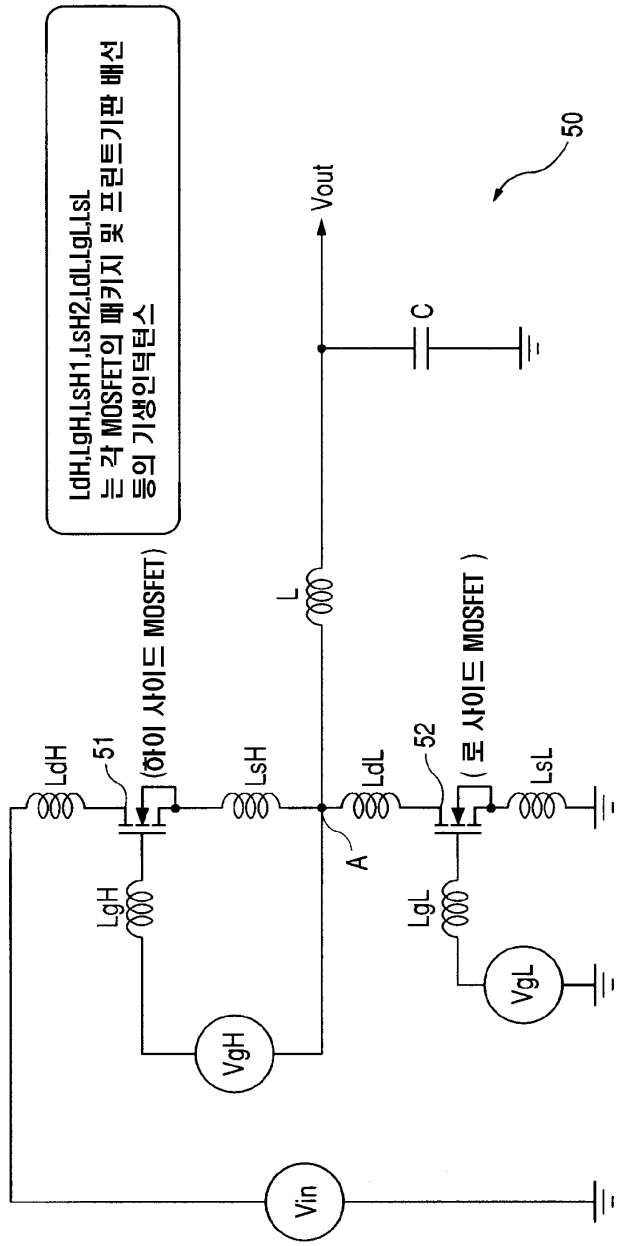
도면19



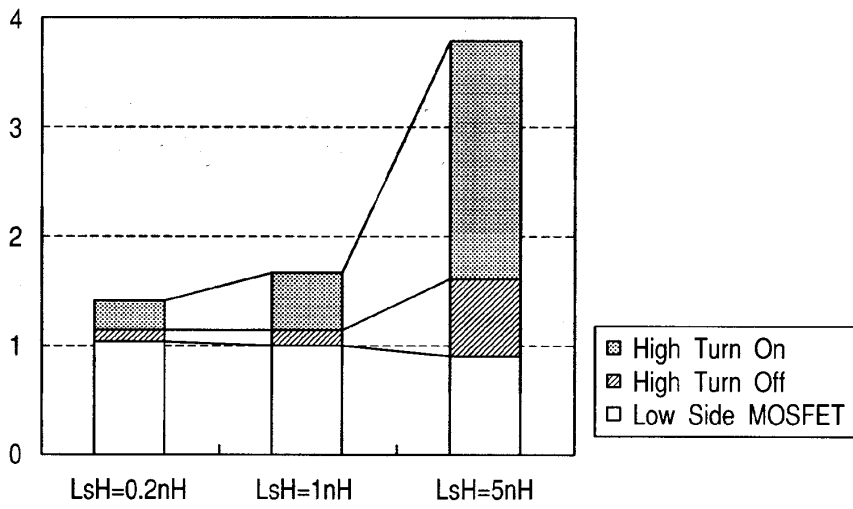
도면20



도면21



도면22



도면23

