(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6212576号
(P6212576)

(45)発行日　平成29年10月11日(2017.10.11)　(24)登録日　平成29年9月22日(2017.9.22)

(51)Int.Cl.		F I		
H01L 29/786	(2006.01)	H01L	29/78	619A
H01L 21/336	(2006.01)	H01L	29/78	618B
G09F 9/30	(2006.01)	G09F	9/30	338

請求項の数 3　(全 21 頁)

(21)出願番号　特願2016-5738(P2016-5738)
(22)出願日　平成28年1月15日(2016.1.15)
(62)分割の表示　特願2011-217264(P2011-217264)の分割
原出願日　平成23年9月30日(2011.9.30)
(65)公開番号　特開2016-105496(P2016-105496A)
(43)公開日　平成28年6月9日(2016.6.9)
審査請求日　平成28年2月2日(2016.2.2)
(31)優先権主張番号　特願2010-227623(P2010-227623)
(32)優先日　平成22年10月7日(2010.10.7)
(33)優先権主張国　日本国(JP)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　溝口　隆文
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　白石　康次郎
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　津吹　将志
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　竹口　泰裕

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】
【請求項１】
ゲート電極と、
ゲート絶縁膜を介して前記ゲート電極と重なる領域を有する酸化物半導体膜と、
前記酸化物半導体膜の側面に接する領域を有するサイドウォール絶縁層と、
前記酸化物半導体層の上面に接する領域を有するソース電極と、
前記酸化物半導体層の上面に接する領域を有するドレイン電極と、を有し、
前記サイドウォール絶縁層は、前記酸化物半導体膜の基板上面からの高さと比べて、前記基板上面からの高さが大きい領域を有し、
前記サイドウォール絶縁層は、前記ソース電極及び前記ドレイン電極と接しないことを特徴とする半導体装置。
【請求項２】
請求項１において、
前記サイドウォール絶縁層は、前記酸化物半導体膜の側面に接する領域を有する第１の層と、前記第１の層を覆う領域を有する第２の層と、を有することを特徴とする半導体装置。
【請求項３】
ゲート電極と、
ゲート絶縁膜を介して前記ゲート電極と重なる領域を有する酸化物半導体膜と、
前記酸化物半導体膜の側面に接する領域を有する第１のサイドウォール絶縁層と、

前記ゲート絶縁膜を介して前記ゲート電極と重なる領域を有する第２のサイドウォール絶縁層と、を有し、
前記第１のサイドウォール絶縁層は、前記酸化物半導体膜の基板上面からの高さと比べて、前記基板上面からの高さが大きい領域を有し、
前記第１のサイドウォール絶縁層は、酸化シリコンを有し、
前記第２のサイドウォール絶縁層は、窒化シリコンを有することを特徴とする半導体装置。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、薄膜素子とその作製方法に関する。また、半導体装置とその作製方法に関する。なお、本明細書において、半導体装置とは、半導体素子自体または半導体素子を含むものをいい、このような半導体素子として、例えばトランジスタ（薄膜トランジスタなど）が挙げられる。また、液晶表示装置などの表示装置も半導体装置に含まれる。
【背景技術】
【０００２】
近年、半導体装置は人間の生活に欠かせないものとなっている。このような半導体装置に含まれる薄膜トランジスタなどの半導体素子は、基板上に半導体膜などの薄膜を形成し、該薄膜をフォトリソグラフィ法などにより所望の形状に加工することで作製される。このような作製方法は、例えば、液晶表示装置（例えば、液晶テレビ）に適用されている。
【０００３】
薄膜トランジスタに設けられる半導体層の材料としては、シリコンが広く用いられている。しかし、近年では、半導体層の材料として酸化物半導体を用いた薄膜トランジスタについても、研究が盛んに進められている。
【０００４】
酸化物半導体を用いた薄膜トランジスタでは、半導体層に水分が混入すると、キャリア濃度が大きく変化することが知られている（例えば、特許文献１及び特許文献２）。また、酸化物半導体以外を用いた薄膜トランジスタにおいても、半導体層に水分が混入することで特性が変化することが知られている（例えば、特許文献３）。
【先行技術文献】
【特許文献】
【０００５】
【特許文献１】特開２０１０－１８２８１８号公報
【特許文献２】特開２０１０－１８２８１９号公報
【特許文献３】特開２００５－５５６６０号公報
【発明の概要】
【発明が解決しようとする課題】
【０００６】
半導体層に水分がひとたび混入すると、これを除去することは容易ではない。混入した水分を除去する手段の一例として、水分が混入した半導体層に対して行う加熱処理が挙げられる。しかし、例えば、ガラス基板上に半導体層を設けた場合、加熱可能な温度上限に制約があり、加熱処理には長い時間を要するので、スループットを低下させる一因となる。
【０００７】
また、半導体層を加工するために必要なレジストマスクの除去は、例えば、酸素プラズマを用いたドライ工程（水分を用いない工程。例えばアッシング工程）によって、水を含む剥離液の使用を避けて行うことが可能であり、これにより半導体層が直接水に触れることを防ぐことができる。しかし、ドライ工程ではレジスト残りが生じやすい。
【０００８】
本発明の一態様は、レジストマスクの除去に水を含む薬液を用いても、半導体層の全面

が水分などに曝されることなく実現することが可能な半導体装置の作製方法を提供することを課題とする。特に、半導体層がレジストマスクを剥離する際、水を含む剥離液に曝されない作製方法を提供することを課題とする。

【０００９】

なお、本発明は、半導体装置とその作製方法に限定されず、半導体装置以外の薄膜素子に適用してもよい。薄膜素子は、精密機器の部品などとして搭載されるものであり、精密機器の部品に水分などが混入することが当該部品の誤動作の一因となることはいうまでもない。

【課題を解決するための手段】

【００１０】

本発明の一態様は、第１の膜、第２の膜及び第３の膜をこの順に積層して形成し、前記第３の膜上にレジストマスクを形成し、前記レジストマスクを用いて前記第３の膜をエッチングすることでマスク層を形成し、前記レジストマスクを薬液により除去し、前記マスク層を用いて前記第２の膜と前記第１の膜をドライエッチングすることで、第２の層と第１の層を形成し、少なくとも前記第２の層と前記第１の層を覆って第４の膜を形成し、前記第４の膜をエッチバック処理することで、少なくとも前記第１の層の側面のすべてを覆ってサイドウォール層を形成することを特徴とする薄膜素子の作製方法である。このように薄膜素子を作製すると、第１の層が水分などに曝されることなく薄膜素子を作製することができる。

【００１１】

なお、本明細書において、膜とは、後に加工されることが前提のものであって、被形成面上に概略一様に形成されたものをいう。層とは、前記膜を加工したもの、または、前記膜であるが、後に加工しなくてもよいものをいう。

【００１２】

なお、本明細書において、エッチバック処理とは、任意の面上に形成された膜に対して異方性の高いエッチング（例えば、ドライエッチング）を行うことで、前記面の一部を露出させるまで行うエッチング工程をいう。

【００１３】

このような薄膜素子として、半導体素子またはトランジスタなどを例示することができる。トランジスタとしては、画素トランジスタを例示することができる。

【発明の効果】

【００１４】

本発明の一態様によれば、特定の層の全面が水分などに曝されることなく、薄膜素子を作製することができる。従って、半導体層の全面が水分などに曝されることなく、トランジスタなどの半導体素子を作製することができる。

【００１５】

本発明の一態様によれば、レジスト残りを生じさせることなく、特定の層の全面を水分に曝さずに薄膜素子を作製することができる。従って、半導体層の全面を水分に曝さずに半導体素子を作製することができる。

【図面の簡単な説明】

【００１６】

【図１】本発明の一態様である薄膜素子の作製方法を説明する断面図。
【図２】本発明の一態様である薄膜素子の作製方法を説明する断面図。
【図３】本発明の一態様である薄膜素子の作製方法を説明する断面図。
【図４】本発明の一態様である薄膜素子の作製方法を説明する断面図。
【図５】本発明の一態様である半導体装置の作製方法を説明する断面図。
【図６】本発明の一態様である半導体装置の作製方法を説明する断面図。
【図７】本発明の一態様である半導体装置の作製方法を説明する断面図。
【図８】本発明の一態様である半導体装置の作製方法を説明する断面図。
【図９】本発明の一態様である半導体装置の作製方法を説明する断面図及び上面図。

【図１０】本発明の一態様である半導体装置を説明する図。
【図１１】本発明の一態様である半導体装置を説明する図。
【図１２】本発明の一態様である半導体装置を説明する図。
【発明を実施するための形態】
【００１７】
以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。
【００１８】
（実施の形態１）
本実施の形態では、本発明の一態様である薄膜素子の作製方法について説明する。
【００１９】
本実施の形態で説明する薄膜素子の作製方法は、第１の膜１０２、第２の膜１０４及び第３の膜１０６をこの順に基板１００上に積層して形成し、第３の膜１０６上にレジストマスク１０８を形成し、レジストマスク１０８を用いて第３の膜１０６をエッチングすることでマスク層１１０を形成し、レジストマスク１０８を除去し、マスク層１１０を用いて第２の膜１０４と第１の膜１０２をドライエッチングすることで、第２の層１１２と第１の層１１４を形成し、第２の層１１２と第１の層１１４を覆って第４の膜１１６を形成し、第４の膜１１６をエッチバック処理することで、少なくとも第１の層１１４の側面のすべてを覆ってサイドウォール層１１８を形成することを特徴とする。本実施の形態の薄膜素子の作製方法について図１を参照して説明する。
【００２０】
まず、基板１００上に第１の膜１０２、第２の膜１０４及び第３の膜１０６をこの順に積層して形成し、第３の膜１０６上にレジストマスク１０８を形成する（図１（Ａ））。
【００２１】
基板１００としては、ガラス基板、石英基板、シリコン基板、ステンレス基板またはプラスチック基板などを用いることができ、基板の材料などは特に限定されない。
【００２２】
第１の膜１０２は、水分の混入が特性に影響を及ぼす薄膜である。第１の膜１０２は、ＣＶＤ法（プラズマＣＶＤ法または熱ＣＶＤ法などを含む。）またはスパッタリング法などにより形成することができるが、これらに限定されず、薄膜を形成することができるあらゆる手段を適用することができる。
【００２３】
第２の膜１０４は、第１の膜１０２に水分が触れることを防ぐことが可能な膜であればよい。従って、第２の膜１０４は、緻密な膜であることが好ましい。第２の膜１０４は、ＣＶＤ法（プラズマＣＶＤ法または熱ＣＶＤ法などを含む。）またはスパッタリング法などにより形成することができるが、これらに限定されず、薄膜を形成することができるあらゆる手段を適用することができる。
【００２４】
第３の膜１０６は、後のエッチング工程によりマスク層１１０を形成することができる膜であればよい。第３の膜１０６は、ＣＶＤ法（プラズマＣＶＤ法または熱ＣＶＤ法などを含む。）またはスパッタリング法などにより形成することができるが、これらに限定されず、薄膜を形成することができるあらゆる手段を適用することができる。
【００２５】
次に、レジストマスク１０８を用いて第３の膜１０６をエッチングすることでマスク層１１０を形成する（図１（Ｂ））。本実施の形態において、この工程を第１のエッチング工程と呼ぶ。
【００２６】
レジストマスク１０８は、レジスト材料を第３の膜１０６上に塗布するなどして形成し

た後に、フォトリソグラフィ法により加工して形成する。

【００２７】

第１のエッチング工程は、第３の膜１０６のエッチングレートが大きく、第２の膜１０４のエッチングレートが小さい条件により行えばよい。すなわち、第１のエッチング工程は、第２の膜１０４に対する第３の膜１０６のエッチング選択比が高い条件により行えばよい。

【００２８】

レジストマスク１０８を薬液により除去する（図１（Ｃ））。ここで、薬液としては、レジストマスク１０８を選択的に除去することが可能なものであればよく、例えばレジスト剥離液を用いることができる。その後、洗浄工程を行って、該薬液の成分を除去することが好ましい。

【００２９】

または、レジストマスク１０８を薬液以外の手段（例えば、酸素プラズマまたは水プラズマによるアッシング）により除去した後に洗浄工程を行ってもよい。このとき、レジストマスク１０８の除去は、前記手段により複数回の処理を行った後に洗浄工程を経てもよいし、または、前記手段により処理を行った後に洗浄工程を経て、更に前記手段により除去を行ってもよい。

【００３０】

次に、マスク層１１０を用いて第２の膜１０４と第１の膜１０２をドライエッチングすることで、第２の層１１２と第１の層１１４を形成する（図１（Ｄ））。本実施の形態において、この工程を第２のエッチング工程と呼ぶ。

【００３１】

第２のエッチング工程は、第３の膜１０６のエッチングレートが小さく、第１の膜１０２及び第２の膜１０４のエッチングレートが大きい条件により行えばよい。すなわち、第２のエッチング工程は、第３の膜１０６に対する第１の膜１０２及び第２の膜１０４のエッチング選択比が高い条件により行えばよい。

【００３２】

なお、第２のエッチング工程は、複数回のエッチング工程であってもよい。第２のエッチング工程が複数回のエッチング工程である場合には、第１の膜１０２のエッチングレートよりも第２の膜１０４のエッチングレートが高い条件によりエッチングを行った後、第２の膜１０４のエッチングレートよりも第１の膜１０２のエッチングレートが高い条件により行うことが好ましい。

【００３３】

次に、少なくとも第２の層１１２と第１の層１１４を覆って第４の膜１１６を形成する（図１（Ｅ））。

【００３４】

第４の膜１１６は、後の工程によりエッチバック処理することができる膜であればよい。第４の膜１１６は、ＣＶＤ法（プラズマＣＶＤ法または熱ＣＶＤ法などを含む。）またはスパッタリング法などにより形成することができるが、これらに限定されず、薄膜を形成することができるあらゆる手段を適用することができる。

【００３５】

次に、第４の膜１１６をエッチバック処理することで、少なくとも第１の層１１４の側面のすべてを覆ってサイドウォール層１１８を形成する（図１（Ｆ））。本実施の形態において、この工程を第３のエッチング工程と呼ぶ。

【００３６】

なお、ここで、エッチバック処理とは、形成された薄膜上にマスクなどを形成することなく、該薄膜の厚さ方向に等方的に行うことが可能なエッチング処理をいう。

【００３７】

以上、本実施の形態にて説明したように、第１の層１１４の全面が水分などに曝されることなく、薄膜素子を作製することができる。

【００３８】
（実施の形態２）
実施の形態１にて説明した薄膜素子の作製方法では、マスク層１１０は第２の層１１２の上に残存しているが、これに限定されず、マスク層１１０は、除去されてもよい。本実施の形態の薄膜素子の作製方法について図１、図２、及び図３を参照して説明する。
【００３９】
本実施の形態で説明する薄膜素子の作製方法の一は、第１の膜１０２、第２の膜１０４及び第３の膜１０６をこの順に基板１００上に積層して形成し、第３の膜１０６上にレジストマスク１０８を形成し（図１（Ａ））、レジストマスク１０８を用いて第３の膜１０６をエッチングすることでマスク層１１０を形成し（図１（Ｂ））、レジストマスク１０８を除去し（図１（Ｃ））、マスク層１１０を用いて第２の膜１０４と第１の膜１０２をドライエッチングすることで、第２の層１１２と第１の層１１４を形成し（図２（Ａ））、マスク層１１０を除去し（図２（Ｂ））、第２の層１１２と第１の層１１４を覆って第４の膜１１６を形成し（図２（Ｃ））、第４の膜１１６をエッチバック処理することで、少なくとも第１の層１１４の側面のすべてを覆ってサイドウォール層１１８を形成する（図２（Ｄ））ことを特徴とする。
【００４０】
マスク層１１０を除去するには、第１の層１１４に水分が触れない手段（例えば、ドライエッチング処理）を適用する。
【００４１】
または、マスク層１１０を除去せずに第４の膜１１６を形成し、エッチバック処理によりマスク層１１０を除去してもよい。従って、本実施の形態で説明する薄膜素子の作製方法の一は、第１の膜１０２、第２の膜１０４及び第３の膜１０６をこの順に基板１００上に積層して形成し、第３の膜１０６上にレジストマスク１０８を形成し（図１（Ａ））、レジストマスク１０８を用いて第３の膜１０６をエッチングすることでマスク層１１０を形成し（図１（Ｂ））、レジストマスク１０８を除去し（図１（Ｃ））、マスク層１１０を用いて第２の膜１０４と第１の膜１０２をドライエッチングすることで、第２の層１１２と第１の層１１４を形成し（図３（Ａ））、第２の層１１２と第１の層１１４を覆って第４の膜１１６を形成し（図３（Ｂ））、第４の膜１１６とマスク層１１０をエッチバック処理することで、少なくとも第１の層１１４の側面のすべてを覆ってサイドウォール層１１８を形成しつつマスク層１１０を除去する（図３（Ｃ））ことを特徴とする。
【００４２】
以上、本実施の形態にて説明したように、実施の形態１と同様に、第１の層１１４の全面が水分などに曝されることなく、薄膜素子を作製することができる。
【００４３】
（実施の形態３）
実施の形態１及び実施の形態２にて説明した薄膜素子の作製方法では、サイドウォール層を単層としたが、これに限定されず、サイドウォール層は複数の層が積層された積層構造であってもよい。本実施の形態では、サイドウォール層が積層構造である形態について図４を参照して説明する。
【００４４】
サイドウォール層を２層の積層構造とする場合には、少なくとも第１の層１１４の側面のすべてを覆ってサイドウォール層１１８を形成し、サイドウォール層１１８及びマスク層１１０上に第５の膜１２０を形成し、第５の膜１２０をエッチバック処理することで、更なるサイドウォール層１２２を形成すればよい。なお、サイドウォール層１１８を形成した後に、マスク層１１０を除去し、その後、第５の膜１２０を形成してもよい。
【００４５】
サイドウォール層を２層の積層構造とする場合には、第１の層１１４に含まれる水分のみならず、水素をも少なくすることができる。例えば、水分及び水素が極力除去された雰囲気中でスパッタリング法により第４の膜１１６（図１乃至図３のいずれかを参照）を形

成し、ＣＶＤ法（プラズマＣＶＤ法または熱ＣＶＤ法などを含む。）により第５の膜１２０を形成することで、第１の層１１４に接する内側の部分は水分及び水素が極力除去された雰囲気中で形成され、外側の部分は水分及び水素が侵入しにくい緻密な膜とすることができる。

【００４６】

以上、本実施の形態にて説明したように、実施の形態１及び実施の形態２と同様に、第１の層１１４の全面が水分などに曝されることなく、薄膜素子を作製することができ、更には、第１の層１１４の水素の含有量をも少なくすることができる。加えて、第１の層１１４に水素及び水分が侵入しにくくバリア性の高いサイドウォール層を形成することができる。

【００４７】

（実施の形態４）

本実施の形態では、本発明の一態様である半導体素子の作製方法について説明する。本実施の形態では、半導体素子の例としてトランジスタを挙げるが、これに限定されるものではない。

【００４８】

本実施の形態で説明するトランジスタの作製方法の一は、ゲート電極層２０６を覆って設けられたゲート絶縁層２０８上に半導体膜２１０、導電膜２１２及びマスク膜２１４をこの順に積層して形成し、マスク膜２１４上に第１のレジストマスク２１６を形成し、第１のレジストマスク２１６を用いてマスク膜２１４をドライエッチングまたはウエットエッチングすることで第１のマスク層２１８を形成し、第１のレジストマスク２１６を除去し、第１のマスク層２１８を用いて導電膜２１２と半導体膜２１０をドライエッチングすることで、導電層２２０と半導体層２２２を形成し、少なくとも導電層２２０と半導体層２２２を覆って絶縁膜２２４を形成し、絶縁膜２２４をエッチバック処理することで、少なくとも半導体層２２２の側面のすべてを覆ってサイドウォール絶縁層２２６を形成し、第１のマスク層２１８上に第２のレジストマスク２３０を形成し、第２のレジストマスク２３０を用いて第１のマスク層２１８をドライエッチングまたはウエットエッチングすることで第２のマスク層２３２を形成し、第２のレジストマスク２３０を除去し、第２のマスク層２３２を用いて導電層２２０をドライエッチングすることでソース電極及びドレイン電極層２３４を形成することを特徴とする。本実施の形態のトランジスタの作製方法について図５乃至図７を参照して説明する。

【００４９】

まず、基板２００上に導電膜２０２を形成し、導電膜２０２上にレジストマスク２０４を形成する（図５（Ａ））。

【００５０】

基板２００は、絶縁性基板である。基板２００として、例えば、ガラス基板、石英基板、セラミック基板、または本作製工程の処理温度に耐えうる程度の耐熱性を有するプラスチック基板などを用いることができる。基板２００がガラス基板である場合には、第１世代（例えば、３２０ｍｍ×４００ｍｍ）～第１０世代（例えば、２９５０ｍｍ×３４００ｍｍ）のものを用いればよいが、これに限定されるものではない。

【００５１】

なお、基板２００上に下地絶縁膜が形成されていてもよい。下地絶縁膜としては、例えば窒化シリコン膜を形成すればよい。

【００５２】

導電膜２０２は、例えば、スパッタリング法またはＣＶＤ法（プラズマＣＶＤ法または熱ＣＶＤ法などを含む。）などを用いて形成すればよい。導電膜２０２の材料としては、例えば金属膜、または一導電型の不純物元素が添加された半導体膜などを例示することができる。または、インクジェット法などを用いて形成してもよい。なお、導電膜２０２は、単層で形成してもよいし、複数の層を積層して形成してもよい。例えば、Ｔｉ層またはＭｏ層によりＡｌ層を挟持した３層の積層構造とすればよい。

【００５３】
レジストマスク２０４は、レジスト材料を導電膜２０２上に塗布するなどして形成した後に、フォトリソグラフィ法により加工して形成する。
【００５４】
次に、導電膜２０２をエッチングすることでゲート電極層２０６を形成する（図５（Ｂ））。
【００５５】
次に、ゲート電極層２０６を覆ってゲート絶縁層２０８を形成し、ゲート絶縁層２０８上に半導体膜２１０、導電膜２１２及びマスク膜２１４をこの順に積層して形成し、マスク膜２１４上に第１のレジストマスク２１６を形成する（図５（Ｃ））。
【００５６】
ゲート絶縁層２０８としては、例えば、スパッタリング法またはＣＶＤ法（プラズマＣＶＤ法または熱ＣＶＤ法などを含む。）などを用いて絶縁性材料（例えば、窒化シリコン、窒化酸化シリコン、酸化窒化シリコンまたは酸化シリコンなど）膜を形成すればよい。なお、ゲート絶縁層２０８は、単層で形成してもよいし、複数の層を積層して形成してもよい。
【００５７】
なお、「窒化酸化シリコン」とは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは、ラザフォード後方散乱法（ＲＢＳ：Ｒｕｔｈｅｒｆｏｒｄ Ｂａｃｋｓｃａｔｔｅｒｉｎｇ Ｓｐｅｃｔｒｏｍｅｔｒｙ）及び水素前方散乱法（ＨＦＳ：Ｈｙｄｒｏｇｅｎ Ｆｏｒｗａｒｄ Ｓｃａｔｔｅｒｉｎｇ）を用いて測定した場合に、酸素の組成が５～３０原子％、窒素の組成が２０～５５原子％、シリコンの組成が２５～３５原子％、水素の組成が１０～３０原子％の範囲で見積もられるものをいう。
【００５８】
なお、「酸化窒化シリコン」とは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは、ＲＢＳ及びＨＦＳを用いて測定した場合に、酸素の組成が５０～７０原子％、窒素の組成が０．５～１５原子％、シリコンの組成が２５～３５原子％、水素の組成が０．１～１０原子％の範囲で見積もられるものをいう。
【００５９】
ただし、酸化窒化シリコンまたは窒化酸化シリコンの原子組成の合計を１００原子％としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。
【００６０】
半導体膜２１０は、半導体膜であればよく、単層であってもよいし、複数の層が積層された積層構造であってもよい。半導体膜２１０として、例えば、酸化物半導体膜またはシリコン膜が挙げられる。
【００６１】
半導体膜２１０が酸化物半導体膜である場合には、四元系金属酸化物であるＩｎ－Ｓｎ－Ｇａ－Ｚｎ－Ｏ系酸化物半導体や、三元系金属酸化物であるＩｎ－Ｇａ－Ｚｎ－Ｏ系酸化物半導体、Ｉｎ－Ｓｎ－Ｚｎ－Ｏ系酸化物半導体、Ｉｎ－Ａｌ－Ｚｎ－Ｏ系酸化物半導体、Ｓｎ－Ｇａ－Ｚｎ－Ｏ系酸化物半導体、Ａｌ－Ｇａ－Ｚｎ－Ｏ系酸化物半導体、Ｓｎ－Ａｌ－Ｚｎ－Ｏ系酸化物半導体や、二元系金属酸化物であるＩｎ－Ｚｎ－Ｏ系酸化物半導体、Ｓｎ－Ｚｎ－Ｏ系酸化物半導体、Ａｌ－Ｚｎ－Ｏ系酸化物半導体、Ｚｎ－Ｍｇ－Ｏ系酸化物半導体、Ｓｎ－Ｍｇ－Ｏ系酸化物半導体、Ｉｎ－Ｍｇ－Ｏ系酸化物半導体や、Ｉｎ－Ｏ系酸化物半導体、Ｓｎ－Ｏ系酸化物半導体、Ｚｎ－Ｏ系酸化物半導体などを用いることができる。また、酸化物半導体膜がSiO_2を含んでいてもよい。ここで、例えば、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系酸化物半導体膜とは、Ｉｎ、ＧａまたはＺｎを有する酸化物半導体膜をいい、その化学量論比はとくに問わない。また、ＩｎとＧａとＺｎ以外の元素を含んでいてもよい。
【００６２】

半導体膜２１０が酸化物半導体膜である場合には、例えば、化学式$InMO_3(ZnO)_m$（ｍ＞０）で表記されるものを用いるということもできる。ここで、Ｍは、Ｇａ、Ａｌ、Ｍｎ及びＣｏから選ばれた一または複数の金属元素を示す。例えばＭとして、Ｇａ、Ｇａ及びＡｌ、Ｇａ及びＭｎ、またはＧａ及びＣｏなどが挙げられる。または、酸化物半導体膜はSiO_2を含んでいてもよい。

【００６３】

また、酸化物半導体膜をスパッタリング法で形成するためのターゲットとしては、例えば、組成比として、In_2O_3：Ga_2O_3：ＺｎＯ＝１：１：１［ｍｏｌ数比］の酸化物ターゲットを用いる。ただし、このターゲットの材料及び組成に限定されず、例えば、In_2O_3：Ga_2O_3：ＺｎＯ＝１：１：２［ｍｏｌ数比］の酸化物ターゲットを用いてもよい。

【００６４】

ここでは、半導体膜２１０が酸化物半導体膜であり、スパッタリング法で形成される場合には、希ガス（例えばＡｒ）雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下においてスパッタリング法により形成することができる。

【００６５】

また、酸化物ターゲットの充填率は９０％以上１００％以下、好ましくは９５％以上９９．９％以下である。このように、充填率の高い酸化物ターゲットを用いることにより、成膜される酸化物半導体膜を緻密な膜とすることができる。

【００６６】

半導体膜２１０が酸化物半導体膜である場合には、半導体膜２１０に接するゲート絶縁層２０８を酸化シリコンにより形成し、後に形成するサイドウォール絶縁層２２６も酸化シリコンにより形成し、酸化物半導体膜の脱水化または脱水素化を行うことが可能な条件で加熱処理を行うとよい。このように加熱処理を行う場合であっても、酸化物半導体膜が水分に曝されていないため、加熱処理時間は従来よりも短時間でよい。

【００６７】

または、半導体膜２１０として、シリコン膜を用いてもよい。シリコン膜としては、アモルファスシリコン膜を用いればよい。または、キャリア移動度が高いシリコン膜上にキャリア移動度が低いシリコン膜が設けられた積層シリコン膜であってもよい。

【００６８】

キャリア移動度が高いシリコン膜としては、結晶性シリコン膜が挙げられる。結晶性シリコンとしては、例えば、微結晶シリコンが挙げられる。ここで、微結晶シリコンとは、非晶質と結晶構造（単結晶、多結晶を含む。）の中間的な構造のものをいう。微結晶シリコンは、熱力学的に安定な第３の状態を有し、短距離秩序を持ち格子歪みを有する結晶質なシリコンであり、結晶粒径が２ｎｍ以上２００ｎｍ以下、好ましくは１０ｎｍ以上８０ｎｍ以下、より好ましくは２０ｎｍ以上５０ｎｍ以下の柱状または針状の結晶粒が基板表面に対して法線方向に成長しているシリコンである。このため、柱状または針状の結晶粒の界面には、粒界が形成されることもある。なお、ここでの結晶粒径は、基板表面に対して平行な面における結晶粒の最大直径である。また、結晶粒は、非晶質シリコン領域と、単結晶とみなせる微小結晶の結晶子を有する。なお、結晶粒は双晶を有する場合もある。

【００６９】

微結晶シリコンでは、そのラマンスペクトルのピークが単結晶シリコンを示す５２０ｃｍ$^{-1}$よりも低波数側にシフトしている。すなわち、単結晶シリコンを示す５２０ｃｍ$^{-1}$と非晶質シリコンを示す４８０ｃｍ$^{-1}$の間に微結晶シリコンのラマンスペクトルのピークがある。さらに、Ｈｅ、Ａｒ、Ｋｒ、またはＮｅなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性の高い微結晶シリコンが得られる。

【００７０】

キャリア移動度が低いシリコン膜としては、アモルファスシリコン膜を用いればよいが、好ましくは、非晶質シリコンと微小シリコン結晶粒を有し、従来の非晶質シリコン膜と比較して、一定光電流法（ＣＰＭ：Ｃｏｎｓｔａｎｔ　Ｐｈｏｔｏｃｕｒｒｅｎｔ　Ｍｅ

ｔｈｏｄ）やフォトルミネッセンス分光測定で測定されるＵｒｂａｃｈ端のエネルギーが小さく、欠陥吸収スペクトル量が少ないシリコン膜であるとよい。このようなシリコン膜は、従来の非晶質シリコン膜と比較して欠陥が少なく、価電子帯のバンド端（移動度端）における準位のテイル（裾）の傾きが急峻である秩序性が高い。

【００７１】

キャリア移動度が低いシリコン膜には、ハロゲンまたは窒素を含んでいてもよい。窒素が含まれる場合には、ＮＨ基またはＮＨ$_2$基として含んでいてもよい。

【００７２】

なお、ここで、キャリア移動度が高いシリコン膜とキャリア移動度が低いシリコン膜の界面領域は、微結晶半導体領域、及び当該微結晶半導体領域の間に充填される非晶質半導体領域を有する。具体的には、キャリア移動度が高いシリコン膜から錐形状に伸びた微結晶半導体領域と、キャリア移動度が低いシリコン膜と同様の「非晶質半導体を含む領域」と、で構成される。

【００７３】

キャリア移動度が低いシリコン膜が、ソース電極及びドレイン電極とキャリア移動度が高いシリコン膜の間に設けられると、トランジスタのオフ電流を小さくすることができる。また、上記の界面領域において、錐形状に伸びた微結晶シリコン領域を有するため、縦方向（膜の成長方向）の抵抗を低くすることができ、トランジスタのオン電流を高めることができる。すなわち、従来の非晶質シリコンを適用した場合と比較すると、オフ電流を十分に低減させつつ、オン電流の低下を抑制することもでき、トランジスタのスイッチング特性を高くすることができる。

【００７４】

なお、微結晶シリコン領域は、キャリア移動度が高いシリコン膜の表面から厚さ方向に成長するが、原料ガスにおいて堆積性ガス（例えば、シラン）に対する水素の流量が小さい場合（すなわち、希釈率が低い場合）、または窒素を含む原料ガスの濃度が高い場合には、微結晶シリコン領域における結晶成長が抑制され、結晶粒が錐形状になり、堆積されて形成されるシリコンは、大部分が非晶質シリコンとなる。

【００７５】

導電膜２１２は、例えば、スパッタリング法またはＣＶＤ法（プラズマＣＶＤ法または熱ＣＶＤ法などを含む。）などを用いて形成すればよい。または、インクジェット法などを用いて形成してもよい。なお、導電膜２１２は、単層で形成してもよいし、複数の層を積層して形成してもよい。例えば、Ｔｉ層上にＡｌ層が設けられた２層の積層構造とすればよい。

【００７６】

マスク膜２１４は、後の第１のエッチング工程及び第３のエッチング工程でエッチングされない（されにくい）材料により形成すればよい。マスク膜２１４として、例えば、酸化シリコン膜または窒化シリコン膜などの絶縁膜を用いることができる。または、マスク膜２１４として、例えば、金属膜を用いることができる。金属膜を用いた場合には、電極層の一部として用いることができる。

【００７７】

第１のレジストマスク２１６は、レジスト材料をマスク膜２１４上に塗布するなどして形成した後に、フォトリソグラフィ法により加工して形成する。

【００７８】

次に、第１のレジストマスク２１６を用いてマスク膜２１４をドライエッチングまたはウエットエッチングすることで第１のマスク層２１８を形成する（図５（Ｄ））。本実施の形態において、この工程を第１のエッチング工程と呼ぶ。

【００７９】

ここで、第１のエッチング工程は、導電膜２１２のエッチングレートが小さく、マスク膜２１４のエッチングレートが大きい条件により行えばよい。すなわち、第１のエッチング工程は、導電膜２１２に対するマスク膜２１４のエッチング選択比が高い条件により行

えばよい。
【００８０】
次に、第１のレジストマスク２１６をレジスト剥離液により除去する（図６（Ａ））。
【００８１】
次に、第１のマスク層２１８を用いて導電膜２１２と半導体膜２１０をドライエッチングすることで、導電層２２０と半導体層２２２を形成する（図６（Ｂ））。本実施の形態において、この工程を第２のエッチング工程と呼ぶ。
【００８２】
ここで、第２のエッチング工程は、第１のマスク層２１８のエッチングレートが小さく、導電膜２１２と半導体膜２１０のエッチングレートが大きい条件により行えばよい。すなわち、第２のエッチング工程は、第１のマスク層２１８に対する導電膜２１２と半導体膜２１０のエッチング選択比が高い条件により行えばよい。なお、第２のエッチング工程は、複数の種類の膜をエッチングするため、複数回の工程（例えば、２段階）で行うことが好ましい。
【００８３】
ここで、実施の形態２と同様に、第１のマスク層２１８を除去してもよい。第１のマスク層２１８を除去するには、半導体層２２２に水分が触れない手段（例えば、ドライエッチング処理）を適用する。
【００８４】
次に、導電層２２０と半導体層２２２を覆って絶縁膜２２４をスパッタリング法またはＣＶＤ法（プラズマＣＶＤ法または熱ＣＶＤ法などを含む。）などにより形成する（図６（Ｃ））。
【００８５】
次に、絶縁膜２２４をエッチバック処理することで、少なくとも半導体層２２２の側面のすべてを覆ってサイドウォール絶縁層２２６を形成する。ここで、エッチバック処理は、第１のマスク層２１８または導電層２２０が露出されるまで行う。なお、サイドウォール絶縁層２２６の形成と同時に、ゲート電極層２０６の厚さに起因してゲート絶縁層２０８に設けられた段差部分の露出された部分には、サイドウォール絶縁層２２８が形成される（図６（Ｄ））。
【００８６】
次に、第１のマスク層２１８上に第２のレジストマスク２３０を形成する（図７（Ａ））。
【００８７】
第２のレジストマスク２３０は、レジスト材料を第１のマスク層２１８上に塗布するなどして形成した後に、フォトリソグラフィ法により加工して形成する。
【００８８】
または、ここまでの工程で第１のマスク層２１８が除去されている場合には、少なくとも導電層２２０上に第２のマスク膜を形成し、該第２のマスク膜上に第２のレジストマスク２３０を形成する。
【００８９】
次に、第２のレジストマスク２３０を用いて第１のマスク層２１８または第２のマスク膜をドライエッチングまたはウエットエッチングすることで、第２のマスク層２３２を形成する。本実施の形態において、この工程を第３のエッチング工程と呼ぶ（図７（Ｂ））。
【００９０】
ここで、第３のエッチング工程は、導電膜２１２のエッチングレートが小さく、マスク膜２１４のエッチングレートが大きい条件により行えばよい。すなわち、第３のエッチング工程は、導電膜２１２に対するマスク膜２１４のエッチング選択比が高い条件により行えばよい。なお、サイドウォール絶縁層２２６がエッチングされないことも重要である。
【００９１】

次に、第２のレジストマスク２３０をレジスト剥離液により除去する（図７（Ｃ））。

【００９２】

次に、第２のマスク層２３２を用いて導電層２２０をドライエッチングすることで、ソース電極及びドレイン電極層２３４を形成する。本実施の形態において、この工程を第４のエッチング工程と呼ぶ（図７（Ｄ））。本実施の形態において、第４のエッチング工程によってソース電極及びドレイン電極層２３４とサイドウォール絶縁層２２６の間に空間（溝）が形成され、互いが分離される。すなわち、ソース電極及びドレイン電極層２３４とサイドウォール絶縁層２２６は互いに接触していない。

【００９３】

ここで、第４のエッチング工程は、半導体層２２２のエッチングレートが小さく、導電層２２０のエッチングレートが大きい条件により行えばよい。すなわち、第４のエッチング工程は、半導体層２２２に対する導電層２２０のエッチング選択比が高い条件により行えばよい。

【００９４】

なお、図示していないが、第４のエッチング工程で第２のマスク層２３２と重畳していない部分の半導体層２２２がエッチングされていてもよい。

【００９５】

なお、図示していないが、この後に第２のマスク層２３２を除去してもよい。第２のマスク層２３２を除去するには、半導体層２２２に水分が触れない手段（例えば、ドライエッチング処理）を適用する。

【００９６】

以上説明した半導体装置の作製方法では、薄膜の材料とエッチング工程に用いるガスまたはエッチャントの組み合わせに注意を要する。

【００９７】

例えば、半導体膜２１０がＩｎ－Ｇａ－Ｚｎ－Ｏ系酸化物半導体膜であり、導電膜２１２がチタン膜であり、マスク膜２１４が酸化アルミニウム膜である場合には、第１のエッチング工程及び第３のエッチング工程には、エッチャントとして、リン酸、酢酸、硝酸、純水を（一例として、８５：５：５：５の体積比）混合させた薬液を用いればよく、第２のエッチング工程には、Ｃｌ系ガスを用いればよく、第４のエッチング工程には、Ｆ系ガスを用いればよい。または、第４のエッチング工程は、Ｃｌ系ガスによるエッチングとＦ系ガスによるエッチングの２段階の工程で行ってもよい。

【００９８】

または、半導体膜２１０がＩｎ－Ｇａ－Ｚｎ－Ｏ系酸化物半導体膜であり、導電膜２１２がチタン膜であり、マスク膜２１４が酸化シリコン膜である場合には、第１のエッチング工程及び第３のエッチング工程には、エッチャントとして、フッ酸を用いればよい。このとき、第２のエッチング工程には、Ｃｌ系ガスを用いればよく、第４のエッチング工程には、Ｆ系ガスを用いればよい。または、第４のエッチング工程は、Ｃｌ系ガスによるエッチングとＦ系ガスによるエッチングの２段階の工程で行ってもよい。

【００９９】

なお、Ｃｌ系ガスとしては、CCl_4ガス、$SiCl_4$ガス、BCl_3ガス及びCl_2ガスが挙げられる。特に好ましくはBCl_3ガスとCl_2ガスの混合ガスを用いる。

【０１００】

なお、Ｆ系ガスとしては、CF_4ガス、SF_6ガス、NF_3ガス、$CBrF_3$ガス、CF_3SO_3Hガス、及びC_3F_8ガスが挙げられる。特に好ましくはSF_6ガスを用いる。

【０１０１】

以上、本実施の形態にて説明したように、半導体層２２２の全面が水分などに曝されることなく、半導体素子（一例としてトランジスタ）を作製することができる。

【０１０２】

なお、本実施の形態の半導体素子の作製方法に実施の形態２の薄膜素子の作製方法を適

用してもよい。すなわち、第１のマスク層２１８が絶縁膜２２４の形成前に除去され、または、第１のマスク層２１８がサイドウォール絶縁層２２６の形成時に除去されていてもよい。

【０１０３】

なお、本実施の形態の半導体素子の作製方法に実施の形態３の薄膜素子の作製方法を適用してもよい。すなわち、サイドウォール絶縁層が積層構造であってもよい。このとき、半導体層の側面に接する内側のサイドウォール絶縁層として、例えば酸化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層または窒化シリコン層をスパッタリング法またはＣＶＤ法（プラズマＣＶＤ法または熱ＣＶＤ法などを含む。）により形成し、外側のサイドウォール絶縁層として、例えば酸化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層または窒化シリコン層をスパッタリング法またはＣＶＤ法（プラズマＣＶＤ法または熱ＣＶＤ法などを含む。）により形成すればよい。好ましくは、内側のサイドウォール絶縁層として、酸化シリコン層をスパッタリング法により形成し、外側のサイドウォール絶縁層として、例えば窒化シリコン層をプラズマＣＶＤ法により形成すると、半導体層中の水素の含有量を少なくすることができ、半導体層に水素及び水分が侵入しにくくバリア性の高いサイドウォール絶縁層を形成することができる。更には、半導体層２２２を酸化物半導体層とした場合に、酸化物半導体層に接する部分を酸化シリコン層とすることで、酸化物半導体層に酸素を供給することができる。

【０１０４】

（実施の形態５）

実施の形態４で説明した半導体素子（トランジスタ）は、表示装置の画素トランジスタとして用いることができる。

【０１０５】

本実施の形態の画素トランジスタの作製方法は、実施の形態４にて説明した作製方法を適用して作製したトランジスタの少なくともソース電極及びドレイン電極層２３４、半導体層２２２を覆って保護絶縁膜２３６を形成し、保護絶縁膜２３６のソース電極及びドレイン電極層２３４と重畳する部分に、ソース電極及びドレイン電極層２３４を露出させる開口部２４０を形成し、開口部２４０を介してソース電極及びドレイン電極層２３４と接続されるように、保護絶縁膜２３６上に画素電極層２４６を位置選択的に形成することを特徴とする。本実施の形態の薄膜素子の作製方法について図８を参照して説明する。

【０１０６】

まず、実施の形態４にて説明した作製方法を適用して作製したトランジスタの少なくとも第２のマスク層２３２、ソース電極及びドレイン電極層２３４、半導体層２２２を覆って保護絶縁膜２３６を形成する（図８（Ａ））。

【０１０７】

保護絶縁膜２３６は、ゲート絶縁層２０８と同様に、絶縁性材料により形成すればよい。なお、単層で形成してもよいし、複数の層を積層して形成してもよい。ここでは、例えば窒化シリコンにより形成すればよい。

【０１０８】

次に、保護絶縁膜２３６上にレジストマスク２３８を形成し、保護絶縁膜２３６のソース電極及びドレイン電極層２３４と重畳する部分に開口部２４０を形成する（図８（Ｂ））。

【０１０９】

次に、開口部２４０を介してソース電極及びドレイン電極層２３４と接続されるように、保護絶縁膜２３６上に画素電極層２４６を位置選択的に形成する。本実施の形態では、一例として、保護絶縁膜２３６上に透明導電膜２４２を形成し、透明導電膜２４２上にレジストマスク２４４を形成する（図８（Ｃ））。そして、透明導電膜２４２をエッチングすることで、画素電極層２４６が形成される（図８（Ｄ））。

【０１１０】

ただし、これに限定されず、開口部２４０を介してソース電極及びドレイン電極層２３

４と接続されるように、保護絶縁膜２３６上にインクジェット法により画素電極層２４６を位置選択的に形成してもよい。

【０１１１】

透明導電膜２４２は、透光性を有する導電性高分子（導電性ポリマーともいう。）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した透明導電膜２４２は、シート抵抗が１００００Ω／□以下であり、且つ波長５５０ｎｍにおける透光率が７０％以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が０．１Ω・ｃｍ以下であることが好ましい。

【０１１２】

なお、導電性高分子としては、いわゆるπ電子共役系導電性高分子を用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、またはアニリン、ピロール及びチオフェンの２種以上の共重合体またはその誘導体などが挙げられる。

【０１１３】

透明導電膜２４２は、例えば、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ＩＴＯと示す。）、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物などを用いて形成することができる。

【０１１４】

以上説明したように画素電極層２４６まで形成された画素トランジスタの断面図と上面図の一例を図９に示す。

【０１１５】

以上、本実施の形態にて説明したように、半導体層２２２の全面が水分などに曝されることなく、画素トランジスタを作製することができる。

【０１１６】

（実施の形態６）

本発明の一態様である半導体装置としては、電子ペーパーが挙げられる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、デジタルサイネージ、ＰＩＤ（Ｐｕｂｌｉｃ　Ｉｎｆｏｒｍａｔｉｏｎ　Ｄｉｓｐｌａｙ）、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図１０に示す。

【０１１７】

図１０は、電子書籍の一例を示している。例えば、電子書籍３００は、筐体３０１および筐体３０３の２つの筐体で構成されている。筐体３０１および筐体３０３は、軸部３１１により一体とされており、該軸部３１１を軸として開閉動作を行うことができる。このような構成により、紙の書籍と同様に取り扱うことが可能となる。

【０１１８】

筐体３０１には表示部３０５及び光電変換装置３０６が組み込まれ、筐体３０３には表示部３０７及び光電変換装置３０８が組み込まれている。表示部３０５及び表示部３０７は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図１０では表示部３０５）に文章を表示し、左側の表示部（図１０では表示部３０７）に画像を表示することができる。

【０１１９】

また、図１０では、筐体３０１に操作部などを備えた例を示している。例えば、筐体３０１において、電源３２１、操作キー３２３、スピーカ３２５などを備えている。操作キー３２３により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部

接続用端子（イヤホン端子、ＵＳＢ端子、またはＡＣアダプタおよびＵＳＢケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍３００は、電子辞書としての機能を持たせた構成としてもよい。

【０１２０】

また、電子書籍３００は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【０１２１】

実施の形態１乃至実施の形態３で説明した薄膜素子、実施の形態４で説明したトランジスタ、実施の形態５で説明した画素トランジスタを適用することで、所望の層に水分を触れさせることなく本実施の形態の半導体装置を作製することができる。

【０１２２】

（実施の形態７）

本発明の一態様である半導体装置としては、電子ペーパー以外にもさまざまな電子機器（遊技機も含む）が挙げられる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【０１２３】

図１１（Ａ）は、テレビジョン装置の一例を示している。テレビジョン装置４００は、筐体４０１に表示部４０３が組み込まれている。表示部４０３により、映像を表示することが可能である。また、ここでは、スタンド４０５により筐体４０１を支持した構成を示している。

【０１２４】

テレビジョン装置４００の操作は、筐体４０１が備える操作スイッチや、別体のリモコン操作機４１０により行うことができる。リモコン操作機４１０が備える操作キー４０９により、チャンネルや音量の操作を行うことができ、表示部４０３に表示される映像を操作することができる。また、リモコン操作機４１０に、当該リモコン操作機４１０から出力する情報を表示する表示部４０７を設ける構成としてもよい。

【０１２５】

なお、テレビジョン装置４００は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【０１２６】

図１１（Ｂ）は、デジタルフォトフレームの一例を示している。例えば、デジタルフォトフレーム４２０は、筐体４２１に表示部４２３が組み込まれている。表示部４２３は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【０１２７】

なお、デジタルフォトフレーム４２０は、操作部、外部接続用端子（ＵＳＢ端子、ＵＳＢケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部４２３に表示させることができる。

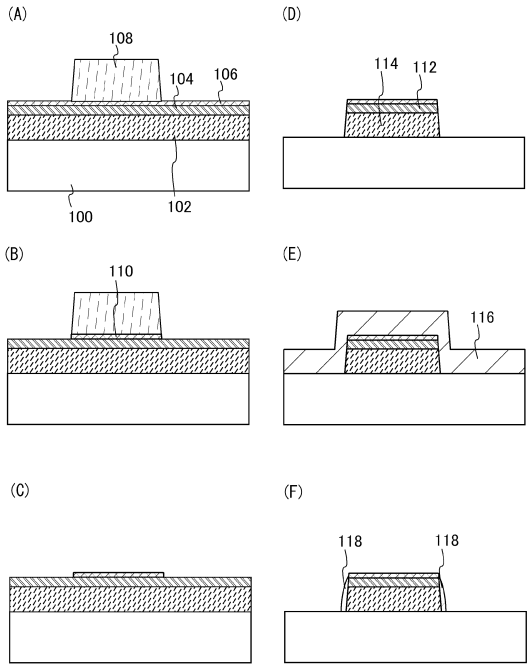
【０１２８】

また、デジタルフォトフレーム４２０は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

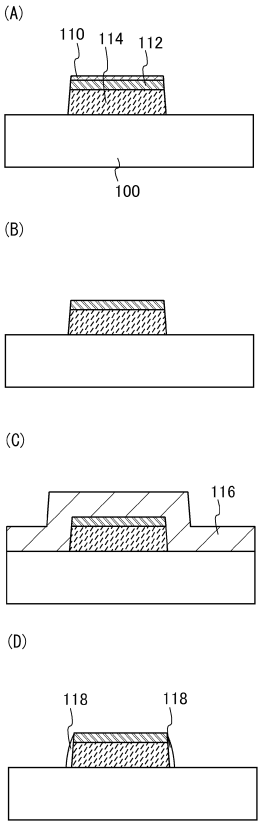
【０１２９】
図１２は携帯型のコンピュータの一例を示す斜視図である。
【０１３０】
図１２の携帯型のコンピュータは、上部筐体４４１と下部筐体４４２とを接続するヒンジユニットを閉状態として表示部４４３を有する上部筐体４４１と、キーボード４４４を有する下部筐体４４２とを重ねた状態とすることができ、持ち運ぶことが便利であるとともに、使用者がキーボード入力する場合には、ヒンジユニットを開状態として、表示部４４３を見て入力操作を行うことができる。
【０１３１】
また、下部筐体４４２はキーボード４４４の他に入力操作を行うポインティングデバイス４４６を有する。また、表示部４４３をタッチ入力パネルとすれば、表示部の一部に触れることで入力操作を行うこともできる。また、下部筐体４４２はＣＰＵやハードディスク等の演算機能部を有している。また、下部筐体４４２は他の機器、例えばＵＳＢの通信規格に準拠した通信ケーブルが差し込まれる外部接続ポート４４５を有している。
【０１３２】
上部筐体４４１には更に上部筐体４４１内部にスライドさせて収納可能な表示部４４７を有しており、広い表示画面を実現することができる。また、収納可能な表示部４４７の画面の向きを使用者は調節できる。また、収納可能な表示部４４７をタッチ入力パネルとすれば、収納可能な表示部の一部に触れることで入力操作を行うこともできる。
【０１３３】
表示部４４３または収納可能な表示部４４７は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。
【０１３４】
また、図１２の携帯型のコンピュータは、受信機などを備えた構成として、テレビ放送を受信して映像を表示部に表示することができる。また、上部筐体４４１と下部筐体４４２とを接続するヒンジユニットを閉状態としたまま、表示部４４７をスライドさせて画面全面を露出させ、画面角度を調節して使用者がテレビ放送を見ることもできる。この場合には、ヒンジユニットを閉状態として表示部４４３を表示させず、さらにテレビ放送を表示するだけの回路の起動のみを行うため、最小限の消費電力とすることができ、バッテリー容量の限られている携帯型のコンピュータにおいて有用である。
【０１３５】
実施の形態１乃至実施の形態３で説明した薄膜素子、実施の形態４で説明したトランジスタ、実施の形態５で説明した画素トランジスタを適用することで、所望の層に水分を触れさせることなく本実施の形態の半導体装置を作製することができる。
【符号の説明】
【０１３６】
１００　基板
１０２　第１の膜
１０４　第２の膜
１０６　第３の膜
１０８　レジストマスク
１１０　マスク層
１１２　第２の層
１１４　第１の層
１１６　第４の膜
１１８　サイドウォール層
１２０　第５の膜
１２２　更なるサイドウォール層
２００　基板
２０２　導電膜

２０４　レジストマスク
２０６　ゲート電極層
２０８　ゲート絶縁層
２１０　半導体膜
２１２　導電膜
２１４　マスク膜
２１６　第１のレジストマスク
２１８　第１のマスク層
２２０　導電層
２２２　半導体層
２２４　絶縁膜
２２６　サイドウォール絶縁層
２２８　サイドウォール絶縁層
２３０　第２のレジストマスク
２３２　第２のマスク層
２３４　ソース電極及びドレイン電極層
２３６　保護絶縁膜
２３８　レジストマスク
２４０　開口部
２４２　透明導電膜
２４４　レジストマスク
２４６　画素電極層
３００　電子書籍
３０１　筐体
３０３　筐体
３０５　表示部
３０６　光電変換装置
３０７　表示部
３０８　光電変換装置
３１１　軸部
３２１　電源
３２３　操作キー
３２５　スピーカ
４００　テレビジョン装置
４０１　筐体
４０３　表示部
４０５　スタンド
４０７　表示部
４０９　操作キー
４１０　リモコン操作機
４２０　デジタルフォトフレーム
４２１　筐体
４２３　表示部
４４１　上部筐体
４４２　下部筐体
４４３　表示部
４４４　キーボード
４４５　外部接続ポート
４４６　ポインティングデバイス
４４７　表示部

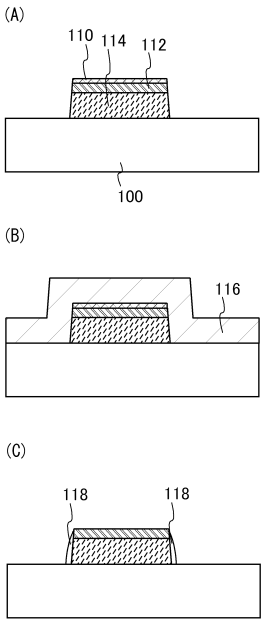
【図１】


(A)
108
104
106
100
102
(D)
114
112
(B)
110
(E)
116
(C)
(F)
118
118

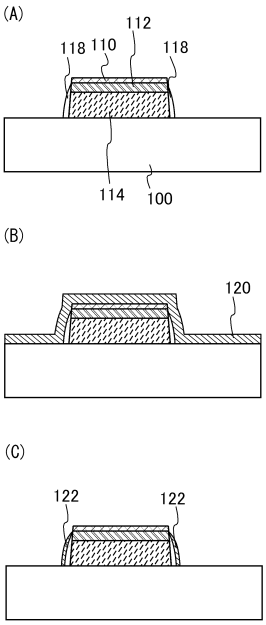
【図２】


(A)
110
114
112
100
(B)
(C)
116
(D)
118
118

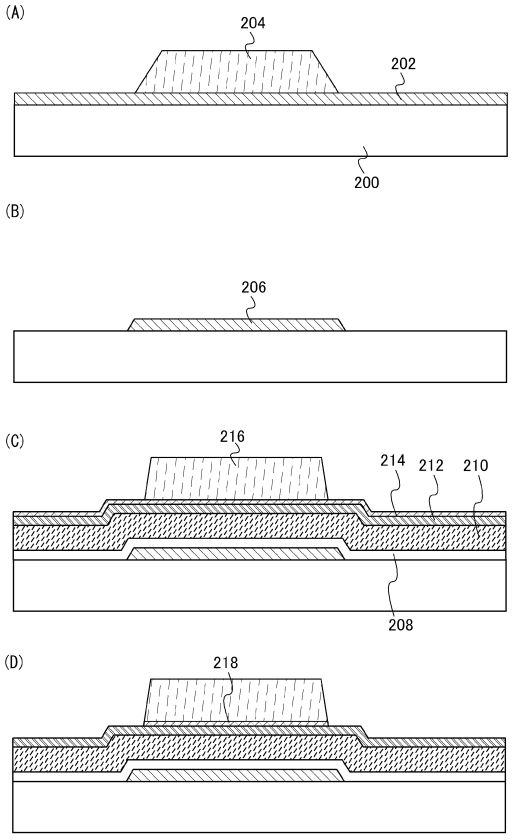
【図３】


(A)
110
114
112
100
(B)
116
(C)
118
118

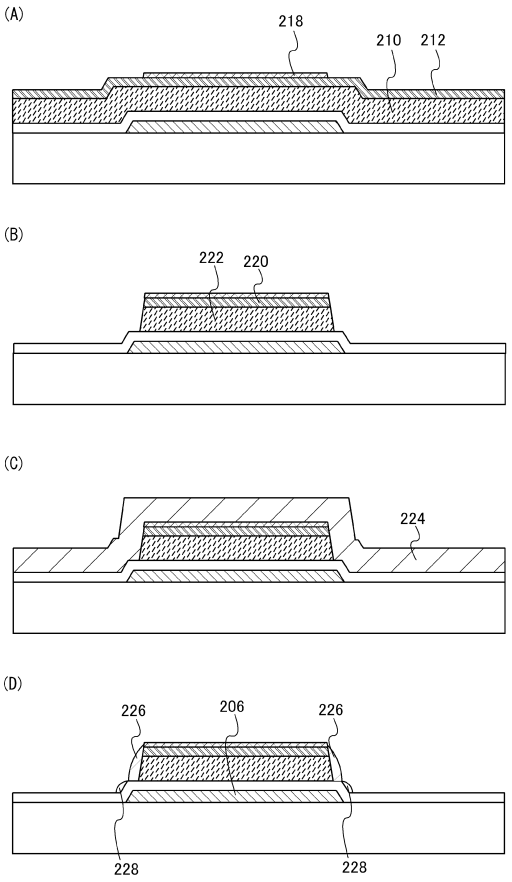
【図４】


(A)
112
118
110
118
114
100
(B)
120
(C)
122
122

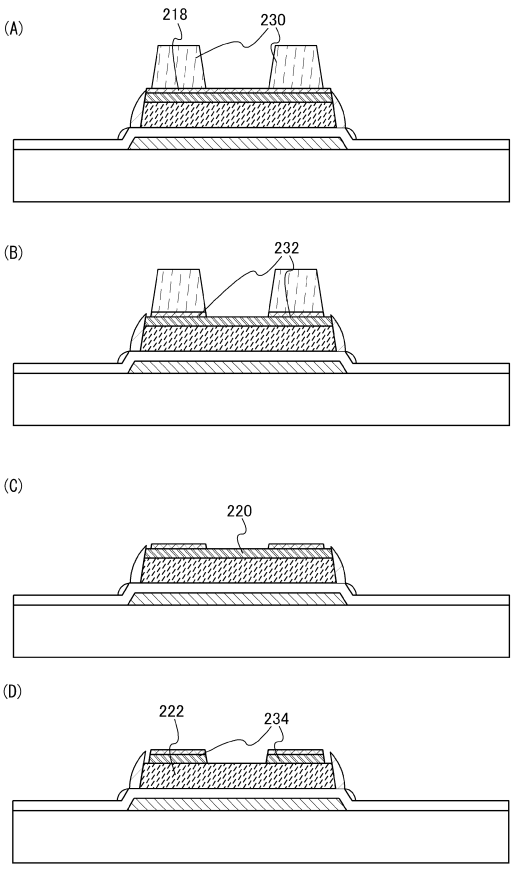
【図５】


(A)
204
202
200
(B)
206
(C)
216
214
212
210
208
(D)
218

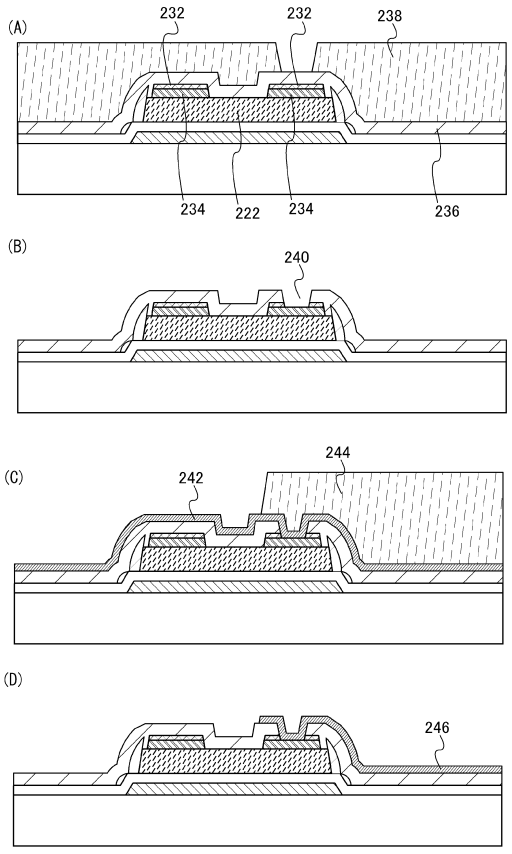
【図６】


(A)
218
210
212
(B)
222
220
(C)
224
(D)
226
206
226
228
228

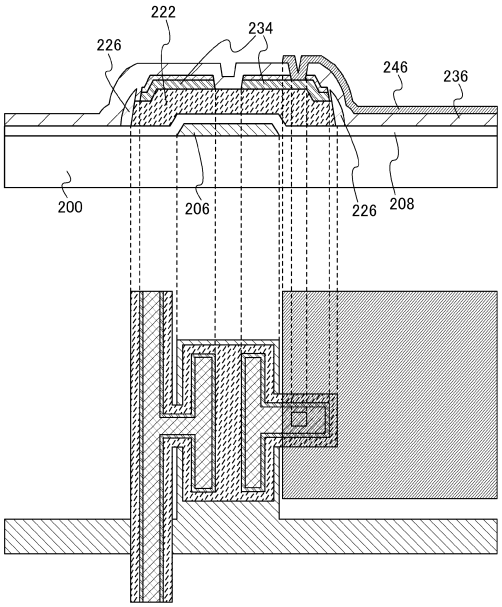
【図７】


(A)
218
230
(B)
232
(C)
220
(D)
222
234

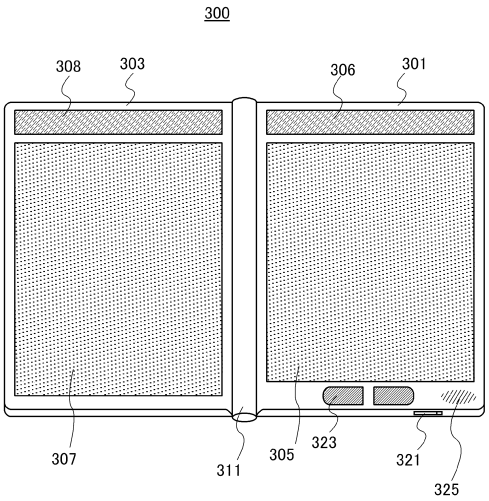
【図８】


(A)
232
232
238
234
222
234
236
(B)
240
(C)
244
242
(D)
246

【図９】

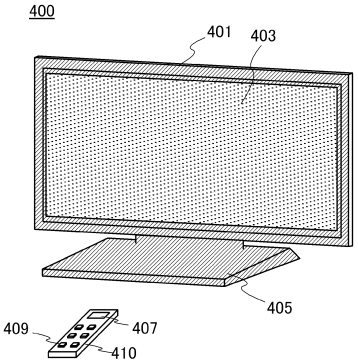


【図１０】

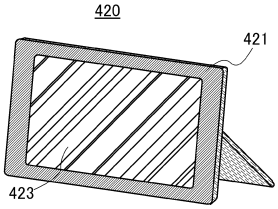


【図１１】

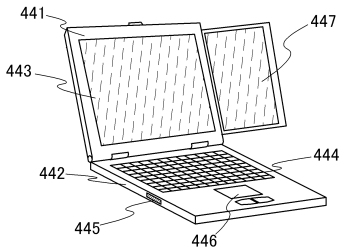
(A)



(B)



【図１２】



フロントページの続き

(56)参考文献 特開２００８－１１２９０９（ＪＰ，Ａ）
特開平０７－２７３３３３（ＪＰ，Ａ）
特開２００１－３１３３９６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ２１／３３６、２９／７８６