

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 03822968.4

[51] Int. Cl.

G11C 29/00 (2006.01)

G11C 11/15 (2006.01)

G11C 11/16 (2006.01)

G11C 17/14 (2006.01)

G11C 17/16 (2006.01)

[45] 授权公告日 2008 年 9 月 3 日

[11] 授权公告号 CN 100416706C

[22] 申请日 2003.7.22 [21] 申请号 03822968.4

[30] 优先权

[32] 2002.9.26 [33] US [31] 10/255,303

[86] 国际申请 PCT/US2003/022851 2003.7.22

[87] 国际公布 WO2004/029987 英 2004.4.8

[85] 进入国家阶段日期 2005.3.25

[73] 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 约瑟夫·J·纳哈斯

托马斯·W·安德

布拉德利·J·加尼

[56] 参考文献

US5889702A 1999.3.30

US5731733A 1998.3.24

US2002021605A1 2002.2.21

审查员 梁心新

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 李春晖

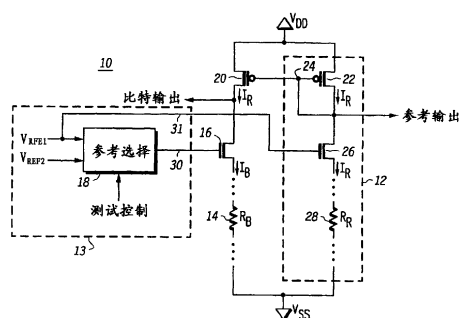
权利要求书 3 页 说明书 13 页 附图 3 页

[54] 发明名称

识别 MRAM 中的脆弱比特的方法和电路

[57] 摘要

测试具有至少两个电阻状态的存储器 (10、60)。在一种方式中,该存储器包括具有连接到存储单元 (14、64) 的电流电极的第一晶体管 (16、68) 和具有连接到参考存储单元 (28、74) 的电流电极的第二晶体管 (26、66)。第一晶体管的控制电极根据测试控制信号接收第一参考电压或者第二参考电压。第二晶体管的控制电极接收第一参考电压。在测试模式下,在用一个电阻状态对存储单元编程后,将第二参考电压 (不同于第一参考电压) 提供给第一晶体管。然后读所述存储单元以判断存储器是否读出了前面所编程的电阻状态。在一种实施例中,该测试模式可以用来识别存储器中的脆弱比特。



1. 一种具有至少两种电阻状态的存储器，包括：

存储单元；

第一参考存储单元；

参考电压选择电路，其具有接收第一参考电压的第一输入、接收第二参考电压的第二输入以及接收控制信号的第三输入，以及根据所述控制信号提供所述第一参考电压或者第二参考电压之一的输出；

第一导电类型的第一晶体管，其具有连接到所述存储单元的第一电流电极，第二电流电极，以及连接到所述参考电压选择电路的输出、用以接收所述第一参考电压或者第二参考电压之一的控制电极；

第二导电类型的第二晶体管，其具有连接到所述第一晶体管的第二电流电极的第一电流电极，连接到第一电压端子的第二电流电极，以及控制电极；

第一导电类型的第三晶体管，其具有连接到所述第一参考存储单元的第一电流电极，连接为接收所述第一参考电压的控制电极，以及第二电流电极；以及

第二导电类型的第四晶体管，其具有连接到所述第三晶体管的第二电流电极的第一电流电极，连接到第四晶体管的第一电流电极和第二晶体管的控制电极的控制电极，以及连接到所述第一电压端子的第二电流电极。

2. 如权利要求 1 所述的存储器，还包括：

第二参考存储单元；

第一导电类型的第五晶体管，其具有连接到所述第二参考存储单元以及所述第三晶体管的第一电流电极的第一电流电极，连接到第三晶体管的控制电极的控制电极，以及第二电流电极；以及

第二导电类型的第六晶体管，其具有连接到第五晶体管的第二电流电极的第一电流电极，连接到第四晶体管的控制电极的控制电极，以及连接到所述第一电压端子的第二电流电极。

3. 如权利要求 2 所述的存储器, 其中, 所述存储单元可被编程为高电阻状态或者低电阻状态, 所述第一参考存储单元被编程为高电阻状态, 所述第二参考存储单元被编程为低电阻状态。

4. 如权利要求 1 所述的存储器, 其中, 当所述控制信号具有第一值时, 所述参考电压选择电路将所述第一参考电压提供给第一晶体管的控制电极, 当所述控制信号具有第二值时, 所述参考电压选择电路将所述第二参考电压提供给第一晶体管的控制电极。

5. 如权利要求 1 所述的存储器, 其中, 所述存储单元可被编程为高电阻状态或者低电阻状态, 所述第一参考存储单元被编程为预定电阻。

6. 如权利要求 5 所述的存储器, 其中, 所述预定电阻为不同于所述高电阻状态和所述低电阻状态的值。

7. 如权利要求 1 所述的存储器, 其中, 所述第二参考电压的值不同于所述第一参考电压。

8. 如权利要求 1 所述的存储器, 其中, 所述第一晶体管的第二电流电极提供输出信号, 所述第三晶体管的第二电流电极提供参考输出信号。

9. 一种测试具有至少两个电阻状态的存储器(10)的方法, 其中, 该存储器(10)包括: 可编程为至少两个电阻状态中的任何一个的存储单元(14); 具有连接到所述存储单元的第一电流电极、连接到电压端子的第二电流电极、以及控制电极的第一晶体管(16); 被编程为预定电阻的参考存储单元(28), 以及具有连接到所述参考存储单元的第一电流电极、连接到所述电压端子的第二电流电极、以及控制电极的第二晶体管(26); 该方法包括:

向所述存储单元(14)写入所述至少两个电阻状态中的第一个;

向所述第二晶体管(26)的控制电极提供第一参考电压值, 并向所述第一晶体管(16)的控制电极提供不同于所述第一参考电压值的第二参考电压值; 以及

在提供所述第一和第二参考电压值之后, 判断所述存储单元(14)

是否被编程到所述至少两个电阻状态中的所述第一个，

其特征在于还包括以下步骤：

修改所述第二参考电压值以产生一个修改后的第二参考电压值；

向所述第一晶体管(16)的控制电极提供不同于所述第一参考电压值的修改后的第二参考电压值；以及

在提供了修改后的第二参考电压值之后，判断存储单元(14)是否被编程到所述至少两个电阻状态中的所述第一个。

10. 如权利要求9所述的方法，还包括：

向所述存储单元(14)写入所述至少两个电阻状态中的第二个；

向所述第二晶体管(26)的控制电极提供所述第一参考电压值；

向所述第一晶体管(16)的控制电极提供不同于所述第一和第二参考电压值的第三参考电压值；以及

在提供了所述第一和第三参考电压值之后，判断存储单元(14)是否被编程到所述至少两个电阻状态中的所述第二个。

11. 如权利要求9所述的方法，其中，所述至少两个电阻状态包括一个高电阻状态和一个低电阻状态，其中，当所述至少两个电阻状态中的第一个是低电阻状态时，所述第二参考电压值小于所述第一参考电压值，当所述至少两个电阻状态中的第一个是高电阻状态时，所述第二参考电压值大于所述第一参考电压值。

识别 MRAM 中的脆弱比特的方法和电路

技术领域

本发明总体上涉及半导体电路，尤其涉及半导体存储电路。

背景技术

具有至少两个不同的电阻状态的半导体存储器的一种形式是磁阻随机存取存储器（此后称为“MRAM”）。在读取 MRAM 单元时的关键因素是 MRAM 单元中的隧道结的电阻。由于在存储器阵列中有大量的存储单元，由于制造工艺的变化，会有一个阻值的分布。如果隧道结的电阻太高，在低电阻状态的比特（位）看起来会像是处在高电阻状态。另一方面，如果隧道结的电阻太低，则处于高电阻状态的比特看起来会像是在低电阻状态。如果这种错误的出现前后一致，则普通的存储器检测会检测到这种问题。但是，如果一个比特的阻值在边界上（称其为“脆弱比特”），则有时候能够正确读出该比特，有时候则不能正确读出，这是因为在测试过程中的噪声的缘故。这种变化会导致存储器存在这样的问题：在生产测试中通过了，但是在系统中使用时不规律地失效。

由于脆弱比特的存在早已记载在有关存储器的文献中，过去对 DRAM、SRAM 和闪存已经提出了许多测试方法。美国专利 4,468,759（题为“Testing Method and Apparatus for DRAM”，Roger Kung 等）是用于 DRAM 的测试方法的一个例子。Kung 公开了伪 DRAM 单元上的存储电压的调节，该存储电压用作检测脆弱比特的读出参考。将该电压对 1 上升，对 0 下降。相反，MRAM 存储的不是电压而是磁状态。Fong 的美国专利 5,537,358（题为“Flash Memory having Adaptive Memory and Method”）使用参考比特上的电压变化来补偿脆弱比特。美国专利 6,105,152（题为“Devices and Method for Testing Cell

Margin of Memory Devices" , Kevin Duesman 等) 是用于识别脆弱比特的存储器测试方法的另一个例子。在这个例子中, 在测试期间, 将定时信号的开始时间、持续时间或者电平中的至少一个改变到规定范围之外, 导致边界存储单元失效。这种技术不直接控制或者揭示脆弱比特的失效在什么点发生。

发明内容

本发明涉及用于识别存储器中的脆弱比特的方法和电路。

根据本发明的一个方面, 提供了一种具有至少两种电阻状态的存储器, 包括: 存储单元; 第一参考存储单元; 参考电压选择电路, 其具有接收第一参考电压的第一输入、接收第二参考电压的第二输入以及接收控制信号的第三输入, 以及根据所述控制信号提供所述第一参考电压或者第二参考电压之一的输出; 第一导电类型的第一晶体管, 其具有连接到所述存储单元的第一电流电极, 第二电流电极, 以及连接到所述参考电压选择电路的输出、用以接收所述第一参考电压或者第二参考电压之一的控制电极; 第二导电类型的第二晶体管, 其具有连接到所述第一晶体管的第二电流电极的第一电流电极, 连接到第一电压端子的第二电流电极, 以及控制电极; 第一导电类型的第三晶体管, 其具有连接到所述第一参考存储单元的第一电流电极, 连接为接收所述第一参考电压的控制电极, 以及第二电流电极; 以及第二导电类型的第四晶体管, 其具有连接到所述第三晶体管的第二电流电极的第一电流电极, 连接到第四晶体管的第一电流电极和第二晶体管的控制电极的控制电极, 以及连接到所述第一电压端子的第二电流电极。

根据本发明的另一方面, 提供了一种测试具有至少两个电阻状态的存储器的方法, 其中, 该存储器包括: 可编程为至少两个电阻状态中的任何一个的存储单元; 具有连接到所述存储单元的第一电流电极、连接到电压端子的第二电流电极、以及控制电极的第一晶体管; 被编程为预定电阻的参考存储单元, 以及具有连接到所述参考存储单元的第一电流电极、连接到所述电压端子的第二电流电极、以及控制电极的第二晶体管; 该方法包括: 向所述存储单元写入所述至少两个电阻状态中的第一个; 向所述第二晶体管的控制电极提供第一参考电压值, 并向所述第一晶体管的控制电极提供不同于所述第一参考电压值的第二参考电压值; 以及在提供所述第一和第二参考电压值之后, 判断所述存储单元是否被编程到所述至少两个电阻状态中的所述第一个, 其特征在于还包括以下步骤: 修改所述第二参考电压值以产生一个修改后的第二参考电压值; 向所述第一晶体管的控制电极提供不同于所述第一参考电压值的修改后的第二参考电压值; 以及在提供了修改后的

第二参考电压值之后，判断存储单元是否被编程到所述至少两个电阻状态中的所述第一个。

这样，就提供了一种存储器，比如 MRAM，其具有至少两种不同的电阻状态的单元，以及用于识别脆弱比特的电路，在被读取时，脆弱比特可能会提供不准确的值。通过在读出放大器内使用不同的参考电压，可以不用使用外部因素（比如温度和电源电压的变化），并且不用修改存储器的定时和时钟信号，能够实现所述指示。另外，这里所提供的方法使得读出放大器在逻辑电路和第二参考电压或者电流的控制下是不平衡的。结果，这里所提供的存储器测试电路能够提高工作时的可靠性，并将用现有的方法举例说明的具有欺骗性的脆弱比特以及错误的存在减至最低。使用本发明使得对边界电阻比特的检测成为可能，这使得存储器更为可靠，不会由于存在脆弱存储单元比特而出错。

附图说明

下面举例说明本发明。本发明不受附图的限制，附图中相同的标记表示相同的部件。附图中：

图1图解了具有用于识别脆弱比特的电路的存储器的一部分的示意图；

图2图解了根据本发明，识别存储器中的脆弱比特的方法的流程图；

图3图解了具有用于识别脆弱比特的电路的存储器的一部分的另一个实施例的示意图；

图4图解了图1的存储器的另一个实施例的示意图；

图5图解了图3的存储器的另一个实施例的示意图；

图6图解了用在图1、3、4和5中的参考电路的另一个实施例的示意图。

本领域的普通技术人员知道，图中的元件的描绘方式只不过是為了清楚和简明起见，不一定是按照比例绘制的。例如，图中的某些元件相对于其它元件可能被夸大了，以有助于增进对本发明的实施例的理解。

具体实施方式

图1图解了具有用于识别脆弱比特的电路的存储器10。存储器10是具有多个单元的存储器，每一个单元具有至少两个不同的电阻状态。一个具有电阻 R_R 的存储器参考电路12与具有电阻 R_B 的待测存储器比特单元14结合使用。存储器比特单元14的第一端子如虚线所

示连接到第一参考电压端子，用于接收一个电压 V_{SS} 。存储器比特单元 14 的第二端子如虚线所示连接到第一电流电极，该电流电极是一个 N 沟道晶体管 16 的源极的形式。这里所描绘的与存储单元相关的所有虚线表示使用行和列选择电路（未图示）来将存储单元连接在 V_{SS} 和读出放大器之间，读出放大器由 N 沟道晶体管 16、P 沟道晶体管 20、P 沟道晶体管 22 以及 N 沟道晶体管 26 构成。晶体管 16 具有第二电流电极，该第二电流电极是连接到晶体管 20 的漏极的漏极的形式。晶体管 20 具有连接到电源电压端子的源极，用于接收电压 V_{DD} 。晶体管 20 的一个栅极在节点 24 连接到晶体管 22 的一个栅极，该节点 24 提供作为参考输出信号的 Reference Out 信号。晶体管 22 的一个源极连接到 V_{DD} 端子。晶体管 22 的一个漏极连接到晶体管 26 的一个漏极以及晶体管 22 的一个栅极。晶体管 26 的一个栅极连接到参考电路 13 中的一个节点 31，用于接收第一参考电压 V_{REF1} 。晶体管 26 的一个源极连接到具有电阻 R_R 的参考存储单元 28 的第一端子。该参考存储单元 28 的第二端子连接到 V_{SS} 电压端子。作为晶体管 16 的栅极的控制电极在节点 30 连接到参考电路 13 的参考选择电路 18 的参考信号。参考选择电路 18 的第一输入接收第一参考电压 V_{REF1} ，参考选择电路 18 的第二输入接收第二参考电压 V_{REF2} 。参考选择电路 18 的控制输入端接收测试控制（TEST CONTROL）信号。该测试控制信号最好可以取第一值或者第二值，分别用于选择 V_{REF1} 和 V_{REF2} 参考电压。

在普通操作模式下，将测试控制信号设定为使得 V_{REF1} 电压输入被施加于节点 30。这样，晶体管 16 和 26 的栅极被施加相同的电压。假定晶体管 16 和 26 具有相同的物理尺寸，具有大的栅极宽度/长度比，使得栅极/源极电压可以被近似为晶体管 16 和 26 的阈值电压。那么，比特电阻 R_B 和参考电阻 R_R 在它们的端子之间具有大致相同的电压。比特电阻 R_B 具有低电阻状态和高电阻状态。参考电阻 R_R 具有一个在 R_B 的高电阻状态和低电阻状态之间的中间电阻。 R_R 上的电压产生一个电流 I_R ，该电流通过晶体管 26 到达节点 24，并通过晶体管 22。作为晶体管 22 以二极管方式连接的结果，由晶体管 22 传导的该电流 I_R

确定了晶体管 22 的栅极和漏极上的电压。晶体管 20 被连接以镜像反射由晶体管 22 传导的电流 I_R 。

假设比特电阻 R_B 在低电阻状态，则通过存储单元 14 和晶体管 16 的比特电流 I_B 会大于通过参考单元 28 的电流 I_R 。净结果是 BIT OUT（比特输出）上的电压会低于 REFERENCE OUT（参考输出）上的电压，表示低电阻状态。

类似地，假设比特电阻 R_B 在高电阻状态，则通过存储单元 14 和晶体管 16 的比特电流 I_B 会小于通过参考单元 28 的电流 I_R 。净结果是 BIT OUT（比特输出）上的电压会高于 REFERENCE OUT（参考输出）上的电压，表示高电阻状态。

由于工艺的变化，比特电阻会变化。低电阻状态的某些比特的电阻值会稍稍小于或者等于参考值，从而通过标准测试。类似地，其它一些高电阻状态的比特的电阻值可能会接近或者稍稍大于参考电阻，从而勉强通过标准测试。为了筛选出这些脆弱比特，测试控制信号能够实现一种测试模式，使得参考选择电路 18 向节点 30 提供 V_{REF2} 。合适的 V_{REF2} 值会使得脆弱比特失效。存储单元 14 可能具有接近参考电阻值的低态电阻值，使得 I_B 只是稍稍大于 I_R 。施加小于 V_{REF1} 的 V_{REF2} 会降低 I_B ，从而，脆弱比特的 I_B 会小于 I_R ，从而使脆弱比特失效。类似地，存储单元 14 可能具有接近参考电阻值的高态电阻值，使得 I_B 只是稍稍大于 I_R 。施加大于 V_{REF1} 的 V_{REF2} 会增大 I_B ，从而，脆弱比特的 I_B 会大于 I_R ，从而使脆弱比特失效。

图 2 所示为上述测试模式的流程图。在开始步骤 40 之后，在步骤 42 将一个低态值写入测试比特 R_B 。在步骤 44，通过选择预定的测试参考电压 V_{REF2} （其在幅度上小于 V_{REF1} ）来测试测试比特 R_B 。如果比特输出（BIT OUT）信号是逻辑高电平，则在步骤 46 判定存储单元 14 的比特电阻不足以可靠地读出低值，并在步骤 48 指出是什么地方的比特失效。如果在晶体管 20 的漏极提供的比特输出（BIT OUT）信号为逻辑低电平，则在步骤 46 判定存储单元 14 的比特电阻足以可靠地读出低值。如果比特没有失效，在步骤 50 将高态值写入测试比特

R_B 。在步骤 52, 通过选择预定的测试参考电压 V_{REF2} (其在幅度上大于 V_{REF1}) 来测试测试比特 R_B 。如果比特输出 (BIT OUT) 信号是逻辑低电平, 则在步骤 54 判定存储单元 14 的比特电阻不足以可靠地读出高值, 并在步骤 48 指出是什么地方的比特失效。如果在晶体管 20 的漏极提供的比特输出 (BIT OUT) 信号为逻辑高电平, 则存储单元 14 的比特电阻足以可靠地读出高值。在步骤 56, 该比特通过。可以对另外的存储单元 (如果有的话) 重复所述测试。

应当注意, 在步骤 44 和 46 中, 可以进行判断以对 V_{REF1} 和 V_{REF2} 使用不同的值重复测试。这样, 可以进行一个扫描操作, 以精确地确定存储单元的值与边际电阻 (临界电阻) 有多接近。类似地, 可以对 V_{REF1} 和 V_{REF2} 使用不同的值来重复步骤 52 和 54。

如图 3 所示的是另一个存储器, 也就是存储器 60, 其中的读出放大器采用了不同的方案, 其中, 使用了公共电流而不是公共栅极来实现对读出放大器的偏置。一个 P 沟道晶体管 64 具有一个源极连接到 V_{DD} 电压端子, 其一个栅极在节点 62 连接到参考电路 77 的参考选择电路 80 的输出。晶体管 64 的一个漏极提供“比特输出”信号, 并被连接到一个 N 沟道晶体管 68 的漏极。晶体管 68 的源极连接到具有比特电阻 R_B 的存储单元 72 的第一端子。如前所述, 晶体管 68 的源极可以直接连接到存储单元 72, 或者可以通过行选择和/或列选择电路连接。类似地, 存储单元 72 的第二端子可以连接到一个电源电压端子, 用以接收 V_{SS} , 或者可以通过行选择和/或列选择电路连接。一个 P 沟道晶体管 66 的一个源极连接到一个端子用以接收 V_{DD} 。晶体管 66 的一个栅极连接到参考电路 77 中的一个节点 63, 并连接到第一参考电压 V_{REF1} , 晶体管 66 的漏极提供“参考输出”信号, 并被连接到以二极管方式连接的 N 沟道晶体管 70 的栅极和漏极。晶体管 70 的栅极在节点 78 被连接到晶体管 68 的栅极。晶体管 70 的源极被连接到具有参考电阻值 R_R 的参考存储单元 74 的第一端子。存储参考电路 76 由晶体管 66、晶体管 70 和参考存储单元 74 构成。参考存储单元 74 的第二端子连接到用于接收 V_{SS} 电源电压的端子。参考存储单元 74 的第一端子和

第二端子可以直接分别连接到晶体管 70 和 V_{SS} 电源电压端子, 或者可以通过行选择和/或列选择电路 (未图示) 连接。参考选择电路 80 的第一输入连接到 V_{REF1} 信号, 参考选择电路 80 的第二输入连接到 V_{REF2} 信号。

在工作时, V_{REF1} 以一个已知的电压偏置晶体管 66, 以建立一个通过晶体管 66 的参考电流 I_{R1} 。该电流 I_{R1} 进一步偏置按二极管方式连接的晶体管 70, 在节点 78 上建立一个电压。该电流 I_{R1} 继续通过晶体管 70 到达参考存储单元 74。假定晶体管 68 和 70 具有相同的物理尺寸, 具有大的栅极宽度/长度比, 使得栅极/源极电压可以被近似为晶体管 68 和 70 的阈值电压。参考存储单元 74 和比特单元 72 两端的电压大致相同。比特单元电阻 R_B 产生一个电流 I_B 。在正常操作中, 测试控制信号使得 V_{REF1} 被置于节点 62 上。晶体管 64 被设计为与晶体管 66 匹配, 从而, 在这种情况下, 电流 I_{R2} 与电流 I_{R1} 相同。如果比特电阻 R_B 在低态, 使得电阻 R_B 小于电阻 R_R , 则电流 I_B 会大于 I_{R1} , 在“比特输出”的电压会小于“参考输出”信号的电压。另一方面, 如果比特电阻 R_B 在高态, 使得电阻 R_B 大于电阻 R_R , 则电流 I_B 会小于 I_{R1} 。“比特输出”上的电压会大于“参考输出”信号的电压。

由于工艺的变化, 比特电阻会变化。低电阻状态的某些比特的电阻值会稍稍小于或者等于参考值, 从而通过标准测试。类似地, 其它一些高电阻状态的比特的电阻值可能会接近或者稍稍大于参考电阻, 从而勉强通过标准测试。为了筛选出这些脆弱比特, 测试控制信号能够实现一种测试模式, 使得参考选择电路 18 向节点 62 提供 V_{REF2} 。合适的 V_{REF2} 值会使得脆弱比特失效。存储单元 72 可能具有接近参考电阻值的低态电阻值, 使得 I_B 只是稍稍大于 I_{R2} 。施加小于 V_{REF1} 的 V_{REF2} 会增大 I_{R2} , 从而, 脆弱比特的 I_B 会小于 I_{R2} , 从而使脆弱比特失效。类似地, 存储单元 72 可能具有接近参考电阻值的高态电阻值, 使得 I_B 只是稍稍小于 I_{R2} 。施加大于 V_{REF1} 的 V_{REF2} 会减小 I_{R2} , 从而, 脆弱比特的 I_B 会大于 I_{R2} , 从而使脆弱比特失效。

如图 4 所示的是图 1 所示的存储器 10 的另一种形式。为了比较

的目的，图 4 和图 1 之间共同的元件用相同的标记表示。一个存储器参考电路 81 的 P 沟道晶体管 82 的源极连接到用于接收电源电压 V_{DD} 的端子。晶体管 82 的栅极连接到其漏极，并连接到晶体管 20 的栅极和 P 沟道晶体管 84 的栅极。晶体管 84 的源极连接到用以接收电源电压 V_{DD} 的端子。晶体管 82 的漏极连接到 N 沟道晶体管 88 的漏极。参考电路 13 的节点 31 和第一参考电压 V_{REF1} 连接到被连接在一起的晶体管 88 的栅极和 N 沟道晶体管 92 的栅极。晶体管 84 的漏极被连接到一个参考输出 (REFEREBCE OUT) 端子，并连接到晶体管 92 的漏极。每一个晶体管 88 和 92 的源极连接在一起。晶体管 88 的源极连接到具有电阻 R_H 的高参考存储单元 90 的第一端子。该参考存储单元 90 的第二端子连接到 V_{SS} 电压端子。晶体管 92 的源极连接到具有电阻 R_L 的低参考存储单元 94 的第一端子。该参考存储单元 94 的第二端子连接到 V_{SS} 电源电压端子。通过虚线所示的行选择和列选择电路 (未图示)，存储单元 90 和 94 分别连接在 V_{SS} 电源电压端子和晶体管 88 和 92 之间。图 4 中的存储器的所有剩余电路的连接与前面对图 1 的描述一样，并使用了相同的元件标号。

在工作时，存储器参考电路 81 执行与图 1 的存储参考单元 12 相同的功能。在普通工作模式下，将“测试控制”信号设定为使得 V_{REF1} 电压输入被施加给节点 30。这样，晶体管 16、88 和 92 的栅极被施加相同的电压。假定晶体管 16、88 和 92 具有相同的物理尺寸，具有大的栅极宽度/长度比，使得栅极/源极电压可以被近似为晶体管 16、88 和 92 的阈值电压。这样，比特电阻 R_B 和参考电阻 R_H 和 R_L 在它们的端子之间具有大致相同的电压。比特电阻 R_B 具有低电阻态和高电阻态。将参考电阻 R_L 制造得类似于 R_B 的低电阻态，将参考电阻 R_H 制造得类似于 R_B 的高电阻态。 R_L 和 R_H 的并联组合的两端的电压产生一个电流 $2I_R$ 。电流 I_R 流过每一个晶体管 88 和 92。作为晶体管 82 按照二极管方式连接的结果，晶体管 82 传导的电流 I_R 在晶体管 82 的栅极和漏极上确定了电压。晶体管 20 和 84 被连接为镜像反射晶体管 82 所传导的电流 I_R 。

假设比特电阻 R_B 在低电阻态, 则通过存储单元 14 和晶体管 16 的比特电流 I_B 会大于参考电流 I_R 。净结果是“比特输出”上的电压会小于“参考输出”上的电压, 这表明低电阻态。

类似地, 假设比特电阻 R_B 在高电阻态, 则通过存储单元 14 和晶体管 16 的比特电流 I_B 会小于通过参考单元 28 的参考电流 I_R 。净结果是“比特输出”上的电压会高于“参考输出”上的电压, 这表明高电阻态。

由于工艺的变化, 比特电阻会变化。低电阻状态的某些比特的电阻值会稍稍小于或者等于参考值, 从而通过标准测试。类似地, 其它一些高电阻状态的比特的电阻值可能会接近或者稍稍大于参考电阻, 从而勉强通过标准测试。为了筛选出这些脆弱比特, 测试控制信号能够实现一种测试模式, 使得参考选择电路 18 向节点 30 提供 V_{REF2} 。合适的 V_{REF2} 值会使得脆弱比特失效。存储单元 14 可能具有接近参考电阻值的低态电阻值, 使得 I_B 只是稍稍大于 I_R 。施加小于 V_{REF1} 的 V_{REF2} 会减小 I_B , 从而, 脆弱比特的 I_B 会小于 I_R , 从而使脆弱比特失效。类似地, 存储单元 14 可能具有接近参考电阻值的高态电阻值, 使得 I_B 只是稍稍大于 I_R 。施加大于 V_{REF1} 的 V_{REF2} 会增大 I_B , 从而, 脆弱比特的 I_B 会大于 I_R , 从而使脆弱比特失效。

如图 5 所示的是图 3 所示的存储器 60 的另一种形式。为了比较的目的, 图 5 和图 3 之间共同的元件用相同的标记表示。一个存储器参考电路 100 的 P 沟道晶体管 102 的源极连接到用于接收电源电压 V_{DD} 的电源电压端子。晶体管 102 的栅极连接到参考电路 77 的一个节点 63 以及第一参考电压 V_{REF1} , 并连接到参考选择电路 80 的第一输入。晶体管 102 的漏极在节点 105 连接到 N 沟道晶体管 106 的漏极。晶体管 106 的栅极连接到晶体管 68 的栅极, 并在节点 105 连接到晶体管 106 的漏极。晶体管 106 的源极连接到具有高电阻值 R_H 的参考存储单元 112 的第一端子。该连接可以是直接连接, 或者通过行选择电路和列选择电路 (未图示) 中的一个或者两个连接。参考存储单元 112 的第二端子通过行选择电路和列选择电路 (未图示) 中的一个或者两个, 或者直接连接到用于接收电压 V_{SS} 的参考电压端子。P 沟道晶体管 104

的源极连接到用于接收 V_{DD} 的电源电压端子。晶体管 104 的栅极共同连接到晶体管 102 的栅极和第一参考电压 V_{REF1} 。晶体管 104 的漏极提供“参考输出”信号，并连接到 N 沟道晶体管 108 的漏极。晶体管 108 的栅极连接到节点 105，晶体管 108 的源极在节点 110 连接到晶体管 106 的源极。晶体管 108 的源极也连接到具有低电阻值 R_L 的参考存储单元 114 的第一端子。该连接可以是直接连接，或者通过行选择电路和列选择电路（未图示）中的一个或者两个连接。参考存储单元 114 的第二端子通过行选择电路和列选择电路（未图示）中的一个或者两个，或者直接连接到用于接收 V_{SS} 的参考电压端子。

在工作时， V_{REF1} 以一个已知的电压偏置晶体管 102 和 104，以分别建立相等的通过晶体管 102 和 104 的参考电流 I_{R1} 。该电流 I_{R1} 进一步偏置按二极管方式连接的晶体管 106，在节点 105 上建立一个电压。该电流 I_{R1} 继续分别通过晶体管 106 和 108 到达参考存储单元 112 和 114。假定晶体管 68、106 和 108 具有相同的物理尺寸，具有大的栅极宽度/长度比，使得栅极/源极电压可以被近似为晶体管 68、106 和 108 的阈值电压。参考存储单元 112 和 114 和比特单元 72 两端的电压大致相同。比特单元电阻 R_B 产生一个电流 I_B 。在正常操作中，测试控制信号使得 V_{REF1} 被置于节点 62 上。晶体管 64 被设计为与晶体管 102 和 104 匹配，从而，在这种情况下，电流 I_{R2} 与电流 I_{R1} 相同。如果比特电阻 R_B 在低态，使得电阻 R_B 小于电阻 R_H 和 R_L 的平均，则电流 I_B 会大于 I_{R1} ，在“比特输出”的电压会小于“参考输出”信号的电压。另一方面，如果比特电阻 R_B 在高态，使得电阻 R_B 大于电阻 R_H 和 R_L 的平均，则电流 I_B 会小于 I_{R1} 。“比特输出”上的电压会大于“参考输出”信号的电压。

由于工艺的变化，比特电阻会变化。低电阻状态的某些比特的电阻值会稍稍小于或者等于参考值，从而通过标准测试。类似地，其它一些高电阻状态的比特的电阻值可能会接近或者稍稍大于参考电阻，从而勉强通过标准测试。为了筛选出这些脆弱比特，测试控制信号能够实现一种测试模式，使得参考选择电路 80 向节点 62 提供 V_{REF2} 。合

适的 V_{REF2} 值会使得脆弱比特失效。存储单元 72 可能具有接近参考电阻值的低态电阻值, 使得 I_B 只是稍稍大于 I_R 。施加小于 V_{REF1} 的 V_{REF2} 会增大 I_{R2} , 从而, 脆弱比特的 I_B 会小于 I_{R2} , 从而使脆弱比特失效。类似地, 存储单元 72 可能具有接近参考电阻值的高态电阻值, 使得 I_B 只是稍稍小于 I_R 。施加大于 V_{REF1} 的 V_{REF2} 会减小 I_{R2} , 从而, 脆弱比特的 I_B 会大于 I_{R2} , 从而使脆弱比特失效。

图 6 所示为图 1、3、4 和 5 中的参考电路 13 和 77 的另一种形式, 被标记为参考电路 13' 或者 17'。为了方便, 只是图示了单张图, 而不是分别对图 1、3、4 和 5 重复该图。因此, 使用另一套参考标号。第一参考电压 V_{REF1} 连接到参考选择电路 18、80 的第一输入。第二参考电压 V_{REF2} 连接到参考选择电路 18、20 的第二输入, 并连接到节点 30、62。参考选择电路 18、80 的输出连接到节点 31、63。测试控制信号 (TEST CONTROL) 连接到参考选择电路 18、80 的控制端子, 用于控制是否由参考选择电路 18、80 将输入的 V_{REF1} 或者输入的 V_{REF2} 置于节点 31、63 上。

在工作时, 在正常模式下, 此备选方案将 V_{REF2} 参考电压置于节点 31、63 和节点 30、62 上, 而不是象在图 1、3、4 和 5 中那样将 V_{REF1} 置于节点 31、63 和节点 30、62 上。在测试模式下, 象图 1、3、4、5 中描述的那样将 V_{REF1} 置于节点 31、63 上, 将 V_{REF2} 置于节点 30、62 上。因此, 从操作上看, 对于上述每一个实施例, 在测试模式下是一样的。

这样, 就提供了一种存储器, 比如 MRAM, 其具有至少两种不同的电阻状态的单元, 以及用于识别脆弱比特的电路, 在被读取时, 脆弱比特可能会提供不准确的值。通过在读出放大器内使用不同的参考电压, 可以不用使用外部因素 (比如温度和电源电压的变化), 并且不用修改存储器的定时和时钟信号, 能够实现所述指示。在图解的形式中, 这里所提供的方法使得读出放大器在逻辑电路和第二参考电压或者电流的控制下是不平衡的。结果, 这里所提供的存储器测试电路能够提高工作时的可靠性, 并将用现有的方法举例说明了的具有欺

骗性的脆弱比特以及错误的存在减至最低。使用本发明使得对边界电阻比特的检测称为可能，这使得存储器更为可靠，不会由于存在脆弱存储单元比特而出错。

识别出脆弱比特后，可以用存储器冗余来修复存储器。取决于所识别的脆弱比特的数量，可以通过冗余来修复存储器，或者，如果剩下的冗余量不足，则只能废弃该存储器。

应当理解，这里由参考选择电路 18 和 80 提供的参考电压选择电路可以被实现为多路复用电路，或者可以使用各种逻辑电路来实现响应于控制信号提供预定值的一个或者两个参考电压的功能。

因为实现本发明的设备绝大部分是由本领域的普通技术人员已知的电子部件和电路构成的，在这里没有更为详尽的解释电路的细节，对于理解本发明所包含的概念来说，或者对于不对本发明的教导产生困惑和理解上的偏差来说，只有上面所描述的部分是必需的。

在前面的说明中，参照具体实施例对本发明进行了描述。但是，本领域的普通技术人员理解，可以进行各种各样的修改和变化而不超出权利要求所给出的本发明的范围。例如，这里所公开的与参考选择电路一起使用的读出放大器的电路实现方式是可变的，用于在各种方法中进行数据的读出。尽管图解的是特定导电类型的 MOSFET，但是应当理解，可以改变导电类型（交换第一导电类型（N 沟道）和第二导电类型（P 沟道）或者反之），或者改变晶体管的类型，来实现互连结构。可以使用用各种磁阻随机存取存储器结构实现的存储器。编程和读出磁阻随机存取存储器的操作的类型可以变化，并与这里所教导的方法一起使用。因此，说明书和附图应当被视为说明性的，而不是限制性的。所有上述变化都应被包括在本发明的范围之内。

上面针对具体实施例描述了对问题的解决方案及其优点。但是，所述优点、对问题的解决以及任何可能导致任何优点或者解决方案，或者使这种优点和解决方案更为显著的因素，都不应视为任何或者所有权利要求的关键的、必需的或者基本的特征或者因素。这里所使用的术语“包括”及其任何变化的形式，所要表达的意思是“非排他性的包

括”。这样，包括一组元素的工艺、方法、制品或者设备不是只包括这些元素，而是还可以包括没有明确列出的，或者这样的工艺、方法、制品或者设备固有的其它元素。这里所用的术语“一个”，是指一个或者多于一个。这里所用的术语“多个”，是指两个或者多于两个。术语“另一个”是指至少一个或者更多个“第二个”。术语“包括”和/或“具有”是指开放性的“包括”。术语“连接”不一定是指“直接连接”，也不一定是指“机械连接”。

图 1

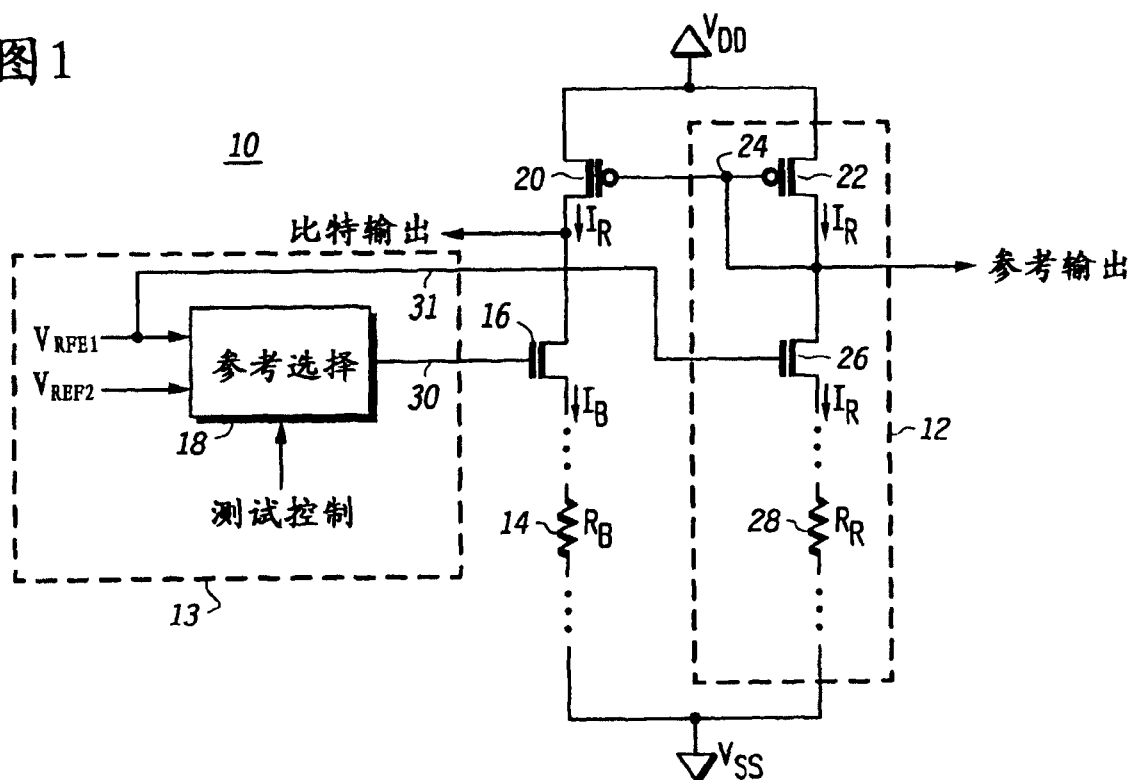
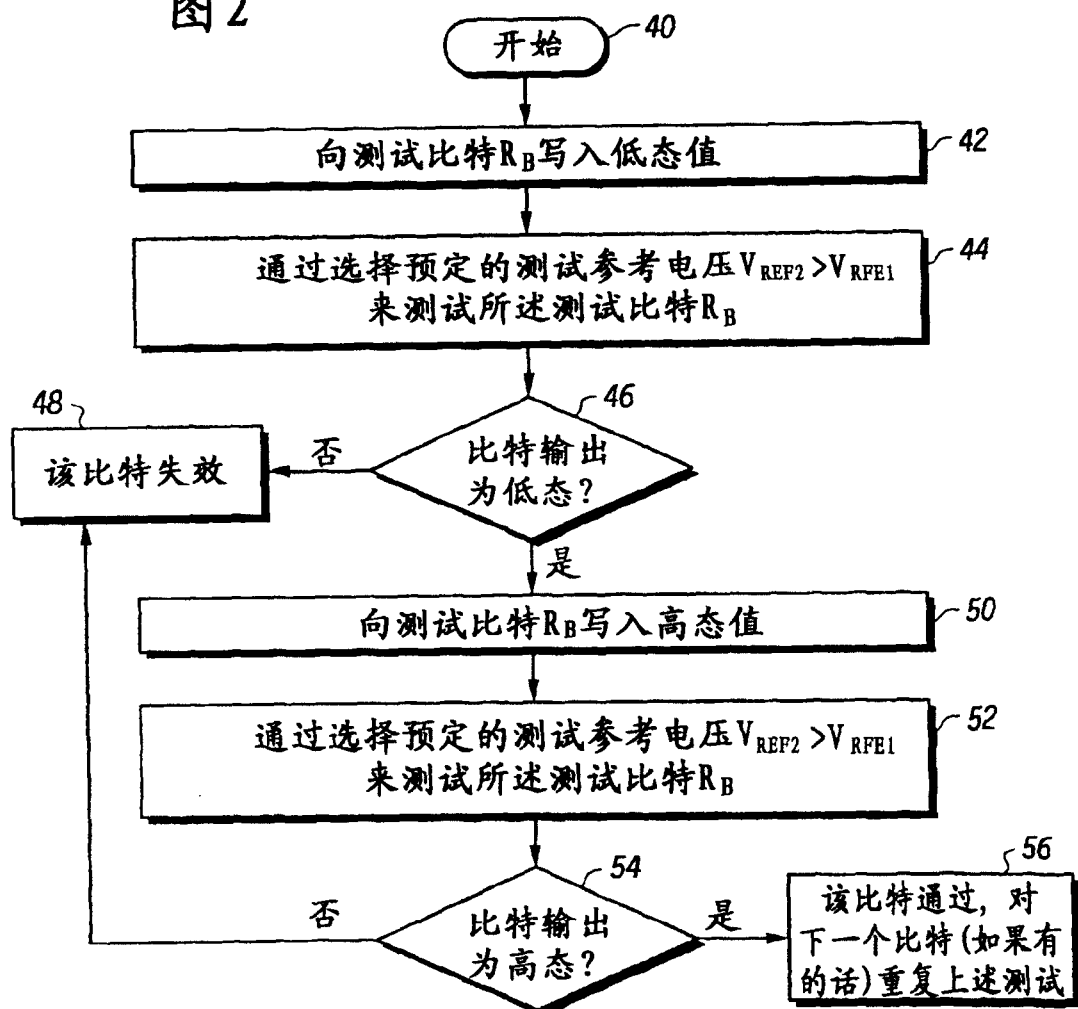


图 2



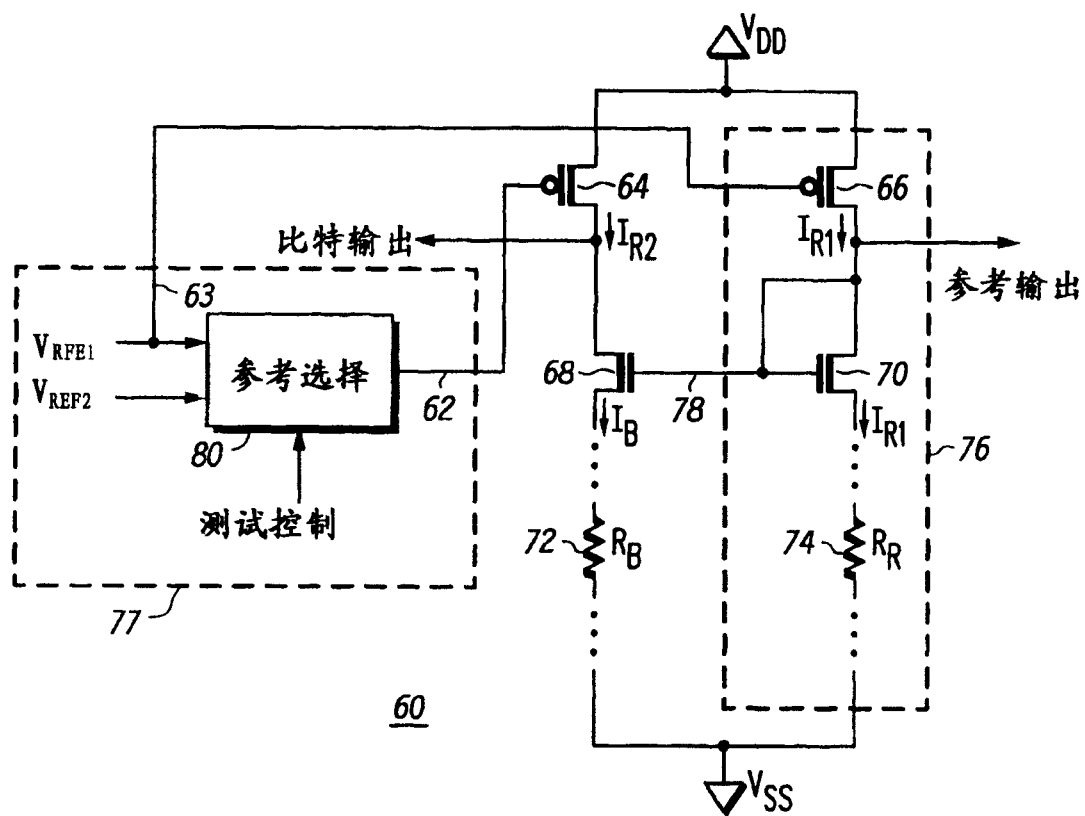


图 3

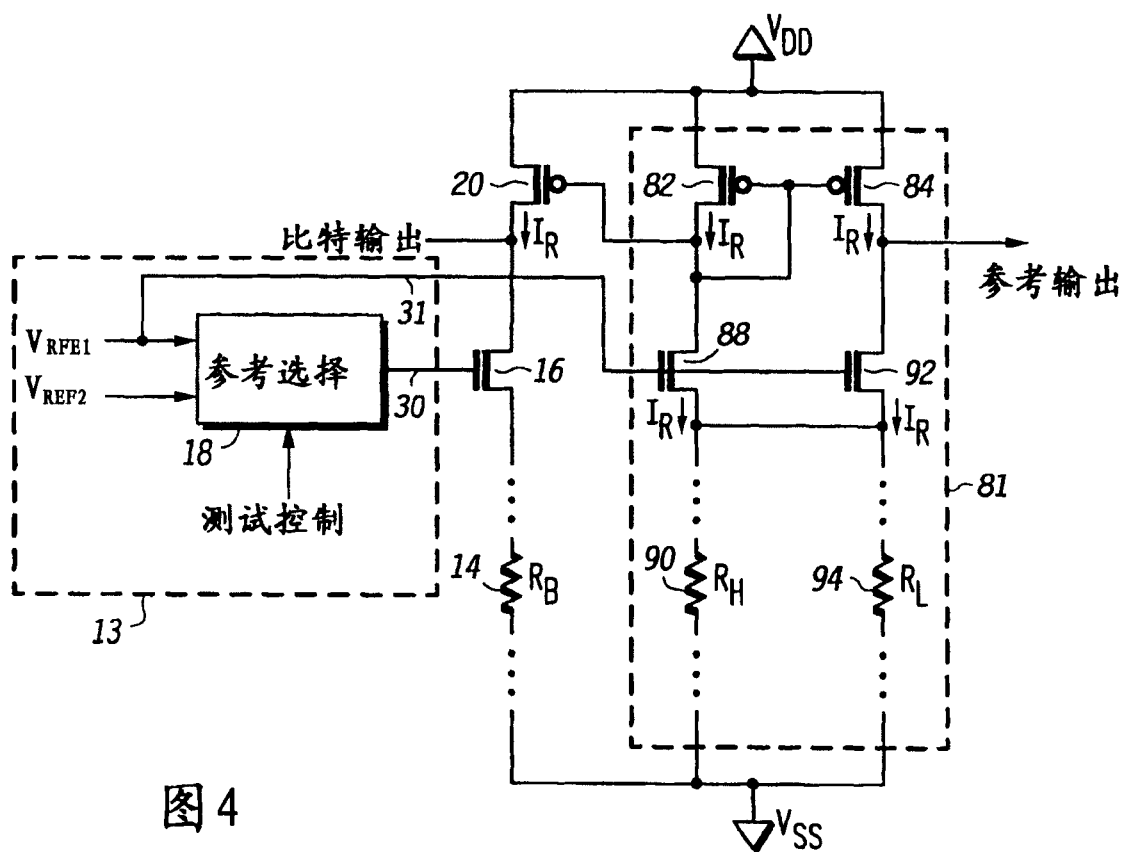


图 4

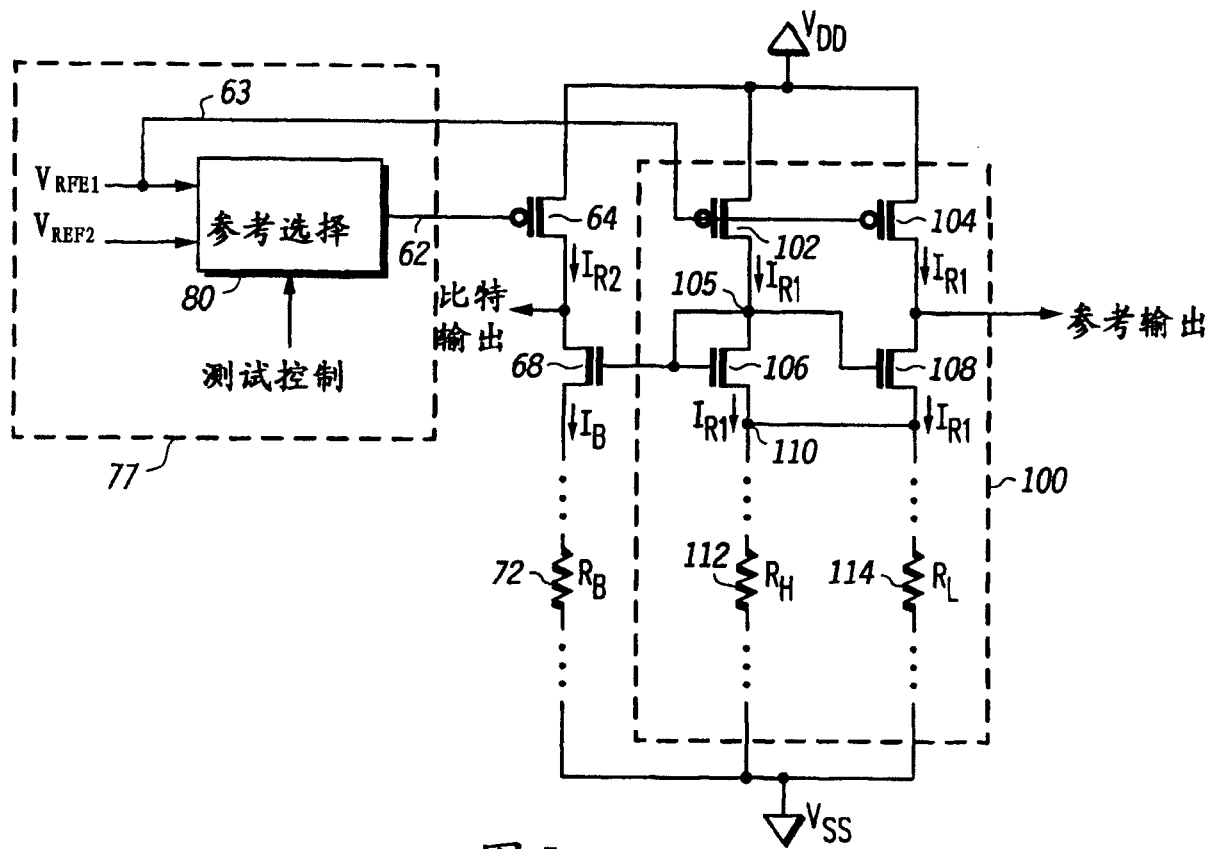


图 5

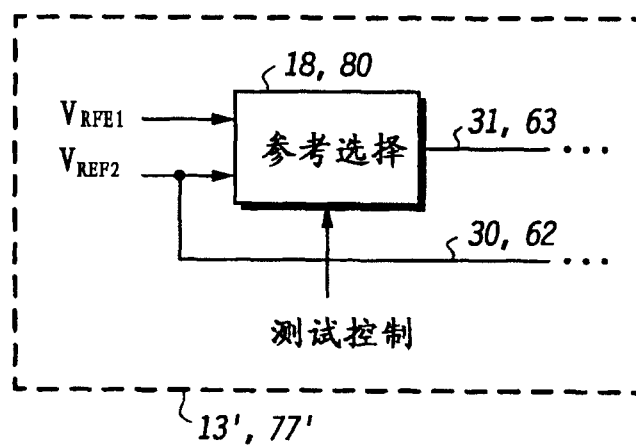


图 6