

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷

H03L 7/00

(45) 공고일자 2000년06월15일

(11) 등록번호 10-0258643

(24) 등록일자 2000년03월14일

(21) 출원번호 10-1993-0002420

(65) 공개번호 특 1993-0018863

(22) 출원일자 1993년02월22일

(43) 공개일자 1993년09월22일

(30) 우선권주장 841,115 1992년02월25일 미국(US)

(73) 특허권자 톰슨 콘슈머 일렉트로닉스, 인코포레이티드 크리트먼 어원 엠

미국 인디아나주 46290-1024 인디아나폴리스 노스 메리디안 스트리트 10330

(72) 발명자 바쓰알란캔필드

미합중국, 인디아나, 인디아나폴리스, 이스트사우스포트 로우드 7541

마크프란시스럼레이크

미합중국, 인디아나, 인디아나폴리스, 길포드 애비뉴 5333

하인리히쉐만

독일연방공화국, 빌리겐 7730, 단지거-슈트라세 17

(74) 대리인 나영환, 도두형

심사관 : 강성규

(54) 적응 위상 고정루프

요약

가변 오실레이터와, 상기 가변 오실레이터를 제어하기 위한 위상 및 주파수 에러 신호를 발생시키는 장치를 포함하는 PLL 시스템은 주파수 에러 신호의 극성에 응답하여 PLL 시스템의 주파수 위상 고정이 이루어질 때 가변오실레이터로부터의 주파수 에러 신호를 선택적으로 차단시키는 장치를 구비하고 있다.

대표도

도1

명세서

[발명의 명칭]

적응 위상 고정 루프

[도면의 간단한 설명]

제1도는 본 발명이 이용될 수 있는 시스템의 블록도.

제2도는 본 발명을 구체화한 위상 고정 루프의 개략도.

제3도 및 제4도는 제2도의 엘리먼트(100)에 이용될 수 있는 주파수 고정검출기의 블록도.

제3a도는 제3도의 엘리먼트(13)를 실행하는데 사용될 수 있는 장치의 블록도.

제5도는 PAL 비디오 신호와 동작할 수 있도록 제2도의 회로에 추가의 장치를 장착하여 블록도로 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명

12 : 배타적 OR 게이트 13 : 누산기

14 : 비교기 30 : 아날로그/디지털 변환기

31 : 동기 분리기 32 : 위상 검출기

34 : 비디오 신호 프로세서 52, 88 : 2의 보수 회로

56, 90 : AND 게이트 78 : 타이밍 신호 발생기

92 : 제한기 100 : 해제 검출기

[발명의 상세한 설명]

본 발명은 위상 고정 루프(PLL)에 관한 것으로서, 특히 그의 피드백 루프에 인가되는 에러 신호를 제어하

기 위한 장치에 관한 것이다.

위상 고정 루프는 전송 신호의 위상 및/또는 주파수 성분을 갖는 가변 로컬오실레이터를 동기화하기 위한 회로인데, 이는 통신 분야에서 공지된 것이다.

통상적으로, 그러한 회로는 전송 신호 및 로컬 오실레이터의 출력에 응답하는 위상 검출기를 포함하여 전송 신호 성분과 오실레이터 출력 성분간의 차에 비례하는 위상 에러 신호를 발생시킨다. 위상 에러 신호는 가변 오실레이터의 발진율을 제어하도록 인가된다. PLL의 동작을 강화시키기 위해, 어떤 시스템에서는 가변 오실레이터의 주파수와 전송 신호 성분 주파수간의 차에 비례한 에러 신호를 발생시키는 제2 루프를 포함한다. 주파수 에러 신호는 오실레이터의 발진율을 제어하도록 위상 에러 신호에 부가된다. 가변 오실레이터는 위상 고정(lock)이 이루어지기전에 원하는 주파수를 달성하게 되는데, 이 순간에 주파수 에러 신호는 대체로 제로가 되고 PLL은 주로 위상 에러 신호만으로 제어된다.

어떤 PLL 시스템에서는, 주파수 고정이 이루어졌을 때 주파수 에러 신호를 활성적으로 차단하는 것이 바람직할 수도 있다. 주파수 에러함을 차단시키면 가변 오실레이터에 의한 신호 위상에서의 지터(jitter)의 원인이 되는 주파수 에러 신호의 노이즈를 배제할 수 있다. 위상 지터는 특히 디지털화된 신호에 응답하도록 배치된 주파수 에러 회로를 포함하는 PLL 예를 들어, 복합 비디오 신호 부반송파 버스트의 펄스 코드 변조(PCM) 표시에 응답하는 PLL에서 문제가 된다. 그러한 PLL을 예시한 R. T. Fling에 대한 미합중국 특허 제4,884,040호는 이미 하여되었다. Fling 타입 PLL의 실행은 시스템에서 주파수 고정이 이루어질때 주파수 에러함을 활성적으로 차단함으로써 현저히 개선될 수 있다.

본 발명의 PLL 시스템은 가변 오실레이터와, 상기 가변 오실레이터를 제어하기 위한 위상 및 주파수 에러 신호를 발생시키는 장치를 포함한다. 추가의 장치는 시스템이 위상 고정되도록 신호 성분의 샘플을 누산하고, 이를 누산된 샘플 극성에 응답하여 PLL 시스템의 주파수 위상 고정이 이루어질때 가변 오실레이터로부터의 주파수 에러 신호를 선택적으로 차단시킨다.

본 발명은 비록 위상 및 주파수 에러 신호를 이용하는 임의의 PLL 시스템에서 실질적으로 실행될 수 있기는 하지만, NTSC 비디오 신호 처리 시스템과 관련하여 본 발명에 대해 설명할 것이다. 도 1을 참조하면, 예를들어 텔레비전 튜너로부터의 아날로그 비디오 신호는 아날로그/디지털 변환기(ADC)(30)에 인가된다. 아날로그 신호의 디지털화된 비전은 ADC의 출력단에서 수평 동기 신호 분리기(31), 비디오 신호 프로세서(34) 및 위상검출기(32)까지 접속된다. 비디오 신호 프로세서(34)는 비디오 신호로 하여금 디스플레이 또는 저장되게 한다. 위상 검출기에 접속되어 있는 분리기(31)는 수평 동기 펄스를 생성하여 위상 검출기로 하여금 색도 기준 버스트 간격동안 위상 측정 방식대로 동작하게 된다.

위상 검출기(32)는 디지털화된 비디오 신호에 응답하여 전압 제어되는 오실레이터의 상대 위상을 조절하기 위한 신호를 발생시킨다. 마지막으로, VCO(35)는 다른 회로 엘리먼트를 동작시키기 위한 주 클록 신호를 발생시킨다. 특히, 주 클록 신호의 펄스 타이밍은 ADC(30)가 아날로그 입력 신호의 디지털 샘플을 형성하는 순간을 결정한다.

도 2는 미합중국 특허 제4,884,040호에 기술된 PLL의 일반화된 버전인 PLL내에 포함되어 있는 위상 검출기의 디지털 실시예를 도시한 것이다. 간략히 말해, 스케일러(scaler)(96)에 의해 제공된 위상 에러 신호와 2의 보수 회로(88)에 의해 제공된 주파수 에러 신호는 가산기(94)에서 조합되어 전압 제어 오실레이터(VCO)를 제어하는데 사용된다. 주파수 에러 신호는 해제(unlock) 검출기(100)에 의해 제어되는 게이트 회로(90)를 거쳐 가산기(94)에 선택적으로 인가된다. 즉, 시스템의 주파수 고정이 이루어지면, 게이트(90)는 주파수 에러 신호의 통과를 저지한다. VCO(96)는 전체 시스템을 동작시키는데 사용되는 주클록 신호 Fc를 발생시키는데, 상기 주 클록 신호 Fc의 주파수는 커러 부반송파 주파수의 4배이다.

도 2에서, 종래의 수평 동기 신호 분리기(31)로부터의 수평 동기 신호 HSYNC1은 타이밍 신호 발생기(78)에 접속되고 아날로그/디지털 변환기(30)로 부터의 디지털 비디오 샘플들을 버스(50)에 접속된다. 클록 신호 Fc와 수평 동기 펄스에 응답하는 타이밍 신호 발생기(78)는 버스트 게이트 신호 BG를 발생시킨다. 버스트 게이트 신호는 명목상으로는 복합 비디오 신호의 각 활성 수평 라인중 부반송파 버스트 성분의 전체 사이클수를 포함하고 있는 펄스를 제공한다. 버스트 게이트 신호는 주 클록 신호 Fc와 수평 동기 신호에 응답하는 종래의 카운팅 회로에 의해 발생될 수 있다.

버스(50)상의 디지털 비디오 신호는 보수 회로(52)와 멀티플렉서(53)의 제1 입력단에 인가된다. 보수 회로의 출력단은 멀티플렉서(53)의 제2입력단에 접속된다. 멀티플렉서(53)는 부반송파 주파수의 구형파 클록 신호가 버스(50)로부터의 두개의 연속 샘플을 그 출력단으로 그리고나서 보수 회로(52)로부터의 두개의 연속 샘플을 그 출력단으로 교대로 접속되게 한다. 멀티플렉서(53)에 인가되는 클록 신호는 제산기(84)에서 VCO(86)로부터의 주 클록 신호 Fc를 4로 제산함으로써 발생된 신호이다. 버스트 간격동안의 멀티플렉서(53)에 의한 샘플 스트림 출력은 시스템이 위상 고정될때 대체로 버스트 신호의 정류된 버전을 나타낸다. 멀티플렉서(53)에 의해 제공되는 교대 샘플들은 예를들어, R-Y 및 B-Y, 또는 I 및 Q 색차 비디오 신호 성분에 대응하는 직각 관련 신호 샘플을 나타낸다.

멀티플렉서(53)에 의해 제공되는 샘플들은 가산기(54)의 한 입력단에 접속되는데, 상기 가산기(54)는 AND 게이트(56)를 거쳐 1 샘플 기간 저장 엘리먼트(58, 60)와 직렬로 접속되어 있다. 저장 엘리먼트(60)의 출력단은 가산기(54)의 제2입력단에 접속된다. 가산기(54)와 저장 엘리먼트(58, 60)가 조합되어 복합 누산기를 형성한다. AND 게이트의 뱅크가 버스트 게이트 신호 BG로 하여금 가산기(54)와 저장 엘리먼트(58)가 접속되게 할때 누산기는 활성이다. 이와는 달리, 버스트 게이트 신호가 로우일때 AND 게이트의 뱅크는 누산기를 결과적으로 제로가 되게하는 제로 출력 신호를 제공한다. 그로써, 누산기는 단일 라인 간격으로부터의 버스트 신호 샘플들을 연속적으로 합산하게 된다. 누산기가 활성일 동안에는, 각각의 직각 신호를 나타내는 샘플들의 합은 분명히 두개의 저장 엘리먼트(58, 60)에 유지된다. 버스트 간격의 말단에서, R-Y 및 B-Y의 누산된 합은 저장 엘리먼트(60, 58)에 각각 존재한다(적어도 시스템이 위상 고정되어 있을 경우).

저장 엘리먼트(58)의 출력단의 부호 비트는 도체는 1 비트 D형 래치(62)의 데이터(D) 입력단에 접속된다. 부호 비트는 래치(58)에 의해 제공되어 누산된 샘플의 극성을 나타낸다.

저장 엘리먼트(60)의 출력단은 병렬 비트 D형 래치(66)의 데이터 입력단에 접속된다. 제2병렬 비트 D형 래치(68)는 래치(66)와 직렬 접속된다. 버스트 게이트 신호는 추가의 D형 래치(80)의 데이터 입력단에 접

속되는데, 상기 D형 래치(80)는 \overline{Q} 출력 단자에서 버스트 게이트 신호의 반전된 버전을 제공한다. 래치(80)로부터 반전된 버스트 게이트 신호는 래치(62, 66, 68)의 클록 입력 단자에 인가되는데, 이로써 래치(62, 66)는 부호 비트와 버스트 간격의 말단에서 발생하는 래치(58, 60)로부터 누산된 값을 각각 저장하게 된다. 래치(62, 66)의 값은 라인 간격의 기간을 위해 저장된다. 래치(66)의 값은 연속라인 간격에서 래치(68)로 전송된다. 래치(66, 68)는 두 개의 연속 비디오 라인으로부터 누산된 R-Y 샘플을 저장하고, 래치(62)는 각 연속 비디오 라인으로부터 누산된 부호 비트인 B-Y 샘플을 저장한다.

위상 고정시에, 래치(66)의 출력에서의 값은 제로값이 되어야 한다. 제로와의 임의의 차는 시스템이 위상 고정에서 벗어난 정도에 비례한 것이다. 따라서, 래치(66)의 출력은 위상 에러 신호로서 사용될 수 있다. 또한, 래치(66)의 출력은 스케일링 회로(96)에 인가되어 위상 에러 신호를 확대시키고 위상 에러 감도를 증가시킨다. 그리고나서, 확대된 위상 에러 신호는 가산기(94)의 한 입력단에 인가된다.

래치(66, 68)의 출력단은 연속 비디오 라인으로부터 누산된 R-Y 값의 차를 생성하는 감산기(70)의 피감수 및 감수 입력단에 각각 접속된다. 버스(50)에 인가되는 신호는 클록 신호 F_C 와 동기적으로 취해지고, 각각의 버스트 간격 전체에 걸쳐 클록 주파수는 비교적 일정하다고 가정한다. 래치(66, 68)에 의해 제공된 누산값은 버스트 신호와 클록 신호 F_C 간의 위상차와 관계가 있다. 감산기(70)에 의해 제공된 차는 라인에서 라인까지의 위상차(비록 가능한 극성 에러를 갖기는 하지만)와 가까우므로, 버스트 성분과 샘플링 클록간의 주파수차의 측정값이라 할 수 있다. 따라서, 감산기(70)에 의해 제공된 차는 보수회로(88)에 인가된다. 보수 회로(88)은 주파수 에러 신호의 극성을 교정하도록 래치(62)에서 제공된 부호 비트에 의해 제어된다. 보수 회로의 출력은 루프가 주파수 고정되어 있지 않을 경우 주파수 에러 신호를 가산기(94)로 통과시키고 다른 경우에는 가산기로 제로값을 인가하도록 검출기(100)에 의해 제어되는 게이팅 회로(90)에 접속된다. 위상 및 주파수 에러 신호는 가산기(94)에 의해 가산되어 제한기(92)에 인가된다. 제한기(92)는 조합된 에러 신호를 소저의 제한값과 동일하거나 이하인 값으로 제한한다. 제한된 에러 신호는 저역 필터링되고 아날로그 형태로 변환되어 VCO(86)에 인가된다. 주파수 에러항은 래치(60)에 의해 제공되는 R-Y 누산값으로부터 파생되지만 또한 래치(58)에 의해 제공되는 B-Y 누산값으로부터도 파생된다는 사실을 주지하자. 후자의 경우, 위상 고정 근처에서 발생하는 누산값은 보다 커지게 되고, 주파수 에러항은 신호 노이즈로 인한 에러에 영향을 덜 받게 된다.

시스템이 주파수 고정을 필요로 하는 경우, 감산기(70)에 의한 차는 제로값이 되어야 하므로 주파수 에러항은 제로가 되어야 한다. 그러나, 노이즈 및/또는 양자화 영향으로 인해 주파수 에러는 위상 고정에 반대의 영향을 미치려고 하는 잔여값을 포함할 수 있다. 따라서, 주파수 고정이 이루어진 후에 가산기(94)로의 주파수 에러항을 금지(즉, 게이트)시키는 것이 바람직다.

"해제"검출에 있어서, 발명자는 시스템이 주파수 고정되어 있지 않을 경우 각 라인에 대한 누산된 샘플의 부호 비트 또는 극성이 필드 간격동안 여려번 변한다고 결정하였다. 이와는 달리, 시스템이 주파수 고정되어 있을 경우 누산된 샘플의 부호 비트는 변하지 않는다. 따라서, 하나의 간격동안 누산된 샘플의 극성이 몇번이나 변하였는지를 계산하여 이 계산값을 임계값과 비교함으로써 주파수 해제 조건을 결정할 수 있다.

래치(58) 또는 래치(60)로부터 누산된 샘플의 극성은 모니터링될 수 있다.

그러나, 도 2의 실시예에서, 래치(60)에서의 값은 시스템이 고정 조건에 접근함에 따라 제로에 가까워지고 약간 낮은 신호 대 잡음비를 나타낼 것이다.

따라서, 래치(58)에 의해 제공되어 누산된 샘플의 극성을 모니터링하는 것이 바람직하다. 처리중인 샘플들은 최상위 비트 위치(MSB)에서의 부호 비트와 최하위 비트 위치(LSB)에서의 값 비트를 포함한 2진 형태로 되어 있고, 누산된 샘플들의 극성은 단지 부호 비트 또는 누산된 샘플의 MSB를 모니터링함으로써 모니터될 수 있다고 가정한다. 누산된 샘플의 MSB는 도 2의 래치(62)에서 이용 가능하다.

도 3은 검출기(100)에서 실행될 수 있는 해제 검출기의 일실시예를 도시한 것이다. 도 3에 있어서, 래치(62)로부터의 MSB는 배타적 OR회로(XOR)(12)의 한 입력 단자와 래치(11)의 데이터 입력단에 접속된다. 1라인 간격만큼 지연된 MSB를 나타내는 래치(11)의 출력은 XOR(12)의 제2입력단자에 접속된다. XOR(12)은 그 두 개의 입력 단자에서의 신호가 상이할 경우 논리값 "1"을 생성하고 동일할 경우에는 논리값 "0"을 생성한다. 만일 연속라인간에 누산된 샘플에서 극성 변화가 일어났을 경우, XOR(12)은 논리값 "1"을 제공할 것이다. XOR(12)의 출력은 엘리먼트(13)에 접속되는데, 이 엘리먼트(13)는 이 예에서 비디오 필드 간격에 대응하는 시간 간격동안 논리값 "1"을 누산 또는 계산한다. 이 간격동안의 논리값 "1"의 총수는 참조와 비교되거나 비교기(14)의 임계값과 비교된다. 만일 논리값 "1"의 수가 참조값을 초과할 경우, 비교기(14)는 논리값 "1"을 출력하게 되는데, 이 논리값 "1"은 다음 필드 단격을 위해 래치(15)에 저장된다. 래치(15)의 출력은 제어 신호로서 게이트 회로(90)에 인가된다.

수직 펄스 신호 F_V 는 래치(15)로 하여금 비교기에 의해 제공되는 출력값을 저장하게 된다. 신호 F_V 는 종래의 수직 동기 분리기에 의해 제공될 수 있다. 또한, 신호 F_V 는 래치(15)를 제어하는 역활이 외에도, 엘리먼트(13)에 인가되어 각 필드 간격의 말단에서 계산값을 제로로 리세트시킨다.

도 3a는 XOR(12)에 의해 제공되는 논리값 "1"을 발생시키기 위한 장치의 일실시예를 도시한 것이다. 도 3a에서, 엘리먼트(13')는 간단한 2진 카운터로 실현된다. XOR(12)로부터의 출력값은 카운터의 인에이블

입력단에 인가되고, 신호 \overline{BG} 는 카운터의 클록 입력단에 인가된다. 카운터는 XOR(12)에 의해 논리값 "1"이 발생할 때마다 신호 \overline{BG} 의 펄스를 계산하도록 인에이블 된다. 수직 신호 F_V 는 카운터의 리세트 입력단에 인가되어 각 필드 간격마다 카운트를 리세트시킨다.

도 4는 XOR(12)에 의한 논리값 "1"이 가산기(20)와 래치(21)로 구성된 누산기를 거쳐 가산된다. 래치(21)는 라인율로 클록되어 누산기로 하여금 필드 간격동안 발생한 이전의 모든 논리값 "1" 및 "0"의 누산된 합에 XOR(12)에 의한 "0" 또는 "1"값을 가산하게 한다. 래치(21)는 필드 간격마다 하나의 펄스를 갖는 신호 Fv를 인가함으로써 필드 간격마다 한번씩 제로값으로 리세트된다. 도 4에 있어서, 비교 기능은 OR게이트 (14')에 의해 제공된다. 이 경우, 래치(21) 출력의 보다 상위 비트의 연결은 OR 게이트 (14')의 각 입력단에 접속된다. OR게이트(14')의 출력은 만일 이들 보다 상위 비트 연결중 임의의 하나가 논리값 "1"을 나타낼 경우 논리값 "1"이 될 것이다. 래치(21)는 계산값을 나타내도록 N 비트라인을 가지며, 이들 N비트 라인들 중 M을 제외한 모든 비트 라인은 OR 게이트(14')의 각 입력 단자에 접속된다고 하면, OR 게이트 (14')는 (2-1)을 초과하는 모든 계산값에 대한 논리값 "1"을 출력할 것이다.

유사한 회로가 PAL 비디오 신호로 동작하는 PLL 시스템에 사용될 수 있다. PAL 신호는 버스트의 직각 위상 성분이 라인에서 라인까지 90도 위상 전환되는 버스트 성분을 포함한다. 위상/주파수 검출 회로에서 이러한 위상 전환을 수용하기 위하여, 인접 라인으로부터 누산값은 평균되거나 합산된다. 이로인해 PAL 버스트 신호의 진동(swinging) 위상은 NTSC 신호의 버스트와 유사하게 나타난다. PAL 신호를 동작시키는데 필요한 추가의 회로는 도 5에 도시되어 있다. 도 5에서, 전달 함수 $H(Z)=1+Z^{-1}$ 를 갖는 제1필터(202)는 래치(60)와 래치(66) 사이에 배치되고, 유사한 전달 함수를 갖는 제2필터(200)는 래치(58)의 출력단에 접속된다. 값 비트와 극성 비트 모두는 필터(200)에 인가된다. 그러나, 필터(200)에 의해 제공되는 래치(58)로부터의 극성 비트만이 래치(62)에 인가된다. 전달 함수에서, "Z"는 변할 수 있는 종래의 Zee 변환이며, 멱지수 "H"는 1라인 주기의 샘플을 지연 간격을 표시한다. 회로의 나머지는 변하지 않는다.

비디오 신호 샘플링 및 위상 고정이 버스트 신호의 색차 성분축과 45도로 되어있는 추가의 시스템을 생각해보자. 이 경우, 도 3 또는 도 4에 배타적 OR 게이트는 NOR게이트로 대체될 수 있다. 만일 NOR 게이트로의 두개의 입력이 양극일 경우, 시스템은 로크 해제되고 주파수향은 위상향으로 부가된다. 주파수 에러 항의 이득은 대략 시간의 50%만이 실현된다는 점에서 이러한 검출기는 단점을 가지고 있다.

상술한 PLL 시스템은 비디오 신호 이외의 것에도 적용될 수 있다. 그러한 적용시에, 가산기(54), 게이트(56) 및 래치(58, 60)로 구성되는 누산기는 샘플값을 연속적으로 누산하거나 소정의 간격에서 선택적으로 리세트하도록 되어 있다. 래치(62, 66, 68)는 규칙적인 비율로 클록될 것이다. 이외에도, 래치(11)는 유사한 규칙적인 비율로 클록되고 누산기(13)는 소정의 간격에서 리세트하도록 되어있다.

(57) 청구의 범위

청구항 1

발진 신호를 발생시키는 가변 오실레이터와; 추가의 신호 소스와; 상기 발진 신호에 의해 결정되는 순간에 상기 추가 신호를 샘플링하여 상기 추가 신호의 샘플들을 제공하는 수단과; 상기 샘플들에 응답하여 상기 가변 오실레이터의 발진율을 제어하기 위한 위상 에러 신호 및 주파수 에러 신호를 발생시키는 수단을 구비하는 상기 추가의 신호 성분에 위상 고정되는 상기 발진 신호를 발생시키는 위한 위상 고정 루프에 있어서, 상기 각 샘플들의 극성에 응답하여 상기 발진 신호가 상기 추가 신호 성분과의 소정의 주파수 관계가 이루어질때 상기 주파수 에러 신호가 상기 가변 오실레이터를 제어하지 못하도록 금지하는 수단을 구비하는 것을 특징으로 하는 위상 고정 루프.

청구항 2

제1항에 있어서, 상기 샘플들은 값 비트들과 하나의 극성 비트를 포함하는 멀티비트샘플이고; 상기 위상 및 주파수 에러 신호를 발생시키는 수단은 상기 샘플들의 누산값을 발생시키는 수단을 포함하며; 상기 금지 수단은 상기 누산된 샘플들의 극성 비트에 따라 상기 주파수 에러 신호를 상기 가변 오실레이터로 통과시키거나 통과시키지 않는 게이팅 수단을 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 3

제2항에 있어서, 상기 금지 수단은 소정의 간격에서 발생된 상기 누산된 샘플들의 극성 비트를 비교하여 비교된 극성 비트가 동일할 경우에는 제1 상태의 논리값을 발생시키고, 동일하지 않을 경우에는 제2 상태의 논리값을 발생시키는 수단을 추가로 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 4

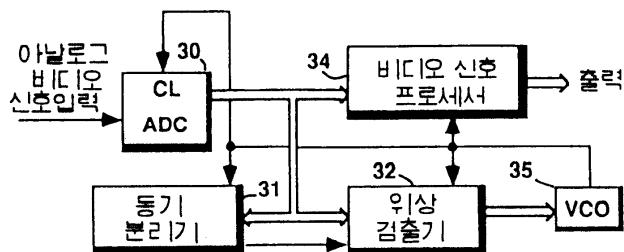
제3항에 있어서, 상기 금지 수단은, 소정의 시간 주기 간격동안 상기 제1 상태 및 제2 상태중 어느 한 상태의 발생 횟수를 계산하여 그 계산값을 발생시키는 수단과; 상기 계산값이 소정의 값을 초과할 경우, 상기 게이팅 수단으로 하여금 상기 주파수 에러 신호를 통과시키게하는 신호를 발생시키는 수단을 추가로 포함하는 것을 특징으로 하는 위상 고정 루프.

청구항 5

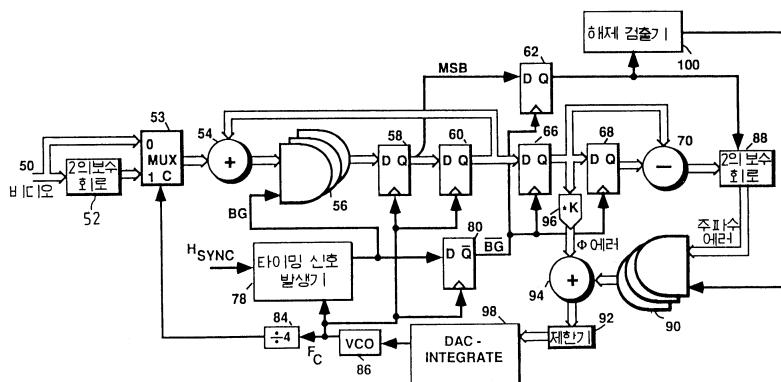
제3항에 있어서, 상기 비교 수단은, 상기 누산된 샘플들의 극성 비트를 수신하게끔 접속된 입력 단자와, 상기 누산된 샘플들의 극성 비트를 상기 소정의 간격만큼 지연시켜 제공하기 위한 출력 단자를 갖는 지연 수단과; 상기 지연 수단의 입력 및 출력 단자에 접속된 제1 및 제2 입력단자를 갖는 배타적 OR회로를 포함하는 것을 특징으로 하는 위상 고정 루프.

도면

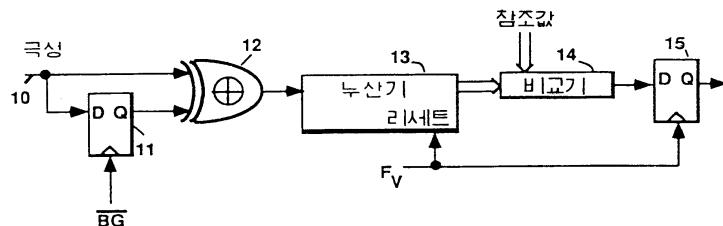
도면1



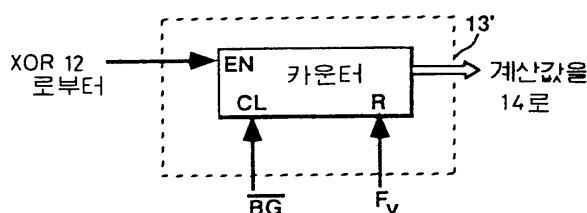
도면2



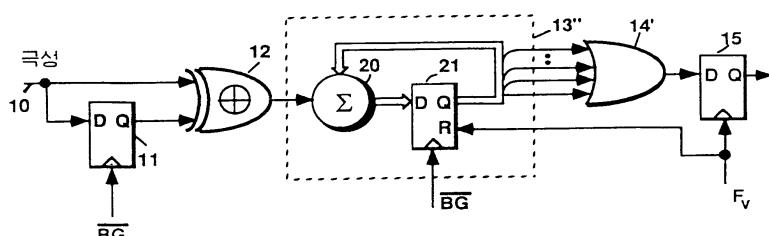
도면3



도면3a



도면4



도면5

