

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7630496号  
(P7630496)

(45)発行日 令和7年2月17日(2025.2.17)

(24)登録日 令和7年2月6日(2025.2.6)

(51)国際特許分類

F I

H 0 1 L	25/07 (2006.01)	H 0 1 L	25/08	Y
H 0 1 L	25/065 (2023.01)	G 0 6 F	12/06	5 1 5 H
H 0 1 L	25/18 (2023.01)	G 0 6 N	3/063	
G 0 6 F	12/06 (2006.01)	H 0 1 L	29/78	3 7 1
G 0 6 N	3/063(2023.01)	H 1 0 B	12/00	6 2 1 Z

請求項の数 5 (全55頁) 最終頁に続く

(21)出願番号 特願2022-512493(P2022-512493)  
 (86)(22)出願日 令和3年3月22日(2021.3.22)  
 (86)国際出願番号 PCT/IB2021/052351  
 (87)国際公開番号 WO2021/198841  
 (87)国際公開日 令和3年10月7日(2021.10.7)  
 審査請求日 令和6年3月21日(2024.3.21)  
 (31)優先権主張番号 特願2020-67168(P2020-67168)  
 (32)優先日 令和2年4月3日(2020.4.3)  
 (33)優先権主張国・地域又は機関  
 日本国(JP)

(73)特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72)発明者 伊藤 港  
 神奈川県厚木市長谷398番地 株式会  
 社半導体エネルギー研究所内  
 (72)発明者 上妻 宗広  
 神奈川県厚木市長谷398番地 株式会  
 社半導体エネルギー研究所内  
 (72)発明者 岡本 佑樹  
 神奈川県厚木市長谷398番地 株式会  
 社半導体エネルギー研究所内  
 審査官 秋山 直人

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

複数のメモリ回路と、切替回路と、第1演算回路と、第2演算回路と、を有し、  
 複数の前記メモリ回路はそれぞれ、重みデータを保持する機能を有し、  
 前記切替回路は、複数の前記メモリ回路のいずれか一と、前記第1演算回路と、の導通  
 状態を切り替える機能を有し、  
 前記第1演算回路は、入力データと、前記切替回路で選択された前記重みデータと、の  
 積和演算処理に基づく第1出力信号を前記第2演算回路に出力し、  
 前記第2演算回路は、活性化関数演算処理、量子化演算処理および第1プーリング演算  
 処理を行う機能を有し、  
 複数の前記メモリ回路は、前記切替回路、前記第1演算回路および前記第2演算回路を  
 有する層上に積層される層に設けられる、半導体装置。

【請求項2】

複数のメモリ回路と、切替回路と、第1演算回路と、第2演算回路と、第3演算回路と  
 、を有し、  
 複数の前記メモリ回路はそれぞれ、重みデータを保持する機能を有し、  
 前記切替回路は、複数の前記メモリ回路のいずれか一と、前記第1演算回路と、の導通  
 状態を切り替える機能を有し、  
 前記第1演算回路は、入力データと、前記切替回路で選択された前記重みデータと、の  
 積和演算処理に基づく第1出力信号を前記第2演算回路に出力し、

前記第 2 演算回路は、活性化関数演算処理、量子化演算処理および第 1 プーリング演算処理を行う機能を有し、

前記第 3 演算回路は、前記第 2 演算回路が出力する第 2 出力信号の第 2 プーリング演算処理を行う機能を有し、

複数の前記メモリ回路は、前記切替回路、前記第 1 演算回路および前記第 2 演算回路を有する層上に積層される層に設けられる、半導体装置。

#### 【請求項 3】

請求項 1 又は 2 において、

前記メモリ回路は、第 1 トランジスタを有し、

前記第 1 トランジスタは、チャンネル形成領域に金属酸化物を有する半導体層を有する、半導体装置。 10

#### 【請求項 4】

請求項 3 において、

前記金属酸化物は、In と、Ga と、Zn と、を含む、半導体装置。

#### 【請求項 5】

請求項 1 乃至 4 のいずれか一において、

前記切替回路、前記第 1 演算回路、および前記第 2 演算回路は、第 2 トランジスタを有し、

前記第 2 トランジスタは、チャンネル形成領域にシリコンを有する半導体層を有する、半導体装置。 20

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本明細書は、半導体装置等について説明する。

#### 【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、撮像装置、表示装置、発光装置、蓄電装置、記憶装置、表示システム、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。

#### 【背景技術】

#### 【0003】

CPU (Central Processing Unit) 等を含む半導体装置を有する電子機器が普及している。このような電子機器では、大量のデータを高速に処理するため、半導体装置の性能向上に関する技術開発が活発である。高性能化を実現する技術としては、例えば、GPU (Graphics Processing Unit) 等のアクセラレータと CPU とを密結合させた、所謂 SoC (System on Chip) 化がある。SoC 化によって高性能化した半導体装置では、発熱、及び消費電力の増加が問題となってくる。

#### 【0004】

AI (Artificial Intelligence) 技術では、計算量とパラメータ数が膨大になるため、演算量が増大する。演算量の増大は、発熱、および消費電力を増加させる要因となるため、演算量を低減するためのアーキテクチャが盛んに提案されている。代表的なアーキテクチャとして、Binary Neural Network (BNN)、および Ternary Neural Network (TNN) があり、回路規模縮小、および低消費電力化に対して特に有効となる (例えば特許文献 1 を参照)。

#### 【先行技術文献】

#### 【特許文献】

#### 【0005】

【文献】国際公開第 2019/078924 号

#### 【発明の概要】

10

20

30

40

50

## 【発明が解決しようとする課題】

## 【0006】

AI技術では、重みデータと入力データを用いた積和演算を膨大な回数を繰り返すため、メモリセルアレイにおいて大量の重みデータや中間データを保持する必要がある。またAI技術では、積和演算に加え、活性化演算やプーリング演算といった積和演算以外の処理が行われることが一般的である。そのためAI技術による演算を集積回路で実現する場合、メモリセルアレイや、専用の演算回路を配置するための回路面積の増加が著しく大きくなる虞がある。

## 【0007】

またAI技術では、演算処理の高速化が求められる。AI技術による演算を集積回路で実現する場合、メモリセルアレイでは、ビット線を介して演算回路に重みデータや中間データを読み出すことになる。ビット線では、重みデータや中間データの読出しの頻度が多くなる。そのため、ビット線の充放電エネルギーが増加し、消費電力が増加する虞がある。

10

## 【0008】

ビット線の充放電エネルギーを低減するためには、ビット線を短くすることが有効である。しかしながら、演算回路とメモリセルアレイを交互に並べて配置することになるため、周辺回路の面積が著しく増大する虞がある。

## 【0009】

本発明の一態様は、小型化された半導体装置を提供することを課題の一とする。または、本発明の一態様は、低消費電力化された半導体装置を提供することを課題の一とする。または、本発明の一態様は、演算処理速度の向上が図られた半導体装置を提供することを課題の一とする。または、新規な構成の半導体装置を提供することを課題の一とする。

20

## 【0010】

なお、本発明の一態様は、必ずしも上記の課題の全てを解決する必要はなく、少なくとも一の課題を解決できるものであればよい。また、上記の課題の記載は、他の課題の存在を妨げるものではない。これら以外の課題は、明細書、特許請求の範囲、図面などの記載から、自ずと明らかとなるものであり、明細書、特許請求の範囲、図面などの記載から、これら以外の課題を抽出することが可能である。

## 【課題を解決するための手段】

## 【0011】

本発明の一態様は、複数のメモリ回路と、切替回路と、第1演算回路と、第2演算回路と、を有し、複数のメモリ回路はそれぞれ、重みデータを保持する機能を有し、切替回路は、複数のメモリ回路のいずれか一と、第1演算回路と、の導通状態を切り替える機能を有し、第1演算回路は、入力データと、切替回路で選択された重みデータと、の積和演算処理に基づく第1出力信号を第2演算回路に出力し、複数のメモリ回路は、切替回路、第1演算回路および第2演算回路を有する層上に積層される層に設けられる、半導体装置である。

30

## 【0012】

本発明の一態様は、複数のメモリ回路と、切替回路と、第1演算回路と、第2演算回路と、を有し、複数のメモリ回路はそれぞれ、重みデータを保持する機能を有し、切替回路は、複数のメモリ回路のいずれか一と、第1演算回路と、の導通状態を切り替える機能を有し、第1演算回路は、入力データと、切替回路で選択された重みデータと、の積和演算処理に基づく第1出力信号を第2演算回路に出力し、第2演算回路は、活性化関数演算処理、量子化演算処理および第1プーリング演算処理を行う機能を有し、複数のメモリ回路は、切替回路、第1演算回路および第2演算回路を有する層上に積層される層に設けられる、半導体装置である。

40

## 【0013】

本発明の一態様は、複数のメモリ回路と、切替回路と、第1演算回路と、第2演算回路と、第3演算回路と、を有し、複数のメモリ回路はそれぞれ、重みデータを保持する機能を有し、切替回路は、複数のメモリ回路のいずれか一と、第1演算回路と、の導通状態を

50

切り替える機能を有し、第1演算回路は、入力データと、切替回路で選択された重みデータと、の積和演算処理に基づく第1出力信号を第2演算回路に出力し、第2演算回路は、活性化関数演算処理、量子化演算処理および第1プーリング演算処理を行う機能を有し、第3演算回路は、第2演算回路が出力する第2出力信号の第2プーリング演算処理を行う機能を有し、複数のメモリ回路は、切替回路、第1演算回路および第2演算回路を有する層上に積層される層に設けられる、半導体装置が好ましい。

【0014】

本発明の一態様において、メモリ回路は、第1トランジスタを有し、第1トランジスタは、チャンネル形成領域に金属酸化物を有する半導体層を有する、半導体装置が好ましい。

【0015】

本発明の一態様において、金属酸化物は、Inと、Gaと、Znと、を含む、半導体装置である。

【0016】

本発明の一態様において、切替回路、第1演算回路、および第2演算回路は、第2トランジスタを有し、第2トランジスタは、チャンネル形成領域にシリコンを有する半導体層を有する、半導体装置である。

【0017】

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、および図面に記載されている。

【発明の効果】

【0018】

本発明の一態様は、小型化された半導体装置を提供することができる。または、本発明の一態様は、低消費電力化された半導体装置を提供することができる。または、本発明の一態様は、演算処理速度の向上が図られた半導体装置を提供することができる。または、新規な構成の半導体装置を提供することができる。

【0019】

複数の効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

【図面の簡単な説明】

【0020】

図1Aおよび図1Bは、半導体装置の構成例を説明する図である。

図2は、半導体装置の構成例を説明する図である。

図3は、半導体装置の構成例を説明する図である。

図4Aおよび図4Bは、半導体装置の構成例を説明する図である。

図5Aおよび図5Bは、半導体装置の構成例を説明する図である。

図6A、図6Bおよび図6Cは、半導体装置の構成例を説明する図である。

図7Aおよび図7Bは、半導体装置の構成例を説明する図である。

図8は、半導体装置の構成例を説明する図である。

図9Aおよび図9Bは、半導体装置の構成例を説明する図である。

図10は、半導体装置の構成例を説明する図である。

図11は、半導体装置の構成例を説明する図である。

図12は、半導体装置の構成例を説明する図である。

図13Aおよび図13Bは、半導体装置の構成例を説明する図である。

図14Aおよび図14Bは、半導体装置の構成例を説明する図である。

図15は、半導体装置の構成例を説明する図である。

図16Aおよび図16Bは、半導体装置の構成例を説明する図である。

図17は、演算処理システムの構成例を説明する図である。

図18は、CPUの構成例を説明する図である。

10

20

30

40

50

図 19 A および図 19 B は、CPU の構成例を説明する図である。

図 20 は、CPU の構成例を示す図である。

図 21 は、トランジスタの構成例を示す図である。

図 22 A および図 22 B は、トランジスタの構成例を示す図である。

図 23 A および図 23 B は、集積回路の構成例を説明する図である。

図 24 A および図 24 B は、集積回路の適用例を説明する図である。

図 25 A および図 25 B は、集積回路の適用例を説明する図である。

図 26 A、図 26 B および図 26 C は、集積回路の適用例を説明する図である。

図 27 は、集積回路の適用例を説明する図である。

【発明を実施するための形態】

10

【0021】

以下に、本発明の実施の形態を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0022】

なお本明細書等において、「第 1」、「第 2」、「第 3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲

20

において「第 2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

【0023】

図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【0024】

本明細書において、例えば、電源電位 VDD を、電位 VDD、VDD 等と省略して記載する場合がある。これは、他の構成要素（例えば、信号、電圧、回路、素子、電極、配線

30

等）についても同様である。

【0025】

また、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“\_1”、“\_2”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。例えば、2 番目の配線 GL を配線 GL [2] と記載する。

【0026】

(実施の形態 1)

本発明の一態様である半導体装置の構成、および動作等について説明する。

【0027】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

40

【0028】

図 1 A は、本発明の一態様である半導体装置 10 を説明するための図である。また図 1 B は、半導体装置 10 が有する演算ブロックの構成例を説明するための図である。

【0029】

半導体装置 10 は、ホストプログラムから呼び出されたプログラム（カーネル、またはカーネルプログラムとも呼ばれる。）を実行する、アクセラレータとしての機能を有する

50

。半導体装置 10 は、例えば、グラフィック処理における行列演算の並列処理、ニューラルネットワークの積和演算の並列処理、科学技術計算における浮動小数点演算の並列処理などを行うことができる。

#### 【0030】

半導体装置 10 は、図 1 A に図示するように、複数の演算ブロック 20 を有する。演算ブロック 20 は、メモリ回路部 30 (メモリセルアレイともいう)、および演算回路部 40 を有する。メモリ回路部 30 および演算回路部 40 は、図 1 A および図 1 B に図示するように、図中 x y 平面に対して概略垂直な方向 (図 1 A 中、z 方向) で異なる層に設けられる。つまり、メモリ回路部 30 および演算回路部 40 は、積層して設けられる。

#### 【0031】

なお「概略垂直」とは、85 度以上 95 度以下の角度で配置されている状態をいう。なお本明細書において図 1 B 等に図示する X 方向、Y 方向、および Z 方向は、それぞれが互いに直交または交差する方向である。また、X 方向および Y 方向は基板面に対して平行または概略平行であり、Z 方向は基板面に対して垂直または概略垂直である。

#### 【0032】

メモリ回路部 30 は、複数の回路ブロック 31 を有する。各回路ブロック 31 は、複数のメモリ回路 32 を有する。メモリ回路 32 へのデータの書き込みおよび読出しは、駆動回路 12、駆動回路 13 によって制御される。駆動回路 12、駆動回路 13 は、データ制御回路ともいう。

#### 【0033】

メモリ回路 32 が記憶するデータは、ニューラルネットワークの積和演算に用いられる重みパラメータに対応するデータ (重みデータ) である。重みデータは、デジタルデータとすることで、ノイズに強く、高速で演算可能な半導体装置とすることができる。また、重みデータは、アナログデータでもよい。

#### 【0034】

メモリ回路部 30 を有する層は、回路ブロック 31 が有するメモリ回路 32 が、一例として示す配線 L B L \_\_ 1 乃至 L B L \_\_ 4 (ローカルビット線、読出しビット線ともいう) を介して演算回路部 40 が有する切替回路 41 に接続される。メモリ回路部 30 が有するメモリ回路 32 は、チャンネル形成領域に酸化物半導体を有するトランジスタ (O S トランジスタ) を有する。

#### 【0035】

演算回路部 40 を有する層は、切替回路 41、積和演算回路 42、専用演算回路である活性化関数演算回路 43、量子化演算回路 44、プレプーリング演算回路 45 を有する。演算回路部 40 におけるデータの入出力などの制御および処理は、制御回路 14、処理回路 15 によって制御される。制御回路 14、処理回路 15 は、演算制御回路、演算処理回路、あるいは演算回路ともいう。

#### 【0036】

切替回路 41 は、複数の回路ブロック 31 のそれぞれから延びる配線 L B L \_\_ 1 乃至 L B L \_\_ 4 の電位を選択して、配線 G B L (グローバルビット線ともいう) に伝える機能を有する。切替回路 41 は、例えば制御信号で出力電位の状態が制御されるスリーステートバッファを用いることができる。なお切替回路 41 は、チャンネル形成領域にシリコンを有するトランジスタ (S i トランジスタ) で構成されることが好ましい。当該構成とすることで高速で接続状態の切り替えを行う構成とすることができる。

#### 【0037】

なお配線 L B L \_\_ 1 乃至 L B L \_\_ 4 (配線 L B L) は、重みデータをメモリ回路部 30 から演算回路部 40 に伝えるための配線となる。メモリ回路部 30 から配線 L B L へ重みデータを高速に読み出すために、配線 L B L は、短くすることが好ましい。また、配線 L B L は、充放電に伴う消費エネルギーを小さくするために、短くすることが好ましい。つまり切替回路 41 は、z 方向に延びて設けられる配線 L B L (図中、z 方向に延びる矢印) の近くになるよう配置する構成とすることが好ましい。演算回路部 40 とメモリ回路部

10

20

30

40

50

30の物理的な距離を近づけること、例えば積層によって配線距離が短くできることで、信号線に生じる寄生容量を削減できるため、低消費電力化が可能である。

#### 【0038】

積和演算回路42は、積和演算といった演算処理を実行する機能を有する。積和演算回路42は、単に演算回路、あるいは第1演算回路という場合がある。積和演算回路42は、制御回路14から入力される入力データと、配線GBLに与えられる重みデータとの、積和演算を行う。入力データおよび重みデータは、デジタルデータが好ましい。デジタルデータはノイズの影響を受けにくい。そのため積和演算回路42は、高い精度の演算結果が要求される演算処理を行うのに適している。なお積和演算回路42は、Siトランジスタで構成されることが好ましい。

10

#### 【0039】

活性化関数演算回路43は、積和演算で得られたデータに対し、活性化関数に基づく処理を行う機能を有する。活性化関数としては、例えば、シグモイド関数、tanh関数、softmax関数、ReLU(Rectified Linear Unit)関数、しきい値関数などを用いることができる。ReLU関数は、入力値が負である場合は“0”を出力し、入力値が“0”以上である場合は入力値をそのまま出力する関数である。なお活性化関数演算回路43は、Siトランジスタで構成されることが好ましい。

#### 【0040】

量子化演算回路44は、後段の演算における演算量を削減する目的で入力データのビット幅を削減する、量子化演算処理を行う機能を有する。積和演算では、繰り返しの演算処理によってビット幅が増大する。そのため量子化演算回路44では入力データをビットシフトし、小数点の位置にあるデータを四捨五入することで、ビット幅を削減する。なお量子化演算回路44は、Siトランジスタで構成されることが好ましい。

20

#### 【0041】

プレプーリング演算回路45は、プーリング演算処理の一部の演算を行う機能を有する。例えば、3×3プーリングの場合、3×3の領域の全ての数値を用いた演算ではなく、一部の数値を用いて演算を行うことをプレプーリング、プレプーリング演算処理、または第1プーリング演算処理という場合がある。またはプレプーリング演算処理は、プーリング演算処理の一部を行う演算処理であるため、部分プーリング演算処理あるいは第1部分プーリング演算処理という場合がある。プレプーリング演算回路45は、例えばマックスプーリングでは、一部の領域、例えば一次元にあるデータの最大値をプレプーリング演算回路45の出力データとして取り出す回路に相当する。なおプレプーリング演算回路45は、Siトランジスタで構成されることが好ましい。

30

#### 【0042】

またプレプーリング演算回路45で得られる出力データは、処理回路15に出力される。例えば処理回路15内にあるポストプーリング演算回路において演算処理を施すことで、プーリング演算処理と同等の演算処理がされたデータとすることができる。例えば、3×3プーリングの場合、3×1の領域の数値を用いてプレプーリング演算処理を行い、プレプーリング演算処理で得られたデータを用いて3×3プーリングに相当するプーリング演算処理を行うことを、ポストプーリング、ポストプーリング演算処理または第2プーリング演算処理という場合がある。またはポストプーリング演算処理は、プーリング演算処理の一部を行う演算処理であるため、部分プーリング演算処理あるいは第2部分プーリング演算処理という場合がある。ポストプーリング演算回路を有する処理回路は、演算回路あるいは第3演算回路という場合がある。プレプーリング演算回路およびポストプーリング演算回路における演算処理の具体例については、後述する。

40

#### 【0043】

切替回路41、積和演算回路42、専用演算回路である活性化関数演算回路43、量子化演算回路44、プレプーリング演算回路45の各回路は、Siトランジスタとすることで、OSTランジスタと積層して設けることができる。つまり、OSTランジスタで構成されるメモリ回路部30は、Siトランジスタで構成することができる演算回路部40と

50

積層して設けることができる。そのため、回路面積の増加を招くことなく、メモリ回路部 30 を配置できる面積を増やすことができる。メモリ回路部 30 が設けられる領域を演算回路部 40 が設けられる基板上とすることで、メモリ回路部 30 と、演算回路部 40 と、が同一層上に配置する場合と比較して、アクセラレータとして機能する半導体装置 10 における演算処理に必要な記憶容量を増やすことができる。記憶容量が増えることで、外部記憶装置から半導体装置への、演算処理に必要なデータの転送回数を削減することができるため、低消費電力化を図ることができる。

【0044】

メモリ回路部 30 が有するメモリ回路 32 は、NOSRAM の回路構成とすることができる。「NOSRAM (登録商標)」とは、「Nonvolatile Oxide Semiconductor RAM」の略称である。NOSRAM は、メモリセルが 2 トランジスタ型 (2T)、又は 3 トランジスタ型 (3T) ゲインセルであり、アクセストランジスタが OSTRANジスタであるメモリのことをいう。

10

【0045】

OSTRANジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。NOSRAM は、リーク電流が極めて小さい特性を用いてデータに応じた電荷をメモリ回路内に保持することで、不揮発性メモリとして用いることができる。特に NOSRAM は保持しているデータを破壊することなく読み出しすること (非破壊読み出し) が可能なため、データ読み出し動作を大量に繰り返す、ニューラルネットワークの積和演算の並列処理に適している。

20

【0046】

メモリ回路 32 は、NOSRAM、あるいは DOSRAM といった OSTRANジスタを有するメモリ (以下、OSメモリともいう。) が好適である。酸化物半導体として機能する金属酸化物のバンドギャップは 2.5 eV 以上あるため、OSTRANジスタは極小のオフ電流をもつ。一例として、ソースとドレイン間の電圧が 3.5 V、室温 (25 ) 下において、チャンネル幅 1  $\mu\text{m}$  当たりのオフ電流を  $1 \times 10^{-20}$  A 未満、 $1 \times 10^{-22}$  A 未満、あるいは  $1 \times 10^{-24}$  A 未満とすることができる。そのため、OSメモリは、OSTRANジスタを介して保持ノードからリークする電荷量が極めて少ない。従って、OSメモリは不揮発性のメモリ回路として機能できるため、半導体装置 10 のパワーゲーティングが可能となる。

30

【0047】

高密度でトランジスタが集積化された半導体装置は、回路の駆動による熱が発生する場合がある。この発熱により、トランジスタの温度が上がることで、当該トランジスタの特性が変化して、電界効果移動度の変化や動作周波数の低下などが起こることがある。OSTRANジスタは、Si トランジスタよりも熱耐性が高いため、温度変化による電界効果移動度の変化が起こりにくく、また動作周波数の低下も起こりにくい。さらに、OSTRANジスタは、温度が高くなっても、ドレイン電流がゲート-ソース間電圧に対して指数関数的に増大する特性を維持しやすい。そのため、OSTRANジスタを用いることにより、高い温度環境下での安定した動作を行うことができる。

【0048】

40

OSTRANジスタに適用される金属酸化物は、Zn 酸化物、Zn-Sn 酸化物、Ga-Sn 酸化物、In-Ga 酸化物、In-Zn 酸化物、In-M-Zn 酸化物 (M は、Ti、Ga、Y、Zr、La、Ce、Nd、Sn または Hf) などがある。特に M として Ga を用いる金属酸化物を OSTRANジスタに採用する場合、元素の比率を調整することで電界効果移動度等の電気特性に優れたトランジスタとすることができるため、好ましい。また、インジウムおよび亜鉛を含む酸化物に、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【0049】

50

OSトランジスタの信頼性、電気特性の向上のため、半導体層に適用される金属酸化物は、CAAC-OS、CAC-OS、nc-OSなどの結晶部を有する金属酸化物であることが好ましい。CAAC-OSとは、c-axis-aligned crystalline oxide semiconductorの略称である。CAC-OSとは、Cloud-Aligned Composite oxide semiconductorの略称である。nc-OSとは、nanocrystalline oxide semiconductorの略称である。

【0050】

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域との間で格子配列の向きが変化している箇所を指す。

10

【0051】

CAC-OSは、キャリアとなる電子（または正孔）を流す機能と、キャリアとなる電子を流さない機能とを有する。電子を流す機能と、電子を流さない機能とを分離させることで、双方の機能を最大限に高めることができる。つまり、CAC-OSをOSトランジスタのチャネル形成領域に用いることで、高いオン電流と、極めて低いオフ電流との双方を実現できる。

【0052】

金属酸化物は、バンドギャップが大きく、電子が励起されにくいこと、ホールの有効質量が大きいことなどから、OSトランジスタは、一般的なSiトランジスタと比較して、アバランシェ崩壊等が生じにくい場合がある。従って、例えばアバランシェ崩壊に起因するホットキャリア劣化等を抑制できる。ホットキャリア劣化を抑制できることで、高いドレイン電圧でOSトランジスタを駆動することができる。

20

【0053】

OSトランジスタは、電子を多数キャリアとする蓄積型トランジスタである。そのため、pn接合を有する反転型トランジスタ（代表的には、Siトランジスタ）と比較して短チャネル効果の一つであるDIBL（Drain-Induced Barrier Lowering）の影響が小さい。つまり、OSトランジスタは、Siトランジスタよりも短チャネル効果に対する高い耐性を有する。

30

【0054】

OSトランジスタは、短チャネル効果に対する耐性が高いために、OSトランジスタの信頼性を劣化させずに、チャネル長を縮小できるので、OSトランジスタを用いることで回路の集積度を高めることができる。チャネル長が微細化するのに伴いドレイン電界が強まるが、上掲したように、OSトランジスタはSiトランジスタよりもアバランシェ崩壊が起きにくい。

【0055】

また、OSトランジスタは、短チャネル効果に対する耐性が高いために、Siトランジスタよりもゲート絶縁膜を厚くすることが可能となる。例えば、チャネル長及びチャネル幅が50nm以下の微細なトランジスタにおいても、10nm程度の厚いゲート絶縁膜を設けることが可能な場合がある。ゲート絶縁膜を厚くすることで、寄生容量を低減することができるので、回路の動作速度を向上できる。またゲート絶縁膜を厚くすることで、ゲート絶縁膜を介したリーク電流が低減されるため、静的消費電流の低減につながる。

40

【0056】

以上より、半導体装置10は、OSメモリであるメモリ回路32を有することで電源電圧の供給が停止してもデータを保持できる。そのため、半導体装置10のパワーゲーティングが可能となり、消費電力の大幅な低減を図ることができる。

【0057】

次いで図2では、AIアクセラレータとして機能する半導体装置10を含む演算処理システム100の全体を示すブロック図について説明する。

50

## 【 0 0 5 8 】

図 2 では、図 1 A、図 1 B で説明した半導体装置 1 0 を複数有するアクセラレータ部 1 3 0 の他、CPU 1 1 0 およびバス 1 2 0 を図示している。CPU 1 1 0 は、CPU コア 2 0 0 およびバックアップ回路 2 2 2 を有する。アクセラレータ部 1 3 0 は、複数の半導体装置 1 0 の他、半導体装置 1 0 間のデータの入出力を制御するための制御部 1 3 1 を有する。

## 【 0 0 5 9 】

CPU 1 1 0 は、オペレーティングシステムの実行、データの制御、各種演算やプログラムの実行など、汎用の処理を行う機能を有する。CPU 1 1 0 は、CPU コア 2 0 0 を有する。CPU コア 2 0 0 は、1 つまたは複数の CPU コアに相当する。また CPU 1 1 0 は、電源電圧の供給が停止しても CPU コア 2 0 0 内のデータを保持できるバックアップ回路 2 2 2 を有する。電源電圧の供給は、電源ドメイン（パワードメイン）からのパワースイッチ等による電氣的な切り離しによって制御することができる。なお電源電圧は、駆動電圧という場合がある。バックアップ回路 2 2 2 として、例えば、OS トランジスタを有する OS メモリが好適である。

10

## 【 0 0 6 0 】

OS トランジスタで構成されるバックアップ回路 2 2 2 は、Si トランジスタで構成することができる CPU コア 2 0 0 と積層して設けることができる。バックアップ回路 2 2 2 の面積は CPU コア 2 0 0 の面積より小さいため、回路面積の増加を招くことなく、CPU コア 2 0 0 上にバックアップ回路 2 2 2 を配置することができる。バックアップ回路 2 2 2 は、CPU コア 2 0 0 が有するレジスタのデータを保持する機能を有する。バックアップ回路 2 2 2 は、データ保持回路ともいう。なお OS トランジスタを有するバックアップ回路 2 2 2 を備えた CPU コア 2 0 0 の構成の詳細については、実施の形態 3 でも説明する。

20

## 【 0 0 6 1 】

制御部 1 3 1 は、内部に SRAM 等のメモリ回路を有する。制御部 1 3 1 は、複数の半導体装置 1 0 で得られる出力データをメモリ回路に保持する。そしてメモリ回路に保持した出力データ MAC を複数の半導体装置に出力する構成とする。当該構成とすることで複数の半導体装置を用いた、並列数が高められた並列計算を行うことができる。

## 【 0 0 6 2 】

バス 1 2 0 は、CPU 1 1 0 とアクセラレータ部 1 3 0 とを電氣的に接続する。つまり CPU 1 1 0 と半導体装置 1 0 とは、バス 1 2 0 を介してデータ伝送を行うことができる。

30

## 【 0 0 6 3 】

図 3 では、図 1 B に図示する演算ブロック 2 0 において、メモリ回路部 3 0、演算回路部 4 0 に好適なトランジスタを説明するための図である。

## 【 0 0 6 4 】

メモリ回路部 3 0 は、メモリ回路 3 2 を有する。メモリ回路 3 2 は、トランジスタ 2 1 を有する。トランジスタ 2 1 が有する半導体層 2 2 は、酸化物半導体（金属酸化物）とすることで、上述した OS トランジスタで構成されるメモリ回路 3 2 とすることができる。

## 【 0 0 6 5 】

演算回路部 4 0 は、切替回路 4 1、積和演算回路 4 2、専用演算回路である活性化関数演算回路 4 3、量子化演算回路 4 4、プレプーリング演算回路 4 5 を有する。演算回路部 4 0 が有する各回路は、トランジスタ 2 3 を有する。トランジスタ 2 3 が有する半導体層 2 4 は、シリコンとすることで、上述した Si トランジスタで構成される演算回路部 4 0 が有する各回路とすることができる。

40

## 【 0 0 6 6 】

メモリ回路部 3 0 が設けられる領域を演算回路部 4 0 が設けられる基板上とすることで、メモリ回路部 3 0 と、演算回路部 4 0 と、を同一層上に配置する場合と比較して、アクセラレータとして機能する半導体装置 1 0 における演算処理に必要な記憶容量、つまりメモリ回路の数を増やすことができる。記憶容量が増えることで、外部記憶装置から半導体

50

装置への、演算処理に必要なデータの転送回数を削減することができるため、低消費電力化を図ることができる。

【0067】

図4Aは、本発明の一態様の半導体装置10における各回路のデータの入出力を説明するためのブロック図である。図4Aでは、切替回路41、積和演算回路42、専用演算回路である活性化関数演算回路43、量子化演算回路44、およびプレプーリング演算回路45を図示している。

【0068】

切替回路41は、メモリ回路32のいずれか一と、積和演算回路42と、の導通状態を切り替える機能を有する。例えば切替回路41は、メモリ回路部30の回路ブロック31にあるメモリ回路32に保持されたデータから配線GBLに出力される重みデータ $W_1$ 乃至 $W_N$ （ $N$ は2以上の自然数）を選択する。そして切替回路41は、選択された重みデータを重みデータ $W_{SEL}$ として、配線GBLを介して積和演算回路42に出力する。

10

【0069】

積和演算回路42は、入力データと、切替回路41で選択された重みデータと、の積和演算処理に基づくデータ（出力信号）を専用演算回路46に出力する。例えば積和演算回路42は、重みデータ $W_{SEL}$ と、制御回路14から入力される入力データ $A_{IN}$ に基づく積和演算を行う。当該積和演算によって得られるデータMACは、専用演算回路46にある活性化関数演算回路43に出力される。

【0070】

専用演算回路46は、畳み込み演算に用いるニューラルネットワークにおける積和演算処理の演算処理、例えば活性化関数に基づく演算処理、量子化のための演算処理、プーリング演算処理のための演算処理、あるいは規格化のための演算処理（ノーマライゼーション）等を行うための回路である。専用演算回路46は、演算回路、あるいは第2演算回路という場合がある。一例として専用演算回路46は、活性化関数演算回路43、量子化演算回路44、およびプレプーリング演算回路45を有する構成を図示しているが、その他の構成を有していてもよい。

20

【0071】

活性化関数演算回路43は、入力されるデータMACに対して活性化関数に基づく演算処理を行い、活性化関数に基づく演算処理で得られるデータFUNCとして出力するための回路である。データFUNCは、専用演算回路46にある量子化演算回路44に出力される。

30

【0072】

量子化演算回路44は、入力されるデータFUNCに対して量子化の演算処理を行い、データQUAとして出力するための回路である。量子化の演算処理は、入力されるデータのビット幅を調整するため、入力されるデータのビットシフトや、小数点の位置にあるデータを四捨五入する。データQUAは、専用演算回路46にあるプレプーリング演算回路45に出力される。

【0073】

プレプーリング演算回路45は、入力されるデータQUAに対してプーリング演算処理の一部の演算を行うことで、プレプーリング演算処理がされたデータPPDを出力するための回路である。プレプーリング演算回路45を有することで、専用演算回路46はプーリング演算処理の一部を行うことができる。データPPDは、図4Bに図示するように、処理回路15が有するポストプーリング演算回路47に出力される。なおポストプーリング演算回路47を有する処理回路15は、演算回路あるいは第3演算回路と呼ぶ場合がある。

40

【0074】

ポストプーリング演算回路47は、入力されるデータPPDに対して演算処理を行い、データQUAに対してプーリング演算処理がされたデータPDを出力するための回路である。ポストプーリング演算回路47を有することで、処理回路15はプーリング演算処理

50

の全部の演算処理を行う場合に比べ、省面積化を図ることができる。データPDは、制御回路14で入力データA<sub>IN</sub>として用いられる。

【0075】

図5Aは、本発明の半導体装置10において、メモリ回路部30が有する回路ブロック31に適用可能な回路構成例について説明する図である。図5Aでは、M行N列（M、Nは2以上の自然数）行列方向に並べて配置された書込用ワード線WWL<sub>1</sub>乃至WWL<sub>M</sub>、読出し用ワード線RWL<sub>1</sub>乃至RWL<sub>M</sub>、書込用ビット線WBL<sub>1</sub>乃至WBL<sub>N</sub>、および配線LBL<sub>1</sub>乃至LBL<sub>N</sub>を図示している。また各ワード線およびビット線に接続されたメモリ回路32を図示している。

【0076】

図5Bは、メモリ回路32に適用可能な回路構成例について説明する図である。メモリ回路32は、トランジスタ61、トランジスタ62、トランジスタ63、容量素子64（キャパシタともいう）を有する。

【0077】

トランジスタ61のソースまたはドレインの一方は、書込み用ビット線WBLに接続される。トランジスタ61のゲートは、書込み用ワード線WWLに接続される。トランジスタ61のソースまたはドレインの他方は、容量素子64の一方の電極およびトランジスタ62のゲートに接続される。トランジスタ62のソースまたはドレインの一方および容量素子64の他方の電極は、固定電位たとえばグラウンド電位を与える配線に接続される。トランジスタ62のソースまたはドレインの他方は、トランジスタ63のソースまたはドレインの一方に接続される。トランジスタ63のゲートは、読出し用ワード線RWLに接続される。トランジスタ63のソースまたはドレインの他方は、配線LBLに接続される。配線LBLは切替回路41を介して配線GBLに接続される。配線LBLは、演算回路部40のSiトランジスタが設けられる基板表面に対して概略垂直な方向に延在して設けられる配線を介して切替回路41に接続される。

【0078】

図5Bに示すメモリ回路32の回路構成は、3トランジスタ型（3T）ゲインセルのNOSRAMに相当する。トランジスタ61乃至トランジスタ63は、OSTランジスタである。OSTランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。NOSRAMは、リーク電流が極めて小さい特性を用いてデータに応じた電荷をメモリ回路内に保持することで、不揮発性メモリとして用いることができる。

【0079】

図5Aのメモリ回路32に適用可能な回路構成は、図5Bの3T型のNOSRAMに限らない。例えば、図6Aに図示するDOSRAMに相当する回路でもよい。図6Aでは、トランジスタ61Aおよび容量素子64Aを有するメモリ回路32Aを図示している。トランジスタ61Aは、OSTランジスタである。メモリ回路32Aは、ビット線BL、ワード線WLおよびバックゲート線GBLに接続される例を図示している。

【0080】

図5Aのメモリ回路32に適用可能な回路構成は、図6Bに図示する2T型のNOSRAMに相当する回路でもよい。図6Bでは、トランジスタ61B、トランジスタ62Bおよび容量素子64Bを有するメモリ回路32Bを図示している。トランジスタ61Bおよびトランジスタ62Bは、異なる層に半導体層が配置されるOSTランジスタでもよいし、同じ層に半導体層が配置されるOSTランジスタでもよい。メモリ回路32Bは、書込み用ビット線WBL、読出し用ビット線として機能する配線LBL、書込み用ワード線WWL、読出し用ワード線RWL、ソース線SLおよびバックゲート線GBLに接続される例を図示している。

【0081】

図5Aのメモリ回路32に適用可能な回路構成は、図6Cに図示する3T型のNOSR

10

20

30

40

50

AMを組み合わせた回路でもよい。図6Cでは、論理の異なるデータを保持できるメモリ回路32\_Pと、メモリ回路32\_Nと、を有するメモリ回路32\_Cを図示している。図6Cでは、トランジスタ61\_P、トランジスタ62\_P、トランジスタ63\_Pおよび容量素子64\_Pを有するメモリ回路32\_Pと、トランジスタ61\_N、トランジスタ62\_N、トランジスタ63\_Nおよび容量素子64\_Nを有するメモリ回路32\_Nと、を図示している。メモリ回路32\_Pおよびメモリ回路32\_Nが有する各トランジスタは、OSトランジスタである。メモリ回路32\_Pおよびメモリ回路32\_Nが有する各トランジスタは、異なる層に半導体層が配置されるOSトランジスタでもよいし、同じ層に半導体層が配置されるOSトランジスタでもよい。メモリ回路32\_Cは、書込み用ビット線WBL\_P、配線LBL\_P、書込み用ビット線WBL\_N、配線LBL\_N、書込み用ワード線WWL、読出し用ワード線RWLに接続される例を図示している。メモリ回路32\_Cは、論理の異なるデータを保持し、論理の異なるデータを配線LBL\_Pおよび配線LBL\_Nに読み出すことができる。

10

#### 【0082】

なお図6Cの構成において、メモリ回路32\_Pと、メモリ回路32\_Nとに保持するデータの乗算に相当するデータが配線LBLに出力されるように排他的論理和回路(XOR回路)を設けてもよい。当該構成とすることで、積和演算回路42における乗算に相当する演算を省略できるため、低消費電力化を図ることができる。

#### 【0083】

図7Aは、切替回路41について説明する図である。図7Aでは、回路ブロック31にあるメモリ回路32から重みデータ $W_1$ 乃至 $W_6$ が配線LBL\_1乃至LBL\_6に読み出されるとして説明する。また切替回路41で重みデータ $W_1$ 乃至 $W_6$ から選択され、配線GBLに与えられる重みデータを重みデータ $W_{SEL}$ として説明する。積和演算回路42にはそれぞれ入力データ $A_{IN}$ が与えられ、積和演算されたデータに相当するデータMACを得るものとして説明する。

20

#### 【0084】

配線LBL\_1乃至LBL\_6における上層と下層をつなぐ垂直方向に延びる配線LBL\_pは、水平方向に延びる配線と比べて短い。そのため、配線LBL\_1乃至LBL\_6の寄生容量を小さくでき、配線の充放電に要する電荷を削減でき、低消費電力化および演算効率の向上を図ることができる。また、メモリ回路32から配線LBL\_1乃至LBL\_6への読み出しを高速にできる。

30

#### 【0085】

配線GBLを介して、積和演算回路42では重みデータ $W_{SEL}$ を用いた演算処理を行うことができる。重みデータ $W_{SEL}$ は、配線GBLを介して複数の積和演算回路42に与える構成とすることができる。当該構成は、同じ重みデータを用いる演算処理を行う畳み込みニューラルネットワークの演算処理に適している。

#### 【0086】

図7Bは、図7Aに図示する切替回路41に適用可能な回路構成の一例である。図7Bに図示するスリーステートバッファは、配線LBLの電位を制御信号ENに応じて配線GBLに増幅して伝える機能を有する。切替回路41は、マルチプレクサと見做すことができる。複数の入力信号から、1つを選択する機能を有する。

40

#### 【0087】

なお図7Aでは、切替回路41が複数の配線LBLから1つの配線を選択して重みデータ $W_{SEL}$ を配線GBLに与える構成について図示したが、他の構成でもよい。例えば切替回路として複数の切替回路を設ける構成としてもよい。また図7Aでは、各メモリ回路32が1ビットのデータ(つまり'1'か'0'のデータ)を保持し、当該データを用いて演算処理を行う構成として説明したが、多ビットのデータを用いて演算処理を行う構成にも本発明の一態様は適用可能である。多ビット(例えばnビット)のデータの場合、ビット数に応じた本数の配線LBL\_1乃至LBL\_nに接続された切替回路41を用いて、配線GBLに与える多ビットの重みデータを選択する構成とすればよい。

50

## 【 0 0 8 8 】

メモリ回路部 3 0 と演算回路部 4 0 が別チップの場合、チップのピン数に従い、バス幅が制限される。一方で、本発明の一態様の構成のようにメモリ回路部 3 0 と演算回路部 4 0 とを積層する構成では、配線 L B L を設ける開口に応じて演算処理に必要なデータの並列数を高めることができるため、効率的な演算処理を行うことが可能である。

## 【 0 0 8 9 】

図 8 では、図 7 A で説明した各構成の動作を説明するためのタイミングチャートを示す。積和演算回路 4 2 では、クロック信号 C L K のトグル動作（例えば時刻 T 0 乃至 T 6）に応じて演算処理を行う。クロック信号 C L K の周波数を高める構成とすることで、演算処理の高速化を図ることができる。

10

## 【 0 0 9 0 】

入力データ A I N をクロック信号 C L K に応じて高速で切り替える場合、重みデータを与える配線 G B L のデータを高速で切り替える必要がある。

## 【 0 0 9 1 】

本発明の一態様の構成では、切替回路 4 1 で配線 L B L から配線 G B L に選択される重みデータをあらかじめ、配線 L B L \_ 1 乃至 L B L \_ 6 に読み出ししておく構成とすることで、重みデータを与える配線 G B L のデータを高速で切り替えることができる。例えば時刻 T 0 で配線 L B L \_ 1 に重みデータ W 1 を読み出しおき、時刻 T 1 で切替回路 4 1 を切り替えて配線 L B L \_ 1 から配線 G B L に重みデータ W 1 を出力する構成とすることができる。時刻 T 1 乃至 T 6 においても、配線 L B L への重みデータ W 1 乃至 W 6 の読出しと、配線 G B L での重みデータ W S E L の選択と、の時刻を異ならせることで、クロック信号 C L K に応じた重みデータ W S E L の切り替えを行う構成とすることができる。

20

## 【 0 0 9 2 】

図 9 A では、積和演算回路 4 2 の具体的な構成例を示す。図 9 A では、8 ビットの重みデータと、8 ビットの入力データの積和演算を行うことができる積和演算回路 4 2 の構成例を図示している。図 9 A において、乗算回路 5 1、加算回路 5 2 およびレジスタ 5 3 を図示している。乗算回路 5 1 で乗算された 16 ビットのデータは加算回路 5 2 に入力される。加算回路 5 2 の出力がレジスタ 5 3 に保持され、乗算回路 5 1 で乗算されるデータと加算回路 5 2 で足しあわされることで積和演算が行われる。レジスタ 5 3 は、クロック信号 C L K およびリセット信号 r e s e t \_ B によって制御される。なお図中「 1 7 + 」における「 」は、乗算データを加算することで生じる桁上りを示したものである。当該構成とすることで重みデータ W S E L と入力データ A I N との積和演算に相当するデータ M A C を得ることができる。

30

## 【 0 0 9 3 】

また図 9 A では、8 ビットのデータを用いた演算処理を行う構成として説明したが、1 ビットのデータを用いた構成にも本発明の一態様は適用可能である。当該構成について図 9 A と同様に図 9 B に図示する。1 ビットのデータの場合、図 9 B に図示するように、ビット数に応じた演算処理を行えばよい。

## 【 0 0 9 4 】

図 1 0 は、上述した活性化関数演算回路 4 3 の構成例について示す図である。図 1 0 に図示する活性化関数演算回路 4 3 では、一例として R e L U 関数に基づく活性化関数の演算を行う機能を有する回路である。

40

## 【 0 0 9 5 】

図 1 0 に図示する活性化関数演算回路 4 3 は、複数のマルチプレクサ 5 4 を有する。マルチプレクサ 5 4 には、例えば 8 ビットのデータ M A C [ 0 ] 乃至 M A C [ 7 ] が入力される。またマルチプレクサ 5 4 には、データ 0 が入力される。マルチプレクサ 5 4 は、データ M A C の最上位ビットであるデータ M A C [ 7 ] によって、データ M A C [ 0 ] 乃至 M A C [ 7 ] またはデータ 0 かが、データ F U N C [ 0 ] 乃至 F U N C [ 7 ] として出力される。データ M A C が符号付整数の場合、データ M A C の最上位ビットが 0 なら正の値、1 なら負の値を表すため、活性化関数演算回路 4 3 では、R e L U 関数に基づく活性化

50

関数の演算を行うことができる。

【 0 0 9 6 】

図 1 1 は、上述したプレプーリング演算回路 4 5 の構成例について示す図である。図 1 1 に図示するプレプーリング演算回路 4 5 では、一例としてマックスプーリングに基づくプレプーリング演算処理の演算を行う機能を有する回路である。

【 0 0 9 7 】

図 1 1 に図示するプレプーリング演算回路 4 5 は、比較回路 5 5 およびレジスタ 5 6 を有する。比較回路 5 5 は、初期値となるデータ、あるいはレジスタ 5 6 から入力されるデータと、量子化演算回路 4 4 から出力されるデータ Q U A と、が入力される。比較回路 5 5 は、入力される 2 つのデータを比較し、値の大きいデータをデータ Q U A [ C ] としてレジスタ 5 6 に出力する。データ Q U A [ C ] は、レジスタ 5 6 で保持される。保持されたデータ Q U A [ C ] は、プレプーリング演算回路 4 5 の出力信号であるデータ P P D、または比較回路 5 5 に入力されるデータ Q U A [ M A X ] となる。

10

【 0 0 9 8 】

プレプーリング演算回路 4 5 の動作について、図 1 2 を参照して説明する。図 1 2 では、量子化演算回路 4 4 から出力されるデータ Q U A として、データ Q U A [ 1 ]、データ Q U A [ 2 ] 乃至データ Q U A [ N ] がクロック信号 C L K の変化に応じて、次々に入力されるとする。比較回路 5 5 は、初期値として入力されるデータをデータ Q U A [ 0 ] とする。

【 0 0 9 9 】

期間 P 1 では、データ Q U A [ 0 ] と、データ Q U A [ 1 ] と、が比較回路 5 5 に入力される。データ Q U A [ 1 ] がデータ Q U A [ 0 ] より大きい場合、データ Q U A [ 1 ] が比較回路 5 5 の出力データ、つまりデータ Q U A [ C ] としてレジスタ 5 6 に保持される。

20

【 0 1 0 0 】

次いで、期間 P 2 では、データ Q U A [ 2 ] がクロック信号 C L K の変化に応じて比較回路 5 5 に入力される。また比較回路 5 5 には、レジスタ 5 6 に期間 P 1 で保持されたデータ Q U A [ 1 ] が入力される。データ Q U A [ 2 ] がデータ Q U A [ 1 ] より大きい場合、データ Q U A [ 2 ] が比較回路 5 5 の出力データ、つまりデータ Q U A [ C ] としてレジスタ 5 6 に保持される。

30

【 0 1 0 1 】

比較回路 5 5 において、順に入力されるデータ Q U A の値の大きさを比較し、大きいデータをレジスタ 5 6 に保持することで、レジスタ 5 6 には入力されたデータ Q U A のうち、最も大きいデータ Q U A [ M A X ] が保持されることになる。期間 P N では、データ Q U A [ N ] が比較回路 5 5 に入力される。また比較回路 5 5 には、レジスタ 5 6 に期間 P ( N - 1 ) までに保持されたデータ Q U A [ M A X ] が入力される。データ Q U A [ M A X ] がデータ Q U A [ N ] より大きい場合、データ Q U A [ M A X ] が比較回路 5 5 の出力データ、つまりデータ Q U A [ C ] としてレジスタ 5 6 に保持される。そしてレジスタ 5 6 に保持されるデータ Q U A [ M A X ] が、データ P P D として出力される。

【 0 1 0 2 】

図 1 2 で説明した動作を複数の専用演算回路で行い、得られるデータ P P D を再度比較することで、プーリング演算処理によるデータ P D を得ることができる。

40

【 0 1 0 3 】

例えば図 1 3 A に示す構成例のように専用演算回路 4 6 \_\_ 1 乃至 4 6 \_\_ 3 を備え、3 × 3 プーリングの演算処理を行う場合で説明する。専用演算回路 4 6 \_\_ 1 乃至 4 6 \_\_ 3 では、量子化演算回路 4 4 からデータ Q U A [ 1 ] 乃至 [ 9 ] を分割して処理し、プレプーリング演算回路 4 5 でデータ P P D [ 1 ] 乃至 [ 3 ] を得ることができる。つまりプレプーリング演算回路 4 5 は、一次元にあるデータの最大値をプレプーリング演算回路 4 5 から出力されるデータ P P D として取り出すことができる。データ P P D [ 1 ] 乃至 [ 3 ] は、処理回路 1 5 にあるポストプーリング演算回路 4 7 で比較され、データ P D を得ること

50

ができる。ポストプリーング演算回路 47 は、入力されるデータ PPD の値の大きさを比較する比較回路の機能を有する。つまりポストプリーング演算回路 47 は、 $3 \times 3$  となる二次元のデータの最大値、つまり  $3 \times 3$  のマックスプリーングとなるデータ PD を出力データとして取り出すことができる。

#### 【0104】

図 13A の例は、具体的には図 13B に図示する動作によって、データ QUA [1] 乃至 [9] を分割して処理し、プレプリーング演算回路 45 でデータ PPD [1] 乃至 [3] を得ることができる。例えば専用演算回路 46\_1 では、データ QUA [1] 乃至 [3] を比較してデータ PPD [1] を得る。また、専用演算回路 46\_2 では、データ QUA [4] 乃至 [6] を比較してデータ PPD [2] を得る。また、専用演算回路 46\_3 10  
では、データ QUA [7] 乃至 [9] を比較してデータ PPD [3] を得る。当該構成とすることで、異なる専用演算回路を用いてデータ PPD を得るため、少ないクロック数でデータ PPD を得ることができる。

#### 【0105】

例えば図 14A に図示するように、プレプリーング演算回路 45 でデータ PPD を得ることなく、複数の量子化演算回路 44\_1 乃至 44\_9 からデータ QUA [1] 乃至 [9] をポストプリーング演算回路 47 に出力してデータ PD を得る場合、データを伝える配線数が増えてしまう。そのため、半導体装置 10 の小型化、および低消費電力化が難しくなるといった場合がある。

#### 【0106】

また例えば図 14B に図示するように、一つのプレプリーング演算回路 45 に入力されるデータ QUA [1] 乃至 [9] を比較してデータ PD を得る場合、データ QUA の数に応じてデータ PD を得るのに時間を要するため、半導体装置 10 における演算処理の高速化が難しくなるといった場合がある。

#### 【0107】

本実施の形態における半導体装置 10 の構成では、ニューラルネットワークにおける各演算処理を専用演算回路で行う場合、プリーング演算処理のような複数のデータを用いて演算処理を行う構成において、分散した演算処理を行う構成とすることができる。また専用演算回路と積和演算回路との接続する配線を短くできるため、専用演算回路を配置するための面積の増加を抑えることができる。また、専用演算回路に複数のメモリ回路を配置する構成とすることができるため、メモリ回路を配置できる面積を増やすことができる。その結果、膨大な数の重みデータをメモリ回路部で保持することができ、外部のメモリ回路から重みデータを転送する回数を削減できるため、低消費電力化を図ることができる。

#### 【0108】

図 15 では、図 1A および図 1B で説明した、演算回路部 40 上に積層して設けられるメモリ回路部 30、およびその周辺回路の構成例について図示している。具体的に図 15 では、駆動回路 12、駆動回路 13、制御回路 14、処理回路 15、切替回路 41、積和演算回路 42、活性化関数演算回路 43、量子化演算回路 44 およびプレプリーング演算回路 45 を図示している。また、図 15 では、処理回路 15 内にあるポストプリーング演算回路 47 を図示している。

#### 【0109】

なお図 15 で図示を省略しているが、図 15 の各回路には、各回路を制御するための制御信号、入力データおよび出力データが、外部の回路との間で入出力される構成となる。

#### 【0110】

図 16A は、図 15 に図示する各構成について、メモリ回路部 30 を制御するブロックを抜き出した図である。図 16A では、メモリ回路部 30 における回路ブロック 31 が有するメモリ回路 32 の他、駆動回路 12、駆動回路 13 を抜き出して図示している。

#### 【0111】

駆動回路 12 および駆動回路 13 は、外部からの入力信号を処理して、メモリ回路に重みデータを書き込むための信号、およびメモリ回路から重みデータを読み出すための信号

10

20

30

40

50

を生成する。生成された信号は、配線を介してメモリ回路に与えられる。

【 0 1 1 2 】

図 1 6 B は、図 1 5 に図示する各構成について、演算回路部 4 0 を制御するブロックを抜き出した図である。図 1 6 B では、演算回路部 4 0 が有する切替回路 4 1、積和演算回路 4 2、活性化関数演算回路 4 3、量子化演算回路 4 4 およびプレプーリング演算回路 4 5 の他、制御回路 1 4、処理回路 1 5、および処理回路 1 5 内にあるポストプーリング演算回路 4 7 を図示している。

【 0 1 1 3 】

制御回路 1 4 は、入力データ  $A_{IN}$  を生成し、積和演算回路 4 2 に出力する。制御回路 1 4 は、切替回路 4 1 を制御する制御信号を出力する。切替回路 4 1 は、メモリ回路 3 2 から読みだされる重みデータを選択して、重みデータ  $W_{SEL}$  として積和演算回路 4 2 に出力する。専用演算回路である、活性化関数演算回路 4 3、量子化演算回路 4 4 およびプレプーリング演算回路 4 5 では、積和演算回路 4 2 で生成されるデータ  $MAC$  の演算処理を行い、プレプーリング演算処理がされたデータ  $PPD$  を処理回路 1 5 内にあるポストプーリング演算回路 4 7 に出力する。処理回路 1 5 内にあるポストプーリング演算回路 4 7 は、プーリング演算処理されたデータ  $PD$  を制御回路 1 4 に出力し、制御回路 1 4 では入力データ  $A_{IN}$  が生成される。生成されたデータは、演算回路部 4 0 に再入力される。

【 0 1 1 4 】

半導体装置 1 0 では、制御回路 1 4 が演算処理されたデータを再度演算回路部 4 0 への入力データとして出力できる。そのため、演算途中のデータを半導体装置 1 0 の外部にあるメインメモリなどに読み出すことなく、演算処理を実行可能である。また半導体装置 1 0 では、メモリ回路部と、演算回路部と、の間の電気的な接続を、絶縁膜等に設ける開口部の配線を介して行うことができるため、配線数をふやすことで並列数を増やすことが可能である。そのため半導体装置 1 0 では、CPU 1 1 0 のデータバス幅以上のビット数の並列計算が可能となる。また積和演算回路に加え、活性化関数演算処理などの専用演算処理を行う回路をメモリ回路と積層して設ける構成とするため、メモリ回路を配置できる面積を増やすことができる。その結果、膨大な数の重みデータをメモリ回路部で保持することができ、外部のメモリ回路から重みデータを転送する回数を削減できるため、低消費電力化を図ることができる。

【 0 1 1 5 】

なお本発明の一態様においてプーリング演算処理のように一つの演算処理を複数の場所で分散して行う構成は、専用演算回路と積和演算回路との接続する配線を短くできる。そのため、演算処理を複数の場所で分散して行う構成は、専用演算回路を配置するための面積の増加を抑えるうえで有効である。当該構成は、図 1 で図示したメモリ回路部と演算回路部を積層しない構成、例えば図 1 5、図 1 6 A、図 1 6 B に図示する構成において、メモリ回路部 3 0、演算回路部 4 0、並びに駆動回路 1 2、駆動回路 1 3、制御回路 1 4 および処理回路 1 5 といった周辺回路を Si トランジスタで構成し、メモリ回路部 3 0 と演算回路部 4 0 を積層しない場合においても有効である。

【 0 1 1 6 】

以上説明したように、本発明の一態様は、小型化が図られた、アクセラレータとして機能する半導体装置を提供することができる。または、本発明の一態様は、低消費電力化が図られた、アクセラレータとして機能する半導体装置を提供することができる。または、新規な構成の、アクセラレータとして機能する半導体装置を提供することができる。

【 0 1 1 7 】

(実施の形態 2)

本実施の形態では、上記実施の形態で説明した CPU 1 1 0 で実行するプログラムの演算の一部を半導体装置 1 0 として説明したアクセラレータで実行する場合の、動作の一例を説明する。

【 0 1 1 8 】

図 1 7 は、CPU で実行するプログラムの演算の一部をアクセラレータで実行する場合

10

20

30

40

50

の、動作の一例を説明する図である。

【0119】

CPUにて、ホストプログラムが実行される（ホストプログラム実行；ステップS1）。

【0120】

CPUは、アクセラレータを用いて演算を行う際に必要とされるデータ用領域を、メモリ回路部に確保するとの命令を確認した場合（メモリ確保命令；ステップS2）、該データ用領域を、メモリ回路部に確保する（メモリ確保；ステップS3）。

【0121】

次に、CPUは、メインメモリあるいは外部記憶装置から上記メモリ回路部へ入力データである重みデータを送信する（データ送信；ステップS4）。上記メモリ回路部は該重みデータを受信し、該重みデータを、ステップS3で確保された領域に格納する（データ受信；ステップS5）。

10

【0122】

CPUは、カーネルプログラムを起動するとの命令を確認した場合（カーネルプログラムの起動；ステップS6）、アクセラレータは、カーネルプログラムの実行を開始する（演算開始；ステップS7）。

【0123】

アクセラレータがカーネルプログラムの実行を開始した直後、CPUを、演算を行う状態からPG（パワーゲーティング）状態へと切り替えてもよい（PG状態移行；ステップS8）。その場合、アクセラレータがカーネルプログラムの実行を終了する直前に、CPUは、PG状態から演算を行う状態へ切り替えられる（PG状態停止；ステップS9）。ステップS8からステップS9までの期間、CPUをPG状態にすることで、演算処理システム全体として消費電力および発熱を抑制することができる。

20

【0124】

アクセラレータがカーネルプログラムの実行を終了すると、出力データがアクセラレータ内の演算結果を保持する記憶部に格納される（演算終了；ステップS10）。

【0125】

カーネルプログラムの実行が終了した後、CPUは、記憶部に格納された出力データをメインメモリあるいは外部記憶装置へ送信するとの命令を確認した場合（データ送信リクエスト；ステップS11）、上記の出力データがメインメモリあるいは外部記憶装置へ送信され、メインメモリあるいは外部記憶装置に格納される（データ送信；ステップS12）。

30

【0126】

以上のステップS1からステップS12までの動作を繰り返すことにより、CPUおよびアクセラレータの消費電力および発熱を抑制しつつ、CPUで実行する演算の一部をアクセラレータで実行することができる。本発明の一態様の半導体装置は、非ノイマン型アーキテクチャを有し、処理速度の増加に伴って消費電力が大きくなるノイマン型アーキテクチャと比較して、極めて少ない消費電力で演算処理を行うことができる。

【0127】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

40

【0128】

（実施の形態3）

本実施の形態では、パワーゲーティングが可能なCPUコアを有するCPUの一例について説明する。

【0129】

図18に、CPU110の構成例を示す。CPU110は、CPUコア（CPU Core）200、L1（レベル1）キャッシュメモリ装置（L1 Cache）202、L2キャッシュメモリ装置（L2 Cache）203、バスインターフェース部（Bus I/F）205、パワースイッチ210～212、レベルシフト（LS）214を有する。CPUコア200はフリップフロップ220を有する。

50

## 【0130】

バスインターフェース部205によって、CPUコア200、L1キャッシュメモリ装置202、L2キャッシュメモリ装置203が相互に接続される。

## 【0131】

外部から入力される割り込み信号(Interrupts)、CPU110が発行する信号SLEEP1等の信号に応じて、PMU193はクロック信号GCLK1、各種のPG(パワーゲーティング)制御信号(PG control signals)の生成を行う。クロック信号GCLK1、PG制御信号はCPU110に入力される。PG制御信号は、パワースイッチ210~212、フリップフロップ220を制御する。

## 【0132】

パワースイッチ210、211は、仮想電源線V\_VDD(以下、V\_VDD線と呼ぶ)への電圧VDDD、VDD1の供給をそれぞれ制御する。パワースイッチ212は、レベルシフタ(LS)214への電圧VDDHの供給を制御する。CPU110およびPMU193には、パワースイッチを介さずに電圧VSSSが入力される。PMU193には、パワースイッチを介さずに電圧VDDDが入力される。

## 【0133】

電圧VDDD、VDD1はCMOS回路用の駆動電圧である。電圧VDD1は電圧VDDDよりも低く、スリープ状態での駆動電圧である。電圧VDDHはOストランジスタ用の駆動電圧であり、電圧VDDDよりも高い。

## 【0134】

L1キャッシュメモリ装置202、L2キャッシュメモリ装置203、バスインターフェース部205それぞれは、少なくとも1つパワーゲーティング可能なパワードメインを有する。パワーゲーティング可能なパワードメインには、1または複数のパワースイッチが設けられている。これらのパワースイッチは、PG制御信号によって制御される。

## 【0135】

フリップフロップ220は、レジスタに用いられる。フリップフロップ220には、バックアップ回路が設けられている。以下、フリップフロップ220について説明する。

## 【0136】

図19Aにフリップフロップ220(Flip-flop)の回路構成例を示す。フリップフロップ220はスキャンフリップフロップ(Scan Flip-flop)221、バックアップ回路(Backup Circuit)222を有する。

## 【0137】

スキャンフリップフロップ221は、ノードD1、Q1、SD、SE、RT、CK、クロックバッファ回路221Aを有する。

## 【0138】

ノードD1はデータ(data)入力ノードであり、ノードQ1はデータ出力ノードであり、ノードSDはスキャンテスト用データの入力ノードである。ノードSEは信号SCEの入力ノードである。ノードCKはクロック信号GCLK1の入力ノードである。クロック信号GCLK1はクロックバッファ回路221Aに入力される。スキャンフリップフロップ221のアナログスイッチは、クロックバッファ回路221AのノードCK1、CKB1に接続される。ノードRTはリセット信号(reset signal)の入力ノードである。

## 【0139】

信号SCEは、スキャンイネーブル信号であり、PMU193で生成される。PMU193は信号BK、RCを生成する。レベルシフタ214は信号BK、RCをレベルシフトし、信号BKH、RCHを生成する。信号BKはバックアップ信号、信号RCはリカバリ信号である。

## 【0140】

スキャンフリップフロップ221の回路構成は、図19に限定されない。標準的な回路ライブラリに用意されているフリップフロップを適用することができる。

10

20

30

40

50

## 【0141】

バックアップ回路222は、ノードSD\_IN、SN11、トランジスタM11~M13、容量素子C11を有する。

## 【0142】

ノードSD\_INは、スキャンテストデータの入力ノードであり、スキャンフリップフロップ221のノードQ1に接続される。ノードSN11は、バックアップ回路222の保持ノードである。容量素子C11はノードSN11の電圧を保持するための保持容量である。

## 【0143】

トランジスタM11はノードQ1とノードSN11間の導通状態を制御する。トランジスタM12はノードSN11とノードSD間の導通状態を制御する。トランジスタM13はノードSD\_INとノードSD間の導通状態を制御する。トランジスタM11、M13のオンオフは信号BKHで制御され、トランジスタM12のオンオフは信号RCHで制御される。

10

## 【0144】

トランジスタM11~M13は、上述したメモリ回路32が有するトランジスタ61乃至63と同様に、OSトランジスタである。トランジスタM11~M13はバックゲートを有する構成を図示している。トランジスタM11~M13のバックゲートは、電圧VBG1を供給する電源線に接続されている。

## 【0145】

20

少なくともトランジスタM11、M12がOSトランジスタであることが好ましい。オフ電流が極めて小さいというOSトランジスタの特長によって、ノードSN11の電圧の低下を抑えることができること、データの保持に電力を殆んど消費しないことから、バックアップ回路222は不揮発性の特性をもつ。容量素子C11の充放電によってデータを書き換えるため、バックアップ回路222は原理的には書き換え回数に制約はなく、低エネルギーで、データの書き込みおよび読み出しが可能である。

## 【0146】

バックアップ回路222の全てのトランジスタはOSトランジスタであることが非常に好ましい。図19Bに示すように、シリコンCMOS回路で構成されるスキャンフリップフロップ221上にバックアップ回路222を積層することができる。

30

## 【0147】

バックアップ回路222は、スキャンフリップフロップ221と比較して素子数が非常に少ないので、バックアップ回路222を積層するためにスキャンフリップフロップ221の回路構成およびレイアウトの変更が必要ない。つまり、バックアップ回路222は、汎用性が非常に高いバックアップ回路である。また、スキャンフリップフロップ221が形成されている領域内にバックアップ回路222を設けることができるので、バックアップ回路222を組み込んでも、フリップフロップ220の面積オーバーヘッドはゼロにすることが可能である。よって、バックアップ回路222をフリップフロップ220に設けることで、CPUコア200のパワーゲーティングが可能となる。パワーゲーティングに必要なエネルギーが少ないため、CPUコア200を高効率にパワーゲーティングすることが可能である。

40

## 【0148】

バックアップ回路222を設けることによって、トランジスタM11による寄生容量がノードQ1に付加されることになるが、ノードQ1に接続される論理回路による寄生容量と比較して小さいので、スキャンフリップフロップ221の動作に影響はない。つまり、バックアップ回路222を設けても、フリップフロップ220の性能は実質的に低下しない。

## 【0149】

CPUコア200の低消費電力状態として、例えば、クロックゲーティング状態、パワーゲーティング状態、休止状態を設定することができる。PMU193は、割り込み信号

50

、信号 S L E E P 1 等に基づき、C P U コア 2 0 0 の低消費電力モードを選択する。例えば、通常動作状態からクロックゲーティング状態に移行する場合、P M U 1 9 3 はクロック信号 G C L K 1 の生成を停止する。

【 0 1 5 0 】

例えば、通常動作状態から休止状態に移行する場合は、P M U 1 9 3 は、電圧および/または周波数スケーリングを行う。例えば、電圧スケーリングを行う場合、P M U 1 9 3 は、電圧 V D D 1 を C P U コア 2 0 0 に入力するため、パワースイッチ 2 1 0 をオフにし、パワースイッチ 2 1 1 をオンにする。電圧 V D D 1 は、スキャンフリップフロップ 2 2 1 のデータを消失させない電圧である。周波数スケーリングを行う場合、P M U 1 9 3 はクロック信号 G C L K 1 の周波数を低下させる。

10

【 0 1 5 1 】

C P U コア 2 0 0 を通常動作状態からパワーゲーティング状態に移行する場合には、スキャンフリップフロップ 2 2 1 のデータをバックアップ回路 2 2 2 にバックアップする動作が行われる。C P U コア 2 0 0 をパワーゲーティング状態から通常動作状態に復帰する際には、バックアップ回路 2 2 2 のデータをスキャンフリップフロップ 2 2 1 にリカバリする動作が行われる。

【 0 1 5 2 】

図 2 0 に、C P U コア 2 0 0 のパワーゲーティングシーケンスの一例を示す。なお、図 2 0 において、 $t_1 \sim t_7$  は時刻を表している。信号 P S E 0 ~ P S E 2 は、パワースイッチ 2 1 0 ~ 2 1 2 の制御信号であり、P M U 1 9 3 で生成される。信号 P S E 0 が “ H ” / “ L ” のとき、パワースイッチ 2 1 0 はオン/オフである。信号 P S E 1、P S E 2 についても同様である。

20

【 0 1 5 3 】

時刻  $t_1$  以前は、通常動作状態 ( N o r m a l O p e r a t i o n ) である。パワースイッチ 2 1 0 はオンであり、C P U コア 2 0 0 には電圧 V D D D が入力される。スキャンフリップフロップ 2 2 1 は通常動作を行う。このとき、レベルシフト 2 1 4 は動作させる必要がないため、パワースイッチ 2 1 2 はオフであり、信号 S C E、B K、R C は “ L ” である。ノード S E が “ L ” であるため、スキャンフリップフロップ 2 2 1 はノード D 1 のデータを記憶する。なお、図 2 0 の例では、時刻  $t_1$  において、バックアップ回路 2 2 2 のノード S N 1 1 は “ L ” である。

30

【 0 1 5 4 】

バックアップ ( B a c k u p ) 時の動作を説明する。時刻  $t_1$  で、P M U 1 9 3 はクロック信号 G C L K 1 を停止し、信号 P S E 2、B K を “ H ” にする。レベルシフト 2 1 4 はアクティブになり、“ H ” の信号 B K H をバックアップ回路 2 2 2 に出力する。

【 0 1 5 5 】

バックアップ回路 2 2 2 のトランジスタ M 1 1 がオンになり、スキャンフリップフロップ 2 2 1 のノード Q 1 のデータがバックアップ回路 2 2 2 のノード S N 1 1 に書き込まれる。スキャンフリップフロップ 2 2 1 のノード Q 1 が “ L ” であれば、ノード S N 1 1 は “ L ” のままであり、ノード Q 1 が “ H ” であれば、ノード S N 1 1 は “ H ” になる。

【 0 1 5 6 】

P M U 1 9 3 は、時刻  $t_2$  で信号 P S E 2、B K を “ L ” にし、時刻  $t_3$  で信号 P S E 0 を “ L ” にする。時刻  $t_3$  で、C P U コア 2 0 0 の状態はパワーゲーティング状態に移行する。なお、信号 B K を立ち下げるタイミングで信号 P S E 0 を立ち下げてもよい。

40

【 0 1 5 7 】

パワーゲーティング ( P o w e r - g a t i n g ) 時の動作を説明する。信号 P S E 0 が “ L ” になることで、V \_ V D D 線の電圧が低下するため、ノード Q 1 のデータは失われる。ノード S N 1 1 は、時刻  $t_3$  でのノード Q 1 のデータを保持し続ける。

【 0 1 5 8 】

リカバリ ( R e c o v e r y ) 時の動作を説明する。時刻  $t_4$  で、P M U 1 9 3 が信号 P S E 0 を “ H ” にすることで、パワーゲーティング状態からリカバリ状態に移行する。V

50

\_\_VDD線の充電が開始され、V\_\_VDD線の電圧がVDDDになった状態（時刻t5）で、PMU193は信号PSE2、RC、SCEを“H”にする。

【0159】

トランジスタM12はオンになり、容量素子C11の電荷がノードSN11とノードSDとに分配される。ノードSN11が“H”であれば、ノードSDの電圧は上昇する。ノードSEは“H”であるので、スキャンフリップフロップ221の入力側ラッチ回路にノードSDのデータが書き込まれる。時刻t6でノードCKにクロック信号CLK1が入力されると、入力側ラッチ回路のデータがノードQ1に書き込まれる。つまり、ノードSN11のデータがノードQ1に書き込まれたことになる。

【0160】

時刻t7で、PMU193は信号PSE2、SCE、RCを“L”にし、リカバリ動作が終了する。

【0161】

OSTランジスタを用いたバックアップ回路222は、動的および静的消費電力双方が小さいため、ノーマリオフ・コンピューティングに非常に好適である。なお、OSTランジスタを用いたバックアップ回路222を有するCPUコア200を含むCPU110は、NoFFCPU（登録商標）と呼称することができる。NoFFCPUは、不揮発性メモリを有し、動作が必要ない場合には、電力供給を停止することができる。フリップフロップ220を搭載しても、CPUコア200の性能低下、動的電力の増加をほとんど発生させないようにできる。

【0162】

なお、CPUコア200は複数のパワーゲーティング可能なパワードメインを有してもよい。複数のパワードメインには、電圧の入力を制御するための1または複数のパワースイッチが設けられる。また、CPUコア200は、1または複数のパワーゲーティングが行われないパワードメインを有していてもよい。例えば、パワーゲーティングが行われないパワードメインに、フリップフロップ220、パワースイッチ210～212の制御を行うためのパワーゲーティング制御回路を設けてもよい。

【0163】

なお、フリップフロップ220の適用はCPU110に限定されない。CPU110において、パワーゲーティング可能なパワードメインに設けられるレジスタに、フリップフロップ220を適用できる。

【0164】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【0165】

（実施の形態4）

本実施の形態では、上記実施の形態で説明したCPU110、および半導体装置10として説明したアクセラレータに適用可能なトランジスタの構成の一例について説明する。一例として、異なる電気特性を有するトランジスタを積層して設ける構成について説明する。当該構成とすることで、半導体装置の設計自由度を高めることができる。また、異なる電気特性を有するトランジスタを積層して設けることで、半導体装置の集積度を高めることができる。

【0166】

半導体装置の断面構造の一部を図21に示す。図21に示す半導体装置は、トランジスタ550と、トランジスタ500と、容量素子600と、を有している。図22Aはトランジスタ500のチャンネル長方向の断面図であり、図22Bはトランジスタ500のチャンネル幅方向の断面図である。例えば、トランジスタ500は上記実施の形態に示したメモリ回路32が有するOSTランジスタ、つまりチャンネル形成領域に酸化物半導体を有するトランジスタに相当する。また、トランジスタ550は上記実施の形態に示した演算回路部40が有するSiトランジスタ、つまりチャンネル形成領域にシリコンを有するトランジスタに相当する。また、容量素子600はメモリ回路32が有する容量素子に相当する。

10

20

30

40

50

## 【0167】

トランジスタ500は、Oストランジスタである。Oストランジスタは、オフ電流が極めて少ない。よって、トランジスタ500を介して記憶ノードに書き込んだデータ電圧あるいは電荷を長期間保持することが可能である。つまり、記憶ノードのリフレッシュ動作頻度を低減、あるいは、リフレッシュ動作を必要としないため、半導体装置の消費電力を低減することができる。

## 【0168】

図21では、トランジスタ500はトランジスタ550の上方に設けられ、容量素子600はトランジスタ550、およびトランジスタ500の上方に設けられている。

## 【0169】

トランジスタ550は、基板311に設けられる。基板311は、例えば、p型のシリコン基板である。基板311は、n型のシリコン基板でもよい。酸化物層314は、基板311に埋め込み酸化(Burried oxide)によって形成された絶縁層(BOX層ともいう)、例えば酸化シリコンであることが好ましい。トランジスタ550は、基板311に酸化物層314を介して設けられた単結晶シリコン、いわゆるSOI(Silicon On Insulator)基板に設けられる。

## 【0170】

SOI基板における基板311は、素子分離層として機能する絶縁体313が設けられる。また基板311は、ウェル領域312を有する。ウェル領域312は、トランジスタ550の導電型に応じてn型またはp型の導電性が付与された領域である。SOI基板における単結晶シリコンには、半導体領域315、ソース領域またはドレイン領域として機能する低抵抗領域316a、低抵抗領域316bが設けられる。またウェル領域312上には、低抵抗領域316cを有する。

## 【0171】

トランジスタ550は、導電性を付与する不純物元素が付加されたウェル領域312に重ねて設けることができる。ウェル領域312は、低抵抗領域316cを介して電位を独立して変化させることで、トランジスタ550のボトムゲート電極として機能させることができる。そのため、トランジスタ550のしきい値電圧を制御することができる。特に、ウェル領域312に負の電位を印加することにより、トランジスタ550のしきい値電圧をより大きくし、オフ電流を低減することが可能となる。したがって、ウェル領域312に負の電位を印加することで、Siトランジスタのゲート電極に印加する電位が0Vのときのドレイン電流を小さくすることができる。その結果、トランジスタ550を有する演算回路部40における貫通電流等に基づく消費電力を低減でき、演算効率の向上を図ることができる。

## 【0172】

トランジスタ550は、半導体層の上面およびチャネル幅方向の側面が絶縁体317を介して導電体318に覆われている、いわゆるFin型とすることが好ましい。トランジスタ550をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ550のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ550のオフ特性を向上させることができる。

## 【0173】

なお、トランジスタ550は、pチャネル型のトランジスタ、あるいはnチャネル型のトランジスタのいずれでもよい。

## 【0174】

導電体318は、第1ゲート(トップゲートともいう)電極として機能する場合がある。また、ウェル領域312は、第2ゲート(ボトムゲートともいう)電極として機能する場合がある。その場合、ウェル領域312に印加する電位は、低抵抗領域316cを介して制御することができる。

## 【0175】

半導体領域315のチャネルが形成される領域、その近傍の領域、ソース領域、または

10

20

30

40

50

ドレイン領域となる低抵抗領域 3 1 6 a、および低抵抗領域 3 1 6 b、ウェル領域 3 1 2 の電位を制御する電極に接続される低抵抗領域 3 1 6 c などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge (ゲルマニウム)、SiGe (シリコンゲルマニウム)、GaAs (ガリウムヒ素)、GaAlAs (ガリウムアルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ 5 5 0 を HEMT (High Electron Mobility Transistor) としてもよい。

**【0176】**

ウェル領域 3 1 2、低抵抗領域 3 1 6 a、低抵抗領域 3 1 6 b、および低抵抗領域 3 1 6 c は、半導体領域 3 1 5 に適用される半導体材料に加え、ヒ素、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含む。

**【0177】**

ゲート電極として機能する導電体 3 1 8 は、ヒ素、リンなどの n 型の導電性を付与する元素、もしくはホウ素などの p 型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。また導電体 3 1 8 は、ニッケルシリサイド等のシリサイドを用いてもよい。

**【0178】**

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

**【0179】**

低抵抗領域 3 1 6 a、低抵抗領域 3 1 6 b、および低抵抗領域 3 1 6 c は、別の導電体、例えばニッケルシリサイド等のシリサイドを積層して設ける構成としてもよい。当該構成とすることで、電極として機能する領域の導電性を高めることができる。またこのとき、ゲート電極として機能する導電体 3 1 8 の側面、およびゲート絶縁膜として機能する絶縁体の側面には、サイドウォールスペーサ (側壁絶縁層ともいう) として機能する絶縁体を設ける構成としてもよい。当該構成とすることで、導電体 3 1 8 と、低抵抗領域 3 1 6 a および低抵抗領域 3 1 6 b と、が導通状態となることを防ぐことができる。

**【0180】**

トランジスタ 5 5 0 を覆って、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 が順に積層して設けられている。

**【0181】**

絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

**【0182】**

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

**【0183】**

絶縁体 3 2 2 は、その下方に設けられるトランジスタ 5 5 0 などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体 3 2 2 の上面は、平坦性を高めるために化学機械研磨 (CMP) 法等を用いた平坦化処理により平坦化されていてもよい。

10

20

30

40

50

## 【0184】

また、絶縁体324には、基板311、またはトランジスタ550などから、トランジスタ500が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

## 【0185】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ550との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

10

## 【0186】

水素の脱離量は、例えば、昇温脱離ガス分析法(TDS)などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50 から500 の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

## 【0187】

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

20

## 【0188】

また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子600、またはトランジスタ500と接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330は、プラグまたは配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構成をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

30

## 【0189】

各プラグ、および配線(導電体328、導電体330等)の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

## 【0190】

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図21では、絶縁体350、絶縁体352、および絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、および絶縁体354には、導電体356が形成されている。導電体356は、トランジスタ550と接続するプラグ、または配線としての機能を有する。なお導電体356は、導電体328、および導電体330と同様の材料を用いて設けることができる。

40

## 【0191】

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、ト

50

ランジスタ 550 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 550 からトランジスタ 500 への水素の拡散を抑制することができる。

【0192】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 550 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 350 と接する構成であることが好ましい。

【0193】

絶縁体 354、および導電体 356 上に、配線層を設けてもよい。例えば、図 21 では、絶縁体 360、絶縁体 362、および絶縁体 364 が順に積層して設けられている。また、絶縁体 360、絶縁体 362、および絶縁体 364 には、導電体 366 が形成されている。導電体 366 は、プラグまたは配線としての機能を有する。なお導電体 366 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

10

【0194】

なお、例えば、絶縁体 360 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 366 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 360 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 550 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 550 からトランジスタ 500 への水素の拡散を抑制することができる。

20

【0195】

絶縁体 364、および導電体 366 上に、配線層を設けてもよい。例えば、図 21 では、絶縁体 370、絶縁体 372、および絶縁体 374 が順に積層して設けられている。また、絶縁体 370、絶縁体 372、および絶縁体 374 には、導電体 376 が形成されている。導電体 376 は、プラグまたは配線としての機能を有する。なお導電体 376 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

【0196】

なお、例えば、絶縁体 370 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 376 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 370 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 550 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 550 からトランジスタ 500 への水素の拡散を抑制することができる。

30

【0197】

絶縁体 374、および導電体 376 上に、配線層を設けてもよい。例えば、図 21 では、絶縁体 380、絶縁体 382、および絶縁体 384 が順に積層して設けられている。また、絶縁体 380、絶縁体 382、および絶縁体 384 には、導電体 386 が形成されている。導電体 386 は、プラグまたは配線としての機能を有する。なお導電体 386 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

40

【0198】

なお、例えば、絶縁体 380 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 386 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 380 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 550 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 550 からトランジスタ 500 への水素の拡散を抑制することができる。

【0199】

上記において、導電体 356 を含む配線層、導電体 366 を含む配線層、導電体 376 を含む配線層、および導電体 386 を含む配線層、について説明したが、本実施の形態に

50

係る半導体装置はこれに限られるものではない。導電体 3 5 6 を含む配線層と同様の配線層を 3 層以下にしてもよいし、導電体 3 5 6 を含む配線層と同様の配線層を 5 層以上にしてもよい。

【 0 2 0 0 】

絶縁体 3 8 4 上には絶縁体 5 1 0、絶縁体 5 1 2、絶縁体 5 1 4、および絶縁体 5 1 6 が、順に積層して設けられている。絶縁体 5 1 0、絶縁体 5 1 2、絶縁体 5 1 4、および絶縁体 5 1 6 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

【 0 2 0 1 】

例えば、絶縁体 5 1 0、および絶縁体 5 1 4 には、例えば、基板 3 1 1、またはトランジスタ 5 5 0 を設ける領域などから、トランジスタ 5 0 0 を設ける領域に、水素や不純物に対するバリア性を有する膜を用いることが好ましい。したがって、絶縁体 3 2 4 と同様の材料を用いることができる。

10

【 0 2 0 2 】

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 5 0 0 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 5 0 0 と、トランジスタ 5 5 0 との間に、水素の拡散を抑制する膜を用いることが好ましい。

【 0 2 0 3 】

また、水素に対するバリア性を有する膜として、例えば、絶縁体 5 1 0、および絶縁体 5 1 4 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

20

【 0 2 0 4 】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 5 0 0 への混入を防止することができる。また、トランジスタ 5 0 0 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 5 0 0 に対する保護膜として用いることに適している。

30

【 0 2 0 5 】

また、例えば、絶縁体 5 1 2、および絶縁体 5 1 6 には、絶縁体 3 2 0 と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 5 1 2、および絶縁体 5 1 6 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

【 0 2 0 6 】

また、絶縁体 5 1 0、絶縁体 5 1 2、絶縁体 5 1 4、および絶縁体 5 1 6 には、導電体 5 1 8、およびトランジスタ 5 0 0 を構成する導電体（例えば、導電体 5 0 3）等が埋め込まれている。なお、導電体 5 1 8 は、容量素子 6 0 0、またはトランジスタ 5 5 0 と接続するプラグ、または配線としての機能を有する。導電体 5 1 8 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

40

【 0 2 0 7 】

特に、絶縁体 5 1 0、および絶縁体 5 1 4 と接する領域の導電体 5 1 8 は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ 5 5 0 とトランジスタ 5 0 0 とは、酸素、水素、および水に対するバリア性を有する層で、分離することができ、トランジスタ 5 5 0 からトランジスタ 5 0 0 への水素の拡散を抑制することができる。

【 0 2 0 8 】

絶縁体 5 1 6 の上方には、トランジスタ 5 0 0 が設けられている。

【 0 2 0 9 】

50

図 2 2 A および図 2 2 B に示すように、トランジスタ 5 0 0 は、絶縁体 5 1 4 および絶縁体 5 1 6 に埋め込まれるように配置された導電体 5 0 3 と、絶縁体 5 1 6 および導電体 5 0 3 の上に配置された絶縁体 5 2 2 と、絶縁体 5 2 2 の上に配置された絶縁体 5 2 4 と、絶縁体 5 2 4 の上に配置された酸化物 5 3 0 a と、酸化物 5 3 0 a の上に配置された酸化物 5 3 0 b と、酸化物 5 3 0 b 上に互いに離れて配置された導電体 5 4 2 a および導電体 5 4 2 b と、導電体 5 4 2 a および導電体 5 4 2 b 上に配置され、導電体 5 4 2 a と導電体 5 4 2 b の間に重畳して開口が形成された絶縁体 5 8 0 と、開口の底面および側面に配置された絶縁体 5 4 5 と、絶縁体 5 4 5 の形成面に配置された導電体 5 6 0 と、を有する。

【 0 2 1 0 】

また、図 2 2 A および図 2 2 B に示すように、酸化物 5 3 0 a、酸化物 5 3 0 b、導電体 5 4 2 a、および導電体 5 4 2 b と、絶縁体 5 8 0 の間に絶縁体 5 4 4 が配置されることが好ましい。また、図 2 2 A および図 2 2 B に示すように、導電体 5 6 0 は、絶縁体 5 4 5 の内側に設けられた導電体 5 6 0 a と、導電体 5 6 0 a の内側に埋め込まれるように設けられた導電体 5 6 0 b と、を有することが好ましい。また、図 2 2 A および図 2 2 B に示すように、絶縁体 5 8 0、導電体 5 6 0、および絶縁体 5 4 5 の上に絶縁体 5 7 4 が配置されることが好ましい。

【 0 2 1 1 】

なお、本明細書などにおいて、酸化物 5 3 0 a、および酸化物 5 3 0 b をまとめて酸化物 5 3 0 という場合がある。

【 0 2 1 2 】

なお、トランジスタ 5 0 0 では、チャンネルが形成される領域と、その近傍において、酸化物 5 3 0 a、および酸化物 5 3 0 b の 2 層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物 5 3 0 b の単層、または 3 層以上の積層構成を設ける構成にしてもよい。

【 0 2 1 3 】

また、トランジスタ 5 0 0 では、導電体 5 6 0 を 2 層の積層構成として示しているが、本発明はこれに限られるものではない。例えば、導電体 5 6 0 が、単層構成であってもよいし、3 層以上の積層構成であってもよい。また、図 2 1、図 2 2 A、および図 2 2 B に示すトランジスタ 5 0 0 は一例であり、その構成に限定されず、回路構成や駆動方法などに応じて適切なトランジスタを用いればよい。

【 0 2 1 4 】

ここで、導電体 5 6 0 は、トランジスタのゲート電極として機能し、導電体 5 4 2 a および導電体 5 4 2 b は、それぞれソース電極またはドレイン電極として機能する。上記のように、導電体 5 6 0 は、絶縁体 5 8 0 の開口、および導電体 5 4 2 a と導電体 5 4 2 b に挟まれた領域に埋め込まれるように形成される。導電体 5 6 0、導電体 5 4 2 a および導電体 5 4 2 b の配置は、絶縁体 5 8 0 の開口に対して、自己整合的に選択される。つまり、トランジスタ 5 0 0 において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体 5 6 0 を位置合わせのマージンを設けることなく形成することができるので、トランジスタ 5 0 0 の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

【 0 2 1 5 】

さらに、導電体 5 6 0 が、導電体 5 4 2 a と導電体 5 4 2 b の間の領域に自己整合的に形成されるので、導電体 5 6 0 は、導電体 5 4 2 a または導電体 5 4 2 b と重畳する領域を有さない。これにより、導電体 5 6 0 と導電体 5 4 2 a および導電体 5 4 2 b との間に形成される寄生容量を低減することができる。よって、トランジスタ 5 0 0 のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

【 0 2 1 6 】

導電体 5 6 0 は、第 1 ゲート ( トップゲートともいう ) 電極として機能する場合がある。また、導電体 5 0 3 は、第 2 ゲート ( ボトムゲートともいう ) 電極として機能する場合

10

20

30

40

50

がある。その場合、導電体 5 0 3 に印加する電位を、導電体 5 6 0 に印加する電位と、連動させず、独立して変化させることで、トランジスタ 5 0 0 のしきい値電圧を制御することができる。特に、導電体 5 0 3 に負の電位を印加することにより、トランジスタ 5 0 0 のしきい値電圧をより大きくし、オフ電流を低減することが可能となる。したがって、導電体 5 0 3 に負の電位を印加したほうが、印加しない場合よりも、導電体 5 6 0 に印加する電位が 0 V のときのドレイン電流を小さくすることができる。

#### 【0217】

導電体 5 0 3 は、酸化物 5 3 0、および導電体 5 6 0 と、重なるように配置する。これにより、導電体 5 6 0、および導電体 5 0 3 に電位を印加した場合、導電体 5 6 0 から生じる電界と、導電体 5 0 3 から生じる電界と、がつながり、酸化物 5 3 0 に形成されるチャネル形成領域を覆うことができる。

10

#### 【0218】

本明細書等において、一对のゲート電極（第 1 のゲート電極、および第 2 のゲート電極）の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構成を、*surrounded channel (S-channel)* 構成とよぶ。また、本明細書等で開示する *S-channel* 構成は、*Fin* 型構成およびプレーナ型構成とは異なる。*S-channel* 構成を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

#### 【0219】

また、導電体 5 0 3 は、導電体 5 1 8 と同様の構成であり、絶縁体 5 1 4 および絶縁体 5 1 6 の開口の内壁に接して導電体 5 0 3 a が形成され、さらに内側に導電体 5 0 3 b が形成されている。なお、トランジスタ 5 0 0 では、導電体 5 0 3 a および導電体 5 0 3 b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 5 0 3 は、単層、または 3 層以上の積層構成として設ける構成にしてもよい。

20

#### 【0220】

ここで、導電体 5 0 3 a は、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一または、すべての拡散を抑制する機能とする。

30

#### 【0221】

例えば、導電体 5 0 3 a が酸素の拡散を抑制する機能を持つことにより、導電体 5 0 3 b が酸化して導電率が低下することを抑制することができる。

#### 【0222】

また、導電体 5 0 3 が配線の機能を兼ねる場合、導電体 5 0 3 b は、タングステン、銅、またはアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。なお、本実施の形態では導電体 5 0 3 を導電体 5 0 3 a と導電体 5 0 3 b の積層で図示したが、導電体 5 0 3 は単層構成であってもよい。

#### 【0223】

絶縁体 5 2 2、および絶縁体 5 2 4 は、第 2 のゲート絶縁膜としての機能を有する。

40

#### 【0224】

ここで、酸化物 5 3 0 と接する絶縁体 5 2 4 は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。当該酸素は、加熱により膜中から放出されやすい。本明細書などでは、加熱により放出される酸素を「過剰酸素」と呼ぶ場合がある。つまり、絶縁体 5 2 4 には、過剰酸素を含む領域（「過剰酸素領域」ともいう。）が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物 5 3 0 に接して設けることにより、酸化物 5 3 0 中の酸素欠損（*VO: oxygen vacancy* ともいう）を低減し、トランジスタ 5 0 0 の信頼性を向上させることができる。なお、酸化物 5 3 0 中の酸素欠損に水素が入った場合、当該欠陥（以下、*VOH* と呼ぶ場合がある

50

。)はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する虞もある。本発明の一態様においては、酸化物530中のV<sub>OH</sub>をできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、V<sub>OH</sub>が十分低減された酸化物半導体を得るには、酸化物半導体中の水分、水素などの不純物を除去すること(「脱水」または「脱水素化处理」ともいう。)と、酸化物半導体に酸素を供給して酸素欠損を補填すること(「加酸素化处理」ともいう。)が重要である。V<sub>OH</sub>などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

10

## 【0225】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS(Thermal Desorption Spectroscopy)分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100 以上700 以下、または100 以上400 以下の範囲が好ましい。

20

## 【0226】

また、上記過剰酸素領域を有する絶縁体と、酸化物530と、を接して加熱処理、マイクロ波処理、またはRF処理のいずれか一または複数の処理を行っても良い。当該処理を行うことで、酸化物530中の水、または水素を除去することができる。例えば、酸化物530において、V<sub>OH</sub>の結合が切断される反応が起きる、別言すると「V<sub>OH</sub> = V<sub>o</sub> + H」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合してH<sub>2</sub>Oとして、酸化物530、または酸化物530近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体542にゲッターリングされる場合がある。

## 【0227】

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、または、基板側にRFを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができる。基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物530、または酸化物530近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を133 Pa以上、好ましくは200 Pa以上、さらに好ましくは400 Pa以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比(O<sub>2</sub> / (O<sub>2</sub> + Ar))が50%以下、好ましくは10%以上30%以下で行うとよい。

30

## 【0228】

また、トランジスタ500の作製工程中において、酸化物530の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、100 以上450 以下、より好ましくは350 以上400 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10 ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物530に酸素を供給して、酸素欠損(V<sub>o</sub>)の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気加熱処理した後に、脱離した酸素を補うために、酸化性ガスを10 ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。または、酸化性ガスを10 ppm以上、1%以上、または10%以上含む雰囲気加熱処理した後に、連続し

40

50

て窒素ガスもしくは不活性ガスの雰囲気加熱処理を行っても良い。

【0229】

なお、酸化物530に加酸素化処理を行うことで、酸化物530中の酸素欠損を、供給された酸素により修復させる、別言すると「 $V_o + O_{null}$ 」という反応を促進させることができる。さらに、酸化物530中に残存した水素に供給された酸素が反応することで、当該水素を $H_2O$ として除去する（脱水化する）ことができる。これにより、酸化物530中に残存していた水素が酸素欠損に再結合して $V_OH$ が形成されるのを抑制することができる。

【0230】

また、絶縁体524が、過剰酸素領域を有する場合、絶縁体522は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

10

【0231】

絶縁体522が、酸素や不純物の拡散を抑制する機能を有することで、酸化物530が有する酸素は、導電体503側へ拡散することがなく、好ましい。また、導電体503が、絶縁体524や、酸化物530が有する酸素と反応することを抑制することができる。

【0232】

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコニウム酸鉛（PZT）、チタン酸ストロンチウム（ $SrTiO_3$ ）、または（ $Ba, Sr$ ） $TiO_3$ （BST）などのいわゆるhigh-k材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

20

【0233】

特に、不純物、および酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウムの一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出や、トランジスタ500の周辺部から酸化物530への水素等の不純物の混入を抑制する層として機能する。

30

【0234】

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

【0235】

なお、図22Aおよび図22Bのトランジスタ500では、3層の積層構成からなる第2のゲート絶縁膜として、絶縁体522、および絶縁体524が図示されているが、第2のゲート絶縁膜は、単層、2層、または4層以上の積層構成を有していてもよい。その場合、同じ材料からなる積層構成に限定されず、異なる材料からなる積層構成でもよい。

40

【0236】

トランジスタ500は、チャンネル形成領域を含む酸化物530に、酸化物半導体として機能する金属酸化物を用いる。例えば、酸化物530として、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ば

50

れた一種、または複数種)等の金属酸化物を用いるとよい。

【0237】

酸化物半導体として機能する金属酸化物の形成は、スパッタリング法で行なってもよいし、ALD (Atomic Layer Deposition) 法で行なってもよい。なお、酸化物半導体として機能する金属酸化物については、他の実施の形態で詳細に説明する。

【0238】

また、酸化物530においてチャネル形成領域として機能する金属酸化物は、バンドギャップが2 eV以上、好ましくは2.5 eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

10

【0239】

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構成物から、酸化物530bへの不純物の拡散を抑制することができる。

【0240】

なお、酸化物530は、各金属原子の原子数比が異なる複数の酸化物層の積層構成を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

20

【0241】

また、酸化物530aの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物530a電子親和力が、酸化物530bの電子親和力より小さいことが好ましい。

【0242】

ここで、酸化物530aおよび酸化物530bの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物530aおよび酸化物530bの接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面において形成される混合層の欠陥準位密度を低くするとよい。

30

【0243】

具体的には、酸化物530aと酸化物530bが、酸素以外に共通の元素を有する(主成分とする)ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-Ga-Zn酸化物の場合、酸化物530aとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。

【0244】

このとき、キャリアの主たる経路は酸化物530bとなる。酸化物530aを上述の構成とすることで、酸化物530aと酸化物530bとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は高いオン電流を得られる。

40

【0245】

酸化物530b上には、ソース電極、およびドレイン電極として機能する導電体542a、および導電体542bが設けられる。導電体542a、および導電体542bとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタン

50

から選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素または酸素に対するバリア性があるため好ましい。

10

## 【0246】

また、図22Aでは、導電体542a、および導電体542bを単層構成として示したが、2層以上の積層構成としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構成、銅 - マグネシウム - アルミニウム合金膜上に銅膜を積層する二層構成、チタン膜上に銅膜を積層する二層構成、タングステン膜上に銅膜を積層する二層構成としてもよい。

## 【0247】

また、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構成、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構成等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

20

## 【0248】

また、図22Aに示すように、酸化物530の、導電体542a（導電体542b）との界面とその近傍には、低抵抗領域として、領域543a、および領域543bが形成される場合がある。このとき、領域543aはソース領域またはドレイン領域の一方として機能し、領域543bはソース領域またはドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャンネル形成領域が形成される。

30

## 【0249】

酸化物530と接するように上記導電体542a（導電体542b）を設けることで、領域543a（領域543b）の酸素濃度が低減する場合がある。また、領域543a（領域543b）に導電体542a（導電体542b）に含まれる金属と、酸化物530の成分とを含む金属化合物層が形成される場合がある。このような場合、領域543a（領域543b）のキャリア密度が増加し、領域543a（領域543b）は、低抵抗領域となる。

## 【0250】

絶縁体544は、導電体542a、および導電体542bを覆うように設けられ、導電体542a、および導電体542bの酸化を抑制する。このとき、絶縁体544は、酸化物530の側面を覆い、絶縁体524と接するように設けられてもよい。

40

## 【0251】

絶縁体544として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタンまたは、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。また、絶縁体544として、窒化酸化シリコンまたは窒化シリコンなども用いることができる。

## 【0252】

特に、絶縁体544として、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、およびハフ

50

ニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいいため好ましい。なお、導電体542a、および導電体542bが耐酸化性を有する材料、または、酸素を吸収しても著しく導電性が低下しない場合、絶縁体544は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

#### 【0253】

絶縁体544を有することで、絶縁体580に含まれる水、および水素などの不純物が絶縁体545を介して、酸化物530bに拡散することを抑制することができる。また、絶縁体580が有する過剰酸素により、導電体560が酸化するのを抑制することができる。

10

#### 【0254】

絶縁体545は、第1のゲート絶縁膜として機能する。絶縁体545は、上述した絶縁体524と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

#### 【0255】

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

20

#### 【0256】

過剰酸素を含む絶縁体を絶縁体545として設けることにより、絶縁体545から、酸化物530bのチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体524と同様に、絶縁体545中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体545の膜厚は、1nm以上20nm以下とするのが好ましい。また、絶縁体545の形成前および/または形成後に、前述したマイクロ波処理を行なってもよい。

#### 【0257】

また、絶縁体545が有する過剰酸素を、効率的に酸化物530へ供給するために、絶縁体545と導電体560との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体545から導電体560への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体545から導電体560への過剰酸素の拡散が抑制される。つまり、酸化物530へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体560の酸化を抑制することができる。当該金属酸化物としては、絶縁体544に用いることができる材料を用いればよい。

30

#### 【0258】

なお、絶縁体545は、第2のゲート絶縁膜と同様に、積層構成としてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、high-k材料と、熱的に安定している材料との積層構成とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構成とすることができる。

40

#### 【0259】

第1のゲート電極として機能する導電体560は、図22Aおよび図22Bでは2層構成として示しているが、単層構成でもよいし、3層以上の積層構成であってもよい。

#### 【0260】

導電体560aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ $N_2O$ 、 $NO$ 、 $NO_2$ など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体5

50

60aが酸素の拡散を抑制する機能を持つことにより、絶縁体545に含まれる酸素により、導電体560bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、導電体560aとして、酸化物530に適用できる酸化物半導体を用いることができる。その場合、導電体560bをスパッタリング法で成膜することで、導電体560aの電気抵抗値を低下させて導電体にすることができる。これをOC(Oxide Conductor)電極と呼ぶことができる。

#### 【0261】

また、導電体560bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560bは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構成としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構成としてもよい。

10

#### 【0262】

絶縁体580は、絶縁体544を介して、導電体542a、および導電体542b上に設けられる。絶縁体580は、過剰酸素領域を有することが好ましい。例えば、絶縁体580として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコン、および酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

20

#### 【0263】

絶縁体580は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体580を設けることで、絶縁体580中の酸素を酸化物530へと効率良く供給することができる。なお、絶縁体580中の水または水素などの不純物濃度が低減されていることが好ましい。

#### 【0264】

絶縁体580の開口は、導電体542aと導電体542bの間の領域に重畳して形成される。これにより、導電体560は、絶縁体580の開口、および導電体542aと導電体542bに挟まれた領域に、埋め込まれるように形成される。

30

#### 【0265】

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体560の導電性が下がらないようにする必要がある。そのために導電体560の膜厚を大きくすると、導電体560はアスペクト比が高い形状となりうる。本実施の形態では、導電体560を絶縁体580の開口に埋め込むように設けるため、導電体560をアスペクト比の高い形状にしても、工程中に導電体560を倒壊させることなく、形成することができる。

40

#### 【0266】

絶縁体574は、絶縁体580の上面、導電体560の上面、および絶縁体545の上面に接して設けられることが好ましい。絶縁体574をスパッタリング法で成膜することで、絶縁体545、および絶縁体580へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物530中に酸素を供給することができる。

#### 【0267】

例えば、絶縁体574として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、またはマグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

50

## 【 0 2 6 8 】

特に、酸化アルミニウムはバリア性が高く、0.5 nm以上3.0 nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

## 【 0 2 6 9 】

また、絶縁体574の上に、層間膜として機能する絶縁体581を設けることが好ましい。絶縁体581は、絶縁体524などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

## 【 0 2 7 0 】

また、絶縁体581、絶縁体574、絶縁体580、および絶縁体544に形成された開口に、導電体540a、および導電体540bを配置する。導電体540aおよび導電体540bは、導電体560を挟んで対向して設ける。導電体540aおよび導電体540bは、後述する導電体546、および導電体548と同様の構成である。

## 【 0 2 7 1 】

絶縁体581上には、絶縁体582が設けられている。絶縁体582は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

## 【 0 2 7 2 】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

## 【 0 2 7 3 】

また、絶縁体582上には、絶縁体586が設けられている。絶縁体586は、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体586として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

## 【 0 2 7 4 】

また、絶縁体522、絶縁体524、絶縁体544、絶縁体580、絶縁体574、絶縁体581、絶縁体582、および絶縁体586には、導電体546、および導電体548等が埋め込まれている。

## 【 0 2 7 5 】

導電体546、および導電体548は、容量素子600、トランジスタ500、またはトランジスタ550と接続するプラグ、または配線としての機能を有する。導電体546、および導電体548は、導電体328、および導電体330と同様の材料を用いて設けることができる。

## 【 0 2 7 6 】

また、トランジスタ500の形成後、トランジスタ500を囲むように開口を形成し、当該開口を覆うように、水素、または水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ500を包み込むことで、外部から水分、および水素が侵入するのを防止することができる。または、複数のトランジスタ500をまとめて、水素、または水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ500を囲むように開口を形成する場合、例えば、絶縁体522または絶縁体514に達する開口を形成し、絶縁体522または絶縁体514に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ500の作製工程の一部を兼ねられるため、好適である。なお、水素、または水に対するバリア性が高い絶縁体としては、例えば

10

20

30

40

50

、絶縁体 5 2 2 または絶縁体 5 1 4 と同様の材料を用いればよい。

【 0 2 7 7 】

続いて、トランジスタ 5 0 0 の上方には、容量素子 6 0 0 が設けられている。容量素子 6 0 0 は、導電体 6 1 0 と、導電体 6 2 0 と、絶縁体 6 3 0 とを有する。

【 0 2 7 8 】

また、導電体 5 4 6、および導電体 5 4 8 上に、導電体 6 1 2 を設けてもよい。導電体 6 1 2 は、トランジスタ 5 0 0 と接続するプラグ、または配線としての機能を有する。導電体 6 1 0 は、容量素子 6 0 0 の電極としての機能を有する。なお、導電体 6 1 2、および導電体 6 1 0 は、同時に形成することができる。

【 0 2 7 9 】

導電体 6 1 2、および導電体 6 1 0 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジウム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。または、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

【 0 2 8 0 】

本実施の形態では、導電体 6 1 2、および導電体 6 1 0 を単層構成で示したが、当該構成に限定されず、2 層以上の積層構成でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【 0 2 8 1 】

絶縁体 6 3 0 を介して、導電体 6 1 0 と重畳するように、導電体 6 2 0 を設ける。なお、導電体 6 2 0 は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンをを用いることが好ましい。また、導電体などの他の構成と同時に形成する場合は、低抵抗金属材料である Cu（銅）や Al（アルミニウム）等を用いればよい。

【 0 2 8 2 】

導電体 6 2 0、および絶縁体 6 3 0 上には、絶縁体 6 4 0 が設けられている。絶縁体 6 4 0 は、絶縁体 3 2 0 と同様の材料を用いて設けることができる。また、絶縁体 6 4 0 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【 0 2 8 3 】

本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。

【 0 2 8 4 】

本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例などに示す構成、構造、方法などと適宜組み合わせる用いることができる。

【 0 2 8 5 】

（実施の形態 5）

本実施の形態では、上記実施の形態で説明した演算処理システム 1 0 0 が有する各構成を含む集積回路の構成について図 2 3 A、図 2 3 B を参照しながら説明する。

【 0 2 8 6 】

図 2 3 A は、演算処理システム 1 0 0 が有する各構成を含む集積回路を説明するための模式図の一例である。図 2 3 A に図示する集積回路 3 9 0 は、CPU 1 1 0 および半導体装置 1 0 として説明したアクセラレータが有する回路の一部を OS トランジスタで構成することで、各回路を一体化した 1 つの集積回路とすることができる。

【 0 2 8 7 】

10

20

30

40

50

図23Aに図示するように、CPU110において、CPUコア200の上層にあるOSTランジスタを有する層にバックアップ回路222を設ける構成とすることができる。また図23Aに図示するように、半導体装置10として説明したアクセラレータにおいて、演算回路部40を構成するSiトランジスタを有する層の上層には、OSTランジスタを有する層にメモリ回路部30を設ける構成とすることができる。その他、OSTランジスタを有する層にはOSメモリ300N等を設ける構成とすることができる。OSメモリ300Nとしては、上記実施の形態で説明したNOSRAMの他、DOSRAMを適用することができる。またOSメモリ300Nでは、Siトランジスタを有する層に設けられる駆動回路上にOSTランジスタを有する層を積層することで、メモリ密度の向上を図ることができる。

10

**【0288】**

図23Aに図示するように、CPU110、半導体装置10として説明したアクセラレータおよびOSメモリ300N等の各回路を密結合させたSoCの場合、発熱の問題があるが、OSTランジスタは熱による電気特性の変動量がSiトランジスタと比べて小さいため、好適である。また、図23Aに図示するように三次元方向において回路を集積化することによって、シリコン貫通電極(Through Silicon Via:TSV)などを用いた積層構造などと比較して寄生容量を小さくすることができる。各配線の充放電に要する消費電力を削減することができる。そのため、演算処理効率の向上を図ることができる。

**【0289】**

20

図23Bに、集積回路390を組み込んだ半導体チップの一例を示す。図23Bに示す半導体チップ391は、リード392及び集積回路390を有する。集積回路390は、図23Aで説明したように、上記実施の形態で示した各種の回路が1のダイに設けられている。集積回路390は積層構造をもち、Siトランジスタを有する層(Siトランジスタ層393)、配線層394、OSTランジスタを有する層(OSTランジスタ層395)に大別される。OSTランジスタ層395は、Siトランジスタ層393上に積層して設けることができるため、半導体チップ391の小型化が容易である。

**【0290】**

図23Bでは、半導体チップ391のパッケージにQFP(Quad Flat Package)を適用しているが、パッケージの態様はこれに限定されない。その他の構成例としては、挿入実装型であるDIP(Dual In-line Package)、PGA(Pin Grid Array)、表面実装型であるSOP(Small Outline Package)、SSOP(Shrink Small Outline Package)、TSOP(Thin-Small Outline Package)、LCC(Leaded Chip Carrier)、QFN(Quad Flat Non-leaded package)、BGA(Ball Grid Array)、FBGA(Fine pitch Ball Grid Array)、接触実装型であるDTP(Dual Tape carrier Package)、QTP(Quad Tape-carrier Package)等の構造を適宜用いることができる。

30

**【0291】**

40

Siトランジスタを有する演算回路および切替回路と、OSTランジスタを有するメモリ回路は、全て、Siトランジスタ層393、配線層394およびOSTランジスタ層395に形成することができる。すなわち、上記半導体装置を構成する素子は、同一の製造プロセスで形成することが可能である。そのため、図23Bに示すICは、構成する素子が増えても製造プロセスを増やす必要がなく、上記半導体装置を低コストで組み込むことができる。

**【0292】**

以上説明した本発明の一態様により、新規な半導体装置および電子機器を提供することができる。又は、本発明の一態様により、消費電力の小さい半導体装置および電子機器を提供することができる。又は、本発明の一態様により、発熱の抑制が可能な半導体装置お

50

よび電子機器を提供することができる。

【0293】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

【0294】

(実施の形態6)

本実施の形態では、上記実施の形態で説明した集積回路390を適用することが可能な電子機器、移動体、演算システムについて、図24乃至図27を参照しながら説明する。

【0295】

図24Aは、移動体の一例として自動車の外観図を図示している。図24Bは、自動車内でのデータのやり取りを簡略化した図である。自動車590は、複数のカメラ591等を有する。また、自動車590は、赤外線レーダー、ミリ波レーダー、レーザーレーダーなど各種センサ(図示せず)などを備える。

10

【0296】

自動車590において、カメラ591等に上記集積回路390(あるいは上記集積回路390を組み込んだ半導体チップ391)を用いることができる。自動車590は、カメラ591が複数の撮像方向592で得られた複数の画像を上記実施の形態で説明した集積回路390で処理し、バス593等を介してホストコントローラ594等により複数の画像をまとめて解析することで、ガードレールや歩行者の有無など、周囲の交通状況を判断し、自動運転を行うことができる。また、道路案内、危険予測などを行うシステムに用いることができる。

20

【0297】

集積回路390では、得られた画像データをニューラルネットワークなどの演算処理を行うことで、例えば、画像の高解像度化、画像ノイズの低減、顔認識(防犯目的など)、物体認識(自動運転の目的など)、画像圧縮、画像補正(広ダイナミックレンジ化)、レンズレスイメージセンサの画像復元、位置決め、文字認識、反射映り込み低減などの処理を行うことができる。

【0298】

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体(ヘリコプター、無人航空機(ドローン)、飛行機、ロケット)なども挙げることができ、これらの移動体に本発明の一態様のコンピュータを適用して、人工知能を利用したシステムを付与することができる。

30

【0299】

図25Aは、携帯型電子機器の一例を示す外観図である。図25Bは、携帯型電子機器内でのデータのやり取りを簡略化した図である。携帯型電子機器595は、プリント配線基板596、スピーカー597、カメラ598、マイクロフォン599等を有する。

【0300】

携帯型電子機器595において、プリント配線基板596に上記集積回路390を設けることができる。携帯型電子機器595は、スピーカー597、カメラ598、マイクロフォン599等で得られる複数のデータを上記実施の形態で説明した集積回路390を用いて処理・解析することで、ユーザの利便性を向上させることができる。また、音声案内、画像検索などを行うシステムに用いることができる。

40

【0301】

集積回路390では、得られた画像データをニューラルネットワークなどの演算処理を行うことで、例えば、画像の高解像度化、画像ノイズの低減、顔認識(防犯目的など)、物体認識(自動運転の目的など)、画像圧縮、画像補正(広ダイナミックレンジ化)、レンズレスイメージセンサの画像復元、位置決め、文字認識、反射映り込み低減などの処理を行うことができる。

【0302】

図26Aに示す携帯型ゲーム機1100は、筐体1101、筐体1102、筐体110

50

3、表示部 1104、接続部 1105、操作キー 1107等を有する。筐体 1101、筐体 1102および筐体 1103は、取り外すことが可能である。筐体 1101に設けられている接続部 1105を筐体 1108に取り付けることで、表示部 1104に出力される映像を、別の映像機器に出力することができる。他方、筐体 1102および筐体 1103を筐体 1109に取り付けることで、筐体 1102および筐体 1103を一体化し、操作部として機能させる。筐体 1102および筐体 1103の基板に設けられているチップなどに先の実施の形態に示す集積回路 390を組み込むことができる。

#### 【0303】

図 26B は USB 接続タイプのスティック型の電子機器 1120 である。電子機器 1120 は、筐体 1121、キャップ 1122、USB コネクタ 1123 および基板 1124 を有する。基板 1124 は、筐体 1121 に収納されている。例えば、基板 1124 には、メモリチップ 1125、コントローラチップ 1126 が取り付けられている。基板 1124 のコントローラチップ 1126 などに先の実施の形態に示す集積回路 390 を組み込むことができる。

10

#### 【0304】

図 26C は人型のロボット 1130 である。ロボット 1130 は、センサ 2101 乃至 2106、および制御回路 2110 を有する。例えば、制御回路 2110 には、先の実施の形態に示す集積回路 390 を組み込むことができる。

#### 【0305】

上記実施の形態で説明した集積回路 390 は、電子機器に内蔵する代わりに、電子機器と通信を行うサーバーに用いることもできる。この場合、電子機器とサーバーによって演算システムが構成される。図 27 に、システム 3000 の構成例を示す。

20

#### 【0306】

システム 3000 は、電子機器 3001 と、サーバー 3002 によって構成される。電子機器 3001 とサーバー 3002 間の通信は、インターネット回線 3003 を介して行うことができる。

#### 【0307】

サーバー 3002 には、複数のラック 3004 を有する。複数のラックには、複数の基板 3005 が設けられ、当該基板 3005 上に上記実施の形態で説明した集積回路 390 を搭載することができる。これにより、サーバー 3002 にニューラルネットワークが構成される。そして、サーバー 3002 は、電子機器 3001 からインターネット回線 3003 を介して入力されたデータを用いて、ニューラルネットワークの演算を行うことができる。サーバー 3002 による演算の結果は必要に応じて、インターネット回線 3003 を介して電子機器 3001 に送信することができる。これにより、電子機器 3001 における演算の負担を低減することができる。

30

#### 【0308】

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

#### 【0309】

(本明細書等の記載に関する付記)

以上の実施の形態、および実施の形態における各構成の説明について、以下に付記する。

40

#### 【0310】

各実施の形態に示す構成は、他の実施の形態あるいは実施例に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

#### 【0311】

なお、ある一つの実施の形態の中で述べる内容(一部の内容でもよい)は、その実施の形態で述べる別の内容(一部の内容でもよい)、および/または、一つ若しくは複数の別の実施の形態で述べる内容(一部の内容でもよい)に対して、適用、組み合わせ、または置き換えなどを行うことができる。

#### 【0312】

50

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、または明細書に記載される文章を用いて述べる内容のことである。

【0313】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、および/または、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることができる。

【0314】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

10

【0315】

また、図面において、大きさ、層の厚さ、または領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0316】

また、図面等において図示する構成要素の位置関係は、相対的である。従って、図面を参照して構成要素を説明する場合、位置関係を示す「上に」、「下に」等の語句は便宜的に用いられる場合がある。構成要素の位置関係は、本明細書の記載内容に限定されず、状況に応じて適切に言い換えることができる。

20

【0317】

本明細書等において、トランジスタの接続関係を説明する際、「ソースまたはドレインの一方」（または第1電極、または第1端子）、ソースとドレインとの他方を「ソースまたはドレインの他方」（または第2電極、または第2端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造または動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

30

【0318】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0319】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧（接地電圧）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

40

【0320】

また本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

【0321】

本明細書等において、AとBとが接続されている、とは、AとBとが電氣的に接続されているものをいう。ここで、AとBとが電氣的に接続されているとは、AとBとの間で対象物（スイッチ、トランジスタ素子、またはダイオード等の素子、あるいは当該素子およ

50

び配線を含む回路等を指す)が存在する場合にAとBとの電気信号の伝達が可能である接続をいう。なおAとBとが電氣的に接続されている場合には、AとBとが直接接続されている場合を含む。ここで、AとBとが直接接続されているとは、上記対象物を介することなく、AとBとの間で配線(または電極)等を介してAとBとの電気信号の伝達が可能である接続をいう。換言すれば、直接接続とは、等価回路で表した際に同じ回路図として見なせる接続をいう。

#### 【0322】

本明細書等において、スイッチとは、導通状態(オン状態)、または、非導通状態(オフ状態)になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

10

#### 【0323】

本明細書等において、チャンネル長とは、例えば、トランジスタの上面図において、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。

#### 【0324】

本明細書等において、チャンネル幅とは、例えば、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

#### 【0325】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

20

#### 【符号の説明】

#### 【0326】

C11:容量素子、CK1:ノード、D1:ノード、GCLK1:クロック信号、LBL\_\_n:配線、LBL\_\_N:配線、LBL\_\_1:配線、LBL\_\_4:配線、LBL\_\_6:配線、M11:トランジスタ、M12:トランジスタ、M13:トランジスタ、PSE0:信号、PSE1:信号、PSE2:信号、Q1:ノード、RWL\_\_M:読出用ワード線、RWL\_\_1:読出用ワード線、SLEEP1:信号、SN11:ノード、t1:時刻、t2:時刻、t3:時刻、t4:時刻、t5:時刻、t6:時刻、t7:時刻、T0:時刻、T1:時刻、T6:時刻、WBL\_\_1:書込用ビット線、WWL\_\_M:書込用ワード線、WWL\_\_1:書込用ワード線、10:半導体装置、12:駆動回路、13:駆動回路、14:制御回路、15:処理回路、20:演算ブロック、21:トランジスタ、22:半導体層、23:トランジスタ、24:半導体層、30:メモリ回路部、31:回路ブロック、32:メモリ回路、32\_\_N:メモリ回路、32\_\_P:メモリ回路、32A:メモリ回路、32B:メモリ回路、32C:メモリ回路、40:演算回路部、41:切替回路、42:積和演算回路、43:活性化関数演算回路、44:量子化演算回路、44\_\_1:量子化演算回路、44\_\_9:量子化演算回路、45:プレプーリング演算回路、47:ポストプーリング演算回路、46:専用演算回路、46\_\_1:専用演算回路、46\_\_2:専用演算回路、46\_\_3:専用演算回路、51:乗算回路、52:加算回路、53:レジスタ、54:マルチプレクサ、55:比較回路、56:レジスタ、61:トランジスタ、61\_\_N:トランジスタ、61\_\_P:トランジスタ、61A:トランジスタ、61B:トランジスタ、62:トランジスタ、62\_\_N:トランジスタ、62\_\_P:トランジスタ、62B:トランジスタ、63:トランジスタ、63\_\_N:トランジスタ、63\_\_P:トランジスタ、64:容量素子、64\_\_N:容量素子、64\_\_P:容量素子、64A:容量素子、64B:容量素子、100:演算処理システム、110:CPU、120:バス、130:アクセラレータ部、131:制御部、193:PMU、200:CPUコア、202:キャッシュメモリ装置、203:キャッシュメモリ装置、205:バスインターフェース

30

40

50

部、210：パワースイッチ、211：パワースイッチ、212：パワースイッチ、214：レベルシフタ、220：フリップフロップ、221：スキャンフリップフロップ、221A：クロックバッファ回路、222：バックアップ回路、300N：OSメモリ、311：基板、312：ウェル領域、313：絶縁体、314：酸化物層、315：半導体領域、316a：低抵抗領域、316b：低抵抗領域、316c：低抵抗領域、317：絶縁体、318：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、360：絶縁体、362：絶縁体、364：絶縁体、366：導電体、370：絶縁体、372：絶縁体、374：絶縁体、376：導電体、380：絶縁体、382：絶縁体、384：絶縁体、386：導電体、390：集積回路、391：半導体チップ、392：リード、393：Siトランジスタ層、394：配線層、395：OSTランジスタ層、500：トランジスタ、503：導電体、503a：導電体、503b：導電体、510：絶縁体、512：絶縁体、514：絶縁体、516：絶縁体、518：導電体、522：絶縁体、524：絶縁体、530：酸化物、530a：酸化物、530b：酸化物、540a：導電体、540b：導電体、542：導電体、542a：導電体、542b：導電体、543a：領域、543b：領域、544：絶縁体、545：絶縁体、546：導電体、548：導電体、550：トランジスタ、560：導電体、560a：導電体、560b：導電体、574：絶縁体、580：絶縁体、581：絶縁体、582：絶縁体、586：絶縁体、590：自動車、591：カメラ、592：撮像方向、593：バス、594：ホストコントローラ、595：携帯型電子機器、596：プリント配線基板、597：スピーカー、598：カメラ、599：マイクロフォン、600：容量素子、610：導電体、612：導電体、620：導電体、630：絶縁体、640：絶縁体、1100：携帯型ゲーム機、1101：筐体、1102：筐体、1103：筐体、1104：表示部、1105：接続部、1107：操作キー、1108：筐体、1109：筐体、1120：電子機器、1121：筐体、1122：キャップ、1123：USBコネクタ、1124：基板、1125：メモリチップ、1126：コントローラチップ、1130：ロボット、2101：センサ、2106：センサ、2110：制御回路、3000：システム、3001：電子機器、3002：サーバー、3003：インターネット回線、3004：ラック、3005：基板

10

20

30

40

50

【図面】

【図 1 A】

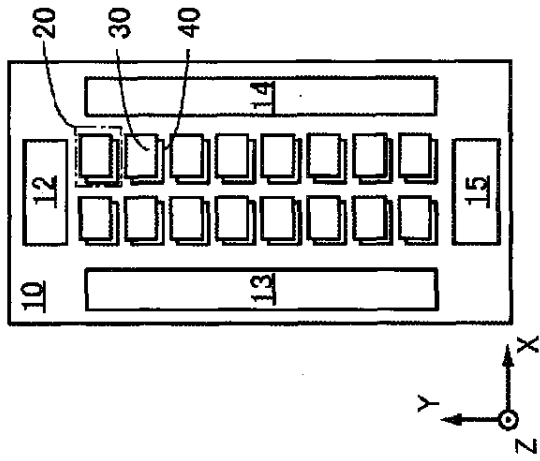


図1A

【図 1 B】

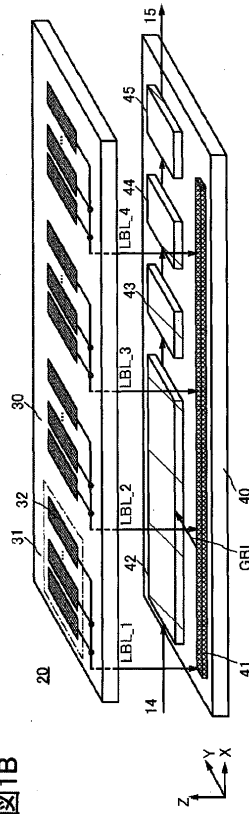
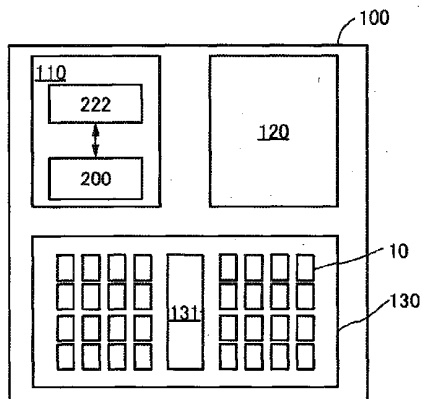


図1B

【図 2】

図2



【図 3】

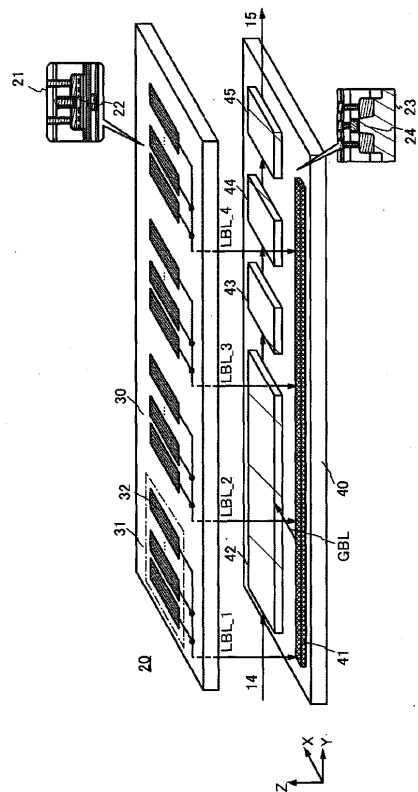


図3

10

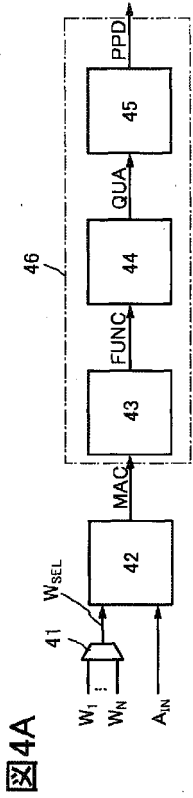
20

30

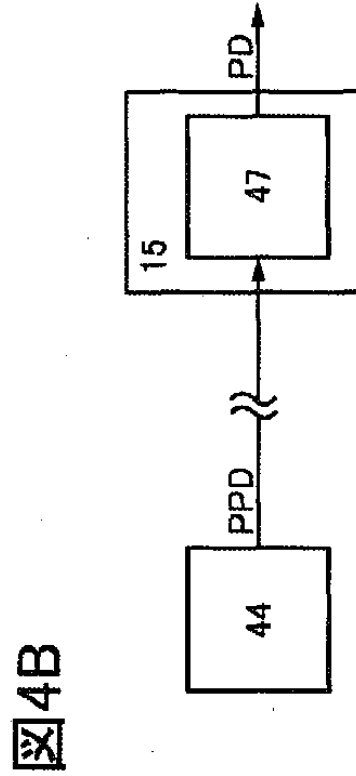
40

50

【 4 A 】



【 4 B 】

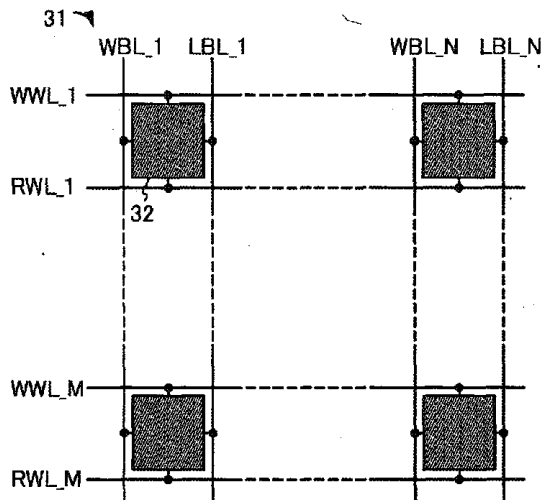


10

20

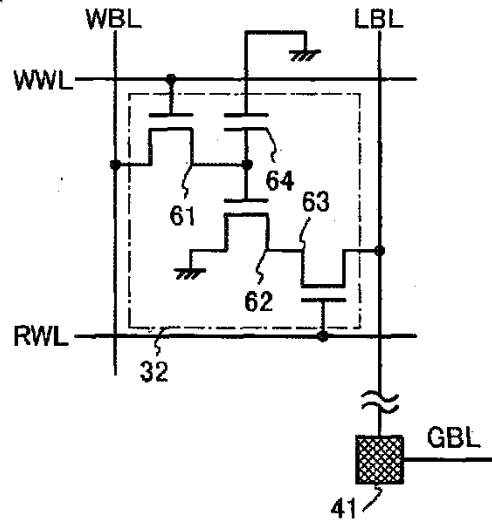
【 5 A 】

5A



【 5 B 】

5B



30

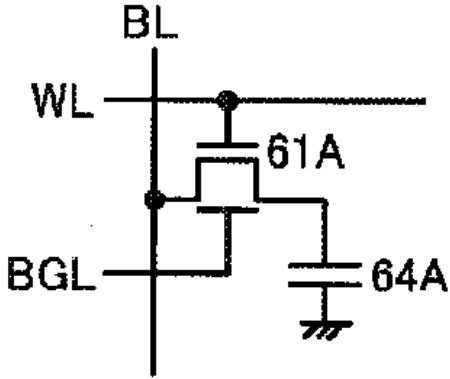
40

50

【図 6 A】

# 図 6A

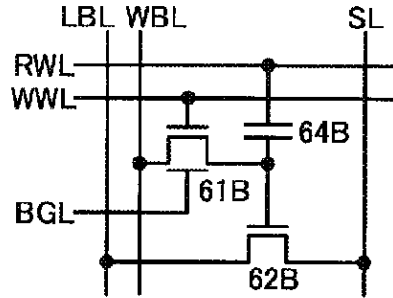
32A



【図 6 B】

# 図 6B

32B

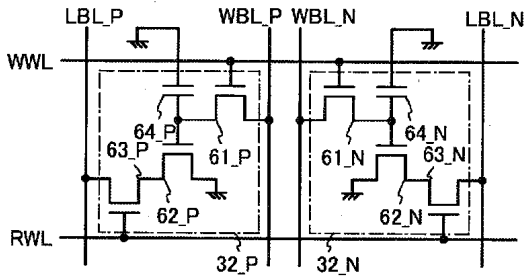


10

【図 6 C】

# 図 6C

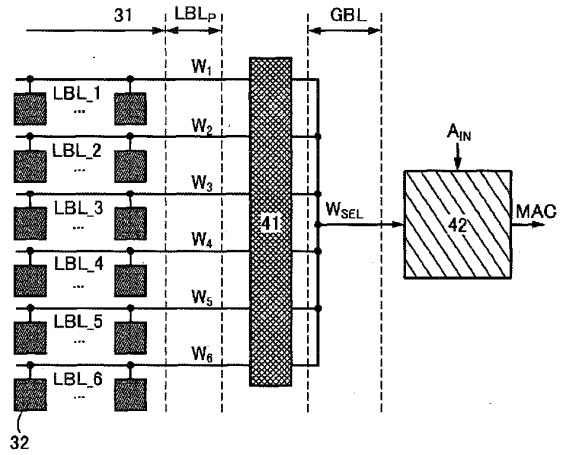
32C



20

【図 7 A】

# 図 7A



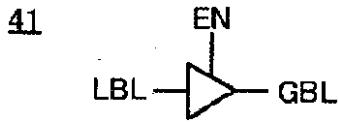
30

40

50

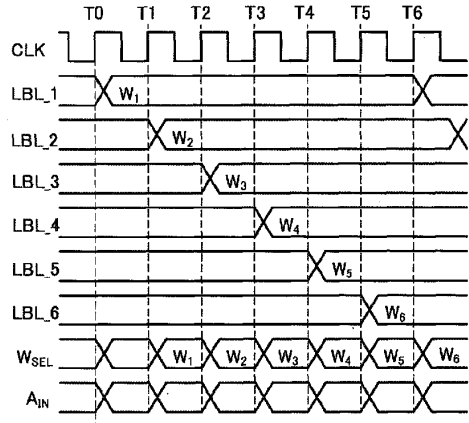
【 図 7 B 】

図 7B



【 図 8 】

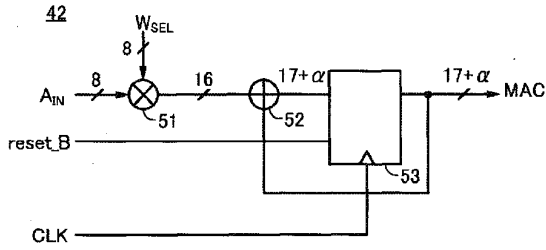
図 8



10

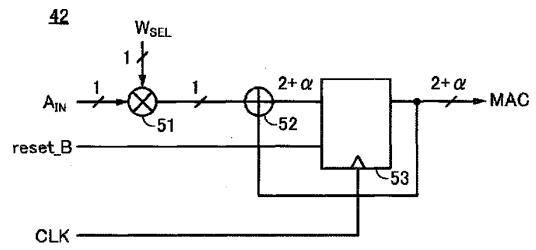
【 図 9 A 】

図 9A



【 図 9 B 】

図 9B



20

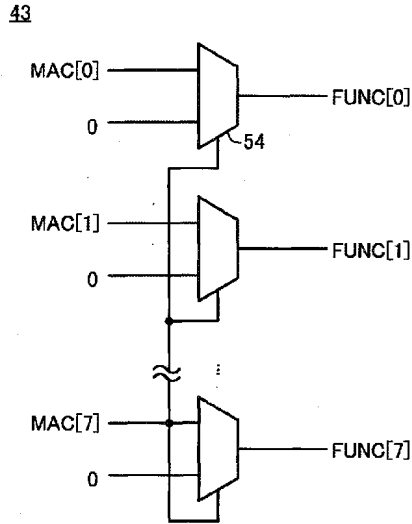
30

40

50

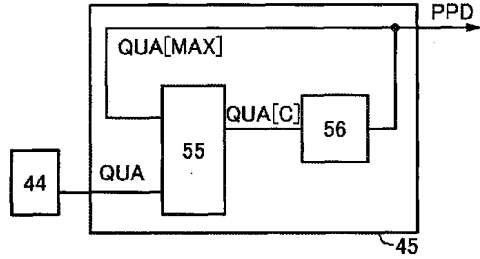
【 10 】

10



【 11 】

11

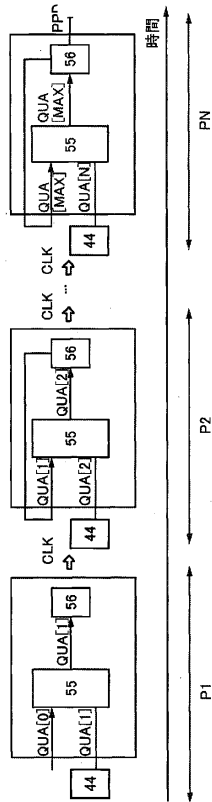


10

20

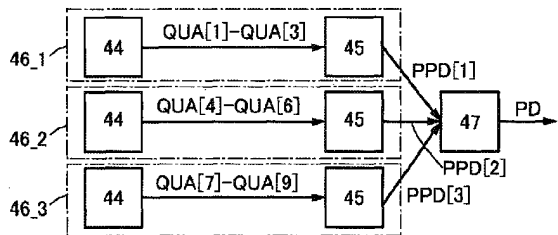
【 12 】

12



【 13 A 】

13A



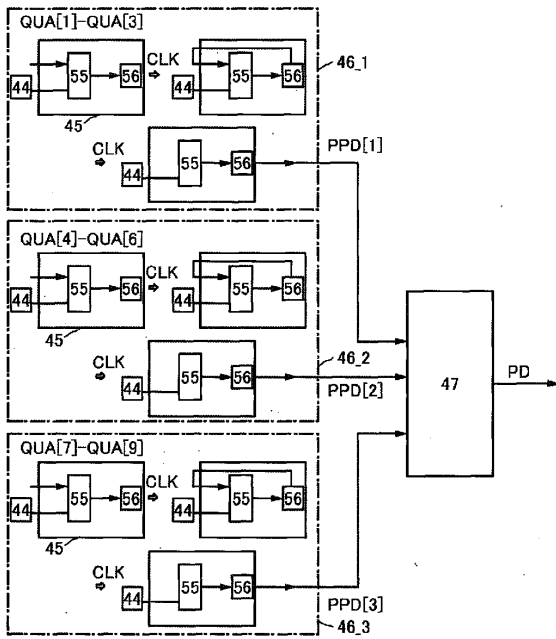
30

40

50

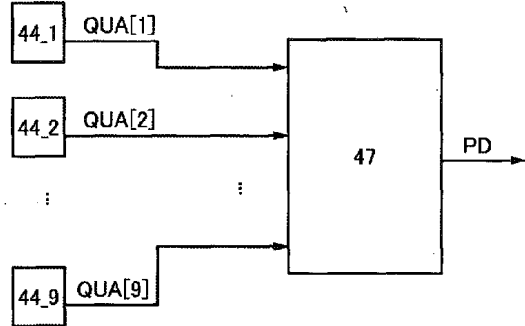
【 図 1 3 B 】

図13B



【 図 1 4 A 】

図14A

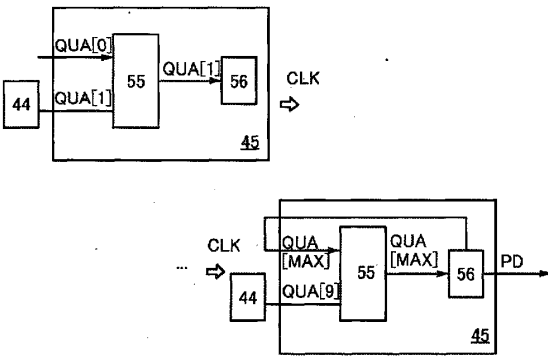


10

20

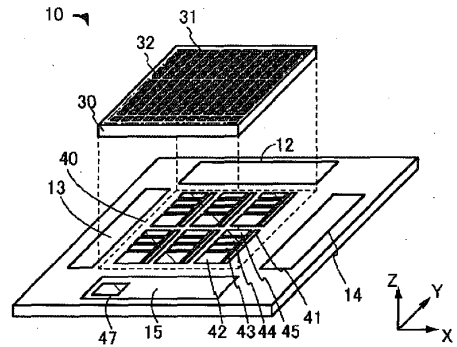
【 図 1 4 B 】

図14B



【 図 1 5 】

図15



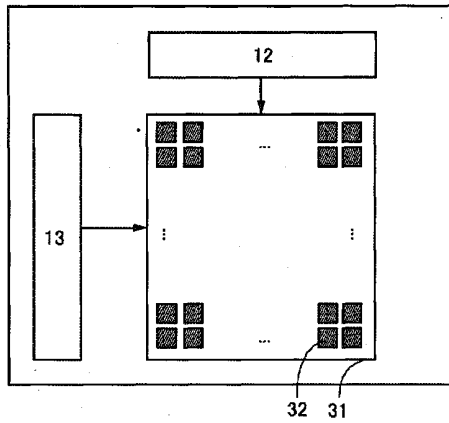
30

40

50

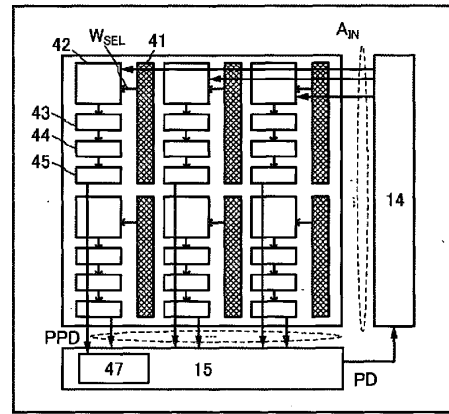
【図16A】

図16A



【図16B】

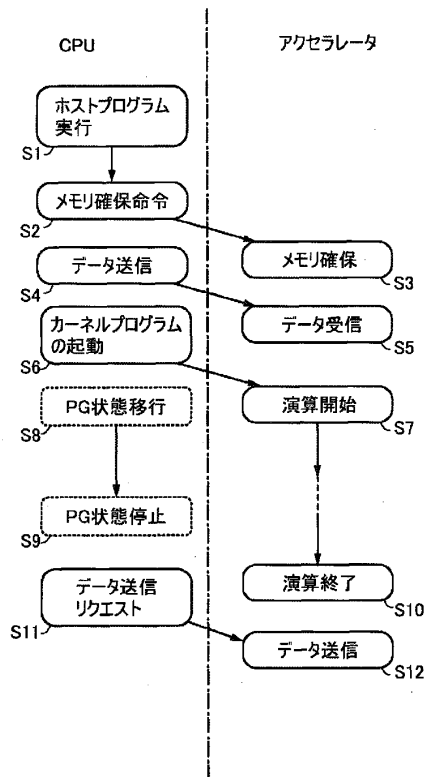
図16B



10

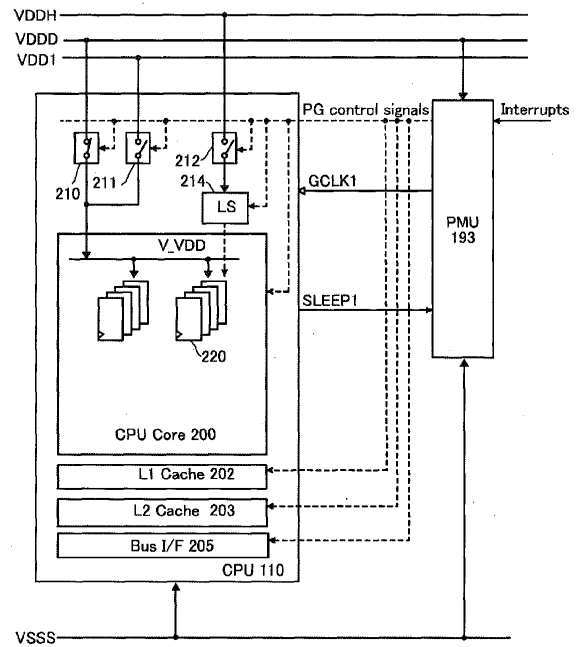
【図17】

図17



【図18】

図18



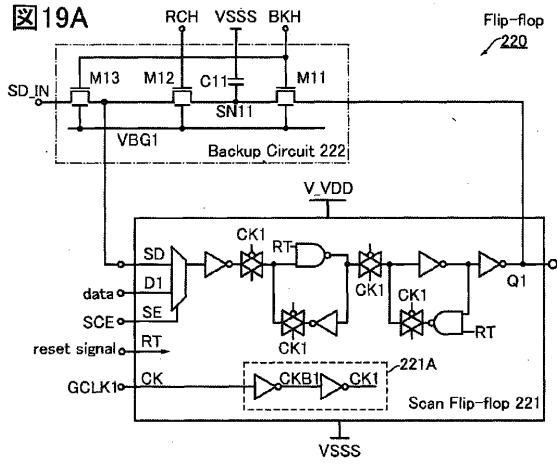
20

30

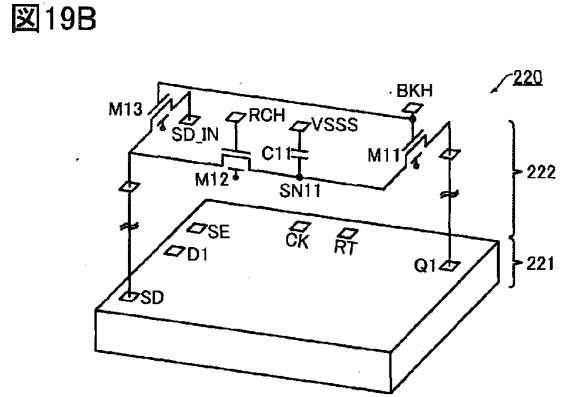
40

50

【図19A】



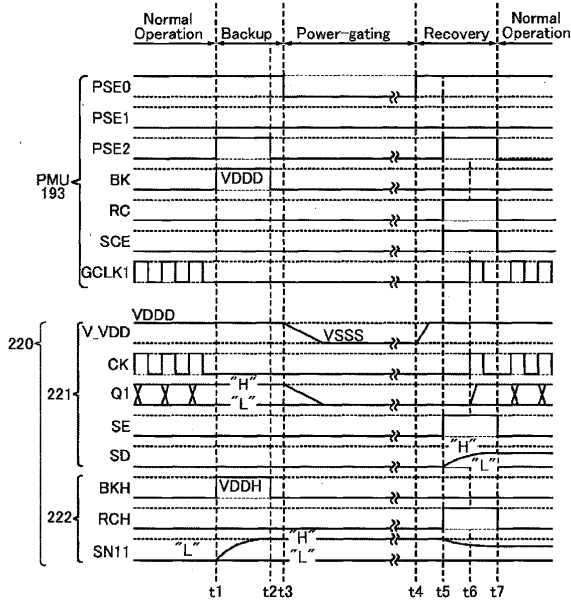
【図19B】



10

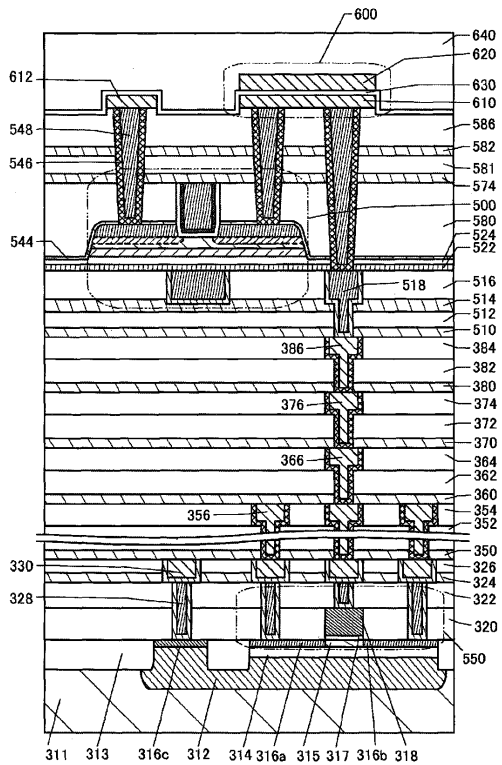
【図20】

図20



【図21】

図21



20

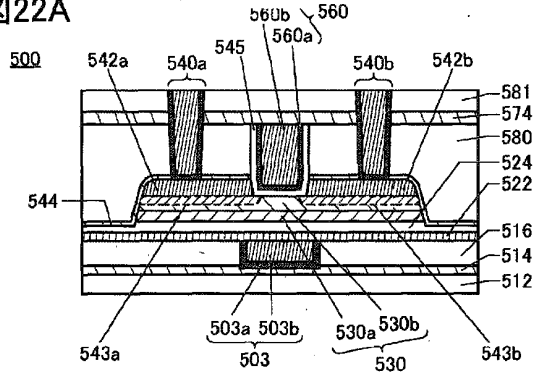
30

40

50

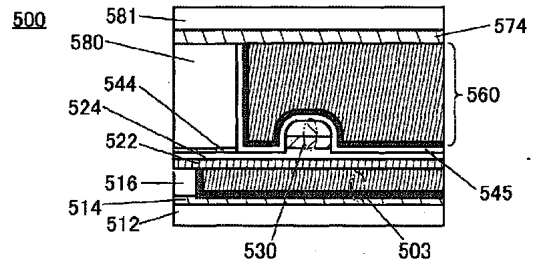
【図22A】

図22A



【図22B】

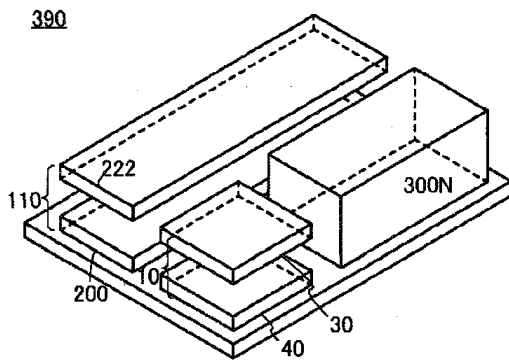
図22B



10

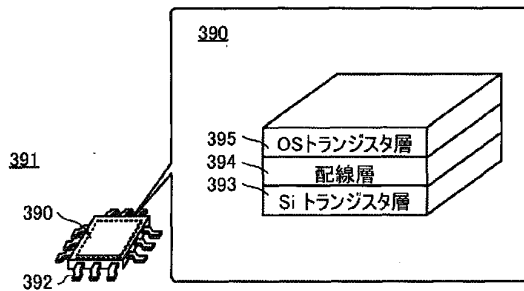
【図23A】

図23A



【図23B】

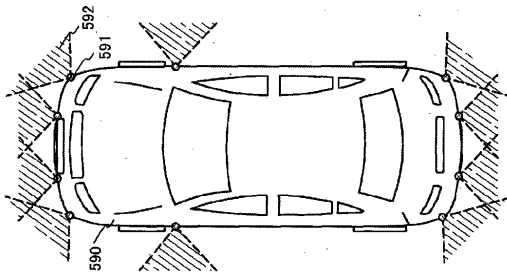
図23B



20

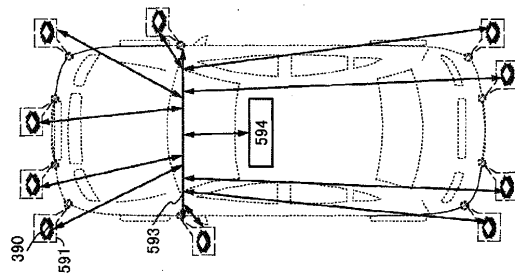
【図24A】

図24A



【図24B】

図24B



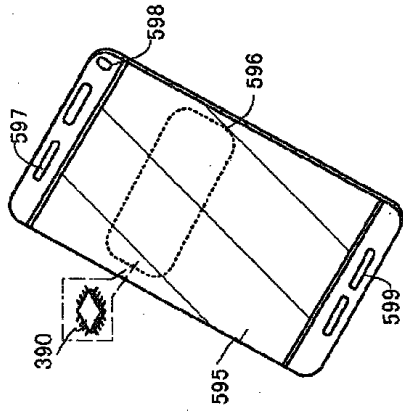
30

40

50

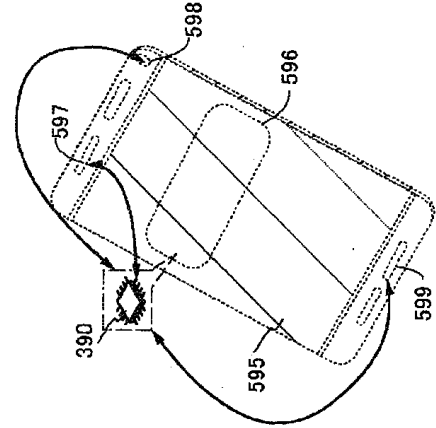
【図25A】

図25A



【図25B】

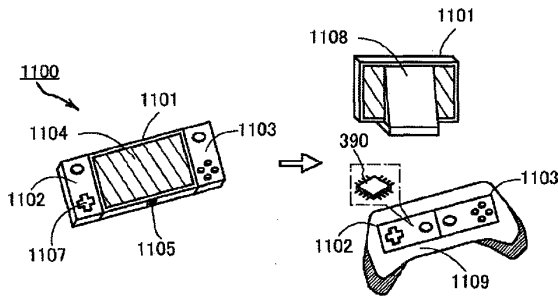
図25B



10

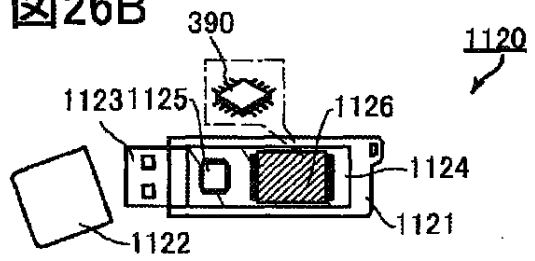
【図26A】

図26A



【図26B】

図26B



20

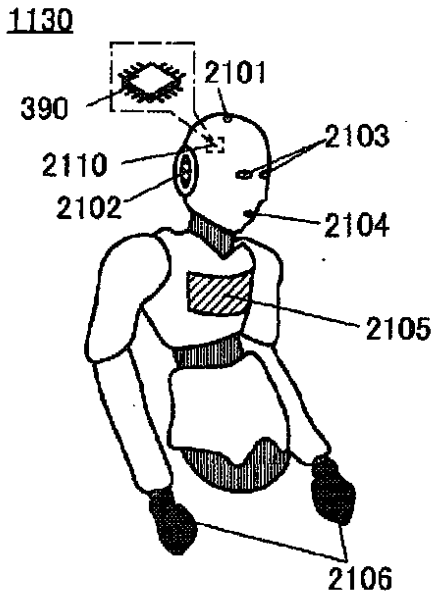
30

40

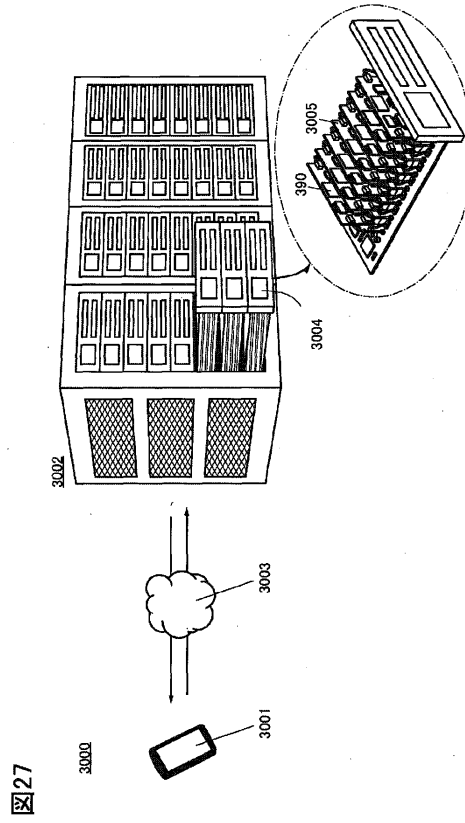
50

【図26C】

図26C



【図27】



10

20

30

40

50

