



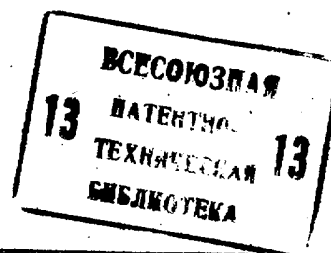
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1200289** **A**

(51) 4 G 06 F 9/22

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3754528/24-24

(22) 13.06.84

(46) 23.12.85. Бюл. № 47

(72) В.А.Торгашев, А.Б.Кириллов,
А.В.Мыскин, А.П.Чугунов и В.И.Шкиртиль

(53) 681.32(088.8)

(56) Авторское свидетельство СССР
№ 746517, кл. G 06 F 9/16, 1977.

Авторское свидетельство СССР
№ 842815, кл. G 06 F 9/22, 1979.

(54) (57) МИКРОПРОГРАММНОЕ УСТРОЙСТВО УПРАВЛЕНИЯ, содержащее блок памяти, регистр микрокоманд, мультиплексор условий, дешифратор, счетчик адреса, выход которого соединен с адресным входом блока памяти, выход которого подключен к информационному входу регистра микрокоманд, синхровход которого соединен с входом первого тактового импульса устройства, а выход - с выходом устройства, информационный вход мультиплексора условий соединен с входом условий устройства, синхровход счетчика адреса соединен с входом второго тактового импульса устройства, выход кода формата команды регистра микрокоманд соединен с входом дешифратора, отличающееся тем, что, с целью повышения быстродействия, оно содержит регистр

расширения микрокоманды, сумматор и элемент И, причем первый и второй информационные входы регистра расширения микрокоманды соединены соответственно с выходом кода признака перехода регистра микрокоманд и информационным входом устройства, выходы кода адреса перехода, кода условий и кода вида перехода регистра расширения микрокоманды подключены соответственно к первому информационному входу сумматора, управляющему входу мультиплексора условий и управляющему входу сумматора, второй информационный вход которого подключен к выходу счетчика адреса, вход счета записи которого соединен с выходом элемента И, первый, второй и третий входы которого соединены соответственно с выходом мультиплексора условий, первым выходом дешифратора и выходом кода признака перехода регистра микрокоманд, выход сумматора подключен к информационному входу счетчика адреса, второй выход дешифратора подключен к входу разрешения записи регистра расширения микрокоманды, синхровход и вход направления записи которого соединены соответственно с третьим тактовым входом устройства и выходом кода признака перехода регистра микрокоманд.

СССР **SU** (11) **1200289** **A**

Изобретение относится к вычислительной технике и может быть использовано в высокопроизводительных вычислительных системах.

Цель изобретения - повышение быстродействия устройства микропрограммного управления.

На фиг.1 представлена функциональная схема устройства микропрограммного управления; на фиг.2 - алгоритм работы устройства; на фиг. 3 - тактовые импульсы, поступающие на синхровходы блоков устройства.

Устройство содержит блок 1 памяти, регистр 2 микрокоманд, счетчик 3 адреса, регистр 4 расширения микрокоманды, сумматор 5, дешифратор 6, элемент И 7, мультиплексор 8 условий, информационный вход 9, вход 10 условий, информационный выход 11, входы 12-14 тактовых импульсов. На фиг.3 обозначены период T_k тактовых импульсов или цикл работы устройства, тактовые импульсы 15, поступающие на вход 12 устройства, тактовые импульсы 16, поступающие на вход 13 устройства, тактовые импульсы 17, поступающие на вход 14 устройства.

Устройство предназначено для работы с типовым набором микрокоманд. Пусть например, микрокоманда содержит 16 разрядов, которые нумеруются с 0-го по 15-й начиная с младшего. Старшие 2 разряда, 15 и 14-й, определяют формат микрокоманды, причем код 00, содержащийся в данных разрядах, определяет 1-й формат, код 01 - 2-й формат, код 10 - 3-й формат, код 11 - 4-й формат. Положим, что формат 1 соответствует арифметическим, формат 2 - логическим операциям, формат 3 - операциям загрузки регистра расширения микрокоманды, формат 4 - операциям пересылок. Пусть в 3-м формате разряды микрокоманды распределены следующим образом: 15-14 - формат микрокоманды, 13 - направление загрузки регистра расширения микрокоманды; 12 - вид перехода (относительный, абсолютный), 11-9 - вид условия перехода (по переполнению, концу работы блока ввода-вывода и т.д.); 8-0 - адрес А (либо абсолютный адрес перехода, либо приращение к текущему значению счетчика 3 адреса).

Пусть в первом формате совмещены операция перехода и арифметичес-

кая, т.е. например 13-й разряд микрокоманды указывает на наличие перехода, а остальные определяют арифметическую операцию. Логично для увеличения эффективности системы микрокоманд подобное совмещение реализовать и в микрокомандах тех форматов, в которых есть по крайней мере один свободный разряд, что повлечет изменение схемы дешифратора 6.

Первый выход регистра 2 микрокоманд, подключенный к первому информационному входу регистра 4 расширения микрокоманды, соответствует (12-0)-м разрядам микрокоманды, второй выход, подключенный к первому управляющему входу регистра 4 и к третьему входу элемента И 7, - 13-му разряду микрокоманды и в 3-м формате определяет загрузку регистра 4 либо с регистра 2, либо с информационного входа 9 устройства, а в первом формате определяет наличие перехода, третий выход, подключенный к входу дешифратора 6, - (15-14)-м разрядам микрокоманды и определяет ее формат.

В регистр 4 расширения микрокоманды загружается признак перехода: вид перехода, вид условия перехода и адрес А, т.е. разряды (12-0) регистра 2 микрокоманд. Первый выход регистра 4 подключен к первому информационному входу сумматора 5 и представляет код либо приращения относительного адреса перехода, либо абсолютного адреса перехода, второй выход подключен к управляющему входу селектора 8 и представляет код вида условия перехода, третий выход подключен к управляющему входу сумматора 5 и представляет код вида перехода (абсолютный или относительный).

На сумматоре 5 получается либо относительный адрес перехода суммированием базового адреса, поступающего с второго информационного входа, подключенного к выходу счетчика 3 адреса, и приращения адреса, поступающего по первому информационному входу, либо абсолютный, поступающий по первому информационному входу.

Счетчик 3 адреса, в зависимости от значения сигнала на управляющем входе "Счет/запись", подключенном к выходу элемента И 7, работает либо в режиме счета, либо в режиме занесения адреса перехода с информацион-

ного входа, подключенного к выходу сумматора 5.

Первый выход дешифратора 6, подключенный к второму входу элемента И 7, соответствует первому формату микрокоманды перехода, второй выход, подключенный к второму управляющему входу регистра 4, соответствует третьему формату микрокоманды и определяет разрешение загрузки регистра 4.

Устройство работает следующим образом.

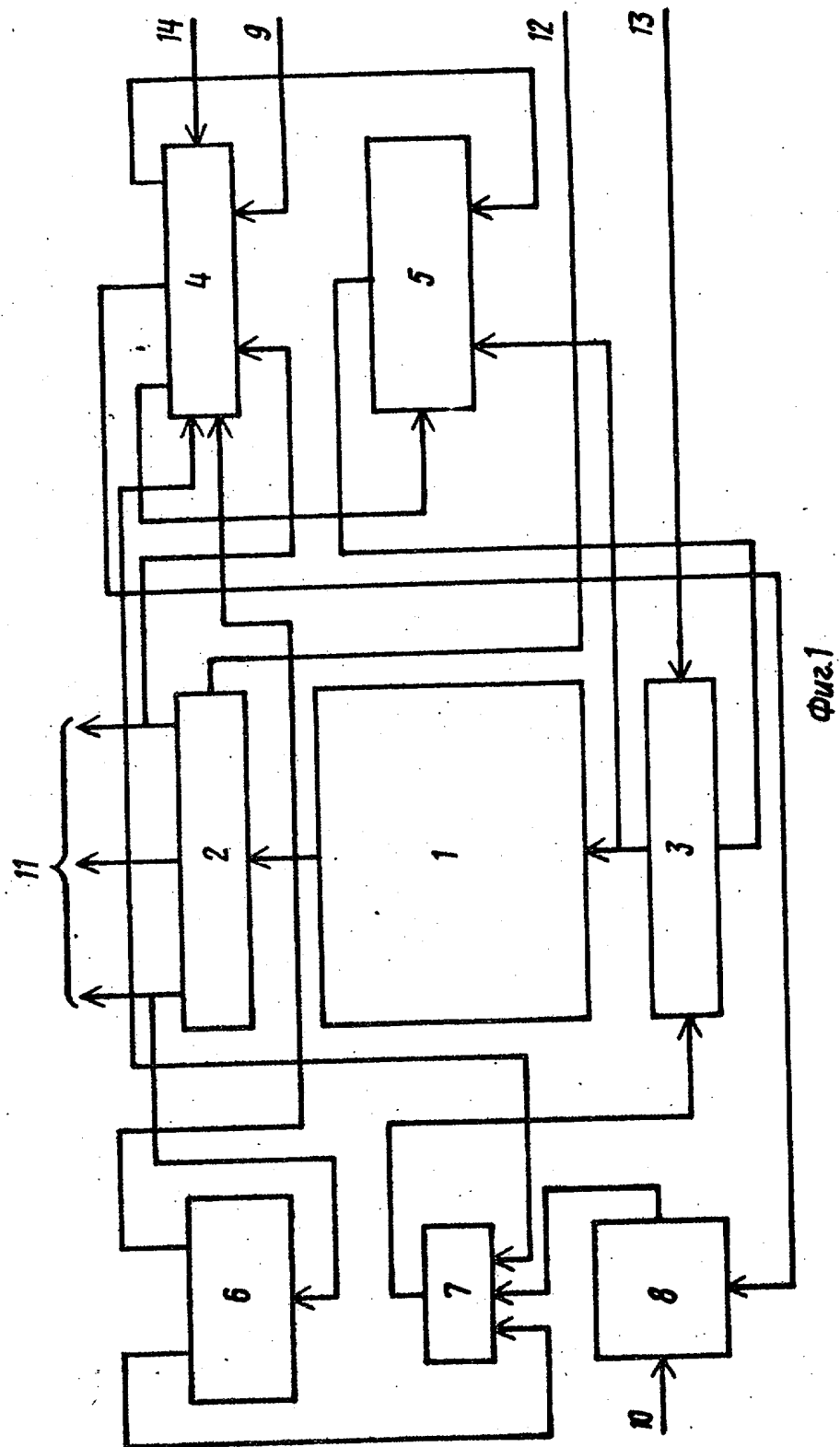
С приходом тактового сигнала на вход 12 устройства из блока 1 памяти микрокоманд в регистр 2 заносится микрокоманда загрузки регистра 4 и в соответствии со значением кода первого управляющего входа регистра 4 он загружается, с приходом тактового сигнала на вход 14 устройства, либо непосредственно с регистра 2, либо с информационного входа 9 устройства, при этом на второй управляющий вход регистра 4 поступает сигнал разрешения записи с второго выхода дешифратора 6.

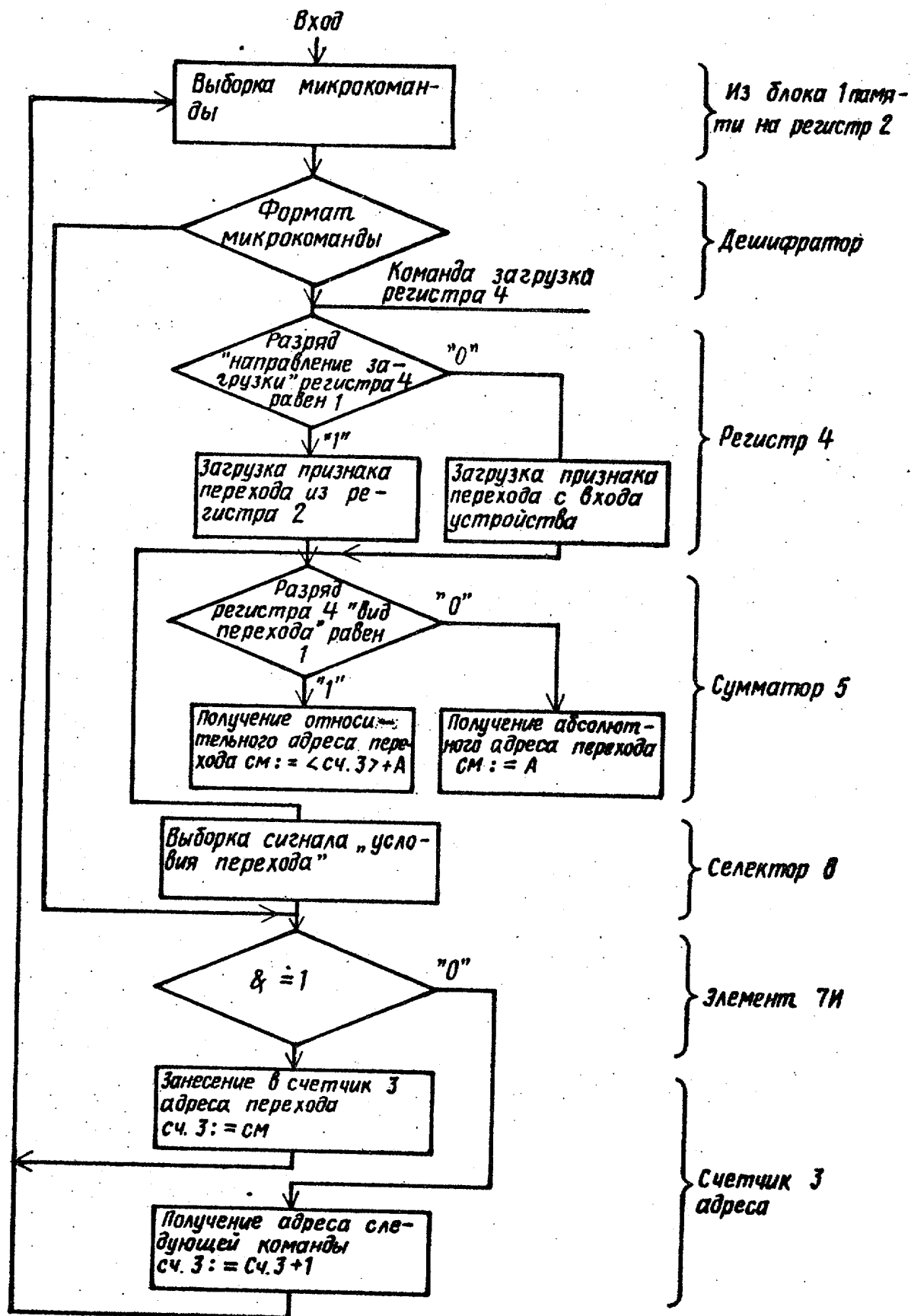
После загрузки регистра 4 начинается выполнение цикла: микрокоманды цикла, начиная с первой, выбираются последовательно из блока 1 памяти до появления команды перехода, при этом на втором выходе дешифратора 6 отсутствует сигнал, разрешающий запись в регистр 4, а на входе "Счет/запись" счетчика 3 адреса действует сигнал, поступающий с выхода элемента И 7

и обуславливающий режим счета, так как на второй вход элемента И 7 с первого выхода дешифратора 6 сигнал не поступает. Счетчик 3 увеличивает свое содержимое на единицу с приходом каждого тактового импульса на вход 13 устройства.

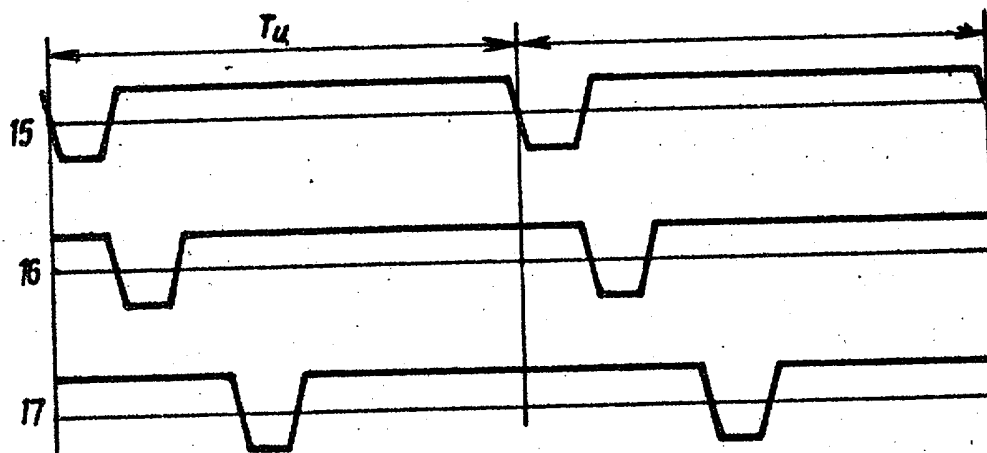
С появлением на регистре 2 микрокоманды перехода на втором выходе регистра 2 и первом выходе дешифратора 6 появляются сигналы, поступающие соответственно на третий и второй входы элементы И 7. Если к этому моменту пришел сигнал условия перехода на вход 10 устройства, то на выходе мультиплексора 8 появляется сигнал условия перехода, определяемый кодом сигнала вида условия перехода, поступающего с второго выхода регистра 4. На выходе элемента И 7 появляется сигнал, обеспечивающий занесение в счетчик 3 адреса с выхода сумматора 5 кода адреса первой микрокоманды цикла, и процесс повторяется до окончания цикла.

С окончанием цикла условие перехода не вырабатывается, сигнал условия перехода отсутствует на входе 10 устройства, и с появлением микрокоманды перехода на регистре 2 на выходе мультиплексора 8 и, следовательно, на выходе элемента И 7 сигнал отсутствует, счетчик 3 адреса остается в режиме счета и из блока 1 памяти выбирается микрокоманда, следующая за командой перехода.





Фиг.2



Фиг.3

Редактор В.Петраш Составитель А.Чугунов
 Техред Т.Дубинчак Корректор Г.Решетник

Заказ 7869/55 Тираж 709 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г.Ужгород, ул.Проектная, 4