



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년05월14일  
(11) 등록번호 10-1145312  
(24) 등록일자 2012년05월04일

(51) 국제특허분류(Int. Cl.)  
H01L 23/48 (2006.01) H01L 23/52 (2006.01)  
H01L 27/06 (2006.01)  
(21) 출원번호 10-2010-0064940  
(22) 출원일자 2010년07월06일  
심사청구일자 2010년07월06일  
(65) 공개번호 10-2012-0004207  
(43) 공개일자 2012년01월12일  
(56) 선행기술조사문헌  
KR1020090048084 A  
US20080128883 A1  
KR1020090034570 A  
KR1020110012405 A

(73) 특허권자  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
구영준  
서울특별시 중랑구 신내로7나길 24, 건영2차 212동 2503호 (상봉동)  
윤대식  
서울특별시 강동구 고덕로61길 34, 주공아파트 810동 408호 (고덕동)  
(74) 대리인  
특허법인 신성

전체 청구항 수 : 총 17 항

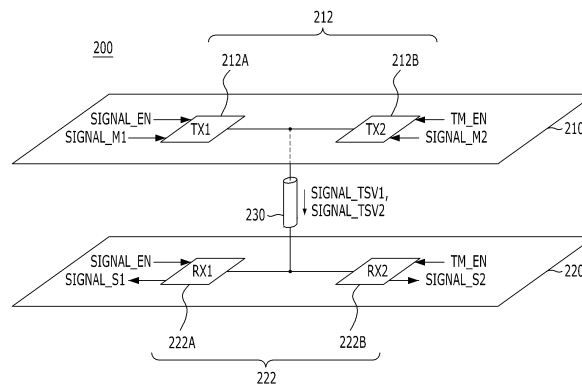
심사관 : 설관식

(54) 발명의 명칭 반도체 집적회로

(57) 요약

3D(three dimensional) 스택 패키지 반도체 집적회로에 관한 것으로, 제1 동작모드에서 인에이블되어 제1 출력신호를 출력하기 위한 제1 출력회로와 제2 동작모드에서 인에이블되어 제2 출력신호를 출력하기 위한 제2 출력회로를 포함하는 마스터 칩과, 제1 동작모드에서 인에이블되어 제1 출력신호를 입력받기 위한 제1 입력회로와 제2 동작모드에서 인에이블되어 제2 출력신호를 입력받기 위한 제2 입력회로를 포함하는 슬레이브 칩과, 마스터 칩을 수직으로 관통하며 일단이 제1 및 제2 출력회로와 접속되고 타단이 제1 및 제2 입력회로와 접속되어 제1 및 제2 동작모드에 따라 서로 다른 동작 구간에서 활성화되는 제1 및 제2 출력신호를 인터페이스하기 위한 공통 칩관통비아를 구비하는 반도체 집적회로가 제공된다.

대표도 - 도4



**특허청구의 범위**

**청구항 1**

반도체 칩;

상기 반도체 칩의 표면에 포함되며, 동작모드신호에 응답하여 서로 다른 동작모드에서 각각 활성화되는 제1 신호들을 출력신호로 다중화하여 출력하기 위한 다중화부; 및

상기 반도체 칩을 관통하며, 상기 출력신호를 인터페이스하기 위한 제1 공통 칩관통비아를 구비하는 반도체 집적회로.

**청구항 2**

제1항에 있어서,

상기 반도체 칩을 관통하며, 입력신호 - 서로 다른 동작모드에서 각각 활성화되는 제2 신호들을 다중화한 신호 - 를 인터페이스하기 위한 제2 공통 칩관통비아와,

상기 반도체 칩의 표면에 포함되며, 상기 동작모드신호에 응답하여 상기 입력신호를 역다중화하기 위한 역다중화부를 더 구비하는 반도체 집적회로.

**청구항 3**

제2항에 있어서,

상기 제1 및 제2 공통 칩관통비아는 관통 실리콘 비아(TSV : Through Silicon Via)인 반도체 집적회로.

**청구항 4**

제1 동작모드에서 인에이블되어 제1 출력신호를 출력하기 위한 제1 출력회로와, 제2 동작모드에서 인에이블되어 제2 출력신호를 출력하기 위한 제2 출력회로를 포함하는 마스터 칩;

상기 제1 동작모드에서 인에이블되어 상기 제1 출력신호를 입력받기 위한 제1 입력회로와, 상기 제2 동작모드에서 인에이블되어 상기 제2 출력신호를 입력받기 위한 제2 입력회로를 포함하는 슬레이브 칩; 및

상기 마스터 칩을 수직으로 관통하며, 일단은 상기 제1 및 제2 출력회로와 접속되고 타단은 상기 제1 및 제2 입력회로와 접속되어 상기 제1 및 제2 동작모드에 따라 서로 다른 동작 구간에서 활성화되는 상기 제1 및 제2 출력신호를 인터페이스하기 위한 공통 칩관통비아

를 구비하는 반도체 집적회로.

**청구항 5**

제4항에 있어서,

상기 공통 칩관통비아는 관통 실리콘 비아(TSV : Through Silicon Via)인 반도체 집적회로.

**청구항 6**

제4항에 있어서,

상기 제1 출력회로 및 제1 입력회로는 테스트 모드 신호에 응답하여 인에이블되고, 상기 제2 출력회로 및 제2 입력회로는 상기 테스트 모드 신호의 반전신호인 노말 모드 신호에 응답하여 인에이블되는 반도체 집적회로.

**청구항 7**

제6항에 있어서,

상기 제1 출력회로는,

상기 테스트 모드 신호에 응답하여 상기 마스터 칩의 내부회로에서 입력된 제1 내부출력신호를 선택적으로 전달하기 위한 제1 전달부; 및

상기 제1 전달부를 통해 선택적으로 전달되는 제1 내부출력신호에 따라 상기 제1 출력회로의 출력단을 예정된 전원전압으로 구동하여 상기 제1 출력신호를 출력하기 위한 제1 구동부를 구비하는 반도체 집적회로.

**청구항 8**

제7항에 있어서,

상기 제1 입력회로는,

상기 테스트 모드 신호에 응답하여 상기 제1 구동부로부터 출력된 제1 출력신호를 선택적으로 전달하기 위한 제2 전달부;

상기 제2 전달부를 통해 선택적으로 전달되는 제1 출력신호를 래치하기 위한 제1 래치부; 및

상기 제1 래치부의 출력신호에 따라 상기 제1 입력회로의 출력단을 예정된 전원전압으로 구동하여 제1 내부입력신호를 상기 슬레이브 칩의 내부회로로 출력하기 위한 제2 구동부를 구비하는 반도체 집적회로.

**청구항 9**

제6항에 있어서,

상기 제2 출력회로는,

상기 노말 모드 신호에 응답하여 상기 마스터 칩의 내부회로에서 입력된 제2 내부출력신호를 선택적으로 전달하기 위한 제3 전달부; 및

상기 제3 전달부를 통해 선택적으로 전달되는 제2 내부출력신호에 따라 상기 제2 출력회로의 출력단을 예정된 전원전압으로 구동하여 상기 제2 출력신호를 출력하기 위한 제3 구동부를 구비하는 반도체 집적회로.

**청구항 10**

제9항에 있어서,

상기 제2 입력회로는,

상기 노말 모드 신호에 응답하여 상기 제3 구동부로부터 출력된 제2 출력신호를 선택적으로 전달하기 위한 제4 전달부;

상기 제4 전달부를 통해 선택적으로 전달되는 제2 출력신호를 래치하기 위한 제2 래치부; 및

상기 제2 래치부의 출력신호에 따라 상기 제2 입력회로의 출력단을 예정된 전원전압으로 구동하여 제2 내부입력신호를 상기 슬레이브 칩의 내부회로로 출력하기 위한 제2 구동부를 구비하는 반도체 집적회로.

**청구항 11**

제4항에 있어서,

상기 마스터 칩은 상기 슬레이브 칩의 상부에 적층되는 반도체 집적회로.

**청구항 12**

제11항에 있어서,

상기 공통 칩관통비아와 상기 슬레이브 칩을 전기적으로 접속하기 위한 범프 패드를 더 구비하는 반도체 집적회로.

**청구항 13**

제4항에 있어서,

상기 슬레이브 칩은 상기 제1 동작모드에서 인에이블되어 제3 전송신호를 출력하기 위한 제3 출력회로와, 상기 제2 동작모드에서 인에이블되어 제4 전송신호를 출력하기 위한 제4 출력회로를 더 구비하는 반도체 집적회로.

**청구항 14**

제13항에 있어서,

상기 마스터 칩은 상기 제1 동작모드에서 인에이블되어 상기 제3 전송신호를 입력받기 위한 제3 입력회로와, 상기 제2 동작모드에서 인에이블되어 상기 제4 전송신호를 입력받기 위한 제4 입력회로를 더 구비하는 반도체 집적회로.

**청구항 15**

제14항에 있어서,

상기 제3 출력회로 및 제3 입력회로는 테스트 모드 신호에 응답하여 인에이블되고, 상기 제4 출력회로 및 제4 입력회로는 상기 테스트 모드 신호의 반전신호인 노말 모드 신호에 응답하여 인에이블되는 반도체 집적회로.

**청구항 16**

제14항에 있어서,

상기 마스터 칩을 수직으로 관통하며, 일단은 상기 제3 및 제4 입력회로에 접속되고 타단은 상기 제3 및 제4 출력회로에 접속되어 상기 제1 및 제2 동작모드에 따라 서로 다른 동작 구간에서 활성화되는 상기 제3 및 제4 전송신호를 인터페이스하기 위한 공통 칩관통비아를 더 구비하는 반도체 집적회로.

**청구항 17**

제16항에 있어서,

상기 공통 칩관통비아는 관통 실리콘 비아(TSV : Through Silicon Via)인 반도체 집적회로.

**명세서**

**기술분야**

본 발명의 반도체 설계 기술에 관한 것으로, 더욱 상세하게는 반도체 집적회로에 관한 것이다.

**배경기술**

[0001]

- [0002] 일반적으로, 반도체 집적회로에 대한 패키징 기술은 소형화에 대한 요구 및 실장 신뢰성을 만족시키기 위해 지속적으로 발전되어 왔다. 최근에 들어서는 전기/전자 제품의 소형화와 더불어 고성능화가 요구됨에 따라 스택(stack) 패키지에 대한 다양한 기술들이 개발되고 있다.
- [0003] 반도체 산업에서 말하는 "스택"이란 적어도 2개 이상의 반도체 칩 또는 패키지를 수직으로 쌓아 올리는 것으로서, 이러한 스택 패키지에 의하면, 예컨대 반도체 메모리 장치의 경우는 반도체 집적 공정에서 구현 가능한 메모리 용량보다 2배 이상의 메모리 용량을 갖는 제품을 구현할 수 있다. 또한, 스택 패키지는 메모리 용량 증대는 물론 실장 밀도 및 실장 면적 사용의 효율성 측면에서 이점을 갖기 때문에 스택 패키지에 대한 연구 및 개발이 가속화되고 있는 실정이다.
- [0004] 스택 패키지는 크게 개별 반도체 칩들을 스택한 후 한번에 스택된 반도체 칩들을 패키징해주는 방법과, 패키징된 개별 반도체 칩들을 스택하는 방법으로 제조할 수 있으며, 스택 패키지의 개별 반도체 칩들은 금속 와이어 또는 칩관통비아 등을 통하여 전기적으로 연결된다. 특히, 칩관통비아를 이용한 스택 패키지는 반도체 칩 내에 관통 실리콘 비아를 형성해서 관통 실리콘 비아에 의해 수직으로 반도체 칩들 간에 물리적 및 전기적 연결이 이루어지도록 한 구조이다. 여기서, 칩관통비아는 통상적으로 관통 실리콘 비아(TSV : Through Silicon Via)를 말한다.
- [0005] 도 1에는 칩관통비아를 설명하기 위한 도면이 도시되어 있다.
- [0006] 도 1을 참조하면, 반도체 칩(A)에 홀을 형성하고, 그 홀 안에 금속을 채워 칩관통비아(B)를 형성하게 되면, 스택을 위한 반도체 칩(C)이 형성된다. 이러한 반도체 칩(C)은 다수 개가 스택되어 반도체 집적회로를 형성하게 되며, 이러한 반도체 집적회로를 통상적으로 3D(three dimensional) 스택 패키지 반도체 집적회로(이하 "반도체 집적회로"라 칭함)라고 한다.
- [0007] 도 2에는 종래에 의한 반도체 집적회로의 개념도가 도시되어 있다.
- [0008] 본 발명의 실시예에서는 두 개의 반도체 칩이 스택된 것을 예로 들어 설명하며, 두 개의 칩관통비아가 구비되는 것을 예로 들어 설명하기로 한다.
- [0009] 도 2를 참조하면, 반도체 집적회로(100)에는 수직으로 스택된 제1 및 제2 반도체 칩(110, 120)과, 제1 반도체 칩(110)을 관통하며 제1 반도체 칩(110)에서 출력된 제1 및 제2 제어신호(SIGNAL\_TSV1, SIGNAL\_TSV2)를 각각 제2 반도체 칩(120)으로 전송하기 위한 제1 및 제2 칩관통비아(130, 140)가 구비된다. 이때, 제2 반도체 칩(120)에는 칩관통비아가 구비되지 않는다. 그 이유는, 일반적으로 제1 및 제2 반도체 칩(110, 120)에는 상부 표면에 각종 회로들이 형성되기 때문에, 제2 반도체 칩(120)은 표면에 형성된 패드 등을 통해 제1 반도체 칩(110)으로부터 출력된 각종 신호들을 입력받을 수 있다. 물론, 세 개 이상의 반도체 칩이 스택되는 경우에는 가장 최하위에 위치한 반도체 칩에만 칩관통비아가 형성되지 않을 것이다. 한편, 제1 및 제2 반도체 칩(110 내지 140) 중에서 상부에 위치한 제1 반도체 칩(110)을 통상적으로 마스터 칩이라고 한다. 마스터 칩은 외부(예: controller)로부터 인가되는 외부 신호를 버퍼링(buffering)하여 제1 및 제2 칩관통비아(130, 140)를 통해 제2 반도체 칩(120)을 제어한다. 그리고 마스터 칩에 의해 제어받는 제2 반도체 칩(120)을 통상적으로 슬레이브 칩이라 한다. 이하에서는 제1 반도체 칩(110)을 마스터 칩이라 칭하고, 제2 반도체 칩(120)을 슬레이브 칩이라 칭한다.
- [0010] 마스터 칩(110)에는 슬레이브 칩(120)을 제어하기 위한 제1 및 제2 제어신호(SIGNAL\_TSV1, SIGNAL\_TSV2)를 출력하기 위한 제1 및 제2 출력회로(112, 114)가 구비된다. 더욱 자세하게는, 마스터 칩(110)의 표면에 제1 및 제2 출력회로(112, 114)가 구비된다.
- [0011] 슬레이브 칩(120)에는 제1 및 제2 제어신호(SIGNAL\_TSV1, SIGNAL\_TSV2)를 입력받기 위한 제1 및 제2 입력회로(122, 124)가 구비된다. 더욱 자세하게는, 슬레이브 칩(120)의 표면에 제1 및 제2 입력회로(122, 124)가 구비된다.
- [0012] 제1 칩관통비아(130)는 일단이 제1 출력회로(112)에 접속되고 타단이 제1 입력회로(122)에 접속되어, 제1 출력회로(112)로부터 출력되는 제1 제어신호(SIGNAL\_TSV1)를 제1 입력회로(122)로 전달한다. 제2 칩관통비아(140)는 일단이 제2 출력회로(114)에 접속되고 타단이 제2 입력회로(124)에 접속되어, 제2 출력회로(114)로부터 출력되는 제2 제어신호(SIGNAL\_TSV2)를 제2 입력회로(124)로 전달한다. 여기서, 본 발명의 실시예에서는 두 개의 칩관통비아(130, 140)가 구비되는 것으로 설명하고 있지만, 실제적으로 적게는 수백개에서 많게는 수천개가 구비된다.

[0013] 상기와 같은 구성을 가지는 반도체 집적회로(100)에 따르면, 마스터 칩(110)과 슬레이브 칩(120) 간에 제1 및 제2 제어신호(SIGNAL\_TSV1, SIGNAL\_TSV2)를 제1 및 제2 칩관통비아(130, 140)를 통해 인터페이스하므로, 전류 소모 및 신호 지연을 감소시킬 수 있는 이점이 있다.

[0014] 그러나, 종래에 의한 반도체 집적회로(100)에는 다음과 같은 문제점이 있다.

[0015] 제1 및 제2 칩관통비아(130, 140)는 마스터 칩(110)과 슬레이브 칩(120) 간에 제1 및 제2 제어신호(SIGNAL\_TSV1, SIGNAL\_TSV2)를 인터페이스하는 역할을 수행하는데, 이때 제1 및 제2 칩관통비아(130, 140)는 각각 하나의 신호 - 제1 제어신호(SIGNAL\_TSV1) 또는 제2 제어신호(SIGNAL\_TSV2) - 만을 인터페이스하고 있다. 따라서, 마스터 칩(110)과 슬레이브 칩(120) 간에 인터페이스해야 할 신호가 많으면 많을수록 칩관통비아의 개수가 증가하므로, 반도체 집적회로(100)의 면적이 증가하는 문제점이 있다. 아울러, 반도체 칩 - 여기서는 마스터 칩(110) - 을 제조함에 있어 넷 다이(net die) 감소를 유발하는 문제점이 있다.

### 발명의 내용

#### 해결하려는 과제

[0016] 본 발명은 면적 개선을 위해 칩관통비아의 개수를 최적화시킨 반도체 집적회로를 제공하는데 그 목적이 있다.

#### 과제의 해결 수단

[0017] 본 발명의 일 측면에 따르면, 본 발명은 반도체 칩과, 반도체 칩의 표면에 포함되며 동작모드신호에 응답하여 서로 다른 동작모드에서 각각 활성화되는 제1 신호들을 출력신호로 다중화하여 출력하기 위한 다중화부와, 반도체 칩을 관통하며 출력신호를 인터페이스하기 위한 제1 공통 칩관통비아를 구비한다.

[0018] 본 발명의 다른 측면에 따르면, 본 발명은 제1 동작모드에서 인에이블되어 제1 출력신호를 출력하기 위한 제1 출력회로와 제2 동작모드에서 인에이블되어 제2 출력신호를 출력하기 위한 제2 출력회로를 포함하는 마스터 칩과, 제1 동작모드에서 인에이블되어 제1 출력신호를 입력받기 위한 제1 입력회로와 제2 동작모드에서 인에이블되어 제2 출력신호를 입력받기 위한 제2 입력회로를 포함하는 슬레이브 칩과, 마스터 칩을 수직으로 관통하며 일단이 제1 및 제2 출력회로와 접속되고 타단이 제1 및 제2 입력회로와 접속되어 제1 및 제2 동작모드에 따라 서로 다른 동작 구간에서 활성화되는 제1 및 제2 출력신호를 인터페이스하기 위한 공통 칩관통비아를 구비한다.

#### 발명의 효과

[0019] 본 발명은 동작모드에 따라 서로 다른 동작 구간에서 활성화되는 신호들을 하나의 공통 칩관통비아를 통해 인터페이스되도록 함으로써, 칩관통비아의 개수를 획기적으로 줄일 수 있는 효과가 있다. 따라서, 반도체 집적회로의 전체 면적을 줄일 수 있으며, 넷 다이(net die)를 증가시킬 수 있는 효과를 기대할 수 있다.

#### 도면의 간단한 설명

- [0020] 도 1은 칩관통비아를 설명하기 위한 도면.
- 도 2는 종래에 의한 반도체 집적회로의 개념도.
- 도 3은 본 발명의 실시예에 의한 반도체 집적회로의 개념도.
- 도 4는 도 3의 반도체 집적회로를 더욱 상세하게 설명하기 위한 개념도.
- 도 5a는 도 4의 제1 출력회로의 일예를 보인 내부 회로도.
- 도 5b는 도 4의 제1 입력회로의 일예를 보인 내부 회로도.

#### 발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- [0022] 도 3에는 본 발명의 실시예에 의한 반도체 집적회로의 개념도가 도시되어 있다.
- [0023] 본 발명의 실시예에 의한 반도체 집적회로는 설명의 편의를 위해 두 개의 반도체 칩과, 하나의 공통 칩관통비아를 예로 들어 설명하기로 한다.
- [0024] 도 3을 참조하면, 반도체 집적회로(200)에는 테스트 모드 신호(TM\_EN)에 응답하여 테스트 모드 및 노말 모드에서 각각 활성화되는 내부출력신호(SIGNAL\_M1, SIGNAL\_M2)들을 출력신호(SIGNAL\_TSV)로 다중화하여 출력하기 위한 다중화부(212)를 포함하는 마스터 칩(210)과, 마스터 칩(210)의 출력신호(SIGNAL\_TSV)를 입력받아 역다중화하여 내부입력신호(SIGNAL\_S1, SIGNAL\_S2)들을 출력하기 위한 역다중화부(222)를 포함하는 슬레이브 칩(220)과, 마스터 칩(210)의 출력신호(SIGNAL\_TSV)를 슬레이브 칩(220)으로 인터페이스하기 위한 공통 칩관통비아(230)가 구비된다.
- [0025] 마스터 칩(210)은 외부(예: controller)로부터 인가되는 외부 신호(도면에 미도시)를 버퍼링(buffering)하여 공통 칩관통비아(230)를 통해 슬레이브 칩(220)을 제어하는 반도체 칩으로, 통상적으로 슬레이브 칩(220)의 상부에 스택된다. 다중화부(212)는 마스터 칩(210)의 상부 표면에 구비되며, 마스터 칩(210)이 슬레이브 칩(220)을 제어함에 있어 필요한 신호, 예컨대 마스터 칩(210)의 내부회로(도면에 미도시)에서 생성된 내부출력신호(SIGNAL\_M1, SIGNAL\_M2)들을 출력신호(SIGNAL\_TSV)로 다중화하여 공통 칩관통비아(230)로 출력하는 역할을 수행한다. 따라서, 서로 다른 동작 구간에서 활성화되는 내부출력신호(SIGNAL\_M1, SIGNAL\_M2)들을 하나의 공통 칩관통비아(230)를 통해 전송할 수 있어, 전체 칩관통비아의 개수를 줄일 수 있다.
- [0026] 슬레이브 칩(220)은 마스터 칩(210)의 제어에 따라 동작하는 반도체 칩으로, 공통 칩관통비아(230)를 통해 전송된 출력신호(SIGNAL\_TSV)를 입력받아 대응하는 동작을 수행한다. 역다중화부(222)는 슬레이브 칩(220)의 상부 표면에 구비되며, 공통 칩관통비아(230)를 통해 전송된 출력신호(SIGNAL\_TSV)를 내부입력신호(SIGNAL\_S1, SIGNAL\_S2)로 역다중화하여 슬레이브 칩(220)의 내부회로(도면에 미도시)로 출력한다.
- [0027] 공통 칩관통비아(230)는 도면에 잘 도시되지 않았지만, 마스터 칩(210)을 수직으로 관통하며, 일단이 다중화부(212)의 출력단과 접속되고 타단이 역다중화부(222)의 입력단과 접속된다. 이러한 공통 칩관통비아(230)는 관통 실리콘 비아(TSV : Through Silicon Via)를 사용할 수 있다.
- [0028] 한편, 도면에는 도시되지 않았지만, 공통 칩관통비아(230)와 슬레이브 칩(220) 사이에는 전기적으로 접속되도록 범프 패드가 구비된다.
- [0029] 도 4에는 도 3의 반도체 집적회로(200)를 더욱 상세하게 설명하기 위한 개념도가 도시되어 있다.
- [0030] 도 4를 참조하면, 도 3에서 언급한 바와 같이, 반도체 집적회로(200)에는 다중화부(212)를 포함하는 마스터 칩(210)과, 역다중화부(222)를 포함하는 슬레이브 칩(220)과, 마스터 칩(210) 및 슬레이브 칩(220)에 전기적으로 접속되는 공통 칩관통비아(230)가 구비된다.
- [0031] 다중화부(212)에는 노말 모드에서 인에이블되는 제1 출력회로(212A)와, 테스트 모드에서 인에이블되는 제2 출력회로(212B)를 포함한다. 제1 출력회로(212A)는 마스터 칩(210)의 내부회로(도면에 미도시)에서 입력된 제1 내부출력신호(SIGNAL\_M1)를 제1 출력신호(SIGNAL\_TSV1)로 변환하여 공통 칩관통비아(230)로 출력하고, 제2 출력회로(212B)는 마스터 칩(210)의 내부회로(도면에 미도시)에서 입력된 제2 내부출력신호(SIGNAL\_M2)를 제2 출력신호(SIGNAL\_TSV2)로 변환하여 공통 칩관통비아(230)로 출력한다.
- [0032] 역다중화부(222)는 노말 모드에서 인에이블되는 제1 입력회로(222A)와, 테스트 모드에서 인에이블되는 제2 입력회로(222B)를 포함한다. 제1 입력회로(222A)는 공통 칩관통비아(230)를 통해 전송된 제1 출력신호(SIGNAL\_TSV1)를 제1 내부입력신호(SIGNAL\_S1)로 변환하여 슬레이브 칩(220)의 내부회로(도면에 미도시)로 출력하고, 제2 입력회로(222B)는 공통 칩관통비아(230)를 통해 전송된 제2 출력신호(SIGNAL\_TSV2)를 제2 내부입력신호(SIGNAL\_S2)로 변환하여 슬레이브 칩(220)의 내부회로(도면에 미도시)로 출력한다.
- [0033] 한편, 도 5a에는 도 4의 제1 출력회로(212A)의 일예를 보인 내부 회로도(도 5a)가 도시되어 있고, 도 5b에는 도 4의 제1 입력회로(222A)의 일예를 보인 내부 회로도(도 5b)가 도시되어 있다.
- [0034] 먼저, 도 5a를 참조하면, 제1 출력회로(212A)는 테스트 모드 신호(TM\_EN)의 반전신호인 노말 모드 신호(SIGNAL\_EN)에 응답하여 마스터 칩(210)의 내부회로(도면에 미도시)에서 입력된 제1 내부출력신호(SIGNAL\_M1)를



선택적으로 전달하기 위한 제1 전달부(212A\_1)와, 제1 전달부(212A\_1)를 통해 선택적으로 전달되는 제1 내부출력신호(SIGNAL\_M1)에 따라 제1 출력회로(212A)의 출력단을 예정된 전원전압으로 구동하여 제1 출력신호(SIGNAL\_TSV1)를 공통 칩관통비아(230)로 출력하기 위한 제1 구동부(212A\_2)를 포함한다. 제1 전달부(212A\_1)는 노말 모드 신호(SIGNAL\_EN)와 제1 내부출력신호(SIGNAL\_M1)를 부정 논리곱 연산을 수행하기 위한 제1 낸드 게이트(NAND1)와, 노말 모드 신호(SIGNAL\_EN)를 반전시켜 출력하기 위한 제1 인버터(INV1)와, 제1 인버터(INV1)의 출력신호와 제1 내부출력신호(SIGNAL\_M1)를 부정 논리합 연산하기 위한 제1 노어 게이트(NOR1)를 포함한다. 제1 구동부(212A\_2)는 제1 낸드 게이트(NAND1)의 출력신호에 응답하여 제1 출력회로(212A)의 출력단을 고전원전압으로 구동하기 위한 제1 PMOS 트랜지스터(P1)와, 제1 노어 게이트(NOR1)의 출력신호에 응답하여 제1 출력회로(212A)의 출력단을 저전원전압으로 구동하기 위한 제1 NMOS 트랜지스터(N1)를 포함한다. 예컨대, 고전원전압은 'VDD' 이고, 저전원전압은 'VSS' 이다.

[0035] 다음, 도 5b를 참조하면, 제1 입력회로(222A)는 테스트 모드 신호의 반전신호인 노말 모드 신호(SIGNAL\_EN)에 응답하여 공통 칩관통비아(230)를 통해 전송된 제1 출력신호(SIGNAL\_TSV1)를 선택적으로 전달하기 위한 제2 전달부(222A\_1)와, 제2 전달부(222A\_1)를 통해 선택적으로 전달된 제1 출력신호(SIGNAL\_TSV1)를 래치하기 위한 제1 래치부(222A\_2)와, 제1 래치부(222A\_2)의 출력신호에 따라 제1 입력회로(222A)의 출력단을 예정된 전원전압으로 구동하여 제1 내부입력신호(SIGNAL\_S1)를 슬레이브 칩의 내부회로(도면에 미도시)로 출력하기 위한 제2 구동부를 포함한다. 제2 전달부(222A\_1)는 노말 모드 신호(SIGNAL\_EN)를 반전시켜 출력하기 위한 제2 인버터(INV2)와, 제2 인버터(INV2)의 출력신호와 노말 모드 신호(SIGNAL\_EN)에 응답하여 제1 출력신호(SIGNAL\_TSV1)를 선택적으로 출력하기 위한 제3 인버터(INV3)를 포함한다. 제1 래치부(222A\_2)는 제3 인버터(INV3)의 출력신호를 반전시켜 출력하기 위한 제4 인버터(INV4)와, 제4 인버터(INV4)의 출력신호를 반전시켜 제4 인버터(INV4)의 입력단으로 출력하기 위한 제5 인버터(INV5)를 포함한다. 제2 구동부(222A\_3)는 제4 인버터(INV4)의 출력신호에 응답하여 제1 입력회로(222A)의 출력단을 고전원전압으로 구동하기 위한 제2 PMOS 트랜지스터(P2)와, 제4 인버터(INV4)의 출력신호에 응답하여 제1 입력회로(222A)의 출력단을 저전원전압으로 구동하기 위한 제2 NMOS 트랜지스터(N2)를 포함한다.

[0036] 이때, 제2 출력회로(212B)와 제2 입력회로(222B)는 앞서 설명한 제1 출력회로(212A)와 제1 입력회로(222A)와 동일하게 구현될 수 있으므로, 이에 대한 설명은 생략하도록 한다. 다만, 제2 출력회로(212B)는 노말 모드 신호(SIGNAL\_EN) 대신 테스트 모드 신호(TM\_EN)가 입력되고, 제1 내부출력신호(SIGNAL\_M1) 대신 제2 내부출력신호(SIGNAL\_M2)가 입력되며, 제1 출력신호(SIGNAL\_TSV1) 대신 제2 출력신호(SIGNAL\_TSV2)가 출력된다. 아울러, 제2 입력회로(222B)는 노말 모드 신호(SIGNAL\_EN) 대신 테스트 모드 신호(TM\_EN)가 입력되고, 제1 출력신호(SIGNAL\_TSV1) 대신 제2 출력신호(SIGNAL\_TSV2)가 입력되며, 제1 내부입력신호(SIGNAL\_S1) 대신 제2 내부입력신호(SIGNAL\_S2)가 출력되어야 한다.

[0037] 이하, 본 발명의 실시예에 의한 반도체 집적회로(200)의 동작을 설명한다.

[0038] 먼저, 노말 모드인 경우이다.

[0039] 노말 모드에서는 노말 모드 신호(SIGNAL\_EN)가 논리 하이 레벨로 활성화되고, 테스트 모드 신호(TM\_EN)가 논리 로우 레벨로 비활성화된다. 따라서, 제1 출력회로(212A)와 제1 입력회로(222A)는 인에이블되고, 제2 출력회로(212B)와 제2 입력회로(222B)는 디스에이블된다.

[0040] 이러한 상태에서, 마스터 칩(210)의 내부회로(도면에 미도시)로부터 제1 내부출력신호(SIGNAL\_M1)가 생성되면, 제1 출력회로(212A)는 제1 내부출력신호(SIGNAL\_M1)를 제1 출력신호(SIGNAL\_TSV1)로 변환하여 공통 칩관통비아(230)로 출력한다. 이를 더욱 자세하게 설명하면, 제1 전달부(212A\_1)는 활성화된 노말 모드 신호(SIGNAL\_EN)에 응답하여 제1 내부출력신호(SIGNAL\_M1)를 그대로 제1 구동부(212A\_2)로 전달하고, 제1 구동부(212A\_2)는 전달된 제1 내부출력신호(SIGNAL\_M1)에 따라 예정된 전원전압으로 제1 출력회로(212A)의 출력단을 구동하여 제1 출력신호(SIGNAL\_TSV1)를 공통 칩관통비아(230)로 출력한다. 이때, 제1 구동부(212A\_2)는 공통 칩관통비아(230)의 로딩을 고려하여 충분히 큰 구동력으로 출력단을 구동하는 것이 좋다.

[0041] 그러면, 제1 출력신호(SIGNAL\_TSV1)는 공통 관통칩비아(230)를 매개하여 슬레이브 칩(220)으로 전송된다.

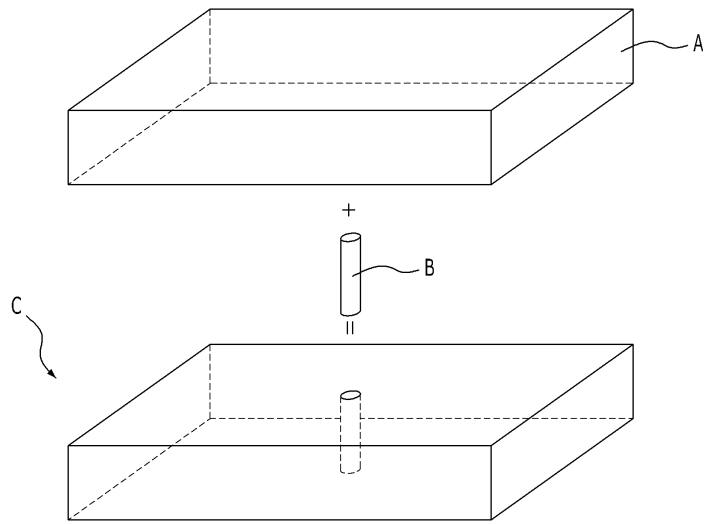
[0042] 그리고, 슬레이브 칩(220)으로 전송된 제1 출력신호(SIGNAL\_TSV1)는 노말 모드에 따라 인에이블된 제1 입력회로(222A)로 입력된다. 이에 따라, 제1 입력회로(222A)는 제1 출력신호(SIGNAL\_TSV1)를 제1 내부입력신호(SIGNAL\_S1)로 변환하여 슬레이브 칩(220)의 내부회로(도면에 미도시)로 출력한다. 이를 더욱 자세하게 설명하면, 제2 전달부(222A\_1)는 활성화된 노말 모드 신호(SIGNAL\_EN)에 응답하여 제1 출력신호(SIGNAL\_TSV1)를 그대로



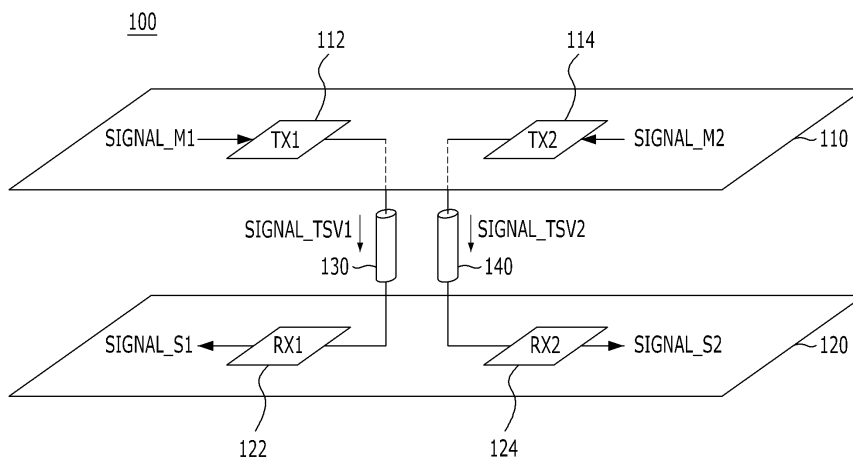


도면

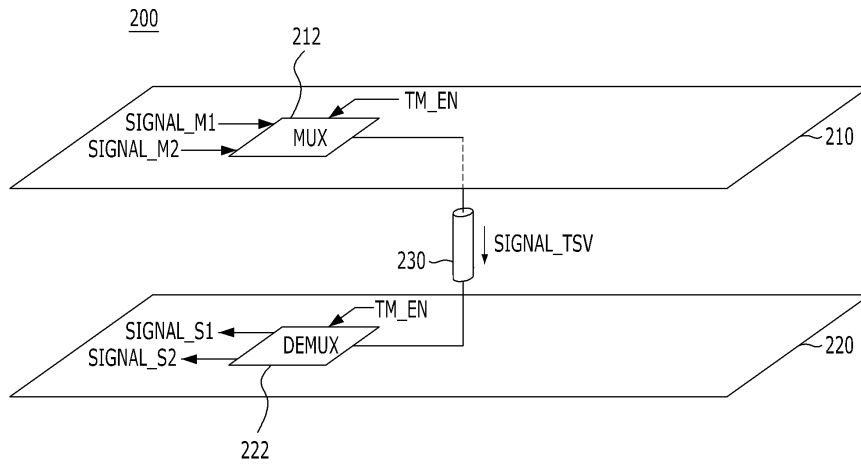
도면1



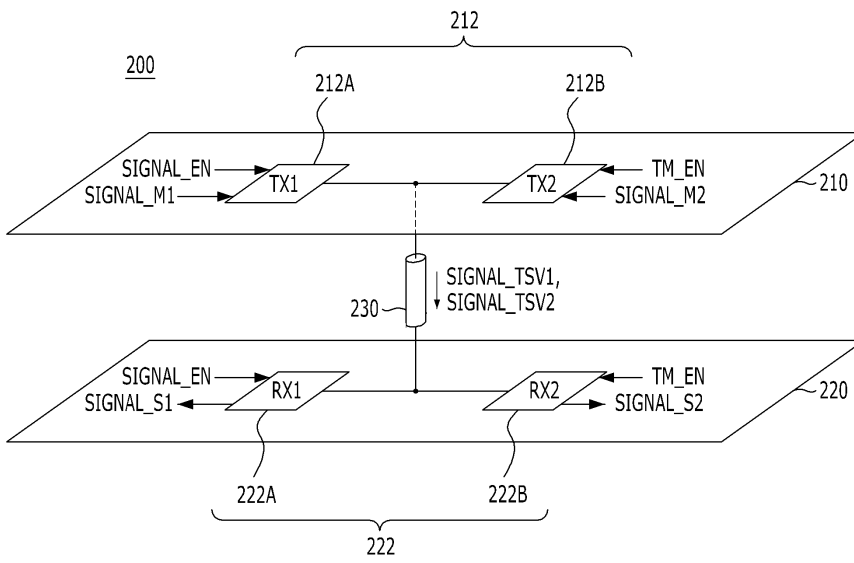
도면2



도면3

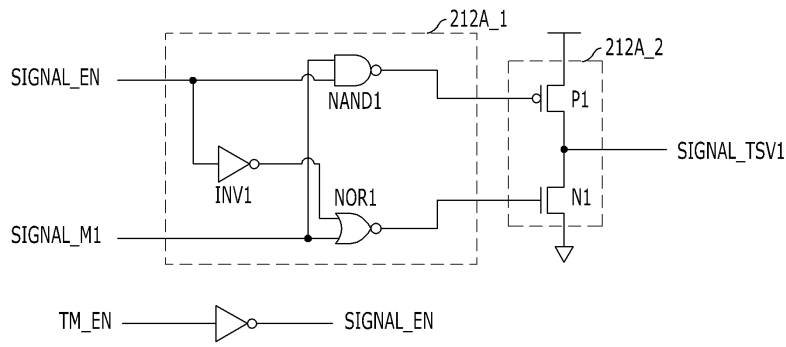


도면4



도면5a

212A



도면5b

222A

